

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年11月28日(28.11.2024)



(10) 国際公開番号

WO 2024/242014 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) H04N 25/70 (2023.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2024/018110

(22) 国際出願日: 2024年5月16日(16.05.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-083058 2023年5月19日(19.05.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 鬼沢 岳(ONIZAWA Takashi); 〒1080075
東京都港区港南1丁目7番1号 ソニーグループ株式会社内 Tokyo (JP). 田中 大智(TANAKA Daichi); 〒2430014 神奈川県厚木市旭町四丁目
14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

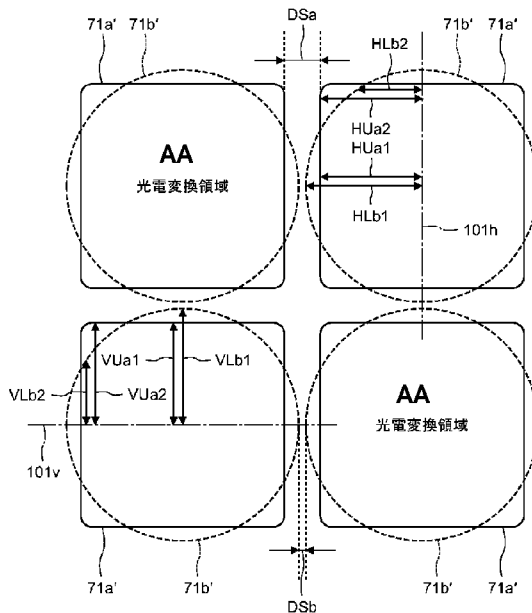
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9
番10号 池袋F Nビル4階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: LIGHT DETECTION DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 光検出装置および電子機器

FIG.4



AA Photoelectric conversion region

(57) Abstract: The present disclosure relates to a light detection device and an electronic apparatus capable of improving charge transfer in a photoelectric conversion region in a pixel having an inter-pixel separation part. This light detection device is provided with: a photoelectric conversion region formed on a semiconductor substrate; and a pixel separation part that penetrates through the semiconductor substrate and separates the photoelectric conversion region for each pixel. The pixel separation part has a first separation wall on a first surface side of the semiconductor substrate, and a second

[続葉有]

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

separation wall on a second surface side opposite to the first surface of the semiconductor substrate, the first separation wall and the second separation wall having different widths. With respect to the width to the second separation wall of the photoelectric conversion region in a direction perpendicular to a center line bisecting the photoelectric conversion region in the horizontal direction or the vertical direction, a first width of a part at the center of a side of the pixel is greater than a second width of a part in the vicinity of a corner of the pixel. The present disclosure can be applied to, for example, a solid-state imaging device, a ToF ranging sensor, or the like.

(57) 要約: 本開示は、画素間分離部を有する画素において光電変換領域内の電荷転送を改善することができるようにする光検出装置および電子機器に関する。光検出装置は、半導体基板に形成された光電変換領域と、半導体基板を貫通し、光電変換領域を画素毎に分離する画素分離部とを備える。画素分離部は、半導体基板の第1面側の第1分離壁と、半導体基板の第1面と反対の第2面側の第2分離壁とを有し、第1分離壁と第2分離壁の幅は異なり、光電変換領域を水平方向または垂直方向に二分する中心線に対して垂直な方向の光電変換領域の第2分離壁までの幅に関し、画素の辺中央部の第1の幅が、画素の角近傍部の第2の幅より大きく構成される。本開示は、例えば、固体撮像装置や、ToF方式の測距センサ等に適用できる。

明 細 書

発明の名称：光検出装置および電子機器

技術分野

[0001] 本開示は、光検出装置および電子機器に関し、特に、画素間分離部を有する画素において光電変換領域内の電荷転送を改善した光検出装置および電子機器に関する。

背景技術

[0002] 従来、隣接する画素間にトレンチを形成し、トレンチの側壁に沿ってアキュムレーション層を形成することで暗電流の発生を抑制した固体撮像装置がある（例えば、特許文献1参照）。また、画素間分離のトレンチの幅を、表面側と裏面側で異なる幅で形成した固体撮像装置がある（例えば、特許文献2参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-181910号公報

特許文献2：特開2021-166304号公報

発明の概要

発明が解決しようとする課題

[0004] トレンチの側壁にP型層またはN型層を形成する場合、平面視で画素の角部と辺中央部とでポテンシャル差が生じると、電荷の転送設計が難しくなる。

[0005] 本開示は、このような状況に鑑みてなされたものであり、画素間分離部を有する画素において光電変換領域内の電荷転送を改善することができるようにするものである。

課題を解決するための手段

[0006] 本開示の第1の側面の光検出装置は、
半導体基板に形成された光電変換領域と、
前記半導体基板を貫通し、前記光電変換領域を画素毎に分離する画素分離

部と

を備え、

前記画素分離部は、前記半導体基板の第1面側の第1分離壁と、前記半導体基板の第1面と反対の第2面側の第2分離壁とを有し、

前記第1分離壁と前記第2分離壁の幅は異なり、

前記光電変換領域を水平方向または垂直方向に二分する中心線に対して垂直な方向の前記光電変換領域の前記第2分離壁までの幅に関し、画素の辺中央部の第1の幅が、画素の角近傍部の第2の幅より大きく構成された

を備える。

[0007] 本開示の第2の側面の電子機器は、

半導体基板に形成された光電変換領域と、

前記半導体基板を貫通し、前記光電変換領域を画素毎に分離する画素分離部と

を備え、

前記画素分離部は、前記半導体基板の第1面側の第1分離壁と、前記半導体基板の第1面と反対の第2面側の第2分離壁とを有し、

前記第1分離壁と前記第2分離壁の幅は異なり、

前記光電変換領域を水平方向または垂直方向に二分する中心線に対して垂直な方向の前記光電変換領域の前記第2分離壁までの幅に関し、画素の辺中央部の第1の幅が、画素の角近傍部の第2の幅より大きく構成された

光検出装置

を備える。

[0008] 本開示の第1及び第2の側面においては、半導体基板に形成された光電変換領域と、前記半導体基板を貫通し、前記光電変換領域を画素毎に分離する画素分離部とが設けられ、前記画素分離部は、前記半導体基板の第1面側の第1分離壁と、前記半導体基板の第1面と反対の第2面側の第2分離壁とを有し、前記第1分離壁と前記第2分離壁の幅は異なり、前記光電変換領域を水平方向または垂直方向に二分する中心線に対して垂直な方向の前記光電変

換領域の前記第2分離壁までの幅に関し、画素の辺中央部の第1の幅が、画素の角近傍部の第2の幅より大きく構成される。

[0009] 光検出装置及び電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

図面の簡単な説明

[0010] [図1]本開示の実施の形態に係る固体撮像装置の概略構成を示す図である。

[図2]画素の回路構成例を示す図である。

[図3]画素の第1構造例を示す断面図である。

[図4]画素の第1構造例の画素分離部の平面図である。

[図5]画素の第1構造例の変形例の画素分離部の平面図である。

[図6]画素の第1構造例の画素分離部の効果を説明する図である。

[図7]第1構造例に係る画素の画素分離部の形成方法を説明する図である。

[図8]第1構造例に係る画素の画素分離部の形成方法を説明する図である。

[図9]第1構造例に係る画素の画素分離部の形成方法を説明する図である。

[図10]画素の第2構造例を示す断面図である。

[図11]画素の第2構造例の画素分離部の平面図である。

[図12]画素の第2構造例の画素分離部の効果を説明する図である。

[図13]画素の変形例を示す平面図である。

[図14]画素の変形例を示す平面図である。

[図15]画素の変形例を示す平面図である。

[図16]長方形画素でマイグレーションが発生した場合を説明する図である。

[図17]長方形画素の繰り返し配列を説明する図である。

[図18]長方形画素の千鳥配置を説明する図である。

[図19]画素の千鳥配列のその他の例を示す図である。

[図20]長方形画素におけるカラーフィルタ配列例を説明する平面図である。

[図21]長方形画素におけるカラーフィルタ配列例を説明する平面図である。

[図22]イメージセンサの使用例を説明する図である。

[図23]本開示の技術を適用した電子機器としての撮像装置の構成例を示す図

ロック図である。

[図24]車両制御システムの概略的な構成の一例を示すブロック図である。

[図25]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0011] 以下、添付図面を参照しながら、本開示の技術を実施するための形態（以下、実施の形態という）について説明する。説明は以下の順序で行う。

1. 固体撮像装置の概略構成例
2. 画素の回路構成例
3. 画素の第1構造例
4. 第1構造例の画素分離部の形成方法
5. 画素の第2構造例
6. 画素の変形例
7. 長方形画素の千鳥配置
8. イメージセンサの使用例
9. 電子機器への適用例
10. 移動体への応用例

[0012] 以下の説明で参照する図面において、同一又は類似の部分には同一又は類似の符号を付すことにより重複説明を適宜省略する。図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は実際のものとは異なる。また、図面相互間においても、互いの寸法の関係や比率が異なる部分が含まれている場合がある。

[0013] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれる。

[0014] 本開示の技術は、画素が行列状に2次元配置された画素アレイ部を有し、入射光を光電変換して光量に応じた画素信号を出力する光検出装置全般に適用することができる。例えば、本開示の技術は、入射光の光量に応じた撮像

信号を生成して出力する固体撮像装置や、アクティブ光として照射された赤外光を受光し、direct ToF方式またはindirect ToF方式により被写体までの距離を測定する測距システムの受光装置（測距センサ）などに適用することができる。以下では、本開示の技術を、CMOSイメージセンサとも呼ばれるX-Yアドレス方式の固体撮像装置に適用した例を説明する。

[0015] < 1. 固体撮像装置の概略構成例 >

図1は、本開示の実施の形態に係る固体撮像装置の概略構成を示す図である。

[0016] 図1の固体撮像装置1は、画素アレイ部11と周辺回路部とを備える。周辺回路部は、例えば、垂直駆動部12、カラム処理部13、水平駆動部14、及び、システム制御部15を備える。

[0017] 固体撮像装置1は、さらに、信号処理部16及びデータ格納部17を備えている。信号処理部16及びデータ格納部17は、画素アレイ部11、垂直駆動部12等と同じ基板上に搭載しても構わないし、別の基板上に配置するようにしても構わない。また、信号処理部16及びデータ格納部17は、固体撮像装置1とは別の半導体チップに設けてもよい。

[0018] 画素アレイ部11は、複数の画素21が行方向及び列方向の行列状に2次元配置された構成となっている。ここで、行方向とは、画素アレイ部11の画素行、すなわち水平方向の配列方向を言い、列方向とは、画素アレイ部11の画素列、すなわち垂直方向の配列方向を言う。

[0019] 画素21は、受光した光量に応じた電荷を生成しかつ蓄積する光電変換部と、複数の画素トランジスタ（いわゆるMOSトランジスタ）を有する。なお、画素21の具体的回路構成例については、図2等を参照して後述する。

[0020] また、画素アレイ部11において、画素行ごとに行信号線としての画素駆動線22が行方向に沿って配線され、画素列ごとに列信号線としての垂直信号線23が列方向に沿って配線されている。画素駆動線22は、画素21から信号を読み出す際の駆動を行うための駆動信号を伝送する。図1では、画素駆動線22について1本の配線として示しているが、1本に限られるもの

ではない。画素駆動線 2 2 の一端は、垂直駆動部 1 2 の各行に対応した出力端に接続されている。

[0021] 垂直駆動部 1 2 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 1 1 の各画素を全画素同時あるいは行単位等で駆動する。垂直駆動部 1 2 は、システム制御部 1 5 とともに、画素アレイ部 1 1 の各画素の動作を制御する駆動部を構成している。垂直駆動部 1 2 は、具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の 2 つの走査系を有する。

[0022] 読出し走査系は、画素 2 1 から信号を読み出すために、画素アレイ部 1 1 の画素 2 1 を行単位で順に選択走査する。画素 2 1 から読み出される信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりも露光時間分だけ先行して掃出し走査を行う。

[0023] この掃出し走査系による掃出し走査により、読出し行の画素 2 1 の光電変換部から不要な電荷が掃き出されることによって各画素 2 1 の光電変換部がリセットされる。そして、この掃出し走査系による不要電荷を掃き出す（リセットする）ことにより、所謂電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換部の電荷を捨てて、新たに露光を開始する（電荷の蓄積を開始する）動作のことを言う。

[0024] 読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に受光した光量に対応するものである。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、画素 2 1 における露光期間となる。

[0025] 垂直駆動部 1 2 によって選択走査された画素行の各画素 2 1 から出力される信号は、画素列ごとに垂直信号線 2 3 の各々を通してカラム処理部 1 3 に入力される。カラム処理部 1 3 は、画素アレイ部 1 1 の画素列ごとに、選択行の各画素 2 1 から垂直信号線 2 3 を通して出力される信号に対して所定の

信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0026] 具体的には、カラム処理部 13 は、信号処理として少なくとも、ノイズ除去処理、例えば CDS (Correlated Double Sampling ; 相関二重サンプリング) 処理を行う。CDS 処理により、リセットノイズや画素内の増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理部 13 には、ノイズ除去処理以外に、例えば、AD (アナログーデジタル) 変換機能を持たせ、アナログの画素信号をデジタル信号に変換して出力することも可能である。

[0027] 水平駆動部 14 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部 13 の画素列に対応する単位回路を順番に選択する。この水平駆動部 14 による選択走査により、カラム処理部 13 において単位回路ごとに信号処理された画素信号が順番に出力される。

[0028] システム制御部 15 は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、タイミングジェネレータで生成された各種のタイミングを基に、垂直駆動部 12、カラム処理部 13、及び、水平駆動部 14 などの駆動制御を行う。

[0029] 信号処理部 16 は、少なくとも演算処理機能を有し、カラム処理部 13 から出力される画素信号に対して演算処理等の種々の信号処理を行う。データ格納部 17 は、信号処理部 16 での信号処理に当たって、その処理に必要なデータを一時的に格納する。信号処理部 16 において信号処理された画素信号は、所定のフォーマットに変換され、出力部 18 から装置外部へ出力される。

[0030] < 2. 画素の回路構成例 >

図 2 は、画素アレイ部 11 に行列状に 2 次元配置された各画素 21 の回路構成例を示している。

[0031] 各画素 21 は、例えば図 2 に示されるように、各画素の信号を読み出す読み出し回路を、行方向および列方向に 2 画素ずつの 2×2 の 4 画素で共有する共有画素構造を有している。

- [0032] 具体的には、画素アレイ部 1 1 において、光電変換部としてのフォトダイオードPDと転送トランジスタTGは画素単位に設けられ、浮遊拡散領域FD、リセットトランジスタRST、増幅トランジスタAMP、および、選択トランジスタSELは、共有単位である 4 画素で共有して使用される。転送トランジスタTG、リセットトランジスタRST、増幅トランジスタAMP、および、選択トランジスタSELの各画素トランジスタは、いずれも、N型のMOSトランジスタ（MOS FET）で構成され、読み出し回路を構成する。
- [0033] 図面では、読み出し回路を共有する 4 画素のフォトダイオードPDと転送トランジスタTGとを区別するため、フォトダイオードPD 1 乃至PD 4、及び、転送トランジスタTG 1 乃至TG 4 のように 1 乃至 4 の数字が付加されている。
- [0034] フォトダイオードPDは、受光した光量に応じた電荷（信号電荷）を生成し、蓄積する。フォトダイオードPDは、アノード端子が接地されているとともに、カソード端子が転送トランジスタTGを介して、浮遊拡散領域FDに接続されている。
- [0035] 転送トランジスタTGは、ゲート電極に供給される転送駆動信号によりオンされたとき、フォトダイオードPDで生成された電荷を読み出し、浮遊拡散領域FDに転送する。浮遊拡散領域FDは、4 個のフォトダイオードPDの少なくとも 1 つから読み出された電荷を保持する。
- [0036] リセットトランジスタRSTは、ゲート電極に供給されるリセット駆動信号によりオンされたとき、浮遊拡散領域FDに蓄積されている電荷がドレイン（電源電圧VDD）に排出され、浮遊拡散領域FDの電位をリセットする。
- [0037] 増幅トランジスタAMPは、浮遊拡散領域FDの電位に応じた信号を出力する。すなわち、増幅トランジスタAMPは、垂直信号線 2 3 を介して接続されている定電流源としての負荷MOSトランジスタ（不図示）とソースフォロア回路を構成し、浮遊拡散領域FDに蓄積されている電荷に応じたレベルを示す信号VSLが、増幅トランジスタAMPから選択トランジスタSELを介してカラム処理部 1 3（図 1）に出力される。
- [0038] 選択トランジスタSELは、ゲート電極に供給される選択駆動信号により共有

単位が選択されたときオンされ、共有単位の各画素 2 1 で生成された信号VSLを、垂直信号線 2 3 を介してカラム処理部 1 3 に出力する。転送駆動信号、選択駆動信号、及びリセット駆動信号は、図 1 の画素駆動線 2 2 を介して垂直駆動部 1 2 から供給される。

[0039] 共有単位の 2×2 の 4 個の画素 2 1 は、以上のように、リセットトランジスタRST、増幅トランジスタAMP、および、選択トランジスタSELの各画素トランジスタを共有して使用する。

[0040] 固体撮像装置 1 は、例えば、動作モードに応じて、次のような駆動を適宜選択して行うことができる。

[0041] 例えば、固体撮像装置 1 は、第 1 の動作モードとして、共有単位の 4 画素の転送トランジスタTGを 1 画素単位で順番にオンし、1 画素のフォトダイオードPDで生成された電荷を浮遊拡散領域FDに転送し、信号VSLとして、垂直信号線 2 3 を介してカラム処理部 1 3 に出力するモードが可能である。

[0042] 例えば、固体撮像装置 1 は、第 2 の動作モードとして、共有単位の 4 画素のうち、行方向または列方向に隣接する 2 画素単位で転送トランジスタTGをオンし、2 画素のフォトダイオードPDで生成された電荷を同時に浮遊拡散領域FDに転送し、信号VSLとして、垂直信号線 2 3 を介してカラム処理部 1 3 に出力するモードが可能である。

[0043] 例えば、固体撮像装置 1 は、第 3 の動作モードとして、共有単位の 4 画素全ての転送トランジスタTGを同時にオンし、4 画素のフォトダイオードPDで生成された電荷を同時に浮遊拡散領域FDに転送し、信号VSLとして、垂直信号線 2 3 を介してカラム処理部 1 3 に出力するモードが可能である。

[0044] なお、各画素 2 1 が読み出し回路を共有する共有単位は 4 画素に限定されない。例えば、 4×2 または 2×4 の 8 画素で読み出し回路を共有する回路構成を採用してもよい。勿論、各画素 2 1 は、読み出し回路を共有せずに、画素単位に個別に設ける構成も取り得る。

[0045] < 3. 画素の第 1 構造例 >

図 3 は、画素 2 1 の第 1 構造例を示す断面図である。

[0046] 以下に説明する画素21は、裏面照射型である場合を例に挙げて説明を行うが、本技術は表面照射型に対しても適用することができる。

[0047] 図3に示される画素21は、半導体材料として例えばシリコン(Si)を用いた半導体基板51に形成されている。図3において半導体基板51の上側の第1面51aは、半導体基板51のおもて面であり、第1面51aには、転送トランジスタTG、増幅トランジスタAMP、リセットトランジスタRST等の画素トランジスタと、多層配線層が形成されているが、図示が省略されている。多層配線層は、例えば、銅(Cu)、タングステン(W)、アルミニウム(Al)等の金属材料からなる配線と、シリコン酸化膜等からなる層間絶縁膜とを1層以上含む層である。一方、半導体基板51の下側の第2面51bが、半導体基板51の裏面であり、光が入射される光入射面である。

[0048] 半導体基板51には、第1面51a側に形成されたP型半導体領域61と、第2面51b側に形成されたN型半導体領域62が画素毎に形成され、P型半導体領域61とN型半導体領域62とによるPN接合を利用したフォトダイオードPDが構成されている。P型半導体領域61とN型半導体領域62は、画素21の光電変換領域の一部である。

[0049] また、半導体基板51の隣接する画素21どうしの境界部には、画素毎に形成された光電変換領域を画素単位に分離する画素分離部71が形成されている。画素分離部71は、異なる幅の第1分離壁71aと第2分離壁71bとで構成され、半導体基板51を貫通して、画素毎に形成された光電変換領域を完全分離している。具体的には、半導体基板51のおもて面側の第1分離壁71aの幅が、裏面側の第2分離壁71bの幅よりも大きく形成されている(第1分離壁71aの幅>第2分離壁71bの幅)。第1分離壁71aは、サイドウォール72と絶縁膜73とを埋め込むことにより構成され、第2分離壁71bは、絶縁膜73のみを埋め込むことにより構成されている。サイドウォール72は、酸化膜(SiO₂)、窒化膜(SiN)、または、それらの積層で形成されている。絶縁膜73は、例えば、SiO₂、SiN、アンダーコートポリシリコン、Al₂O₃などで形成されている。

[0050] 第2分離壁71bの側壁には、画素21の中心側（内側）へ向かって、P型半導体領域74、N型半導体領域75が、その順番で形成されている。P型半導体領域74とN型半導体領域75も画素21の光電変換領域の一部である。N型半導体領域62とN型半導体領域75は不純物濃度が異なり、N型半導体領域75は、N型半導体領域62よりも高濃度な領域とされている。P型半導体領域74は、第2分離壁71bの側壁に沿って高濃度で形成されることにより、第2分離壁71bの界面からの電子を抑制する。また、高濃度のP型半導体領域74の内側（画素中心側）に高濃度のN型半導体領域75を形成することにより、飽和電荷量 Q_s を増大させることができる。P型半導体領域74とN型半導体領域75は、例えば、コンフォーマルドーピングにより形成される。コンフォーマルドーピングは、例えば、固相拡散法や、プラズマドーピング法などを含む不純物領域形成方法である。

[0051] 半導体基板51の光入射面である第2面51b上には、平坦化膜81が形成されている。平坦化膜81内部の画素境界部には、遮光膜82が形成されている。遮光膜82は、隣接する画素21への光の漏れ込みを防止するために設けられている。遮光膜82は、例えば、W（タングステン）等の金属材料から成る。

[0052] 平坦化膜81のさらに外側には、入射光をフォトダイオードPDに集光させるOCL（オンチップレンズ）83が形成されている。OCL83は、無機材料で形成することができ、例えば、 SiN 、 SiO 、 SiO_xNy （ただし、 $0 < x \leq 1$ 、 $0 < y \leq 1$ である）を用いることができる。

[0053] 図3では図示していないが、OCL83にカバーガラスや、樹脂などの透明板が接着されている構成とすることもできる。また、図3では図示していないが、OCL83と平坦化膜81との間にカラーフィルタ層を形成した構成としても良い。カラーフィルタ層を形成した場合のカラーフィルタ配列は、例えば、 2×2 の4画素に、R（赤）、G（緑）、G（緑）、B（青）のカラーフィルタを配置したベイア配列や、1色の配置単位を 2×2 の4画素として、 2×2 の4画素単位でR、G、G、Bのカラーフィルタをベイア配列で配置したクワッドベイ

ヤ配列で配列することができる。

[0054] 以上のように、画素21は、半導体基板51の深さ位置によって異なる幅で形成された第1分離壁71aと第2分離壁71bとからなる画素分離部71を有する。第1分離壁71aと第2分離壁71bは、異なる平面形状で構成されている。

[0055] 図4は、第1分離壁71aと第2分離壁71bの平面形状を模式的に示した平面図である。

[0056] 図4の第1分離壁71a'は、図3のX-X'線における第1分離壁71aとN型半導体領域62との境界を示している。図4の第2分離壁71b'は、図3のY-Y'線における第2分離壁71bとP型半導体領域74との境界を示している。

[0057] 第1分離壁71a'は、半導体基板51のおもて面である第1面51a側の画素分離部71と光電変換領域との境界であり、第2分離壁71b'は、半導体基板51の裏面である第2面51b側の画素分離部71と光電変換領域との境界である。したがって、画素21は、画素分離部71の平面形状が、半導体基板51のおもて面側からみた場合と、裏面側からみた場合とで異なるように形成されている。

[0058] 第1分離壁71a'は、光電変換領域の角部を除いて直線的に形成されており、略矩形の平面形状を有している。一方、第2分離壁71b'は、略円形の平面形状を有している。隣接する画素21の第1分離壁71a'間の幅DSaは、第2分離壁71b'間の幅DSbよりも大きい（幅広である）。画素分離部71の製造方法については後述するが、このような平面形状の違いは、製造工程において、サイドウォール72の有無と、水素ベーク処理（H2 Bake）を行った際の半導体層（Si）のマイグレーションによって発生する。

[0059] 画素21の光電変換領域を水平方向（図4において左右方向）に二分する線を中心線101hとして、中心線101hに対して垂直な方向の光電変換領域の第1分離壁71a'までの幅HUaを、光電変換領域の辺中央部と角近傍部と比較すると、辺中央部の第1分離壁71a'までの第1の幅HUa1と、角

近傍部の第1分離壁71a'までの第2の幅HUa2とは略同一である（第1の幅HUa1＝第2の幅HUa2）。

[0060] 一方、中心線101hに対して垂直な方向の光電変換領域の第2分離壁71b'までの幅HLbを、画素21の辺中央部と角近傍部で比較すると、辺中央部の第2分離壁71b'までの第1の幅HLb1が、角近傍部の第2分離壁71b'までの第2の幅HLb2よりも大きい（第1の幅HLb1＞第2の幅HLb2）。光電変換領域の辺中央部の第1分離壁71a'までの第1の幅HUa1と、第2分離壁71b'までの第1の幅HLb1とを比較すると、辺中央部の第2分離壁71b'までの第1の幅HLb1が、第1分離壁71a'までの第1の幅HUa1よりも大きい（第1の幅HLb1＞第1の幅HUa1）。中心線101hに対して垂直な方向の光電変換領域の幅HLbは、光電変換領域の辺中央部から角近傍部へ向かうに従い（第1の幅HLb1→第2の幅HLb2）、徐々に小さくなっている。光電変換領域の角近傍部において、第1分離壁71a'までの第2の幅HUa2と、第2分離壁71b'までの第2の幅HLb2とを比較すると、第2分離壁71b'までの第2の幅HLb2が、第1分離壁71a'までの第2の幅HUa2よりも小さい（第2の幅HLb2＜第2の幅HUa2）。

[0061] このような幅の大小関係は、光電変換領域を垂直方向（図4において上下方向）に二分する線を中心線101vとして、中心線101vに対して垂直な方向の光電変換領域の辺中央部と角近傍部の幅についても同様に言うことができる。すなわち、中心線101vに対して垂直な方向の光電変換領域の第1分離壁71a'までの幅VUaを、光電変換領域の辺中央部と角近傍部で比較すると、辺中央部の第1分離壁71a'までの第1の幅VUa1と、角近傍部の第1分離壁71a'までの第2の幅VUa2とは略同一である（第1の幅VUa1＝第2の幅VUa2）。

[0062] 一方、中心線101vに対して垂直な方向の光電変換領域の第2分離壁71b'までの幅VLbを、光電変換領域の辺中央部と角近傍部で比較すると、辺中央部の第2分離壁71b'までの第1の幅VLb1が、角近傍部の第2分離壁71b'までの第2の幅VLb2よりも大きい（第1の幅VLb1＞第2の幅VLb2）

。光電変換領域の辺中央部の第1分離壁71a'までの第1の幅VUa1と、第2分離壁71b'までの第1の幅VLb1とを比較すると、第2分離壁71b'までの第1の幅VLb1が、第1分離壁71a'までの第1の幅VUa1よりも大きい(第1の幅VLb1>第1の幅VUa1)。中心線101vに対して垂直な方向の光電変換領域の幅VLbは、光電変換領域の辺中央部から角近傍部へ向かうに従い(第1の幅VLb1→第2の幅VLb2)、徐々に小さくなっている。光電変換領域の角近傍部において、第1分離壁71a'までの第2の幅VUa2と、第2分離壁71b'までの第2の幅VLb2とを比較すると、第1分離壁71a'までの第2の幅VUa2が、第2分離壁71b'までの第2の幅VLb2よりも大きい(第2の幅VUa2>第2の幅VLb2)。

[0063] 図5は、画素21の第1構造例の変形例であって、図4と同様に第1分離壁71aと第2分離壁71bの平面形状を模式的に示した平面図である。

[0064] 製造時の条件によっては、図5に示されるように、第2分離壁71b'の平面形状が、略円形というより、略八角形に近い形状となる場合もある。この場合においても、光電変換領域を垂直方向または水平方向に二分する中心線101hまたは101vを基準とする幅HUa (HUa1, HUa2)、幅HUb (HUb1, HUb2)、幅VUa (VUa1, VUa2)、及び、幅VUb (VUb1, VUb2)は、上述した関係を有している。中心線101hに対して垂直な方向の光電変換領域の幅HLbは、光電変換領域の辺中央部から角近傍部へ向かうに従い(第1の幅HLb1→第2の幅HLb2)、辺中央部と同じか、それより小さい幅となっている。中心線101vに対して垂直な方向の光電変換領域の幅VLbは、光電変換領域の辺中央部から角近傍部へ向かうに従い(第1の幅VLb1→第2の幅VLb2)、辺中央部と同じか、それより小さい幅となっている。

[0065] 以上のように、第1構造例に係る画素21は、各画素の光電変換領域を完全分離する画素分離部71の平面形状として、半導体基板51のおもて面である第1面51a側に近い第1分離壁71aでは略矩形の平面形状を有し、それよりも深い第2分離壁71bでは略円形または略八角形の平面形状を有することを特徴とする。

- [0066] 図6を参照して、第2分離壁71bの平面形状が略矩形状ではなく、略円形状に形成されている場合の効果について説明する。
- [0067] 図6のAは、画素分離部71の第2分離壁71bで分離された光電変換領域が仮に矩形状で形成された場合の光電変換領域の平面図とポテンシャル図を示している。
- [0068] 図6のBは、画素分離部71の第2分離壁71bで分離された光電変換領域が円形状で形成された場合の光電変換領域の平面図とポテンシャル図を示している。
- [0069] P型半導体領域74とN型半導体領域75は、第2分離壁71bに沿ってコンフォーマルドーピングによって形成される。コンフォーマルドーピングによりP型半導体領域74とN型半導体領域75を形成する際、図6のAの光電変換領域の角部においては、第2分離壁71bの水平方向からのドーピングと、垂直方向からのドーピングとが2重に行われる。そのため、矢印121Xで示される、角部から画素中心方向に向かうポテンシャル121Xpと、矢印121Yで示される、辺中央部から画素中心方向に向かうポテンシャル121Ypとを比較すると、角部にポテンシャルが深い領域が形成される。ポテンシャル121Xpとポテンシャル121Ypとが異なる結果、電荷の転送設計が難しくなる。
- [0070] これに対して、図6のBのように光電変換領域が円形状で形成された場合、第2分離壁71bからのコンフォーマルドーピングがどの側壁からも均等に行われるため、角部から画素中心方向に向かうポテンシャル121Xpと、辺中央部から画素中心方向に向かうポテンシャル121Ypとが均一になる。ポテンシャル121Xpとポテンシャル121Ypとが均一になることにより、電荷の転送設計が容易になり、相対的に画素21の飽和電荷量 Q_s を上げる設計も可能となる。
- [0071] 以上のように、第1構造例に係る画素21は、画素分離部71の平面形状として、半導体基板51のおもて面側に近い第1分離壁71aでは略矩形の平面形状を有し、それよりも深い第2分離壁71bでは略円形または略八角

形の平面形状を有することにより、光電変換領域内の電荷転送を改善することができる。一方で、半導体基板51のおもて面側は転送トランジスタTGや浮遊拡散領域FDを形成するため直線状であることが好ましく、第1分離壁71aの平面形状が略矩形状であるため好適である。

[0072] <4. 第1構造例の画素分離部の形成方法>

図7ないし図9を参照して、第1構造例に係る画素21の画素分離部71の形成方法を説明する。図7及び図8では、画素アレイ部11の水平方向または垂直方向に並ぶ3つの画素分離部71を形成する際の断面図が示されている。

[0073] 初めに、図7のAに示されるように、SiN、SiO₂等を用いたハードマスク201が、半導体基板51のおもて面である第1面51aの所定の領域に形成される。ハードマスク201が形成される領域は、画素分離部71の第1分離壁71aを形成する領域以外の領域である。そして、ハードマスク201に基づいて半導体基板51の一部がドライエッチングにより除去され、第1分離壁71aに対応する深さのトレンチ202が形成される。トレンチ202の平面形状は、画素境界部に沿った格子状となる。

[0074] 次に、図7のBに示されるように、トレンチ202の側壁にサイドウォール72が形成される。サイドウォール72は、例えば、CVD、ALD等により酸化膜、窒化膜などを積層した後、それらをRIE法でエッチバックすることにより形成することができる。

[0075] 次に、図7のCに示されるように、ハードマスク201及びサイドウォール72をマスクとしてドライエッチングを行うことにより、第2分離壁71bに対応する深さのトレンチ203が形成される。トレンチ203の平面形状は、図9のAのようになる。

[0076] 次に、図7のDに示されるように、P（リン）等のN型の不純物を用いたコンフォーマルドーピングにより、N型半導体領域75がトレンチ203の側壁に形成される。コンフォーマルドーピングとしては、例えば、固相拡散法や、プラズマドーピング法などを用いることができる。

[0077] 続いて、図8のAに示されるように、イン・サイチュー（in-situ）で水素ベーク処理（H₂ Bake）が行われる。水素ベーク処理により、サイドウォール72で覆われていないトレンチ203の側壁近傍の半導体基板51のシリコン層はマイグレーションし、半導体基板51のおもて面側から深い部分の第2分離壁71bとなるトレンチ203の平面形状は、図9のBの破線で示されるように、略円形状または略八角形状の平面形状になる。水素ベーク処理が不足すると、半導体基板51のシリコン層と、次の工程においてエピタキシャル成長で形成するシリコン層221との界面に、残存自然酸化膜などにより筋欠陥が発生し、Dark特性が悪化する。

[0078] 次に、図8のBに示されるように、エピタキシャル成長を用いて、トレンチ203の側壁にシリコン層221が形成される。そのシリコン層221に対して、B（ボロン）等のP型の不純物を用いたコンフォーマルドーピングを行うことにより、図8のCに示されるように、P型半導体領域74がトレンチ203の側壁に形成される。

[0079] 最後に、図8のDに示されるように、例えば、SiO₂、SiN等の絶縁膜73がトレンチ203の内部に埋め込まれることにより、画素分離部71を構成する第1分離壁71aと第2分離壁71bが完成する。その後、半導体基板51の裏面側である第2面51bが、第2分離壁71bが露出する厚さまで薄肉化される。

[0080] 第1構造例の画素分離部71は、以上のようにして形成することができる。

[0081] <5. 画素の第2構造例>

図10は、画素21の第2構造例を示す断面図である。

[0082] 図10において、図3で示した第1構造例と共通する部分については同一の符号を付してあり、その部分の説明は省略し、異なる部分について説明する。

[0083] 図10の第2構造例は、画素分離部71を構成する第1分離壁71aと第2分離壁71bの真ん中に、絶縁膜73ではなく、導電性材料241が埋め

込まれ、所定のバイアス電圧（例えば負バイアス）が印加される点で第1構造例と相違し、その他の点で共通する。導電性材料241は、例えば、ポリシリコン、N型不純物またはP型不純物がドーピングされたドーピングポリシリコン、ITO（インジウム錫オキシド）やZnOなどの透明電極等で構成される。画素分離部71の一部として導電性材料241が埋め込まれ、所定のバイアス電圧（例えば負バイアス）を印加することにより、画素分離部71の側壁のピニングを強化することができ、Dark特性を改善することができる。

[0084] なお、図10の第2分離壁71bでは、導電性材料241とP型半導体領域74との間には絶縁膜73が形成されていないが、第1分離壁71aと同様に絶縁膜73が形成されてもよい。この場合、第2分離壁71bは、平面視で絶縁膜73で挟まれた中央部に導電性材料241を埋め込んで構成される。

[0085] 図11は、画素分離部71の一部である導電性材料241の平面形状を模式的に示した平面図である。

[0086] 図10のX-X'線における第1分離壁71aの導電性材料241は、実線で示されるように略矩形の平面形状を有し、図10のY-Y'線における第2分離壁71bの導電性材料241は、破線で示されるように略円形の平面形状を有する。

[0087] 図12を参照して、画素分離部71の一部として導電性材料241を埋め込んだ場合に、第2分離壁71bの平面形状が略円形状に形成されている場合の効果について説明する。

[0088] 画素分離部71の導電性材料241の平面形状が、仮に図12のAに示されるように矩形状で形成された場合、負バイアスが印加された導電性材料241からの電界が、水平方向の辺（側壁）と垂直方向の辺（側壁）の両方から発生するため、光電変換領域の角部で電界が集中し、TDDDB(Time Dependent Dielectric Breakdown)寿命の悪化など、信頼性上のウィークスポットとなる。図12のBに示されるように、導電性材料241の平面形状を円形状に形成した場合、導電性材料241による電界が均一となるため、平面形状が円形

状に近くなることにより電界集中が緩和され、耐圧性が向上する。したがって、画素分離部 7 1 の一部としての導電性材料 2 4 1 の平面形状を略円形状または略八角形状とすることで、固体撮像装置 1 の信頼性を向上させることができる。

[0089] 以上のように、第 2 構造例に係る画素 2 1 によれば、第 1 構造例における光電変換領域内の電荷転送の改善に加えて、信頼性を向上させることができる。

[0090] < 6. 画素の変形例 >

図 1 3 は、画素 2 1 の変形例を示す平面図である。

[0091] 上述した画素 2 1 の第 1 構造例及び第 2 構造例は、図 1 3 の A に示されるように、光電変換領域であるフォトダイオード PD の平面形状を正形状とした画素構造である。

[0092] しかしながら、上述した画素分離部 7 1 の構造は、図 1 3 の B 及び C に示されるような、光電変換領域であるフォトダイオード PD の平面形状が長形状であるような画素構造についても適用可能である。

[0093] 図 1 3 の B 及び C は、フォトダイオード PD の平面形状が長形状であり、左右に並ぶ 2 つのフォトダイオード PD の間に、オーバーフローパス 3 0 1 が形成された構造を示している。図 1 3 の B は、フォトダイオード PD の周囲が絶縁膜 7 3 で構成された第 1 構造例の画素分離部 7 1 に対応し、図 1 3 の C は、フォトダイオード PD の周囲に導電性材料 2 4 1 を形成した第 2 構造例の画素分離部 7 1 に対応する。

[0094] このようにフォトダイオード PD の平面形状が長形状であり、左右に並ぶ 2 つのフォトダイオード PD の間に、オーバーフローパス 3 0 1 が形成された画素構造は、図 1 4 に示されるように各画素 2 1 の平面形状が長形状で構成され、行方向に隣接する 2 個の画素領域で正形状とされる。そして、正形状とされた 2 画素に対して、1 つのオンチップレンズ 3 1 1 が配置される。各画素 2 1 は、 2×2 の 4 画素で浮遊拡散領域 FD を共有し、共有単位を構成する 4 画素領域の中心部に浮遊拡散領域 FD が配置されている。各画素 2

1の転送トランジスタTG(TG1、TG2、TG3、TG4)は、浮遊拡散領域FD近傍に配置されている。

[0095] このような画素構成例において、固体撮像装置1の垂直駆動部12が、例えば、1つのオンチップレンズ311を共有する2画素の信号を1画素単位で出力した場合、1つのオンチップレンズ311の右側の画素21(R画素)で受光したR画素信号と、左側の画素21(L画素)で受光したL画素信号とは位相差を有することから、位相差信号として利用することができる。一方、位相差を検出せずに、撮像画像のための信号として利用する場合には、1つのオンチップレンズ311を共有する2画素の転送トランジスタTGが同時にオンされる。

[0096] 1つのオンチップレンズ311を共有する2画素のフォトダイオードPDの間には、オーバーフローパス301が形成されている。オーバーフローパス301は、所定のポテンシャル障壁(分離ポテンシャル)で左側の画素21と右側の画素21とを分離する。信号電荷の量がオーバーフローパス301のポテンシャル障壁の高さまでは、左側の画素21と右側の画素21の信号電荷が、それぞれのフォトダイオードPDに独立して蓄積される。信号電荷の量がオーバーフローパス301のポテンシャル障壁の高さを超えると、2画素のフォトダイオードPDの一方から他方へ、オーバーフローパス301を介して信号電荷が流れる。2画素のフォトダイオードPDの間に形成されるオーバーフローパス301の位置は、図13に示したような長辺の中央部ではなく、図15のA及びBに示されるような長辺の端部(上端または下端)に設けた構成であってもよい。図15は、上下に隣接する2画素でオーバーフローパス301の位置が対称に配置されている例であるが、各画素で長辺の上端または下端の同じ位置に配置してもよい。

[0097] <7. 長方形画素の千鳥配置>

図13～図15で示したような、一画素の平面形状が長方形で構成され、オーバーフローパス301を有する2個の画素領域で正形状とされる画素21を、以下では、長方形画素21と称する。また、1つのオンチップレ

レンズ 3 1 1（図 1 4）を共有する 2 個の長方形画素 2 1 を正方単位画素と称する。

[0098] 長方形画素 2 1 においては、半導体層（Si）のマイグレーションが発生した場合、長方形の光電変換領域が、図 1 6 に示されるように変化する。すなわち、マイグレーションにより、2 つのフォトダイオード PD の間の溝部を狭めるように光電変換領域が広がり、オーバーフローパス 3 0 1 の領域も拡大する。長方形の光電変換領域のうち、長辺方向の側面の外側への膨張は大きくなり、短辺方向の側面の外側への膨張は小さくなる。なお、マイグレーションとは、水素ベーク処理の熱により、フォトダイオード PD の光電変換領域の体積は同一のまま、側壁面の表面積が小さくなるように半導体層（Si）が変動することをいう。

[0099] 長方形画素 2 1 の光電変換領域がマイグレーションにより左右方向へ広がると、2 個の長方形画素 2 1 からなる正方単位画素の光電変換領域は円に近づく形状となるため、図 1 4 に示したオンチップレンズ 3 1 1 のレンズ形状に近い形状となり、入射光の集光がしやすくなる。また、長方形画素 2 1 の光電変換領域が左右方向へ広がることにより、オーバーフローパス 3 0 1 から長方形画素 2 1 の光電変換領域の中心部までの距離が離れるため、オーバーフローパス 3 0 1 の分離ポテンシャルを形成するための P 型イオン注入における P 型イオン拡散の影響を低減することができる。これにより、フォトダイオード PD の転送設計が容易となる。さらに、長方形画素 2 1 の光電変換領域のオーバーフローパス 3 0 1 に近い角部は、マイグレーションにより溝部を広げる方向に移動するため、2 つのフォトダイオード PD のオーバーフローパス 3 0 1 以外の画素分離はしやすくなる。

[0100] 一方で、マイグレーションが発生すると、フォトダイオード PD の光電変換領域の長辺部分が外側へ膨らむので、図 1 7 に示されるように、画素アレイ部 1 1 において長方形画素 2 1 を行方向及び列方向に繰り返し配列した画素配列では、実線で囲んだ領域 3 2 1 のように、左右方向（行方向）に隣接する画素分離部 7 1（図 1 7 では不図示）の線幅が減少する。画素領域の分離

を確実にするため、左右方向に隣接する画素分離部 7 1 の線幅減少を見越して、画素分離部 7 1 の線幅を予め大きめ（幅広）に形成すると、一画素当たりの光電変換領域の体積が減少するため、飽和電荷量 Q_s が減少する。反対に、領域 3 2 2 のような画素分離部 7 1 の交差部では画素分離部 7 1 の線幅が拡大し、画素分離部 7 1 内に埋め込む絶縁膜 7 3 や導電性材料 2 4 1 の埋め込みが難しくなる。

[0101] そこで、固体撮像装置 1 は、画素アレイ部 1 1 の画素構造を長方形画素 2 1 とする場合、図 1 8 に示されるように、隣接する正方単位画素の他の画素列と画素サイズの半ピッチだけ画素位置を列方向にずらした千鳥配置で正方単位画素を配列して構成される。これにより、領域 3 4 1 で示されるように、隣接する第 1 画素列と第 2 画素列のうちの一方の第 1 画素列の長方形画素 2 1 のフォトダイオードPDの光電変換領域が膨らんだ長辺部分と、他方の第 2 画素列の長方形画素 2 1 のフォトダイオードPDの光電変換領域が凹んだ角部分とが近接する配置となり、画素アレイ部 1 1 全体で長方形画素 2 1 のフォトダイオードPDを効率良く配置することができる。図 1 8 の長方形画素 2 1 の千鳥配列は、図 1 7 で示した長方形画素 2 1 の行列状の繰り返し配列と比較して、同一の画素サイズの場合、フォトダイオードPDの光電変換領域の体積増により、飽和電荷量 Q_s を増大させることができる。フォトダイオードPDの光電変換領域の体積を同一として、図 1 8 の千鳥配列と、図 1 7 の繰り返し配列を比較した場合には、図 1 8 の千鳥配列の方が、画素ピッチをより小さくすることができ、画素の微細化が可能となる。また、図 1 7 の領域 3 2 2 のような画素分離部 7 1 の線幅が拡大する部分をなくすることができるため、材料埋め込み性の問題も改善することができる。

[0102] 図 1 9 は、画素の千鳥配列のその他の例を示す図である。

[0103] 図 1 9 のAは、正方単位画素を千鳥配置で配列した他の例である。図 1 9 のAでは、長方形画素 2 1 の長辺が行方向と平行な方向となり、正方単位画素を構成する 2 個の長方形画素 2 1 が、左右方向（行方向）ではなく上下方向（列方向）に並ぶように配置されている。また、上下に隣接する正方単位画素

の他の画素行と画素サイズの半ピッチだけ画素位置を行方向にずらして正方単位画素が配列されている。

[0104] 図19のBは、図13のAに示した正形状の画素構造の画素21を、隣接する他の画素列の画素21と画素サイズの半ピッチだけ画素位置を列方向にずらした千鳥配置で配列した例を示している。

[0105] 図19のCは、図13のAに示した正形状の画素構造の画素21を、隣接する他の画素行の画素21と画素サイズの半ピッチだけ画素位置を行方向にずらした千鳥配置で配列した例を示している。

[0106] 図19のDは、図13のAに示した正形状の画素構造の画素21を、行方向及び列方向に対して45度回転させ、45度の傾斜した方向に配列させた、いわゆるクリアビット配列に対して、隣接する他の画素列の画素21と画素サイズの半ピッチだけ画素位置を45度の傾斜方向へずらして配列した例を示している。

[0107] 図20及び図21は、長方形画素21に対してカラーフィルタを配置する場合のカラーフィルタ配列例を説明する図である。

[0108] 図20は、長方形画素21を図18に示した千鳥配置で配列した場合のカラーフィルタ配列例を示している。

[0109] 長方形画素21を図18の千鳥配置で配列した場合、例えば図20に示されるように、カラーフィルタ341R、341G、341Bをハニカム配列の場合のカラーフィルタ配列と同様に配置することができる。具体的には、正方単位画素の偶数列または奇数列の一方は緑（G）のカラーフィルタ341Gのみを配置した列とされ、他方は緑（G）のカラーフィルタ341Gと赤（R）のカラーフィルタ341Rを交互に配置した列か、または、青（B）のカラーフィルタ341Bと緑（G）のカラーフィルタ341Gを交互に配置した列とされる。青のカラーフィルタ341Bと赤のカラーフィルタ341Rは、周囲を緑のカラーフィルタ341Gの正方単位画素で囲まれる。青のカラーフィルタ341Bが配置された列と、赤のカラーフィルタ341Rが配置された列は、緑のカラーフィルタ341Gのみを配置した列を挟んで配置される。

- [0110] 図21は、クワッドベイヤ配列のカラーフィルタ配列例を示している。
- [0111] 図21のクワッドベイヤ配列は、一色の配置単位を 2×2 の正方単位画素として、緑のカラーフィルタ341G、赤のカラーフィルタ341R、および、青のカラーフィルタ341Bをベイヤ配列で配置したカラーフィルタ配列である。長方形画素21のカラーフィルタ配列をクワッドベイヤ配列とする場合、例えば図21に示されるように、青のカラーフィルタ341Bが配置された長方形画素21と、赤のカラーフィルタ341Rが配置された長方形画素21の向きが、緑のカラーフィルタ341Gが配置された長方形画素21の向きと直交するように、同色のカラーフィルタ341を有する正方単位画素が配置される。
- [0112] なお、図20及び図21はカラーフィルタ341R, 341G, 341Bの配置を説明するための図であり、図20及び図21では、カラーフィルタ341R, 341G, 341BがフォトダイオードPDの内側のみに図示されているが、実際には、カラーフィルタ341R, 341G, 341Bは画素領域全体を覆うように形成されている。
- [0113] カラーフィルタ配列としては、上述したR, G, Bの3原色のカラーフィルタではなく、イエロー、マゼンダ、シアンの補色系のカラーフィルタを配列してもよい。
- [0114] <長方形画素の千鳥配置の形成方法>
- 長方形画素21を千鳥配置で形成する形成方法は、図7ないし図9を参照して説明した第1構造例に係る画素21の画素分離部71の形成方法と同様である。簡単に説明すると、図7のAにおけるハードマスク201のパターンが長方形画素21の千鳥配置に合わせたパターンとなる。そして、図8のAに示した水素ベーク処理により、半導体基板51のシリコン層はマイグレーションし、半導体基板51のおもて面側から深い部分の第2分離壁71bとなるトレンチ203の平面形状が図16の右側に示したような形状となる。次に、図8のBに示したように、エピタキシャル成長を用いて、トレンチ203の側壁にシリコン層221が形成され、P型の不純物を用いたコンフォーマル

ドーピングを行うことにより、P型半導体領域 7 4 がトレンチ 2 0 3 の側壁に形成される。この構成は信号電荷が電子である場合の例であるが、信号電荷が正孔である場合には、エピタキシャル成長により形成したシリコン層 2 2 1 にN型の不純物を用いたコンフォーマルドーピングが行われる。P型半導体領域 7 4 を形成しない場合には、エピタキシャル成長工程とコンフォーマルドーピング工程は省略される。

[0115] < 8. イメージセンサの使用例 >

図 2 2 は、上述の固体撮像装置 1 を用いたイメージセンサの使用例を示す図である。

[0116] 上述の固体撮像装置 1 は、イメージセンサとして、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0117] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0118] < 9. 電子機器への適用例 >

本開示の技術は、固体撮像装置への適用に限られるものではない。即ち、本開示の技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。固体撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール形態であってもよい。

[0119] 図 23 は、本開示の技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[0120] 図 23 の撮像装置 600 は、レンズ群などからなる光学部 601、図 1 の固体撮像装置 1 の構成が採用される固体撮像装置（撮像デバイス）602、およびカメラ信号処理回路である DSP (Digital Signal Processor) 回路 603 を備える。また、撮像装置 600 は、フレームメモリ 604、表示部 605、記録部 606、操作部 607、および電源部 608 も備える。DSP 回路 603、フレームメモリ 604、表示部 605、記録部 606、操作部 607 および電源部 608 は、バスライン 609 を介して相互に接続されている。

[0121] 光学部 601 は、被写体からの入射光（像光）を取り込んで固体撮像装置 602 の撮像面上に結像する。固体撮像装置 602 は、光学部 601 によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置 602 として、図 1 の固体撮像装置 1、即ち、画素分離部 71 の平面形状として、半導体基板 51 のおもて面側に近い第 1 分離壁 71a では略矩形の平面形状を有し、それよりも深い第 2 分離壁 71b では略円形または略八角形の平面形状を有する固体撮像装置が用いられる。

[0122] 表示部 605 は、例えば、LCD (Liquid Crystal Display) や有機 EL (Electro Luminescence) ディスプレイ等の薄型ディスプレイで構成され、固体撮像装

置 6 0 2 で撮像された動画または静止画を表示する。記録部 6 0 6 は、固体撮像装置 6 0 2 で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0123] 操作部 6 0 7 は、ユーザによる操作の下に、撮像装置 6 0 0 が持つ様々な機能について操作指令を発する。電源部 6 0 8 は、DSP回路 6 0 3、フレームメモリ 6 0 4、表示部 6 0 5、記録部 6 0 6 および操作部 6 0 7 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0124] 上述したように、固体撮像装置 6 0 2 として、上述した画素分離部 7 1 を有する固体撮像装置 1 を用いることで、フォトダイオードPDの転送設計を容易とし、飽和電荷量 Q_s を増大させることができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置 6 0 0 においても、高画質な撮像画像を取得することができる。

[0125] < 1 0 . 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0126] 図 2 4 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0127] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 2 4 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I / F (i n t e r f a

c e) 12053 が図示されている。

[0128] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0129] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0130] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0131] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

- [0132] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。
- [0133] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。
- [0134] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0135] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0136] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又

は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図24の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0137] 図25は、撮像部12031の設置位置の例を示す図である。

[0138] 図25では、車両12100は、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0139] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0140] なお、図25には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

- [0141] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよい、位相差検出用の画素を有する撮像素子であってもよい。
- [0142] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0143] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。
- [0144] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051

は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0145] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、撮像部 12031 として、固体撮像装置 1 を適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、小型化しつつも、より見やすい撮影画像を得ることができたり、距離情報を取得することができる。また、得られた撮影画像や距離情報を用いて、ドライバの疲労を軽減したり、ドライバや車両の安全度を高めることが可能になる。

[0146] 上述した例では、第 1 導電型を P 型、第 2 導電型を N 型として、電子を信号電荷とした固体撮像装置について説明したが、本開示は正孔を信号電荷とする固体撮像装置にも適用することができる。すなわち、第 1 導電型を N 型とし、第 2 導電型を P 型として、前述の各半導体領域を逆の導電型の半導体領域で構成することができる。

[0147] また、本開示の技術を、画像信号を出力する固体撮像装置へ適用した例について説明したが、本開示の技術は、固体撮像装置だけではなく、入射光を受光して光電変換する画素を備える光検出装置全般に適用することができる。例えば、アクティブ光として照射された赤外光を受光し、direct ToF方式

またはindirect ToF方式により被写体までの距離を測定する測距システムの受光装置（測距センサ）にも適用することができる。また、本開示の技術は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して適用可能である。

[0148] 本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の技術の要旨を逸脱しない範囲において種々の変更が可能である。例えば、上述した複数の構成例の全てまたは一部を組み合わせた形態を採用することができる。

[0149] 本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0150] なお、本開示の技術は、以下の構成を採用することができる。

(1)

半導体基板に形成された光電変換領域と、

前記半導体基板を貫通し、前記光電変換領域を画素毎に分離する画素分離部と

を備え、

前記画素分離部は、前記半導体基板の第1面側の第1分離壁と、前記半導体基板の第1面と反対の第2面側の第2分離壁とを有し、

前記第1分離壁と前記第2分離壁の幅は異なり、

前記光電変換領域を水平方向または垂直方向に二分する中心線に対して垂直な方向の前記光電変換領域の前記第2分離壁までの幅に関し、画素の辺中央部の第1の幅が、画素の角近傍部の第2の幅より大きく構成された

を備える光検出装置。

(2)

前記中心線に対して垂直な方向の前記光電変換領域の前記第1分離壁まで

の前記辺中央部の幅を第3の幅、前記角近傍部の幅を第4の幅とすると、

前記辺中央部の前記第2分離壁までの前記第1の幅は、前記第1分離壁までの前記第3の幅よりも大きく構成された

前記(1)に記載の光検出装置。

(3)

前記中心線に対して垂直な方向の前記光電変換領域の前記第1分離壁までの前記辺中央部の幅を第3の幅、前記角近傍部の幅を第4の幅とすると、

前記角近傍部の前記第2分離壁までの前記第2の幅は、前記第1分離壁までの前記第4の幅よりも小さく構成された

前記(1)または(2)に記載の光検出装置。

(4)

前記画素分離部の平面形状が、前記半導体基板の前記第1面側からみた場合と、前記第2面側からみた場合とで異なるように構成された

前記(1)ないし(3)のいずれかに記載の光検出装置。

(5)

前記第1分離壁の幅は、前記第2分離壁の幅より大きく構成された

前記(1)ないし(4)のいずれかに記載の光検出装置。

(6)

前記半導体基板の第1面は、前記半導体基板のおもて面であり、

前記半導体基板の第2面は、前記半導体基板の裏面である

前記(1)ないし(5)のいずれかに記載の光検出装置。

(7)

前記第1分離壁は、略矩形の平面形状を有し、

前記第2分離壁は、略円形または略八角形状の平面形状を有する

前記(1)ないし(6)のいずれかに記載の光検出装置。

(8)

前記第2分離壁の側壁に、画素の中心側へ向かって、第1導電型の半導体領域と、前記第1導電型と反対の第2導電型の半導体領域が、その順番で構

成された

前記（１）ないし（７）のいずれかに記載の光検出装置。

（９）

前記画素分離部は、導電性材料を埋め込んで構成され、前記導電性材料に所定のバイアス電圧が印加されるように構成された

前記（１）ないし（８）のいずれかに記載の光検出装置。

（１０）

前記画素分離部は、平面視で絶縁膜で挟まれた中央部に導電性材料を埋め込んで構成され、前記導電性材料に所定のバイアス電圧が印加されるように構成された

前記（１）ないし（８）のいずれかに記載の光検出装置。

（１１）

前記画素分離部は絶縁膜を埋め込んで構成されている

前記（１）ないし（８）のいずれかに記載の光検出装置。

（１２）

２つの前記光電変換領域の間にオーバーフローパスを有する

前記（１）ないし（１１）のいずれかに記載の光検出装置。

（１３）

前記光電変換領域を有する画素の平面形状は長方形状で構成され、２個の画素領域で正形状とされ、

正形状の２個の前記画素の前記光電変換領域の間にオーバーフローパスを有する

前記（１）ないし（１２）のいずれかに記載の光検出装置。

（１４）

前記光電変換領域を有する画素の平面形状は長方形状で構成され、２個の画素領域で正形状とされる正方単位画素は、隣接する他の画素列または他の画素行の正方単位画素と画素サイズの半ピッチだけ画素位置をずらして配置されている

前記（１）ないし（１３）のいずれかに記載の光検出装置。

（１５）

前記画素列は、緑のカラーフィルタのみを配置した画素列、緑のカラーフィルタと赤のカラーフィルタを交互に配置した画素列、または、緑のカラーフィルタと青のカラーフィルタを交互に配置した画素列のいずれかである

前記（１４）に記載の光検出装置。

（１６）

前記光電変換領域を有する画素の平面形状は長方形状で構成され、２個の画素領域で正方形状とされる正方単位画素は、赤、緑、または青のカラーフィルタが 2×2 の正方単位画素単位で配置されたカラーフィルタ配列を有する

前記（１）ないし（１２）のいずれかに記載の光検出装置。

（１７）

前記光電変換領域を有する画素は、隣接する他の画素列または他の画素行の画素と画素サイズの半ピッチだけ画素位置をずらして配置されている

前記（１）ないし（１２）のいずれかに記載の光検出装置。

（１８）

半導体基板に形成された光電変換領域と、

前記半導体基板を貫通し、前記光電変換領域を画素毎に分離する画素分離部と

を備え、

前記画素分離部は、前記半導体基板の第１面側の第１分離壁と、前記半導体基板の第１面と反対の第２面側の第２分離壁とを有し、

前記第１分離壁と前記第２分離壁の幅は異なり、

前記光電変換領域を水平方向または垂直方向に二分する中心線に対して垂直な方向の前記光電変換領域の前記第２分離壁までの幅に関し、画素の辺中央部の第１の幅が、画素の角近傍部の第２の幅より大きく構成された

光検出装置

を備える電子機器。

符号の説明

[0151] 1 固体撮像装置, 11 画素アレイ部, 21 画素, 51 半導体基板, 51a 第1面, 51b 第2面, 61 P型半導体領域, 62 N型半導体領域, 71 画素分離部, 71a, 71a' 第1分離壁, 71b, 71b' 第2分離壁, 72 サイドウォール, 73 絶縁膜, 74 P型半導体領域, 75 N型半導体領域, 81 平坦化膜, 82 遮光膜, 241 導電性材料, 301 オーバーフローパス, 311 オンチップレンズ, 341 カラーフィルタ, 600 撮像装置, 602 固体撮像装置, HLb1 第1の幅, HLb2 第2の幅, HUa1 第1の幅, HUa2 第2の幅, VLb1 第1の幅, VLb2 第2の幅, VUa1 第1の幅, VUa2 第2の幅, PD フォトダイオード, RST リセットトランジスタ, SEL 選択トランジスタ, TG 転送トランジスタ, AMP 増幅トランジスタ, FD 浮遊拡散領域

請求の範囲

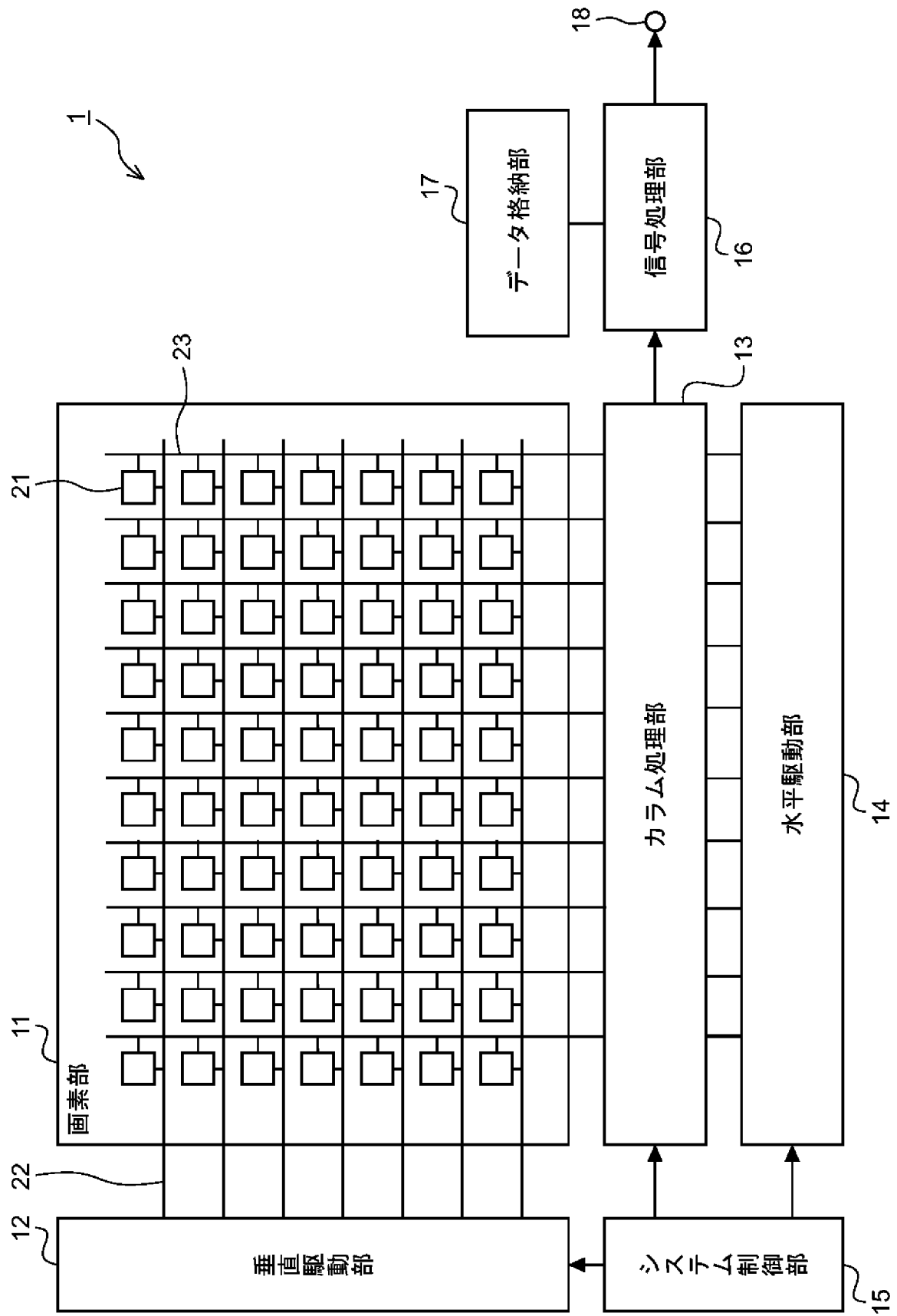
- [請求項1] 半導体基板に形成された光電変換領域と、
 前記半導体基板を貫通し、前記光電変換領域を画素毎に分離する画素分離部と
 を備え、
 前記画素分離部は、前記半導体基板の第1面側の第1分離壁と、前記半導体基板の第1面と反対の第2面側の第2分離壁とを有し、
 前記第1分離壁と前記第2分離壁の幅は異なり、
 前記光電変換領域を水平方向または垂直方向に二分する中心線に対して垂直な方向の前記光電変換領域の前記第2分離壁までの幅に関し、画素の辺中央部の第1の幅が、画素の角近傍部の第2の幅より大きく構成された
 光検出装置。
- [請求項2] 前記中心線に対して垂直な方向の前記光電変換領域の前記第1分離壁までの前記辺中央部の幅を第3の幅、前記角近傍部の幅を第4の幅とすると、
 前記辺中央部の前記第2分離壁までの前記第1の幅は、前記第1分離壁までの前記第3の幅よりも大きく構成された
 請求項1に記載の光検出装置。
- [請求項3] 前記中心線に対して垂直な方向の前記光電変換領域の前記第1分離壁までの前記辺中央部の幅を第3の幅、前記角近傍部の幅を第4の幅とすると、
 前記角近傍部の前記第2分離壁までの前記第2の幅は、前記第1分離壁までの前記第4の幅よりも小さく構成された
 請求項1に記載の光検出装置。
- [請求項4] 前記画素分離部の平面形状が、前記半導体基板の前記第1面側からみた場合と、前記第2面側からみた場合とで異なるように構成された
 請求項1に記載の光検出装置。

- [請求項5] 前記第1分離壁の幅は、前記第2分離壁の幅より大きく構成された請求項1に記載の光検出装置。
- [請求項6] 前記半導体基板の第1面は、前記半導体基板のおもて面であり、前記半導体基板の第2面は、前記半導体基板の裏面である請求項1に記載の光検出装置。
- [請求項7] 前記第1分離壁は、略矩形の平面形状を有し、前記第2分離壁は、略円形または略八角形状の平面形状を有する請求項1に記載の光検出装置。
- [請求項8] 前記第2分離壁の側壁に、画素の中心側へ向かって、第1導電型の半導体領域と、前記第1導電型と反対の第2導電型の半導体領域が、その順番で構成された請求項1に記載の光検出装置。
- [請求項9] 前記画素分離部は、導電性材料を埋め込んで構成され、前記導電性材料に所定のバイアス電圧が印加されるように構成された請求項1に記載の光検出装置。
- [請求項10] 前記画素分離部は、平面視で絶縁膜で挟まれた中央部に導電性材料を埋め込んで構成され、前記導電性材料に所定のバイアス電圧が印加されるように構成された請求項1に記載の光検出装置。
- [請求項11] 前記画素分離部は絶縁膜を埋め込んで構成されている請求項1に記載の光検出装置。
- [請求項12] 2つの前記光電変換領域の間にオーバーフローパスを有する請求項1に記載の光検出装置。
- [請求項13] 前記光電変換領域を有する画素の平面形状は長方形で構成され、2つの画素領域で正形状とされ、正形状の2つの前記画素の前記光電変換領域の間にオーバーフローパスを有する請求項1に記載の光検出装置。

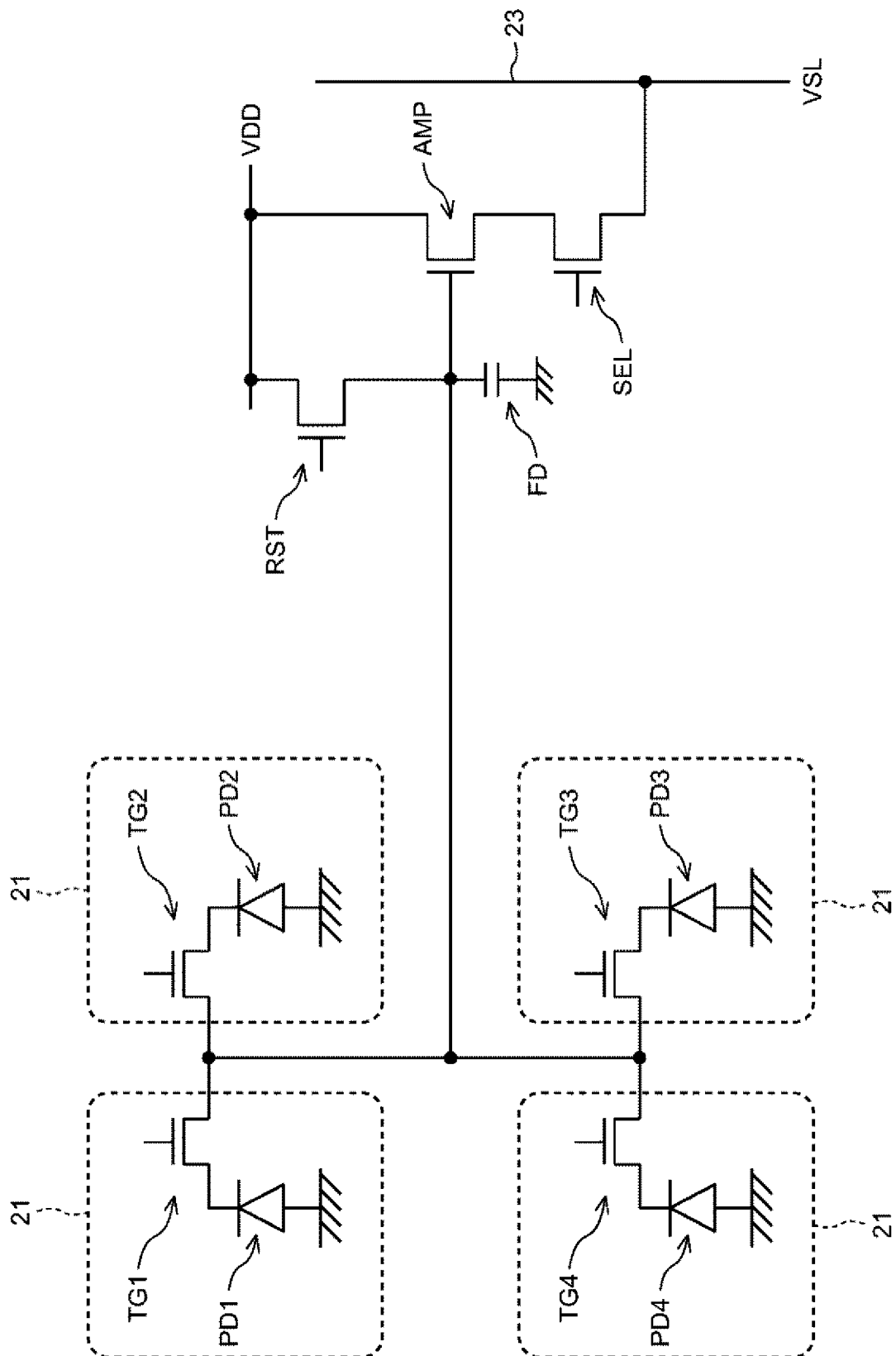
- [請求項14] 前記光電変換領域を有する画素の平面形状は長方形形状で構成され、2個の画素領域で正形状とされる正方単位画素は、隣接する他の画素列または他の画素行の正方単位画素と画素サイズの半ピッチだけ画素位置をずらして配置されている
- 請求項1に記載の光検出装置。
- [請求項15] 前記画素列は、緑のカラーフィルタのみを配置した画素列、緑のカラーフィルタと赤のカラーフィルタを交互に配置した画素列、または、緑のカラーフィルタと青のカラーフィルタを交互に配置した画素列のいずれかである
- 請求項14に記載の光検出装置。
- [請求項16] 前記光電変換領域を有する画素の平面形状は長方形形状で構成され、2個の画素領域で正形状とされる正方単位画素は、赤、緑、または青のカラーフィルタが 2×2 の正方単位画素単位で配置されたカラーフィルタ配列を有する
- 請求項1に記載の光検出装置。
- [請求項17] 前記光電変換領域を有する画素は、隣接する他の画素列または他の画素行の画素と画素サイズの半ピッチだけ画素位置をずらして配置されている
- 請求項1に記載の光検出装置。
- [請求項18] 半導体基板に形成された光電変換領域と、
- 前記半導体基板を貫通し、前記光電変換領域を画素毎に分離する画素分離部と
- を備え、
- 前記画素分離部は、前記半導体基板の第1面側の第1分離壁と、前記半導体基板の第1面と反対の第2面側の第2分離壁とを有し、
- 前記第1分離壁と前記第2分離壁の幅は異なり、
- 前記光電変換領域を水平方向または垂直方向に二分する中心線に対して垂直な方向の前記光電変換領域の前記第2分離壁までの幅に関し

、画素の辺中央部の第 1 の幅が、画素の角近傍部の第 2 の幅より大きく構成された
光検出装置
を備える電子機器。

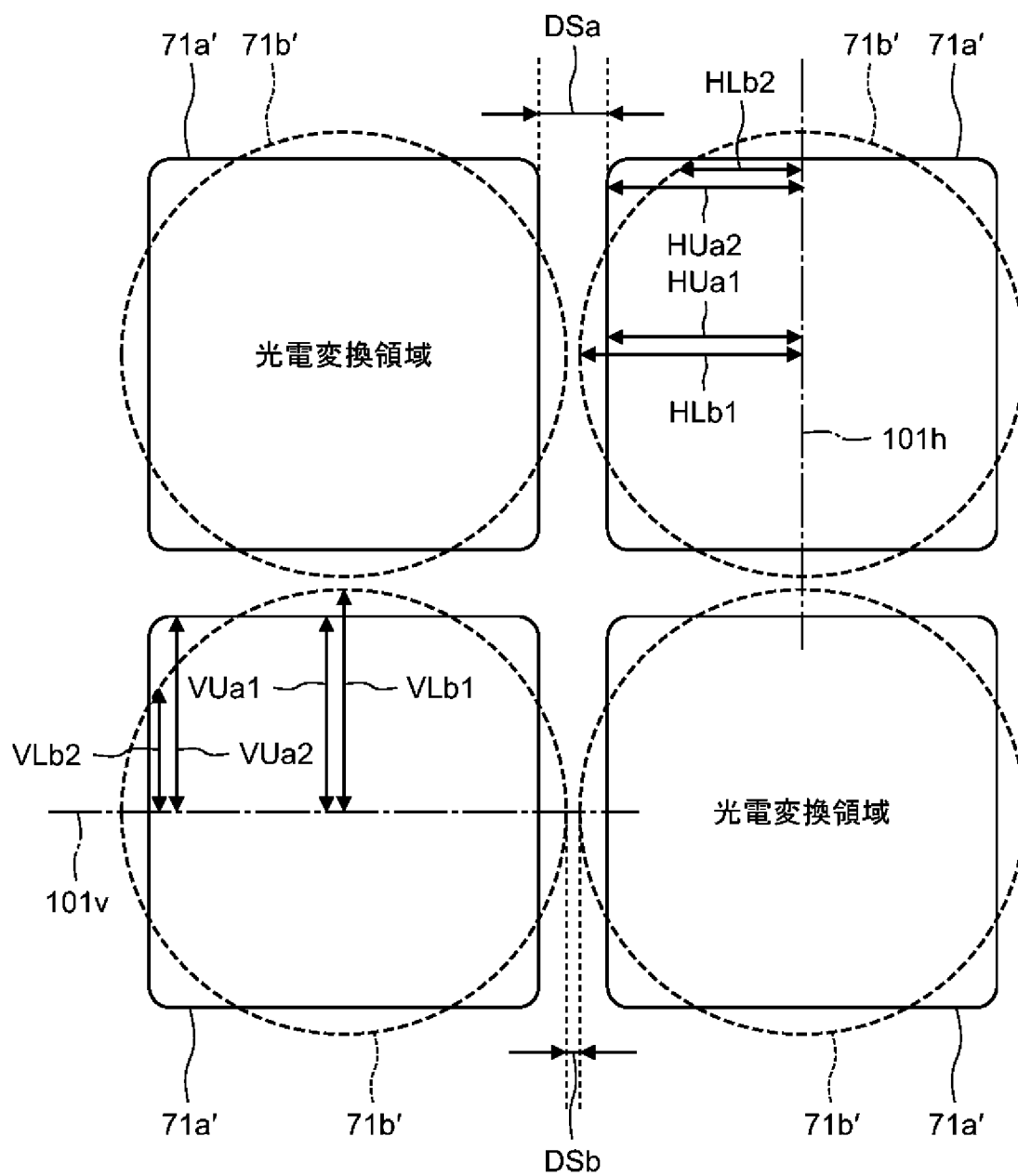
[図1]
FIG.1



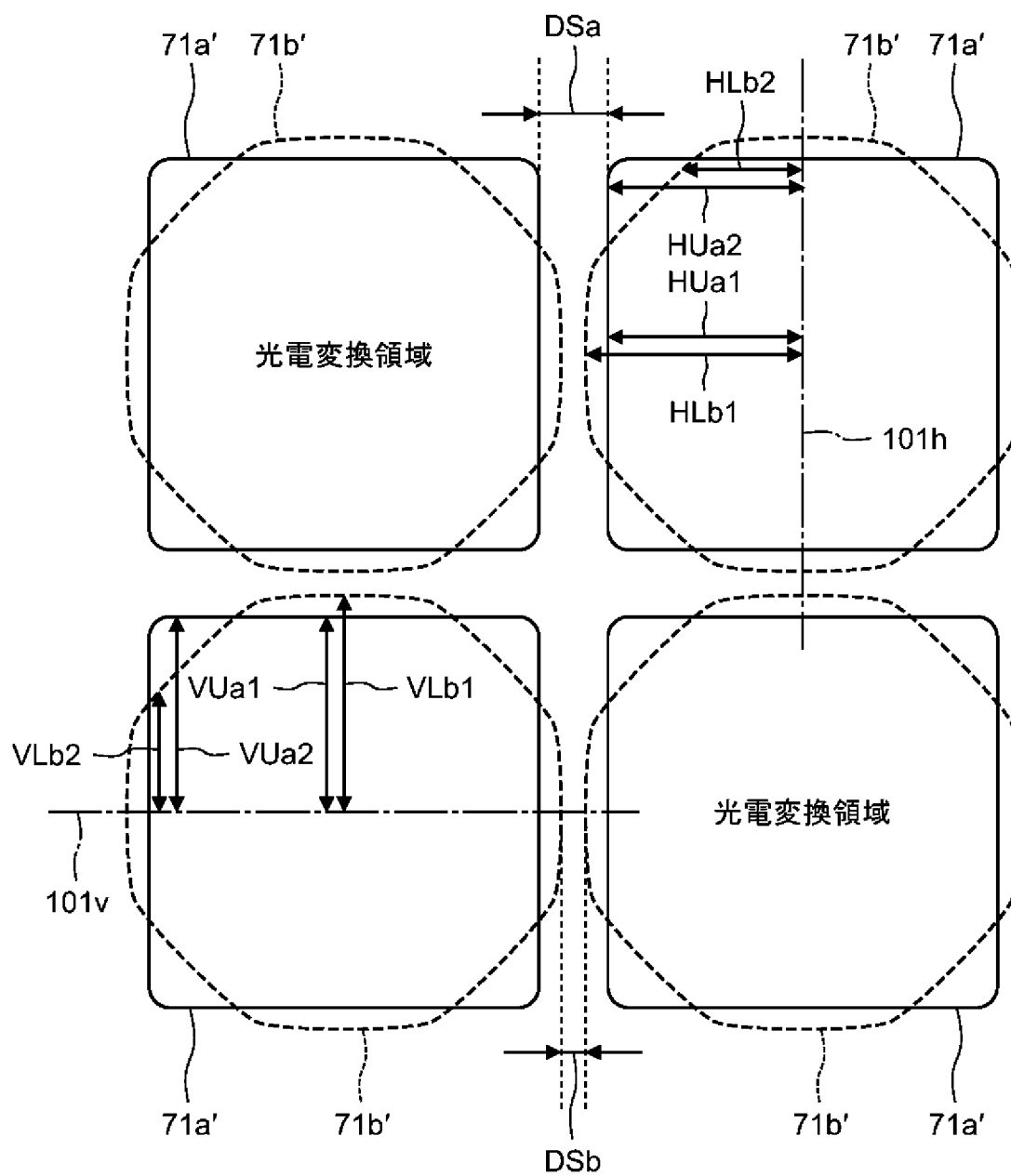
[図2]
FIG.2



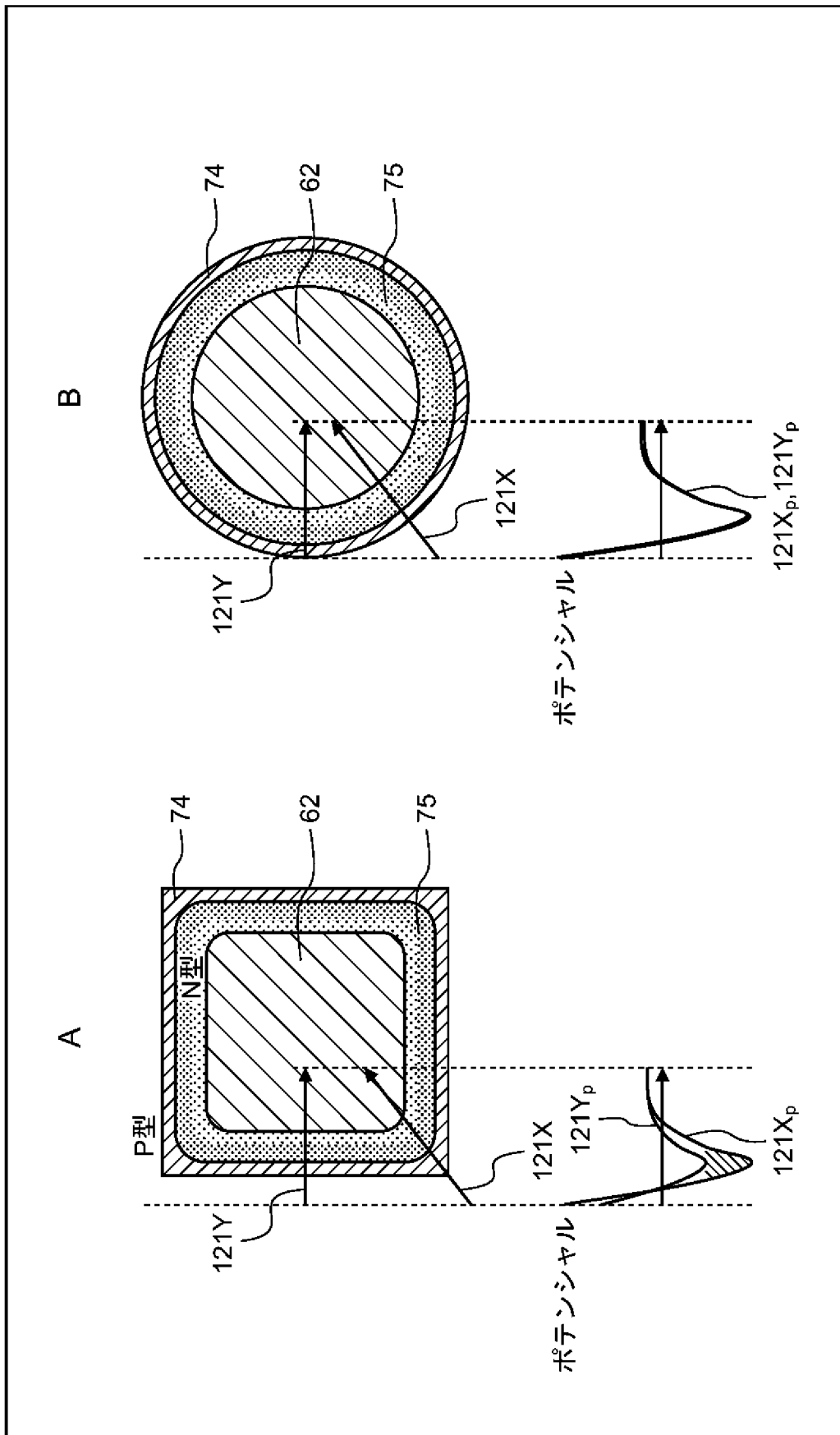
[図4]
FIG.4

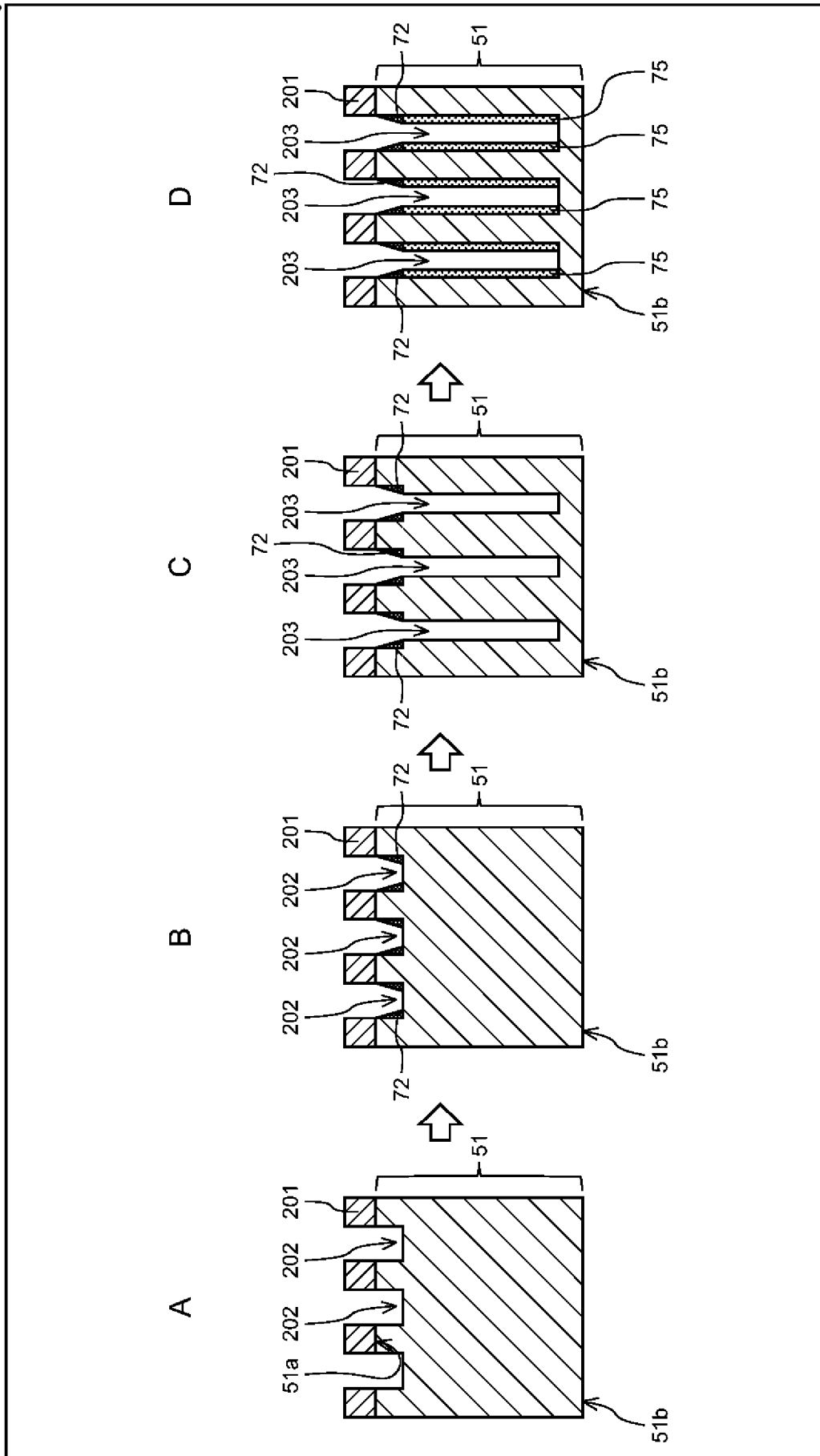


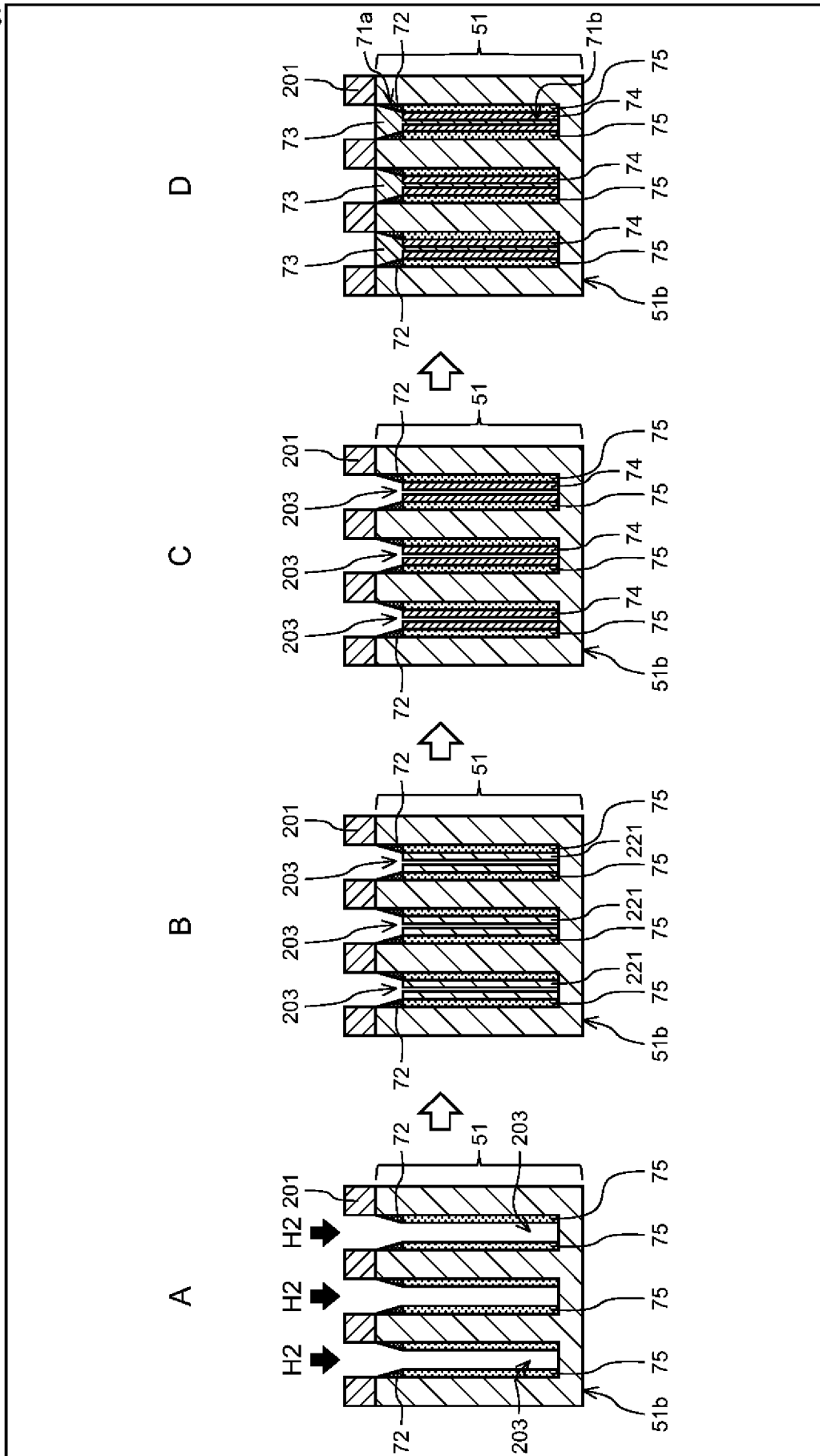
[図5]
FIG.5



[図6]
FIG.6

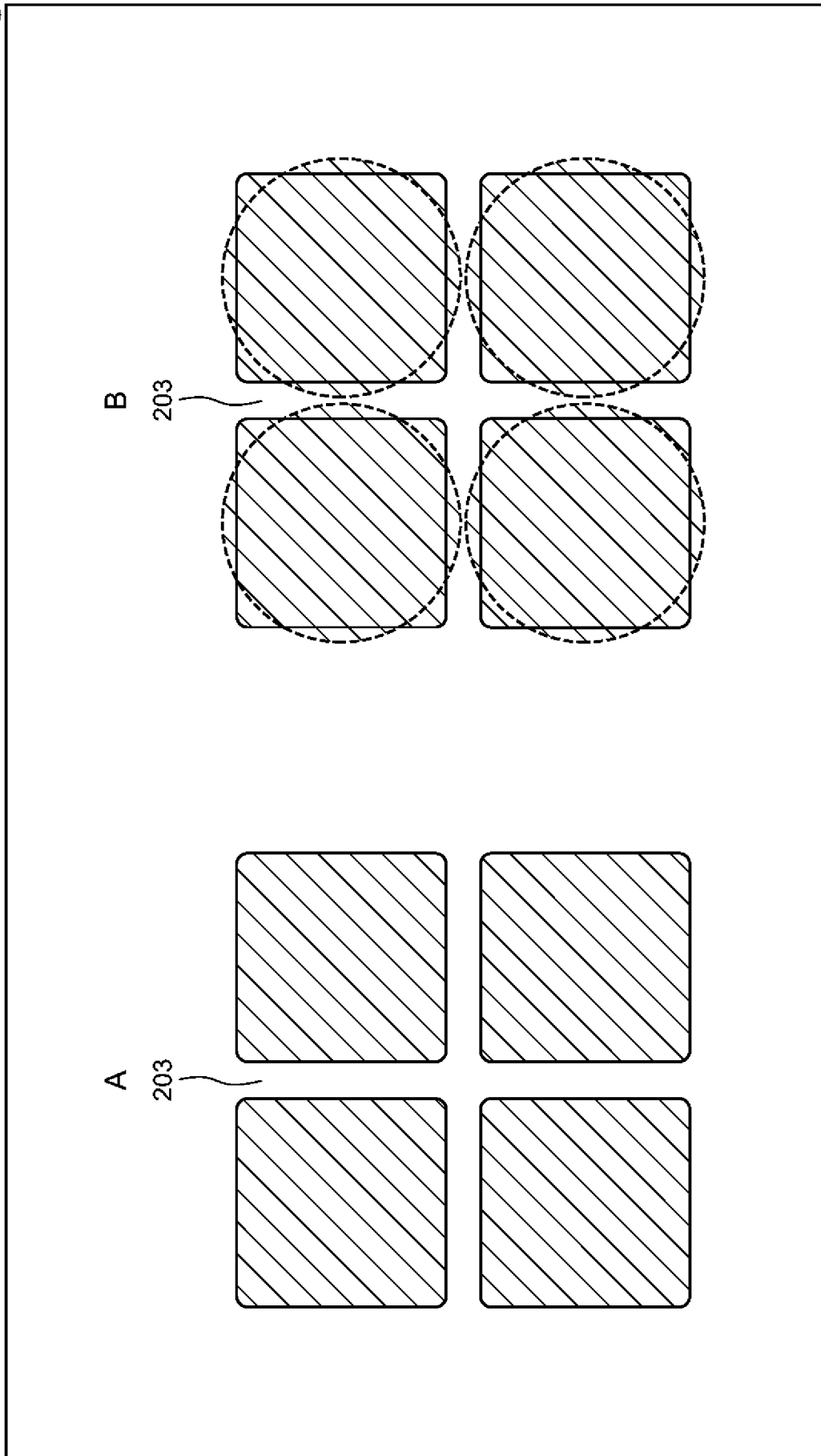


[図7]
FIG.7

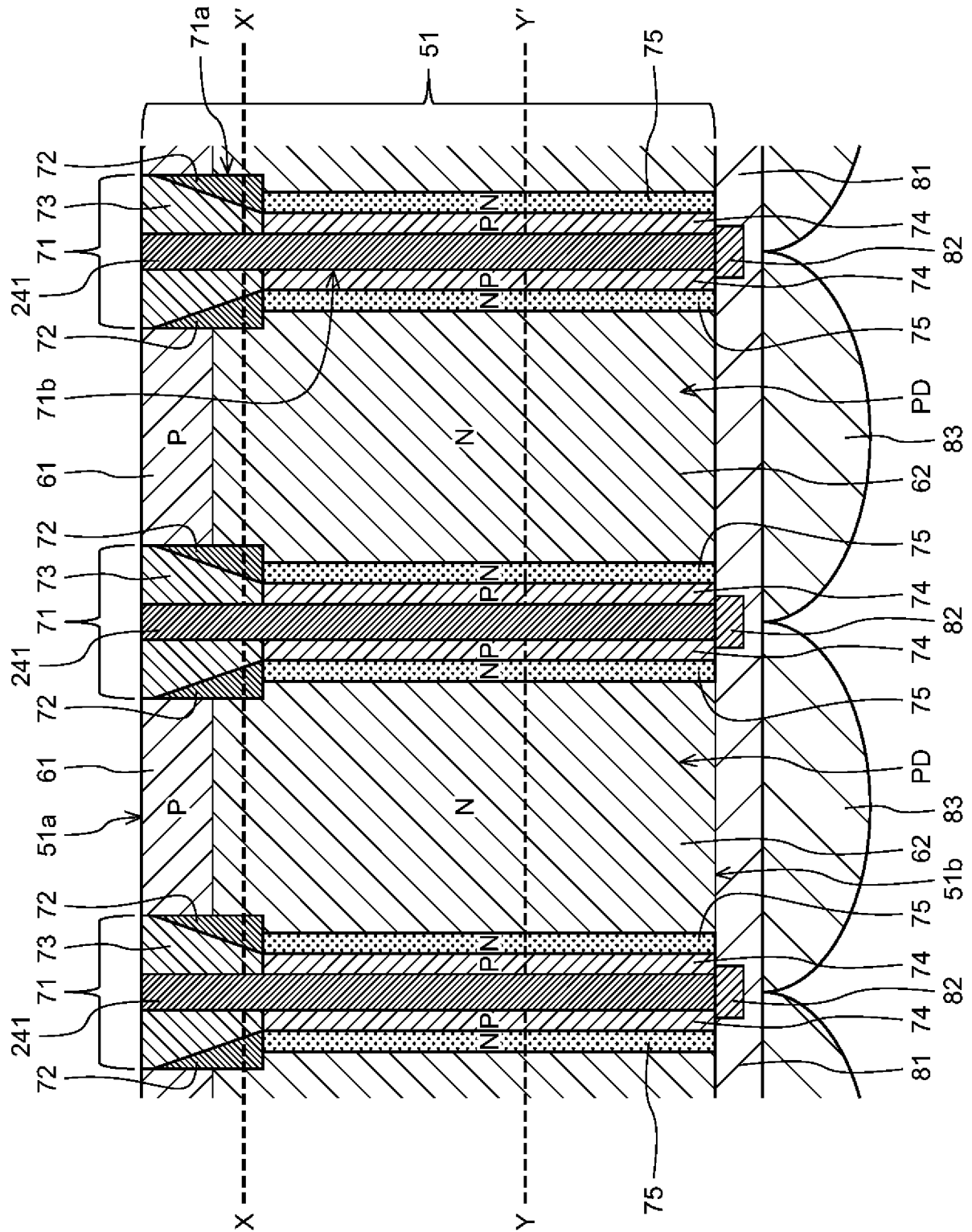
[図8]
FIG.8

[図9]

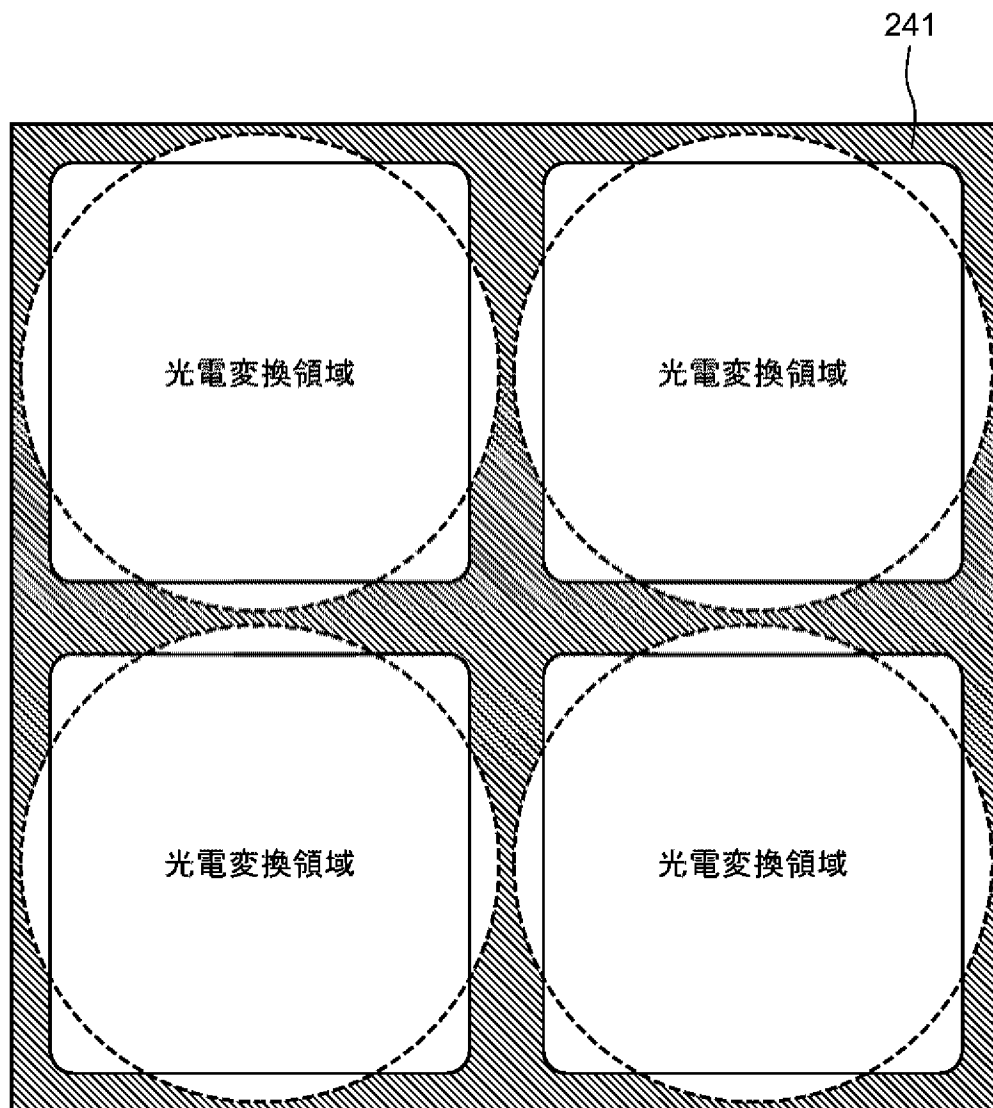
FIG.9



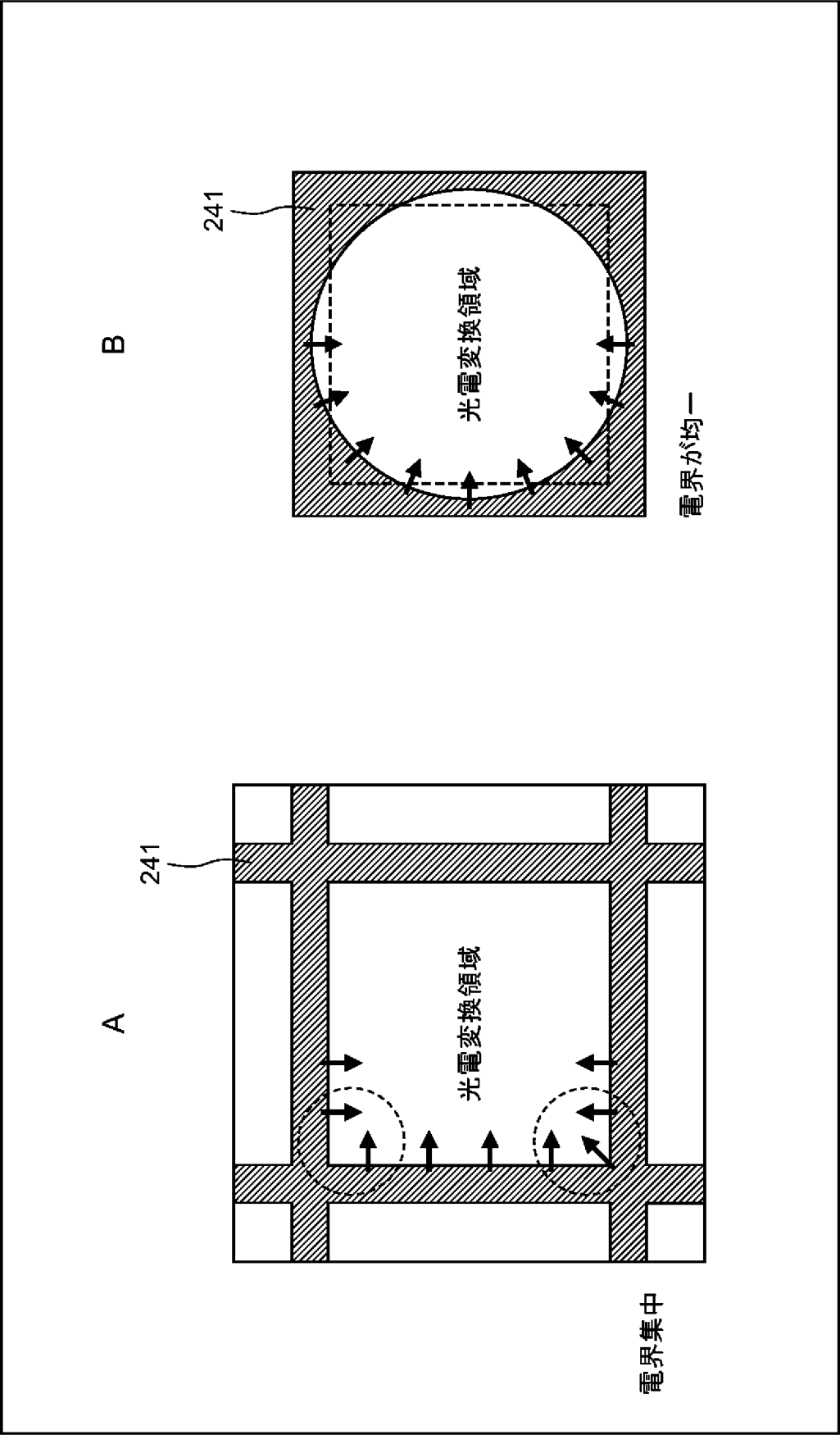
[図10]
FIG.10



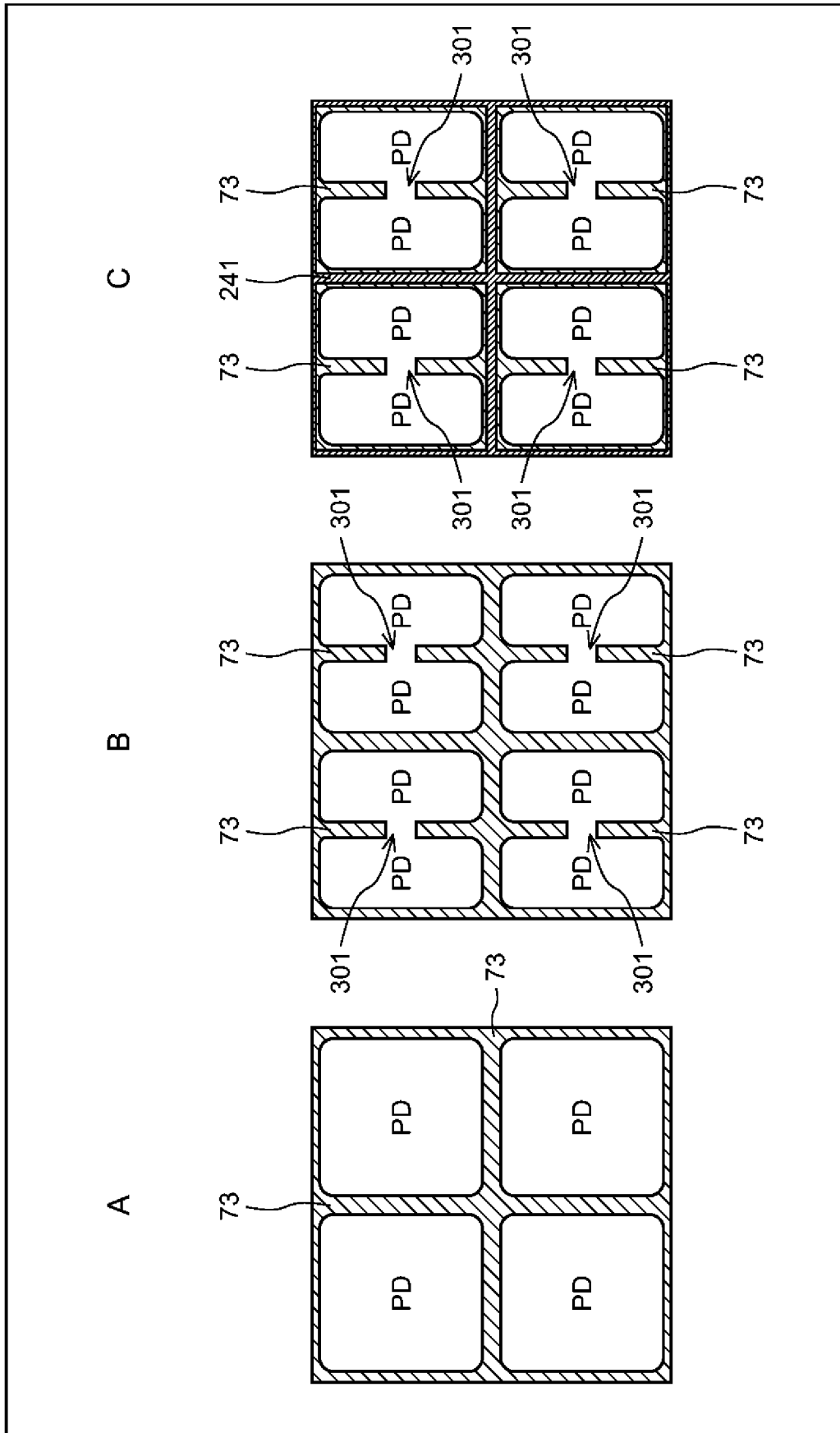
[図11]
FIG.11



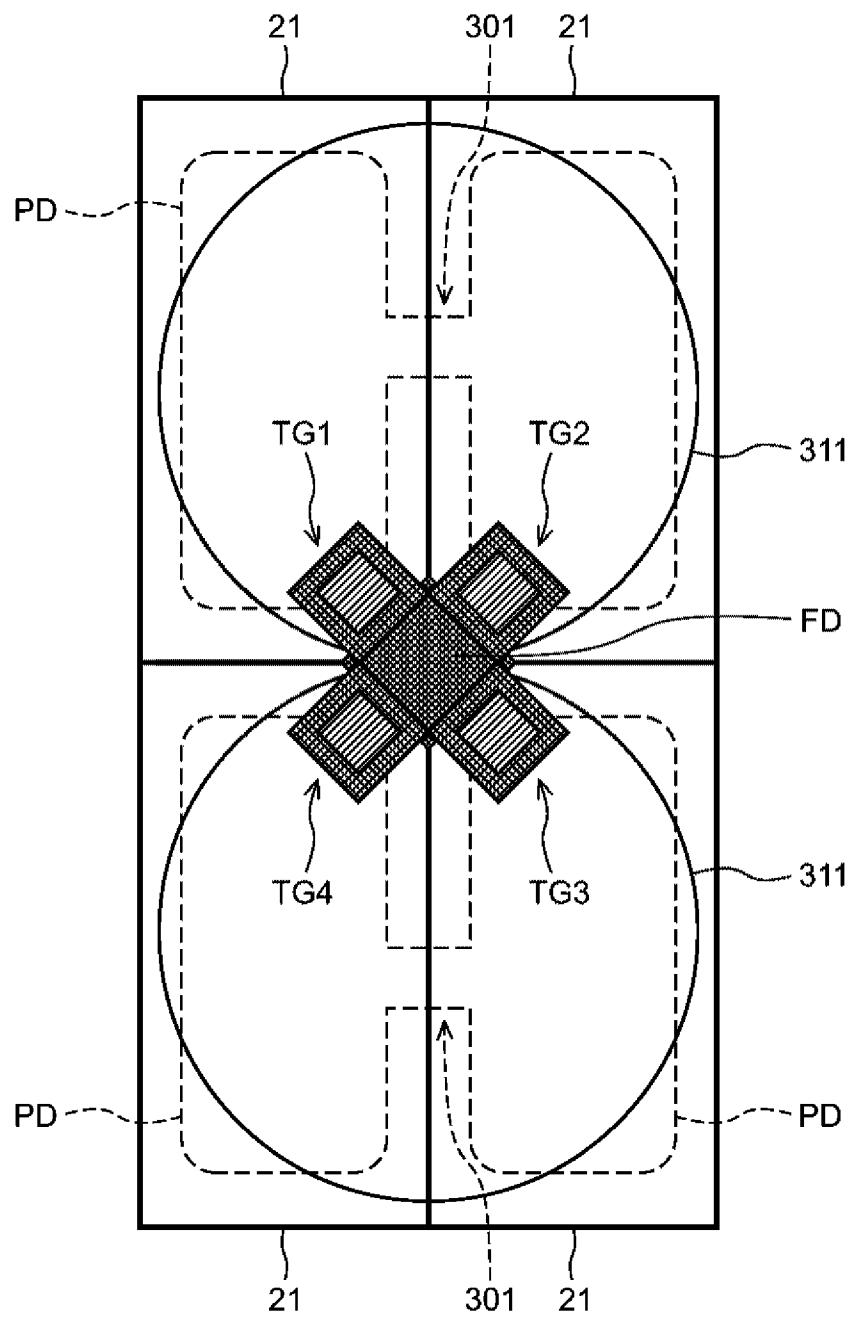
[図12]
FIG.12



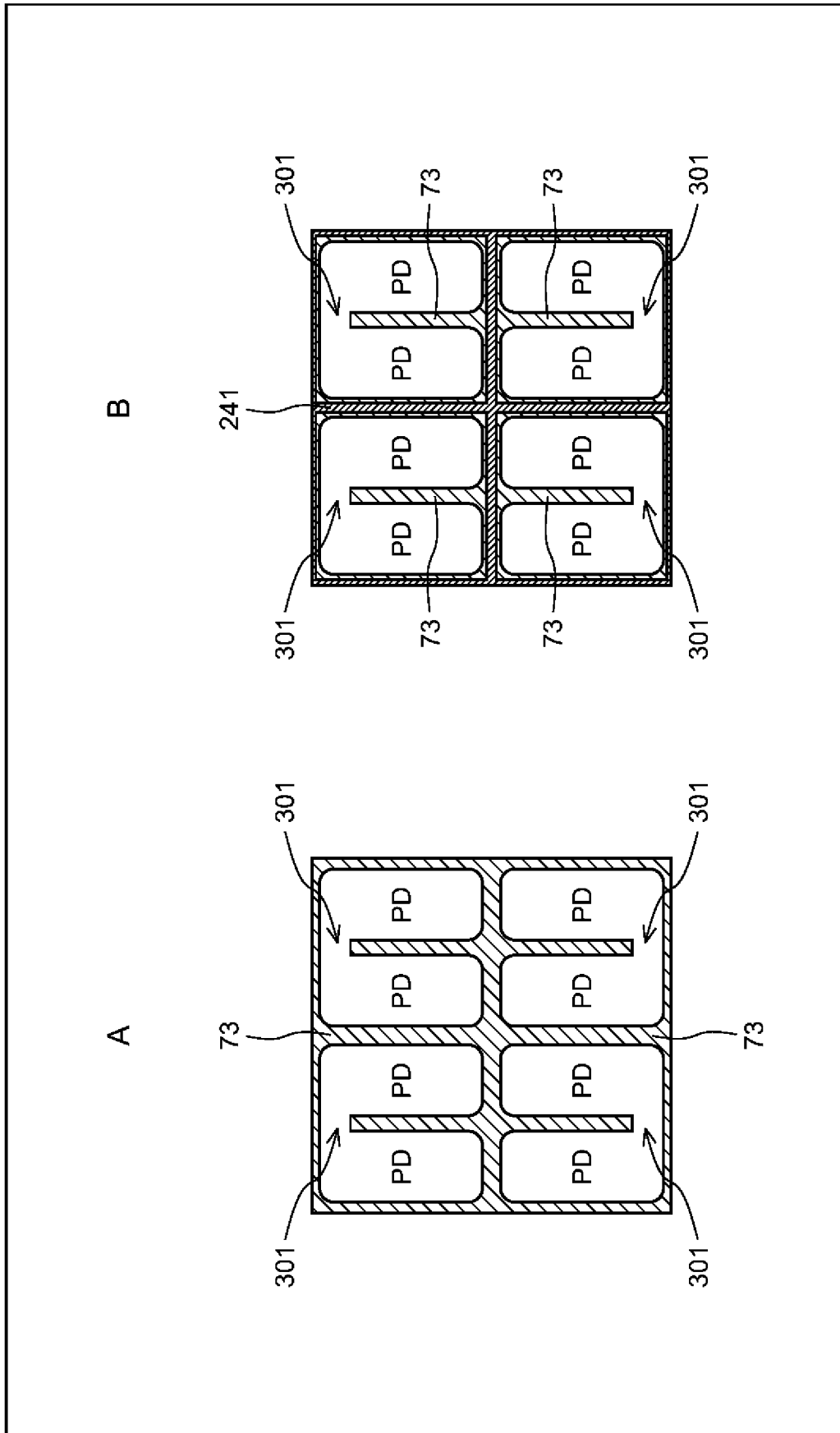
[図13]
FIG.13



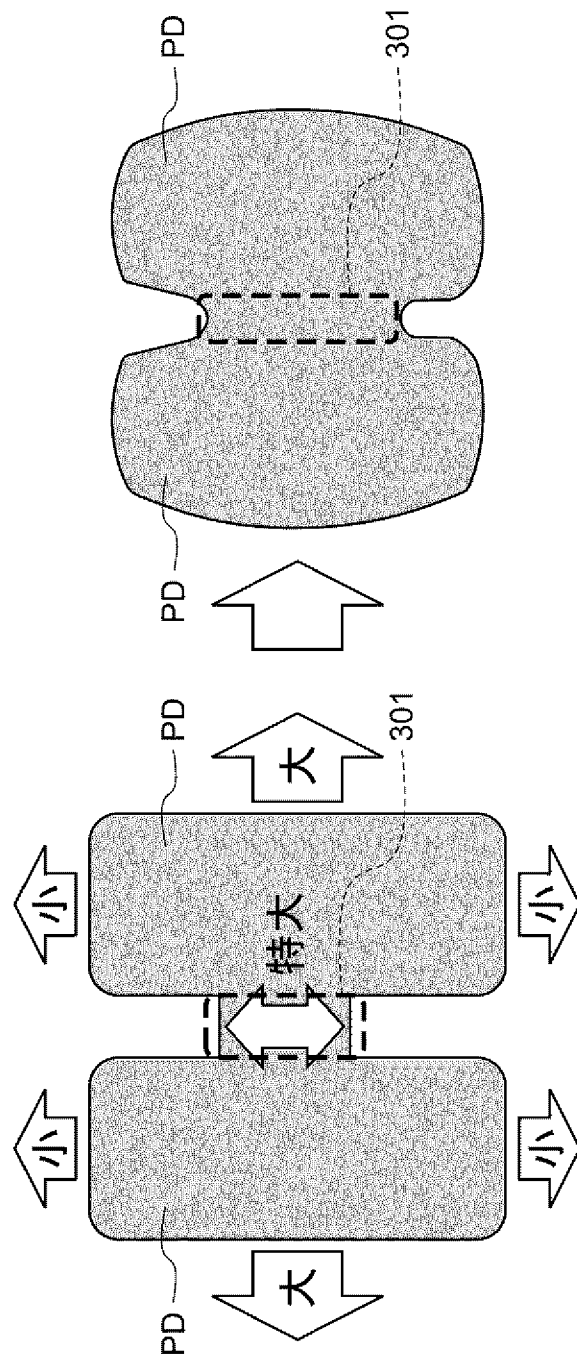
[図14]
FIG.14



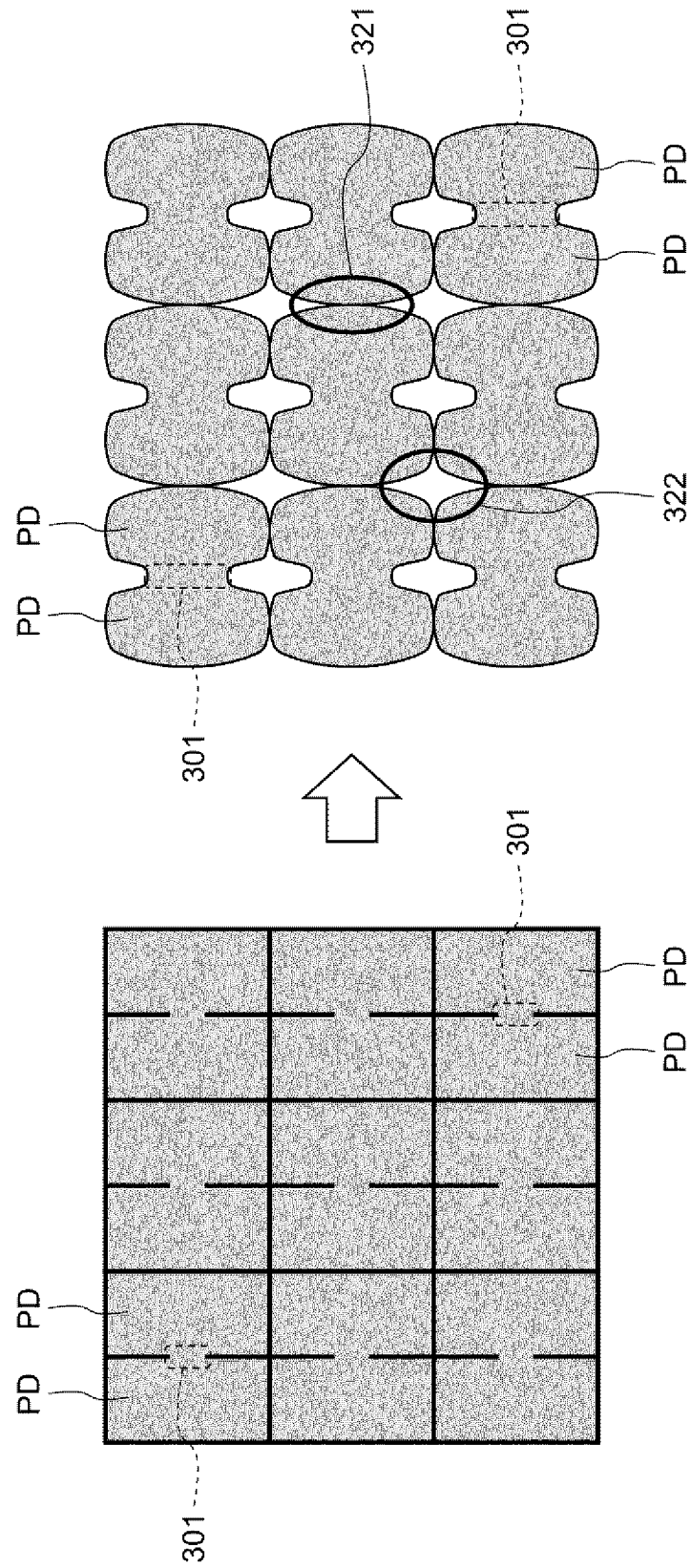
[図15]
FIG.15



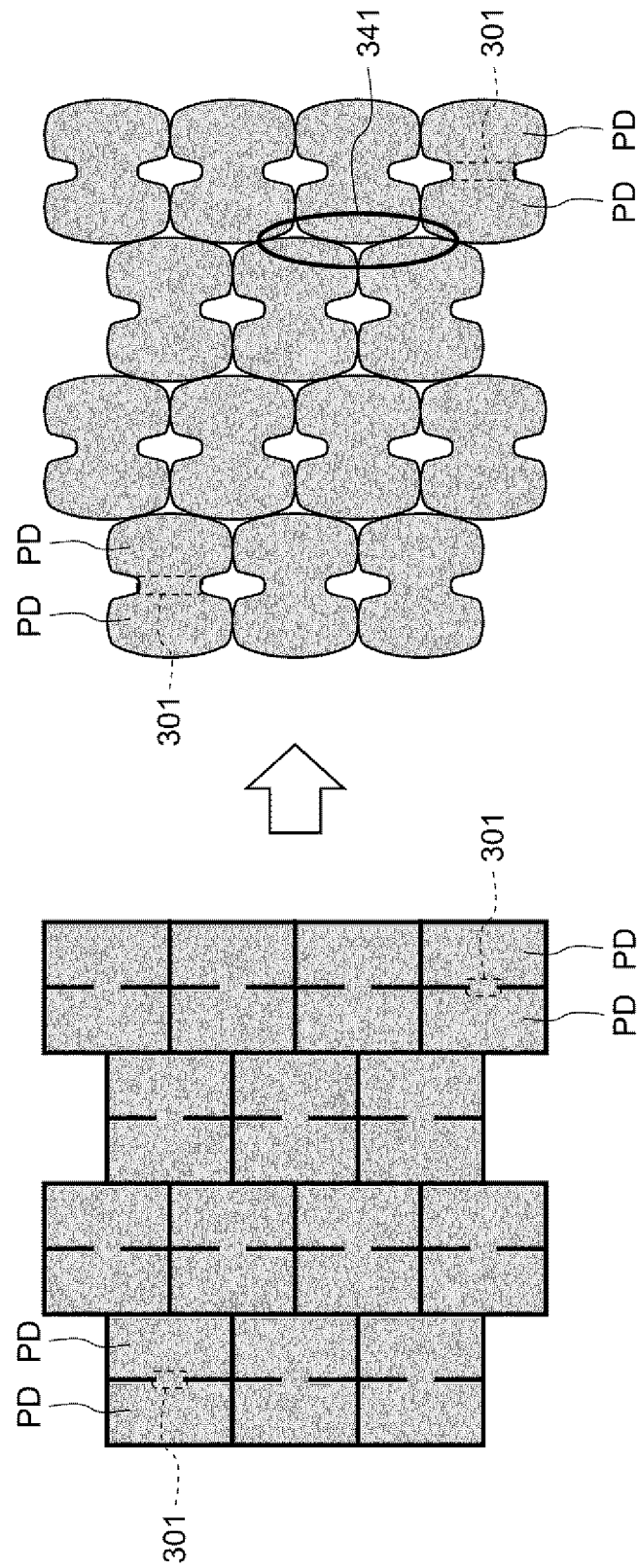
[図16]
FIG.16

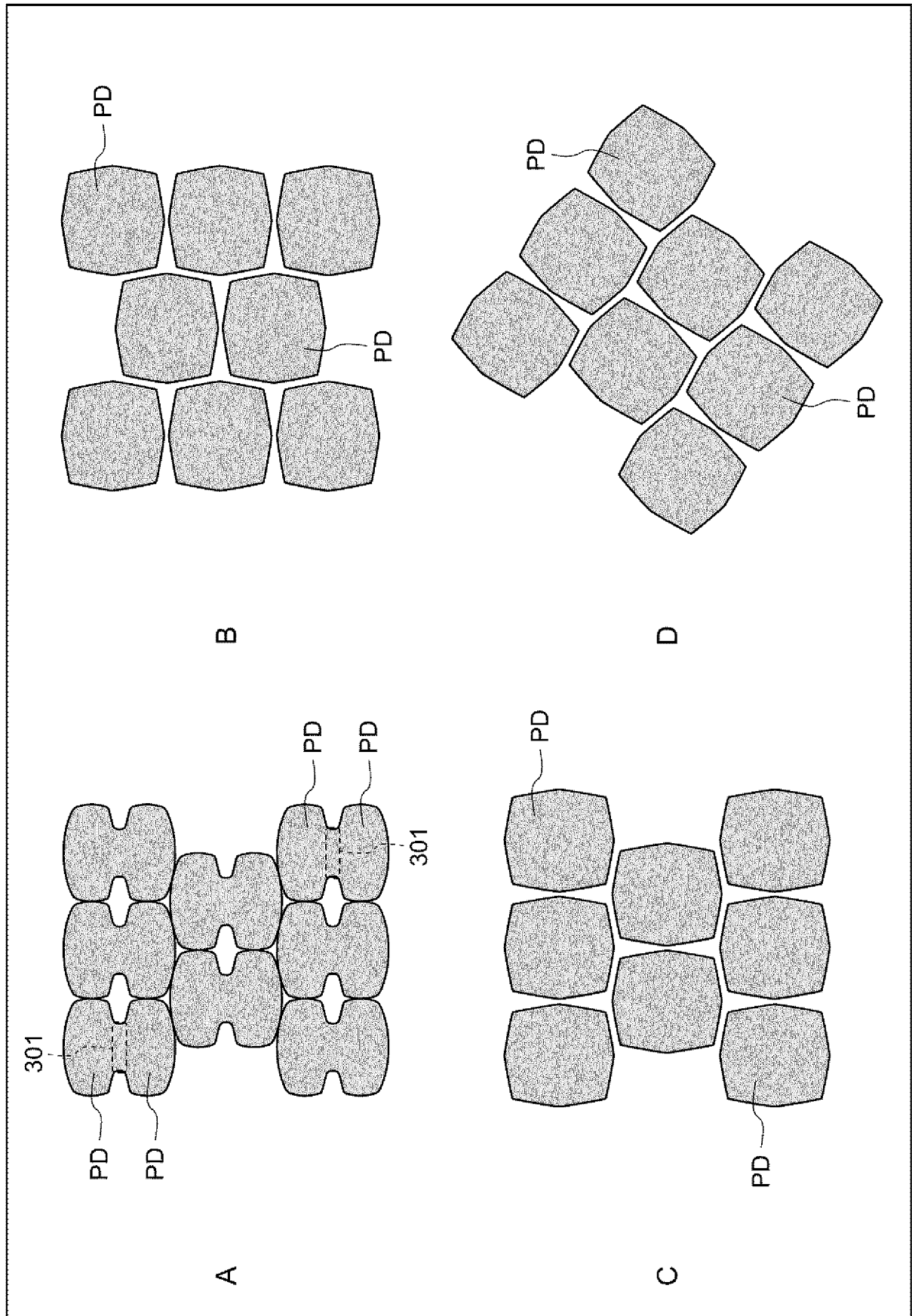


[図17]
FIG.17

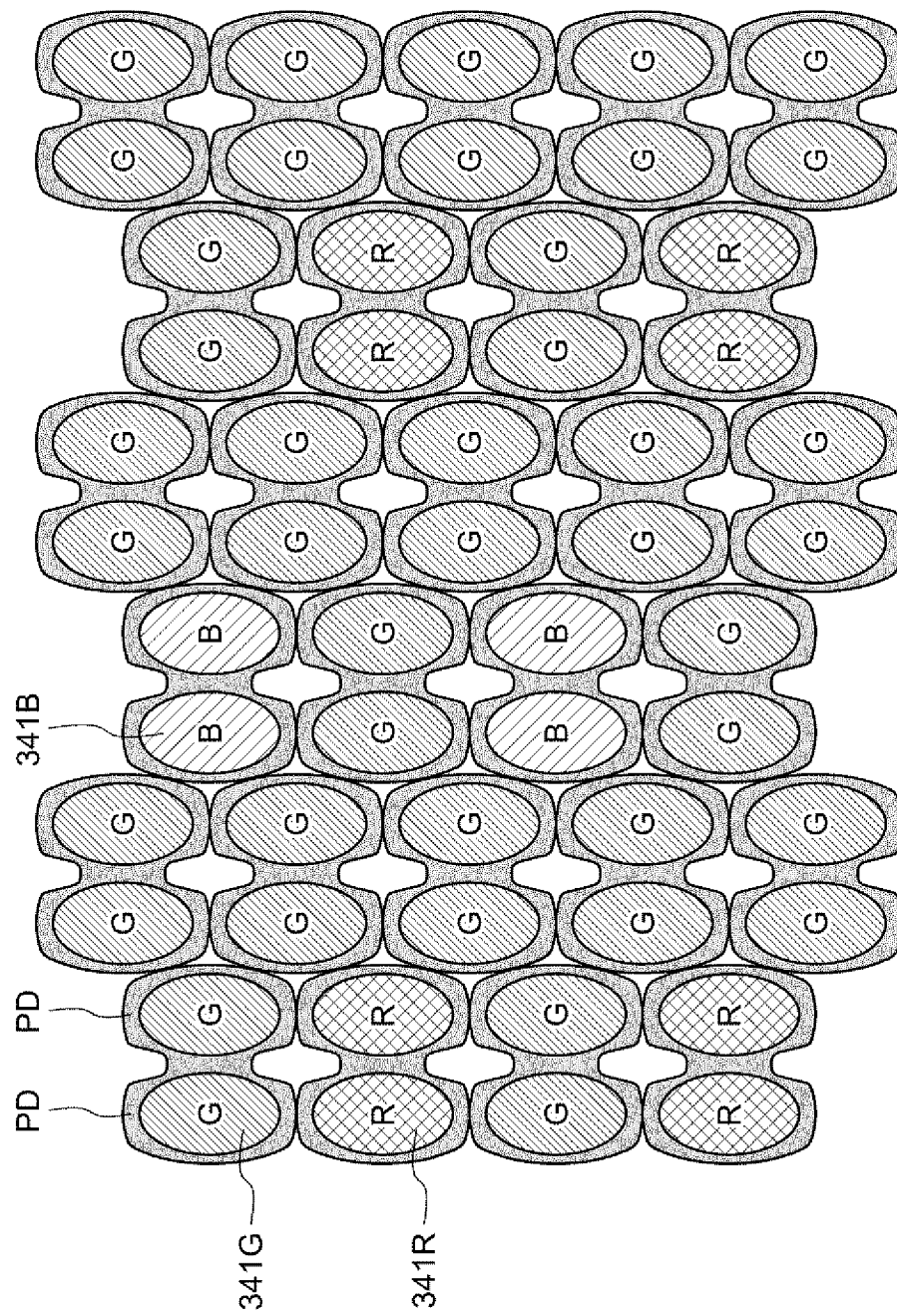


[図18]
FIG.18

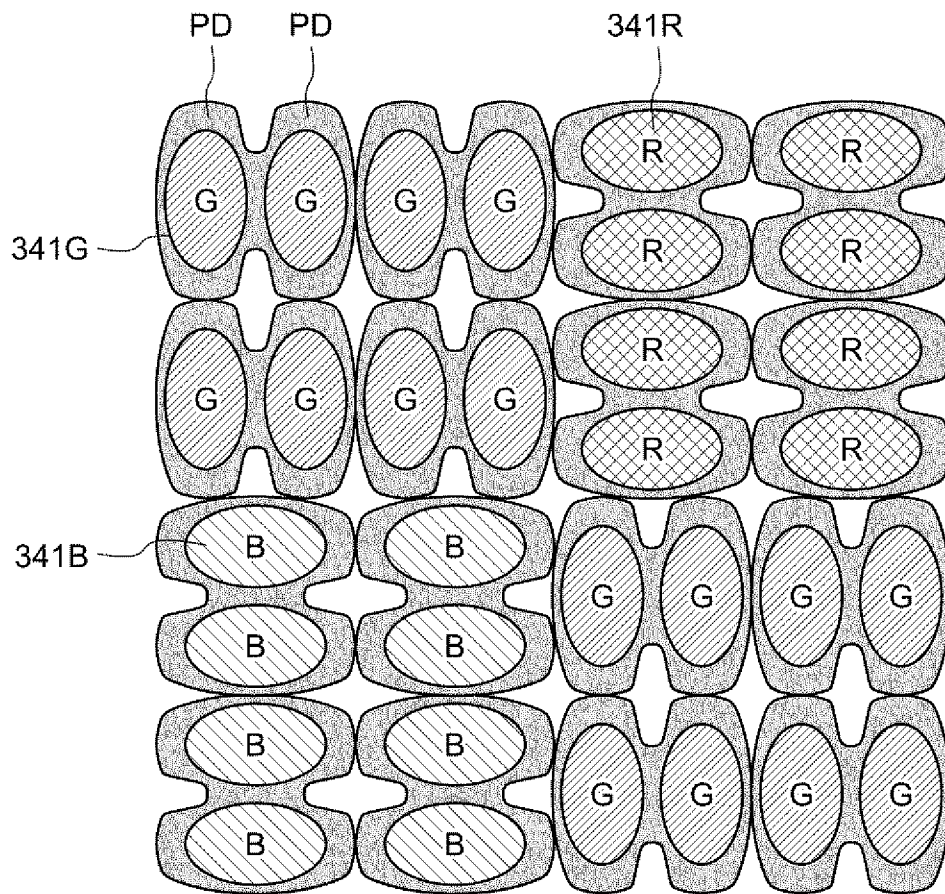


[図19]
FIG.19

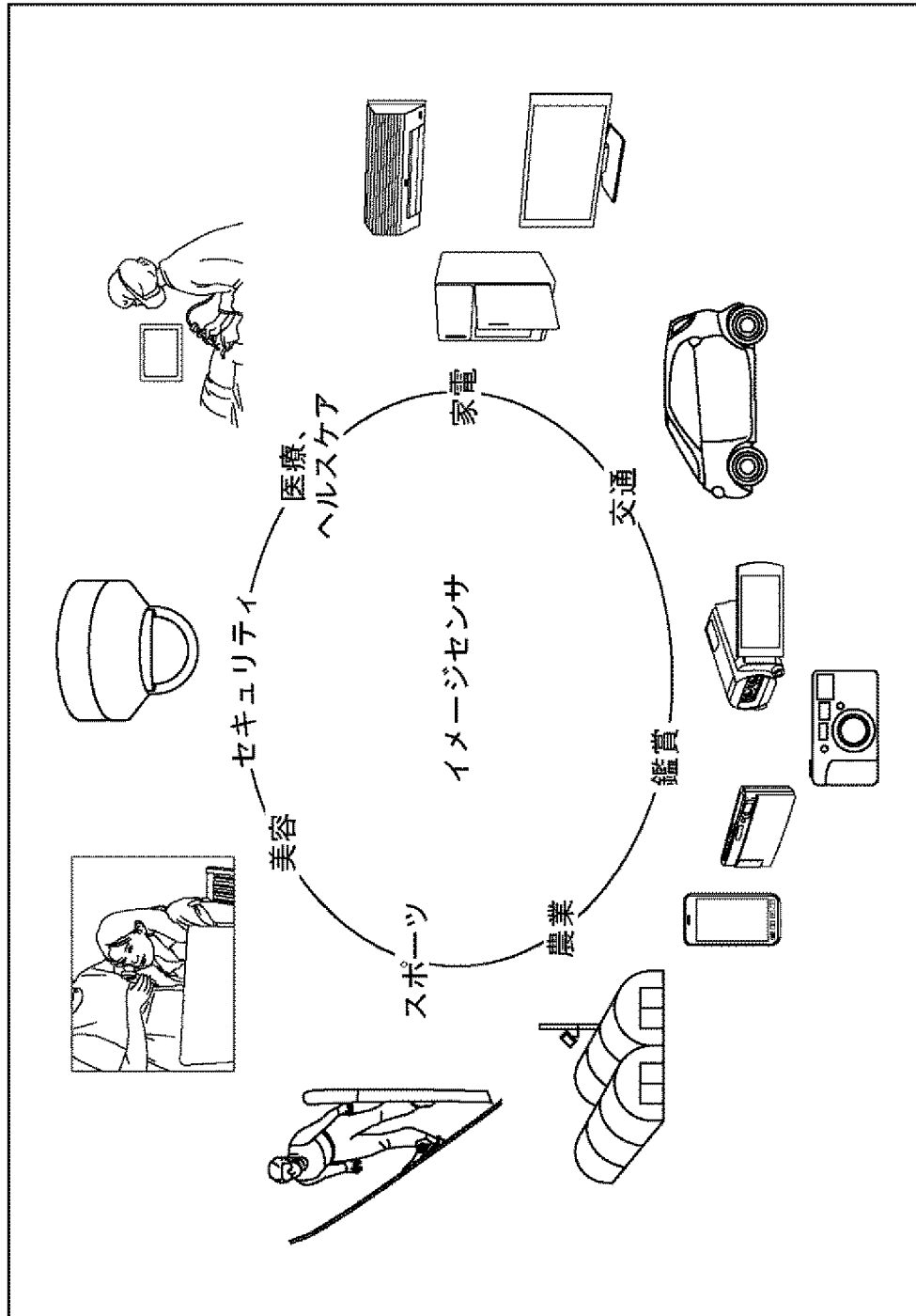
[図20]
FIG.20



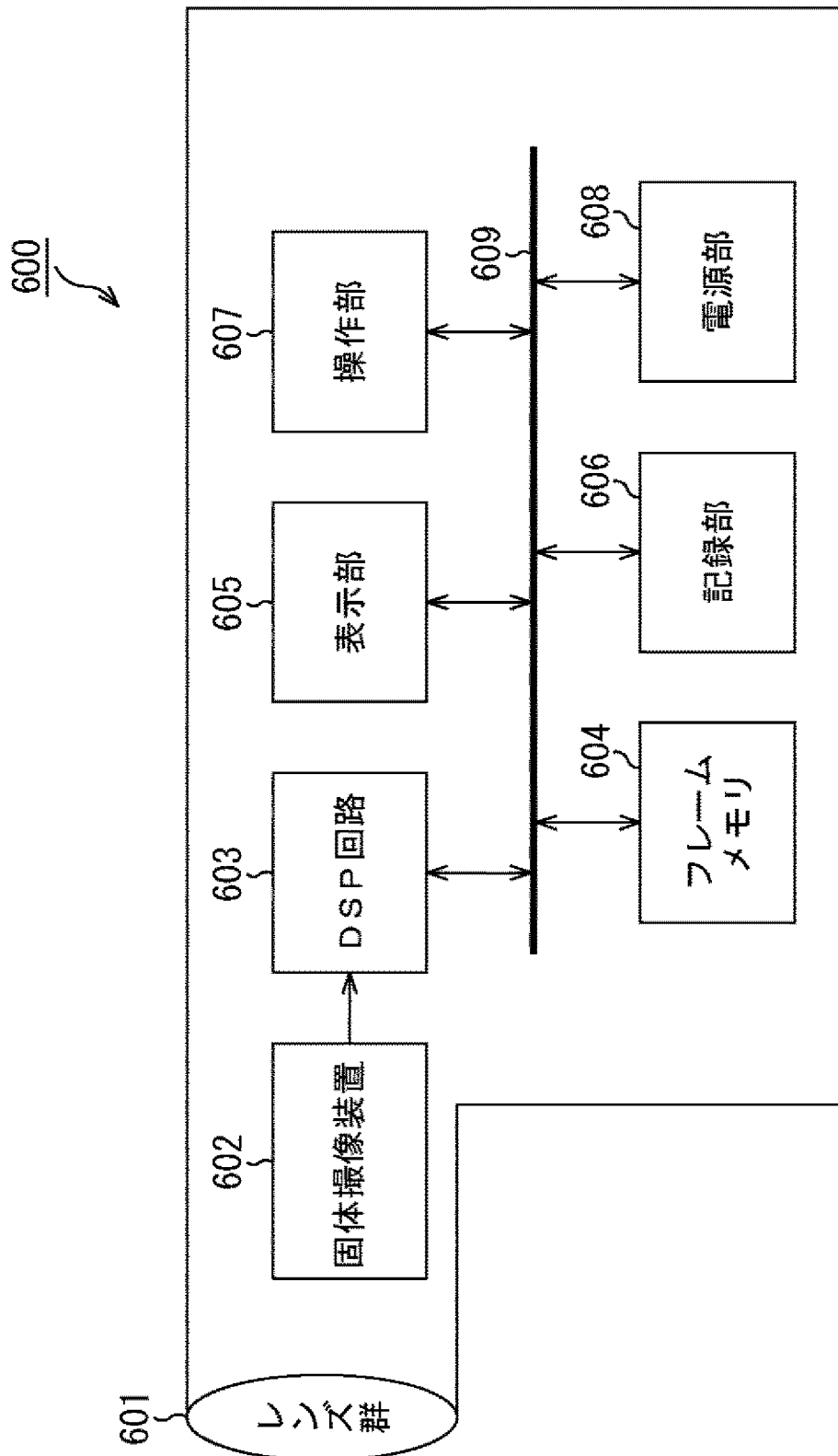
[図21]
FIG.21



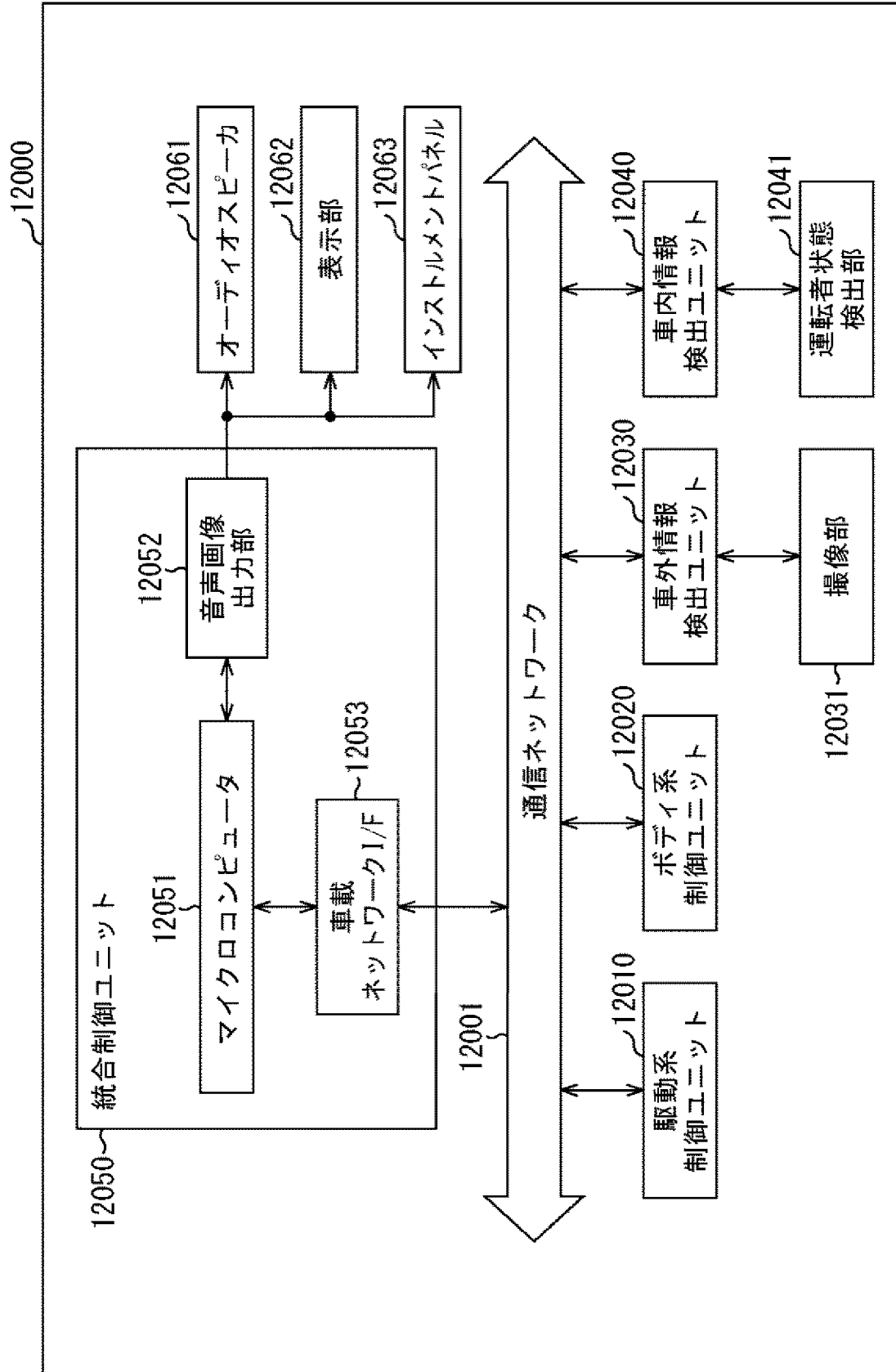
[図22]



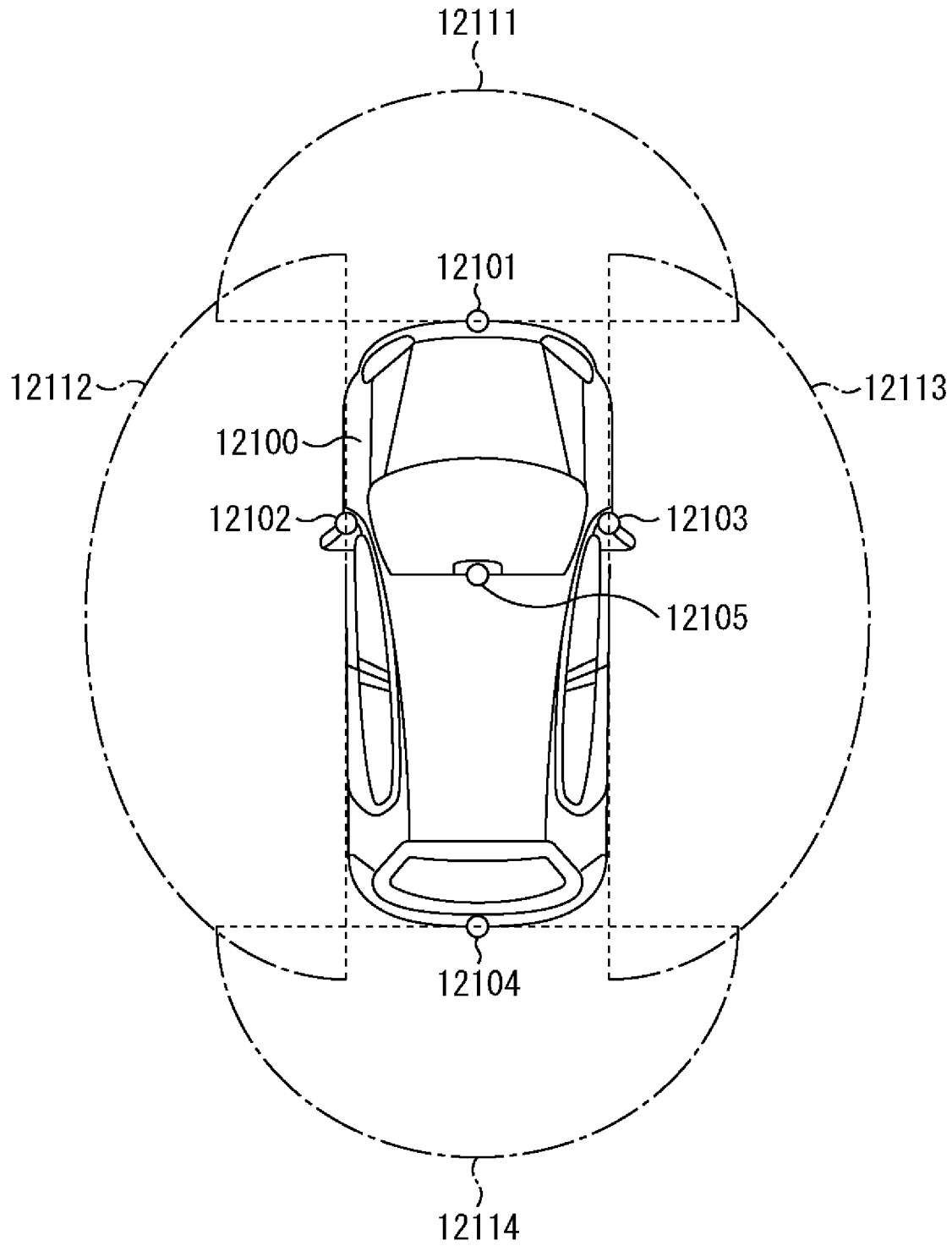
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/018110

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H04N 25/70**(2023.01)i

FI: H01L27/146 A; H04N25/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N25/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2022-148841 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 06 October 2022 (2022-10-06) paragraphs [0010]-[0068], [0125]-[0133], [0179]-[0182], fig. 1-5, 10, 11, 21	1-6, 9-13, 18
Y		8, 14-17
A		7
Y	WO 2020/203141 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 08 October 2020 (2020-10-08) fig. 3	8
Y	US 2019/0386050 A1 (SAMSUNG ELECTRONICS CO., LTD.) 19 December 2019 (2019-12-19) fig. 3-6	14, 17
Y	JP 2007-142697 A (SONY CORPORATION) 07 June 2007 (2007-06-07) fig. 2	15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 July 2024

Date of mailing of the international search report

16 July 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/018110

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2020-173417 A (VISERA TECHNOLOGIES COMPANY LTD.) 22 October 2020 (2020-10-22) fig. 5A	16
A	JP 2019-140219 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 22 August 2019 (2019-08-22)	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/018110

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2022-148841	A	06 October 2022	WO	2022/201861	A1	
				CN	116802811	A	
				KR	10-2023-0157334	A	
WO	2020/203141	A1	08 October 2020	US	2022/0150431	A1	
				fig. 3			
				CN	113544826	A	
US	2019/0386050	A1	19 December 2019	KR	10-2021-0143765	A	
				EP	3584839	A2	
				KR	10-2019-0142549	A	
JP	2007-142697	A	07 June 2007	CN	110620122	A	
				SG	10201902421U	A	
				US	2007/0146511	A1	
JP	2020-173417	A	22 October 2020	fig. 2			
				CN	1968423	A	
				US	10686000	B1	
JP	2019-140219	A	22 August 2019	fig. 5A			
				CN	111816670	A	
				TW	202038477	A	
JP	2019-140219	A	22 August 2019	WO	2019/155782	A1	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i; H04N 25/70(2023.01)i

FI: H01L27/146 A; H04N25/70

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146; H04N25/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922 - 1996年

日本国公開実用新案公報1971 - 2024年

日本国実用新案登録公報1996 - 2024年

日本国登録実用新案公報1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2022-148841 A（ソニーセミコンダクタソリューションズ株式会社）06.10.2022 （2022 - 10 - 06） [0010] - [0068], [0125] - [0133], [0179] - [0182], 図1-5, 10, 11, 21	1-6, 9-13, 18
Y		8, 14-17
A		7
Y	WO 2020/203141 A1（ソニーセミコンダクタソリューションズ株式会社）08.10.2020 （2020 - 10 - 08） 図3	8
Y	US 2019/0386050 A1（SAMSUNG ELECTRONICS CO., LTD.）19.12.2019（2019 - 12 - 19） 図3-6	14, 17
Y	JP 2007-142697 A（ソニー株式会社）07.06.2007（2007 - 06 - 07） 図2	15

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日08.07.2024

国際調査報告の発送日16.07.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

柴山 将隆 5F 3035

電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2020-173417 A (采▲ぎょく▼科技股▲ふん▼有限公司) 22.10.2020 (2020 - 10 - 22) 図 5 A	16
A	JP 2019-140219 A (ソニーセミコンダクタソリューションズ株式会社) 22.08.2019 (2019 - 08 - 22)	1-18

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/018110

引用文献			公表日	パテントファミリー文献			公表日
JP	2022-148841	A	06.10.2022	WO	2022/201861	A1	
				CN	116802811	A	
				KR	10-2023-0157334	A	

WO	2020/203141	A1	08.10.2020	US	2022/0150431	A1	
				図 3			
				CN	113544826	A	
				KR	10-2021-0143765	A	

US	2019/0386050	A1	19.12.2019	EP	3584839	A2	
				KR	10-2019-0142549	A	
				CN	110620122	A	
				SG	10201902421U	A	

JP	2007-142697	A	07.06.2007	US	2007/0146511	A1	
				図 2			
				CN	1968423	A	

JP	2020-173417	A	22.10.2020	US	10686000	B1	
				図 5 A			
				CN	111816670	A	
				TW	202038477	A	

JP	2019-140219	A	22.08.2019	WO	2019/155782	A1	
