

公告本

I286317

申請日期	90 年 3 月 19 日
案 號	90106389
類 別	G11C 11/60

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其動作方法
	英 文	
二、發明 人	姓 名	(1) 鮎川一重 (2) 三浦誓士 (3) 齋藤良和
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所 知的的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所 知的的所有權本部內 (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所 知的的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 庄山悦彦

裝

訂

線

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

2000 年 5 月 26 日 2000-161123

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

本發明係關於包含 DRAM 之複合型記憶體半導體裝置，且是關於 DRAM 之再新方法。

本說明書所參照之文獻一覽如下，文獻之參照係依文獻號碼。〔文獻 1〕：LRS1337 Stacked Chip 32M Flash Memory and 4M SRAM Data Sheet (〔日本國平成 12 年 4 月 21 日檢索〕，網際網路〈URL：http：
//www.sharpsma.com/index.html〉)，〔文獻 2〕：日本國特開平 11 - 219984 號公報(1998 年 8 月 10 日公開)(對應文獻：美國專利第 6,157,080 號，2000 年 12 月 5 日發行)，〔文獻 3〕：日本國特開平 5 - 299616 號公報(1993 年 11 月 12 日公開)(對應文獻：歐洲專利公開公報 566，306 號，1993 年 10 月 20 日公開)，〔文獻 4〕：日本國特開平 8 - 305680 號公報(1996 年 11 月 22 日公開)，〔文獻 5〕：日本國特開平 11 - 204721 號公報(1999 年 7 月 30 日公開)，〔文獻 6〕：日本國特開平 10 - 11348 號公報(1998 年 1 月 16 日公開)。

〔文獻 1〕記載有以堆疊晶片方式將快閃記憶體及 SRAM 成一體狀封裝在 BGA(Ball Grid Array)型組件之複合型半導體記憶體。快閃記憶體及 SRAM 對 FBGA(Fine-pitch Ball Grid Array)型組件之輸入輸出電極，其位址輸入端子及資料輸入輸出端子共同化，但各個控制端子係分別獨立。

〔文獻 2〕記載有將快閃記憶體及 SRAM 成一體狀封裝在 BGA 型組件之複合型半導體記憶體。快閃記憶體係介由焊錫突塊以面朝下方式將信號區鍵合在 BGA 型組件之電路

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

基板。搭載於快閃記憶體器上之 SRAM 係藉引線鍵合方式將信號區連接在基板。

〔文獻 3〕之第 17 圖，記載有將快閃記憶體器及 DRAM 晶片成一體狀封裝在引線框架型組件之複合型半導體記憶體器。而第 1 圖則記載有快閃記憶體器及 DRAM 之位址輸入端子、資料輸入輸出端子及控制端子被共同化輸入輸出到組件之輸入輸出電極者。

〔文獻 4〕記載，在晶片區上搭載 SRAM 晶片，在其 SRAM 晶片上搭載經由突塊電極連接之快閃記憶體器及微電腦晶片，該等晶片經由引線端子型之組件一體封裝之半導體裝置。

〔文獻 5〕之第 15 圖記載，在一個大型晶片之背面，介由絕緣板搭載較小之兩個晶片之一體封裝在引線框架型之組件之半導體裝置。可搭載之晶片之組合有，快閃記憶體器晶片、DRAM 晶片、及 ASIC(Application Specific IC)，藉此能以一個組件實現記憶體邏輯混合 LSI。

〔文獻 6〕記載有，具有兩個 DRAM 塊，將相同之資料雙重化而記憶下來，在兩個 DRAM 塊間錯開再新之定時，以迴避從外部之擷取及 DRAM 之再新衝突之技術。此項控制係由 DRAM 控制器為之，但此 DRAM 控制器係對兩個 DRAM 塊發出在物理上各自獨立之位址信號或控制信號。

本發明人等在本案之前曾對行動電話，及所使用之將快閃記憶體器及 SRAM 安裝在一個組件之複合型記憶體器進行檢討。在快閃記憶體器儲存有行動電話系統之 OS(作業系統)

五、發明說明(3)

外，同時儲存有通信或應用程式。另一方面，SRAM則記憶有電話號碼、住址錄、受話音等之外，另確保有執行應用程式時暫時使用之作業區。

爲了保持電話號碼、住址錄等應記憶之資料，行動電話未開機時SRAM也接通有保持資料用之電源。爲了要長時間保持資料，SRAM之資料保持用電流愈小愈好。然而，隨著附加在行動電話之功能(音樂、遊戲等)之增加，應用程式所使用之作業區也變大，而必然需要記憶容量更大之SRAM。特別是最近之行動電話之高功能化非常迅速，感覺上要因應SRAM之大容量化將越來越困難。亦即，SRAM之大容量化有以下之課題。大容量SRAM之課題是，除了因記憶容量增大之份量，相對的資料保持電流也會增加以外，閘極漏洩電流之增大也會使資料保持電流增加。其理由是，爲了要實現大容量SRAM而導入細微加工，將MOS電晶體之氧化絕緣膜薄膜化時，隧道電流會從閘極流到基盤，致使資料保持電流增加。

因此，本案發明之目的之一在於實現記憶容量大，但資料保持電流小之記憶器。

依據本發明之一側面，本發明係由快閃記憶器、SRAM(Static Random Access Memory)、及多數記憶儲存體，所構成。藉由跟時鐘脈衝同步之指令進行讀出 / 寫入之DRAM安裝在一個封裝體，而在封裝體配設，與半導體晶片配線之電極及連接封裝體與封裝體外部之電極。

這個時候，爲了從半導體裝置外隱蔽DRAM之再新，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

將控制器連接在一晶片含有兩個以上儲存體之 DRAM，以控制至 DRAM 之記憶體擷取。可以在由上述記憶體控制器於第 1 期間進行記憶體擷取時，擷取第 1 儲存體，於第 2 期間進行記憶體擷取時，擷取第 2 儲存體。

同時是使用，由多數記憶儲存體構成，藉由跟時鐘脈衝同步之指令進行讀出 / 寫入之 DRAM，將多數記憶儲存體分配在具有相同記憶容量之第 1 記憶塊及第 2 記憶塊，對記憶體之擷取是由第 1 期間及第 2 期間交互進行。在上述第 1 期間，上述對 DRAM 之讀出 / 寫入指令可對上述第 1 記憶塊執行，上述第 2 記憶塊可優先執行再新。而在上述第 2 期間，上述對 DRAM 之讀出 / 寫入指令可對上述第 2 記憶塊執行，上述第 1 記憶塊可優先執行再新。

茲參照附圖詳細說明本發明之實施例。構成實施例之各方塊之電路元件不特別限定，但是藉習知之 CMOS(相輔型 MOS 電晶體)等之積體電路技術，形成在如單晶矽之一個半導體基板上。

〈實施例 1〉

第 1 圖係本發明一實施例之半導體積體電路裝置之一個例子之記憶體模組之第 1 實施例。本記憶體模組由 3 個晶片構成。以下說明各晶片。

首先，CHIP1(FLASH)係非揮發性記憶體。非揮發性記憶體可以使用 ROM(Read Only Memory)、EEPROM (Electrically Erasable and Programmable ROM)、快閃記憶體

五、發明說明(5)

等。本實施例以快閃記憶體為例子進行說明。CHIP2 (SRAM+CTL_LOGIC)推積有SRAM及控制電路(CTL_LOGIC)。控制電路用以控制推積在CHIP2之SRAM及CHIP3。CHIP3(DRAM)係動態隨機存取記憶體。因內部架構或介面之不同，DRAM有EDO、SDRAM、DDR等各種。本記憶體模組在任何DRAM均可以使用，但本記憶體模組係以SDRAM為例子進行說明。

此記憶體模組由外部輸入位址(A0 ~ A20)及指令信號(S - / CE1、S - CE2、S - / OE、S - / WE、S - / LB、S - / UB、F - / WE、F - / RP、F - / WP、F - RDY / BUSY、F - / CE、F - / OE)。電源係通過S - VCC、S - VSS、F - VCC、F - VSS、L - VCC、L - VSS供給，資料之輸入輸出使用I/O0 ~ I/O15。位置信號線及資料輸出輸出線係共同連接在CHIP1(FLASH)及CHIP2(SRAM+CTL_LOGIC)。CHIP2供應CHIP3之動作所需要之時鐘脈衝(D - CLK)、位止(D - A0 ~ D - A13)、指令(D - CKE、D - /CS、D - /RAS、D - /CAS、D - /WE、D - DQMU/DQML)、DRAM用資料(D - DQ0 ~ D - DQ15)、電源(D - VCC、D - VSS、D - VCCQ、D - VSSQ)。此記憶體模組與外部之輸入輸出節點之特徵是，DRAM之介面用之信號端子係無法直接看到。因此，在後述之實施例之第16圖等將說明本發明之BGA(Ball Grid Array)型組件，此組件之利用作為外部端子之端子，通常是不設控制DRAM用之信號端子。藉此，DRAM之存在被從外部隱蔽，可以享受記憶容量增加之好處。使用者不必考

五、發明說明(6)

慮 DRAM 之再新。但是，如果 BGA 型組件之信號端子數非常多有餘裕時，也可以爲了製造業者在製造時之測試目的將 DRAM 之控制端子並排拉出外部。如此，製造業者將可以迅速進行不良之分析。當然，此功能通常是不開放給使用者。

以下簡單說明各指令信號。輸入 CHIP2 之 S - /CE1、S - CE2 係晶片起動信號，S - /OE 係輸出起動信號，S - /WE 係寫入起動信號，S - /LB 係低位元組選擇信號，S - /UB 高位元組選擇信號。輸入 CHIP1 之 F - /WE 係寫入起動信號，F - /RP 係復置 / 深層電原關閉(reset / deep power down)信號，F - /WP 係寫入保護信號，F - RDY / BUSY 係備妥 / 佔線輸出信號，F - /CE 係晶片啓動信號，F - /OE 係輸出啓動信號，用來控制快閃記憶器。

記憶器模組可以使用共同之位址線(A0 ~ A20)、資料輸入輸出線(I/O0 ~ I/O15)擷取快閃記憶器、SRAM、DRAM。

擷取快閃記憶器(CHIP1)時，除了位址線(A0 ~ A20)外，令指令信號 F - /WE、F - /RP、F - /WP、F - RDY / BUSY、F - /CE、F - /OE 中之需要之信號成爲主動。擷取 SRAM(CHIP2)或 DRAM(CHIP3)時，則除了位址線(A0 ~ A20)外，令指令信號 S - /CE1、S - CE2、S - /OE、S - /WE、S - /LB、S - /UB 中之需要之信號成爲主動。任一擷取均以所謂 SRAM 介面方式進行。

對 SRAM 之擷取或對 DRAM 之擷取係依據輸入之位址之值區別，依據輸入之位址之值由控制電路 (CTL_LOGIC)判

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (7)

定擷取對方。成為擷取 SRAM 之位址之範圍與成為擷取 DRAM 之位址之範圍，係預先在設於控制電路 (CTL_LOGIC) 之暫存器設定其值而決定之。

擷取 DRAM 時由控制電路 (CTL_LOGIC) 生成擷取 DRAM 所需要之位址信號或指令信號類，而擷取 DRAM。讀取擷取時，從 DRAM 讀出之資料係由 DRAM 用資料 I/O (D - DQ0 ~ D - DQ15) 先讀至控制電路 (CTL_LOGIC)，然後輸出到記憶體模組之資料輸入輸出線 (I/O0 ~ I/O15)。寫入擷取時，寫入資料係由記憶體模組之資料輸入輸出線 (I/O0 ~ I/O15) 輸入，然後通過 DRAM 用資料 I/O (D - DQ0 ~ DQ15) 輸入到 DRAM。

至 DRAM 之電源係由 L - VCC、L - VSS 供應，通過控制電路 (CTL_LOGIC) 連接至 D - VCC、D - VSS、D - VCCQ、D - VSSQ。對 DRAM 之電源供應係由指令信號 PS 控制，可以在必要時切斷。要將切斷之 DRAM 之電源再接通時，DRAM 需要初期化。DRAM 之初期化所需要之信號之生成或定時控制係由控制電路 (CTL_LOGIC) 為之。

同時，在再新 DRAM 時，可由控制電路 (CTL_LOGIC) 定期投入再新指令而為之。一般，DRAM 之再新特性會在高溫時惡化，但可以在控制電路 (CTL_LOGIC) 配設溫度計，在高溫時縮小投入再新指令之間隔，便可以在更廣大之範圍使用 DRAM。反之，在低溫時可以擴大再新指令之投入間隔，降低保持資料所需要之電力。

再以控制電路 (CTL_LOGIC) 在 DRAM 之不同的兩處位址

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

保持 1 個資料，再調整進行再新之定時，藉此隱蔽再新，使其從記憶器模組外部之擷取不會因再新動作而受到限制。

依據以上說明之實施例，可以一方面沿習 SRAM 介面方式而實現使用廉價之萬用 DRAM 之大容量記憶器模組。本發明之記憶器模組雖使用 DRAM，但 DRAM 所需要之再新係在模組內部執行，因此與 SRAM 同樣，使用時可以不考慮再新。同時，可以藉由溫度變更在模組內部執行之再新之間隔，以擴大 DRAM 之使用溫度範圍，並可降低保持資料所需要之電力，因之可以實現溫度使用範圍寬之大容量記憶器模組。

而且，因為 DRAM 之資料保持之雙重化及調整進行再新之定時，則可從記憶器模組之外部隱蔽 DRAM 之再新，因此在擷取本記憶器模組時，不必考慮再新而調整再新之定時。因此，可以與傳統之僅使用 SRAM 之記憶器模組同樣使用，可以不變更傳統系統，便能夠使用大容量模組。

本發明之另一目的在實現保持資料用電流很少之記憶器模組。為了此目的可以切斷供給 DRAM 之電源，僅保持記憶在 SRAM 之資料。僅將應保持之資料記憶在 SRAM，停止供應記憶沒有必要保持之資料之記憶器之電源，便能夠以最低限度之資料保持電流，僅保持需要之資料。

第 2 圖表示 CHIP2(SRAM+CTL_LOGIC)。CHIP2(SRAM+CTL_LOGIC)係由 SRAM 及(CTL_LOGIC)所構成，自以往，積體之 SRAM 係一般所使用之非同步 SRAM。控制電

五、發明說明 (9)

路(CTL_LOGIC)係 CHIP2 之 SRAM 以外之部分，第 2 圖中係以虛線所圍之領域，由 AS、MMU、ATD、DTD、FIFO、R/W BUFFER、A_CONT、INT、TMP、RC、PM、CLK_GEN、COM_GEN 所構成。

從外部輸入位址後，MMU(Memory Management Unit)便依照設定之值變換輸入之位址，選擇要擷取之記憶體。SRAM 被選擇時，由擷取轉接器 AS(Access Switch)將指令信號送給 SRAM，進行對 SRAM 之擷取。位址變換檢測電路(ATD)電路檢出位址信號與指令信號之變化而輸出脈衝。資料變換檢測電路(DTD)電路檢出資料信號與指令信號之變化而輸出脈衝。R/W BUFFER 係爲了 DRAM 之讀出寫入而暫時保持資料。先入先出記憶體 FIFO(First-In First-Out Memory)係先入先出之緩衝電路，用以暫時保持向 DRAM 寫入之資料及其位址。初期化電路 INT 在開始向 DRAM 供應電源時進行 DRAM 之初期化。溫度檢測模組(TMP)可檢出溫度，而向 RC 及 A_CONT 輸出對應檢出之溫度之信號。RC 係再新計數器，可配合 DRAM 之再新間隔生成進行再新之位址。同時，依溫度檢測模組(TMP)之輸出信號變更對應溫度之再新間隔。電力模組(PM)用以向 CHIP2 之控制電路(CTL_LOGIC)與 DRAM 供應電源及控制電源。時鐘脈衝產生器(CLK_GEN)可產生時鐘脈衝，而供給 DRAM 及控制電路(CTL_LOGIC)。指令產生器(COM_GEN)生成擷取 DRAM 所需要之指令。擷取控制器(A_CONT)產生控制 CHIP2 (SRAM+CTL_LOGIC)之整體動作，及擷取 DRAM 用之位址。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

要向 CHIP2(SRAM+CTL_LOGIC)進行記憶體擷取，係藉由以往一般使用之非同步 SRAM 方式介接。當從外部向 CHIP2(SRAM+CTL_LOGIC)輸入位址(A0 ~A21)時，首先由 MMU 變換位址之值。變換之型樣係由輸入 MMU 內部之暫存器之值而定。由變換之位址決定擷取對方是 SRAM 或 DRAM。

擷取 SRAM 時，MMU 將變換之位址送至 SRAM，同時指示擷取轉接器(AS)轉送指令。AS 將指令轉送至 SRAM，開始擷取 SRAM。此後之動作係進行對所謂非同步 SRAM 之擷取。

茲說明對 DRAM 進行閱讀擷取時之控制電路之各方塊之動作如下。首先，將由外部輸入而由 MMU 變換之位址及由 ATD 檢出之指令送至 A_CONT。A_CONT 則從送來之位址及指令判斷對 DRAM 執行擷取，指示 COM_GEN 向 DRAM 發行指令。同時，A_CONT 則將從 MMU 接受之位址變換成 DRAM 用而向 DRAM 輸出。COM_GEN 與 CLK_GEN 生成之時鐘脈衝同步，向 DRAM 發行指令。接到指令與位址之 DRAM 則輸出資料，輸出之資料則經由 R/W BUFFER 轉送至 I/O0 ~ I/O15，而結束閱讀擷取。

對 DRAM 進行寫入擷取時，將由外部輸入而經 MMU 變換之位址、ATD 所檢出之指令、DTD 所檢出之指令及資料送至 A_CONT。A_CONT 從送進來之位址及指令判斷執行對 DRAM 之擷取，而指示 COM_GEN 向 DRAM 發行指令。同時，A_CONT 則將從 MMU 接受之位址變換成 DRAM 用，而輸

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (11)

出到 DRAM。COM_GEN 與 CLK_GEN 生成之時鐘脈衝同步向 DRAM 發行指令。寫入之資料從 I/O0 ~ I/O15 輸入而先被保持在 R/W BUFFER 後，再送至 DRAM 而進行寫入。此外，如此寫入之資料與位址也保持在 FIFO，然後也在 DRAM 之別的儲存體寫入。

供給 DRAM 之電源由電力模組 (PM) 加以控制。安裝記憶體模組之機器有時會希望依動作狀態削減消耗電流。這個時候，電力模組可以例如依照指令信號 PS 停止再新計數器進行之再新，削減再新 DRAM 所需要之電力。想進一步削減消耗電力時，可以在記憶體模組內部切斷供應 DRAM 之電源。這個時候，電力模組可以依照機器輸出之指令信號 PS 停止供給 DRAM 之至 D - VCC 之電力。

如果還想進一步削減消耗電力時，電力模組可以依照指令信號 PS 停止 CHIP2(SRAM+CTL_LOGIC) 中有關 DRAM 之記憶體擷取部分之電原供應。在此狀態下，可以例如在 CHIP2(SRAM+CTL_LOGIC) 中之 SRAM 以外，僅將 MMU 與 AS 接至電源使成動作狀態，成為僅執行擷取 SRAM 之模式。

也可以藉指令 PS 使成為僅保持 SRAM 之資料之動作狀態。在這種場合，切斷連接至 SRAM 之電源 (S - VCC、S - VSS) 以外，禁止擷取記憶體。在此狀態時，記憶體模組保持記憶在 SRAM 之資料。

要使一旦停止供應電源，停止動作之 DRAM 再度動作，除了再度供應電源外，另需進行 DRAM 之初期化。初期

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

化是採一般之方法，但本記憶器模組係由初期化電路(INT)指示擷取控制器(A_CONT)初期化之程序以執行初期化。

再者，停止 DRAM 之再新時，若要在使 DRAM 再度動作，DRAM 也要初期化，也是由初期化電路(INT)指示擷取控制器(A_CONT)初期化之程序以執行初期化。

再新計數器 RC 係依照 DRAM 之再新間隔，輸出再新用位址，要求擷取控制器執行再新。擷取控制器則依照再新計數器之要求，與從外部進行之對 DRAM 之擷取取得調停，同時發行再新指令，而進行 DRAM 之再新。

以高溫使用記憶器模組時，必須縮短 DRAM 之再新間隔，頻繁進行再新。在這種場合，是由溫度量測模組(TMP)檢出溫度，通知再新計數器與擷取控制器。變高溫時，再新計數器將 DRAM 之再新間隔變短，輸出再新用位址。

DRAM 之動作所需要之時鐘脈衝(D - CLK)在時鐘脈衝產生器(CLK_GEN)生成。時鐘脈衝產生器除了 DRAM 外，向控制電路內之各方塊供應時鐘脈衝。DRAM 與時鐘脈衝同步動作時，指令產生器(COM_GEN)之指令發行係與時鐘脈衝同步進行。

停止 DRAM 之再新則可削減消耗之電力。遮斷 DRAM 之電源而擷取 SRAM 時，雖然記憶容量較小，但能夠以低電力動作。這時也可以進一步停止擷取 DRAM 所需要之控制電路之電源供應，而以更低之電力動作。而且可以僅向 SRAM 供應電力，僅保持 SRAM 所記憶之資料，藉此實現低消耗電力之資料保持模式。再度將電源接入 DRAM 時，因

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (13)

DRAM 可以藉控制電路初期化，因此，沒有必要從外部對模組執行初期化之程序。因此可以實現能夠簡單削減消耗電力之記憶器模組。

第 3A 圖及第 3B 圖表示由 MMU 變換之記憶映像之一個例子。本實施例雖不特別限定，但以非揮發記憶器之記憶領域為 32Mb，SRAM 之資料保持領域為 2Mb，DRAM 之記憶領域為 32Mb 之記憶器模組為例子進行說明。從外部輸入之位址 A0 ~ A20 係由快閃記憶器(CHIP1)及 CHIP2 共用。擷取對方之選擇可使用選擇晶片用之信號 S - CS、F - CS。F - CS 成為主動時，選擇 CHIP1，進行擷取，S - CS 成為主動時，選擇 CHIP2，進行擷取。F - CS 係擷取 CHIP1 時使用之指令信號 F - /WE、F - /RP、F - /WP、F - RDY/BUSY、F - /CE、F - /OE 之總稱，S - CS 係擷取 CHIP2 時使用之指令信號 S - /CE1、S - CE2、S - /OE、S - /WE、S - /LB、S - /UB 之總稱。擷取對方選擇 CHIP2 時，由 MMU 依位址選擇要擷取之記憶器。

第 3A 圖所示之記憶映像之例子，係將 SRAM 領域集中設定在位址空間之一部分。SRAM 之位址空間係重疊在 DRAM 之位址空間，對重疊之位址空間之擷取係對 SRAM 為之。在同一位址空間之 DRAM 成為陰影領域，不進行擷取。

對此，第 3B 圖所示之記憶映像之例子，係將 SRAM 領域分散設定在多數位址空間。同樣地，SRAM 之位址空間係重疊在 DRAM 之位址空間，對重疊之位址空間之擷取係

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

對 SRAM 爲之。本例之 SRAM 領域係以 512Kb 單位設定，這是配合 FLASH 記憶器之寫入抹除單位，使位址空間之管理單位與 FLASH 記憶器對齊，則可以更容易由 OS 或程式處理。

如此，MMU 可以將 SRAM 領域或 DRAM 領域分配在指定之位址空間。尤其是欲使資料保持電流較少時，可以將儲存欲保持之資料之位址空間分配在 SRAM 領域，停止對 DRAM 之電流供應。可以藉此方法，實現資料保持電流很少之記憶器模組。

第 4A 圖及第 4B 圖表示由 MMU 變換之記憶映像之另一個例子。

第 4A 圖所示之記憶映像之例子，係將 SRAM 領域集中設定在位址空間之一部分。與第 3A 圖所示之記憶映像之例子之差別是，SRAM 之位址空間與 DRAM 之位址空間沒有重疊。因爲 DRAM 不會發生陰影領域，因此可以有效利用 DRAM 之記憶空間。第 4B 圖也同樣，與第 3B 圖所示記憶映像之差異是 SRAM 之位址空間與 DRAM 之位址空間沒有重疊。因爲 DRAM 不會發生陰影領域，因此可以有效利用 DRAM 之記憶空間。實施第 4A 圖、第 4B 圖之記憶映像時，位址空間會增加差不多 2Mb。要與之對應，可追加位址線 A21。如此，第 4A 圖、第 4B 圖所示之記憶映像，可以更有效使用 DRAM 之記憶領域。

第 5 圖表示 ATD 電路之架構例子與動作波形。位址變換檢測電路(ATD)係用以檢測位址信號線之值發生變化而產

(請先閱讀背面之注意事項再填寫本頁)

訂

檢

五、發明說明 (15)

生脈衝。電路圖所使用之記號 D1、D2 分別表示產生延遲用之延遲元件。ATD 在位址線(A0 ~ AN)產生變化時，輸出將延遲元件 D1 與延遲元件 D2 之延遲相加之寬度之脈衝 (/ØA0 ~ /ØAN)。而且，考量各個位址線之動作上之參差不齊，而生成將此等脈衝相加之之信號 /ØATD，藉此，檢知出現在位址線之位址值發生變化。如第 2 圖所示，ATD 不只連接位址線，也連接指令信號而檢出輸入新的指令。資料變換檢測電路 DTD 之架構與 ATD 相同。DTD 可檢出資料線與寫入用之指令信號之變化，辨認寫入用資料及寫入指令。

如此，藉 ATD 及 DTD 檢出非同步方式變化之 SRAM 介面信號，開始記憶器模組之動作。藉此電路可以實現，藉由非同步 SRAM 介面動作之記憶器模組。為了將非同步方式變化之信號脈衝化而與時鐘脈衝同步檢出，也可以使用在記憶器模組內部進行同步式動作之記憶器裝置。

第 6A 圖及第 6B 圖表示以隱蔽 DRAM 之再新為其目的，而使 DRAM 分時動作之情形。在此係以 1 個晶片由 4 個儲存體構成之 DRAM 為例子進行說明。將 4 個儲存體 BANK - A0、BANK - A1、BANK - B0、BANK - B1 分成 BANK - A0、BANK - A1 及 BANK - B0、BANK - B1 之兩組，兩個組係映射在同一位址空間。亦即，以一個位址指定之記憶格分別存在於兩個組，記憶兩倍之冗長之資料。

第 6A 圖表示 DRAM 之通常使用溫度範圍之 75°C 以下之動作。通常 DRAM 之記憶格每 64ms 需要再新 1 次，將該

五、發明說明 (18)

切換之控制電路之架構可以較簡單。

第 7 圖係說明擷取 CHIP3(DRAM)用之流程圖。在 STEP1，輸入位址而開始動作。在 STEP2 則從指令判定擷取之種類。以下之動作則因擷取之種類而異。擷取是讀出時，前進到 STEP3。在 STEP3，從 WORK 期間中之儲存體讀出資料而結束動作。擷取是寫入時，前進到 STEP4 及 STEP5。在 STEP4，對 WORK 期間中之儲存體進行寫入。另一方面，在 STEP5 將寫入之資料及位址保持在 FIFO。在此，若 REF 期間中之儲存體從 T1 期間移到 T2 期間，則前進到 STEP6，將保持在 FIFO 之資料寫入 REF 期間中之儲存體。

由於如此對 DRAM 進行寫入，便可以排除再新之影響，因此可以使用大容量 DRAM 構成非同步 SRAM 介面之記憶器模組。

第 8 圖係說明 CHIP3(DRAM)在 REF 期間中之儲存體之動作流程圖。從 STEP1 至 STEP3 為 T1 期間，從 STEP4 至 STEP6 為 T2 期間。在 STEP1，REF 期間開始，在 STEP2 集中而執行再新。在 STEP3 管理再新次數，規定領域之再新結束時前進到 STEP4，在儲存體寫入儲存在 FIFO 之資料。在 STEP5 判斷保持在 FIFO 之資料之寫入已完成時，也可以前進到 STEP6 受理寫入擷取。但，也能夠以 STEP4 之狀態等候對 FIFO 之資料輸入，然後執行寫入擷取。

如以上所說明，若令 REF 期間中之儲存體動作，可以在 REF 期間內使再新動作與寫入擷取之執行兩立。藉此可以排除再新之影響，因此可以使用大容量之 DRAM 構成非

(請先閱讀背面之注意事項再填寫本頁)

訂

修

五、發明說明（19）

同步 SRAM 介面之記憶器模組。

第 9A 圖及第 9B 圖表示對 DRAM 之擷取附加優先順位之情形。本發明之 DRAM 之動作可以用，對 REF 期間中之儲存體之擷取附加優先順位以執行之想法來說明。

第 9A 圖以模式方式表示其優先順位。如本圖所示，在 WORK 期間中之 BANK - A0、A1 僅進行從外部之擷取③。這是對 REF 期間中之 BANK - B0、B1 優先執行。另一方面，對 REF 期間中之 BANK - B0、B1 則進行再新①、寫入保持在 FIFO 之資料②、從外部之寫入擷取③。此等之執行係由擷取控制電路(A_CONT)附加優先順位，而以上述①、②、③之優先順位執行。

第 9B 圖表示依照優先順位執行此等擷取之情形。在此，BANK - A0、A1 成為 WORK 期間中，BANK - B0、B1 在 REF 期間中。BANK - A0、A1 係只執行外部擷取③。另一方面，BANK - B0、B1 是剛好要從 T1 期間移至 T2 期間，T1 期間所執行之再新①結束而移到 T2 期間，正執行以 FIFO 保持之資料之寫入②。同時，對外部擷取是以 75 ns 進行，內部動作是以 70 ns 執行，因此，由 FIFO 保持之資料之處理較外部擷取快速進行。

如以上所說明，若使 WORK 期間中及 REF 期間中之儲存體動作，可以令 REF 期間中之儲存體執行再新動作及保持在 FIFO 之資料之寫入，同時使 WORK 期間中之儲存體執行外部之擷取。因為可以藉此動作方法排除再新之影響，因此可以使用大容量 DRAM 構成非同步 SRAM 介面之記憶器

五、發明說明 (20)

模組。

第 10 圖係本實施例之 CHIP1(FLASH)之架構圖。係由 X 位址緩衝器 X - ADB、X 解碼器 X - DEC、記憶體陣列 MA、Y 位址緩衝器 Y - ADB、Y 解碼器 Y - DEC、Y 閘及感測器電路 Y - GATE / SENS.AMP.、狀態 / ID 保持暫存器 STATUS / ID REG、多工器 MULTIPLEXER、資料輸入輸出緩衝器 I / O BUF、寫入及抹除之控制電路之寫入狀態機器 WSM、指令之解碼及執行用之指令使用者介面 CUI，所構成。CHIP1 之動作與以往之一般使用之 FLASH 記憶體相同。可以由此 CHIP1(FLASH)構成本實施例之記憶體模組。

第 11 圖表示本實施例之 SRAM 之架構例子。係由 X 解碼器 X - DEC、記憶體陣列 MA、Y 解碼器 Y - DEC、Y 閘 Y - GATE、輸入資料控制電路 D_CTL、控制電路 CONTROL LOGIC 及各信號線之輸入輸出緩衝器，所構成。此 SRAM 係一般之所謂非同步 SRAM。可以由此 SRAM 構成本實施例之記憶體模組。

第 12 圖表示本實施例之 DRAM 之架構例子。係由 X 位址緩衝器 X - ADB、再新計數器 REF. COUNTER、X 解碼器 X - DEC、記憶體陣列 MA、Y 位址緩衝器 Y - ADB、Y 位址計數器 Y - AD COUNTER、Y 解碼器 Y - DEC、記憶體陣列 MA、感測器電路及 Y 閘 SENS AMP.& I/O BUS、輸入資料緩衝電路 INPUT BUFFER、輸出資料緩衝電路 OUTPUT BUFFER、控制電路及定時產生電路 CONTROL LOGIC & TG，所構成。DRAM 係傳統上使用之萬用 DRAM

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (21)

。雖無特別限制，但具體上是包含 4 個可獨立動作之記憶儲存體，對此等之位址輸入端子及資料輸入輸出端子被共同化，按不同儲存體以分時方式利用之。可以由此 DRAM 構成本實施例之記憶器模組。

第 13 圖表示本發明一實施例之記憶器模組之動作波形之一個例子。A0 ~ A20、S - /CE1、S - CE2、S - /LB、S - /UB、S - /OE、S - /WE 係輸入記憶器模組之信號，係所謂非同步 SRAM 之介面信號。資料輸入輸出信號 I/O0 ~ I/O15 係將資料之輸入及輸出分開分別以 DIN、DOUT 表示之。MMU、ATD、DTD 分別表示 MMU 電路、ATD 電路、DTD 電路之輸出信號。D - CLK 係供給 DRAM 之時鐘脈衝，D - COM 係供給 DRAM 之指令信號之總稱，D - A0 ~ D - A15 係 DRAM 之位址線，D - DQ0 ~ D - DQ15 係 DRAM 之 I/O 線。

先說明首先進行之讀出擷取。輸入位址 A0 ~ A20 後，MMU 電路便輸出變換之位址。由 ATD 電路檢知位址 A0 ~ A20 及指令類 (S - /CE1、S - CE2、S - /LB、S - /UB、S - /OE、S - /WE) 之變化，確定位址及指令後輸出脈衝。藉由此脈衝，向 DRAM 發行儲存體主動之指令 (bank active command) A，使 DRAM 成為儲存體主動狀態。接著，控制電路則藉由 S - /OE 信號之上昇，發行讀出指令 R。從 DRAM 讀出之資料被輸出到 D - DQ0 ~ D - DQ15，先通過 R/W BUFFER 再輸出到 I/O0 ~ I/O15。

下一循環係表示寫入擷取之執行例。寫入擷取也跟讀

五、發明說明 (22)

出擷取時一樣，藉由 ATD 信號之上昇，發行儲存體主動指令 A。然後，由 DTD 電路檢知 I/O0 ~ I/O15 與指令類 (S - /CE1、S - CE2、S - /LB、S - /UB、S - /OE、S - /WE) 之變化，而輸出脈衝，藉由此脈衝執行寫入指令。因為是以表示寫入擷取結束之 S - /WE 之上昇來確定寫入之資料，寫入指令會連續發行到 S - /WE 上昇。這是爲了要能在寫入循環開始後寫入之資料變化時仍能對應之原故。第 13 圖所示之動作例係連續發行兩次寫入指令，然後隨著 S - /WE 之上昇結束寫入，而發行預充電指令 (pre-charge command)。

依據以上說明之實施例時，可以實現一方面沿習 SRAM 介面方式，同時使用廉價之萬用 DRAM 之大容量之記憶體模組。本發明之控制電路 (CTL_LOGIC) 係使用 DRAM，但 DRAM 所需要之再新係由控制電路 (CTL_LOGIC) 所執行，因此與 SRAM 同樣，使用時可以不必考慮再新。而且，由於在 DRAM 之資料保持雙重化，以及調整進行再新之定時，可以從記憶體模組之外部隱蔽 DRAM 之再新，因此擷取本記憶體模組時，沒有必要考慮再新而調整定時。因此，能與傳統之僅使用 SRAM 之記憶體模組同樣使用，因此可以不變更傳統系統，而使用大容量記憶體模組。

〈 實施例 2 〉

第 14 圖表示構成本發明一實施例之記憶體模組之 CHIP2 之另一實施例。

本實施例之 CHIP2 (CTL_LOGIC) 由控制電路

五、發明說明 (23)

(CTL_LOGIC)構成，係由 ATD、DTD、FIFO、R/W BUFFER、A_CONT、INT、TMP、RC、PM、CLK_GEN、COM_GEN 所構成。與第 2 圖所示之 CHIP2 不同的地方是，內部未配設 SRAM、擷取轉接器 AS、MMU。因此，所有之擷取係對 DRAM 執行。以下說明其動作。

位址變換檢測電路(ATD)檢出位址信號與指令信號之變化而輸出脈衝。資料變換檢測電路(DTD)檢出資料信號與指令信號之變化而輸出脈衝。R/W BUFFER 係爲了 DRAM 之讀出寫入而暫時保持資料。FIFO(First-In First-Out Memory)係先入先出之緩衝電路，用以暫時保持向 DRAM 之寫入資料及其位址。初期化電路 INT 在開始向 DRAM 供應電源時進行 DRAM 之初期化。溫度量測模組(TMP)可檢出溫度，而向再新計數器(RC)及擷取控制器(A_CONT)輸出對應檢出之溫度之信號。RC 係再新計數器，可配合 DRAM 之再新間隔生成進行再新之位址。同時，依溫度量測模組(TMP)之輸出信號，變更對應溫度之再新間隔。電力模組(PM)用以向 CHIP2 之控制電路(CTL_LOGIC)與 DRAM 供應電源及控制電源。時鐘脈衝產生器(CLK_GEN)可產生時鐘脈衝，而供給 DRAM 及控制電路(CTL_LOGIC)。指令產生器(COM_GEN)生成擷取 DRAM 所需要之指令。擷取控制器(A_CONT)產生控制 CHIP2(CTL_LOGIC)整體動作，及擷取 DRAM 用之位址。

CHIP2(CTL_LOGIC)以非同步 SRAM 方式介接。從外部以非同步 SRAM 方式送進信號時，CHIP2 則將其變換而擷取 DRAM。資料輸入輸出或再新動作由 CHIP2 控制。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (24)

茲說明對 DRAM 進行閱讀擷取時之控制電路之各方塊之動作如下。首先，將由外部輸入而由 MMU 變換之位址及由 ATD 檢出之指令送至 A_CONT。A_CONT 則從送來之位址及指令判斷對 DRAM 之擷取之執行，指示 COM_GEN 向 DRAM 發行指令。同時，A_CONT 則將從 MMU 接受之位址變換成 DRAM 用而向 DRAM 輸出。COM_GEN 與 CLK_GEN 生成之時鐘脈衝同步，向 DRAM 發行指令。接到指令與位址之 DRAM 則輸出資料，輸出之資料則經由 R/W BUFFER 轉送至 I/O0 ~ I/O15，而結束閱讀擷取。

對 DRAM 進行寫入擷取時，將由外部輸入之位址、ATD 所檢出之指令、DTD 所檢出之指令及資料送至 A_CONT。A_CONT 將從送進來之位址及指令判斷執行對 DRAM 之擷取，指示 COM_GEN 向 DRAM 發行指令。同樣，A_CONT 則將從 MMU 接受之位址變換成 DRAM 用，而輸出到 DRAM。COM_GEN 與 CLK_GEN 生成之時鐘脈衝同步向 DRAM 發行指令。寫入之資料從 I/O0 ~ I/O15 輸入，先被保持在 R/W BUFFER 後，再送至 DRAM 而進行寫入。此外，如此寫入之資料與位址也保持在 FIFO，然後也在 DRAM 之別的儲存體寫入。再者，擷取記憶器以外之動作與在實施例 1 說明者一樣。

依據以上說明之實施例時，因為內部未配設 SRAM、SA、MMU，能夠以更小之面積構成 CHIP2，因此能夠廉價實現大容量記憶器模組。同時，不必經由 AS 及 MMU 之動作便能夠擷取 DRAM，因此可以實現更高速之大容量之記

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明（25）

憶器模組。再者，本實施例之其他效果與在實施例 1 所說明者相同。

〈實施例 3〉

第 15 圖表示構成本發明一實施例之記憶器模組之 CHIP2 及 CHIP3 之第 3 實施例。本實施例之 CHIP4(DRAM+CTL_LOGIC)係由控制電路(CTL_LOGIC)及 DRAM 所構成。構成控制電路之 ATD、DTD、FIFO、R/W BUFFER、A_CONT、INT、TMP、RC、PM、CLK_GEN、COM_GEN 及 DRAM 推積在 1 片晶片上。係在第 14 圖所示之 CHIP2 混合裝載 DRAM 之架構。以下說明其動作。

位址變換檢測電路(ATD)檢出位址信號與指令信號之變化而輸出脈衝。資料變換檢測電路(DTD)檢出資料信號與指令信號之變化而輸出脈衝。R/W BUFFER 係爲了 DRAM 之讀出寫入而暫時保持資料。FIFO 係先入先出之緩衝電路，用以暫時保持向 DRAM 之寫入資料及其位址。初期化電路 INT 在開始向 DRAM 供應電源時進行 DRAM 之初期化。溫度量測模組(TMP)可檢出溫度，而向再新計數器(RC)及擷取控制器(A_CONT)輸出對應檢出之溫度之信號。再新計數器可配合 DRAM 之再新間隔生成進行再新之位址。同時，依溫度量測模組(TMP)之輸出信號，變更對應溫度之再新間隔。電力模組(PM)用以向 CHIP2 之控制電路(CTL_LOGIC)與 DRAM 供應電源及控制電源。時鐘脈衝產生器(CLK_GEN)可產生時鐘脈衝，而供給 DRAM 及控制電路(CTL_LOGIC)。指令產生

五、發明說明 (26)

器 (COM_GEN) 生成擷取 DRAM 所需要之指令。擷取控制器 (A_CONT) 產生控制 CHIP4(DRAM+CTL_LOGIC) 整體動作，及擷取 DRAM 用之位址。要向 CHIP4(DRAM+CTL_LOGIC) 進行記憶器擷取時，以所謂非同步 SRAM 方式介接。從外部以非同步 SRAM 方式送進信號時，控制電路則將其變換而擷取 DRAM。

茲說明對 DRAM 進行閱讀擷取時之控制電路之各方塊之動作如下。首先，將由外部輸入之位址送至 A_CONT。由 ATD 檢出位址之變化及指令信號，而由 ATD 向 A_CONT 輸出脈衝。A_CONT 則從送來之位址及指令判斷對 DRAM 之擷取之執行，指示 COM_GEN 向 DRAM 發行指令。同時，由 A_CONT 將接受之位址變換成 DRAM 用而向 DRAM 輸出。COM_GEN 與 CLK_GEN 生成之時鐘脈衝同步，向 DRAM 發行指令。接到指令與位址之 DRAM 則輸出資料，輸出之資料則經由 R/W BUFFER 轉送至 I/O0 ~ I/O15，而結束閱讀擷取。

對 DRAM 進行寫入擷取時，將由外部輸入之位址、ATD 所檢出之指令、DTD 所檢出之指令及資料送至 A_CONT。A_CONT 則從送進來之位址及指令判斷執行對 DRAM 之擷取，指示 COM_GEN 向 DRAM 發行指令。同樣，由 A_CONT 將接受之位址變換成 DRAM 用，而輸出到 DRAM。COM_GEN 與 CLK_GEN 生成之時鐘脈衝同步向 DRAM 發行指令。寫入之資料從 I/O0 ~ I/O15 輸入，先被保持在 R/W BUFFER 後，再送至 DRAM 而進行寫入。此外，如此寫入之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (28)

〈 實施例 4 〉

第 16A 圖及第 16B 圖表示本發明一實施例之記憶器模組之第 4 實施例。第 16A 圖表示上面圖，第 16B 圖表示截面圖。本記憶器模組係藉 BGA 在安裝於裝置之基盤(例如玻璃環氧基板製成之印刷電路板 PCB)上搭載 CHIP1(FLASH)及 CHIP2(DRAM)。雖不特別限制，但 CHIP3 係使用在晶片之中央排列 1 列信號及電源區之萬用 DRAM 之裸晶片。在 CHIP1(FLASH)之上面進一步搭載有 CHIP2 (SRAM+CTL_LOGIC)。CHIP1 與基盤上之焊接區係以鍵合線 (PATH1) 連接，CHIP2 與基盤上之焊接區係以鍵合線 (PATH2) 連接，CHIP3 與基盤上之焊接區係以鍵合線 (PATH3) 連接之外，也與 CHIP2 以鍵合線 (PATH4) 連接。搭載晶片之基盤上面係以成為封裝物之樹脂塑模，以保護各晶片及連接配線。再者，也可以在其上面使用金屬、陶瓷或樹脂之外罩。

本發明之實施例因為可以在 CHIP1 上搭載 CHIP2，因此可以構成安裝面積很小之記憶器模組。同時可以靠近配置各晶片，而得縮短晶片間配線之長度。以鍵合線方式統一晶片間之配線及各晶片與基盤間之配線，則可用較少之製程數製造記憶器模組。而且，由於以鍵合線直接配接晶片間之配線，而得減少基盤上之焊接區數及鍵合線數，以較少之製程數製造記憶器模組。因為可以使用大量生產之萬用 DRAM 之裸晶片，因此能夠廉價穩定供應記憶器模組。使用樹脂之外罩時，可以構成更強韌之記憶器模組。使

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (29)

用金屬或陶瓷之外罩時，可以構成除了強度以外，散熱性或遮蔽效果優異之記憶器模組。

第 17A 圖及第 17B 圖表示本發明一實施例之記憶器模組之第 16A 圖、第 16B

圖之變形例子。第 17A 圖表示上面圖，第 17B 圖表示截面圖。本例係使用 BGA (Ball Grid Array) 將 CHIP3 (DRAM) 安裝於基盤及配線。使此半導體晶片之形成電路之一面朝下，介由焊錫突塊所代表之金屬突塊進行連接之方法亦稱作面朝下鍵合。採此方法時，CHIP3 與基盤間及 CHIP2 之鍵合便不再需要，可以減少鍵合配線數，因此不單可以削減裝配製程，又可以實現可靠性更高之記憶器模組。

第 18A 圖及第 18B 圖表示本發明一實施例之記憶器模組之第 16 圖之變形例子。第 18A 圖表示上面圖，第 18B 圖表示截面圖。本例之將 CHIP1 (FLASH) 安裝於基盤及配線使用 BGA。而搭載於 CHIP1 上之 CHIP2 與基盤間之配線使用 PATH5，CHIP2 與 CHIP3 之配線使用 PATH6。因為採此安裝方法，CHIP1 與基盤間之鍵合不再需要，可以削減配線數，因此不僅可以削減裝配製程數，又可以實現可靠性更高之記憶器模組。同時，因為沒有 CHIP1 至基盤之配線，因此能夠以低配線密度很容易完成從高低差大之 CHIP2 至基盤之配線 PATH5。PATH6 也同樣，除了配線之密度會降低之外，因為對 CHIP3 上面之配線使高低差獲得緩和，可以很容易完成鍵合。

第 19A 圖及第 19B 圖表示本發明一實施例之記憶器模

五、發明說明 (30)

組之第 16 圖之變形例子。第 19A 圖表示上面圖，第 19B 圖表示截面圖。本例在將 CHIP1 與 CHIP3 安裝於基盤時使用 BGA。因為只需在 CHIP2 與基盤間搭線，因此可以削減鍵合線數，實現可靠性高之記憶體模組。同時，由於沒有 CHIP1 至基盤之配線，至 CHIP2 之配線之 PATH5 可以降低配線之密度，可以簡化鍵合製程。

第 20A 圖及第 20B 圖表示本發明一實施例之記憶體模組之第 16 圖之變形例子。第 20A 圖表示上面圖，第 20B 圖表示截面圖。本例係藉 BGA 在安裝於基盤之 CHIP3 上搭載 CHIP1，在於其上搭載 CHIP2。搭載於最上位之 CHIP2 與 CHIP1 之配線用 PATH7。而 CHIP2 與基盤之配線使用 PATH8。可以藉此安裝方法推疊 3 晶片，因此可以縮小記憶體模組之安裝面積。CHIP2 與基盤之連接除了使用配線 PATH8 外，也可以使用配線 PATH5 與 PATH7 以中繼信號方式連接。將中繼連接之方法特別使用在 CHIP1 及 CHIP2 共用之信號之配線時，因為可以削減配線數，因此可以簡化鍵合製程。

第 21A 圖及第 21B 圖表示本發明一實施例之記憶體模組之第 16 圖之變形例子。第 21A 圖表示上面圖，第 21B 圖表示截面圖。本例係藉 BGA 將 CHIP3 安裝於基盤上，在於其上搭載 CHIP1 及 CHIP2。CHIP2 與 CHIP1 間之配線用 PATH9。而從配置在 CHIP1 及 CHIP2 上之模組中心側之焊接區至基盤之配線使用 PATH10。

本安裝方法在特別是 CHIP3 之面積很大時，對縮小模

五、發明說明 ()

33

第 4A 圖及第 4B 圖係表示本發明一實施例之記憶器模組之位址映像之一個例子之說明圖。

第 5 圖係第 2 圖之 ATD 電路或 DTD 電路之架構圖。

第 6A 圖及第 6B 圖係表示 DRAM 之再新方式之一個例子之說明圖。

第 7 圖係表示擷取 DRAM 時之處理之流程圖。

第 8 圖係表示 REF 期間中之 DRAM 之儲存體之動作之流程圖。

第 9A 圖及第 9B 圖係說明分開獨立進行對 DRAM 之擷取及再新之情形之說明圖。

第 10 圖係表示快閃記憶器之一架構例子之方塊圖。

第 11 圖係表示 SRAM 之一架構例子之方塊圖。

第 12 圖係表示 DRAM 之一架構例子之方塊圖。

第 13 圖係本發明之一實施例之記憶器模組之定時圖。

第 14 圖係表示第 1 圖之 CHIP2 之一個架構例子之方塊圖。

第 15 圖係利用本發明之一實施例之 DRAM 之非同步 SRAM 介面方式之大容量記憶器之實施例。

第 16A 圖及第 16B 圖係本發明一實施例之記憶器模組之安裝形態之一個例子。

第 17A 圖及第 17B 圖係本發明一實施例之記憶器模組之安裝形態之一個例子。

第 18A 圖及第 18B 圖係本發明一實施例之記憶器模組之安裝形態之一個例子。

五、發明說明 (34)

第 19A 圖及第 19B 圖係本發明一實施例之記憶器模組之安裝形態之一個例子。

第 20A 圖及第 20B 圖係本發明一實施例之記憶器模組之安裝形態之一個例子。

第 21A 圖及第 21B 圖係本發明一實施例之記憶器模組之安裝形態之一個例子。

第 22A 圖及第 22B 圖係本發明一實施例之記憶器模組之安裝形態之一個例子。

第 23A 圖及第 23B 圖係本發明一實施例之記憶器模組之安裝形態之一個例子。

主要元件對照表

CHIP1(FLASH)-----非揮發性記憶器

CHIP2(SRAM+CTL_LOGIC)-----靜態隨機存取記憶器、
控制電路

CHIP3(DRAM)-----動態隨機存取記憶器

X - ADB-----X 位址緩衝器

X - DEC -----X 解碼器

MA-----記憶器陣列

Y - ADB-----Y 位址緩衝器

Y - DEC-----Y 解碼器

Y - GATE / SENS AMP-----Y 閘 / 感測器。

STATUS / ID GEG. -----狀態 / ID 保持暫存器

MULTIPLEXER-----多工器

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (35)

I / O BUF. -----資料輸入輸出緩衝器

WSM-----寫入狀態機器

CUI-----指令使用者介面

D_CTL-----輸入資料控制電路

CONTROL LOGIC-----控制電路

REF. COUNTER-----再新計數器

Y - AD COUNTER-----Y 位址計數器

INPUT BUFFER-----輸入資料緩衝電路

OUTPUT BUFFER-----輸出資料緩衝電路

CONTROL LOGIC & TG-----控制電路及定時產生電路

ATD-----位址變換檢測電路

DTD-----資料變換檢測電路

R/W BUFFER-----讀出寫入緩衝器

FIFO-----先入先出緩衝電路

INT-----初期化電路

TMP-----溫度量測模組

PM-----電力模組

CLK_GEN. -----時鐘脈衝產生器

COM_GEN-----指令產生器

A_CONT-----擷取控制器

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱： 半導體裝置及其動作方法)

爲了能廉價實現記憶容量大，且保持資料用電流少之記憶器，將非揮發性記憶器、SRAM、DRAM、控制電路模組化，成爲一個組件。藉控制電路分配，至SRAM之位址及至DRAM之位址，將需要長期間保持之資料保管在SRAM。DRAM將多數儲存體分成兩組而映射(mapping)到相同位址空間，按各組交替進行再新(refresh)。此等多數晶片係相互堆疊配置，而藉BGA或晶片間鍵合(bonding)進行配線。

英文發明摘要(發明之名稱：)

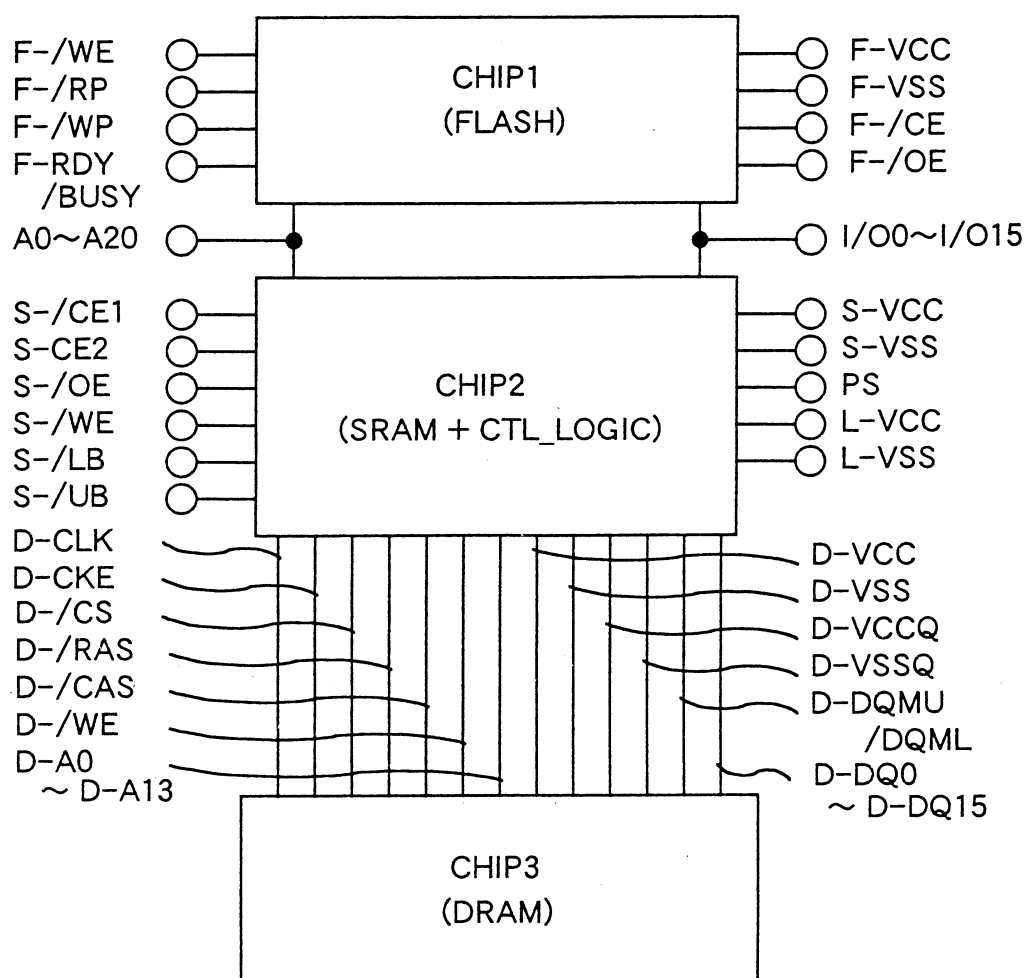
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

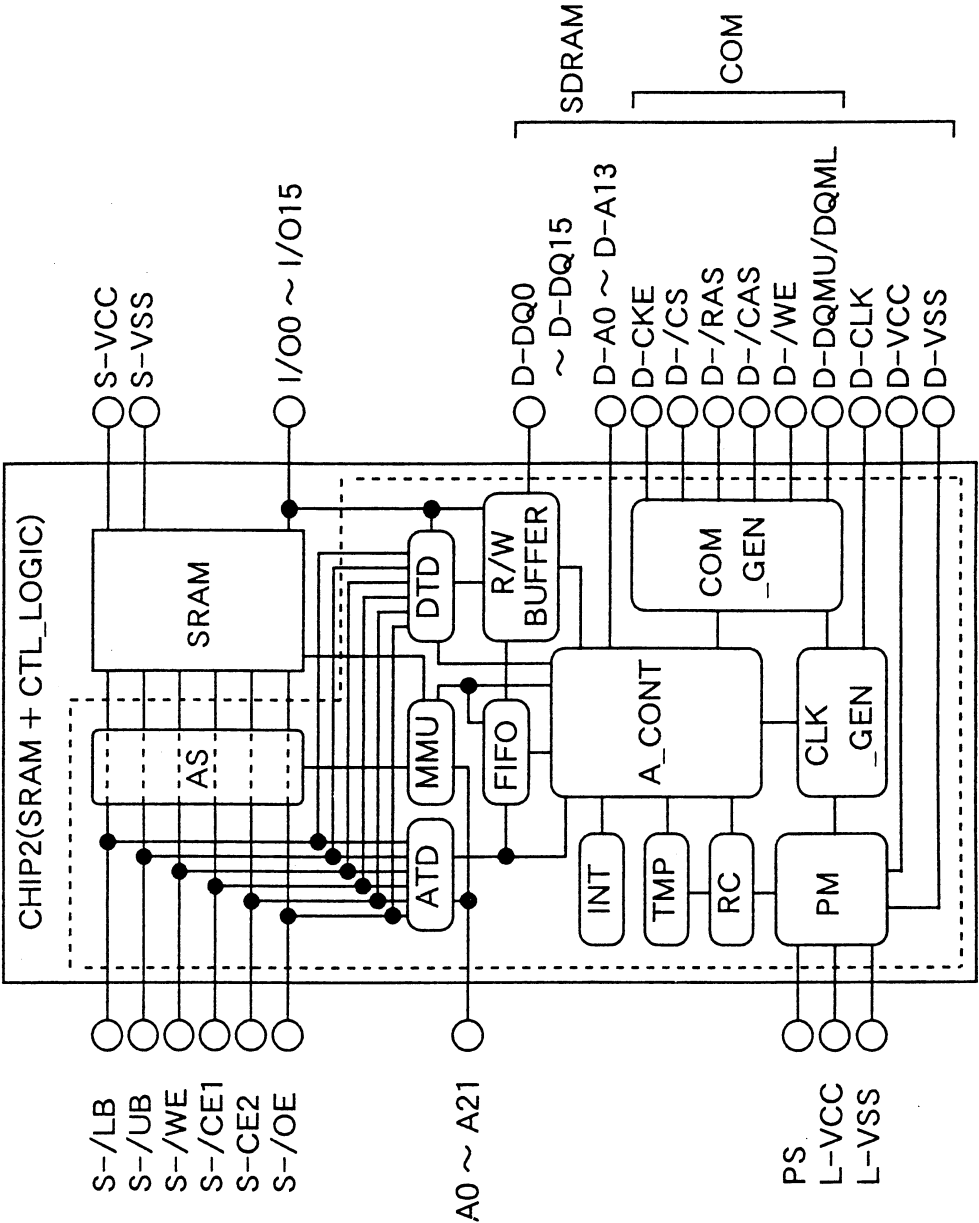
訂

線

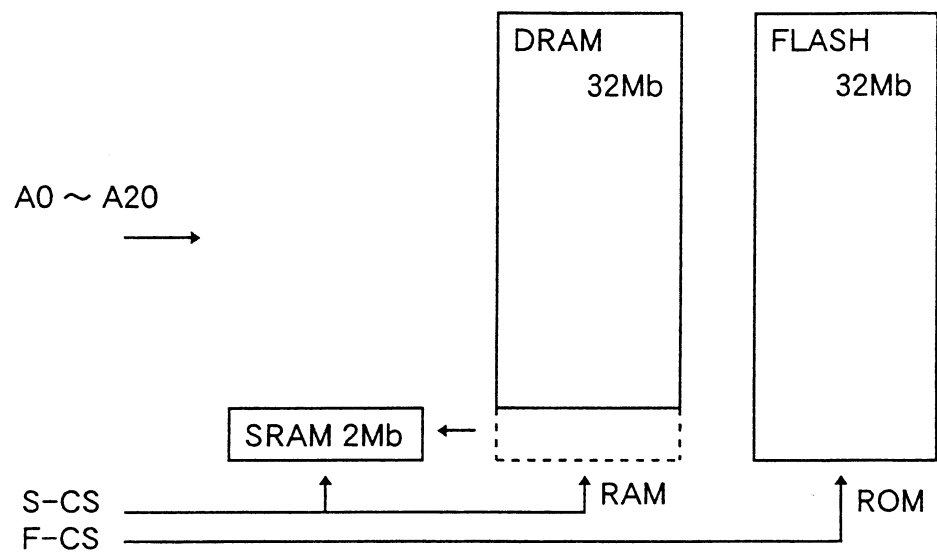
第 1 圖



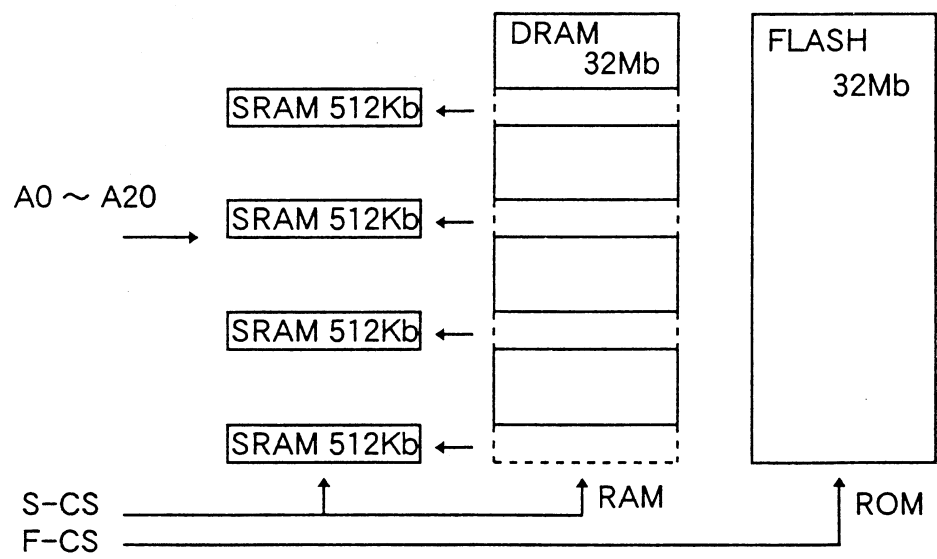
第 2 圖



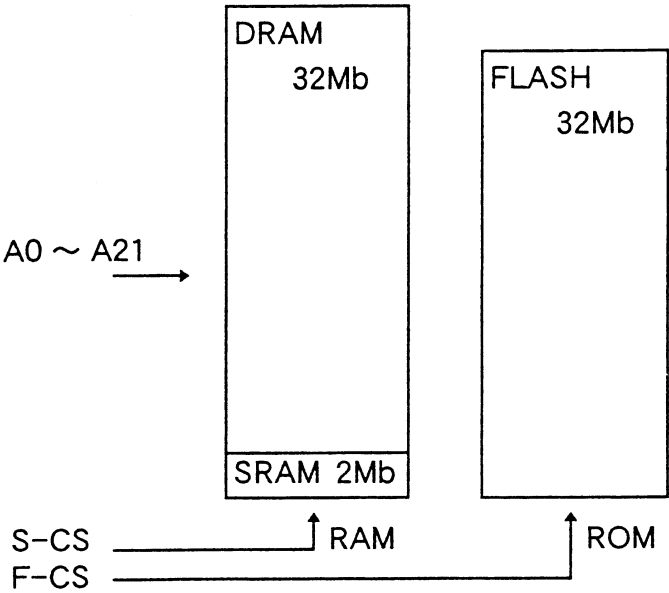
第 3A 圖



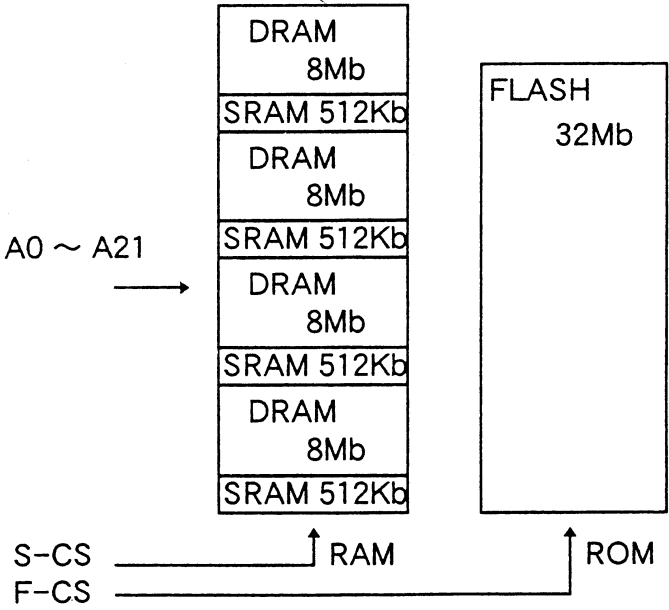
第 3B 圖



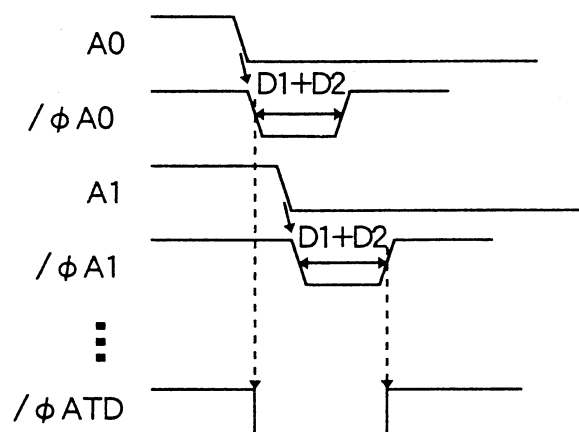
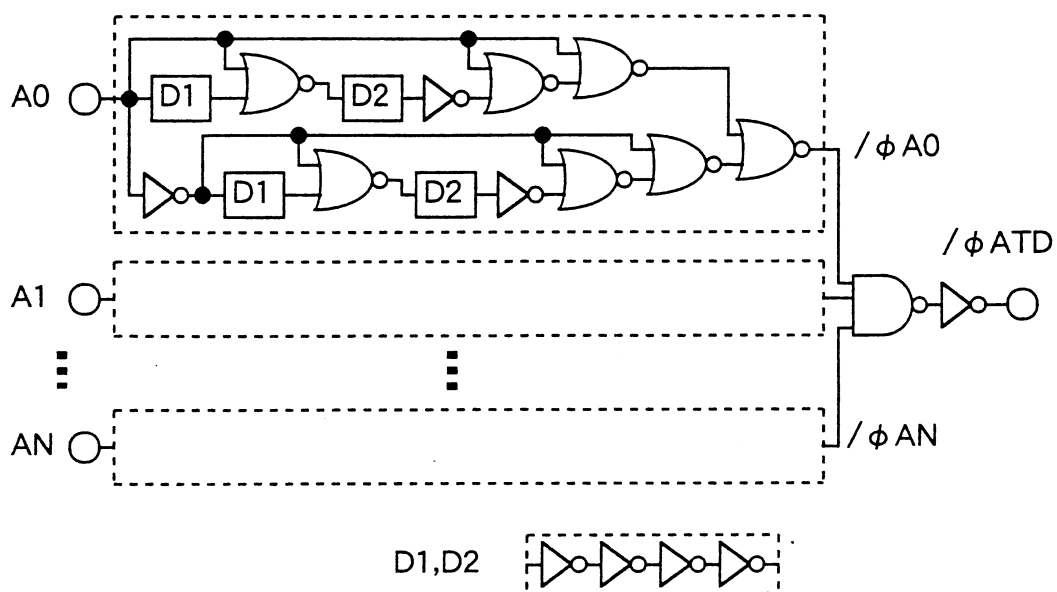
第 4A 圖



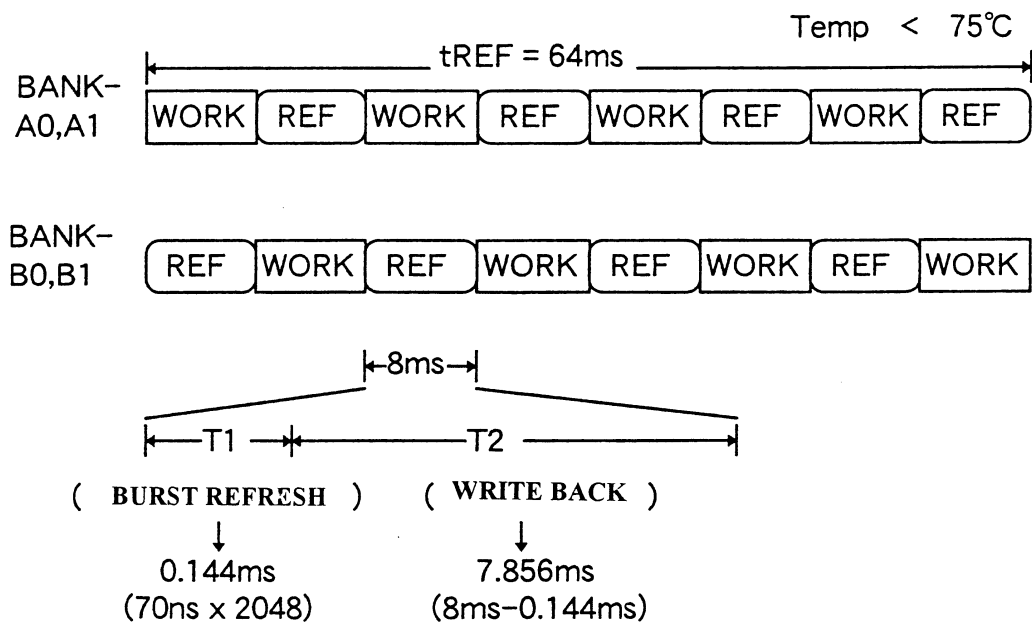
第 4B 圖



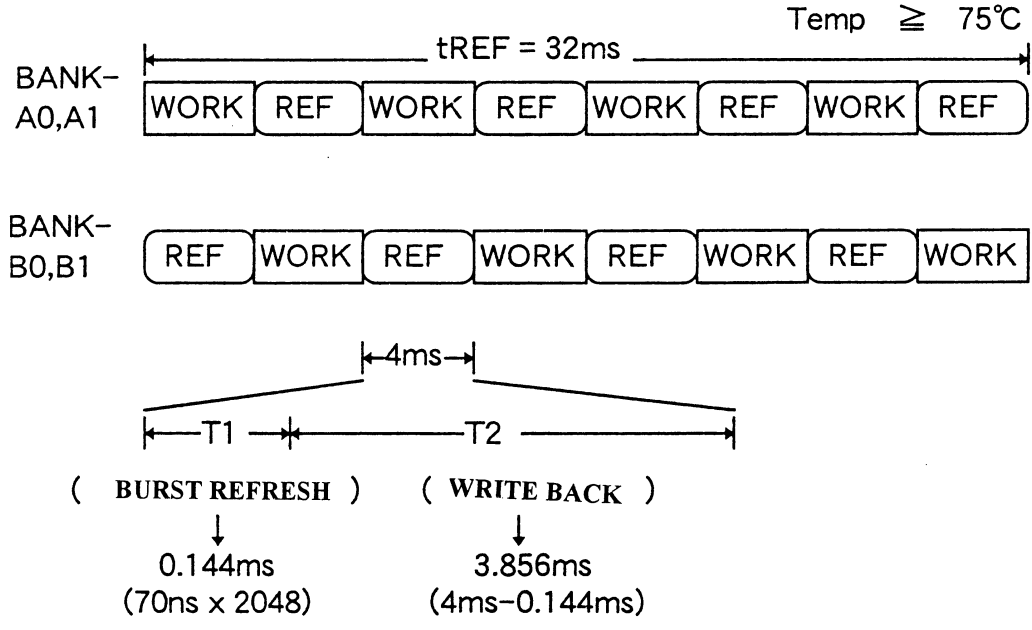
第 5 圖



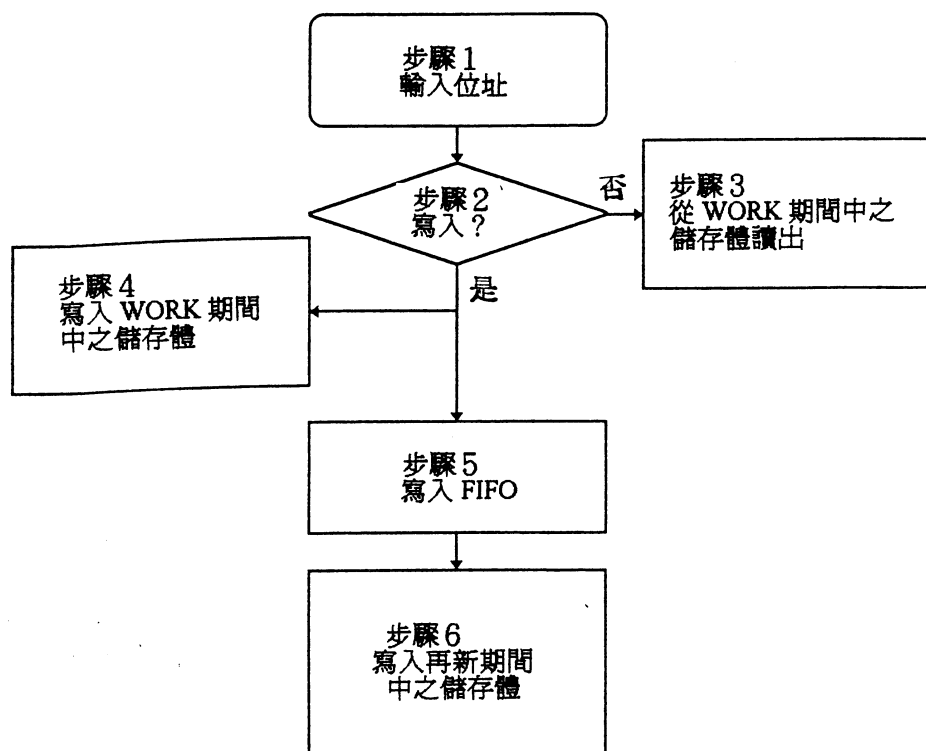
第 6A 圖



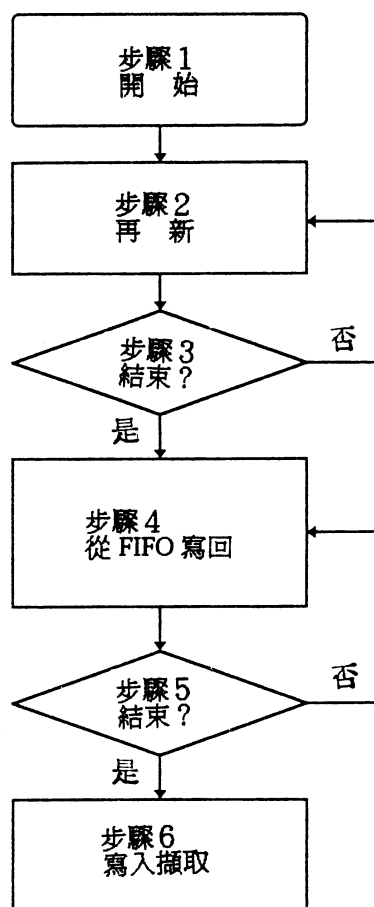
第 6B 圖



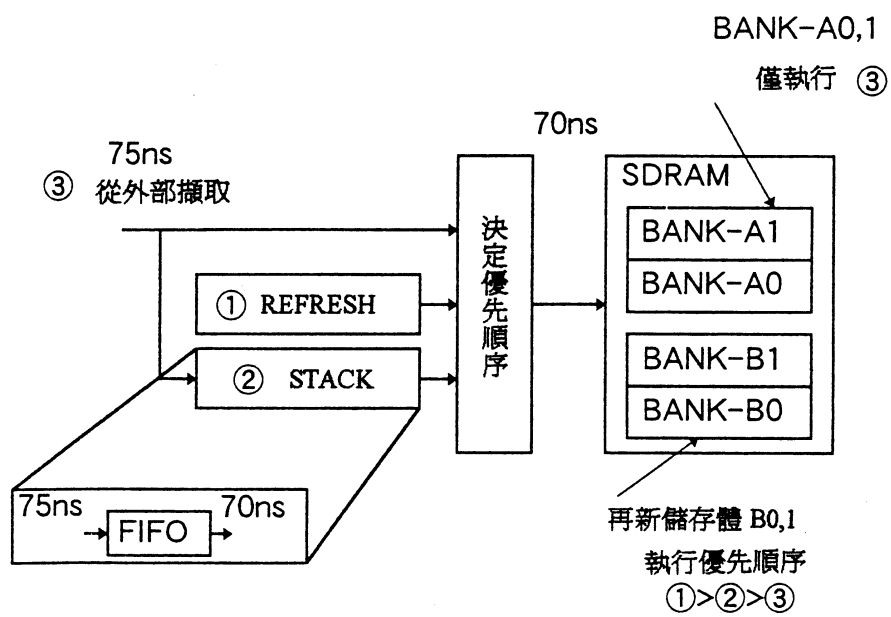
第 7 圖



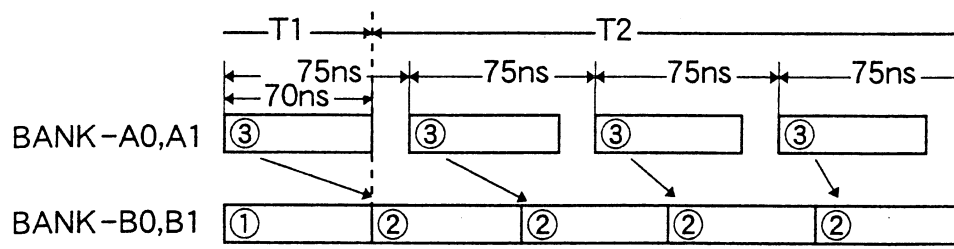
第 8 圖



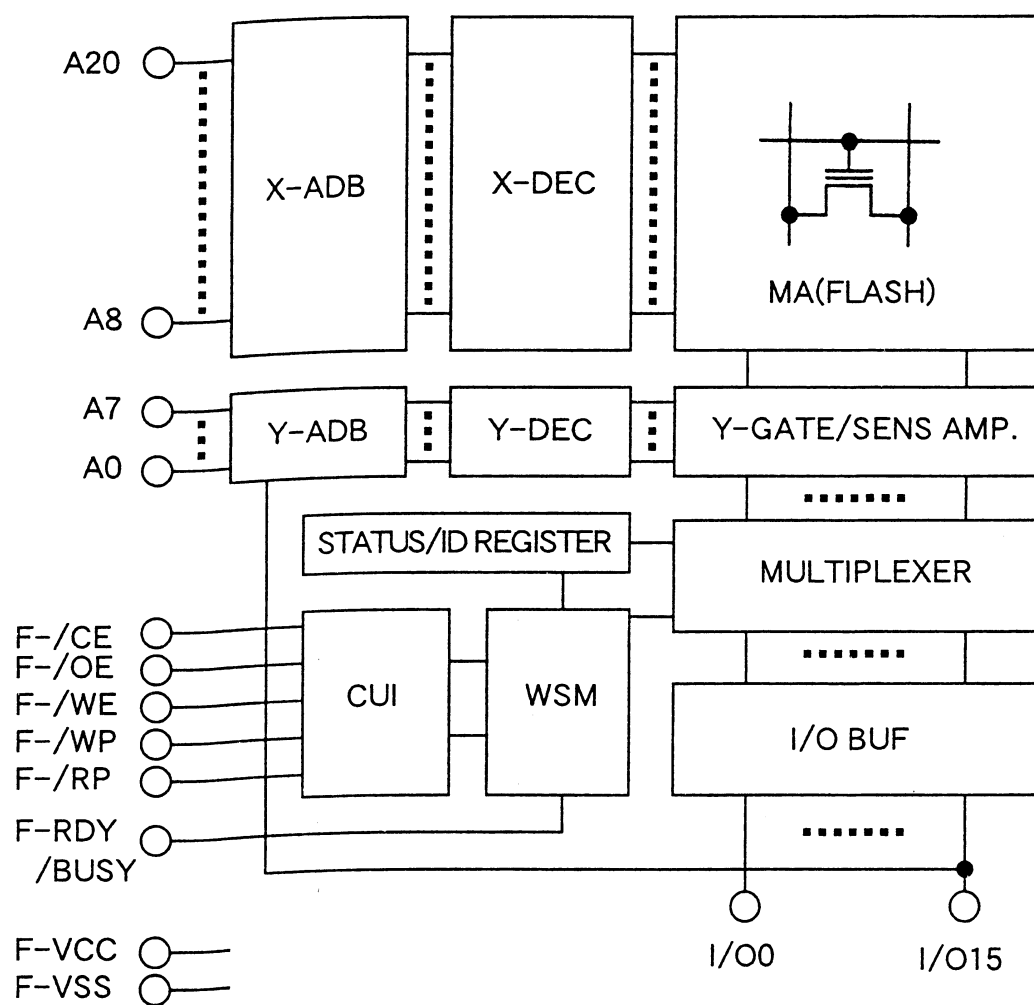
第 9A 圖



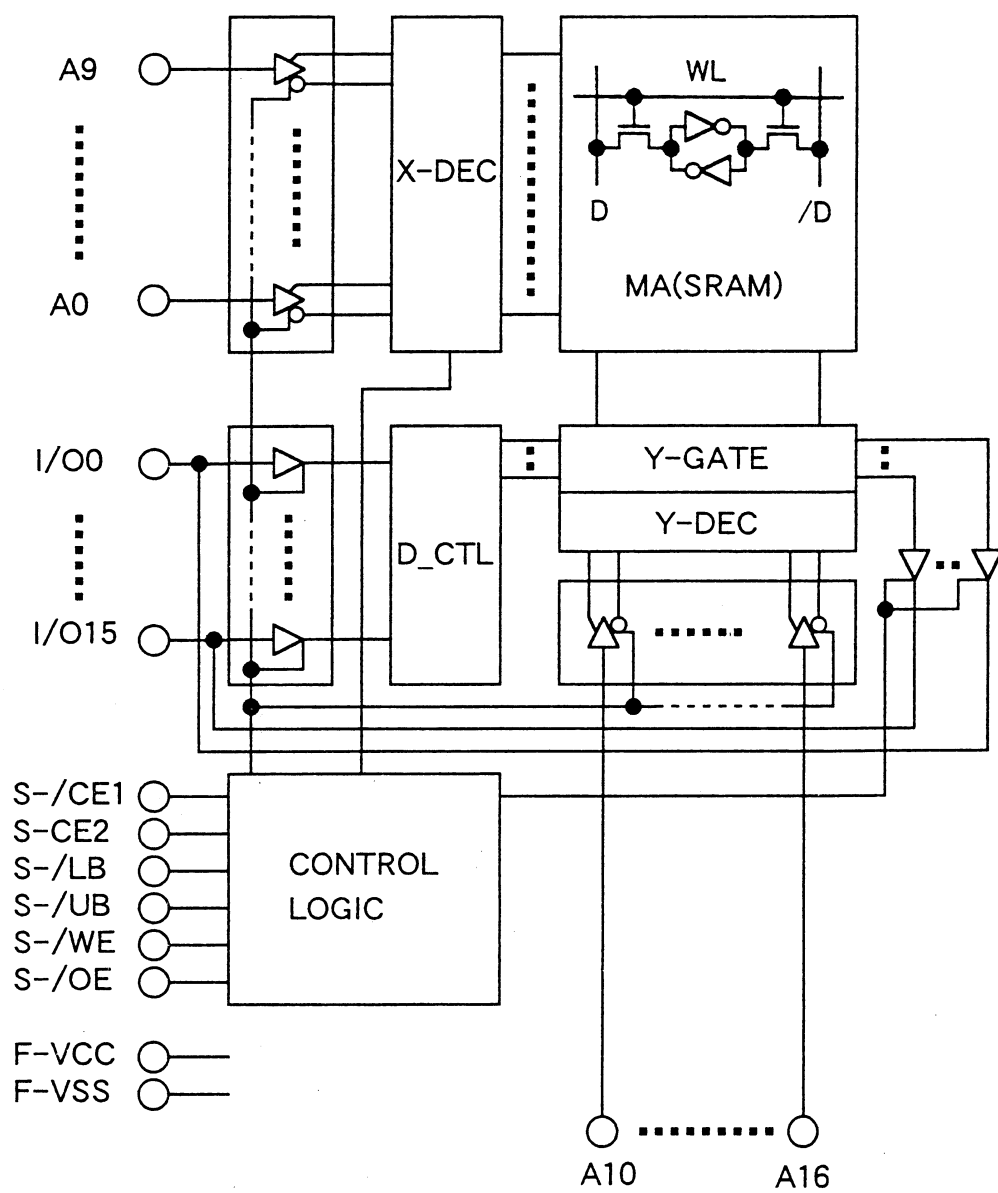
第 9B 圖



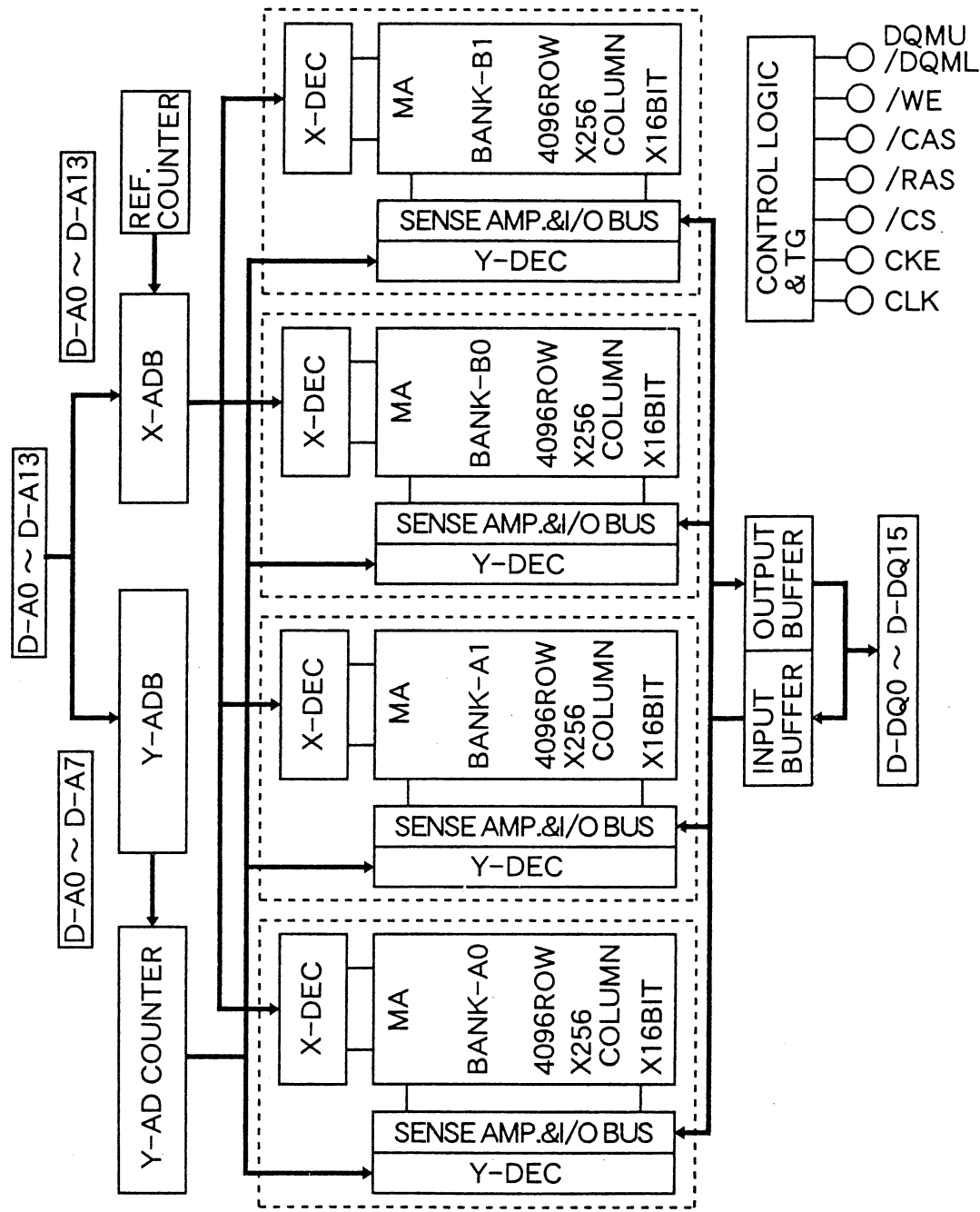
第 10 圖



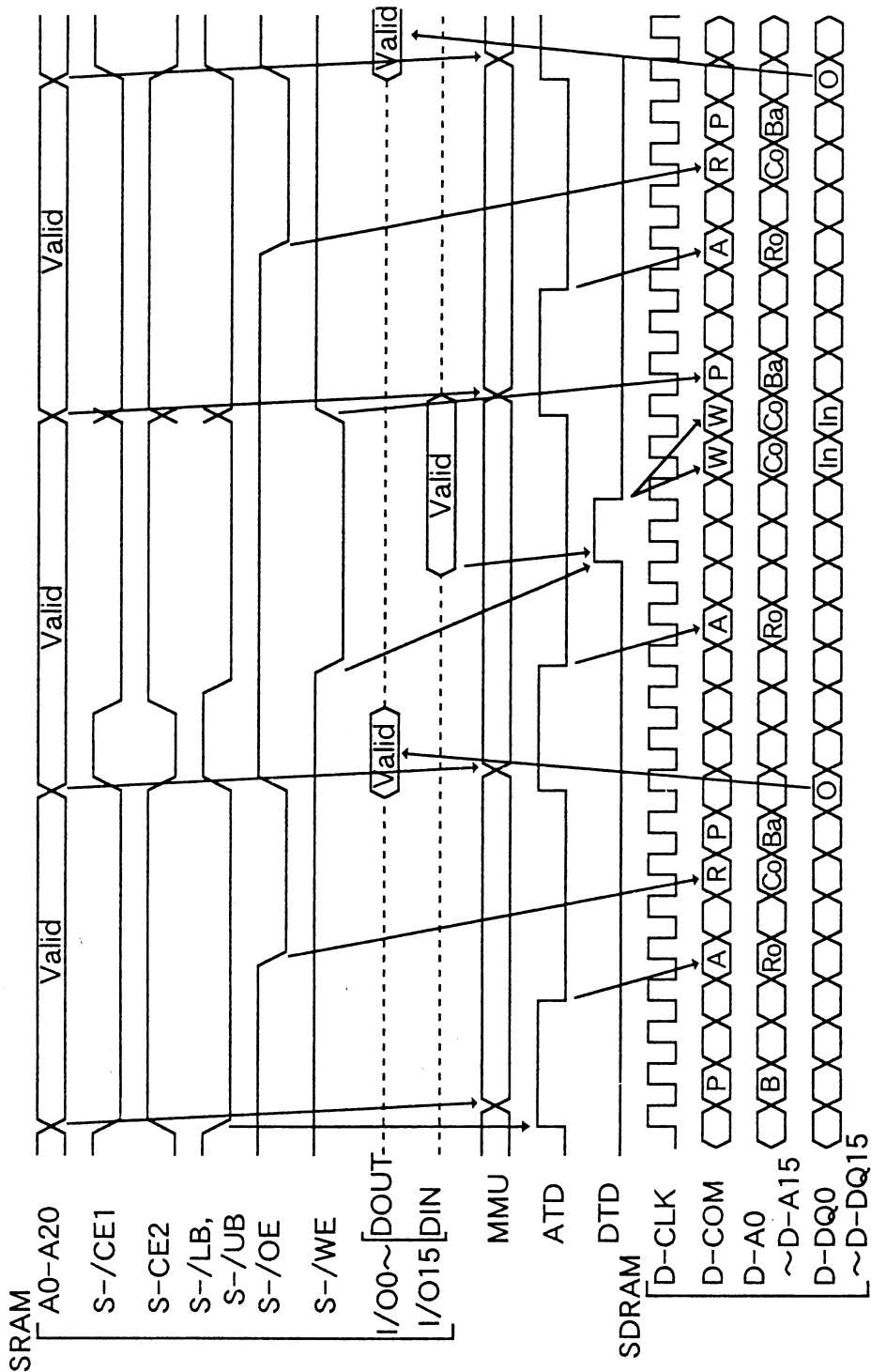
第 11 圖



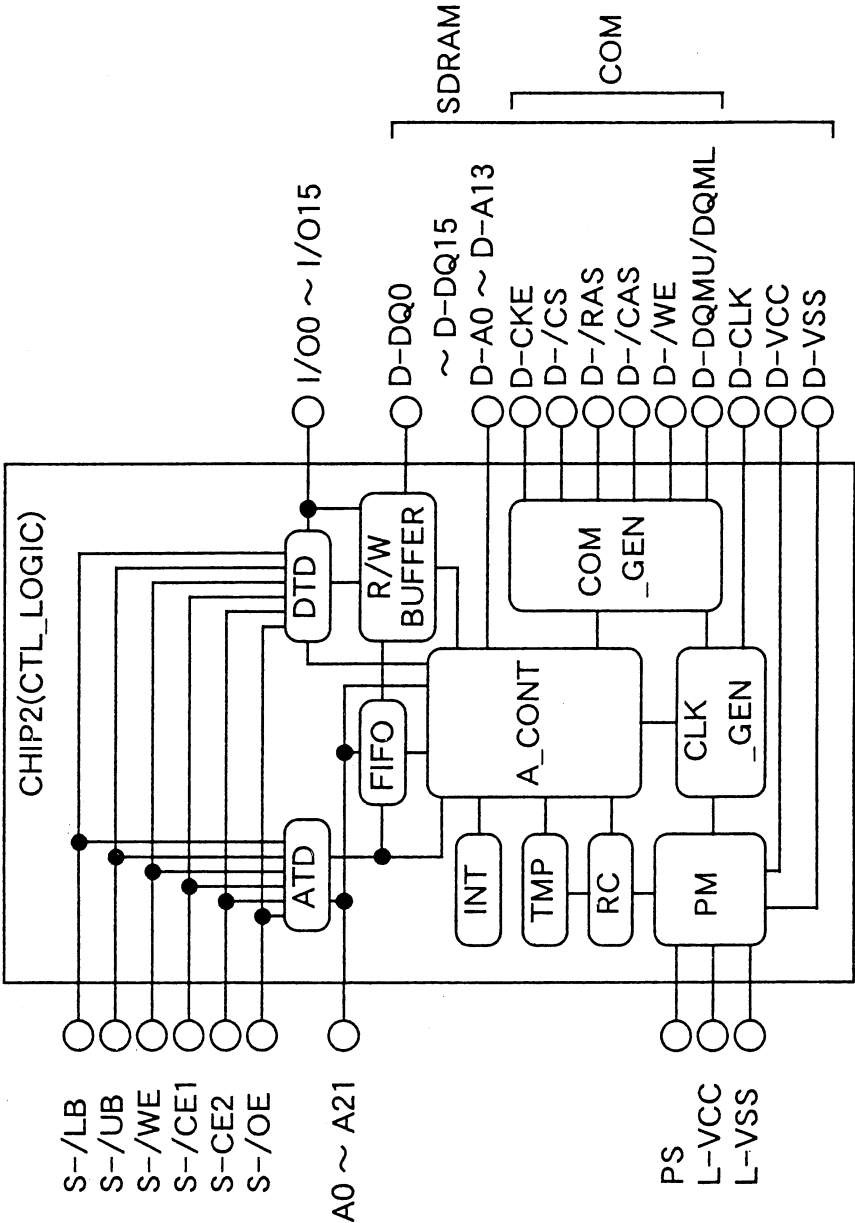
第 12 圖



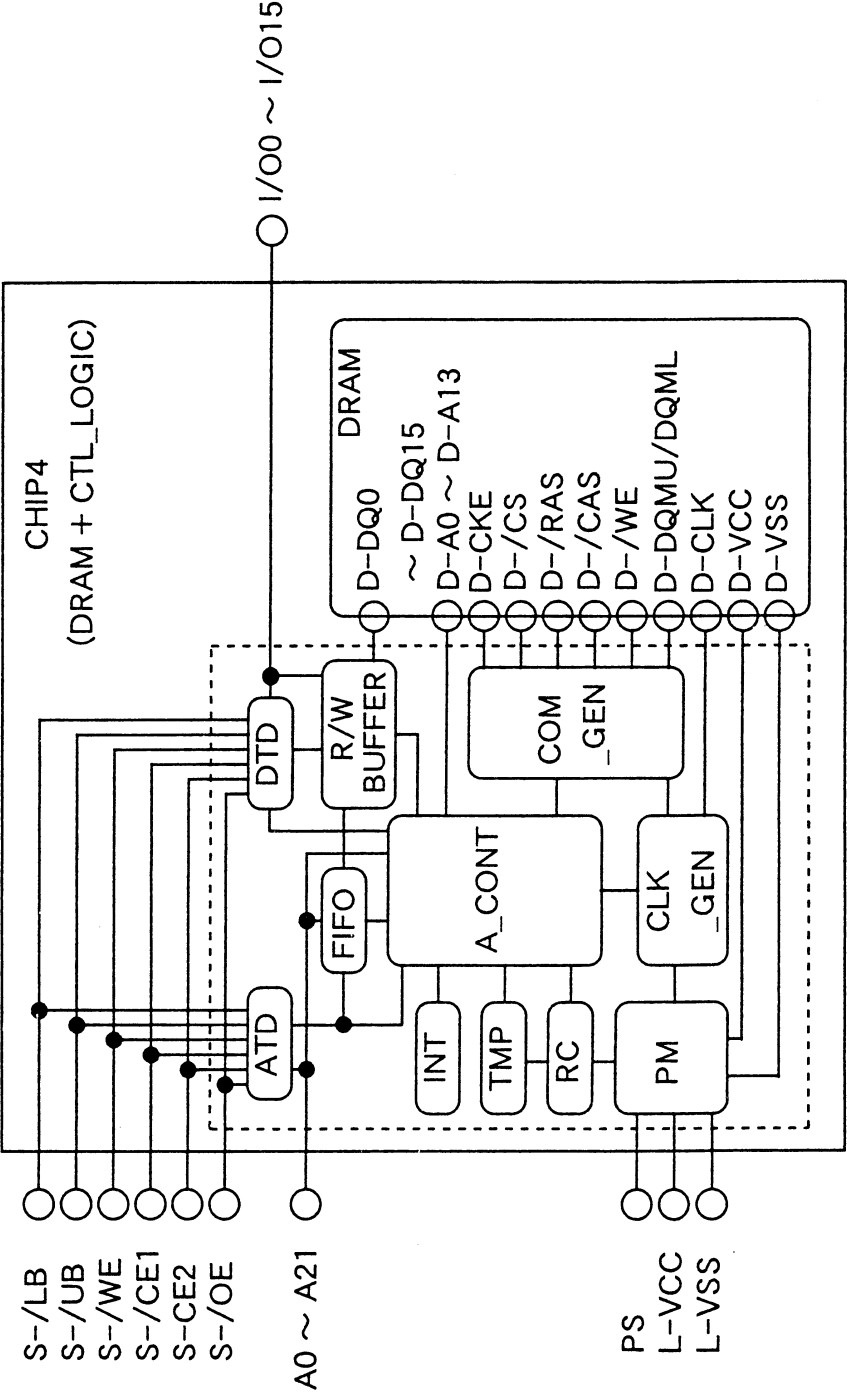
第 13 圖



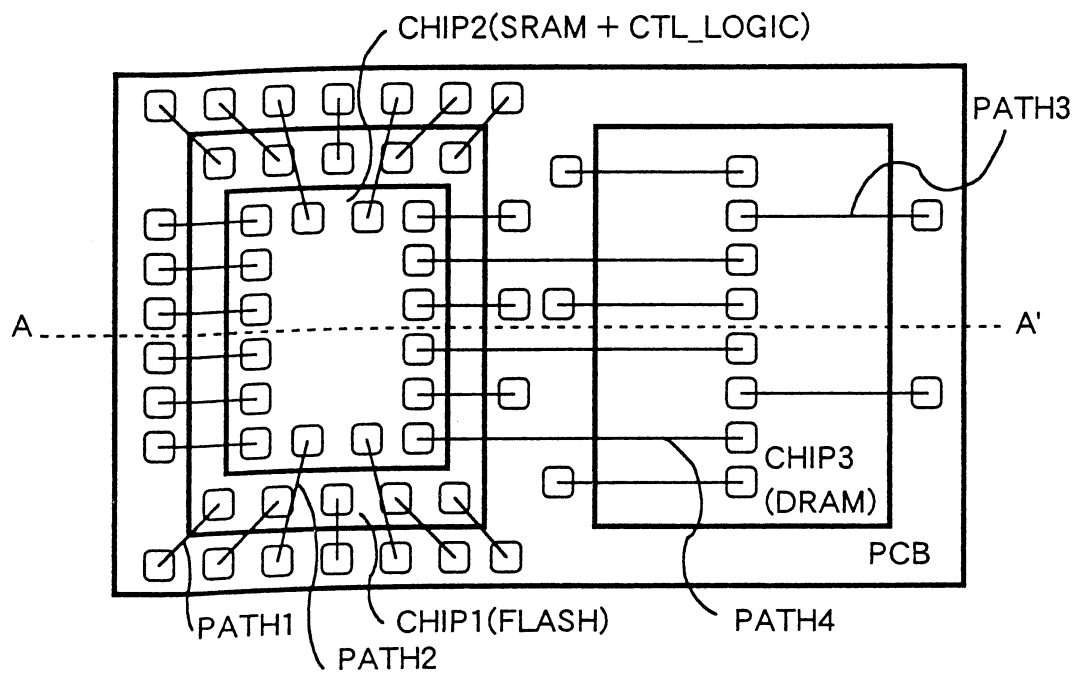
第 14 圖



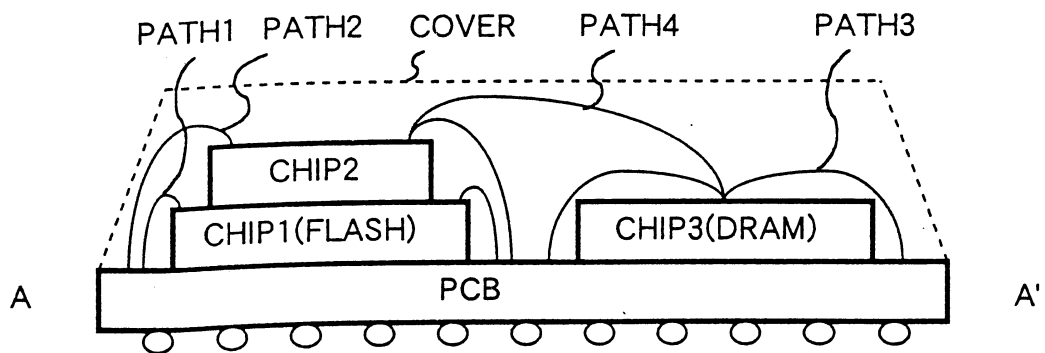
第 15 圖



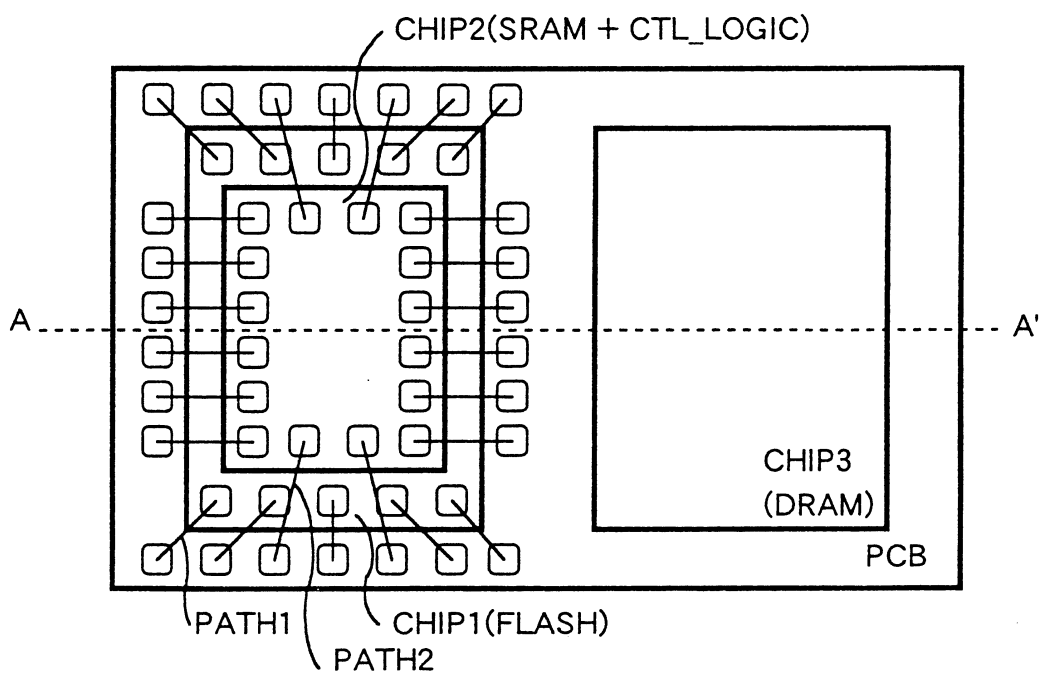
第 16A 圖



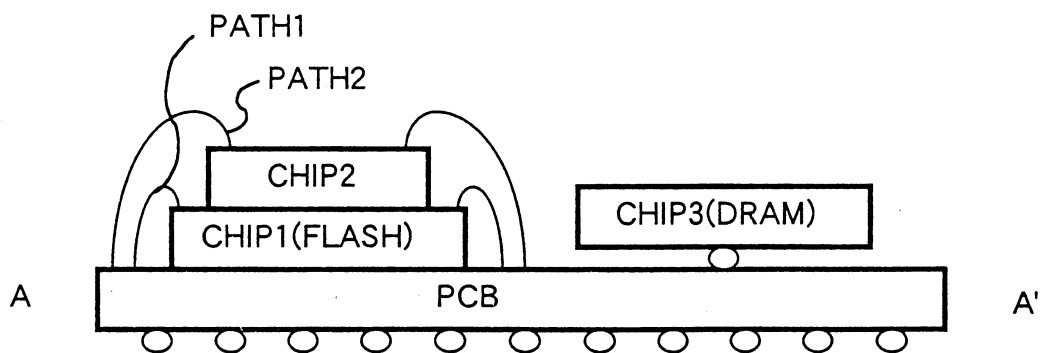
第 16B 圖



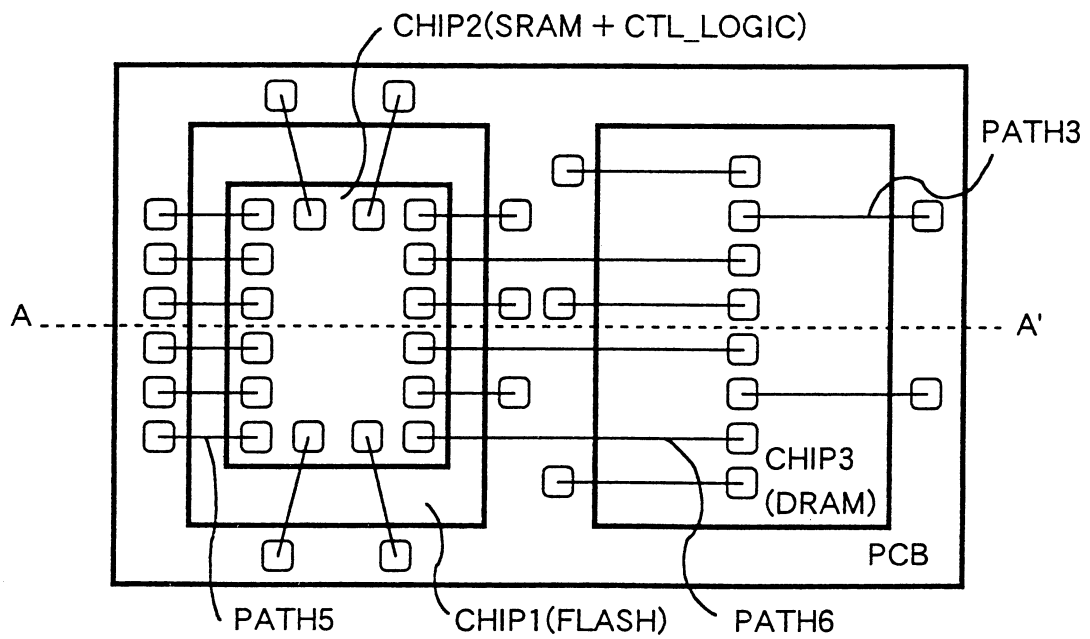
第 17A 圖



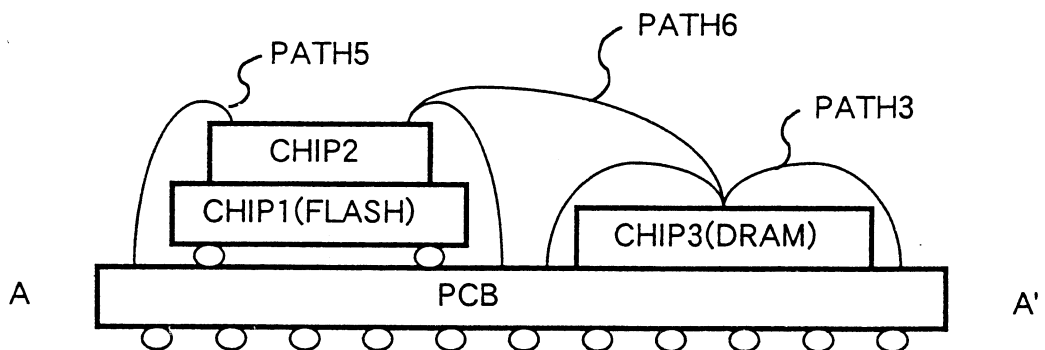
第 17B 圖



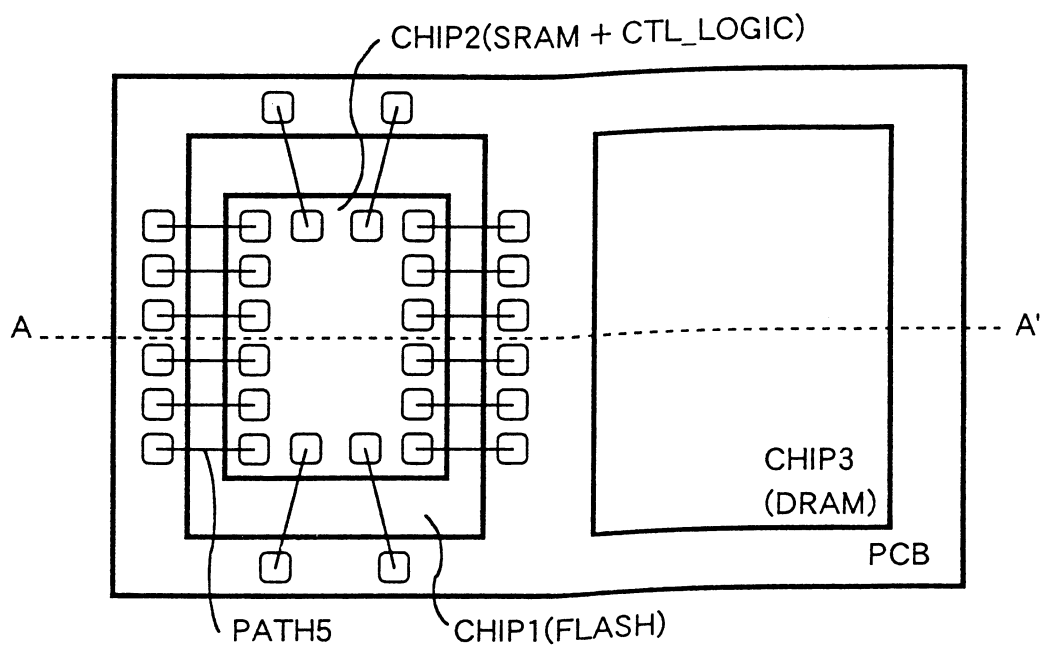
第 18A 圖



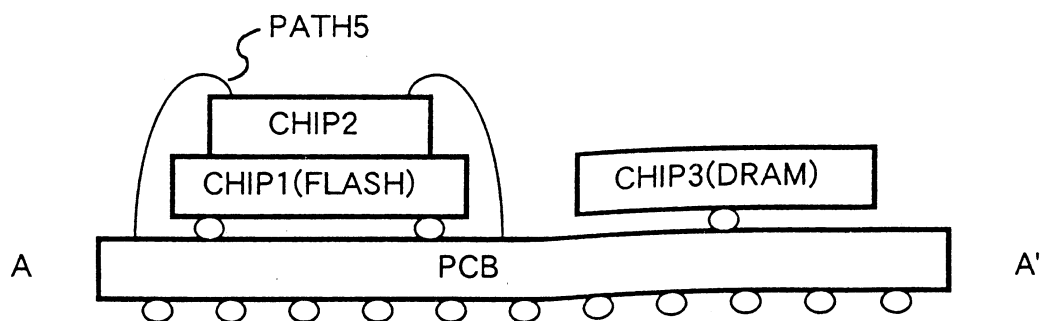
第 18B 圖



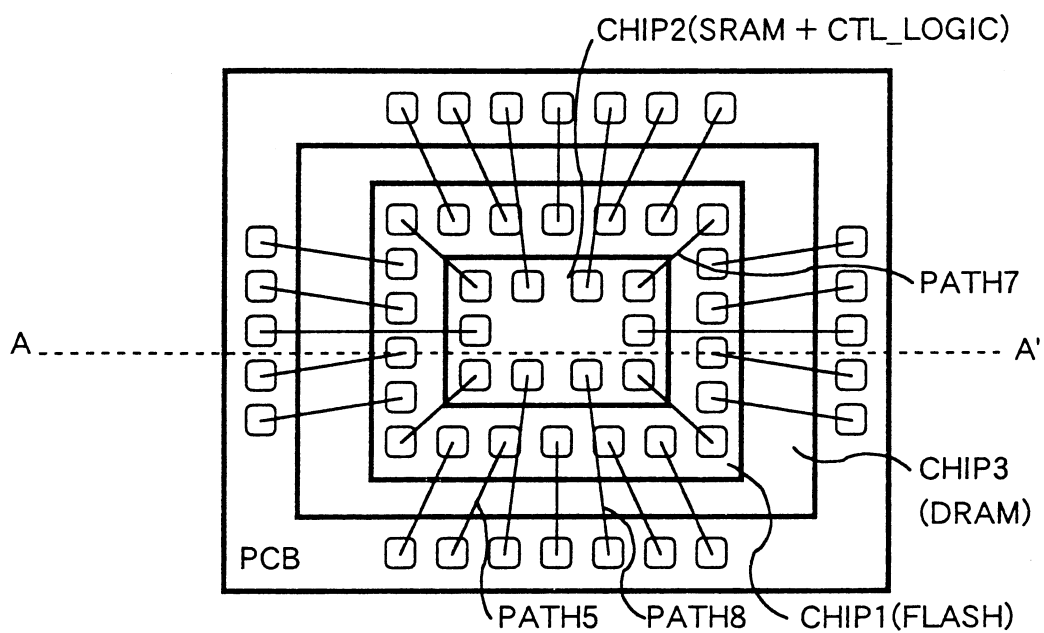
第 19A 圖



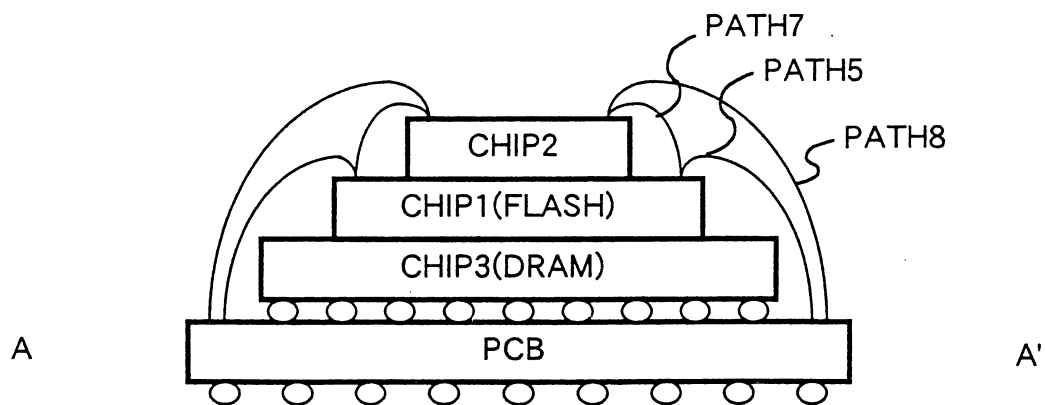
第 19B 圖



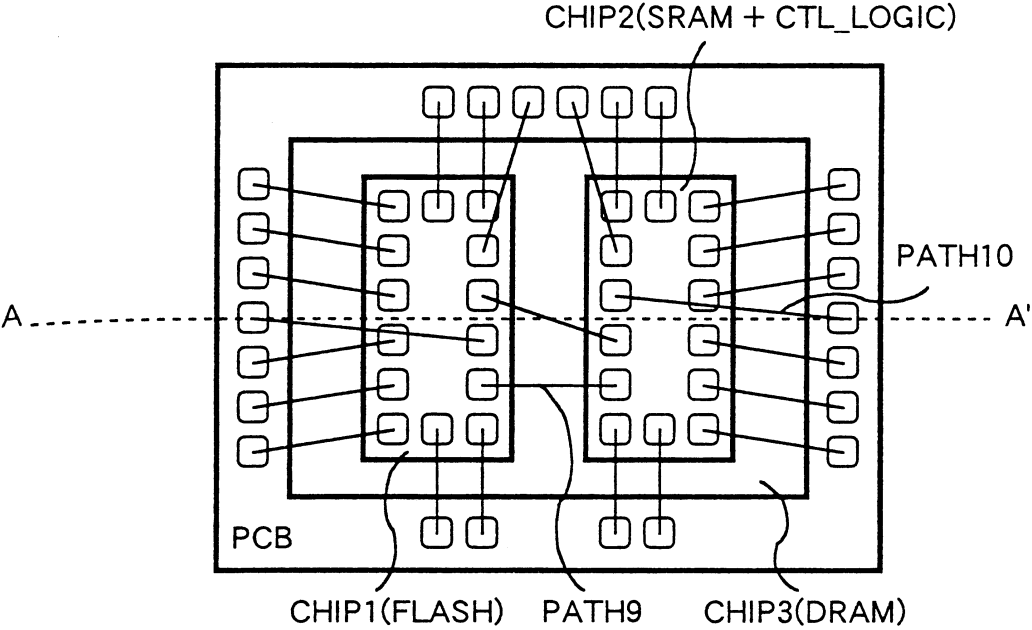
第 20A 圖



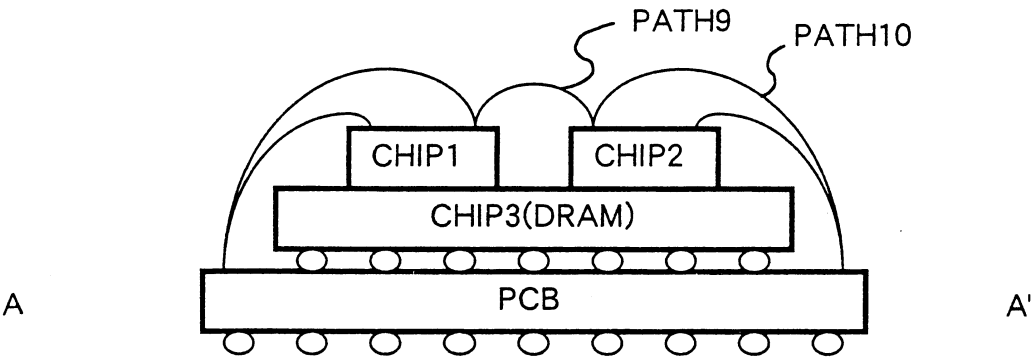
第 20B 圖



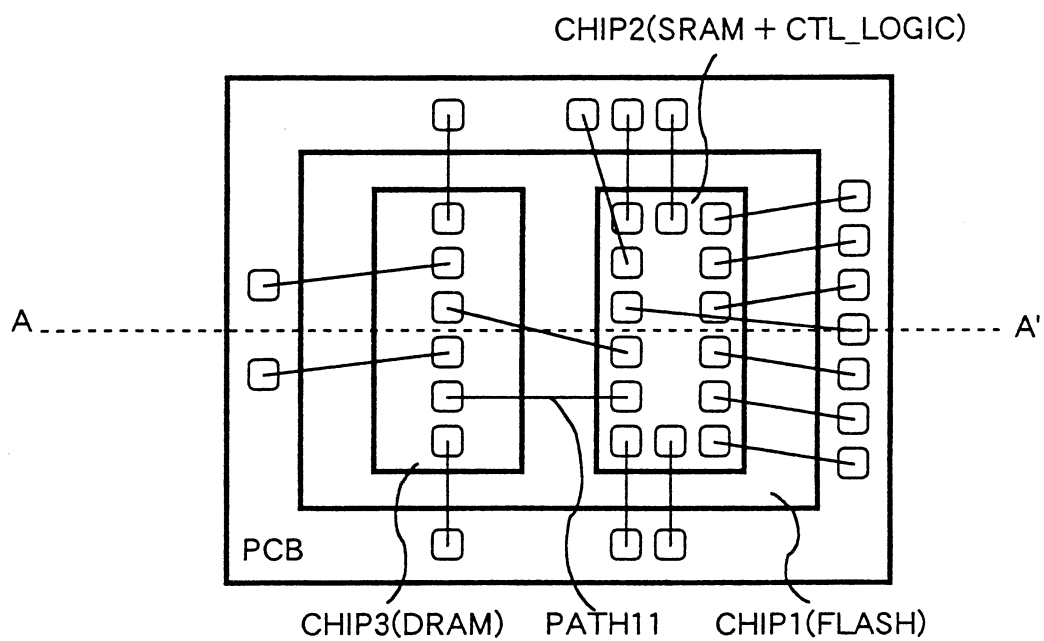
第 21A 圖



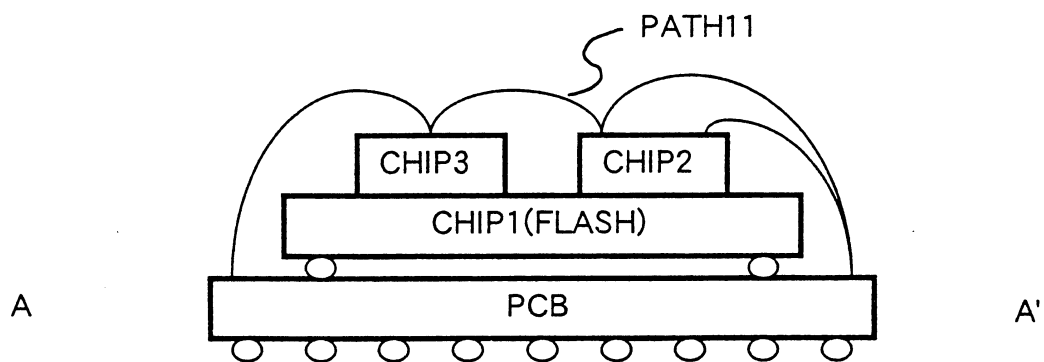
第 21B 圖



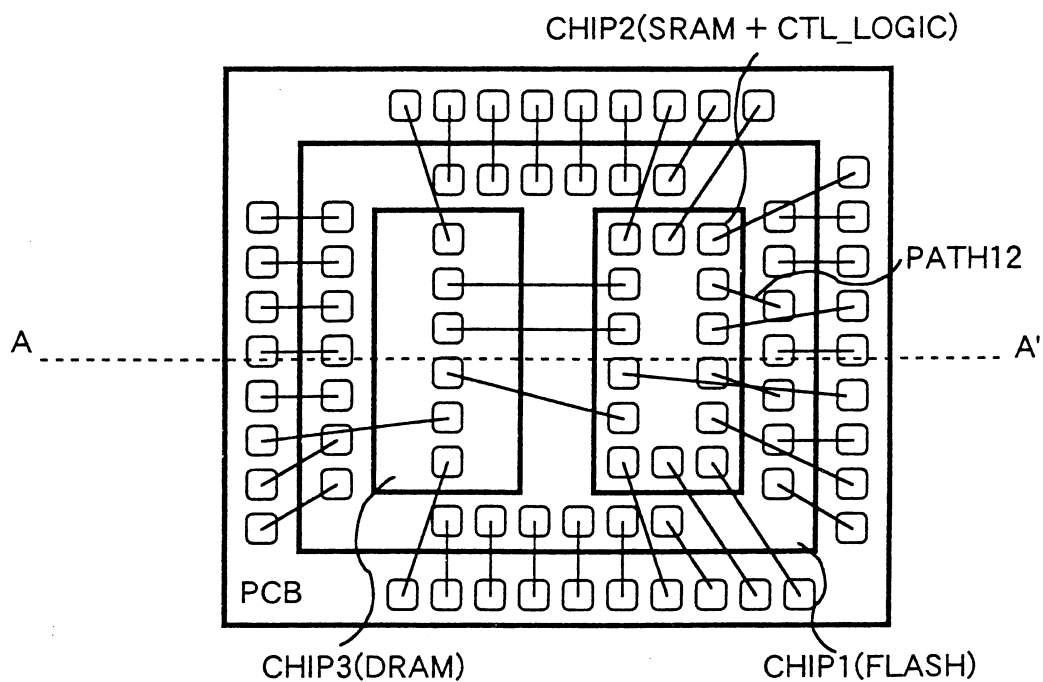
第 22A 圖



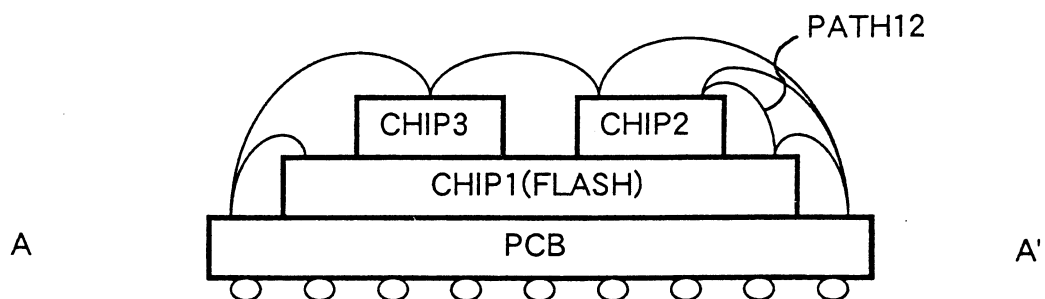
第 22B 圖



第 23A 圖



第 23B 圖



五、發明說明 (16)

64ms 分割成各 8ms 之 8 個期間，在 BANK - A0、A1 之組與 BANK - B0、B1 之組交互動作。圖上之標示有 WORK 之 WORK 期間，表示是該儲存體之組要動作之期間，最初之 WORK 期間中係 BANK - A0、A1 之組在動作中。

對 DRAM 進行讀出擷取時，係從 WORK 期間中之 BANK - A0、A1 之組進行讀出。進行寫入擷取時，除了對 WORK 期間中之 BANK - A0、A1 寫入外，將寫入之資料與位址暫時保管在 FIFO。所保管之資料在期間 T2 同時也寫入 BANK - B0、B1 之組。關於期間 T2 將後述。BANK - A0、A1 在 WORK 期間中，BANK - B0、B1 係在 REF 期間。在 REF 期間中，對 BANK - B0、B1 之組之儲存體之一半領域進行再新。REF 期間係分成連續進行再新之 T1 期間，及將 REF 期間中進行之寫入從 FIFO 寫回之 T2 期間。

若每一次再新所需要之時間為 70 ns，則再新所需要之時間為 $70 \text{ ns} \times 2048 \text{ 次} = 0.144 \text{ ms}$ 。因此，T2 期間為 7.856 ms ($8 \text{ ms} - 0.144 \text{ ms}$)。在此是假定每 75ns 對記憶器模組擷取 1 次。若 REF 期間中所擷取全是寫入擷取時，其最大次數是 106667 ($8 \text{ ms} / 75 \text{ ns}$)。要將這些寫入 DRAM 所需要之時間為 7.47 ms ($106667 \times 70 \text{ ns}$)，因為是 T2 期間 (7.856 ms) 以下，因此，在 REF 期間中進行之寫入擷取在 T1 期間中進行再新時，仍可在 T2 期間內全部寫回。

而再新也可以在 REF 期間中之兩個儲存體同時執行。這時在 T1 期間內 1 個儲存體執行之再新之次數為一半之 1024 次，因此可以將 T1 期間縮短成一半。若 T1 期間可以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

煩請委員明示，本案修正後是否變更原實質內容

經濟部智慧財產局員工消費合作社印製

五、發明說明 (17)

縮短，不僅可以減少 FIFO 之記憶容量，又可以更縮短從外部擷取之間隔，實現高速之記憶器。

第 6B 圖係表示使 DRAM 之再新間隔縮小為一半之情形。一般來講，DRAM 之再新特性在高溫時會惡化，因此，例如在 75°C 之高溫時，可以如圖示藉由縮短再新間隔以保持資料。本實施例係藉溫度檢測電路 TMP 檢出溫度，以再新計數器及擷取控制電路(A_CONT)變更再新間隔。

本例係將 64 ms 之再新間隔縮短成一半 32 ms，一次 WORK 期間與 REF 期間分別為 4 ms。在此也同樣，若 REF 期間中進行之擷取全是寫入擷取，其最大次數為 53334 次(4ms / 75 ns)。要將這些寫入 DRAM 所需要之時間為 3.74 ms (53334×70 ns)，因為是 T2 期間(3.856 ms)以下，因此在 REF 期間進行之寫入擷取在 T1 期間內進行再新時，仍可以在 T2 期間內全部寫回。

可以如此隱蔽 DRAM 之再新。因為藉由本實施例，使用萬用 DRAM 而隱蔽其再新，將其當作與 SRAM 一樣處理，因此，可以實現能夠以非同步 SRAM 介面擷取之大容量記憶器模組。同時，在高溫時使用 DRAM，也可以如本實施例只是縮短再新間隔，便能夠簡單實現。本實施例之 DRAM 之動作單位為每兩個儲存體，但也可以依記憶器模組或記憶器晶片之架構變更。同時，再新間隔之 64 ms 係分割成 8 個期間使成 WORK 期間及 REF 期間，若分得更細則可以使保持資料與位址之 FIFO 之記憶容量較小。反之，分割得較粗，便可以減少 WORK 期間與 REF 期間之切換次數，因此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

資料與位址也保持在 FIFO，然後也在 DRAM 之別的儲存體寫入。

供給 DRAM 之電源由電力模組(PM)加以控制。安裝記憶體模組之機器有時會希望依動作狀態削減消耗電流。這個時候，電力模組可以例如依照指令信號 PS 停止再新計數器進行之再新，削減再新 DRAM 所需要之電力。

要再削減消耗電力時，可在 CHIP4 內部切斷供給 DRAM 之電源。這時，電力模組可以依照機器所輸出之指令信號 PS 停止向供給 DRAM 之 D - VCC 之電力供應。

如果還想進一步削減消耗電力時，電力模組可以依照指令信號 PS 停止 CHIP4(DRAM+CTL_LOGIC)中有關 DRAM 之記憶體擷取部分之電原供應。在此狀態下，可以例如僅將電源連接在 CHIP4(DRAM+CTL_LOGIC)中之 ATD，使其成為待機狀態。再者，除此之外以外之動作係與實施例 1 所說明者相同。

依據以上說明之實施例時，可以一面沿習 SRAM 介面方式，而使用 DRAM 之大容量記憶體模組。本實施例之效果在實施例 1 已說明者以外，尚有以下所述。

依據本發明時，可以削減記憶體模組之零件數，簡化模組之裝配製程，降低成本。而且，本實施例不但可以當作記憶體模組使用以外，也能夠以單體作為大容量 SRAM 使用。可以一面沿習 SRAM 介面方式，而使用廉價之 DRAM，藉此以很小之面積實現大容量之 SRAM 互換晶片。

五、發明說明 (31)

組之安裝面積有效。因為以 BGA 連接 CHIP3，因此可以降低鍵合形成之配線之密度，簡化配線製程。同時，搭載在同一 CHIP3 上之 CHIP1 及 CHIP2 容易使其焊接區之高度一樣，CHIP1 及 CHIP2 間之配線 PATH9 很容易，因此可以簡化配線製程。可以用 PATH10 配接配置在 CHIP1 及 CHIP2 上之模組中心側之配線區與基盤間之配線。同時，由於在 CHIP3 之同一面上配置 CHIP1 及 CHIP2，可使模組之高度均一，因此可以獲得更牢固之封裝體。

第 22A 圖及第 22B 圖表示本發明一實施例之記憶器模組之第 16 圖之變形例子。第 22A 圖表示上面圖，第 22B 圖表示截面圖。本例係藉 BGA 將 CHIP1 安裝於基盤上，再於其上搭載 CHIP2 及 CHIP3。可以藉 PATH11 配接 LOC 形式之 CHIP3 與 CHIP2 間之配線。

本安裝方法在特別是 CHIP1 之面積很大時，對縮小模組之安裝面積有效。因為以 BGA 連接 CHIP1，因此可由降低鍵合形成之配線之密度，簡化配線製程。同時，搭載在同一 CHIP1 上之 CHIP3 及 CHIP2 容易使其焊接區之高度一樣，LOC 形式之 CHIP3 及 CHIP2 間之配線 PATH11 很容易。可以用 PATH11 配接配置在 CHIP2 上之模組中心側之配線區與 CHIP3 間之配線。同時，由於在 CHIP1 之同一面上配置 CHIP1 及 CHIP2，可使模組之高度均一，因此可以獲得更牢固之封裝體。

第 23A 圖及第 23B 圖表示本發明一實施例之記憶器模組之第 4 實施例。第 23A 圖表示上面圖，第 23B 圖表示截

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

面圖。本例係先在基盤上搭載 CHIP1，再於其上搭載 CHIP2 及 CHIP3。可以藉 PATH12 配接 CHIP1 與 CHIP2 間之配線。

本安裝方法在特別是 CHIP1 之面積很大時，對縮小模組之安裝面積有效。配線全部統一為鍵合，因此可以簡化基盤之製造過程。同時，搭載在同一 CHIP1 上之 CHIP3 及 CHIP2 容易使其焊接區之高度一樣，CHIP3 及 CHIP2 間之配線很容易。可以用 PATH12 配接 CHIP1 與 CHIP2 間之配線。特別使用在 CHIP1 與 CHIP2 共同使用之信號之配線時，較之分別從基盤連接配線，可以削減配線數，因此可以簡化鍵合製程。同時，由於在 CHIP3 之同一面上配置 CHIP3 及 CHIP2，可使模組之高度均一，因此可以獲得更牢固之封裝體。

如以上所說明，可以由本發明之實施例獲得之效果如下。第一是，藉由控制器控制對 DRAM 之擷取，而實現不必從外部再新之大容量記憶器。第二是，設定資料保持領域及工作領域，分別控制電源，藉此實現保持資料用電流很少之記憶器模組。第三是，由於將多數半導體晶片安裝在一個封裝體，藉此可提供安裝面積很小之記憶器模組。

圖式之簡單說明

第 1 圖係本發明之一實施例之記憶器模組之架構圖。

第 2 圖係表示第 1 圖之 CHIP2 之一個例子之方塊圖。

第 3A 圖及第 3B 圖係表示本發明一實施例之記憶器模組之位址映像(address map)之一個例子之說明圖。

六、申請專利範圍

煩請委員明示 96年 3月 07日
所提之修正本有無超出原說明書
或圖式所揭露之範圍。

第 90106389 號專利申請案

中文申請專利範圍修正本

民國 96 年 3 月 7 日修正

1. 一種半導體裝置，備有：

具有：包含分別設有第 1 電容器及第 1 MOSFET 之多數第 1 記憶格之第 1 記憶塊；包含分別設有第 2 電容器及第 2 MOSFET 之多數第 2 記憶格之第 2 記憶塊；由上述第 1 及第 2 記憶塊共用之輸入指令信號用之第 1 節點；輸入位址信號用之第 2 節點；及資料輸入輸出用之第 3 節點之記憶器；

具有：爲了輸出對上述記憶器之指令信號而配設之結合在上述記憶器之上述第 1 節點之第 4 節點；爲了輸出對上述記憶器之位址而配設之結合在上述第 2 節點之第 5 節點；結合在上述第 3 節點之第 6 節點；接受要求擷取信號用之第 7 節點；及接受擷取位址用之第 8 節點之記憶器控制器；

上述記憶器控制器在第 1 期間，於上述第 8 節點輸入第 1 擷取位址時，從上述第 4 及第 5 節點輸出對上述記憶器之上述第 1 記憶塊之指令信號及第 1 位址，同時在第 2 期間，於上述第 8 節點輸入上述第 1 擷取位址時，從上述第 4 及第 5 節點輸出對上述記憶器之上述第 2 記憶塊之指令信號及上述第 1 位址。

2. 如申請專利範圍第 1 項之半導體裝置，

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

在上述第 1 期間，上述記憶器控制器對上述第 1 記憶塊，可從上述第 4 節點輸出，對應上述第 1 擷取位址之第 1 記憶格之讀出或寫入指令信號，同時，從上述第 4 節點輸出，對上述第 2 記憶塊之上述第 2 記憶格進行再新(refresh)用之再新指令信號，

在上述第 2 期間，上述記憶器控制器從上述第 4 節點輸出，對上述第 1 記憶塊之上述第 1 記憶格進行再新用之再新指令信號，同時，對上述第 2 記憶塊，可從上述第 4 節點輸出，對應上述第 1 擷取位址之第 2 記憶格之讀出或寫入指令信號。

3.如申請專利範圍第 1 項或第 2 項之半導體裝置，上述第 1 記憶塊與上述第 2 記憶塊具有重複記憶相同資訊之期間。

4.如申請專利範圍第 1 項或第 2 項之半導體裝置，上述記憶器控制器在上述第 1 期間發生在第 1 記憶塊之資料寫入時，上述寫入資料則以一定之程序轉寫到上述第 2 記憶塊之相對應位址之上述第 2 記憶格。

5.如申請專利範圍第 1 項或第 2 項之半導體裝置，上述記憶器控制器之上述第 1 期間與上述第 2 期間係交互以分時方式發生。

6.如申請專利範圍第 1 項之半導體裝置，上述半導體裝置係交互反覆，對上述第 1 記憶塊之允許讀出/寫入期間，同時是對上述第 2 記憶塊之再新期間之上述第 1 期間，及對上述第 1 記憶塊之再新期間，同時是對上述第 2 記

六、申請專利範圍

憶塊之允許讀出/寫入期間之上述第 2 期間。

7.如申請專利範圍第 1 項之半導體裝置，上述記憶器控制器進一步備有，用以保持寫入資料之緩衝記憶器，

在上述第 1 期間，上述記憶器控制器連同第 1 擷取位置接受到寫入資料之擷取要求信號時，上述記憶器控制器則從上述第 4、第 5、及第 6 節點輸出，對第 1 記憶塊之寫入指令、上述第 1 位址、及寫入資料，然後，從上述第 4、第 5 節點輸出，對第 2 記憶塊之寫入指令，及上述第 1 位址，同時從上述第 6 節點輸出，由上述緩衝記憶器所保持之寫入資料。

8.如申請專利範圍第 1 項之半導體裝置，輸入上述記憶器控制器之上述第 8 節點之要求擷取之循環時間，較上述記憶器控制器從上述第 4 節點輸出之指令信號之循環時間為長。

9.如申請專利範圍第 1 項之半導體裝置，上述記憶器控制器進一步備有，再新控制電路、擷取優先判定電路、及保持寫入資料用之緩衝記憶器，

在上述第 1 期間，上述擷取優先判定電路以對上述再新控制電路所產生之上述第 2 記憶塊之再新要求作為第 1 優先，在上述緩衝記憶器保持有寫入資料時，為了轉寫上述緩衝記憶器之寫入資料，對上述第 2 記憶塊之寫入指令之發行作為第 2 優先。

10.如申請專利範圍第 1 項之半導體裝置，上述記憶器係形成在第 1 半導體晶片上，上述記憶器控制器形成在

六、申請專利範圍

第 2 半導體晶片上，

上述半導體裝置進一步具有內部包含上述第 1 及第 2 半導體晶片之封裝體，

上述封裝體具有用以和上述第 1 及第 2 半導體晶片電氣方式相連接之多數第 1 電極，及連接在上述多數第 1 電極，與上述封裝體之外部電氣方式相連接之多數第 2 電極。

11.如申請專利範圍第 10 項之半導體裝置，上述封裝體含有基板，

上述第 1 電極設在上述基板之第 1 主面，同時上述第 1 及第 2 半導體晶片係搭載於上述第 1 主面，

上述基板之上述第 1 主面由封裝物覆蓋，

上述第 2 電極係形成在，配設於對上述第 1 主面成面對面側之第 2 主面。

12.如申請專利範圍第 11 項之半導體裝置，上述封裝物係樹脂。

13.如申請專利範圍第 1 項之半導體裝置，上述半導體裝置具有：內部包含，形成有快閃記憶器之第 1 半導體晶片、形成有靜態隨機存取記憶器(SRAM)及上述記憶器控制器之第 2 半導體晶片、以及，形成上述記憶器之上述第 3 半導體晶片之封裝體，

上述封裝體含有在其第 1 主面搭載上述第 1 至第 3 晶片之基板，

上述基板具有：設在上述第 1 主面，與上述第 1 至第

六、申請專利範圍

3 晶片成電氣方式相連接之第 1 電極，及連接在上述多數第 1 電極，與上述封裝體之外部成電氣方式相連接之多數第 2 電極。

14.如申請專利範圍第 13 項之半導體裝置，上述多數第 2 電極包含：對上述快閃記憶體及上述 SRAM 共同配設之多數位址信號端子；上述快閃記憶體之擷取控制用之多數第 1 控制信號端子；上述 SRAM 之擷取控制用之多數第 2 控制信號端子；以及，對上述第 1 至第 3 半導體晶片之多數電源端子，

上述第 3 半導體晶片之上述記憶體之第 1 至第 3 節點係設在上述第 3 半導體晶片上，上述第 2 半導體晶片之上述記憶體控制器之第 4 至第 6 節點係設在上述第 2 半導體晶片上，上述第 1 至第 3 節點及上述第 4 至第 6 節點係經由上述多數第 1 電極之一定電極連接在一起。

15.如申請專利範圍第 14 項之半導體裝置，上述多數第 2 電極進一步含有上述第 3 半導體晶片之上述記憶體之機能測試用之測試端子。

16.如申請專利範圍第 14 項之半導體裝置，上述半導體裝置不需要投入對上述多數第 2 電極至上述第 3 半導體晶片之上述記憶體之再新控制指令。

17.如申請專利範圍第 14 項之半導體裝置，上述第 3 半導體晶片之上述記憶體係，具有多數記憶儲存體 (memory bank)，藉由跟時鐘脈衝同步之指令進行讀出 / 寫入之動態隨機存取記憶體 (DRAM)。

六、申請專利範圍

18.如申請專利範圍第 1 項之半導體裝置，上述第 3 半導體晶片之上述記憶器係，具有多數記憶儲存體，藉由跟時鐘脈衝同步之指令進行讀出 / 寫入之動態隨機存取記憶器 (DRAM)。

19.如申請專利範圍第 18 項之半導體裝置，上述 DRAM 晶片具有 4 個上述多數記憶儲存體，兩個上述記憶儲存體分配給上述第 1 記憶塊，其餘之兩個上述記憶儲存體分配給上述第 2 記憶塊。

20.一種半導體裝置之動作方法，該半導體裝置為具有多數記憶儲存體，包含藉由跟時鐘脈衝同步之指令進行讀出 / 寫入之 DRAM 者，

將上述多數記憶儲存體分配給具有相同記憶容量之第 1 記憶塊及第 2 記憶塊，同時，將對上述半導體裝置之擷取分配成在第 1 期間與第 2 期間交互發生，

在上述第 1 期間，對上述 DRAM 之讀出 / 寫入指令係對上述第 1 記憶塊執行，同時，上述第 2 記憶塊係優先執行再新，

在上述第 2 期間，對上述 DRAM 之讀出 / 寫入指令係對上述第 2 記憶塊執行，同時，上述第 1 記憶塊係優先執行再新。

21.如申請專利範圍第 20 項之半導體裝置之動作方法，

在上述第 1 期間，上述第 2 記憶塊係優先執行再新，然後，若對上述第 1 記憶塊發行有寫入指令時，則執行將

六、申請專利範圍

相同資料寫入上述第 2 記憶塊之對應之位址之指令，

在上述第 2 期間，上述第 1 記憶塊係優先執行再新，
然後，若對上述第 2 記憶塊發行有寫入指令時，則執行將
相同資料寫入上述第 1 記憶塊之對應之位址之指令。

22.一種半導體裝置，具備有：

形成有快閃記憶器之第 1 半導體晶片；

形成有 SRAM 之第 2 半導體晶片；

具有多數記憶儲存體，含有藉由跟時鐘脈衝同步之指令
進行讀出 / 寫入之 DRAM 之第 3 半導體晶片；以及，

內部含有上述第 1 至第 3 半導體晶片之封裝體，

上述封裝體具有，以電氣方式連接上述第 1 至第 3 半
導體晶片用之多數第 1 電極，及連接在上述多數第 1 電極
，對上述封裝體之外部進行電氣連接之多數第 2 電極。

23.如申請專利範圍第 22 項之半導體裝置，

上述封裝體含有，在其第 1 主面設有上述多數第 1 電
極，在面對上述第 1 主面之第 2 主面設有上述多數第 2 電
極之基板，

上述第 1 晶片及上述第 3 晶片並排搭載於上述基板之
上述第 1 主面上，

上述第 2 晶片搭載於上述第 1 晶片上。

24.如申請專利範圍第 23 項之半導體裝置，上述第 1
至第 3 晶片與上述多數第 1 電極之間之連接，係經由鍵合
線形成。

25.如申請專利範圍第 23 項之半導體裝置，上述第 1

六、申請專利範圍

至第 3 晶片之至少一方與上述多數第 1 電極間之連接，係經由焊錫突塊之面朝下鍵合而形成。

26.如申請專利範圍第 22 項之半導體裝置，

上述封裝體含有，在其第 1 主面設有上述多數第 1 電極，在面對上述第 1 主面之第 2 主面設有上述多數第 2 電極之基板，

上述第 3 晶片搭載於上述基板之上上述第 1 主面上，

上述第 1 晶片及第 2 晶片搭載於上述第 3 晶片上。

27.如申請專利範圍第 26 項之半導體裝置，上述第 2 晶片搭載於上述第 1 晶片上。

28.如申請專利範圍第 22 項之半導體裝置，

上述多數第 2 電極含有：對上述快閃記憶體及上述 SRAM 共同配設之多數位址信號端子；上述快閃記憶體之擷取控制用之多數第 1 控制信號端子；上述 SRAM 之擷取控制用之多數第 2 控制信號端子；及對上述第 1 至第 3 半導體晶片之多數電源端子，

上述第 3 半導體晶片具有：對上述 DRAM 配設之輸入指令信號用之第 1 節點；輸入位址信號用之第 2 節點；及輸入輸出資料用之第 3 節點，

上述第 2 半導體晶片則進一步具備：含有輸出對上述記憶體之指令信號用之第 4 節點，輸出對上述記憶體之位址用之第 5 節點；及第 6 節點之記憶體控制器，

上述第 1 至第 3 節點及上述第 4 至第 6 節點係經由上述第 1 主面上之上述多數第 1 電極之一定電極連接在一起

六、申請專利範圍

。

29.如申請專利範圍第 22 項之半導體裝置，上述多數第 2 電極含有：對上述快閃記憶體及上述 SRAM 共同配設之多數位址信號端子；上述快閃記憶體之擷取控制用之多數第 1 控制信號端子；上述 SRAM 之擷取控制用之多數第 2 控制信號端子；及對上述第 1 至第 3 半導體晶片之多數電源端子。

30.如申請專利範圍第 29 項之半導體裝置，上述多數第 2 電極進一步含有，上述第 3 半導體晶片之上述記憶體之機能測試用之測試端子。

31.如申請專利範圍第 29 項之半導體裝置，上述半導體裝置不需要從上述多數第 2 電極投入對上述第 3 半導體晶片之上述 DRAM 之再新控制指令。

32.如申請專利範圍第 22 項之半導體裝置，上述 DRAM 係同步 DRAM。

33.如申請專利範圍第 32 項之半導體裝置，上述同步 DRAM 有 4 個記憶儲存體，兩個上述記憶儲存體分配給第 1 記憶塊，其餘之兩個上述記憶儲存體分配給第 2 記憶塊。

34.一種半導體裝置，包含：

一記憶體控制器；

一第一半導體晶片，包括多數 DRAM 記憶體胞；及

一第二半導體晶片，包括多數 SRAM 記憶體胞；

其中該第一及第二記憶體晶片之襯墊被連接於佈線且

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

模製於第一封裝中，

其中於第一模式期間，該記憶體控制器不供應電力至第一半導體晶片，並儲存資料於該第二半導體晶片之該 SRAM 記憶體胞中。

35.如申請專利範圍第 34 項之半導體裝置，進一步包含：

一包括快閃記憶體胞之第三半導體晶片；

其中該第三半導體晶片被模製於該第一封裝中。

36.一種半導體裝置，包含：

一第一半導體晶片，包括多數 DRAM 記憶體胞；及

一第二半導體晶片，包括多數 SRAM 記憶體胞；

其中該第一及第二記憶體晶片之襯墊被連接於佈線且模製於第一封裝中，

其中該多數 DRAM 記憶體胞被劃分於第一庫及一第二庫中，

其中於第一週期期間，該第一庫中之該 DRAM 記憶體胞被用於讀取/寫入操作，而該第二庫中之該 DRAM 記憶體胞被用於更新操作，及

其中於第二週期期間，該第一庫中之該 DRAM 記憶體胞被用於更新操作，而該第二庫中之該 DRAM 記憶體胞被用於讀取/寫入操作。

37.如申請專利範圍第 36 項之半導體裝置，

其中該第一庫及第二庫中之該多數 DRAM 記憶體胞被配置於一相同的位址。

六、申請專利範圍

38.如申請專利範圍第36項之半導體裝置，進一步包含：

一包括快閃記憶體胞之第三半導體晶片；

其中該第三半導體晶片被模製於該第一封裝中。

(請先閱讀背面之注意事項再填寫本頁)

訂