

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/10 (2006.01)

H01L 21/8239 (2006.01)

H01L 21/8247 (2006.01)



[12] 发明专利说明书

专利号 ZL 02142596.5

[45] 授权公告日 2006 年 2 月 8 日

[11] 授权公告号 CN 1241265C

[22] 申请日 2002.9.24 [21] 申请号 02142596.5

[30] 优先权

[32] 2001. 9. 25 [33] JP [31] 2001 - 292128

[71] 专利权人 精工爱普生株式会社

地址 日本东京

[72] 发明人 虾名昭彦 井上晋

审查员 高 伟

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 汪惠民

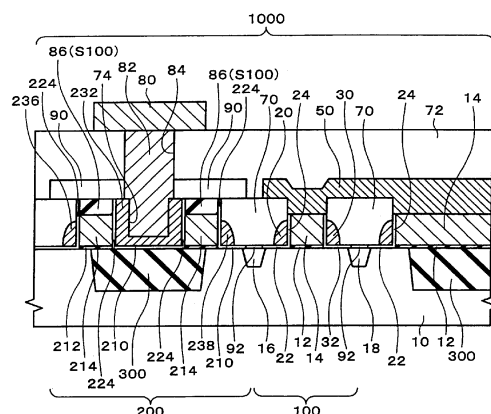
权利要求书 4 页 说明书 14 页 附图 10 页

[54] 发明名称

半导体装置及其制造方法

[57] 摘要

一种包含存储单元的半导体装置，所述存储单元具有通过第 2 栅极绝缘层而形成在半导体基片上的字栅、杂质层和侧壁状的第 1、第 2 控制栅极。通过所述杂质层而形成相邻的所述第 1、第 2 控制栅极与共用接触部连接。共用接触部包括接触导电层、阻挡绝缘层及帽形绝缘层。所述接触导电层与所述第 1 及第 2 控制栅极连接。所述帽形绝缘层至少形成在所述阻挡绝缘层上。



5 1. 一种半导体装置，具有将非易失性存储装置排列成多个行及列的栅格状的存储单元列阵，其特征在于：

所述非易失性存储装置包括：通过第 2 栅极绝缘层形成在半导体层上方的字栅；

形成在所述半导体层上的构成源极区域或漏极区域的杂质层；

10 分别沿着所述字栅的对向的 2 个侧面而形成的侧壁状的第 1 及第 2 控制栅极，

所述第 1 控制栅极通过第 1 栅极绝缘层被配置在所述半导体层上，并且通过第 1 侧绝缘层被配置在所述字栅上；

所述第 2 控制栅极通过第 1 栅极绝缘层被配置在所述半导体层上，
15 并且通过第 1 侧绝缘层被配置在所述字栅上；

所述第 1 及第 2 控制栅极分别在第 1 方向上被连续地配置，并且在与所述第 1 方向交叉的第 2 方向上，邻接的第 1 及第 2 控制栅极通过所述杂质层与共用接触部连接，

所述共用接触部包括接触导电层、阻挡绝缘层及帽形绝缘层，所述接
20 触导电层与所述第 1 及第 2 控制栅极连接，所述阻挡绝缘层被配置在所述接触导电层的外侧，所述帽形绝缘层至少形成在所述阻挡绝缘层的上方。

2. 根据权利要求 1 所述的半导体装置，其特征在于：所述接触导电层通过第 2 侧绝缘层被配置在所述帽形绝缘层的内侧。

25 3. 根据权利要求 1 所述的半导体装置，其特征在于：所述接触导电层由与所述第 1 及第 2 控制栅极相同的材质构成。

4. 根据权利要求 1 所述的半导体装置，其特征在于：所述接触导电层的上面与所述阻挡绝缘层的上面位于同一平面上。

5. 根据权利要求 1 所述的半导体装置，其特征在于：所述阻挡绝缘
30 层由以氮化硅为主要成分的材料构成，所述帽形绝缘层由以氧化硅为主

要成分的材料构成。

6. 根据权利要求 1 所述的半导体装置，其特征在于：在所述帽形绝缘层的上方进一步形成层间绝缘层，由所述接触导电层构成凹部，在该凹部上形成贯通所述帽形绝缘层及所述层间绝缘层的接触孔，在所述接触孔内填充柱形导电层。

7. 根据权利要求 1 所述的半导体装置，其特征在于：所述接触导电层通过接触绝缘层被配置在所述半导体层的上方，所述接触绝缘层由与所述第 1 栅极绝缘层相同的材质构成。

8. 根据权利要求 2 所述的半导体装置，其特征在于：所述第 2 侧绝缘层由与所述第 1 侧绝缘层相同的材质构成。

9. 根据权利要求 1 所述的半导体装置，其特征在于：所述第 1 侧绝缘层的上端位于所述第 1 及第 2 控制栅极的上方位置。

10. 根据权利要求 1 所述的半导体装置，其特征在于：相邻的所述第 1 及第 2 控制栅极被绝缘层所覆盖。

11. 根据权利要求 1 所述的半导体装置，其特征在于：所述共用接触部与所述杂质层的端部邻接。

12. 根据权利要求 11 所述的半导体装置，其特征在于：配置有多个所述杂质层，配置有多个所述共用接触部，所述共用接触部被相互交错地配置在排列配置的多个所述杂质层的一方侧端部和另一方侧的端部上。

13. 根据权利要求 1 所述的半导体装置，其特征在于：所述第 1 栅极绝缘层及所述第 1 侧绝缘层由第 1 氧化硅层、氮化硅层及第 2 氧化硅层的叠层膜构成。

14. 一种半导体装置的制造方法，是一种其中包括将非易失性存储装置排列成具有多行及多列的栅格状的存储单元列阵的半导体装置的制造方法，其特征在于：包括

在半导体层上方形成为形成第 2 栅极绝缘层的第 1 绝缘层的形成工序；

在所述第 1 绝缘层的上方形成第 1 导电层的工序；

在所述第 1 导电层的上方形成阻挡层的工序；

对所述第 1 导电层及所述阻挡层进行图形化处理，而形成栅极层的工序；

至少在所述半导体层的上方形成第 1 栅极绝缘层的工序；

在所述栅极层的两侧面上形成第 1 侧绝缘层的工序；

5 在所述存储单元列阵的形成区域内形成第 2 导电层的工序；

在对应共用接触部的形成区域的所述第 2 导电层上形成掩膜，通过对所述第 2 导电层进行各向异性蚀刻，而形成侧壁状的第 1 及第 2 控制栅极的工序；

10 在所述存储单元列阵的形成区域内形成第 2 绝缘层之后，通过利用化学及机械的研磨法研磨所述第 2 绝缘层及所述第 2 导电层使其露出所述阻挡层，从而在所述共用接触部的形成区域内形成接触导电层的工序；

在所述半导体层上形成构成源极区域或漏极区域的杂质层的工序；

15 在所述存储单元列阵的形成区域内，形成为形成帽形绝缘层的第 3 绝缘层的工序；

在对应所述共用接触部的形成区域的所述第 3 绝缘层上形成掩膜，通过对所述第 3 绝缘层进行图形化处理，在该共用接触部的形成区域内形成所述帽形绝缘层的工序；

在所述存储单元的形成区域内形成第 3 导电层的工序；及

20 通过对所述栅极层、所述第 3 导电层及所述阻挡层进行图形化处理，在形成与所述字栅及与该字栅连接的字线的同时，在所述共用接触部的形成区域内形成阻挡绝缘层的工序。

25 15. 根据权利要求 14 所述的半导体装置的制造方法，其特征在于：在所述栅极层的图形化处理工序中，包括在所述第 1 导电层的上方形成所述阻挡绝缘层的工序。

16. 根据权利要求 14 所述的半导体装置的制造方法，其特征在于：还包括在所述存储单元列阵的形成区域内形成层间绝缘层后，在所述接触导电层上形成贯通所述帽形绝缘层及所述层间绝缘层的接触孔的工序及在所述接触孔内填充柱形导电层的工序。

30 17. 根据权利要求 14 所述的半导体装置的制造方法，其特征在于：

形成由以氮化硅为主要成分的材料构成的所述阻挡层，形成由以氧化硅为主要成分的材料构成的所述第3绝缘层。

18. 根据权利要求14所述的半导体装置的制造方法，其特征在于：
所述第1栅极绝缘层及所述第1侧绝缘层是通过同一成膜工序形成，并且，是由第1氧化硅层、氮化硅层以及第2氧化硅层的叠层膜构成。

19. 根据权利要求14所述的半导体装置的制造方法，其特征在于：
所述接触导电层是通过与所述第1及第2控制栅极的同一成膜工序形成。

20. 根据权利要求14所述的半导体装置的制造方法，其特征在于：
在所述共用接触部的形成区域内进一步包括在所述半导体层的上方形成接触绝缘层的工序和在所述接触导电层的侧面上形成第2侧绝缘层的工序，所述接触绝缘层的形成在与形成所述第1栅极绝缘层的工序中进行，所述第2侧绝缘层的形成在与形成所述第1侧绝缘层的工序中进行。

21. 根据权利要求14所述的半导体装置的制造方法，其特征在于：
使所形成的所述第1侧绝缘层的上端位于所述第1及第2控制栅极的上方位置。

22. 根据权利要求14所述的半导体装置的制造方法，其特征在于：
在利用化学及机械的研磨法对所述第2绝缘层进行研磨的工序中，所形成的通过所述杂质层而相邻的1组所述第1及第2控制栅极被填充绝缘层所覆盖。

23. 根据权利要求14所述的半导体装置的制造方法，其特征在于：
所述共用接触部与所述杂质层的端部邻接。

24. 根据权利要求23所述的半导体装置的制造方法，其特征在于：
排列设置多个所述杂质层，形成多个所述共用接触部，所述多个共用接触部交错地形成在呈多数排列的所述杂质层的一方侧的端部和另一方侧的端部。

5

半导体装置及其制造方法

技术领域

本发明涉及阵列状地配置有在 1 个字栅内具有 2 个电荷蓄积区域的非易失性存储装置的半导体装置及其制造方法。

10

背景技术

作为一种类型的非易失性半导体存储装置，有一种在沟道区域与控制栅之间的栅绝缘层由氧化硅层和氮化硅层的叠层体构成、所述氮化硅层中的电荷被吸收的被称为 MONOS (Metal Oxide Nitride Oxide Semiconductor) 型或 SONOS (Silicon Oxide nitride Oxide Silicon) 型的半导体存储装置。

15

作为 MONOS 型的非易失性半导体装置已公开了一种如图 16 所示的装置(文献: Y. Hayashi, et al , 2000 Symposium on VLSI Technology Digest of Technical Papers p.122 - p.123)。

20

该 MONOS 型存储单元 100 在半导体基片 10 上通过第 1 绝缘层 12 形成字栅 14。而且在字栅 14 的两侧分别配置侧壁状的第 1 控制栅极 20 和第 2 控制栅极 30。在第 1 控制栅极 20 的底部与半导体基片 10 之间设有第 2 栅绝缘层 22，在第 1 控制栅极 20 的侧面与字栅 14 之间设有绝缘层 24。同样，在第 2 控制栅极 30 的底部与半导体基片 10 之间设有第 2 栅绝缘层 32，在第 2 控制栅极 30 的侧面与字栅 14 之间设有绝缘层 34。而且在相邻存储单元的相互对向的控制栅极 20 与控制栅极 30 之间的半导体基片 10 上形成构成源极区域或漏极区域的杂质层 16、18。

25

这样，一个存储单元在字栅 14 的侧面具有 2 个 MONOS 型的存储单元。而且这 2 个 MONOS 型存储单元均被独立地控制。从而，在 1 个存储单元 100 中可存储 2 位的信息。

30

发明内容

本发明的目的是提供一种包括具有 2 个电荷蓄积区域的 MONOS 型非易失性存储装置的半导体装置及其制造方法。

5 (半导体装置)

本发明的半导体装置，其中非易失性存储装置具有由多个行及列排列成栅格状的存储单元列阵，其特征在于：所述非易失性存储装置包括：通过第 1 栅极绝缘层形成在半导体层上方的字栅；形成在所述半导体层上的构成源极区域或漏极区域的杂质层；分别沿着所述字栅的对向的 2 个侧面而形成的侧壁状的第 1 及第 2 控制栅极，所述第 1 控制栅极通过第 1 栅极绝缘层被配置在所述半导体层上，并且通过第 1 侧绝缘层被配置在所述字栅上；所述第 2 控制栅极通过第 1 栅极绝缘层被配置在所述半导体层上，并且通过第 1 侧绝缘层被配置在所述字栅上；所述第 1 及第 2 控制栅极分别在第 1 方向上被连续地配置，并且在与所述第 1 方向交叉的第 2 方向上，第 1 及第 2 控制栅极通过所述杂质层与共用接触部连接，所述共用接触部包括接触导电层、阻挡绝缘层及帽形绝缘层，所述接触导电层被配置在所述接触导电层的外侧，所述帽形绝缘层至少形成在所述阻挡绝缘层的上方。

根据本发明的半导体装置，由于侧壁状的所述第 1 及第 2 控制栅极与所述共用接触部连接，所以，可确保宽度窄的所述第 1 及第 2 控制栅极与共用接触部的电连接。

本发明的半导体装置可构成以下的各种实施方式。

(A) 所述接触导电层可通过第 2 侧绝缘层配置在所述帽形绝缘层的内侧。另外，在这种情况下，所述第 2 侧绝缘层可通过用与所述第 1 侧绝缘层相同的材质构成。

(B) 所述接触导电层可由与所述第 1 及第 2 控制栅极相同的材质构成。

(C) 可把所述接触导电层的上面与所述阻挡绝缘层的上面形成在位于同一平面上。

(D) 所述阻挡绝缘层可由以氮化硅为主要成分的材料构成，所述

帽形绝缘层可由以氧化硅为主要成分的材料构成。

(E) 可通过在所述帽形绝缘层的上方进一步形成层间绝缘层, 由所述接触导电层构成凹部, 在该凹部上形成贯通所示帽形绝缘层及所述层间绝缘层的接触孔, 在所述接触孔内填充柱形导电层。

5 (F) 所述接触导电层可通过接触绝缘层配置在所述半导体层的上方, 所述接触绝缘层可由与所述第 1 栅极绝缘层相同的材质构成。

(G) 可把所述第 1 侧绝缘层形成在其上端位于所述第 1 及第 2 控制栅极上方的位置。根据这样的构成, 可确保覆盖所述第 1 及第 2 控制栅极填充绝缘层的形成。即, 相邻的所述第 1 及第 2 控制栅极被填充绝缘层所覆盖, 该填充绝缘层形成在与所述第 1 及第 2 控制栅极连接配置的对向的 2 个所述侧绝缘层的相互之间。

(H) 可由绝缘层覆盖相邻的所述第 1 及第 2 控制栅极。

(I) 所述共用接触部可与所述杂质层的端部邻接。而且, 配置有多个所述杂质层, 配置有多个所述共用接触部, 所述共用接触部被相互交错地配置在排列配置的多个所述杂质层的一方侧端部和另一方侧的端部上。

(J) 所述第 1 栅极绝缘层及所述第 1 侧绝缘层可由第 1 氧化硅层、氮化硅层及第 2 氧化硅层的叠层膜构成。

(半导体装置的制造方法)

20 本发明的半导体装置制造方法, 是一种其中的非易失性存储装置包括由多个行及列排列成栅格状的存储单元列阵的半导体装置的制造方法, 其特征在于: 包括在半导体层上方形成为形成第 2 栅极绝缘层的第 1 绝缘层的形成工序; 在所述第 1 绝缘层的上方形成第 1 导电层的工序; 在所述第 1 导电层的上方形成阻挡层的工序; 对所述第 1 导电层及
25 所述阻挡层进行图形化处理, 而形成栅极层的工序; 至少在所述半导体层的上方形成第 1 栅极绝缘层的工序; 在所述栅极层的两侧面上形成第 1 侧绝缘层的工序; 在所述存储单元列阵的形成区域内形成第 2 导电层的工序; 在对应共用接触部的形成区域的所述第 2 导电层上形成掩膜, 通过对所述第 2 导电层进行各向异性蚀刻, 而形成侧壁状的第 1 及第 2
30 控制栅极的工序; 在所述存储单元列阵的形成区域内形成第 2 绝缘层之

后，通过利用化学及机械的研磨法研磨所述第 2 绝缘层及所述第 2 导电层使其露出所述阻挡层，从而在所述共用接触部的形成区域内形成接触导电层的工序；在所述半导体层上形成构成源极区域或漏极区域的杂质层的工序；在所述存储单元列阵的形成区域内，形成为形成帽形绝缘层的第 3 绝缘层的工序；在对应共用接触部的形成区域的所述第 3 绝缘层上形成掩膜，通过对所述第 3 绝缘层进行图形化处理，在该共用接触部的形成区域内形成所述帽形绝缘层的工序；在所述存储单元的形成区域内形成第 3 导电层的工序；及通过对所述栅极层、所述第 3 导电层及所述阻挡层进行图形化处理，在形成与所述字栅及与该字栅连接的字线的同时，在所述共用接触部的形成区域内形成阻挡绝缘层的工序。

根据本发明的半导体装置的制造方法可在形成侧壁状的所述第 1 及第 2 控制栅极的同时形成所述共用接触部，可通过该共用接触部确保电连接。

在本发明的制造方法中，可以进行以下列举的各种实施方式。

(a) 在所述栅极层的图形化处理工序中，可包括在所述第 1 导电层的上方形成所述阻挡绝缘层的工序。

(b) 所述接触导电层可在形成所述第 1 及第 2 控制栅极的同一成膜工序中形成。

(c) 可包括在所述共用接触部的形成区域内，在所述半导体层的上方形成接触绝缘层的工序和在所述接触导电层的侧面上形成第 2 侧绝缘层的工序，所述接触绝缘层的形成可在与形成所述接触导电层的同一工序中进行，所述第 2 侧绝缘层的形成可在形成所述第 1 侧绝缘层的同一工序中进行。

(d) 可进一步包括在在所述存储单元列阵的形成区域内形成层间绝缘层后，在接触导电层上形成贯通所述帽形绝缘层及所述层间绝缘层的接触孔的工序及在所述接触孔内填充柱形导电层的工序。

(e) 可形成由以氮化硅为主要成分的材料构成的所述阻挡层，并可形成由以氧化硅为主要成分的材料构成的所述第 3 绝缘层。

(f) 所述第 1 栅极绝缘层及所述第 1 侧绝缘层可通过同一成膜工序形成，并且，可由第 1 氧化硅层、氮化硅层以及第 2 氧化硅层的叠

层膜构成。

(g) 可把所述第 1 侧绝缘层形成在其上端位于所述第 1 及第 2 控制栅极上方的位置。

5 (h) 在利用化学及机械的研磨法（以下称为“CMP 法”）进行研磨的工序中，可用填充绝缘层覆盖所形成的通过所述杂质层而相邻的所述第 1 及第 2 控制栅极。

(i) 所述共用接触部可与所述杂质层的端部邻接。另外，可排列设置多个所述杂质层，并可形成多个所述共用接触部，而且所述多个共用接触部可交错地形成在呈多数排列的所述杂质层的一方侧的端部和另一
10 方侧的端部。

附图说明

图 1 是模式表示本发明实施例的半导体装置的存储区域的布局的俯视图。

15 图 2 是模式表示本发明实施例的半导体装置的主要部分的俯视图。

图 3 是模式表示图 2 中的沿 A-A 线部分的剖面图。

图 4 是表示图 1 至图 3 所示的半导体装置的制造方法的一工序的剖面图。

20 图 5 是表示图 1 至图 3 所示的半导体装置的制造方法的一工序的剖面图。

图 6 是表示图 5 所示的半导体装置的制造方法的一工序的剖面图。

图 7 是表示图 1 至图 3 所示的半导体装置的制造方法的一工序的剖面图。

25 图 8 是表示图 1 至图 3 所示的半导体装置的制造方法的一工序的剖面图。

图 9 是表示图 1 至图 3 所示的半导体装置的制造方法的一工序的剖面图。

图 10 是表示图 1 至图 3 所示的半导体装置的制造方法的一工序的剖面图。

30 图 11 是表示图 1 至图 3 所示的半导体装置的制造方法的一工序的

剖面图。

图 12 是表示图 1 至图 3 所示的半导体装置的制造方法的一工序的剖面图。

图 13 是表示图 1 至图 3 所示的半导体装置的制造方法的一工序的剖面图。

图 14 是表示图 1 至图 3 所示的半导体装置的制造方法的一工序的剖面图。

图 15 表示公知的 MONOS 型存储单元的剖面图。

10 具体实施方式

图 1 是模式表示构成本实施例的半导体装置的存储单元列阵的布局的俯视图。图 2 是模式表示本发明的半导体装置的一部分的俯视图。图 3 是模式表示沿图 2 中的 A-A 线的部分的剖面图。

本实施例的半导体装置，其中的 MONOS 型非易失性存储装置（以下称为“存储单元”）100 包括以多行及多列排列成栅格状的存储单元列阵 1000。而且该存储单元列阵被分割成多个区块。

（装置的构造）

首先，参照图 1 对本实施例的半导体装置的布局进行说明。

在图 1 中，表示出第 1 区块 B1 和与其相邻的第 2 区块 B2。第 1 区块 B1 与第 2 区块 B2 之间的一部分区域上，形成单元隔离区域 300。在各个区块 B1、B2 中，设有向 X 方向（行方向）延伸的多根字线 50（WL）和向 Y 方向（列方向）延伸的多根位线 60（BL）。一根字线 50 与在 X 方向排列的多个字栅连接。位线 60 由杂质层 16、18 构成。

构成第 1 及第 2 控制栅极 20、30 的导电层 40 包围住各个杂质层 16、18。即，第 1、第 2 控制栅极 20、30 分别向 Y 方向延伸，其中 1 组第 1、第 2 控制栅极 20、30 的一方的端部通过在 X 方向延伸的导电层构成相互的连接。而且，1 组第 1、第 2 控制栅极 20、30 的另一方的端部共同连接到 1 个共用的接点部 200。因此，各个第 1、第 2 控制栅极 20、30 具有作为存储单元的控制栅的功能和作为连接在 Y 方向排列的各个控制栅的连接布线的功能。

另外，如图 1 所示，设置该共用接触部 200 与杂质层 16、18 的端部邻接。并且，把该共用接触部 200 设置在杂质层 16、18 上的杂质层 16、18 的一方侧端部和另一方侧的端部上。

单一的存储单元 100 包括 1 个字栅 14、形成在该字栅 14 两侧的第 1、第 2 控制栅极 20、30 和位于这些控制栅极 20、30 的外侧，并形成在半导体基片上的杂质层 16、18。而且，杂质层 16、18 分别被相邻的存储单元 100 所共用。

同是在 Y 方向相邻的杂质层 16 的形成在区块 B1 上的杂质层 16 和形成在区块 B2 上的杂质层 16 通过形成在半导体基片内的连接用的杂质层 400 构成相互的电连接。该连接用的杂质层 400 形成在杂质层 16 上的控制栅极的共用接触部 200 的反对侧。

该连接用杂质层 400 上形成接点 350。由杂质层 16 构成的位线 60 通过该接点 350 与上层的布线层形成电连接。

同样，在 Y 方向相邻的 2 个杂质层 18 在未配置共用接触部 200 的一侧，通过未图示的接触用杂质层形成相互的电连接。

如图 1 所示，在 1 个区块中，多个共用接触部 200 的平面分布形成锯齿状的配置。同样，在 1 个区块中，多个共用接触部 400 的平面分布也形成锯齿状的配置。

下面，参照图 2 及图 3 对半导体装置的平面构造及剖面构造进行说明。

存储单元 100 包括通过第 2 栅极绝缘层 12 形成在半导体基片 10 上方的字栅 14、形成在半导体基片 10 内的构成源极区域或漏极区域的杂质层 16、18、分别沿着字栅 14 两侧而形成的侧壁状的第 1 及第 2 控制栅极 20、30。另外，在杂质层 16、18 上形成硅化物层 92。

第 1 控制栅极 20 通过第 2 栅极绝缘层 22 形成在半导体基片 10 的上方，并且通过第 1 侧绝缘层 24 形成在字栅 14 的一方的侧面上。同样，第 2 控制栅极 30 通过第 2 栅极绝缘层 32 形成在半导体基片 10 上，并且通过第 1 侧绝缘层 24 形成在字栅 14 另一方的侧面上。

另外，第 1 栅极绝缘层 22、32 及第 1 侧绝缘层 24、34 为 ONO 膜。具体是，为由第 1 氧化硅层（氧化硅底层）、氮化硅层、第 2 氧化硅层

(氧化硅顶层)构成的叠层膜。

第1栅极绝缘层22、32的第1氧化硅层具有在沟道区域与电荷蓄积区域之间形成电位势垒(potential barrier)功能。

第1栅极绝缘层22、32的氮化硅层具有作为收集载流子(例如电子)的电荷蓄积区域的功能。

第1栅极绝缘层22、32的第2氧化硅层在控制栅极与电荷蓄积区域之间形成电位势垒(potential barrier)。

第1侧绝缘层24、34分别使字栅14与控制栅极20、30各自形成电隔离。另外,为了防止第1侧绝缘层24、34的上端与字栅14及第1、第2控制栅极20、30的发生短路,把第1侧绝缘层24、34的上端形成在控制栅极20、30上端的上方。

在本实施例中,第1侧绝缘层24、34与第1栅极绝缘层22、32是通过相同的成膜工序形成,且其各个层构造相等。而且,第1侧绝缘层24、34的上端形成在第1及第2控制栅极20、30的上方的位置上。而且,在相邻存储单元100中,在相邻的第1控制栅极20与第2控制栅极30之间形成填充绝缘层70。该填充绝缘层70至少使控制栅极20、30不露出地覆盖住控制栅极20、30。具体是,填充绝缘层70的上面位于第1侧绝缘层24、34上端的上方。通过这样地形成填充绝缘层70,可确保第1、第2控制栅极20、30与字栅14及字线50之间的电隔离。

共用接触部200上形成有向控制栅极20、30供给规定电位的导电层。共用接触部200主要包括接触导电层232、隔离绝缘层86及帽形绝缘层90。

接触导电层232通过第2侧绝缘层224而配置在隔离绝缘层86及导电层214的内侧。接触导电层232在与形成第1及第2控制栅极20、30的同一成膜工序中与第1及第2控制栅极20、30连续地形成。因此,接触导电层232与第1及第2控制栅极20、30为用相同的材质形成。

另外,该接触导电层232通过接触绝缘层210被设置在半导体基片10上。并且,由这个接触导电层232构成凹部74,并且在该凹部74内填充后述的柱形导电层82。

另外,在在帽形绝缘层90、字线50及未形成有这些的填充绝缘层

70 上, 形成层间绝缘层 72。而且, 在由接触导电层 232 形成的凹部 74 上, 形成贯通帽形绝缘层 90 及层间绝缘层 72 的接触孔 84。即, 该接触孔 84 贯通帽形绝缘层 90 及层间绝缘层 72 到达接触导电层 232。在该接触孔 84 内填充由钨或铜构成的柱形导电层 82。

5 如图 3 所示, 隔离绝缘层 86 被配置在接触导电层 232 的外侧。另外, 隔离绝缘层 86 形成在后述的导电层 214 上。隔离绝缘层 86 例如由以氮化硅为主要成分的材料构成。在本实施例中, 接触导电层 232 的上面和隔离绝缘层 86 的上面可形成大致的平面。

10 帽形绝缘层 90 至少形成在隔离绝缘层 86 上。帽形绝缘层 90 例如由已氧化硅为主要成分的材料构成。

另外, 共用接触部 200 还包括导电层 214 及导电层 236、238。

导电层 214 与字栅 14 通过相同的工序成膜形成。在这种情况下, 导电层 214 使用与字栅 14 相同的材质形成。在本实施例中, 导电层 214 通过绝缘层 212 被配置在半导体基片 10 的上方。

15 构成共用接触部 200 的绝缘层 212 在与形成构成存储单元 100 的第 2 栅极绝缘层 12 的同一工序中形成, 并且具有相同的层构造。另外, 构成共用接触部 200 的接触绝缘层 210 及第 2 侧绝缘层 224 在与形成构成存储单元 100 的第 1 栅极绝缘层 22、32 及第 1 侧绝缘层 24、34 的同一工序中形成, 并且具有相同的层构造。即, 接触绝缘层 210 及第 2 侧绝缘层 224 与第 1 栅极绝缘层 22、32 及第 1 侧绝缘层 24、34 相同, 由第 1 氧化硅层、氮化硅层及第 2 氧化硅层的叠层膜构成。

20 另外, 如图 3 所示, 共用接触部 200 还包括侧壁状的导电层 236、238。该导电层 236 与第 1 控制栅极 20 连接。这里, 与导电层 236 连接的第 1 控制栅极 20 与与接触导电层 232 连接的第 2 控制栅极 30 相互比邻。另外, 导电层 238 与第 2 控制栅极 30 连接。这里, 与导电层 238 连接的第 2 控制栅极 30 与与接触导电层 232 连接的第 1 控制栅极 20 相互比邻。

25 导电层 236、238 分别通过第 2 侧绝缘层 224 而配置在导电层 214 的一方侧面上。该导电层 236、238 在与形成第 1 及第 2 控制栅极 20、30 和接触导电层 232 的同一成膜工序中形成, 并且由与这些层相同的材质构成。

另外，在本实施例的半导体装置的情况下，导电层 236、238 为侧壁状形状，但并不意味着导电层 236、238 被限定为此形状。

根据本实施例的半导体装置，在存储单元列阵 1000 内，每一组侧壁状的第 1、第 2 控制栅极 20、30 与共用接触部 200 构成连接。该共用接触部 200，包括接触导电层 232、形成在该接触导电层 232 外侧的隔离绝缘层 86 及帽形绝缘层 90。通过把帽形绝缘层 90 至少形成在隔离绝缘层 86 上，可确保这些控制栅极 20、30 的电连接。即，本实施例的半导体装置的控制栅极 20、30 具有侧壁状的形状，其宽度通常小于 $0.1\mu\text{m}$ 。因此，可通过接触导电层 232 确保控制栅极 20、30 与共用接触部 200 的电连接。其结果，通过上述的共用接触部 200 能够以最小必要面积而确保与控制栅极 20、30 的电接触。

（半导体装置的制造方法）

下面，参照图 4~图 14 对本实施例的半导体装置的制造方法进行说明。各个剖面图与沿图 2 的 A-A 线的部分相对应。在图 4~图 14 中，对于与图 1~图 3 所示的相同部分使用相同的符号，并省略重复的叙述。

（1）如图 4 所示，首先，在形成图 1 所示的存储单元列阵 1000 的区域（以下称为“存储单元列阵的形成区域”）1000a 内，在半导体基片 10 的表面上利用 LOCOS 法或沟槽隔离法形成单元隔离区域 300。然后通过注入离子，在半导体基片 10 内形成接触用的杂质层 400（参照图 1）。然后在半导体基片 10 的表面上，形成构成第 1 栅极绝缘层的第 1 绝缘层 120。然后，在第 1 绝缘层 120 上层叠构成字栅 14 和栅极电极 142 的第 1 导电层 140。第 1 导电层 140 由掺杂多晶硅构成。然后，在下面的 CMP 工序中，在第 1 导电层 140 上形成阻挡层 S100。阻挡层 S100 例如由氮化硅层构成。

（2）然后，通过公知的蚀刻技术及侵蚀技术进行形成第 1 导电层 140 及阻挡层 S100 的图形形成处理。通过该工序，形成之后成为字栅 14 的栅极层 140a。在该图形形成处理中，在存储单元列阵的形成区域 1000a 内，在半导体基片 10 上的全体面上形成栅极层 140a 及阻挡层 S100 的叠层体。图 6 表示图形形成处理后的俯视面状态。通过该图形形成处理，存储区域 1000 内的栅极层 140a 及阻挡层 S100 的叠层体上形成开口部

160、180。开口部 160、180 与之后的通过注入离子而形成杂质层 16、18 的区域大致对应。而且，在之后的工序中，沿着开口部 160、180 的侧面形成第 1 侧绝缘层 24、34 和第 1、第 2 控制栅极 20、30。

(3) 如图 7 所示，在半导体基片 10 的全体面上形成 ONO 膜 220。

5 ONO 膜 220 是通过顺序地重叠第 1 氧化硅层、氮化硅层及第 2 氧化硅层而形成。第 1 氧化硅层例如可使用热氧化法、CVD 法成膜。氮化硅层例如可使用 CVD 法等成膜。第 2 氧化硅层可使用 CVD 法，具体是使用高温氧化法 (HTO) 成膜。最好在形成这些层之后，进行退火处理，以使各层的结构更细密。

10 ONO 膜 220 通过在之后的图形形成处理，构成第 1 栅极绝缘层 22 及第 1 侧绝缘层 24 以及共用接触部 200 的接触绝缘层 210 及第 2 侧绝缘层 224 (参照图 3)。

(4) 如图 8 所示，在存储单元列阵的形成区域 1000a 内，并且在 ONO 膜 220 的全体面上形成掺杂多晶硅层 (第 2 导电层) 230。在该掺杂多晶硅层 230 上，通过图形形成处理及蚀刻工序等，形成构成第 1、
15 第 2 控制栅极 20、30 的导电层 40 (参照图 1) 及构成共用接触部 200 的第 2 接触导电层 232、导电层 236、238 (参照图 3)。

然后，在形成有共用接触部的区域 (以下称为“共用接触部的形成区域”) 200a 内，形成抗蚀层 R100。在本实施例中，如图 8 所示，该抗
20 蚀层 R100 被设置在与在之后的工序中形成接触导电层 232 的区域大致对应的位置上。即，该抗蚀层 R100 至少形成在在之后的工序中形成接触导电层 232 的形成区域上。

(5) 如图 9 所示，通过把抗蚀层 R100 作为掩膜，对掺杂多晶硅层 230 (参照图 8) 进行全面的各向异性蚀刻，形成第 1 及第 2 控制栅极 20、
25 30、导电层 230a、导电层 236、238。这里，接触导电层 230a、导电层 236、238 形成在共用接触部的形成区域 200a 内。

即，通过这个蚀刻工序，沿着露出的开口部 160、180 (参照图 6) 的侧面，形成侧壁状的第 1、第 2 控制栅极 20、30、导电层 236、238。而且，与此同时，在被抗蚀层 R100 (参照图 8) 遮挡的部分上形成接触
30 导电层 230a。这里，该接触导电层 230a 与第 1 及第 2 控制栅极 20、30

连续地形成。并且，通过上述的蚀刻，除去堆积在在之后的工序中形成硅化物层的区域内的绝缘层，露出半导体基片 10。然后，除去抗蚀层 R100。

5 (6) 然后，如图 10 所示，通过离子注入 N 型杂质，在半导体基片 10 内形成构成源极区域或漏极区域的杂质层 16、18。

然后，在全体面上堆积形成硅化物用的金属。形成硅化物用的金属例如为钛或钴。然后，通过使形成在杂质层 16、18 上的金属发生硅化反应，在杂质层 16、18 的上面形成硅化物层 92。从而，通过这个硅化工序，存储单元 100 的源极区域或漏极区域的表面被进行了整合的硅化
10 处理。

然后，在存储单元列阵的形成区域 1000a 内，全面地形成氧化硅或氮氧化硅等的绝缘层（第 2 绝缘层）70。所形成的绝缘层 70 覆盖住阻挡层，并且填充在第 1、第 2 控制栅极 20a、30a 之间及导电层 230a 的间隙内。

15 (7) 如图 11 所示，利用 CMP 法对第 2 绝缘层 270 进行研磨，直到露出阻挡层 S100，并且使绝缘层 70 平坦化。通过该研磨，把绝缘层 70 残留在中间夹隔第 1、第 2 控制栅极 20、30 的对向的 2 个第 1 侧绝缘层 24 之间，从而构成填充绝缘层 70。另外，通过该工序，除去导电层 230a 的上部，在共用接触部的形成区域 200a 内形成接触导电层 232。

20 此时，形成在栅极层 140a 及阻挡层 S100 侧面上的第 1 侧绝缘层 24、34 的上端位于半导体基片 10 上的第 1、第 2 控制栅极 20、30 上端的上方位置。

通过该工序，第 1、第 2 控制栅极 20、30 被填充绝缘层 70 完全覆盖。而且，在共用接触部的形成区域 200a 内，形成接触导电层 232 的上面被露出的状态。并且，由接触导电层 232 构成的凹部 74 形成被填充
25 绝缘层 70 覆盖的状态。

(8) 然后，如图 12 所示，在存储单元列阵的形成区域 1000a 内全面地形成为形成隔离绝缘层 90 的第 1 绝缘层 90a。然后，在第 3 绝缘层 90a 上形成图形化的抗蚀层 R200。然后通过以该抗蚀层作为掩膜，对
30 第 3 绝缘层 90a 进行图形化处理，从而如图 13 所示地在共用接触部的形

成区域 200a 内形成隔离绝缘层 90。然后除去抗蚀层 R200。

然后在存储单元列阵的形成区域 1000a 内，全面地形成第 3 导电层（未图示）。在全面地形成第 3 导电层（未图示）之后，在第 3 导电层上形成图形化的抗蚀层 R300。通过以该抗蚀层作为掩膜对所述第 3 导电层进行图形化处理，而形成字线 50。作所述第 3 导电层可以使用掺杂多晶硅层、金属层、硅化物等构成的合金层，或者使用其中的 2 层以上的叠层。然后，通过以抗蚀层 R300 作为掩膜对由掺杂多晶硅层构成的栅极层 140a（参照图 12）进行图形化处理，在形成列阵状排列的字栅 14 的同时，形成在其上部形成有阻挡绝缘层 86 的导电层 214。然后除去抗蚀层 R300。

另外，在这个工序中，由于第 1、第 2 控制栅极 20、30、导电层 236、238 被绝缘层 70 所覆盖，所以未受到蚀刻。

然后，对半导体基片 10 进行全面的 P 型杂质的掺杂处理。从而，在在 Y 方向相邻的字栅 14 之间的区域内形成 P 型杂质层（单元隔离用杂质层）15（参照图 2）。该单元隔离用杂质层 15 的导电型与非易失性存储装置的导电型相反。通过该 P 型杂质层 15 可更可靠地确保存储单元 100 的相邻单元的相互隔离。

（9）然后，在层叠层间绝缘层 72 后，利用公知的方法形成接触孔，并且在接触孔内形成导电层后，形成与该导电层电连接的布线层。例如，如图 3 所示，在接触导电层 232 上形成贯通帽形绝缘层 90 及层间绝缘层 72 的接触孔 84，在该接触孔 84 内填充柱形导电层 82，然后形成与柱形导电层 82 连接的布线层 80。另外，在形成接触孔 84 的工序中，在除去了填充在由接触导电层 232 构成的凹部 74 内的绝缘层 70 后，把柱形导电层 82 填充到凹部 74 内。

通过以上的工序，可制造出图 1、图 2 及图 3 所示的半导体装置。

根据本发明的半导体制造方法，可在形成侧壁状的第 1、第 2 控制栅极 20、30 的同时形成共用接触部 200。而且，共用接触部 200 具有至少与杂质层 16、18 的宽度相接近的尺寸，从而可确保充分大的接触面积。因此，在本实施例中，即使是不易形成充分的接触区域的侧壁状的控制栅极 20、30，也可以通过共用接触部 200 而确保可靠的电连接。

而且，根据本实施例的半导体制造方法，在接触导电层 232 上形成柱形导电层 82。其中，通过在接触导电层 232 的外侧设置阻挡绝缘层 86，可确保在形成该柱形导电层 82 时的调整余量。

5 以上对本发明的一实施例进行了说明，但本发明不限于此，在本发明的主要构思的范围内可具有各种的实施方式。例如，在上述的实施例中，作为半导体层是使用（bulk）状的半导体基片，但也可以使用 SOI 基片的半导体层。

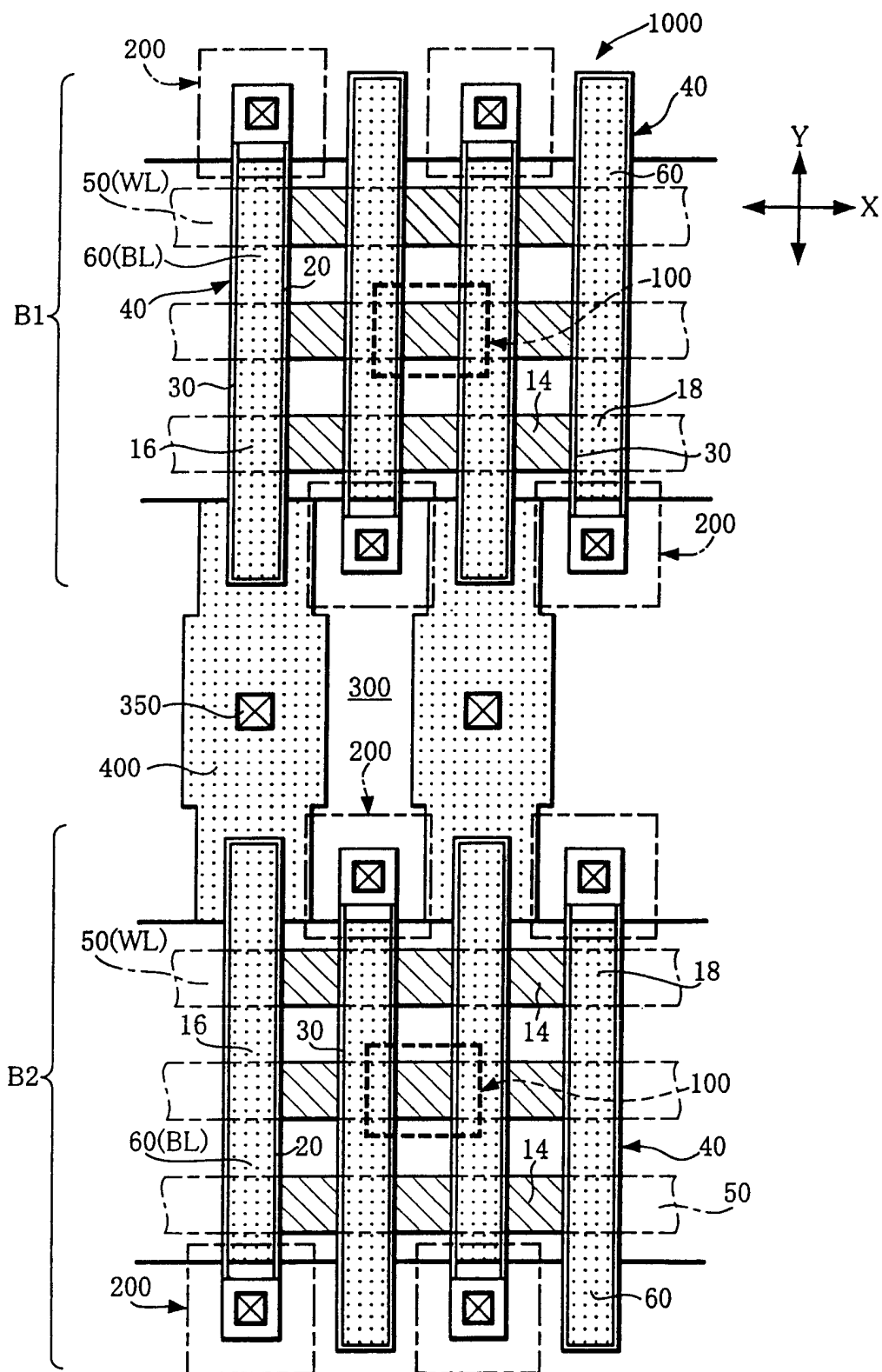


图 1

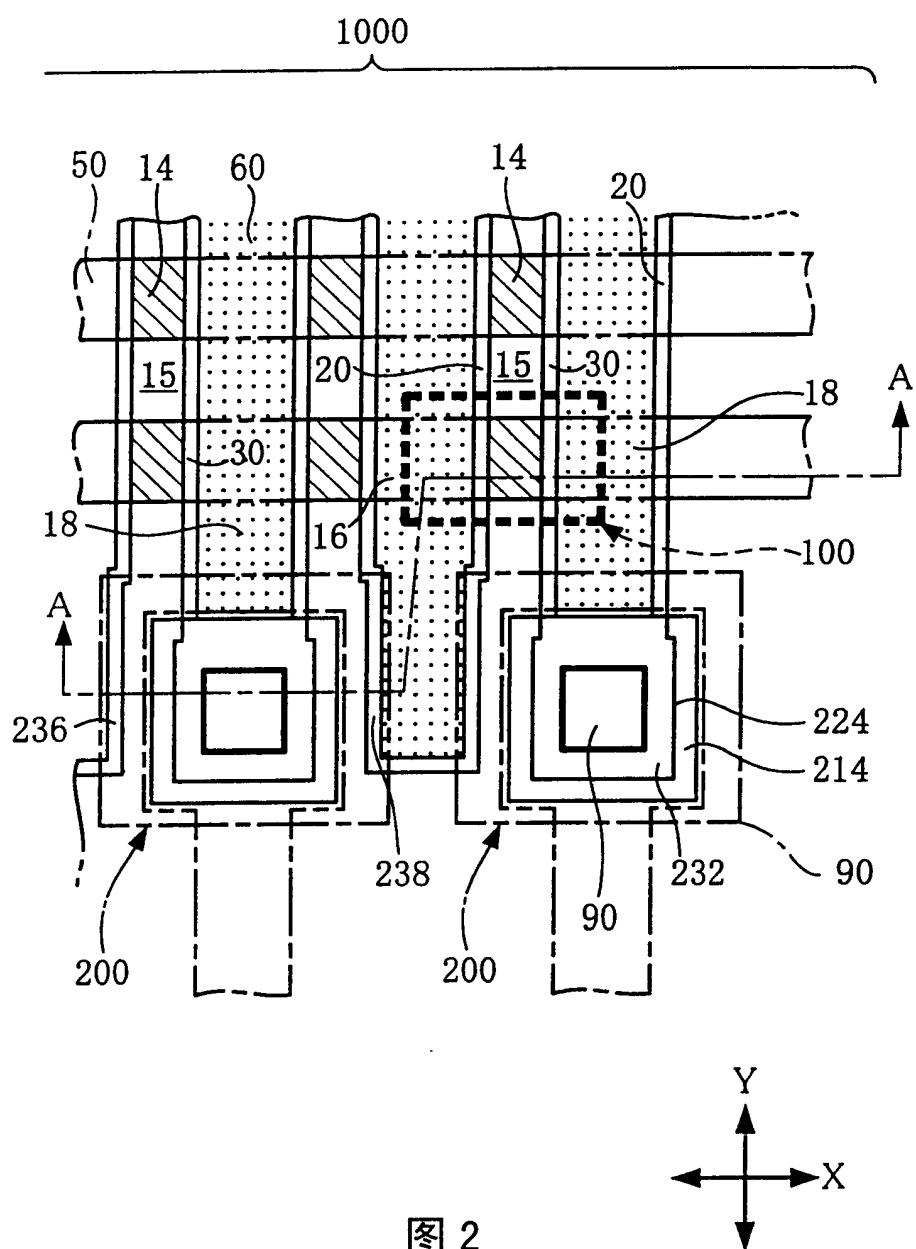


图 2

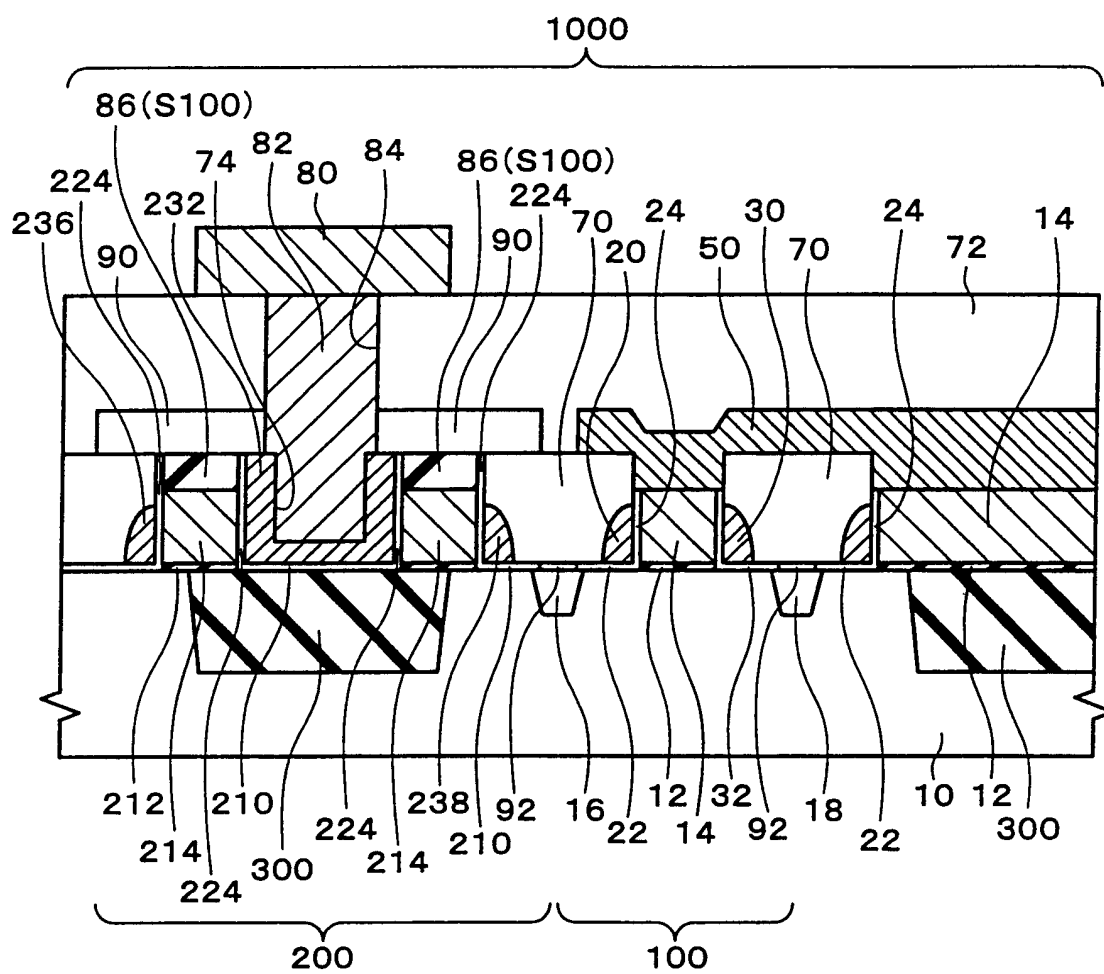


图 3

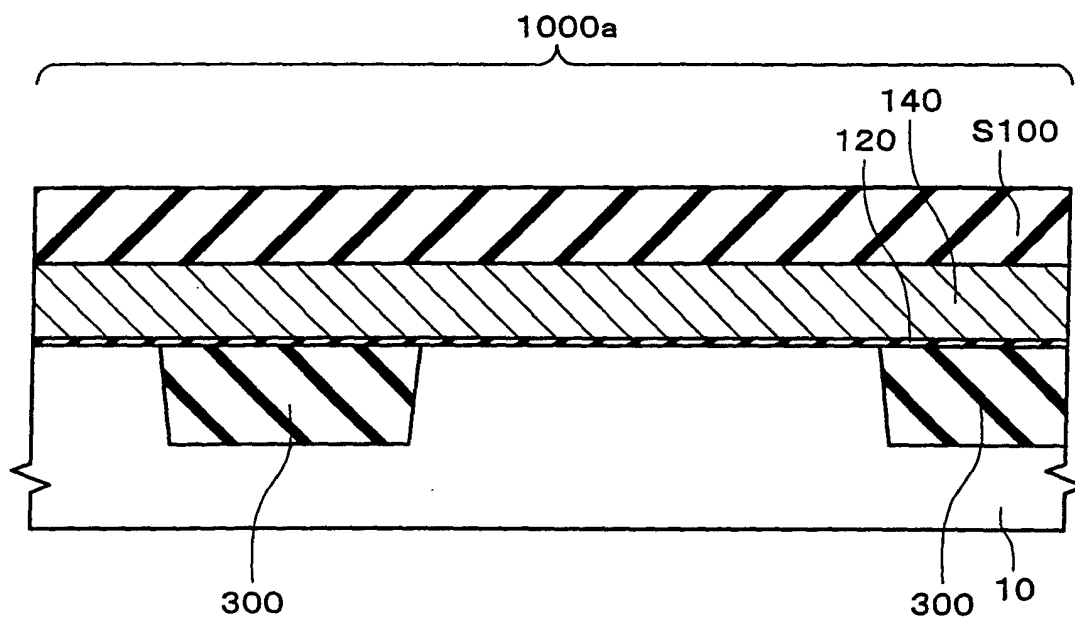


图 4

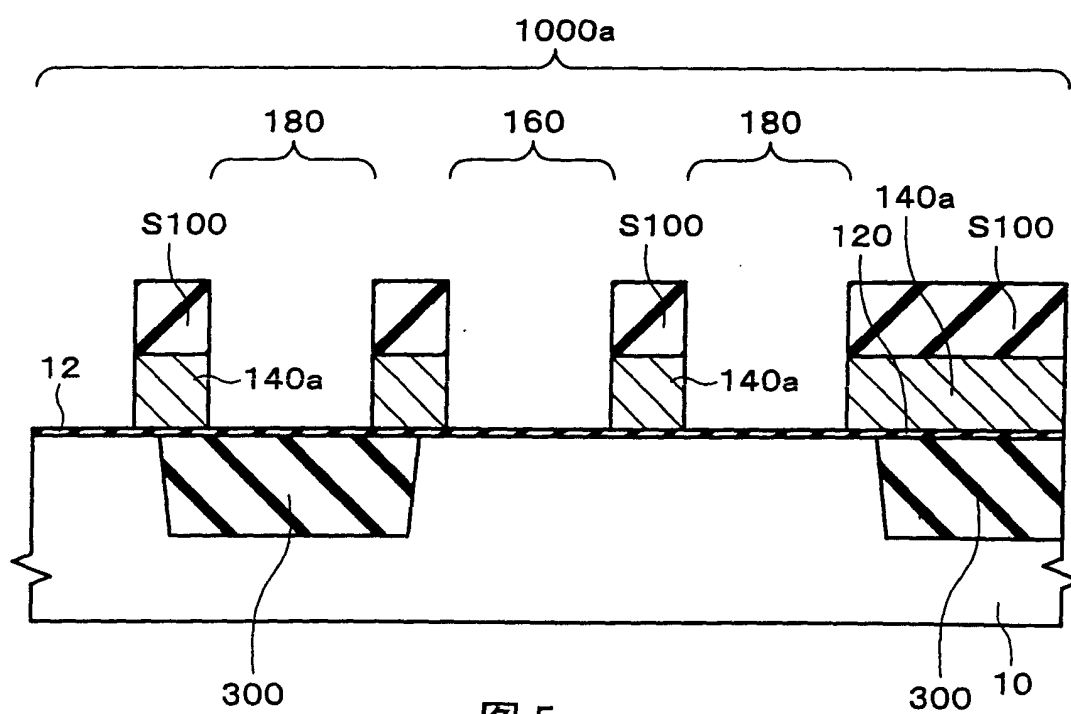


图 5

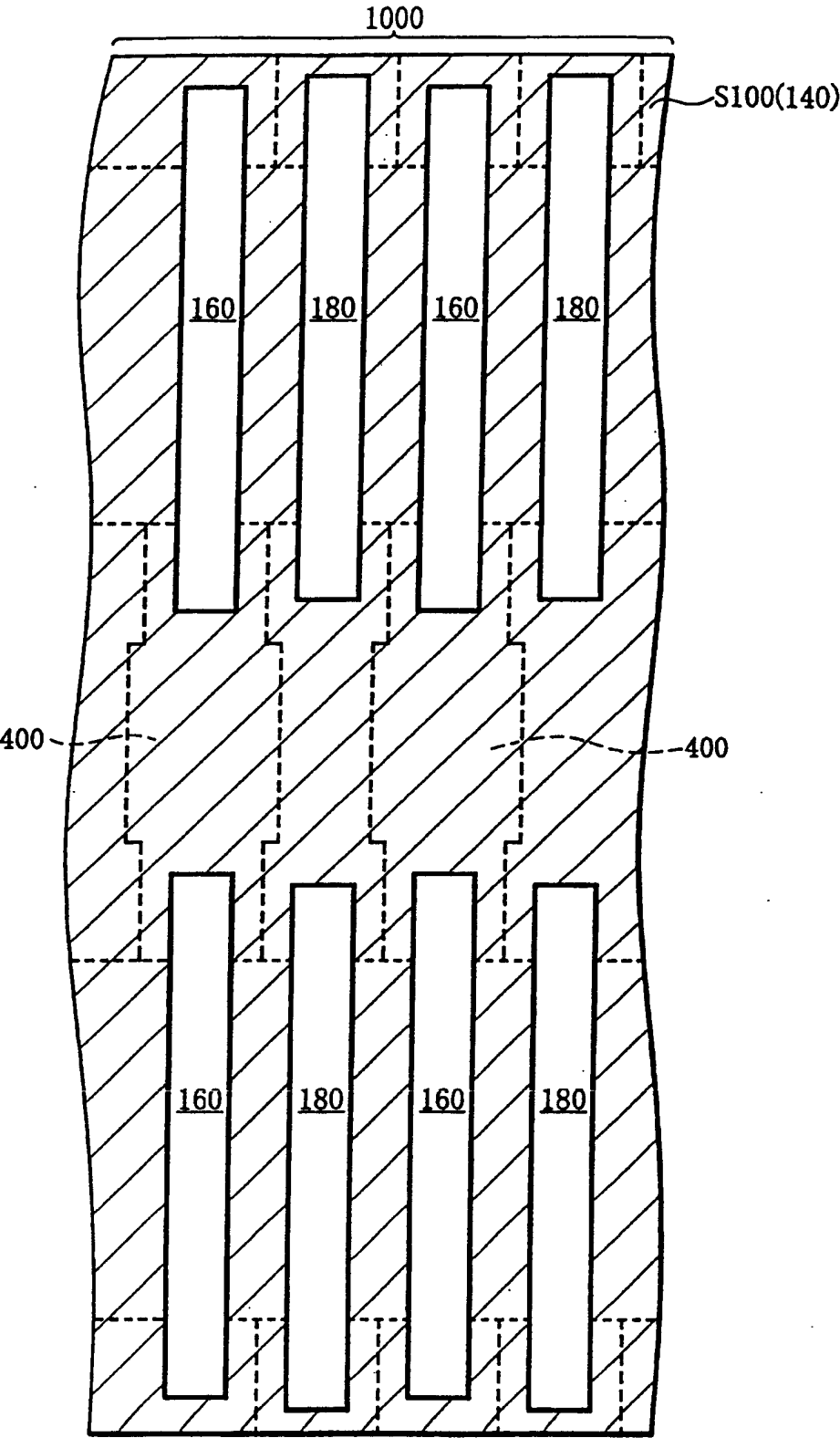


图 6

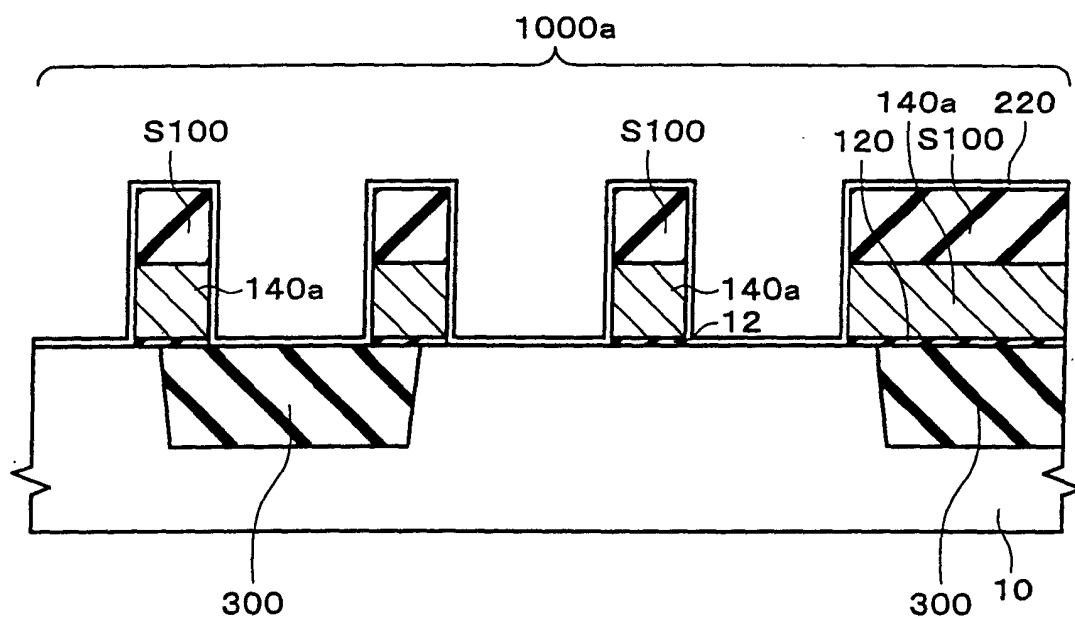


图 7

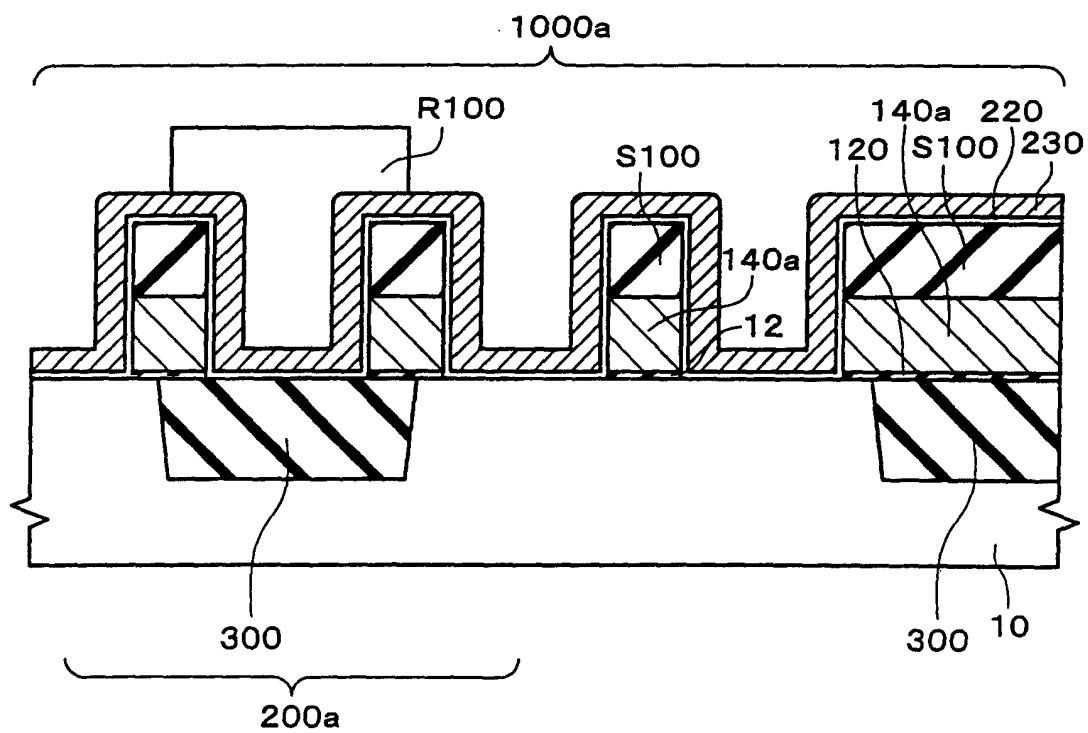


图 8

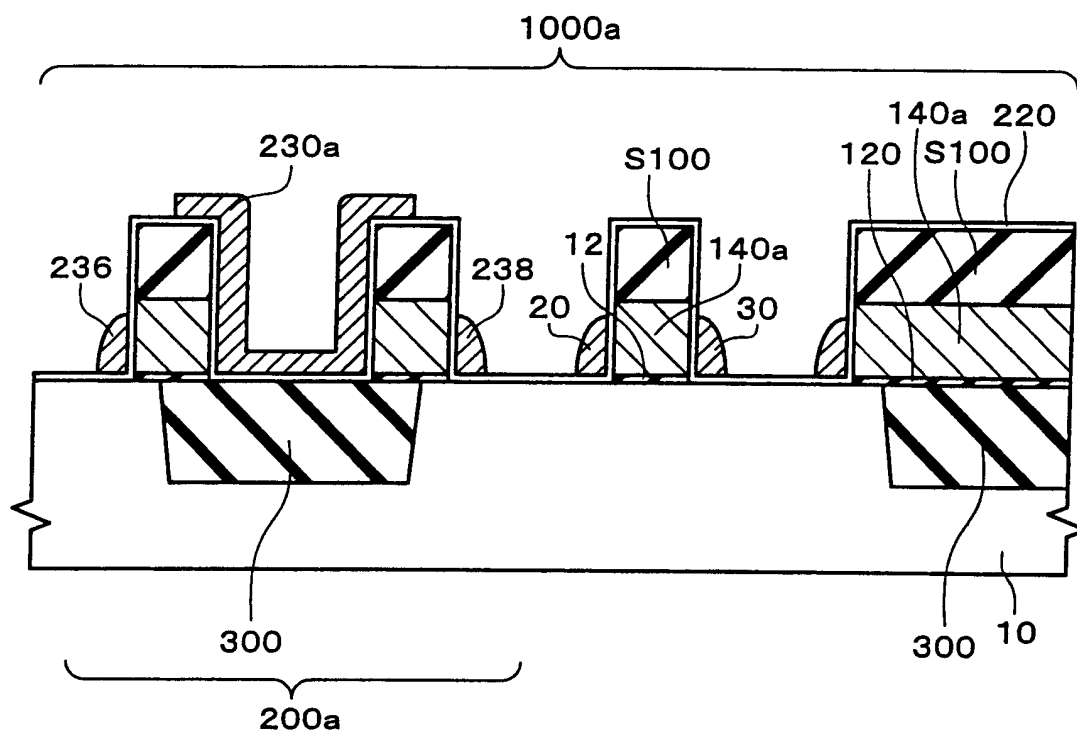


图 9

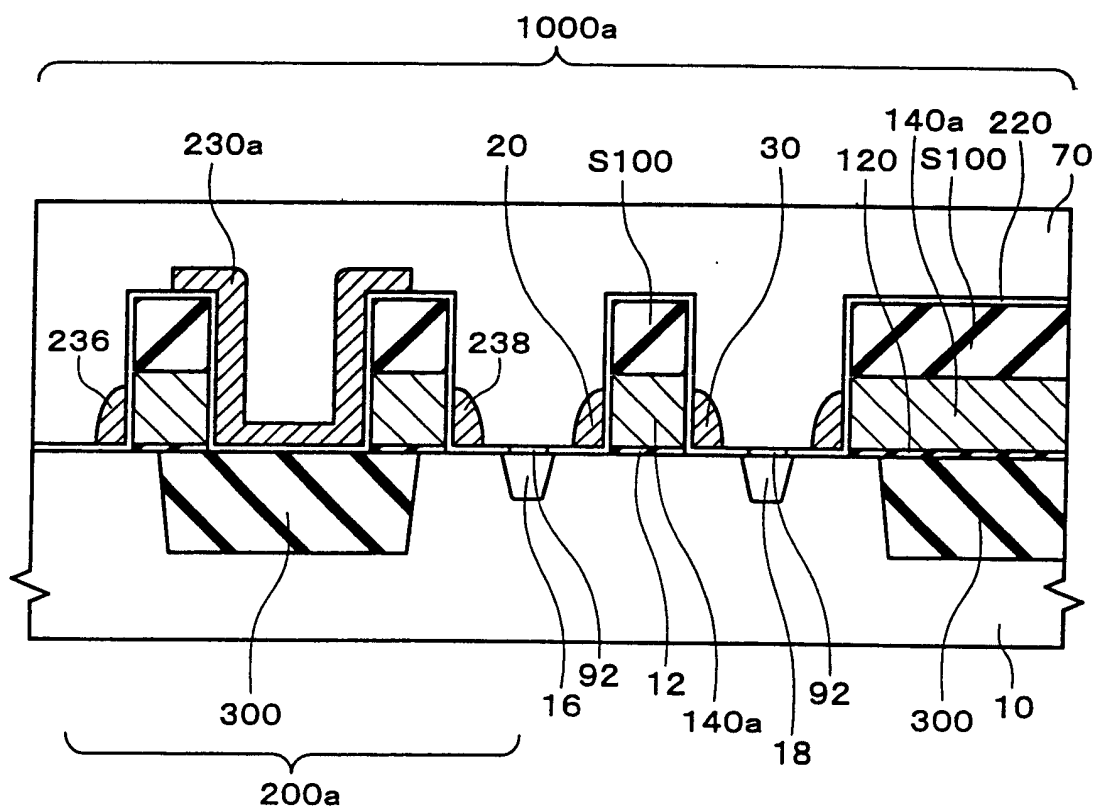


图 10

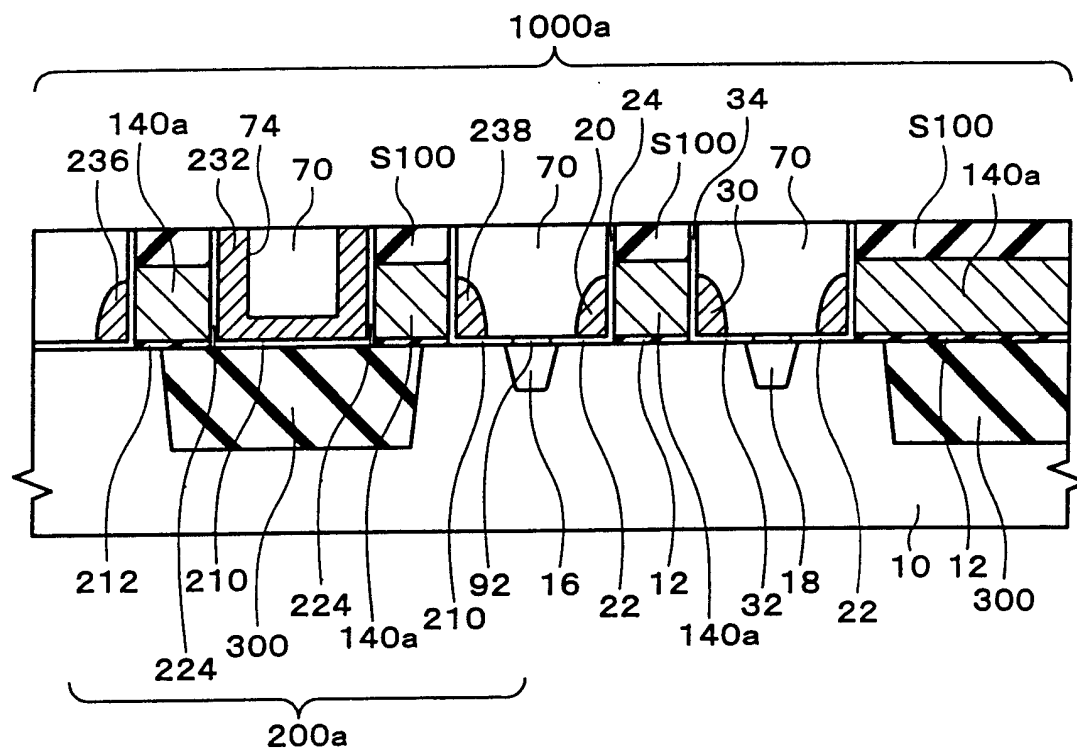


图 11

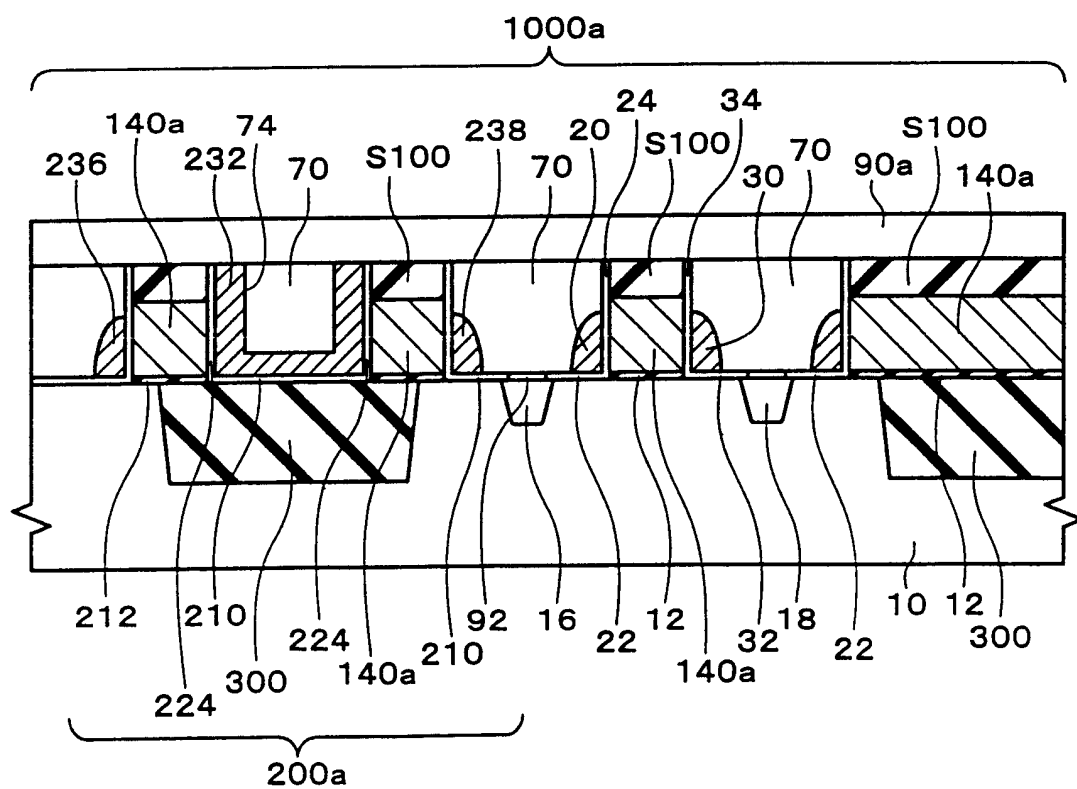


图 12

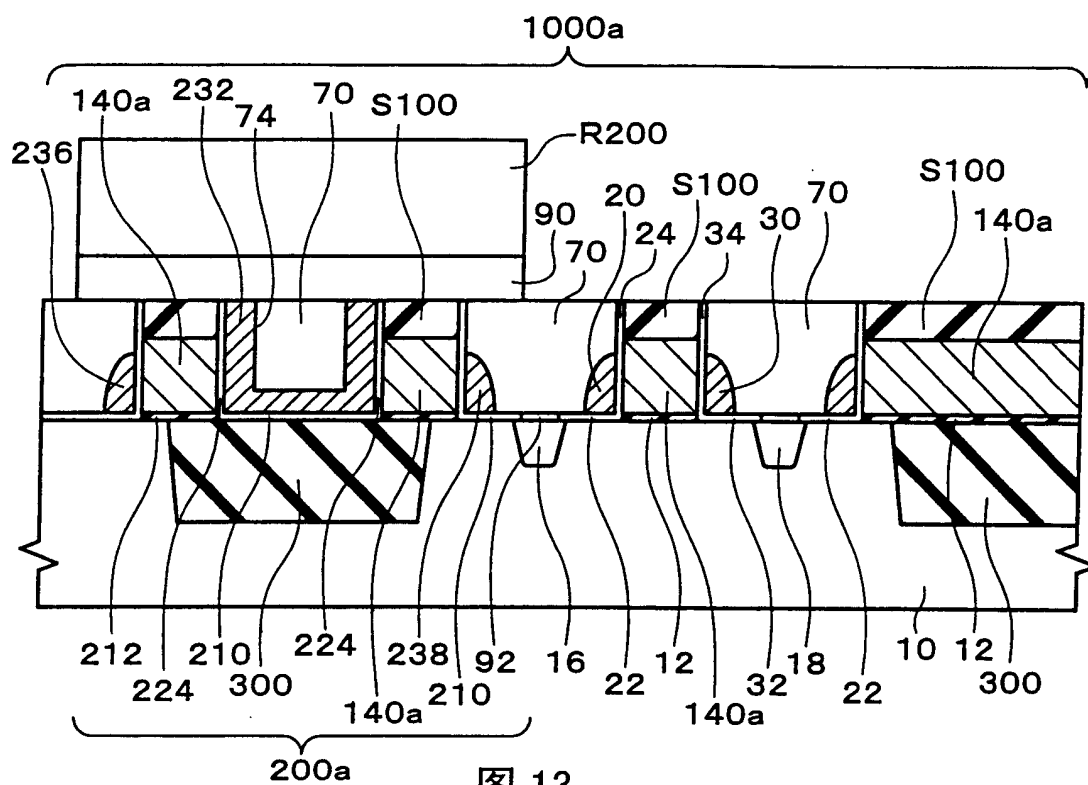


图 13

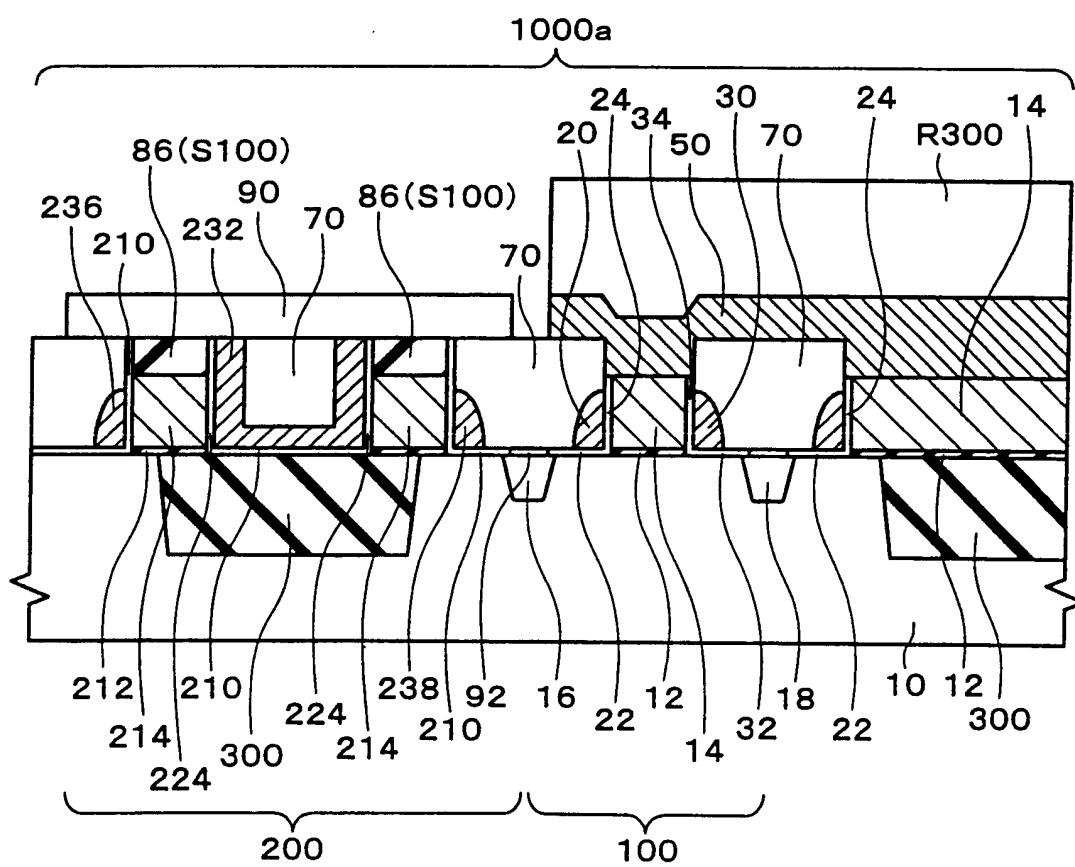


图 14

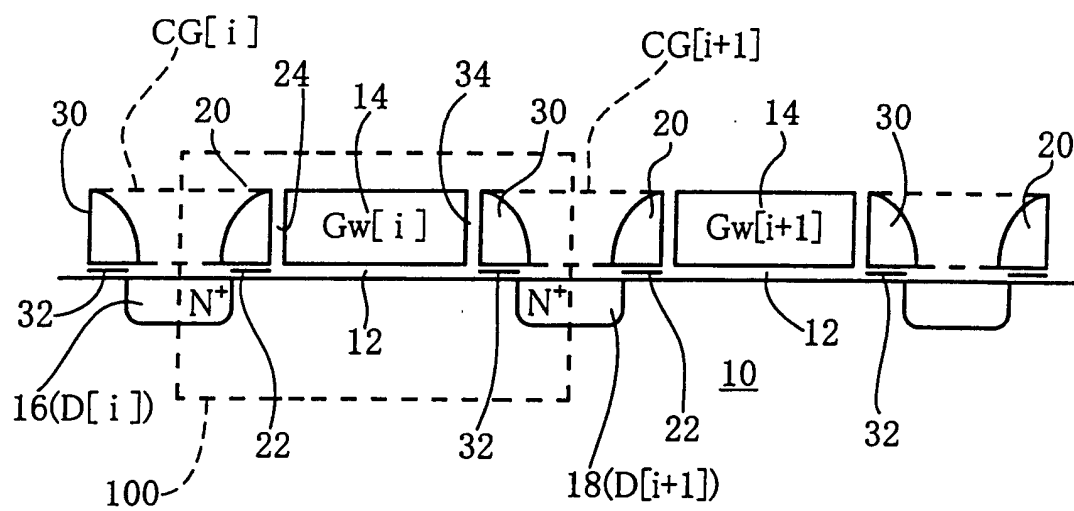


图 15