



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0061678
(43) 공개일자 2013년06월11일

- (51) 국제특허분류(Int. Cl.)
H02M 3/155 (2006.01) *H01L 29/72* (2006.01)
H02M 3/145 (2006.01) *H03K 7/08* (2006.01)
- (21) 출원번호 10-2012-7028567
- (22) 출원일자(국제) 2011년03월29일
심사청구일자 없음
- (85) 번역문제출일자 2012년10월31일
- (86) 국제출원번호 PCT/JP2011/058487
- (87) 국제공개번호 WO 2011/129209
국제공개일자 2011년10월20일
- (30) 우선권주장
JP-P-2010-095197 2010년04월16일 일본(JP)

- (71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
이토 요시아키
일본 173-0034 토쿄토 이타바시구 사이와이초 44-17
오마루 다쿠로
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
박충범, 장수길, 이중희

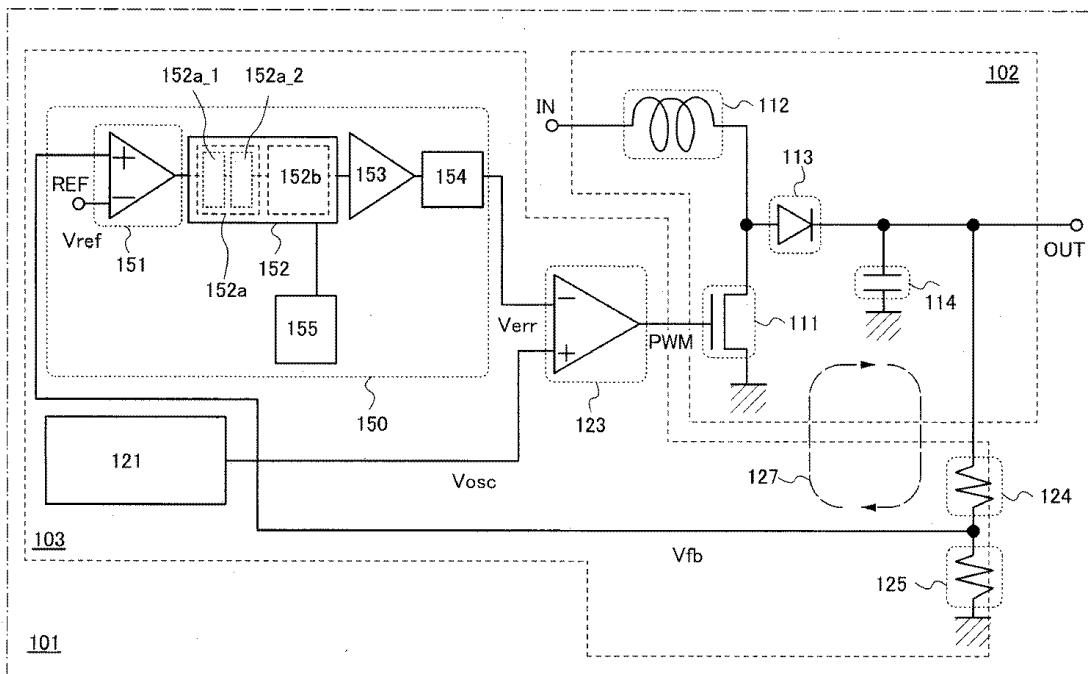
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 전원 회로

(57) 요 약

본 발명의 목적은 회로 동작의 열화를 억제하고, 전체 회로의 면적을 감소시키는 것이다. 전원 회로에는, 제1 전압이 입력되는 제1 단자; 제2 전압이 입력되는 제2 단자; 제1 단자 및 제2 단자에 접속되어, 제1 전압과 제2 전압을 비교하는 비교기; 비교기로부터 출력된 제1 디지털 신호를 평균화하고, 적분하고, 디지털 폴스 폭 변조하는 디지털 회로; 디지털 회로로부터 출력된 제2 디지털 신호를 증폭하는 PWM 출력 드라이버; 및 증폭된 제2 디지털 신호를 평활화하는 평활화 회로가 제공된다.

대 표 도



특허청구의 범위

청구항 1

전원 회로로서,

제1 전압과 제2 전압을 비교하는 비교기;

상기 비교기로부터 출력된 디지털 신호를 평균화하고, 적분하고, 디지털 펄스 폭 변조하는 디지털 연산 처리 회로;

상기 디지털 연산 처리 회로로부터 출력된 디지털 신호를 증폭하는 펄스 폭 변조 출력 드라이버; 및

상기 펄스 폭 변조 출력 드라이버로부터 출력된 디지털 신호를 평활화하는 평활화 회로를 포함하는, 전원 회로.

청구항 2

제1항에 있어서,

DC-DC 컨버터를 더 포함하는, 전원 회로.

청구항 3

제1항에 있어서,

DC-DC 컨버터를 더 포함하고,

상기 DC-DC 컨버터는 코일, 다이오드, 및 채널 형성 영역을 포함하는 산화물 반도체막을 포함하는 트랜지스터를 포함하는, 전원 회로.

청구항 4

제3항에 있어서,

상기 트랜지스터는 소스 전극 및 드레인 전극을 포함하고,

상기 트랜지스터는 톱 게이트형 트랜지스터이며, 상기 산화물 반도체막의 상면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 5

제3항에 있어서,

상기 트랜지스터는 소스 전극 및 드레인 전극을 포함하고,

상기 트랜지스터는 톱 게이트형 트랜지스터이며, 상기 산화물 반도체막의 하면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 6

제3항에 있어서,

상기 트랜지스터는 소스 전극 및 드레인 전극을 포함하고,

상기 트랜지스터는 보텀 게이트형 트랜지스터이며, 상기 산화물 반도체막의 상면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 7

제3항에 있어서,

상기 트랜지스터는 소스 전극 및 드레인 전극을 포함하고,

상기 트랜지스터는 보텀 게이트형 트랜지스터이며, 상기 산화물 반도체막의 하면이 상기 소스 전극 및 상기 드

레인 전극과 접하는, 전원 회로.

청구항 8

제1항에 있어서,

상기 비교기, 상기 디지털 연산 처리 회로 및 상기 펄스 폭 변조 출력 드라이버의 각각은 채널 형성 영역을 포함하는 산화물 반도체막, 소스 전극, 드레인 전극, 게이트 전극, 및 게이트 절연막을 포함하는 트랜지스터를 포함하는, 전원 회로.

청구항 9

제8항에 있어서,

상기 트랜지스터는 톱 게이트형 트랜지스터이며, 상기 산화물 반도체막의 상면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 10

제8항에 있어서,

상기 트랜지스터는 톱 게이트형 트랜지스터이며, 상기 산화물 반도체막의 하면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 11

제8항에 있어서,

상기 트랜지스터는 보텀 게이트형 트랜지스터이며, 상기 산화물 반도체막의 상면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 12

제8항에 있어서,

상기 트랜지스터는 보텀 게이트형 트랜지스터이며, 상기 산화물 반도체막의 하면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 13

제1항에 있어서,

상기 평활화 회로는 로우 패스 필터인, 전원 회로.

청구항 14

전원 회로로서,

제1 전압과 제2 전압을 비교하는 비교기;

상기 비교기로부터 출력된 디지털 신호를 평균화하는 가산 회로;

상기 디지털 신호를 적분하는 가감산 회로;

카운트 비교 회로;

래치 회로;

상기 래치 회로로부터 출력된 디지털 신호를 증폭하는 펄스 폭 변조 출력 드라이버; 및

상기 펄스 폭 변조 출력 드라이버로부터 출력된 디지털 신호를 평활화하는 평활화 회로를 포함하고,

상기 카운트 비교 회로 및 상기 래치 회로는 상기 가감산 회로로부터 출력된 디지털 신호를 디지털 펄스 폭 변조하는, 전원 회로.

청구항 15

제14항에 있어서,
DC-DC 컨버터를 더 포함하는, 전원 회로.

청구항 16

제14항에 있어서,
DC-DC 컨버터를 더 포함하고,
상기 DC-DC 컨버터는 코일, 다이오드, 및 채널 형성 영역을 포함하는 산화물 반도체막을 포함하는 트랜지스터를 포함하는, 전원 회로.

청구항 17

제16항에 있어서,
상기 트랜지스터는 소스 전극 및 드레인 전극을 포함하고,
상기 트랜지스터는 톱 게이트형 트랜지스터이며, 상기 산화물 반도체막의 상면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 18

제16항에 있어서,
상기 트랜지스터는 소스 전극 및 드레인 전극을 포함하고,
상기 트랜지스터는 톱 게이트형 트랜지스터이며, 상기 산화물 반도체막의 하면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 19

제16항에 있어서,
상기 트랜지스터는 소스 전극 및 드레인 전극을 포함하고,
상기 트랜지스터는 보텀 게이트형 트랜지스터이며, 상기 산화물 반도체막의 상면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 20

제16항에 있어서,
상기 트랜지스터는 소스 전극 및 드레인 전극을 포함하고,
상기 트랜지스터는 보텀 게이트형 트랜지스터이며, 상기 산화물 반도체막의 하면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 21

제14항에 있어서,
상기 비교기, 상기 가산 회로, 상기 가감산 회로, 상기 카운트 비교 회로, 상기 래치 회로 및 상기 펄스 폭 변조 출력 드라이버의 각각은 채널 형성 영역을 포함하는 산화물 반도체막, 소스 전극, 드레인 전극, 게이트 전극, 및 게이트 절연막을 포함하는 트랜지스터를 포함하는, 전원 회로.

청구항 22

제21항에 있어서,
상기 트랜지스터는 톱 게이트형 트랜지스터이며, 상기 산화물 반도체막의 상면이 상기 소스 전극 및 상기 드레

인 전극과 접하는, 전원 회로.

청구항 23

제21항에 있어서,

상기 트랜지스터는 톱 게이트형 트랜지스터이며, 상기 산화물 반도체막의 하면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 24

제21항에 있어서,

상기 트랜지스터는 보텀 게이트형 트랜지스터이며, 상기 산화물 반도체막의 상면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 25

제21항에 있어서,

상기 트랜지스터는 보텀 게이트형 트랜지스터이며, 상기 산화물 반도체막의 하면이 상기 소스 전극 및 상기 드레인 전극과 접하는, 전원 회로.

청구항 26

제14항에 있어서,

상기 평활화 회로는 로우 패스 필터인, 전원 회로.

명세서

기술 분야

[0001] 개시된 발명의 한 실시 형태는, 전원 회로(스위칭 조정기)에 적용할 수 있는 디지털 회로에 관한 것이다.

배경기술

[0002] 전원 회로(스위칭 조정기)에서, 오차 증폭 회로(또는 오차 증폭기)는 전원 회로 내의 귀환 회로의 동작을 결정하는 중요한 회로이다.

[0003] 오차 증폭 회로는 아날로그 신호를 처리하는 아날로그 회로이다. 보통의 오차 증폭 회로는 용량 소자 및 저항 등의 큰 면적의 수동 소자들이 접속되는 구조를 포함한다(특히 문헌 1 및 비특히 문헌 1 참조).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허 공개 2006-238062호 공보

비특허문헌

[0005] (비특허문헌 0001) FUJII Nobuo, "Analog Electronic Circuit -in the integrated circuit era-", Shokodo, 2004, p.161

발명의 내용

[0006] 아날로그 회로 내의 트랜지스터 등의 소자들에 특성의 변동이 있으면, 출력 신호가 왜곡될 수 있는데, 이는 아날로그 회로의 회로 동작을 열화시키는 원인이 될 수 있다. 이로 인해, 아날로그 회로를 포함하는 전원 회로가

열화되는 문제가 생길 수 있다.

- [0007] 또한, 아날로그 회로 내의 수동 소자는 면적이 큰 데, 이는 아날로그 회로를 포함하는 전원 회로 전체의 면적이 커지게 할 수 있다. 이는 전원 회로의 비용을 상승시킨다.
- [0008] 상기의 관점에서, 개시된 발명의 한 실시 형태의 목적은 전원 회로의 회로 동작이 열화하는 것을 억제하는 것이다.
- [0009] 개시된 발명의 한 실시 형태의 다른 목적은 전원 회로의 면적을 감소시키는 것이다.
- [0010] 개시된 발명의 한 실시 형태의 다른 목적은 전원 회로의 면적을 감소시킴으로써, 전원 회로의 비용을 감소시키는 것이다.
- [0011] 개시된 발명의 한 실시 형태에서, 아날로그 회로인 오차 증폭 회로는 디지털 제어 회로로 대체된다. 구체적으로는, 종래에 오차 증폭 회로에 의해 행해지는 전압차 비교, 적분 및 전압 출력은 오차 증폭 회로 대신, 비교기, 디지털 연산 처리 회로, 펄스 폭 변조(pulse width modulation; PWM) 드라이버 및 로우 패스 필터 (low pass filter; LPF)에 의해 수행된다. 따라서, 비교기 및 로우 패스 필터 이외의 모든 회로들은 디지털 회로일 수 있다.
- [0012] 대신 사용되는 디지털 제어 회로에서, 전압차 비교는 비교기에서 행해지고, 적분 및 펄스 폭 변조의 위상 설정은 디지털 연산 처리 회로에 의해 행해지며, 전력 출력 및 주파수 응답은 펄스 폭 변조 출력 드라이버 및 로우 패스 필터에 의해 행해진다.
- [0013] 개시된 발명의 한 실시 형태는, 제1 전압과 제2 전압을 비교하는 비교기, 비교기로부터 출력된 디지털 신호를 평균화하고, 적분하고, 디지털 펄스 폭 변조하는 디지털 연산 처리 회로, 디지털 연산 처리회로로부터 출력된 디지털 신호를 증폭하는 펄스 폭 변조 출력 드라이버, 및 증폭된 디지털 신호를 평활화하는 평활화 회로를 포함하는 전원 회로에 관한 것이다.
- [0014] 개시된 발명의 한 실시 형태에서, 비교기, 디지털 연산 처리 회로 및 펄스 폭 변조 출력 드라이버의 각각은 채널 형성 영역을 포함하는 산화물 반도체막, 소스 전극, 드레인 전극, 게이트 전극 및 게이트 절연막을 포함하는 트랜지스터를 포함한다.
- [0015] 개시된 발명의 한 실시 형태는, 제1 전압과 제2 전압을 비교하는 비교기, 비교기로부터 출력된 디지털 신호를 평균화하는 가산 회로, 평균화된 디지털 신호를 적분하는 가감산 회로, 적분된 디지털 신호를 디지털 펄스 폭 변조하는 카운트 비교 회로 및 래치 회로, 래치 회로로부터 출력된 디지털 신호를 증폭하는 펄스 폭 변조 출력 드라이버, 및 증폭된 디지털 신호를 평활화하는 평활화 회로를 포함하는 전원 회로에 관한 것이다.
- [0016] 개시된 발명의 한 실시 형태에서, 전원 회로는 DC-DC 컨버터를 포함한다.
- [0017] 개시된 발명의 한 실시 형태에서, DC-DC 컨버터는, 코일, 다이오드, 및 채널 형성 영역을 포함하는 산화물 반도체막을 포함하는 트랜지스터를 포함한다.
- [0018] 개시된 발명의 한 실시 형태에서, 비교기, 가산 회로, 가감산 회로, 카운트 비교 회로, 래치 회로 및 펄스 폭 변조 출력 드라이버의 각각은 채널 형성 영역을 포함하는 산화물 반도체막, 소스 전극, 드레인 전극, 게이트 전극, 및 게이트 절연막을 포함하는 트랜지스터를 포함한다.
- [0019] 개시된 발명의 한 실시 형태에서, 트랜지스터는 톱 게이트형 트랜지스터이며, 산화물 반도체막의 상면은 소스 전극 및 드레인 전극과 접한다.
- [0020] 개시된 발명의 한 실시 형태에서, 트랜지스터는 톱 게이트형 트랜지스터이며, 산화물 반도체막의 하면은 소스 전극 및 드레인 전극과 접한다.
- [0021] 개시된 발명의 한 실시 형태에서, 트랜지스터는 보텀 게이트형 트랜지스터이며, 산화물 반도체막의 상면은 소스 전극 및 드레인 전극과 접한다.
- [0022] 개시된 발명의 한 실시 형태에서, 트랜지스터는 보텀 게이트형 트랜지스터이며, 산화물 반도체막의 하면은 소스 전극 및 드레인 전극과 접한다.
- [0023] 개시된 발명의 한 실시 형태에서, 평활화 회로는 로우 패스 필터이다.
- [0024] 전원 회로에 디지털 제어 회로를 이용함으로써, 트랜지스터 특성에 변동이 있어도, 전원 회로의 회로 동작의 열

화를 억제하는 것이 가능하다.

[0025] 전원 회로에 디지털 제어 회로를 이용함으로써, 전원 회로의 면적을 감소하는 것이 가능하다.

[0026] 전원 회로의 면적을 감소시킴으로써, 전원 회로의 비용을 절감하는 것이 가능하다.

도면의 간단한 설명

[0027] 도 1은 전원 회로의 회로 구성을 도시하는 도면.

도 2의 (a) 내지 (c)는 디지털 펄스 폭 변조 공정 방법에 대해서 설명하는 도면.

도 3의 (a) 및 (b)는 채널 형성 영역이 산화물 반도체막에 제공되는 트랜지스터의 상면도 및 단면도.

도 4의 (a) 내지 (e)는 채널 형성 영역이 산화물 반도체막에 제공되는 트랜지스터의 제작 공정을 도시하는 단면도.

도 5의 (a) 내지 (c)는 채널 형성 영역이 산화물 반도체막에 제공되는 트랜지스터의 단면도.

도 6은 가산 회로를 도시하는 회로도.

도 7은 가산기를 도시하는 회로도.

도 8은 가감산 회로, 카운트 비교 회로 및 래치 회로를 도시하는 회로도.

도 9는 가감산 회로를 도시하는 회로도.

도 10은 가산기를 도시하는 회로도.

도 11은 카운트 비교 회로를 도시하는 회로도.

도 12는 래치 회로를 도시하는 회로도.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 본 명세서에 개시된 발명의 실시 형태에 대해서, 도면을 참조하여 설명한다. 본 명세서에 개시된 발명은 많은 다른 형태로도 실시하는 것이 가능하며, 본 명세서에 개시된 발명의 취지 및 그 범위를 벗어나지 않는 한, 그 형태 및 상세를 여러 가지로 변경할 수 있다는 것을 당업자라면 쉽게 이해할 수 있다는 점에 유의해야 한다. 따라서, 본 발명은 실시 형태의 기재 내용에 한정해서 해석되는 것은 아니다. 이하에 도시하는 도면에서, 동일 부분 또는 유사한 기능을 포함하는 부분에는 동일한 부호를 붙이고, 그 설명은 생략한다.

[0029] [제1 실시 형태]

[0030] 도 1은 전원 회로(101)의 일례를 도시한다. 전원 회로(101)는 전압 변환 회로(102), 및 전압 변환 회로(102)를 제어하는 제어 회로(103)를 포함하고 있다. 전압 변환 회로(102)는 트랜지스터(111), 코일(112), 다이오드(113) 및 용량 소자(114)를 포함하는 DC-DC 컨버터이다. 제어 회로(103)는 삼각파 발생 회로(121), 디지털 제어 회로(150), 펄스 폭 변조 출력 드라이버(123), 저항(124) 및 저항(125)을 포함하고 있다. 또한, 점선의 화살표(127)는 귀환 회로의 루프(loop)를 나타내고 있다. 저항(124)의 출력 전압인 귀환 전압 Vfb는 디지털 제어 회로(150)에 입력된다.

[0031] DC-DC 컨버터는 직류 전압을 다른 직류 전압으로 변환하는 회로이다. DC-DC 컨버터의 전형적인 변환 방식은 리니어 방식이나 스위칭 방식을 포함한다. 스위칭 방식의 DC-DC 컨버터는 변환 효율이 우수하다. 본 실시 형태에서는, 스위칭 방식의 DC-DC 컨버터, 특히 트랜지스터, 코일, 다이오드 및 용량 소자를 포함하는 쪼퍼형(chopper-type) DC-DC 컨버터가 전압 변환 회로(102)로서 이용된다.

[0032] 디지털 제어 회로(150)는, 비교기(151), 디지털 연산 처리 회로(152), 펄스 폭 변조 출력 드라이버(153) 및 로우 패스 필터(LPF; 154)를 포함하고 있다.

[0033] 오차 증폭 회로를 디지털 제어 회로(150)로 대체하면, 회로(150) 내의 소자의 특성에 변동이 있어도 문제가 되지 않는다. 디지털 제어 회로(150)에서, 디지털 연산 처리 회로(152) 및 펄스 폭 변조 출력 드라이버(153)는 디지털 회로이다. 디지털 회로는, 회로 내의 신호의 레벨이 기준보다 높은지 또는 낮은지에 따라 신호가 1인지 0(제로)인지를 판단하고, 따라서 디지털 회로 내의 소자의 특성이 변동될 때에도 데이터를 적절히 처리한다.

- [0034] 또한, 디지털 제어 회로(150)에서는, 점유 면적이 큰 수동 소자(예를 들어, 용량 소자나 저항)의 사용을 억제하고 있으므로, 회로의 점유 면적을 작게 할 수 있다는 점에서 바람직하다.
- [0035] 비교기(151)는 반전 입력 단자 REF로부터 입력되는 기준 전압 Vref와 귀환 전압 Vfb를 비교하여, H(하이 레벨) 또는 L(로우 레벨)의 디지털 신호, 즉 1 또는 0(제로)의 디지털 신호를 출력한다.
- [0036] 디지털 연산 처리 회로(152)는 디지털 평균화 적분기(152a) 및 디지털 펄스 폭 변조기(152b)를 포함하고 있다. 디지털 평균화 적분기(152a)는 디지털 평균화 회로(152a_1) 및 디지털 적분기(152a_2)를 포함하고 있다. 디지털 연산 처리 회로(152)에는, 외부 클럭 분할기(155)가 접속되고, 클럭 분할기(155)로부터의 클럭 신호가 입력된다.
- [0037] 디지털 연산 처리 회로(152)는 비교기(151)로부터 출력된 디지털 신호를 평균화 처리, 적분화 처리 및 디지털 펄스 폭 변조 처리를 행한다. 디지털 평균화 적분기(152a)에서, 디지털 평균화 회로(152a_1)가 평균화 처리를 행하고, 디지털 적분기(152a_2)가 적분화 처리를 행한다. 디지털 펄스 폭 변조기(152b)가 디지털 펄스 폭 변조 처리를 행한다.
- [0038] 디지털 연산 처리 회로(152)는, 비교기(151)로부터 출력된 디지털 신호(H(하이 레벨) 또는 L(로우 레벨))에 대해 N 비트의 데이터를 유지하고, H 신호와 L 신호의 출현 빈도를 비교하여, 높은 빈도의 신호를 출력한다. 따라서, 디지털 신호가 평균화된다.
- [0039] 도 6 및 도 7은 도 1에 도시된 디지털 평균화 · 적분기(152a) 내에 있으며 평균화를 행하는 디지털 평균화 회로(152a_1)의 구체적인 회로 구성을 도시한다. 도 6에 도시하는 가산 회로(201)는 디지털 평균화 회로(152a_1)의 일례이다.
- [0040] 가산 회로(201)는 매 카운트마다 비교기(151)로부터 신호 COMP의 값을 검출하고, 신호 COMP의 값이 H(하이 레벨)이면, H(하이 레벨)을 유지한다. 예를 들어, 가산 회로(201)는 7 카운트마다 평균화된 디지털 신호 DIG_AVE를 출력한다. 본 실시 형태에서는, H(하이 레벨)의 신호 COMP가 4회 이상 입력되면, H(하이 레벨)의 디지털 신호 DIG_AVE를 출력하고, H(하이 레벨)의 신호 COMP가 3회 이하로 입력되면, L(로우 레벨)의 디지털 신호 DIG_AVE를 출력한다. 또한, 저장된 신호 COMP는 리세트 신호 RST에 의해 8 카운트마다 리세트된다.
- [0041] 가산 회로(201)는 가산기(251), 가산기(252) 및 가산기(253)를 포함한다.
- [0042] 가산기(251)의 제1 단자에는, 가산기(252)의 제1 단자 및 가산기(253)의 제1 단자가 접속되어 있고, 제어 리세트 신호 CNT_RST가 입력된다. 제어 리세트 신호 CNT_RST는 가산 회로(201)의 데이터를 리세트하는 신호이다. 가산기(251)의 제2 단자에는, 비교기(151)로부터 신호 COMP가 입력된다. 가산기(251)의 제3 단자에는, 가산기(252)의 제3 단자 및 가산기(253)의 제3 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다. 가산기(251)의 제4 단자에는, 가산기(252)의 제4 단자 및 가산기(253)의 제4 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 리세트 신호 RST는 후술의 플립플롭(214) 내의 데이터를 리세트하는 신호이다. 가산기(251)의 제5 단자에는, 가산기(252)의 제2 단자가 접속되어 있다. 가산기(251)의 제5 단자는 출력 신호 COUT를 출력한다.
- [0043] 가산기(252)의 제1 단자에는, 가산기(251)의 제1 단자 및 가산기(253)의 제1 단자가 접속되어 있고, 제어 리세트 신호 CNT_RST가 입력된다. 가산기(252)의 제2 단자에는, 가산기(251)의 제5 단자가 접속되어 있다. 가산기(251)의 제5 단자로부터 출력된 출력 신호 COUT는 입력 신호 CIN으로서 가산기(252)의 제2 단자에 입력된다. 가산기(252)의 제3 단자에는, 가산기(251)의 제3 단자 및 가산기(253)의 제3 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다. 가산기(252)의 제4 단자에는, 가산기(251)의 제4 단자 및 가산기(253)의 제4 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 가산기(252)의 제5 단자에는, 가산기(253)의 제2 단자가 접속되어 있다. 가산기(252)의 제5 단자는 출력 신호 COUT를 출력한다.
- [0044] 가산기(253)의 제1 단자에는, 가산기(251)의 제1 단자 및 가산기(252)의 제1 단자가 접속되어 있고, 제어 리세트 신호 CNT_RST가 입력된다. 가산기(253)의 제2 단자에는, 가산기(252)의 제5 단자가 접속되어 있다. 가산기(252)의 제5 단자로부터 출력된 출력 신호 COUT는 입력 신호 CIN으로서 가산기(253)의 제2 단자에 입력된다. 가산기(253)의 제3 단자에는, 가산기(251)의 제3 단자 및 가산기(252)의 제3 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다. 가산기(253)의 제4 단자에는, 가산기(251)의 제4 단자 및 가산기(252)의 제4 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 가산기(253)의 제5 단자는 평균화된 디지털 신호 DIG_AVE를 출력한다.
- [0045] 도 7은 가산기(251) 내지 가산기(253) 각각의 회로도를 도시한다. 가산기(251) 내지 가산기(253)의 각각은 AND 게이트(211), AND 게이트(212), XOR 게이트(213) 및 플립플롭(flip-flop; FF)(214)을 포함하고 있다.

- [0046] AND 게이트(211)의 제1 입력 단자에는, XOR 게이트(213)의 제1 입력 단자가 접속되고, 입력 신호 CIN이 입력된다. AND 게이트(211)의 제2 입력 단자에는, XOR 게이트(213)의 제2 입력 단자 및 플립플롭(214)의 제4 단자가 접속된다. AND 게이트(211)의 출력 단자는 출력 신호 COUT를 출력한다.
- [0047] AND 게이트(212)의 제1 입력 단자에는, 제어 리세트 신호 CNT_RST가 입력된다. AND 게이트(212)의 제2 입력 단자에는, XOR 게이트(213)의 출력 단자가 접속된다. AND 게이트(212)의 출력 단자에는, 플립플롭(214)의 제1 단자가 접속된다.
- [0048] XOR 게이트(213)의 제1 입력 단자에는, AND 게이트(211)의 제1 입력 단자가 접속되어 있고, 입력 신호 CIN이 입력된다. XOR 게이트(213)의 제2 입력 단자에는, AND 게이트(211)의 제2 입력 단자 및 플립플롭(214)의 제4 단자가 접속되어 있다. XOR 게이트(213)의 출력 단자에는, AND 게이트(212)의 제2 입력 단자가 접속되어 있다.
- [0049] 플립플롭(214)의 제1 단자에는, AND 게이트(212)의 출력 단자가 접속되어 있다. 플립플롭(214)의 제2 단자에는, 리세트 신호 RST가 입력된다. 플립플롭(214)의 제3 단자에는, 클럭 신호 CLK가 입력된다. 플립플롭(214)의 제4 단자에는, AND 게이트(211)의 제2 입력 단자 및 XOR 게이트(213)의 제2 입력 단자가 접속되어 있다.
- [0050] 그 다음, 디지털 적분기(152a_2)는, 평균화된 디지털 신호 DIG_AVE에 따라 "-1" 또는 "+1"을 가산하고, 적분을 행한다. 평균화된 디지털 신호 DIG_AVE가 H(하이 레벨)이면, "-1"이 가산되고, 평균화된 디지털 신호 DIG_AVE가 L(로우 레벨)이면, "+1"이 가산된다는 점에 유의한다. 따라서, 평균화된 디지털 신호 DIG_AVE가 적분된다.
- [0051] 도 8은 도 1에서의 디지털 평균화·적분기(152a) 내의 특정 회로이며 적분을 행하는 디지털 적분기(152a_2)(가감산 회로(202))의 회로 구성을 도시한다. 도 8은 또한 도 1의 디지털 펄스 폭 변조기(152b)의 회로 구성(카운트 비교 회로(203) 및 래치 회로(204))를 도시한다.
- [0052] 가감산 회로(202)의 제1 단자에는, 래치 회로(204)의 제1 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 가감산 회로(202)의 제2 단자에는, 클럭 신호 CLK가 입력된다. 가감산 회로(202)의 제3 단자에는, 평균화된 디지털 신호 DIG_AVE가 입력된다. 가감산 회로(202)의 제4 단자에는, 카운트 비교 회로(203)의 제1 단자가 접속되어 있다. 가감산 회로(202)의 제4 단자는 신호 SET-CNT0을 출력한다. 가감산 회로(202)의 제5 단자에는, 카운트 비교 회로(203)의 제1 단자가 접속되어 있다. 가감산 회로(202)의 제6 단자는 신호 SET-CNT1을 출력한다. 가감산 회로(202)의 제6 단자는 신호 SET-CNT2를 출력한다. 가감산 회로(202)의 제7 단자에는, 카운트 비교 회로(203)의 제4 단자가 접속되어 있다. 가감산 회로(202)의 제7 단자는 신호 SET-CNT3을 출력한다. 가감산 회로(202)의 제8 단자에는, 카운트 비교 회로(203)의 제5 단자가 접속되어 있다. 가감산 회로(202)의 제8 단자는 신호 SET-CNT4를 출력한다. 가감산 회로(202)의 제9 단자에는, 카운트 비교 회로(203)의 제6 단자가 접속되어 있다. 가감산 회로(202)의 제9 단자는 신호 SET-CNT5를 출력한다. 가감산 회로(202)의 제10 단자에는, 카운트 비교 회로(203)의 제7 단자가 접속되어 있다. 가감산 회로(202)의 제10 단자는 리미트 신호 LIMIT를 출력한다.
- [0053] 신호 SET-CNT0 내지 신호 SET-CNT5에는, 클럭 신호 CLK가 입력될 때마다, "-1" 또는 "+1"이 가산된다: 입력된 평균화 디지털 신호 DIG_AVE가 H(하이 레벨) 신호인 경우에는 "-1"이 가산되고, 입력된 평균화 디지털 신호 DIG_AVE가 L(로우 레벨) 신호인 경우에는 "+1"이 가산된다. 이어서, 신호 SET-CNT0 내지 신호 SET-CNT5가 출력된다.
- [0054] 신호 SET-CNT0 내지 신호 SET-CNT5는, 후술하는 펄스 폭 W를 갖는 펄스 신호 PULSE를 생성하는 데 필요하다. 본 실시 형태에서는, 신호 SET-CNT0 내지 신호 SET-CNT5에 의해, 2^6 -위상, 즉 64-위상 신호 PULSE가 생성될 수 있다.
- [0055] 리미트 신호 LIMIT는, 후술하는 펄스 폭 W를 갖는 펄스 신호 PULSE를 생성하는 과정에서 위상을 제한하는 신호이다. 본 실시 형태에서는, 리미트 신호 LIMIT에 의해, 예를 들어 신호 SET-CNT0 내지 신호 SET-CNT5는 8 내지 56으로 제한된다. 따라서, 펄스 신호 PULSE의 펄스 폭 W의 최대값이 펄스 신호 PULSE의 주기에, 그리고 펄스 폭 W의 최소값이 0(제로)에 근접하는 것을 방지한다.
- [0056] 카운트 비교 회로(203)의 제1 단자에는, 가감산 회로(202)의 제4 단자가 접속되고, 신호 SET-CNT0이 입력된다. 카운트 비교 회로(203)의 제2 단자에는, 가감산 회로(202)의 제5 단자가 접속되고, 신호 SET-CNT1이 입력된다. 카운트 비교 회로(203)의 제3 단자에는, 가감산 회로(202)의 제6 단자가 접속되고, 신호 SET-CNT2가 입력된다. 카운트 비교 회로(203)의 제4 단자에는, 가감산 회로(202)의 제7 단자가 접속되고, 신호 SET-CNT3이 입력된다.

카운트 비교 회로(203)의 제5 단자에는, 가감산 회로(202)의 제8 단자가 접속되고, 신호 SET-CNT4가 입력된다. 카운트 비교 회로(203)의 제6 단자에는, 가감산 회로(202)의 제9 단자가 접속되고, 신호 SET-CNT5가 입력된다. 카운트 비교 회로(203)의 제7 단자에는, 가감산 회로(202)의 제10 단자가 접속된다. 카운트 비교 회로(203)의 제7 단자는 리미트 신호 LIMIT를 출력한다. 카운트 비교 회로(203)의 제8 단자에는, 신호 CNT0이 입력된다. 카운트 비교 회로(203)의 제9 단자에는, 신호 CNT1이 입력된다. 카운트 비교 회로(203)의 제10 단자에는, 신호 CNT2가 입력된다. 카운트 비교 회로(203)의 제11 단자에는, 신호 CNT3이 입력된다. 카운트 비교 회로(203)의 제12 단자에는, 신호 CNT4가 입력된다. 카운트 비교 회로(203)의 제13 단자에는, 신호 CNT5가 입력된다. 카운트 비교 회로(203)의 제14 단자는 신호 HIGH-SET를 출력한다. 카운트 비교 회로(203)의 제15 단자는 신호 LOW-SET를 출력한다.

- [0057] 신호 CNT0 내지 신호 CNT5는 카운트 신호이다. 본 실시 형태에서는, 신호 CNT0 내지 신호 CNT5의 입력에 의해, 0부터 63까지 카운트할 수 있다.
- [0058] 신호 HIGH-SET 및 신호 LOW-SET는, 펠스 폭 변조 출력 신호 PWM이 H(하이 레벨) 또는 L(로우 레벨)인지를 결정한다. 신호 HIGH-SET가 입력되면, 펠스 폭 변조 출력 신호 PWM은 H(하이 레벨) 신호가 된다. 신호 LOW-SET가 입력되면, 펠스 폭 변조 출력 신호 PWM은 L(로우 레벨) 신호가 된다.
- [0059] 래치 회로(204)의 제1 단자에는, 가감산 회로(202)의 제1 단자가 접속되고, 리세트 신호 RST가 입력된다. 래치 회로(204)의 제2 단자에는, 카운트 비교 회로(203)의 제14 단자가 접속되고, 신호 HIGH-SET가 입력된다. 래치 회로(204)의 제3 단자에는, 카운트 비교 회로(203)의 제15 단자가 접속되고, 신호 LOW-SET가 입력된다. 래치 회로(204)의 제4 단자로부터, 펠스 폭 변조 출력 신호 PWM이 출력된다. 래치 회로(204)의 제5 단자에는, 클럭 신호 CLK가 입력된다.
- [0060] 도 9는 가감산 회로(202)의 구체적인 회로 구조를 도시한다.
- [0061] 도 9에 도시된 가감산 회로(202)는 인버터(261), 인버터(262), NOR 게이트(263), 가산기(254), 가산기(255), 가산기(256), 가산기(257), 가산기(258) 및 가산기(259)를 포함하고 있다.
- [0062] 인버터(261)의 입력 단자에는, 평균화된 디지털 신호 DIG_AVE가 입력된다. 인버터(261)의 출력 단자는 NOR 게이트(263)의 제1 입력 단자에 접속된다.
- [0063] 인버터(262)의 입력 단자에는, NOR 게이트(263)의 제2 입력 단자가 접속되고, 리미트 신호 LIMIT가 입력된다. 인버터(262)의 출력 단자에는, 가산기(254)의 제1 단자가 접속된다.
- [0064] NOR 게이트(263)의 제1 입력 단자에는, 인버터(261)의 출력 단자가 접속된다. NOR 게이트(263)의 제2 입력 단자에는, 인버터(262)의 입력 단자가 접속되고, 리미트 신호 LIMIT가 입력된다.
- [0065] 가산기(254)의 제1 단자에는, 인버터(262)의 출력 단자가 접속된다. 가산기(254)의 제2 단자에는, 가산기(255)의 제2 단자, 가산기(256)의 제2 단자, 가산기(257)의 제2 단자, 가산기(258)의 제2 단자 및 가산기(259)의 제2 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다. 가산기(254)의 제3 단자에는, 가산기(255)의 제3 단자, 가산기(256)의 제3 단자, 가산기(257)의 제3 단자, 가산기(258)의 제3 단자 및 가산기(259)의 제3 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 가산기(254)의 제4 단자에는, NOR 게이트(263)의 출력 단자, 가산기(255)의 제4 단자, 가산기(256)의 제4 단자, 가산기(257)의 제4 단자, 가산기(258)의 제4 단자 및 가산기(259)의 제4 단자가 접속되어 있다. 가산기(254)의 제5 단자에는, 가산기(255)의 제1 단자가 접속되어 있고, 가산기(254)의 제5 단자는 신호 SET_CNT0을 출력한다.
- [0066] 가산기(255)의 제1 단자에는, 가산기(254)의 제5 단자가 접속되고, 신호 SET_CNT0이 입력된다. 가산기(255)의 제2 단자에는, 가산기(254)의 제2 단자, 가산기(256)의 제2 단자, 가산기(257)의 제2 단자, 가산기(258)의 제2 단자 및 가산기(259)의 제2 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다. 가산기(255)의 제3 단자에는, 가산기(254)의 제3 단자, 가산기(256)의 제3 단자, 가산기(257)의 제3 단자, 가산기(258)의 제3 단자 및 가산기(259)의 제3 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 가산기(255)의 제4 단자에는, NOR 게이트(263)의 출력 단자, 가산기(254)의 제4 단자, 가산기(256)의 제4 단자, 가산기(257)의 제4 단자, 가산기(258)의 제4 단자 및 가산기(259)의 제4 단자가 접속되어 있다. 가산기(255)의 제5 단자에는, 가산기(256)의 제1 단자가 접속되어 있고, 가산기(255)의 제5 단자는 신호 SET_CNT1을 출력한다.
- [0067] 가산기(256)의 제1 단자에는, 가산기(255)의 제5 단자가 접속되고, 신호 SET_CNT1이 입력된다. 가산기(256)의 제2 단자에는, 가산기(254)의 제2 단자, 가산기(255)의 제2 단자, 가산기(257)의 제2 단자, 가산기(258)의 제2 단자 및 가산기(259)의 제2 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다.

단자 및 가산기(259)의 제2 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다. 가산기(256)의 제3 단자에는, 가산기(254)의 제3 단자, 가산기(255)의 제3 단자, 가산기(257)의 제3 단자, 가산기(258)의 제3 단자 및 가산기(259)의 제3 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 가산기(256)의 제4 단자에는, NOR 게이트(263)의 출력 단자, 가산기(254)의 제4 단자, 가산기(255)의 제4 단자, 가산기(257)의 제4 단자, 가산기(258)의 제4 단자 및 가산기(259)의 제4 단자가 접속되어 있다. 가산기(256)의 제5 단자에는, 가산기(257)의 제1 단자가 접속되어 있고, 가산기(256)의 제5 단자는 신호 SET_CNT2를 출력한다.

[0068] 가산기(257)의 제1 단자에는, 가산기(256)의 제5 단자가 접속되고, 신호 SET_CNT2가 입력된다. 가산기(257)의 제2 단자에는, 가산기(254)의 제2 단자, 가산기(255)의 제2 단자, 가산기(256)의 제2 단자, 가산기(258)의 제2 단자 및 가산기(259)의 제2 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다. 가산기(257)의 제3 단자에는, 가산기(254)의 제3 단자, 가산기(255)의 제3 단자, 가산기(256)의 제3 단자, 가산기(258)의 제3 단자 및 가산기(259)의 제3 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 가산기(257)의 제4 단자에는, NOR 게이트(263)의 출력 단자, 가산기(254)의 제4 단자, 가산기(255)의 제4 단자, 가산기(256)의 제4 단자, 가산기(258)의 제4 단자 및 가산기(259)의 제4 단자가 접속되어 있다. 가산기(257)의 제5 단자에는, 가산기(258)의 제1 단자가 접속되어 있고, 가산기(257)의 제5 단자는 신호 SET_CNT3을 출력한다.

[0069] 가산기(258)의 제1 단자에는, 가산기(257)의 제5 단자가 접속되고, 신호 SET_CNT3이 입력된다. 가산기(258)의 제2 단자에는, 가산기(254)의 제2 단자, 가산기(255)의 제2 단자, 가산기(256)의 제2 단자, 가산기(257)의 제2 단자 및 가산기(259)의 제2 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다. 가산기(258)의 제3 단자에는, 가산기(254)의 제3 단자, 가산기(255)의 제3 단자, 가산기(256)의 제3 단자, 가산기(257)의 제3 단자 및 가산기(259)의 제3 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 가산기(258)의 제4 단자에는, NOR 게이트(263)의 출력 단자, 가산기(254)의 제4 단자, 가산기(255)의 제4 단자, 가산기(256)의 제4 단자, 가산기(257)의 제4 단자 및 가산기(259)의 제4 단자가 접속되어 있다. 가산기(258)의 제5 단자에는, 가산기(259)의 제1 단자가 접속되어 있고, 가산기(258)의 제5 단자는 신호 SET_CNT4를 출력한다.

[0070] 가산기(259)의 제1 단자에는, 가산기(258)의 제5 단자가 접속되고, 신호 SET_CNT4가 입력된다. 가산기(259)의 제2 단자에는, 가산기(254)의 제2 단자, 가산기(255)의 제2 단자, 가산기(256)의 제2 단자, 가산기(257)의 제2 단자 및 가산기(258)의 제2 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다. 가산기(259)의 제3 단자에는, 가산기(254)의 제3 단자, 가산기(255)의 제3 단자, 가산기(256)의 제3 단자, 가산기(257)의 제3 단자 및 가산기(258)의 제3 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 가산기(259)의 제4 단자에는, NOR 게이트(263)의 출력 단자, 가산기(254)의 제4 단자, 가산기(255)의 제4 단자, 가산기(256)의 제4 단자, 가산기(257)의 제4 단자 및 가산기(258)의 제4 단자가 접속되어 있다. 가산기(259)의 제5 단자는 신호 SET_CNT5를 출력한다.

[0071] 도 10은 가산기(254) 내지 가산기(259) 각각의 회로도를 도시한다. 가산기(254) 내지 가산기(259)의 각각은 AND 게이트(221), AND 게이트(222), OR 게이트(224), XOR 게이트(225), XOR 게이트(226) 및 플립플롭(227)을 포함한다.

[0072] AND 게이트(221)의 제1 입력 단자에는, XOR 게이트(225)의 제1 입력 단자가 접속되어 있고, 제어 신호 CONT가 입력된다. 제어 신호 CONT는, 후속 단계에서 가산 또는 감산 중 어느 하나를 수행할 것을 가산기에 나타내는 신호이다. AND 게이트(221)의 제2 입력 단자에는, XOR 게이트(225)의 제2 입력 단자 및 플립플롭(227)의 제4 단자가 접속되어 있다. AND 게이트(221)의 출력 단자에는, OR 게이트(224)의 제1 입력 단자가 접속되어 있다.

[0073] AND 게이트(222)의 제1 입력 단자에는, XOR 게이트(226)의 제1 입력 단자가 접속되어 있고, 입력 신호 CIN이 입력된다. AND 게이트(222)의 제2 입력 단자에는, XOR 게이트(225)의 출력 단자 및 XOR 게이트(226)의 제2 입력 단자가 접속되어 있다. AND 게이트(222)의 출력 단자에는, OR 게이트(224)의 제2 입력 단자가 접속되어 있다.

[0074] OR 게이트(224)의 제1 입력 단자에는, AND 게이트(221)의 출력 단자가 접속되어 있다. OR 게이트(224)의 제2 입력 단자에는, AND 게이트(222)의 출력 단자가 접속되어 있다. OR 게이트(224)의 출력 단자는 출력 신호 COUT를 출력한다.

[0075] XOR 게이트(225)의 제1 입력 단자에는, AND 게이트(221)의 제1 입력 단자가 접속되어 있고, 제어 신호 CONT가 입력된다. XOR 게이트(225)의 제2 입력 단자에는, AND 게이트(221)의 제2 입력 단자 및 플립플롭(227)의 제4 단자가 접속되어 있다. XOR 게이트(225)의 출력 단자에는, AND 게이트(222)의 제2 입력 단자 및 XOR 게이트(226)의 제2 입력 단자가 접속되어 있다.

[0076] XOR 게이트(226)의 제1 입력 단자에는, AND 게이트(222)의 제1 입력 단자가 접속되어 있고, 입력 신호 CIN이 입

력된다. XOR 게이트(226)의 제2 입력 단자에는, AND 게이트(222)의 제2 입력 단자 및 XOR 게이트(225)의 출력 단자가 접속되어 있다. XOR 게이트(226)의 출력 단자에는, 플립플롭(227)의 제1 단자에 접속되어 있다.

[0077] 플립플롭(227)의 제1 단자에는, XOR 게이트(226)의 출력 단자가 접속되어 있다. 플립플롭(227)의 제2 단자에는, 리세트 신호 RST가 입력된다. 플립플롭(227)의 제3 단자에는, 클럭 신호 CLK가 입력된다. 플립플롭(227)의 제4 단자에는, AND 게이트(221)의 제2 입력 단자 및 XOR 게이트(225)의 제2 입력 단자가 접속되어 있다.

[0078] 디지털 펄스 폭 변조기(152b)는 적분된 디지털 신호에 따라 펄스 폭 변조의 펄스 폭을 설정한다. 따라서, 디지털 펄스 폭 변조 처리가 행해진다. 디지털 펄스 폭 변조된 펄스 폭 변조 출력 신호 PWM은 펄스 폭 변조 출력 드라이버(153)에 입력된다.

[0079] 도 11 및 도 12는 디지털 펄스 폭 변조기(152b)의 구체적인 회로 구성을 도시한다. 도 11에 도시된 카운트 비교 회로(203) 및 도 12에 도시된 래치 회로(204)는 디지털 펄스 폭 변조기(152b)의 구체 예이다. 카운트 비교 회로(203)는 신호 SET_CNT0 내지 신호 SET_CNT5에 의해 결정된 듀티비의 미리 정해진 값과 신호 CNT0 내지 신호 CNT5의 값을 비교하여, 이들이 일치하면 펄스 폭 변조 출력 신호 PWM을 생성한다.

[0080] 도 11은 카운트 비교 회로(203)의 회로도를 도시한다.

[0081] 카운트 비교 회로(203)는 XOR 게이트(271), XOR 게이트(272), XOR 게이트(273), XOR 게이트(274), XOR 게이트(275), XOR 게이트(276), NAND 게이트(277), AND 게이트(278), OR 게이트(279), NAND 게이트(281) 및 NAND 게이트(282)를 포함하고 있다.

[0082] XOR 게이트(271)의 제1 입력 단자에는, NAND 게이트(281)의 제1 입력 단자가 접속되어 있고, 신호 CNT0이 입력된다. XOR 게이트(271)의 제2 입력 단자에는, 신호 SET_CNT0이 입력된다. XOR 게이트(271)의 출력 단자에는, NAND 게이트(282)의 제1 입력 단자가 접속되어 있다.

[0083] XOR 게이트(272)의 제1 입력 단자에는, NAND 게이트(281)의 제2 입력 단자가 접속되어 있고, 신호 CNT1이 입력된다. XOR 게이트(272)의 제2 입력 단자에는, 신호 SET_CNT1이 입력된다. XOR 게이트(272)의 출력 단자에는, NAND 게이트(282)의 제2 입력 단자가 접속되어 있다.

[0084] XOR 게이트(273)의 제1 입력 단자에는, NAND 게이트(281)의 제3 입력 단자가 접속되어 있고, 신호 CNT2가 입력된다. XOR 게이트(273)의 제2 입력 단자에는, 신호 SET_CNT2가 입력된다. XOR 게이트(273)의 출력 단자에는, NAND 게이트(282)의 제3 입력 단자가 접속되어 있다.

[0085] XOR 게이트(274)의 제1 입력 단자에는, NAND 게이트(281)의 제4 입력 단자가 접속되어 있고, 신호 CNT3이 입력된다. XOR 게이트(274)의 제2 입력 단자에는, NAND 게이트(277)의 제1 입력 단자 및 AND 게이트(278)의 제1 입력 단자가 접속되어 있고, 신호 SET_CNT3이 입력된다. XOR 게이트(274)의 출력 단자에는, NAND 게이트(282)의 제4 입력 단자가 접속되어 있다.

[0086] XOR 게이트(275)의 제1 입력 단자에는, NAND 게이트(281)의 제5 입력 단자가 접속되어 있고, 신호 CNT4가 입력된다. XOR 게이트(275)의 제2 입력 단자에는, NAND 게이트(277)의 제2 입력 단자 및 AND 게이트(278)의 제2 입력 단자가 접속되어 있고, 신호 SET_CNT4가 입력된다. XOR 게이트(275)의 출력 단자에는, NAND 게이트(282)의 제5 입력 단자가 접속되어 있다.

[0087] XOR 게이트(276)의 제1 입력 단자에는, NAND 게이트(281)의 제6 입력 단자가 접속되어 있고, 신호 CNT5가 입력된다. XOR 게이트(276)의 제2 입력 단자에는, NAND 게이트(277)의 제3 입력 단자 및 AND 게이트(278)의 제3 입력 단자가 접속되어 있고, 신호 SET_CNT5가 입력된다. XOR 게이트(276)의 출력 단자에는, NAND 게이트(282)의 제6 입력 단자가 접속되어 있다.

[0088] NAND 게이트(277)의 제1 입력 단자에는, XOR 게이트(274)의 제2 입력 단자 및 AND 게이트(278)의 제1 입력 단자가 접속되어 있고, 신호 SET_CNT3이 입력된다. NAND 게이트(277)의 제2 입력 단자에는, XOR 게이트(275)의 제2 입력 단자 및 AND 게이트(278)의 제2 입력 단자가 접속되어 있고, 신호 SET_CNT4가 입력된다. NAND 게이트(277)의 제3 입력 단자에는, XOR 게이트(276)의 제2 입력 단자 및 AND 게이트(278)의 제3 입력 단자가 접속되어 있고, 신호 SET_CNT5가 입력된다. NAND 게이트(277)의 출력 단자에는, OR 게이트(279)의 제1 입력 단자가 접속되어 있다.

[0089] AND 게이트(278)의 제1 입력 단자에는, XOR 게이트(274)의 제2 입력 단자 및 NAND 게이트(277)의 제1 입력 단자

가 접속되어 있고, 신호 SET_CNT3이 입력된다. AND 게이트(278)의 제2 입력 단자에는, XOR 게이트(275)의 제2 입력 단자 및 NAND 게이트(277)의 제2 입력 단자가 접속되어 있고, 신호 SET_CNT4가 입력된다. AND 게이트(278)의 제3 입력 단자에는, XOR 게이트(276)의 제2 입력 단자 및 NAND 게이트(277)의 제3 입력 단자가 접속되어 있고, 신호 SET_CNT5가 입력된다. AND 게이트(278)의 출력 단자에는, OR 게이트(279)의 제2 입력 단자가 접속되어 있다.

[0090] OR 게이트(279)의 제1 입력 단자에는, NAND 게이트(277)의 출력 단자가 접속되어 있다. OR 게이트(279)의 제2 입력 단자에는, AND 게이트(278)의 출력 단자가 접속되어 있다. OR 게이트(279)의 출력 단자는 리미트 신호 LIMIT를 출력한다.

[0091] NAND 게이트(281)의 제1 입력 단자에는, XOR 게이트(271)의 제1 입력 단자가 접속되어 있고, 신호 CNT0이 입력된다. NAND 게이트(281)의 제2 입력 단자에는, XOR 게이트(272)의 제1 입력 단자가 접속되어 있고, 신호 CNT1이 입력된다. NAND 게이트(281)의 제3 입력 단자에는, XOR 게이트(273)의 제1 입력 단자가 접속되어 있고, 신호 CNT2가 입력된다. NAND 게이트(281)의 제4 입력 단자에는, XOR 게이트(274)의 제1 입력 단자가 접속되어 있고, 신호 CNT3이 입력된다. NAND 게이트(281)의 제5 입력 단자에는, XOR 게이트(275)의 제1 입력 단자가 접속되어 있고, 신호 CNT4가 입력된다. NAND 게이트(281)의 제6 입력 단자에는, XOR 게이트(276)의 제1 입력 단자가 접속되어 있고, 신호 CNT5가 입력된다. NAND 게이트(281)의 출력 단자는 신호 LOW-SET를 출력한다.

[0092] NAND 게이트(282)의 제1 입력 단자에는, XOR 게이트(271)의 출력 단자가 접속된다. NAND 게이트(282)의 제2 입력 단자에는, XOR 게이트(272)의 출력 단자가 접속된다. NAND 게이트(282)의 제3 입력 단자에는, XOR 게이트(273)의 출력 단자가 접속된다. NAND 게이트(282)의 제4 입력 단자에는, XOR 게이트(274)의 출력 단자가 접속된다. NAND 게이트(282)의 제5 입력 단자에는, XOR 게이트(275)의 출력 단자가 접속된다. NAND 게이트(282)의 제6 입력 단자에는, XOR 게이트(276)의 출력 단자가 접속된다. NAND 게이트(282)의 출력 단자는 신호 HIGH-SET를 출력한다.

[0093] 도 12는 래치 회로(204)의 회로도를 도시한다. 래치 회로(204)는 플립플롭(241), 플립플롭(242), NOR 게이트(243) 및 NOR 게이트(244)를 포함한다.

[0094] 플립플롭(241)의 제1 단자에는, 신호 LOW-SET가 입력된다. 플립플롭(241)의 제2 단자에는, 플립플롭(242)의 제2 단자, NOR 게이트(243)의 제2 입력 단자 및 NOR 게이트(244)의 제2 입력 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 플립플롭(241)의 제3 단자에는, 플립플롭(242)의 제3 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다. 플립플롭(241)의 제4 단자에는, NOR 게이트(243)의 제1 입력 단자가 접속되어 있다.

[0095] 플립플롭(242)의 제1 단자에는, 신호 HIGH-SET가 입력된다. 플립플롭(242)의 제2 단자에는, 플립플롭(241)의 제2 단자, NOR 게이트(243)의 제2 입력 단자 및 NOR 게이트(244)의 제2 입력 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. 플립플롭(242)의 제3 단자에는, 플립플롭(241)의 제3 단자가 접속되어 있고, 클럭 신호 CLK가 입력된다. 플립플롭(242)의 제4 단자에는, NOR 게이트(244)의 제1 입력 단자가 접속되어 있다.

[0096] NOR 게이트(243)의 제1 입력 단자에는, 플립플롭(241)의 제4 단자가 접속되어 있다. NOR 게이트(243)의 제2 입력 단자에는, 플립플롭(241)의 제2 단자, 플립플롭(242)의 제2 단자 및 NOR 게이트(244)의 제2 입력 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. NOR 게이트(243)의 제3 입력 단자에는, NOR 게이트(244)의 출력 단자가 접속되어 있다. NOR 게이트(243)의 출력 단자에는, NOR 게이트(244)의 제3 입력 단자가 접속되어 있다.

[0097] NOR 게이트(244)의 제1 입력 단자에는, 플립플롭(242)의 제4 단자가 접속되어 있다. NOR 게이트(244)의 제2 입력 단자에는, 플립플롭(241)의 제2 단자, 플립플롭(242)의 제2 단자 및 NOR 게이트(243)의 제2 입력 단자가 접속되어 있고, 리세트 신호 RST가 입력된다. NOR 게이트(244)의 제3 입력 단자에는, NOR 게이트(243)의 출력 단자가 접속되어 있다. NOR 게이트(244)의 출력 단자에는, NOR 게이트(244)의 제3 입력 단자가 접속되어 있다. NOR 게이트(244)의 출력 단자는 펄스 폭 변조 출력 신호 PWM을 출력한다.

[0098] 이제, 도 2의 (a) 내지 (c)를 참조하여 디지털 펄스 폭 변조에 대해서 설명한다.

[0099] 디지털 펄스 신호 PULSE의 펄스 폭은 W, 그 펄스 주기는 T로 정한다(도 2의 (a) 참조). 펄스 신호 PULSE는 클럭 분할기(155)로부터의 클럭 및 신호 SET_CNT0 내지 SET_CNT5에 의해 제어되는 위상에 기초하여 생성된다. 펄스 신호 PULSE는 펄스 폭 변조 출력 신호 PWM에 상당한다. 드티비 Di는, 이하의 식 1에 의해 나타낸다.

수학식 1

$$D_i = (W/T) = (i/2^n) \quad (i=1, 2, \dots, m)$$

- [0100] $D_i = (W/T) = (i/2^n) \quad (i=1, 2, \dots, m)$
- [0101] 도 2의 (a)는 식(1)에서, $n=6$ 및 $i=32$ 인 경우의 펄스 신호 PULSE를 나타내고, 도 2의 (b)는 식(1)에서, $n=6$ 및 $i=48$ 인 경우의 펄스 신호 PULSE를 나타내며, 도 2의 (c)는 식(1)에서, $n=6$ 및 $i=16$ 인 경우의 펄스 신호 PULSE를 나타낸다.
- [0102] $i=32$ 이면, 뉴티비 D32는 0.5이고, $i=48$ 이면, 뉴티비 D48은 0.75이며, $i=16$ 이면, 뉴티비 D16은 0.25이다. 후술하는 전원 전압 Vdd는 뉴티비에 따라 생성된다. 디지털 신호가 아날로그 신호로 변환됨으로써, DA 컨버터에 의한 처리와 유사한 처리가 수행된다.
- [0103] 예로서, 1 MHz의 클럭을 이용하여 펄스 폭 변조되는 15.525 kHz의 펄스 폭 변조 출력 신호를 출력하는 방법에 대해서 설명한다.
- [0104] 1 MHz($1 \mu s$) 클럭을 이용하여, 15.525 kHz($64 \mu s$)의 펄스 폭 변조 출력 신호를 생성하면, 64-위상의 펄스 폭 변조 출력 신호가 출력될 수 있다.
- [0105] 디지털 펄스 폭 변조 처리된 펄스 폭 변조 출력 신호는 펄스 폭 변조 출력 드라이버(153)에 입력된다. 펄스 폭 변조 출력 신호는 펄스 폭 변조 출력 드라이버(153)에 의해 신호 강도를 높일 수 있다. 즉, 펄스 폭 변조 출력 신호는 펄스 폭 변조 출력 드라이버(153)에 의해 증폭된다.
- [0106] 신호 강도를 높인 펄스 폭 변조 출력 신호는 평활화 회로인 로우 패스 필터(154)에 입력된다.
- [0107] 로우 패스 필터(154)는 펄스 폭 변조 출력 신호의 고주파 성분을 차단하고, 펄스 폭 변조 출력 신호는 평활화된다. 로우 패스 필터(154)에 입력된 펄스 폭 변조 출력 신호를 이용하여, 뉴티비에 상당하는 전압이 출력된다. 출력 전압 Verr는, 출력 전압 $V_{err} = (\text{뉴티비}) \times (\text{펄스 폭 변조 출력 드라이버}(153)\text{의 전원 전압})$ 으로 나타낸다.
- [0108] 즉, 디지털 신호가 아날로그 신호가 되고; 따라서 DA 컨버터에 의한 공정과 유사한 공정이 행해진다. 또한, 로우 패스 필터(154)에 의해, 주파수 응답이 행해진다.
- [0109] 본 실시 형태에서는, 디지털 제어 회로(150)를 이용함으로써, 전원 회로(101)의 회로 동작의 열화를 억제할 수 있다.
- [0110] 또한, 전원 회로(101) 내에 디지털 제어 회로(150)를 이용함으로써, 전원 회로의 면적을 줄일 수 있다.
- [0111] 제어 회로(103)의 다른 소자에 대해서, 이하에 설명한다.
- [0112] 삼각파 발생 회로(121)는 펄스 폭 변조 신호에 필요한 삼각파 Vosc을 발생시킨다.
- [0113] 펄스 폭 변조 출력 드라이버(123)의 반전 입력 단자에는 디지털 제어 회로(150)의 출력 전압 Verr가 입력되고, 비반전 입력 단자에는 삼각파 발생 회로(121)에 의해 생성된 삼각파 Vosc이 입력된다.
- [0114] 펄스 폭 변조 출력 드라이버(123)는 디지털 제어 회로(150)의 출력 전압 Verr와 삼각파 Vosc의 신호 레벨을 비교한다. 삼각파 Vosc의 신호 레벨이 디지털 제어 회로(150)의 출력 전압 Verr의 신호 레벨보다 큰 경우에는, 펄스 폭 변조 출력 드라이버(123)는 H(하이 레벨)을 펄스 폭 변조 신호로서 트랜지스터(111)에 출력한다. 삼각파 Vosc의 신호 레벨이 디지털 제어 회로(150)의 출력 전압 Verr의 신호 레벨보다 작은 경우에는, 펄스 폭 변조 출력 드라이버(123)는 L(로우 레벨)을 펄스 폭 변조 신호로서 트랜지스터(111)에 출력한다.
- [0115] 아날로그 회로를 감소시킴으로써, 회로 내의 소자의 특성이 변동되어도, 회로의 동작의 열화를 억제할 수 있다.
- [0116] 또한, 회로의 동작의 열화를 억제함으로써, 상기 전원 회로를 포함하는 전기 소자, 및 이러한 전기 소자를 포함하는 전기 기기에 문제점을 야기시키는 요인을 줄이는 것이 가능하게 된다.
- [0117] 아날로그 회로를 감소시킴으로써, 면적이 큰 아날로그 회로의 설치를 억제할 수 있다.
- [0118] 면적이 큰 아날로그 회로의 설치를 억제함으로써, 집적 회로 및 이 집적 회로를 포함하는 전기 기기의 면적을 줄이는 것이 가능하다. 따라서, 집적 회로 및 이 집적 회로를 포함하는 전기 기기의 비용을 줄일 수 있다.
- [0119] 또한, 디지털 회로는 1 또는 0(제로) 중 어느 하나만을 출력하기 때문에, 디지털 회로 내의 모든 트랜지스터는

동일 도전형, 즉 n-형 트랜지스터일 수 있다. 복잡한 아날로그 신호 처리는, 동일 도전형을 갖는 아날로그 회로 트랜지스터에서는 매우 어렵다. 따라서, 본 실시 형태에서는, 디지털 회로는 동일 도전형을 갖는 트랜지스터를 이용해서 제작될 수 있다.

[0120] [실시 형태 2]

[0121] 본 실시 형태에서는, 제1 실시 형태에서 설명된 트랜지스터(111), 및 비교기(151), 디지털 연산 처리 회로(152) 및 펄스 폭 변조 출력 드라이버(153)의 각각에 포함되는 트랜지스터에 대해서 설명한다.

[0122] 본 실시 형태는 도 3의 (a)와 (b), 및 도 4의 (a) 내지 (e)을 이용하여 설명한다.

[0123] 도 3의 (a)와 (b)는 트랜지스터의 상면 및 단면 구조의 일례를 나타낸다. 도 3의 (a)는 톱 게이트 구조의 트랜지스터(410)의 상면도이며, 도 3의 (b)는 도 3의 (a)의 선 A-A'을 따라 절취된 단면도이다.

[0124] 트랜지스터(410)는, 산화물 반도체막(412), 제1 전극(415a)(소스 전극 및 드레인 전극의 한쪽), 제2 전극(415b)(소스 전극 및 드레인 전극의 다른 쪽), 게이트 절연막(402) 및 게이트 전극(411)을 포함한다. 제1 전극(415a) 및 제2 전극(415b)에는 각각 제1 배선(414a) 및 제2 배선(414b)이 접하고 전기적으로 접속된다. 트랜지스터(410)에서, 소스 전극 및 드레인 전극인 제1 전극(415a) 및 제2 전극(415b)은 채널 형성 영역을 포함하는 산화물 반도체막(412)의 상면에서 접하고 있으므로, 트랜지스터(410)는 톱-콘택트형 트랜지스터라고 말할 수가 있다.

[0125] 도 3의 (a)에 도시하는 트랜지스터(410)는 싱글 게이트 구조의 트랜지스터이지만, 개시된 발명의 한 실시 형태는, 이 구성에 한정되는 것이 아님에 유의해야 한다. 트랜지스터는 게이트 전극들과 채널 형성 영역들을 포함하는 멀티 게이트 구조의 트랜지스터일 수 있다.

[0126] 도 3의 (a)와 (b)에 도시하는 트랜지스터는, 채널 형성 영역을 포함하는 산화물 반도체막(412) 위에 형성된 제1 전극(415a)(소스 전극 및 드레인 전극의 한쪽) 및 제2 전극(415b)(소스 전극 및 드레인 전극의 다른 쪽)을 포함하지만, 개시된 발명의 한 실시 형태는 이 구성에 한정되는 것이 아님에 유의해야 한다. 채널 형성 영역을 포함하는 산화물 반도체막(412)은 제1 전극(415a)(소스 전극 및 드레인 전극의 한쪽) 및 제2 전극(415b)(소스 전극 및 드레인 전극의 다른 쪽) 위에 형성될 수 있다.

[0127] 또한, 도 3의 (a)와 (b)에 도시하는 트랜지스터는 톱 게이트형 트랜지스터이지만, 개시된 발명의 한 실시 형태는 이 구성에 한정되는 것은 아니다. 트랜지스터(410)는 보텀 게이트형 트랜지스터일 수 있다. 또한, 트랜지스터(410)가 보텀 게이트형 트랜지스터이면, 소스 전극 및 드레인 전극 또는 채널 형성 영역을 포함하는 산화물 반도체막 중 어느 하나가 다른 쪽 위에 놓일 수 있다. 즉, 채널 형성 영역을 포함하는 산화물 반도체막 위에, 소스 전극 및 드레인 전극이 형성될 수 있고; 대안적으로 소스 전극 및 드레인 전극 위에, 채널 형성 영역을 포함하는 산화물 반도체막이 형성될 수 있다.

[0128] 트랜지스터(410)의 산화물 반도체막(412)으로서, 고순도의 산화물 반도체막을 이용하면, 트랜지스터(410)의 특성이 향상된다. 이러한 고순도의 산화물 반도체막의 특성 및 고순도의 산화물 반도체막을 포함하는 트랜지스터의 특징에 대해서는, 이하에서 상세히 설명한다.

[0129] 고순도의 산화물 반도체막에서, 산화물 반도체막을 포함하는 트랜지스터의 전기 특성에 악영향을 끼치는 불순물은 매우 적은 레벨까지 저감된다. 전기 특성에 악영향을 끼치는 불순물의 대표 예로서는, 수소를 들 수 있다. 수소는, 산화물 반도체막 내에서 캐리어의 공여체(도너(donor))가 될 수 있는 불순물이다. 산화물 반도체가 다량의 수소를 포함하게 되면, 산화물 반도체막은 n-형 도전성을 가질 수 있다. 따라서, 수소가 다량으로 포함된 산화물 반도체를 포함하는 트랜지스터는, 노멀리-온(normally-on) 트랜지스터일 수 있고, 트랜지스터의 온/오프 비는 충분히 높지 않을 수 있다. 본 명세서에서, "고순도의 산화물 반도체"는, 수소가 최대한 저감되어 있는 진성 또는 사실상 진성인 산화물 반도체이다. 고순도의 산화물 반도체의 일례로서는, 캐리어 농도가 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 또는 $6.0 \times 10^{10}/\text{cm}^3$ 미만인 산화물 반도체를 들 수 있다. 산화물 반도체막에 포함되는 수소를 철저하게 제거함으로써 얻어지는 고순도의 산화물 반도체를 채널 형성 영역용으로 포함하는 트랜지스터는, 예를 들어 실리콘을 채널 형성 영역에 이용하는 트랜지스터보다 오프 전류가 매우 작다. 또한, 본 실시 형태에서는, 고순도의 산화물 반도체를 포함하는 트랜지스터가 n-채널형 트랜지스터인 것이 이하에서 설명된다.

[0130] 본 명세서에서, 오프 전류(leak) 전류라고도 함)는, 실온에서 -20 V 이상 -5 V 이하의 범위에 있는 임의의 게이트 전압을 인가했을 때에, 양의 임계 전압 V_{th} 를 갖는 n-채널형 트랜지스터의 소스-드레인 사이에 흐르는

전류를 나타냄에 유의해야 한다. 실온은 15°C 이상 25°C 이하임에 유의해야 한다. 본 명세서에 개시하는 산화물 반도체를 이용하는 트랜지스터의 채널 폭(W)의 1 μ m당 전류값은 실온에서 100 zA 이하, 바람직하게는 10 zA 이하이다.

- [0131] 트랜지스터가 오프 상태 일 때의 저항값(오프 저항 R)은 오프 전류와 드레인 전압이 얻어질 때 음의 법칙을 이용하여 산출할 수 있다. 또한, 채널 형성 영역의 단면적 A와 채널 길이 L이 얻어지면, $\rho = RA/L$ 의 식(R는 오프 저항)을 이용하여 오프 저항율 ρ 을 산출할 수도 있다. 오프 저항율은 $1 \times 10^9 \Omega \cdot m$ 이상(또는 $1 \times 10^{10} \Omega \cdot m$ 이상)이 바람직하다. 단면적 A는, 채널 형성 영역의 막 두께를 d라고 하고 채널 폭을 W라고 할 때, 식 $A = dW$ 로부터 산출할 수 있다.
- [0132] 또한, 산화물 반도체막의 에너지 캡은 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다.
- [0133] 또한, 고순도의 산화물 반도체를 포함하는 트랜지스터는 온도 특성이 양호하다. 구체적으로, -25°C로부터 150 °C까지의 온도 범위에서, 온 전류, 오프 전류, 전계 효과 이동도, 서브임계값(S 값) 및 임계 전압 등의 트랜지스터의 전류-전압 특성에서의 변동이 거의 없다. 이는 온도에 의한 전류 전압 특성의 열화가 거의 보이지 않는다는 것을 의미한다.
- [0134] 다음, 산화물 반도체를 포함하는 트랜지스터의 핫 캐리어 열화에 대해서 설명한다.
- [0135] 핫 캐리어 열화는, 고속으로 가속된 전자가 드레인 근방에서 채널로부터 게이트 절연막 내에 주입되어서 고정 전하가 되거나, 게이트 절연막과 산화물 반도체막 간의 계면에서 트랩 레벨을 형성함으로써, 임계 전압의 변동이나 게이트 리크 전류 등의 열화를 발생시키는 현상이다. 핫 캐리어 열화의 요인으로서는, 채널-핫-전자 주입(CHE 주입)과 드레인-애벌런치-핫-캐리어 주입(DAHC 주입)이 있다.
- [0136] 실리콘의 밴드 캡이 1.12 eV 정도로 작기 때문에, 전자가 애벌런치 브레이크다운 때문에 애벌런치처럼 발생하기 쉽고, 고속으로 가속되고 게이트 절연막에의 장벽을 초과하는 전자 수가 증가한다. 한편, 본 실시 형태에서 도시하는 산화물 반도체는, 밴드 캡이 3.15 eV로 넓기 때문에, 애벌런치 브레이크다운이 발생하기 어렵고, 실리콘과 비교해서 핫 캐리어 열화에 관한 내성이 높다.
- [0137] 높은 브레이크다운 전압을 갖는 재료 중 하나인 실리콘 카바이드의 밴드 캡과 산화물 반도체의 밴드 캡이 거의 동일하다는 점에 유의해야 한다. 그러나, 실리콘 카바이드보다 산화물 반도체의 이동도가 2자릿수 정도만큼 작기 때문에, 전자가 가속되기 어렵다. 또한, 게이트 절연막인 산화막과 산화물 반도체 간의 장벽이 실리콘 카바이드, 질화 갈륨 또는 실리콘과 산화막 간의 장벽보다 크기 때문에, 산화물 반도체에서는, 산화막에 주입된 전자 수가 지극히 적다. 산화막에 주입된 전자 수가 지극히 적기 때문에, 실리콘 카바이드, 질화 갈륨 또는 실리콘보다, 산화물 반도체가, 핫 캐리어 열화가 적고 드레인 브레이크다운 전압이 높다. 따라서, 채널로서 기능하는 산화물 반도체와 소스 전극 및 드레인 전극들 사이에, 의도적으로 저농도 불순물 영역을 형성할 필요가 없으므로; 트랜지스터 구조가 지극히 간단해지고, 제조 공정 수를 줄일 수 있다.
- [0138] 이상과 같이, 산화물 반도체를 포함하는 트랜지스터는 드레인 브레이크다운 전압이 높은데, 구체적으로는 100 V 이상, 바람직하게는 500 V, 더욱 바람직하게는 1 kV 이상의 드레인 브레이크다운 전압을 포함한다.
- [0139] 다음에, 도 4의 (a) 내지 (e)를 참조하여, 트랜지스터(410)를 제작하는 공정에 대해서 설명한다.
- [0140] 우선, 기판(400) 위에 하지 막(base film)으로서의 역할을 하는 절연층(407)을 형성한다.
- [0141] 기판(400)으로서 사용 가능한 기판에 특별한 제한은 없지만, 기판은 적어도 후에 수행될 열 처리에 견딜 수 있는 정도의 높은 내열성을 가질 필요가 있다. 후에 수행될 열 처리의 온도가 높은 경우에는, 왜곡 점이 730°C 이상의 기판을 이용하는 것이 바람직하다. 기판(400)의 구체 예는, 유리 기판, 결정화 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 및 플라스틱 기판을 포함한다. 또한, 유리 기판의 구체적인 재료의 예로서는, 알루미노실리케이트 유리, 알루미노 보로실리케이트 유리 및 바륨 보로실리케이트 유리를 들 수 있다.
- [0142] 절연층(407)으로서는, 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층, 또는 산화 질화 알루미늄층 등의 산화물 절연층을 이용하는 것이 바람직하다. 절연층(407)은 플라즈마 CVD법, 스퍼터링법 등을 이용하여 형성될 수 있다. 절연층(407)에 수소가 다량으로 포함되지 않도록, 스퍼터링법으로 절연층(407)을 성막하는 것이 바람직하다. 본 실시 형태에서는, 절연층(407)으로서 스퍼터링법에 의해 산화 실리콘층을 형성한다. 구체적으로는, 기판(400)을 공정 챔버에 이송한 후, 수소 및 수분을 제거한 고순도 산소를 포함하는 스퍼터링

가스를 도입하고, 실리콘 또는 실리콘 산화물의 타겟을 이용하여, 기판(400) 위에 절연층(407)으로서 산화 실리콘층을 성막한다. 성막 시에 기판(400)은 실온에서 유지되거나 가열될 수 있음을 유의해야 한다.

[0143] 산화 실리콘층의 성막 조건의 구체 예로서 다음과 같다: 타겟으로서 석영(바람직하게는 합성 석영)을 이용하고; 기판 온도는 108°C이며; 기판(400)과 타겟 간의 거리(T-S간 거리)는 60 mm이고; 압력은 0.4 Pa이며; 고주파 전력은 1.5 kW이고; 분위기는 산소 및 아르곤(산소 유량 25 sccm : 아르곤 유량 25 sccm = 1:1) 분위기이며; RF 스퍼터링법이 사용된다. 막 두께는 100nm이다. 타겟으로서는 석영(바람직하게는 합성 석영) 타겟 대신에 실리콘 타겟을 이용할 수도 있음을 유의해야 한다. 또한, 스퍼터링 가스로서는 산소 및 아르곤의 혼합 가스 대신에 산소 가스를 이용할 수 있다. 여기서, 절연층(407)을 성막할 때에 이용하는 스퍼터링 가스는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도가 ppm 또는 ppb 레벨까지 저감된 고순도 가스이다.

[0144] 또한, 공정 챔버 내의 잔류 수분을 제거하면서 절연층(407)을 성막함으로써, 절연층(407)에 수소, 수산기, 수분 등이 포함되지 않도록 하는 것이 바람직하다.

[0145] 공정 챔버 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용할 수 있다. 예를 들어, 크라이오 펌프, 이온 펌프, 서브리메이션 펌프를 이용할 수 있다. 또한, 배기 수단으로서는, 터보 펌프가 콜드 트랩(cold trap)과 조합해서 사용되는 것이 바람직하다. 크라이오 펌프를 이용해서 배기되는 공정 챔버는, 수소 원자나, 물(H_2O) 등의 수소 원자를 포함하는 화합물 등이 공정 챔버로부터 배기되고 따라서 공정 챔버 내에서 성막된 절연층(407) 내에 수소 원자가 거의 포함되지 않기 때문에, 바람직하다.

[0146] 스퍼터링법의 예로서는, 스퍼터링 전원에 고주파 전원을 이용하는 RF 스퍼터링법, DC 스퍼터링법, 및 펄스 방식으로 바이어스를 부여하는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 이용된다.

[0147] 또한, 다른 재료의 타겟을 복수개 설치 가능한 다원(multi-source) 스퍼터링 장치도 있다. 다원 스퍼터링 장치를 이용해서, 하나의 챔버 내에 상이한 재료의 막들을 적층 성막하거나, 하나의 챔버 내에서 복수 종류의 재료를 동시에 방전시켜서 성막할 수도 있다.

[0148] 또한, 챔버 내부에 자석 기구를 구비하고 마그네트론 스퍼터링법에 이용하는 스퍼터링 장치나, 글로 방전을 사용하지 않고 마이크로파를 이용해서 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법에 이용하는 스퍼터링 장치를 이용할 수 있다.

[0149] 또한, 스퍼터링법을 이용하는 성막 방법으로서는, 성막 중에 타겟 물질과 스퍼터링 가스 성분을 서로 화학 반응시켜, 그들의 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기판에도 전압을 거는 바이어스 스퍼터링법도 있다.

[0150] 또한, 절연층(407)의 구조는 단층 구조에 한정되지 않고, 적층 구조일 수도 있다. 예를 들어, 절연층(407)은 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층 또는 질화 산화 알루미늄층 등의 질화물 절연층, 및 상기 산화물 절연층이 기판(400) 위에 이 순서대로 적층되는 적층 구조를 가질 수 있다.

[0151] 예를 들어, 고순도 질소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 타겟을 이용해서 질화 실리콘층을 성막하고, 그 후, 스퍼터링 가스를 고순도 산소 가스를 포함하는 가스로 변경하고, 산화 실리콘층을 성막한다. 이 경우에서도, 먼저 설명한 경우와 마찬가지로, 공정 챔버 내의 잔류 수분을 제거하면서 질화 실리콘층이나 산화 실리콘층을 성막하는 것이 바람직하다. 또한, 성막 시에 기판을 가열할 수 있다.

[0152] 다음에, 절연층(407) 위에 산화물 반도체막을 스퍼터링법에 의해 형성한다.

[0153] 또한, 산화물 반도체막에 수소, 수산기 및 수분이 최대한 포함되지 않도록, 성막의 전처리로서, 스퍼터링 장치의 예열 챔버에서 절연층(407)이 형성된 기판(400)을 예열하여, 기판(400)에 흡착한 수소, 수분 등의 불순물을 이탈 및 배기하는 것이 바람직하다. 예열 챔버 내의 배기 수단은 수소 원자, 물(H_2O) 등의 수소 원자를 포함하는 화합물 등을 배기하기 위해 크라이오 펌프가 바람직하다는 점에 유의해야 한다. 또한, 이 예열은 후에 형성될 게이트 절연막(402)의 성막 전에 기판(400)에 대하여 행하는 것이 바람직하다. 또한, 이 예열은 제1 전극(415a) 및 제2 전극(415b)까지 구성 요소가 형성된 기판(400)에 대하여도 마찬가지로 행하는 것이 바람직하다. 이러한 예열 처리는 생략될 수 있음을 유의해야 한다.

[0154] 산화물 반도체막을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역 스퍼터링에 의해, 절연층(407)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다는 점에 유의해야 한다.

역 스퍼터링은 아르곤 분위기하에서 기판에 RF 전원을 이용해서 전압을 인가하고 기판 근방에 플라즈마를 형성하여, 표면을 개질하는 방법이다. 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 이용할 수 있음에 유의해야 한다.

- [0155] 산화물 반도체막을 형성하기 위한 타겟으로서는, 산화 아연을 주성분으로 하는 금속 산화물 타겟을 이용할 수 있다. 타겟으로서, 구성비가 $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ (몰수비), $In_2O_3:Ga_2O_3:ZnO = 1:1:2$ (몰수비), 또는 $In_2O_3:Ga_2O_3:ZnO = 1:1:4$ (몰수비)인 타겟을 이용할 수 있다. In, Ga 및 Zn을 포함하는 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 미만이다. 충전율이 높은 타겟을 이용함으로써, 최종 산화물 반도체막은 매우 높은 밀도를 갖는다.
- [0156] 산화물 반도체막은 희가스(대표적으로는, 아르곤) 분위기하, 산소 분위기하, 또는 희가스와 산소의 혼합 분위기하에서 형성될 수 있음을 유의해야 한다. 여기서, 산화물 반도체막을 성막할 때에 이용하는 스퍼터링 가스는, 수소, 물, 수산기 또는 수소화물 등의 불순물의 농도가 ppm 또는 ppb 레벨까지 저감된 고순도 가스이다.
- [0157] 산화물 반도체막은 감압 상태로 유지된 공정 챔버 내에 기판을 유지하고, 공정 챔버 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 금속 산화물을 타겟으로서 사용하는 방식으로 기판(400) 위에 성막된다. 공정 챔버 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티탄늄 서브리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서는, 콜드 트랩이 제공된 터보 펌프를 사용할 수 있다. 크라이오 펌프를 이용해서 배기한 성막 챔버에서, 수소 원자, 물(H_2O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는, 탄소 원자를 포함하는 화합물) 등이 배기된다. 따라서, 이 성막 챔버에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다. 또한, 기판 온도는 산화물 반도체막 성막 중에 실온 상태로 유지되거나, $400^{\circ}C$ 미만의 온도로 증가될 수 있다.
- [0158] 산화물 반도체막의 성막 조건의 일례로서는, 기판 온도를 실온으로 하고; 기판과 타겟 사이의 거리를 110 mm로 하며; 압력은 0.4 Pa이고; 직류(DC) 전원 0.5 kW이며; 분위기는 산소와 아르곤(산소 유량 15 sccm : 아르곤 유량 30sccm = 1:2) 분위기인 조건을 들 수 있다. 펄스 직류(DC) 전원이 바람직한데, 그 이유는 면지를 줄일 수 있고, 막 두께를 균일하게 할 수 있기 때문임을 유의해야 한다. 산화물 반도체막의 막 두께는, 2nm 이상 200nm 이하, 바람직하게는 5nm 이상 30nm 이하이다. 산화물 반도체막의 적절한 두께는 재료에 따라 상이하므로; 막 두께는 재료에 따라 적절히 결정될 수 있음을 유의해야 한다.
- [0159] 상기 예에서 산화물 반도체로서, 삼원계 금속 산화물인 $In-Ga-Zn-O$ 계 산화물을 이용하는 예를 나타냈지만, 그 외에도, 사원계 금속 산화물인 $In-Sn-Ga-Zn-O$ 계 산화물; 삼원계 금속 산화물인 $In-Sn-Zn-O$ 계 산화물, $In-Al-Zn-O$ 계 산화물, $Sn-Ga-Zn-O$ 산화물계, $Al-Ga-Zn-O$ 계 산화물 또는 $Sn-Al-Zn-O$ 계 산화물; 이원계 금속 산화물인 $In-Zn-O$ 계 산화물, $Sn-Zn-O$ 계 산화물, $Al-Zn-O$ 계 산화물, $Zn-Mg-O$ 계 산화물, $Sn-Mg-O$ 계 산화물 또는 $In-Mg-O$ 계 산화물; $In-O$ 계 산화물; $Sn-O$ 계 산화물; $Zn-O$ 계 산화물 등의 산화물 반도체를 이용할 수도 있다. 산화물 반도체층은 Si를 포함할 수 있다. 산화물 반도체층은 비정질 또는 결정질일 수 있다. 또한, 산화물 반도체층은 비단결정 또는 단결정일 수 있다.
- [0160] 본 명세서에서, 삼원계 금속 산화물은 산소(0) 이외에 3 종류의 금속 원소를 포함하는 물질임을 유의해야 한다. 마찬가지로, 사원계 금속 산화물은 산소(0) 이외에 4 종류의 금속 원소를 포함하는 물질이고, 이원계 금속 산화물은 산소(0) 이외에 2 종류의 금속 원소를 포함하는 물질이다.
- [0161] 산화물 반도체막으로서, $InMO_3(ZnO)_m$ ($m > 0$)로 표기되는 박막을 이용할 수 있음을 유의해야 한다. 여기서, M은 Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M은 Ga, Ga와 Al, Ga와 Mn, 또는 Ga와 Co일 수 있다.
- [0162] 다음에, 산화물 반도체막을 제1 포토리소그래피 공정에 의해 섬 형상(island-shaped) 산화물 반도체막(412)으로 가공한다(도 4의 (a) 참조). 섬 형상 산화물 반도체막(412)을 형성하기 위한 레지스트 마스크를 잉크젯법에 의해 형성할 수 있음을 유의해야 한다. 레지스트 마스크를 잉크젯법으로 형성하면, 포토마스크를 사용할 필요가 없기 때문에, 제조 비용을 절감할 수 있다.
- [0163] 산화물 반도체막의 에칭은 건식 에칭, 습식 에칭, 또는 양쪽을 이용할 수 있음을 유의해야 한다.
- [0164] 건식 에칭의 경우, 평행 평판형 리액티브 이온 에칭(reactive ion etching: RIE)법이나, 유도 결합형 플라즈마(inductively coupled plasma: ICP) 에칭법을 이용할 수 있다. 원하는 형상으로 형성할 수 있게 막을 에칭하

기 위해, 예칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적절히 조절한다.

- [0165] 건식 예칭에 이용하는 예칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소(Cl_2), 삼염화 봉소(BCl_3), 사염화 규소(SiCl_4), 사염화 탄소(CCl_4 등)가 바람직하지만, 불소를 포함하는 가스(불소계 가스, 예를 들어 사불화 탄소(CF_4), 육불화 유황(SF_6), 삼플루오로화 질소(NF_3) 또는 삼플루오로메탄(CHF_3) 등), 브롬화 수소(HBr), 산소(O_2), 또는 이들 중 임의의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 소정의 가스 등을 이용할 수도 있다.
- [0166] 습식 예칭에 이용하는 예칭 액으로서는, 예를 들어 인산과 아세트산과 질산을 섞은 용액, 암모니아 과산화수소 혼합물(31 중량% 과산화수소수: 28 중량% 암모니아수: 물 = 5:2:2) 등을 이용할 수 있다. 또한, IT007N(간토 화학사 제조)을 이용할 수 있다. 예칭의 조건(예를 들어, 예칭 액, 예칭 기간, 온도 등)은, 산화물 반도체의 재료에 따라서 적절히 조절할 수 있다.
- [0167] 습식 예칭을 행할 경우, 예칭액은 예칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료와 예칭 액을 포함하는 폐액을 정제할 수 있고, 재료를 재이용할 수 있다. 예칭 후의 폐액으로부터 산화물 반도체막에 포함된 재료(예를 들어, 인듐 등의 희금속)을 회수해서 재이용하면, 자원을 효율적으로 활용할 수 있다.
- [0168] 본 실시 형태에서는, 예칭액으로서 인산과 아세트산과 질산을 섞은 용액을 이용한 습식 예칭법에 의해, 산화물 반도체막을 섶 형상 산화물 반도체막(412)으로 가공한다.
- [0169] 다음에, 산화물 반도체막(412)에 제1 열 처리를 행한다. 제1 열 처리의 온도는, 400°C 이상 750°C 이하, 바람직하게는 400°C 이상 기판의 왜곡점 미만이다. 여기에서는, 열 처리 장치의 한 형태인 전기로에 기판을 도입하고, 산화물 반도체막에 대하여 질소 분위기하에서 450°C로 1 시간 동안 열 처리를 행한다. 그 후, 산화물 반도체막을 대기에 노출되지 않게 하여, 산화물 반도체막에 물이나 수소가 포함되지 않게 한다. 따라서, 산화물 반도체막이 얻어진다. 이 제1 열 처리에 의해, 산화물 반도체막(412)으로부터 수소, 물 및 수산기 등을 제거할 수 있다.
- [0170] 열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비할 수 있음을 유의해야 한다. 예를 들어, 가스 고속 열적 어닐링(gas rapid thermal annealing; GRTA) 장치, 램프 고속 열적 어닐링(lamp rapid thermal annealing; LRTA) 장치 등의 고속 열적 어닐링(rapid thermal annealing; RTA) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할리드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프 등의 램프로부터 방출되는 광(전자기파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 이용해서 열 처리를 행하는 장치이다. 가스로서는, 불활성 가스(대표적으로는, 아르곤 등의 희가스) 또는 질소 가스를 이용할 수 있다.
- [0171] 예를 들어, 제1 열 처리는, 650°C 내지 700°C의 고온으로 가열한 불활성 가스 속에 기판을 집어 넣고, 몇 분간 가열한 후, 고온으로 가열한 불활성 가스로부터 기판을 빼내는 GRTA를 채택할 수 있다. GRTA를 이용함으로써, 단시간의 고온 열 처리가 가능하게 된다.
- [0172] 제1 열 처리 시에, 분위기에 물, 수소 등이 포함되지 않도록 하는 것이 바람직하다. 또한, 열 처리 장치의 장치 내에 도입하는 질소, 헬륨, 네온 또는 아르곤 등의 가스의 순도는, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 하는 것이 바람직하다.
- [0173] 또한, 제1 열 처리의 조건, 또는 산화물 반도체막의 재료에 따라서, 산화물 반도체막(412)은 미결정 또는 다결정으로 결정화할 수 있음을 유의해야 한다. 예를 들어, 산화물 반도체막은 결정화율이 80% 이상의 미결정 산화물 반도체막이 되도록 결정화될 수 있다. 섶 형상 산화물 반도체막(412)은 제1 열 처리 후 결정화 없는 비정질 산화물 반도체막이 될 수 있음을 유의해야 한다. 산화물 반도체막은 비정질 산화물 반도체막 내에 미결정 부분(입경 1nm 이상 20nm 이하, 대표적으로는 2nm 이상 4nm 이하)이 혼재하는 산화물 반도체막이 될 수 있다.
- [0174] 또한, 산화물 반도체막에 대한 제1 열 처리는, 섶 형상 산화물 반도체막으로 가공하기 전의 산화물 반도체막에 행해질 수 있다. 이 경우, 제1 열 처리 후에, 열 처리 장치로부터 기판을 취출하고, 제1 포토리소그래피 공정을 행한다. 또한, 제1 열 처리는, 산화물 반도체막 위에 소스 전극 및 드레인 전극을 적층 한 후, 또는 소스 전극 및 드레인 전극 위에 게이트 절연막을 형성한 후, 어느 때라도 행해질 수 있다.
- [0175] 제1 열 처리는 산화물 반도체막으로부터 수소, 물 및 수산기 등의 불순물을 제거하는 것을 주목적으로 행해지지

만, 산화물 반도체막 내에 산소 결핍이 발생할 수 있다. 따라서, 제1 열 처리 후에는 산소를 공급하기 위한 처리를 행하는 것이 바람직하다. 특히, 예를 들어, 제1 열 처리 후, 산소 분위기 또는 질소 및 산소를 포함하는 분위기(예를 들어, 질소와 산소의 체적비가 4:1)에서의 열 처리를 행할 수 있다. 또한, 산소 분위기하에서의 플라즈마 처리가 채택될 수 있다.

[0176] 제1 열 처리는, 산화물 반도체막에 대해 탈수화 또는 탈수소화의 효과를 발휘한다.

[0177] 다음에, 절연층(407) 및 산화물 반도체막(412) 위에 도전막을 형성한다. 도전막은 스퍼터링법이나 진공 증착법에 의해 형성될 수 있다. 도전막의 재료로서는, Al, Cu, Cr, Ta, Ti, Mo, W 또는 Y 등의 금속 재료, 상기 소정의 금속 재료를 포함하는 합금 재료, 도전성 금속 산화물 등을 사용할 수 있다. 또한, 헬록이나 위스커의 발생을 방지하기 위해서, Si, Ti, Ta, W, Mo, Cr, Nd, Sc 또는 Y 등의 원소가 첨가된 Al 재료를 사용할 수 있다. 이 경우, 내열성을 향상시킬 수 있다. 도전성 금속 산화물로서는, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석 합금($In_2O_3-SnO_2$, ITO로 약기), 산화 인듐-산화 아연 합금(In_2O_3-ZnO), 또는 이들 금속 산화물 재료에 실리콘 혹은 산화 실리콘을 포함시킨 것을 이용할 수 있다.

[0178] 또한, 도전막은 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄 막의 단층 구조, 알루미늄막과 그 위에 티탄막을 적층한 2층 구조; 및 Ti막과 그 위에 알루미늄 막을 적층하고, 다시 그 위에 Ti막을 적층한 3층 구조를 들 수 있다. 또한, Al, Cu 등의 금속층, 및 Cr, Ta, Ti, Mo, W 등의 고용접 금속층이 적층된 적층 구조가 채택될 수 있다. 본 실시 형태에서는, 도전막으로서 스퍼터링법에 의해 막 두께가 150nm의 티탄막을 형성한다.

[0179] 다음에, 제2 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성하고, 선택적 에칭을 행해서, 제1 전극(415a) 및 제2 전극(415b)을 형성한 후, 레지스트 마스크를 제거한다(도 4의 (b) 참조). 제1 전극(415a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 제2 전극(415b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 여기서, 제1 전극(415a) 및 제2 전극(415b)의 단부가 테이퍼형 모양으로 되도록 에칭되는 것이 바람직한데, 그 이유는 그 위에 적층된 게이트 절연막의 피복성이 향상되기 때문이다. 제1 전극(415a) 및 제2 전극(415b)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성할 수 있음을 유의해야 한다. 레지스트 마스크를 잉크젯법으로 형성하면, 포토마스크를 사용할 필요가 없기 때문에, 제조 비용을 절감할 수 있다.

[0180] 도전막의 에칭 시에, 산화물 반도체막(412)이 제거되어 그 하부의 절연층(407)이 노출되지 않도록, 도전막의 각각의 재료 및 에칭 조건을 적절히 조절할 필요가 있음에 유의해야 한다. 따라서, 본 실시 형태에서는, 산화물 반도체막(412)으로서 In-Ga-Zn-O계의 산화물 반도체를 이용하고, 도전막으로서 티탄막을 이용하고, 에칭 액로서 암모늄 과산화수소 혼합물(암모니아, 물, 과산화수소의 혼합액)을 이용함으로써, 산화물 반도체막(412)의 일부가 에칭되지 않도록 한다. 그러나, 본 발명은 이 구성에 한정되지 않는다. 즉, 제2 포토리소그래피 공정에 의해, 산화물 반도체막(412)의 일부를 에칭하여, 흄부(오목부)을 포함하는 산화물 반도체막을 형성할 수도 있다.

[0181] 제2 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광에는, 자외선이나 KrF 레이저광, 또는 ArF 레이저광을 이용할 수 있다. 산화물 반도체막(412) 위에서 서로 인접하는 제1 전극(415a)의 하단부와 제2 전극(415b)의 하단부 간의 간격 폭에 따라, 후에 형성될 트랜지스터의 채널 길이 L이 결정된다. 채널 길이 L인 25nm 미만의 노광을 행할 경우에는, 수nm 내지 수 10nm의 지극히 좁은 초자외선을 이용해서 제2 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광을 행한다. 초자외선에 의한 노광 시에, 해상도는 높고 초점 심도도 크다. 따라서, 후에 형성될 트랜지스터의 채널 길이 L을 10nm 이상 1000nm 이하로 할 수 있다. 이 경우, 트랜지스터의 동작 속도를 고속화할 수 있고, 또한 오프 전류값이 매우 작기 때문에, 트랜지스터의 저소비 전력화를 도모할 수 있다.

[0182] 다음에, 절연층(407), 산화물 반도체막(412), 제1 전극(415a) 및 제2 전극(415b) 위에 게이트 절연막(402)을 형성한다(도 4의 (c) 참조).

[0183] 게이트 절연막(402)은 플라즈마 CVD법, 스퍼터링법 등을 이용하여, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층 및 산화 알루미늄층 중 임의의 것을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성할 수 있다.

[0184] 게이트 절연막(402)은 게이트 절연막(402)에 수소가 포함되지 않도록 형성하는 것이 바람직하다. 따라서, 성막 시의 분위기에 수소를 최대한 낮게 줄이는 것이 가능한 스퍼터링법으로 게이트 절연막(402)을 성막하는 것이 바

람직하다. 스퍼터링법에 의해 산화 실리콘막을 성막하는 경우에는, 타겟으로서 실리콘 타겟 또는 석영 타겟을 이용하고, 스퍼터링 가스로서 산소, 또는 산소와 아르곤의 혼합 가스를 이용해서 행한다.

[0185] 또한, 게이트 절연막(402)은 기판(400) 위에 산화 실리콘층과 질화 실리콘층을 이 순서대로 적층한 구조를 가질 수 있다. 예를 들어, 제1 게이트 절연막으로서 막 두께 5nm 이상 300nm 이하의 산화 실리콘층($\text{SiO}_x(x>0)$)을 형성하고, 제1 게이트 절연막 위에 제2 게이트 절연막으로서 막 두께 50nm 이상 200nm 이하의 질화 실리콘층($\text{SiN}_y(y>0)$)을 형성하여, 막 두께 100nm의 게이트 절연막을 제공할 수 있다. 본 실시 형태에서는, 압력 0.4 Pa, 고주파 전원 1.5 kW, 산소와 아르곤(산소 유량 25 sccm : 아르곤 유량 25 sccm = 1:1) 분위기하에서 RF 스퍼터링법에 의해 막 두께 100nm의 산화 실리콘층을 형성한다.

[0186] 다음에, 제3 포토리소그래피 공정에 의해, 레지스트 마스크를 형성하고, 선택적 에칭을 행하여 게이트 절연막(402)의 일부를 제거함으로써, 제1 전극(415a) 및 제2 전극(415b)에 도달하는 개구(417a 및 417b)를 형성한다(도 4의 (d) 참조). 레지스트 마스크를 잉크젯법으로 형성할 경우, 포토마스크를 사용할 필요가 없기 때문에, 제조 비용을 절감할 수 있다.

[0187] 다음에, 게이트 절연막(402) 위에, 및 개구(417a 및 417b) 내에 도전막을 형성한 후, 제4 포토리소그래피 공정에 의해 게이트 전극(411), 제1 배선(414a) 및 제2 배선(414b)을 형성한다(도 4의 (e) 참조).

[0188] 게이트 전극(411), 제1 배선(414a) 및 제2 배선(414b)은 몰리브덴, 티탄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐 등의 금속 재료, 또는 이를 중 임의의 것을 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층 구조로 형성할 수 있다. 게이트 전극(411), 제1 배선(414a) 및 제2 배선(414b)의 2층 구조의 구체 예로서는, 알루미늄층 위에 몰리브덴층이 적층된 구조, 구리층 위에 몰리브덴층이 적층된 구조, 구리층 위에 질화 티탄층 또는 질화 탄탈층이 적층된 구조, 및 질화 티탄 층 위에 몰리브덴층이 적층된 구조를 포함한다. 또한, 3층 구조의 구체 예로서는, 텉스텐층 또는 질화 텉스텐층, 알루미늄과 실리콘의 합금층 또는 알루미늄과 티탄의 합금층, 및 질화 티탄층 또는 티탄층이 적층된 구조를 포함한다. 투광성 도전막을 이용해서 게이트 전극을 형성할 수도 있음을 유의해야 한다. 투광성 도전막의 구체 예로서는, 투광성 도전 산화물을 들 수 있다.

[0189] 본 실시 형태에서는, 게이트 전극(411), 제1 배선(414a) 및 제2 배선(414b)으로서 스퍼터링법에 의해 형성한 막 두께 150nm의 티탄막을 이용한다.

[0190] 다음에, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 제2 열 처리(바람직하게는, 200°C 이상 400 °C 이하, 예를 들어 250°C 이상 350°C 이하)를 행한다. 본 실시 형태에서는, 질소 분위기하에서 250°C로, 1 시간 동안 제2 열 처리를 행한다. 제2 열 처리는, 트랜지스터(410) 위에 보호 절연층이나 평탄화 절연층을 형성하고 나서 행해질 수 있음에 유의해야 한다.

[0191] 대기 중에서 100°C 이상 200°C 이하로, 1 시간 이상 30 시간 이하에서 열 처리를 또한 행할 수 있다. 이 열 처리는, 일정한 가열 온도로 행해질 수 있거나, 실온으로부터 100°C 이상 200°C 이하의 가열 온도까지의 승온과, 그 가열 온도로부터 실온까지의 강온을 복수회 반복해서 행해질 수 있다.

[0192] 이상의 공정에 의해, 수소, 수분, 수소화물, 수산화물의 농도가 저감된 고순도의 산화물 반도체막(412)을 포함하는 트랜지스터(410)를 형성할 수 있다.

[0193] 본 실시 형태의 트랜지스터(410)는 제1 실시 형태에서의 트랜지스터(111), 및 비교기(151), 디지털 연산 처리회로(152) 및 펄스 폭 변조 출력 드라이버(153)의 각각에 포함되는 트랜지스터로서 이용할 수 있다.

[0194] 트랜지스터(410) 위에 보호 절연층이나, 평탄화를 위한 평탄화 절연층을 제공할 수 있다. 보호 절연층은 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층 및 산화 알루미늄층 중 소정의 것을 포함하는 단층 또는 적층으로 형성할 수 있다. 평탄화 절연층은 폴리아미드, 아크릴, 벤조사이클로부텐, 폴리아미드 또는 에폭시 등의, 내열성 유기 재료를 이용하여 형성할 수 있다. 상기 유기 재료의 대안으로서, 저유전률 재료(low-k 재료), 실록산계 수지, 포스포실리케이트 유리 PSG, 보로포스포실리케이트 유리 BPSG 등을 이용할 수도 있다. 이들 중 임의의 재료로 형성된 절연막을 복수 적층함으로써 평탄화 절연층을 형성할 수 있다.

[0195] 여기에서, 실록산계 수지는, 실록산계 재료를 개시 재료로서 사용하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들어, 알킬기나 아릴기)이나 플루오로 기를 포함할 수 있다. 유기기는 플루오로 기를 포함할 수 있다.

[0196] 평탄화 절연층의 형성법은 특별히 한정되지 않는다. 그 재료에 따라, 평탄화 절연층은 스퍼터법, SOG법, 스픽

코팅법, 딥핑법, 스프레이 코팅법 또는 액상 토출법(예를 들어, 잉크젯법, 스크린 인쇄 또는 오프셋 인쇄) 등의 방법에 의해, 또는 닥터 나이프(doctor knife), 롤 코터, 커튼 코터 또는 나이프 코터 등의 툴(장치)을 이용하여 형성할 수 있다.

- [0197] 상술한 바와 같이, 산화물 반도체막의 성막 시에 반응 분위기 내의 잔류 수분을 제거함으로써, 산화물 반도체막 내의 수소 및 수소화물의 농도를 저감할 수 있다.
- [0198] 도 3의 (b)에 도시하는 트랜지스터와는 다른 구조의 고순도의 산화물 반도체를 포함하는 트랜지스터의 구조의 다른 예를 도 5의 (a) 내지 (c)에 도시한다.
- [0199] 도 5의 (a)에 도시하는 트랜지스터(420)는 보텀 게이트형 트랜지스터이다. 트랜지스터(420)는, 기판(400) 위의 게이트 전극(421), 게이트 전극(421) 위의 게이트 절연막(422), 게이트 절연막(422) 위에 있으며 게이트 전극(421)과 중첩하는 산화물 반도체막(423), 산화물 반도체막(423) 위에 있으며 게이트 전극(421)과 중첩하는 채널 보호막(424), 및 산화물 반도체막(423) 위에 형성된 도전막(425) 및 도전막(426)을 포함한다. 트랜지스터(420)는 산화물 반도체막(423) 위에 절연막(427)을 그 구성 요소로서 포함할 수 있다. 트랜지스터(420)에서, 소스 전극 및 드레인 전극인 도전막(425) 및 도전막(426)이, 채널 형성 영역을 포함하는 산화물 반도체막(423)의 상면에 접하고 있고; 따라서 트랜지스터(420)는 티-콘택트형 트랜지스터라고 말할 수 있다.
- [0200] 채널 보호막(424)을 제공함으로써, 이후 공정에서, 산화물 반도체막(423) 중채널 형성 영역으로서 기능하는 부분의 손상(예를 들어, 에칭시의 플라즈마나 에칭 액으로 인한 막 두께 감소)을 방지할 수 있다. 이는 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0201] 채널 보호막(424)은, 산소를 포함하는 무기 재료(예를 들어, 산화 실리콘, 질화 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄 또는 산화 질화 알루미늄)을 이용하여 형성할 수 있다. 채널 보호막(424)은 플라즈마 CVD법이나 열적 CVD법 등의 기상 성장법이나 스퍼터링법을 이용해서 형성할 수 있다. 채널 보호막(424)은 성막 후에, 에칭에 의해 그 형상을 가공한다. 여기에서, 스퍼터링법에 의해 산화 규소막을 형성하고, 포토리소그래피에 의한 마스크를 이용해서 에칭 가공하는 방식으로, 채널 보호막(424)을 형성한다.
- [0202] 또한, 섬 형상 산화물 반도체막(423)에 접해서 채널 보호막(424)을 형성하면, 섬 형상 산화물 반도체막(423) 중에 채널 보호막(424)과 접하는 영역이 고저항화하고, 이에 의해 고저항화 산화물 반도체 영역으로 된다. 채널 보호막(424)의 형성에 의해, 산화물 반도체막(423)은 채널 보호막(424)과의 계면 근방에 고저항화 산화물 반도체 영역을 가질 수 있다.
- [0203] 트랜지스터(420)은 절연막(427) 위에 백 게이트 전극을 더 포함할 수 있음을 유의해야 한다. 백 게이트 전극은 산화물 반도체막(423) 내의 채널 형성 영역과 겹치도록 형성된다. 백 게이트 전극은 전기적으로 절연되어 플로팅(floating) 상태일 수 있거나, 백 게이트 전극에 전위가 부여되는 상태일 수 있다. 후자의 경우, 백 게이트 전극에는, 게이트 전극(421)과 동일한 레벨의 전위가 부여될 수 있거나, 그라운드 전위 등의 고정 전위가 부여될 수 있다. 백 게이트 전극에 부여된 전위의 레벨을 제어함으로써, 트랜지스터(420)의 임계 전압을 제어할 수 있다.
- [0204] 도 5의 (b)에 도시하는 트랜지스터(430)는 보텀 게이트형 트랜지스터이다. 트랜지스터(430)는, 기판(400) 위의 게이트 전극(431), 게이트 전극(431) 위의 게이트 절연막(432), 게이트 절연막(432) 위의 도전막(433) 및 도전막(434), 및 게이트 전극(431) 위의 산화물 반도체막(435)을 포함한다. 트랜지스터(430)는, 산화물 반도체막(435) 위의 절연막(437)을, 그 구성 요소로서 포함할 수 있다. 트랜지스터(430)에서, 소스 전극 및 드레인 전극인 도전막(433) 및 도전막(434)이, 채널 형성 영역을 포함하는 산화물 반도체막(435)의 하면에서 접하고 있으므로, 트랜지스터는 보텀 콘택트형 트랜지스터라고 할 수가 있다.
- [0205] 또한, 보텀 콘택트형 트랜지스터(430)의 경우, 도전막(433) 및 도전막(434)의 막 두께는, 후에 형성될 산화물 반도체막(435)의 단절(break)을 방지하기 위해서, 얇게 하는 것이 바람직하다. 구체적으로는, 도전막(433) 및 도전막(434)의 막 두께는 10nm 내지 200nm, 바람직하게는 50nm 내지 75nm이다.
- [0206] 트랜지스터(430)는, 절연막(437) 위에 백 게이트 전극을 더 포함할 수 있음에 유의해야 한다. 백 게이트 전극은 산화물 반도체막(435) 내의 채널 형성 영역과 겹치도록 형성된다. 백 게이트 전극은 전기적으로 절연되어 있어 플로팅 상태일 수 있거나, 백 게이트 전극에 전위가 부여되는 상태일 수 있다. 후자의 경우, 백 게이트 전극에는, 게이트 전극(431)과 동일한 레벨의 전위가 부여될 수 있고, 또는 그라운드 전위 등의 고정 전위가 부여될 수도 있다. 백 게이트 전극에 부여된 전위의 레벨을 제어함으로써, 트랜지스터(430)의 임계 전압을 제어

할 수 있다.

- [0207] 도 5의 (c)에 도시하는 트랜지스터(440)는 톱 게이트형 트랜지스터이다. 트랜지스터(440)는, 기판(400) 위의 도전막(441)과 도전막(442), 도전막(441)과 도전막(442) 위의 산화물 반도체막(443), 산화물 반도체막(443) 위의 게이트 절연막(444), 및 게이트 절연막(444) 위에 있으며 산화물 반도체막(443)과 겹치고 있는 게이트 전극(445)을 포함한다. 트랜지스터(440)는, 게이트 전극(445) 위에 절연막(447)을 그 구성 요소로서 포함할 수 있다. 트랜지스터(440)에서, 소스 전극 및 드레인 전극인 도전막(441) 및 도전막(442)이, 채널 형성 영역을 포함하는 산화물 반도체막(443)의 하면에서 접하고 있으므로, 트랜지스터는 보텀 콘택트형 트랜지스터라고 할 수 있다.
- [0208] 또한, 톱 게이트형 트랜지스터(440)의 경우, 도전막(441) 및 도전막(442)의 막 두께는, 후에 형성될 산화물 반도체막(443)의 단절을 방지하기 위해서, 얇게 하는 것이 바람직하다. 구체적으로, 도전막(441) 및 도전막(442)의 막 두께는 10nm 내지 200nm, 바람직하게는 50nm 내지 75nm이다.
- [0209] 본 실시 형태에서, 트랜지스터(410), 트랜지스터(420), 트랜지스터(430) 및 트랜지스터(440)는 n-채널형 트랜지스터이다. 제1 실시 형태에서 설명한 바와 같이, 디지털 회로는 1 또는 0(제로) 중 어느 하나만을 출력하므로, 디지털 회로 내의 트랜지스터들은 전부 본 실시 형태에서 서술한 n-채널형 트랜지스터일 수 있다.
- [0210] 특히, 전압 변환 회로(102)의 출력 전압이 높기 때문에, 브레이크다운 전압이 높은 트랜지스터를 트랜지스터(111)로서 이용하는 것이 바람직하다. 브레이크다운 전압이 높은 트랜지스터로서는, 에너지 갑이 실리콘 반도체보다 큰 산화물 반도체막 내의 채널 형성 영역을 포함하는 트랜지스터가 적합하다.
- [0211] 본 실시 형태의 트랜지스터를 포함하는 전원 회로에서는, 전원 회로에 디지털 제어 회로를 이용함으로써, 트랜지스터의 특성에 변동이 있어도, 전원 회로의 회로 동작의 열화를 억제하는 것이 가능하다.
- [0212] 본 실시 형태의 트랜지스터를 포함하는 전원 회로에서는, 전원 회로에 디지털 제어 회로를 이용함으로써, 전원 회로의 면적을 억제하는 것이 가능하다.
- [0213] 본 실시 형태의 트랜지스터를 포함하는 전원 회로에서는, 전원 회로의 면적을 억제함으로써, 전원 회로의 비용을 절감하는 것이 가능하다.
- [0214] 본 출원은 2010년 4월 16일 일본 특허청에 출원된 일본 특허 출원 번호 2010-095197호를 기초로 하며, 그 전체 내용은 본 명세서에 참조로 원용된다.

부호의 설명

- [0215] 101: 전원 회로
 102 : 전압 변환 회로
 103 : 제어 회로
 111 : 트랜지스터
 112 : 코일
 113 : 다이오드
 114 : 용량 소자
 121 : 삼각파 발생 회로
 123 : 펄스 폭 변조 출력 드라이버
 124 : 저항
 125 : 저항
 127 : 화살표
 150 : 회로
 151 : 비교기

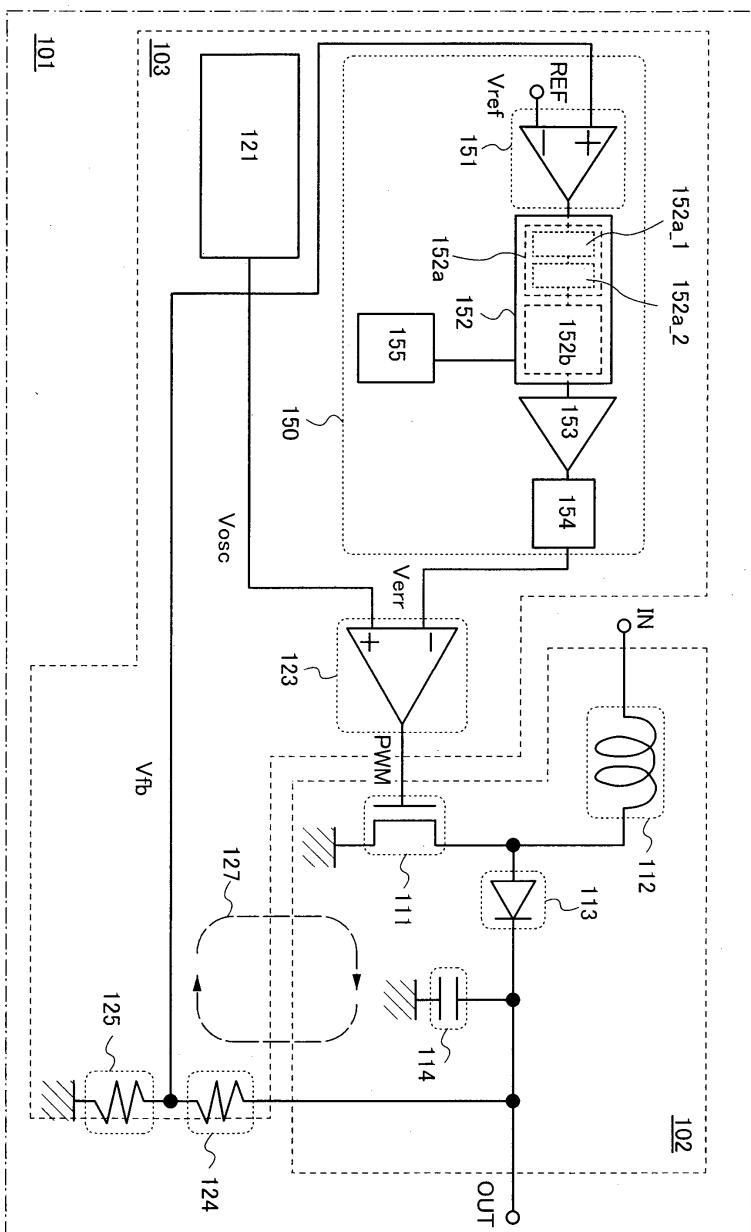
152 : 디지털 연산 처리 회로
152a : 디지털 평균화 · 적분기
152a_1 : 디지털 평균화 회로
152a_2 : 디지털 적분기
152b : 디지털 펄스 폭 변조기
153 : 펄스 폭 변조 출력 드라이버
154 : 로우 패스 필터
155 : 클럭 분할기
201 : 가산 회로
202 : 가감산 회로
203 : 카운트 비교 회로
204 : 래치 회로
211 : AND 게이트
212 : AND 게이트
213 : XOR 게이트
214 : 플립플롭
221 : AND 게이트
222 : AND 게이트
224 : OR 게이트
225 : XOR 게이트
226 : XOR 게이트
227 : 플립플롭
241 : 플립플롭
242 : 플립플롭
243 : NOR 게이트
244 : NOR 게이트
251 : 가산기
252 : 가산기
253 : 가산기
254 : 가산기
255 : 가산기
256 : 가산기
257 : 가산기
258 : 가산기
259 : 가산기
261 : 인버터

- 262 : 인버터
 263 : NOR 게이트
 271 : XOR 게이트
 272 : XOR 게이트
 273 : XOR 게이트
 274 : XOR 게이트
 275 : XOR 게이트
 276 : XOR 게이트
 277 : NAND 게이트
 278 : AND 게이트
 279 : OR 게이트
 281 : NAND 게이트
 282 : NAND 게이트
 400 : 기판
 402 : 게이트 절연막
 407 : 절연층
 410 : 트랜지스터
 411 : 게이트 전극
 412 : 산화물 반도체막
 414a : 배선
 414b : 배선
 415a : 전극
 415b : 전극
 417a : 개구
 417b : 개구
 420 : 트랜지스터
 421 : 게이트 전극
 422 : 게이트 절연막
 423 : 산화물 반도체막
 424 : 채널 보호막
 425 : 도전막
 426 : 도전막
 427 : 절연막
 430 : 트랜지스터
 431 : 게이트 전극
 432 : 게이트 절연막

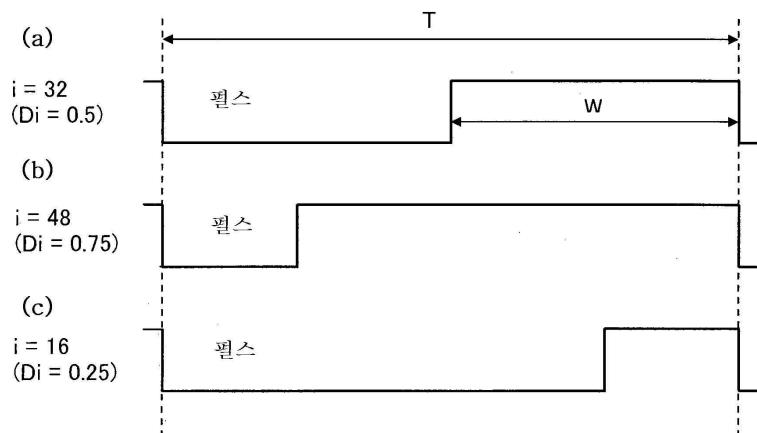
433 : 도전막
 434 : 도전막
 435 : 산화물 반도체막
 437 : 절연막
 440 : 트랜지스터
 441 : 도전막
 442 : 도전막
 443 : 산화물 반도체막
 444 : 게이트 절연막
 445 : 게이트 전극
 447 : 절연막
 CNT_RST : 제어 리세트 신호
 CNT0 : 신호
 CNT1 : 신호
 CNT2 : 신호
 CNT3 : 신호
 CNT4 : 신호
 CNT5 : 신호
 COMP : 신호
 RST : 리세트 신호
 CLK : 클럭 신호
 CIN : 입력 신호
 COUT : 출력 신호
 LIMIT : 리미트 신호
 DIG_AVE : 평균화된 디지털 신호
 CONT : 제어 신호
 SET-CNT0 : 신호
 SET-CNT1 : 신호
 SET-CNT2 : 신호
 SET-CNT3 : 신호
 SET-CNT4 : 신호
 SET-CNT5 : 신호
 PWM : 웨尔斯 폭 변조 출력 신호
 HIGH-SET : 신호
 LOW-SET : 신호
 pulse : 신호

도면

도면1

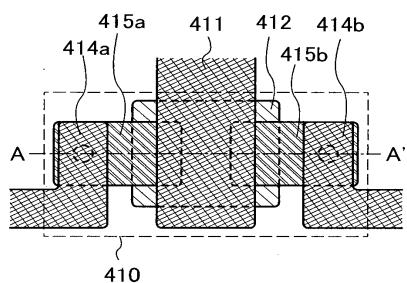


도면2

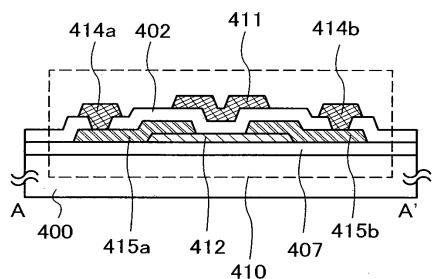


도면3

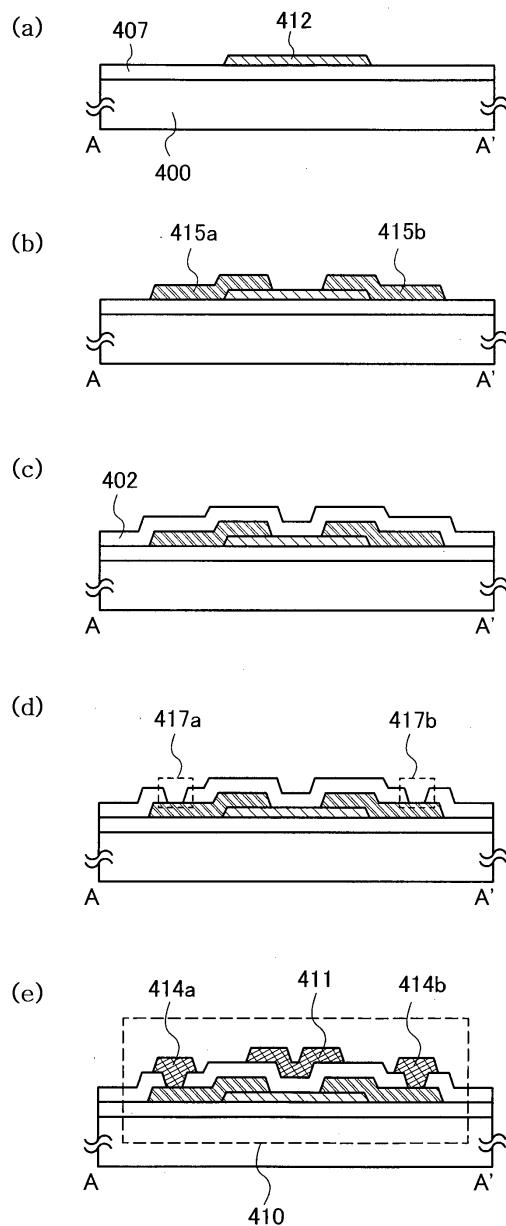
(a)



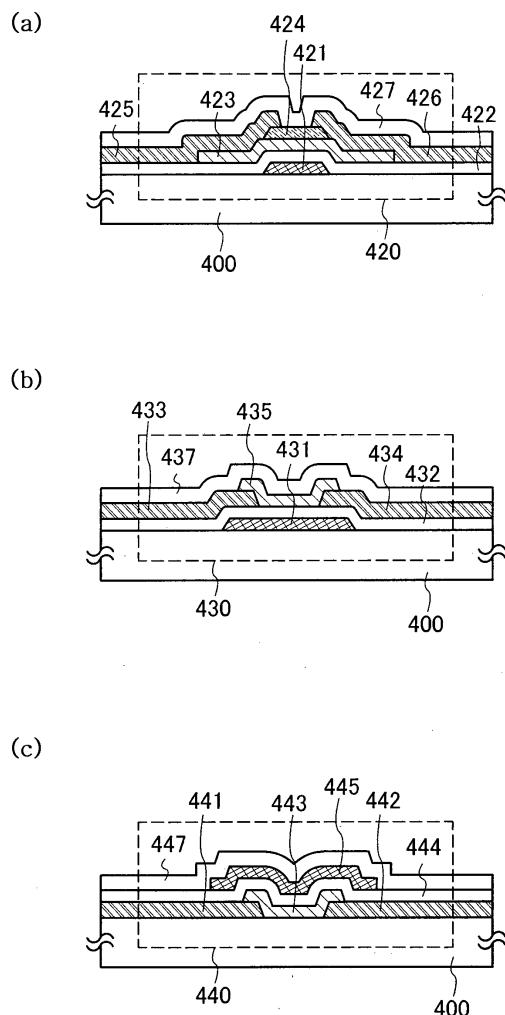
(b)



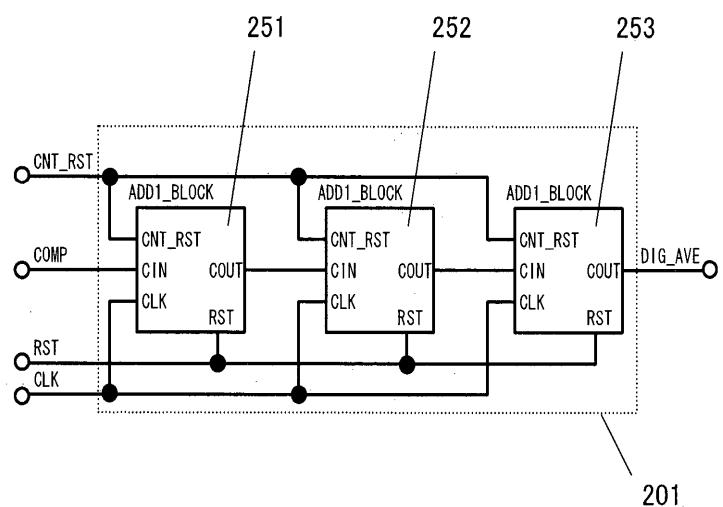
도면4



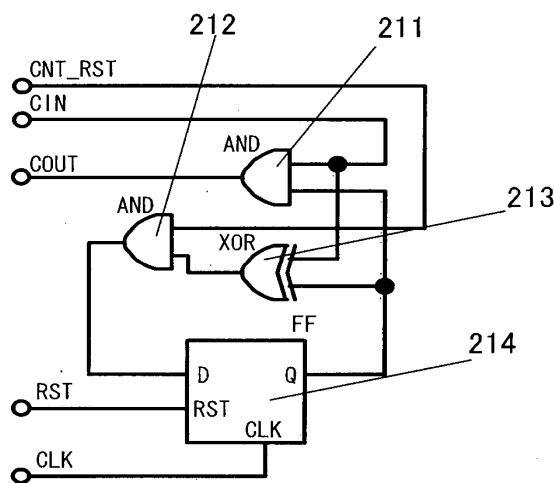
도면5



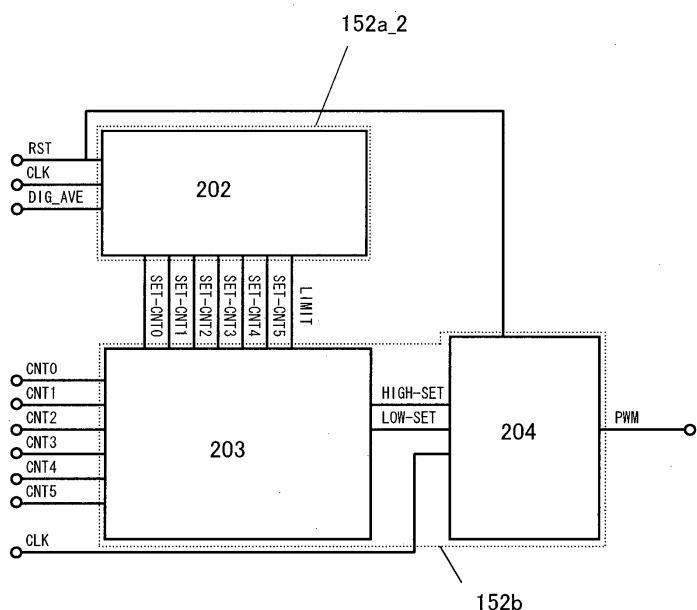
도면6



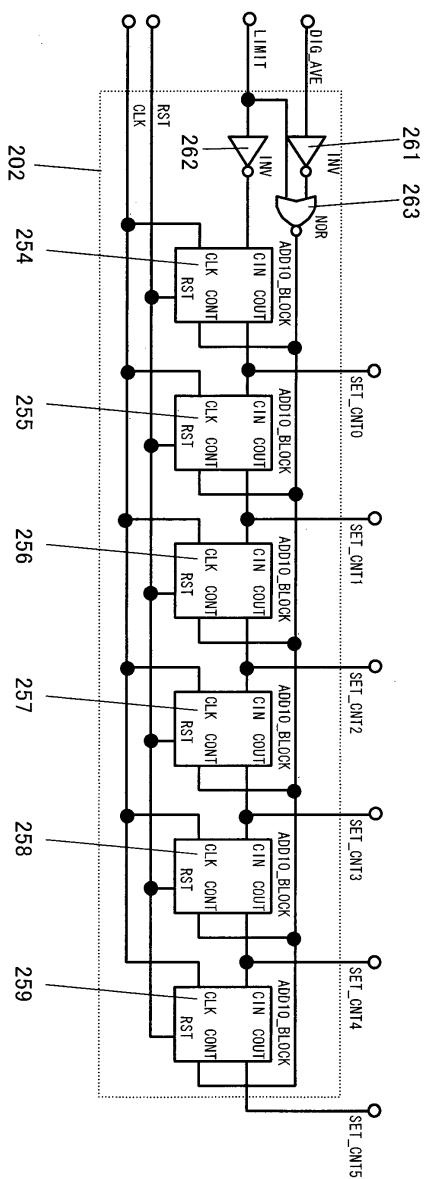
도면7



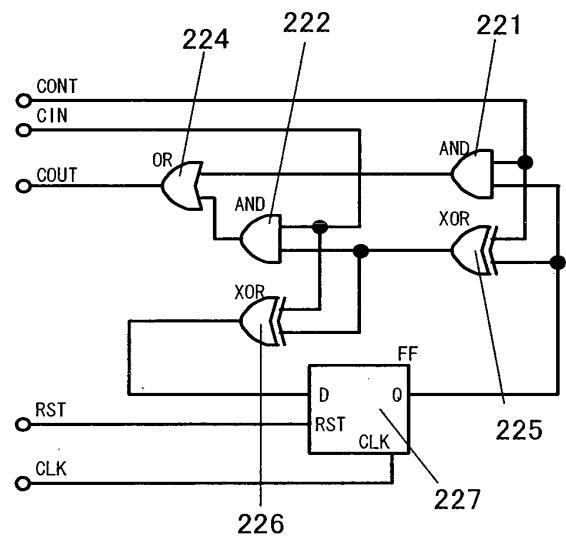
도면8



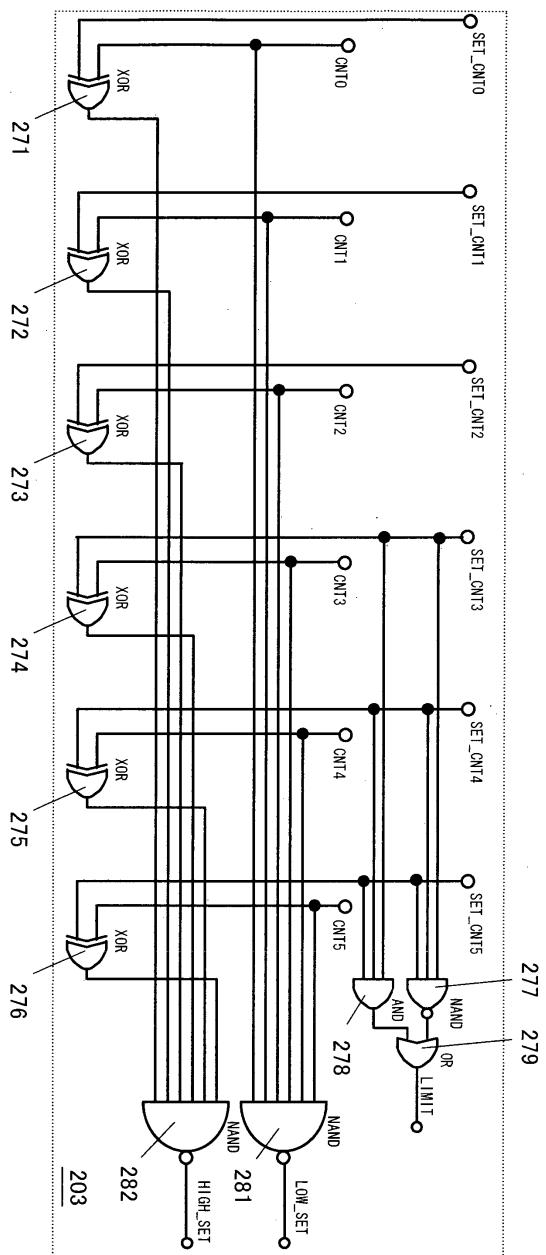
도면9



도면10



도면11



도면12

