



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01J 1/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월05일 10-0679378 2007년01월30일
--	-------------------------------------	--

(21) 출원번호	10-2001-7012779	(65) 공개번호	10-2001-0109345
(22) 출원일자	2001년10월08일	(43) 공개일자	2001년12월08일
심사청구일자	2004년06월17일		
번역문 제출일자	2001년10월08일		
(86) 국제출원번호	PCT/US2000/008313	(87) 국제공개번호	WO 2000/60632
국제출원일자	2000년03월29일	국제공개일자	2000년10월12일

(81) 지정국

국내특허 : 아랍에미리트, 안티구와바부다, 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 코스타리카, 쿠바, 체코, 독일, 덴마크, 도미니카, 알제리, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 모로코, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니다드토바고, 탄자니아, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 남아프리카,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우, 적도 기니,

(30) 우선권주장	60/128,196	1999년04월07일	미국(US)
	09/368,919	1999년08월05일	미국(US)

(73) 특허권자

유티-배텔, 엘엘씨
미국 테네시주 37831-6498, 오크 릿지, 엠에스 6498, 유니온 밸리 로드 111-비

(72) 발명자

토마스,클래렌스이.
미국, 테네시37920, 녹스빌, 블러프포인트드라이브3601

베일러, 래리알.
미국, 테네시37922, 패러거트, 라크메도우드라이브616

보엘클, 에드가
미국, 테네시37830, 오크리지, 윈드해븐레인14

로운데스,더글러스에이치.
미국, 테네시37932, 녹스빌, 파인 힐드라이브2720

폴러스,마이클제이.
미국, 테네시37922, 녹스빌, 무어리 게이트드라이브1516

심슨,마이클제이.
미국, 테네시37919, 녹스빌, 너빈리지로드7745

윌튼,존에이치.
미국, 테네시37830, 오크리지, 아우터드라이브185

윌슨,존씨.
미국, 테네시37716, 클린턴, 파머 할로우로드322

윌젠,존비.
미국, 테네시37830, 오크리지, 오클라호마애비뉴108

(74) 대리인 강명구
 강석용

심사관 : 오준철

전체 청구항 수 : 총 13 항

(54) 어드레싱가능한 전계 방출 배열 및 그 방법과, 이에 관련된 주사 전자 현미경 및 전자 현미경 스캔 방법, 그리고 이를 이용한 전자선 리소그래피 방법 및 리소그래피 시스템

(57) 요약

어드레싱가능한 전계 방출 배열(AFEA) 칩에 대한 시스템 및 방법이 공개된다. 어드레싱가능한 전계 방출 배열을 작동시키는 방법은,

- 어드레싱가능한 전계 방출 배열을 구성하는 다수의 방출기로부터 다수의 전자선을 발생시키고,
- 온-칩 정진 포커싱 스택으로 상기 다수의 전자선 중 한 개 이상을 포커싱시키는, 이상의 단계를 포함한다. 상기 시스템 및 방법은 공간 전하 블로우-업을 피할 수 있는 장점을 가진다.

대표도

도 4

특허청구의 범위

청구항 1.

어드레싱가능한 전계-방출 배열에 있어서, 상기 배열은,

- 다수의 개별적으로 바이어스 어드레싱가능한 음극(610)으로서, 이때, 각각의 음극(610)은 전류 카피어 회로를 포함하는 전자선 전류 제어 회로를 포함하고, 상기 전류 카피어 회로에 의해 각각의 음극(610)은 동일한 전류를 방출할 수 있으며, 상기 전류 카피어 회로는 전류 레귤레이터 회로(920)를 포함하고, 상기 전류 레귤레이터 회로(920)는 턴-온 전압의 화소 간 변화를 보정하고 화소 전류들의 일치를 유지시키며, 상기 전류 레귤레이터 회로(920)는 전류 메모리 셀(1000)을 포함하고, 상기 전류 메모리 셀(1000)의 출력 전류는 기준 전류에 의해 설정되는 특징의 상기 음극(610), 그리고

- 다수의 상기 음극(610)에 연결되는 정전 포커싱 스택

을 포함하며, 이때, 다수의 음극(610)과 상기 정전 포커싱 스택이 상기 어드레싱가능한 전계-방출 배열에 일체형으로 구성되는 것을 특징으로 하는 어드레싱가능한 전계 방출 배열.

청구항 2.

제 1 항에 있어서,

- 상기 다수의 음극(610)에 연결되는 다수의 검출기(1100)

를 추가로 포함하는 것을 특징으로 하는 어드레싱가능한 전계 방출 배열.

청구항 3.

제 1 항에 따른 어드레싱가능한 전계 방출 배열을 포함하는, 마스크없는 디지털 전자선 직접 기록 리소그래피 시스템.

청구항 4.

어드레싱가능한 전계 방출 배열에 있어서, 상기 배열은,

- 다수의 개별적으로 바이어스 어드레싱가능한 음극(610)으로서, 이때, 각각의 음극(610)은 전류 카피어 회로를 포함하는 전자선 전류 제어 회로를 포함하고, 상기 전류 카피어 회로에 의해 각각의 음극(610)은 동일한 전류를 방출할 수 있으며, 상기 전류 카피어 회로는 전류 레귤레이터 회로(920)를 포함하고, 상기 전류 레귤레이터 회로(920)는 턴-온 전압의 화소 간 변화를 보정하고 화소 전류들의 일치를 유지시키며, 상기 전류 레귤레이터 회로(920)는 전류 메모리 셀(1000)을 포함하고, 상기 전류 메모리 셀(1000)의 출력 전류는 기준 전류에 의해 설정되는 특징의 상기 음극(610), 그리고

- 다수의 상기 음극(610)에 연결되는 다수의 검출기(1100)

를 포함하며, 이때, 다수의 음극(610)과 다수의 검출기(1100)가 상기 어드레싱가능한 전계-방출 배열에 일체형으로 구성되는 것을 특징으로 하는 어드레싱가능한 전계 방출 배열.

청구항 5.

제 4 항에 따른 어드레싱가능한 전계 방출 배열을 포함하는 주사 전자 현미경.

청구항 6.

어드레싱가능한 전계 방출 배열에 있어서, 상기 배열은,

- 다수의 개별적으로 바이어스 어드레싱가능한 음극(610)으로서, 이때, 각각의 음극(610)은 전류 카피어 회로를 포함하는 전자선 전류 제어 회로를 포함하고, 상기 전류 카피어 회로에 의해 각각의 음극(610)은 동일한 전류를 방출할 수 있으며, 상기 전류 카피어 회로는 전류 레귤레이터 회로(920)를 포함하고, 상기 전류 레귤레이터 회로(920)는 턴-온 전압의 화소간 변화를 보정하고 화소 전류들의 일치를 유지시키며, 상기 전류 레귤레이터 회로(920)는 전류 메모리 셀(1000)을 포함하고, 상기 전류 메모리 셀(1000)의 출력 전류는 기준 전류에 의해 설정되는 특징의 상기 음극(610)

을 포함하며, 이때, 다수의 상기 음극(610)이 상기 어드레싱가능한 전계-방출 배열에 일체형으로 구성되는 것을 특징으로 하는 어드레싱가능한 전계 방출 배열.

청구항 7.

제 6 항에 있어서,

- 다수의 상기 음극(610)에 연결된 온-칩 정전 포커싱 스택

을 추가로 포함하는 것을 특징으로 하는 어드레싱가능한 전계 방출 배열.

청구항 8.

어드레싱가능한 전계 방출 배열을 작동하는 방법에 있어서, 상기 방법은,

- 상기 어드레싱가능한 전계 방출 배열을 형성하는 다수의 개별적으로 바이어스 어드레싱가능한 음극(610)들로부터 다수의 전자선을 발생시키는 단계로서, 이때, 각각의 음극(610)은 전류 카피어 회로를 포함하는 전자선 전류 제어 회로를 포함하고, 상기 전류 카피어 회로에 의해 각각의 음극(610)은 동일한 전류를 방출할 수 있으며, 상기 전류 카피어 회로는 전류 레귤레이터 회로(920)를 포함하고, 상기 전류 레귤레이터 회로(920)는 턴-온 전압의 화소간 변화를 보정하고 화소 전류들의 일치를 유지시키며, 상기 전류 레귤레이터 회로(920)는 전류 메모리 셀(1000)을 포함하고, 상기 전류 메모리 셀(1000)의 출력 전류는 기준 전류에 의해 설정되는 단계, 그리고

- 온-칩 정전 포커싱 스택으로 상기 다수의 전자선 중 한 개 이상을 포커싱시키는 단계

를 포함하는 것을 특징으로 하는 어드레싱가능한 전계 방출 배열을 작동하는 방법.

청구항 9.

제 8 항에 있어서,

- 다수의 상기 음극(610)에 연결되는 다수의 검출기(1100)로 상기 다수의 전자선에 의해 유도되는 신호를 수신하는 단계

를 추가로 포함하는 것을 특징으로 하는 어드레싱가능한 전계 방출 배열을 작동하는 방법.

청구항 10.

전자 현미경 스캔 방법에 있어서, 상기 방법은,

- 어드레싱가능한 전계 방출 배열을 형성하는 다수의 개별적으로 바이어스 어드레싱가능한 음극(610)들로부터 다수의 전자선을 발생시키는 단계로서, 이때, 각각의 음극(610)은 전류 카피어 회로를 포함하는 전자선 전류 제어 회로를 포함하고, 상기 전류 카피어 회로에 의해 각각의 음극(610)은 동일한 전류를 방출할 수 있으며, 상기 전류 카피어 회로는 전류 레귤레

이터 회로(920)를 포함하고, 상기 전류 레귤레이터 회로(920)는 턴-온 전압의 화소간 변화를 보정하고 화소 전류들의 일치를 유지시키며, 상기 전류 레귤레이터 회로(920)는 전류 메모리 셀(1000)을 포함하고, 상기 전류 메모리 셀(1000)의 출력 전류는 기준 전류에 의해 설정되는 단계,

- 온-칩 정전 포커싱 스택으로 상기 다수의 전자선 중 한 개 이상을 포커싱시키는 단계, 그리고

- 다수의 상기 음극(610)에 연결되는 다수의 전자 검출기(1100)로 이미지를 획득하는 단계

를 포함하는 것을 특징으로 하는 전자 현미경 스캔 방법.

청구항 11.

제 10 항에 있어서,

- 상기 다수의 전자선 중 상기 한개 이상을 타겟의 표면을 따라 스캔하도록 상기 어드레싱가능한 전계 방출 배열에 연결되는 스테이지에 연결되는 상기 타겟을 가로지르는 단계

를 추가로 포함하는 것을 특징으로 하는 전자 현미경 스캔 방법.

청구항 12.

전자선 리소그래피 방법에 있어서, 상기 방법은,

- 어드레싱가능한 전계 방출 배열을 형성하는 다수의 개별적으로 바이어스 어드레싱가능한 음극(610)들로부터 다수의 전자선을 발생시키는 단계로서, 이때, 각각의 음극(610)은 전류 카피어 회로를 포함하는 전자선 전류 제어 회로를 포함하고, 상기 전류 카피어 회로에 의해 각각의 음극(610)은 동일한 전류를 방출할 수 있으며, 상기 전류 카피어 회로는 전류 레귤레이터 회로(920)를 포함하고, 상기 전류 레귤레이터 회로(920)는 턴-온 전압의 화소간 변화를 보정하고 화소 전류들의 일치를 유지시키며, 상기 전류 레귤레이터 회로(920)는 전류 메모리 셀(1000)을 포함하고, 상기 전류 메모리 셀(1000)의 출력 전류는 기준 전류에 의해 설정되는 단계,

- 온-칩 정전 포커싱 스택으로 상기 다수의 전자선 중 한 개 이상을 포커싱시키는 단계, 그리고

- 상기 다수의 전자선으로 전자선 레지스트를 노광시키는 단계

를 포함하는 것을 특징으로 하는 전자선 리소그래피 방법.

청구항 13.

제 12 항에 있어서, 상기 전자선 레지스트를 노광시키는 단계는, 상기 전자선 레지스트에 그레이 스케일 패턴을 발생시키는 단계를 포함하는 것을 특징으로 하는 전자선 리소그래피 방법.

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

명세서

기술분야

본 발명은 전자의 방사(β 방사)에 관한 것이다. 특히 본 발명은 공간적으로 변조되는 전자선 매트릭스를 생성하는 어드레싱가능한 전계 방출기 배열에 관한 것이다. 특히, 본 발명의 선호되는 실시예는 최소한의 왜곡으로 전자 레지스트를 직접 기록하도록 타겟 웨이퍼에 공간적으로 변조된 전자선 매트릭스를 함께 축소하는 교정 렌즈 시스템과 텔러센트릭 자기 렌즈 시스템을 포함하는 자기 렌즈 조립체와 정전 가속 그리드와 조합한, 디지털 방식으로 어드레싱가능한 전계 방출기 배열에 관한 것이다.

배경기술

본 문헌에서 여러 공개 내용이 괄호 내의 아라비아 숫자 첨자로 인용될 것이다. 청구범위 바로 앞에서 이 공개내용들의 서부사항이 적혀있다. 발명의 배경과 당 분야의 공지 기술을 설명하기 위해 이 공개내용들이 인용된다.

역사적으로, 반도체 웨이퍼 제작을 위한 광학 리소그래피는 사용되는 광원의 파장에 의해 그 분해능이 제한되어 왔다. 광의 어떤 특정 파장에서, 회절은 광원 파장과 대략 같은 직경의 원에 광선의 초점을 맞추는 능력을 제한한다. 결과적으로, 제작 산업은 리소그래피 광원의 여러 발생을 포함하고, 각각은 앞서보다 더 짧은 파장을 이용한다. 미세전자 배선구조가 점점 축소되어감에 따라, 광학 리소그래피의 분해능은 칩 특징부 밀도를 추가적으로 증가시키는 데 대한 장벽이 되고 있다. 왜냐하면, 더 짧은 파장을 가진 적절한 광원이 더 이상 가용하지 않기 때문이다. 따라서, 리소그래피의 분해능을 증가시키는 방법이 필요하다.

앞서 인식한 해법은 반도체 웨이퍼의 표면에 코팅된 전자 레지스트를 노출시키기 위해 전자선을 이용하였고, 그래서 현상된 레지스트에 형성되는 구멍을 통해 웨이퍼의 표면에 에칭될 패턴을 만들었다. 전자선 기술은 대략 0.1미크론 수준의 선 폭을 가지는 반도체 소자를 리소그래피 방식으로 생성하기 위해 자주 사용되는 기술이다. 대략 80옹스트롬 수준의 전자선 이미징 분해능은 앞서 보고된 바 있다.⁽²⁾

아래의 내용에서 고려되는 종류의 전자총이라 불리는 기존 전자선 소자가 당 분야에 잘 알려져 있다. 기존 전자선은 전자 스트림 발생을 위해 적절한 물질의 전기저항을 통한 가열에 의해 진공에서 발생하는 것이 일반적이다. 이 전자 스트림은 정전적으로, 또는 자기적으로 초점에 모을 수 있다. 두 개의 특별한 기존 전자선 장치들로는 음극선관(CRT)과 주사전자현미경(SEM)이 있으며, 둘 모두 진공에서 전자선을 발생시키고 초점에 모은다.

가령, 도 1에서, 바이포텐셜 렌즈 구조를 가지는 기존 CRT 전자총이 도시된다. 이때 전자선(110)은 전위 V_s 에서 스크린(120)에 입사된다.⁽¹⁾ 이 기존 전자총은 음극(130)과 제 1 애퍼쳐 그리드(140)를 포함하며, 상기 애퍼쳐 그리드(140)는 음극에 대해 음으로 유지되며, 음극으로부터의 전자 흐름을 제어한다. 제 2 애퍼쳐 그리드(150)는 크로스-오버 점의 하향으로 위치하고, 전자를 당기고 전자선(110)을 정형하도록 음극(130)에 대해 양의 전압으로 설정된다. 초점 전극(160)은 전자선(110)을 모은다. 분해능은 초점 전극(160) 대신에 전자기 초점을 이용함으로써 개선될 수 있다.

도 2에서, 전자선의 전자기 편향 원리가 도시되고, 이때 전자 플럭스(210)가 편향 진폭으로 스크린(220)에 입사한다. 전자기 편향 코일(230)은 수직면과 수평면의 전자선 궤도에 수직인 전자기장을 발생시키는 두 수직 권선으로 구성된다. 속도 V_B 로 이전에 가속된 전자 플럭스(210)에 수직으로 길이 l 의 전자기장이 가해진다. 전자기장 강도가 균일하고 길이 l 을 가질 때 전자의 플럭스(210)는 반경 r 의 원형 경로에서 다음과 같이 편향된다.

$$\sin\theta = Ni(l)/(2.68D\sqrt{V_B})$$

상응하는 편향각은 θ 로서, Ni 는 자기장을 발생시키는 암페어 권선의 감김숫자이고, D 는 전자기장을 발생시키는 원통형 권선의 직경이며, l 은 전자기장의 길이, V_B 는 볼트 단위로 나타낸 가속 전압이다.

기존 전자선 장치에 의해 발생된 전자선의 전자가 과장을 가지고, 회절에 의해 생기는 상응하는 분해능 제한을 또한 가짐에도 불구하고, 전자 과장은 매우 짧아서 전자의 회절이 전자선의 분해능을 제한하지 않는다. 이는 스트레이 필드를 발생시키는 자기 렌즈나 정전 렌즈를 기존 전자선 시스템이 모두 포함하기 때문이다. 이 스트레이 필드들은 최소한 나노미터 단위의 전자선 형태의 왜곡을 발생시키는 전자기적 수차이다. 이 왜곡들은 전자의 과장보다 더 크다. 따라서, 기존 장치들의 전자기적 수차는 이론적 회절 한계가 문제가 되기 전에 광선의 최대 분해능을 제한한다. 따라서, 전자선 리소그래피의 분해능에 전자기 수차의 영향을 감소시키는 방법이 필요하다.

더욱이, 과거에, 전자 레지스트 이미징은 상대적으로 비효율적이었다. 왜냐하면, 기존 전자선이 단일 면적만 조사하고 어떤 종류의 패턴도 기록하기 위해 질서정연하게 주사되어야 했기 때문이다. 예를 들어, 도 3에서, 전자선-정형 마스크(320)에 의해 잘리는 기존 고정 주사선(310)이 도시된다. 마스크(320)는 정사각형 형태의 애퍼처를 포함한다. 마스크(320)는 β 방사 실드의 기능을 하고, 전자선을 정사각형 단면에 부여한다. 이는 전자 레지스트의 노출에 보다 유용하다. 정사각형 형태의 전자선은 렌즈(330)에 의해 정형되고, 전자 레지스트가 코팅된 타겟 웨이퍼(350)에 충돌하기 전에 주사 편향기(340)에 의해 편향된다.

도 3에서, 도시되는 T-형 패턴을 주사하기 위해, 전자선이 주사 편향기(340)의 동작에 의해 주사되어야 하고, 또는 타겟 웨이퍼(350)가 이동하여야 한다. 어느 경우에도, 이는 간단한 집적 회로(IC) 설계를 이미징하는 데에도 충분한 시간을 필요로 한다. 집적 회로의 복잡도가 증가함에 따라, 반도체 회로 설계 규칙은 이에 따라 더 작은 전자선 스팟 크기를 필요로 한다. 스팟 크기가 작아짐에 따라, 주어진 패턴의 주사 완료에 시간이 더 많이 소요된다. 따라서, 전자선 리소그래피는 느리고 고가인 단점을 보여왔다. 따라서, 고효율의 전자 레지스트 기록 방법이 필요하다.

도 3에서, 전자선 리소그래피에서의 또다른 문제점은 잘려진 전자선을 이용하여, 가로막힌 전자 플럭스로부터 상당한 에너지를 흡수하는 마스크(320)의 이용을 포함하는 점이다. 마스크(320)의 열적 관리는 의문의 여지가 있다. 이는, β 방사 실드로서의 기능으로 인해 마스크가 급속하게 변형되고 녹아내리기 때문에, 가장 간단한 실딩 마스크의 이용조차 금하였다. 이 문제는 짧은 과장을 가지는 높은 에너지의 전자가 사용됨에 따라 흠뻑려야 할 열 에너지 역시 증가한다는 점에 의해 더욱 악화된다. 따라서, 마스크를 이용하지 않으면서 전자선의 단면을 만드는 방법이 필요하다.

아래 인용되는 미국특허들은 이 특허들이 의도한 목적과 용도에 적합한 실시예들을 공개한다.

미국특허 3,665,241 호는 전계 이온나이저 및 전계 방출 음극 구조 및 그 제작 방법을 공개하고, 미국특허 5,363,021 호는 대량 병렬 배열 음극 장치를 공개한다.

발명의 상세한 설명

요약해서, 본 발명은 디지털 방식으로 어드레싱가능한 전계 방출기 배열(가령, 공간적으로 변조되는 β 방사원)에 관한 것이다. 상기 배열은 전자 레지스트의 직접 노출을 위해 타겟 웨이퍼에 전계 방사된 전자선 배열을 함께 축소시키는 고정 자기 렌즈 시스템 및 텔레센트릭(telecentric) 자기 렌즈 시스템을 포함하는 자기 렌즈 조립체와 조합될 수 있다. 렌즈 조립체 이전에 상대적으로 높은 가속 전기장을 추가적으로 제공함으로써, 렌즈 조립체로부터 스트레이 자기장에 의해 유발되는 수차 효과가 최소화될 수 있다. 본 발명의 기대하지 않은 이로인 효과는 재-프로그래밍가능한 가상 마스크의 기능을 할 수 있는 저왜곡의 유연한 제작 툴을 제공하는 것이다.

발명의 주된 목적은 디지털 방식으로 어드레싱가능한 전자선 배열(전자선 매트릭스)을 생성하는 장치를 제공하는 것이다. 발명의 또다른 목적은 자기 렌즈 조립체로 인한 수차로부터 매트릭스의 왜곡 효과를 최소화시키면서 전자선 매트릭스를

자기 렌즈 조립체로 자기적으로 축소할 수 있는 장치를 제공하는 것이다. 발명의 또하나의 목적은 매트릭스를 편향시킴으로서 타겟 웨이퍼 화소를 채울 수 있는 장치를 제공하는 것이다. 발명의 또다른 목적은 비용이 경쟁력있는 장치를 제공하는 것이다. 발명의 또하나의 목적은 튼튼하면서도 신뢰성있는 장치로서, 고장 시간 및 동작 비용을 줄인 장치를 제공하는 것이다. 발명의 또다른 목적은 앞서 언급한 특징들 중 한 개 이상을 갖추면서 최소량의 장비를 이용하여 제작 및 조립이 상대적으로 간단한 장치를 제공하는 것이다.

발명의 첫 번째 태양에 따라, 이 목적들은 아래의 디지털 직접 기록 전자선 리소그래피 시스템을 제공함으로써 달성된다. 상기 디지털 직접 기록 전자선 리소그래피 시스템은 I) 디지털 방식으로 어드레싱가능한 전계 방출 배열, II) 상기 어드레싱가능한 전계 방출 배열에 작동가능하게 연결되는 정전 가속기 그리드, III) 상기 정전 가속기 그리드에 작동가능하게 연결되는 자기 렌즈 조립체, IV) 상기 자기 렌즈 조립체에 작동가능하게 연결되는 정전 편향판 세트를 포함한다. 상기 I) 전계 방출 배열은 A) 디지털 컴퓨터 인터페이스, B) 상기 디지털 컴퓨터 인터페이스에 전기적으로 연결되는 다수의 전계 방출기, C) 상기 다수의 전계 방출기에 작동가능하게 연결되는 정전 바이어스 그리드를 포함하고, 상기 III) 자기 렌즈 조립체는 A) 텔레센트릭 자기 렌즈 시스템, B) 교정 자기 렌즈 시스템을 포함한다. 한 실시예에서, 상기 매트릭스 시스템(즉, 전계 방출 배열 시스템)은 V) 상기 정전 가속기 그리드, 상기 자기 렌즈 조립체, 상기 정전 편향판 세트 모두를 따라 상기 다수의 전계 방출기에 전자적으로 연결되는 타겟 웨이퍼를 추가로 포함한다.

발명의 또다른 목적은 마스크없이 짧은 시간에 전자 레지스트를 패턴과 함께 직접 기록하는 데 사용될 수 있는 방법을 제공하는 것이다. 예측가능하고 재생성가능하여 변화 및 동작 비용을 감소시키는 방법을 제공하는 것이 발명의 또다른 목적이다. 앞서 언급한 특징들 중 한 개 이상을 가지면서도 설정 및 동작이 상대적으로 간단한 방법을 제공하는 것이 발명의 또하나의 목적이다.

발명의 두 번째 태양에 따라, 이 목적들은 아래의 단계로 이루어지는 방법을 제공함으로써 달성된다. 즉, 상기 방법은,

- 어드레싱가능한 방출기 배열을 프로그래밍하고,
- 공간적으로 변조된 전자선 매트릭스를, 상기 어드레싱가능한 전계 방출기 배열로 생성하며,
- 상기 공간적으로 변조된 전자선 매트릭스를 자기 렌즈 조립체로 모으는, 이상의 단계로 이루어진다. 한 실시예에서, 상기 방법은 상기 어드레싱가능한 전계 방출기 배열을 재-프로그래밍하는 단계를 추가로 포함한다.

실시예

1. 시스템 개관

앞서 언급한 높은 분해능 및 고속 패턴 기록의 요구사항은 서로 상충하는 문제이고 기존 전자선 총의 경우에 동시에 만족될 수 없다. 그러나, 마스크없이 짧은 시간 내에 전자 레지스트에 회로 패턴을 직접 노출시키기 위해 사용될 수 있는 공간적으로 변조되는 β 방사(즉, 전자)선 매트릭스를 발생시키는, 디지털 방식으로 어드레싱가능한 전계 방출기 배열을 시스템이 포함한다는 점을 고려할 때 본 발명에 따르는 디지털 직접 기록 전자선 매트릭스 시스템을 사용함으로써 어느 정도까지 이 요구사항들을 동시에 만족시키는 것이 가능하다. 매우 짧은 시간에 전자선 매트릭스를 재설정할만큼 상기 배열이 재-프로그래밍가능하여, 발명을 이상적인 유연한 제작 툴로 만든다.

다음의 정의는 장치 전반에 사용된다. 방출기는 다이아몬드-형 탄소(DLC)와 같이 잠재적으로 전자를 방출하는 물질로 규정된다. 대안의 전자 방출 물질로는 탄소 나노튜브(CNT), 실리콘 상의 비정질 다이아몬드, 화학 증기 증착법(CVD)에 의해 증착된 비정질 탄소 등이 있다. 충분한 강도의 전기장이 존재할 경우, 방출면은 전자를 방출하는 방출기 표면으로 규정된다. 방출 배열(EA)은 방출기의 배열로 규정된다. 전계 방출 배열(FEA)은 EA 더하기, 이에 상응하는 바이어스 그리드로 규정된다. 어드레싱가능한 전계 방출 배열(AFEA)은 FEA 더하기, 지지 집적 회로(IC)로 규정되며, 상기 IC는 로직과 메모리 제어(LMC)를 포함한다. 전자선 자체에서, 전자선 배열은 전자선 매트릭스(EBM)로 규정된다.

2. 선호되는 실시예의 상세한 설명

도 4에서, 발명에 따르는 디지털 직접 기록 전자선 매트릭스 리소그래피 시스템은 여러개의 층과 원격 컴퓨터 제어 장치(410)를 가진다. 시스템은 타겟 웨이퍼(420)를 추가로 포함하며, 상기 타겟 웨이퍼(420)는 전자 레지스트로 미리 코팅될 수 있다.

시스템의 첫 번째 층은 방출기 배열(430)(EA)을 포함한다. 방출기 배열(EA)은 전자선 소스용으로 사용되는 세부 음극의 2차원 배열이다. EA(430)는 더 높은 정보 밀도를 얻을 수 있도록 방출기 배열과 조밀하게 밀집될 수 있다. EA(430)의 프로그래밍과 재-프로그래밍은 원격 컴퓨터 제어 장치(410)에 연결되는 직접 디지털 컴퓨터 인터페이스(435)를 통해 이루어질 수 있다. 작은 EA는 10x10 배열의 전계 방출 소자를 가질 수 있고, 각각의 소자는 다중 컴퓨터 제어 연결을 가진다. 이러한 작은 EA를 프로그래밍하는 것은 대략 10밀리초보다 짧은 시간을 요하며, 단일 중앙 처리 장치(CPU)는 이러한 AFEA를 다수개 제어할 수 있다. 개별 전계 방출 소자들은 다이아몬드형 탄소나 다이아몬드 박막으로 만들어질 수 있다.

시스템의 두 번째 층은 정전 바이어스 그리드(440)를 포함한다. 정전 바이어스 그리드(440)는 EA(430)와 일체형으로 결합되는 금속층일 수 있다. 대안으로, 그리드(440)는 EA(430)에 인접하면서도 분리된 구조일 수 있다. 다이아몬드형 탄소(또는 다이아몬드)로부터 전자 방출을 이끌어내기 위해 필요한 전압은 미크론당 3볼트 수준이다. EA(430)와 그리드(440)는 전계 방출 배열(445)(FEA)을 구성한다. FEA(445)로부터 방사되는 전자선 배열은 전자선 매트릭스(480)(EBM)이라 불린다.

시스템의 세 번째 층은 몇 V의 에너지로부터 대략 100kV-200kV의 에너지까지 EBM의 전자를 불러오는 정전 가속기 그리드(450)를 포함한다. 이 높은 에너지 레벨은 작은 스트레이 자기장/전기장에 의해 유발되는 포커싱 오류에 대해 전자들을 상대적으로 무감각하게 한다. 특히, 높은 에너지에서는 작은 스트레이 자기장으로 인한 횡의 전자 반경이 무시할만한 수준이 된다. 더욱이, 높은 에너지로 인해, 타겟 웨이퍼(420)에 코팅되는 리소그래피 레지스트 물질을 전자가 적절하게 투과한다.

시스템의 네 번째 층은 자기 렌즈 조립체(460)를 포함하며, 상기 자기 렌즈 조립체(460)는 타겟 웨이퍼(420)에 충돌할 EBM(480)을 이미징하거나 축소할 수 있다. 자기 렌즈 조립체(460)는 텔러센트릭 자기 렌즈 시스템(463)과 교정 자기 렌즈 시스템(467)을 포함할 수 있고, 이 둘(463, 467)은 EBM(480)을 타겟 웨이퍼(420) 상에 축소시킨다.

자기 렌즈 조립체(460)는 미국, 캘리포니아, Pleasanton 소재의 GATAN Company의 자기 렌즈 시스템인 GATAN 이미징 필터를 바탕으로 할 수 있다. 이 이미징 필터는 원형 렌즈 대신에 원통형 자기 렌즈를 이용한다. 더욱이, 이 필터는 크로스-오버 점에서보다는 라인을 따라 전자가 크로스-오버되게 한다. 이 필터의 이용은 순차적인 수직 라인 크로스-오버의 발생을 포함하는 것이 선호된다. 교정 렌즈 시스템(467)은 헥사폴 교정기 렌즈(hexapole corrector lens)를 바탕으로 할 수 있다. 자기 렌즈 조립체(460)는 스트레이 필드를 최소화시키도록 초전도 물질로 제작되는 코일을 포함할 수 있다. 더욱이, 저렴한 액체 질소가 시스템 동작을 위한 충분한 냉각을 제공하도록, 코일이 초전도 산화물로 제작될 수 있다.

시스템의 필터층은 나노미터 범위 편향의 정전 편향판(470) 세트를 포함한다. 이 나노미터 범위 편향은 타겟 웨이퍼(420)면에 기록 화소를 채우기 위한 용도를 가질 수 있다. 따라서, 기록 화소들의 크기는 타겟 웨이퍼(420) 면에서 개별 전자선의 단면보다 크게 규정될 수 있다. 이는 약 10nm의 정확도로, 30nm x 30nm 전자선으로 100nm x 100nm 화소를 완전하게 기록할 것이다.

시스템의 첫 번째 층(전계 방출기 배열)은 이온 충돌로부터의 개별 전계 방출기 소자에 대한 손상을 최소화하도록 극초진공(UHV) 챔버 내에 위치하는 것이 바람직하다. 그러나, 개별 전계 방출기 소자들이 DLC(다이아몬드형 탄소)로 만들어지는 경우에, 방출기 소자들은 이온 손상에 대해 견고하며, UHV 환경을 필요로하지 않는다. 일반적으로, 시스템의 나머지층들은 UHV 환경을 필요로하지 않으며, 시스템 균형은 높은 진공 챔버 내에 위치할 수 있다. 이 두 챔버들은 개별 전자선들을 통과시키는 다수의 전도성 애퍼처를 포함하는 플랜지로 분리될 수 있다. 따라서, 이 플랜지 사이에 차등 펌핑이 있을 수 있다. 이 챔버들은 발명의 갱신 대상인 기존 리소그래피 스테퍼의 일부일 수 있다.

도 4에 도시되는 구조는 이해를 돕기 위해 도식적으로 나타내었다. 도 4에 도시되는 실시예가 두 개의 자기 렌즈를 포함하지만, 자기 렌즈나 정전 렌즈의 어떤 종류나 어떤 조합을 시스템에 제공하는 것도 당 분야의 통상의 지식을 가진 자에게 있어 발명의 범위 내에 있다. 더욱이, 어떤 종류의 정전 그리드나 편향기, 또는 그 조합을 시스템에 제공하는 것도 발명의 범위 내에 있다. 마찬가지로, 시스템에는 더 넓은 각도를 여과하기 위한 광학 마스크가 제공될 수 있다.

도 5에서, EA(430)와 정전 바이어스 그리드(440)를 포함하는 FEA(445)가 보다 상세하게 고려될 것이다. FEA(445), EA(430), 그리드(440)의 일부가 도 5에 도시된다. 실제 방출기 배열은 수백, 수천, 아니 수백만개의 개별 방출기를 포함할 수 있다. 마찬가지로, 상응하는 바이어스 그리드는 개별 전자선이 통과할 수 있는 이와 일치하는 세트의 구멍을 포함할 것이다.

EA(430)는 방출면으로부터 전자를 방출할 수 있는 다수의 어드레싱가능한 방출기(431-434)를 포함하는 것으로 도시된다. 물론, EA(430)는 도 5에 도시되는 네 개보다 훨씬 많은 방출기를 포함할 수 있다. 모든 방출기는 방출기 배열(EA)을 형성한다. 정전 바이어스 그리드(440)는 바이어스될 때 방출기(431-434)로 하여금 전자를 방출시킬 수 있게 하는 다수의 그리드 요소(441-444)를 포함하는 것으로 도시된다. 물론, 바이어스 그리드(440)는 수많은 요소들을 포함할 수 있다. 바이어스 그리드(440)는 FEA(445) 상의 최종 금속층으로서, 상대적으로 작은 커패시턴스를 가져야 한다. 그래서, 적절한 전원공급 장치를 이용할 때 백만분의 일초 이하의 스위칭 시간 내에서 양/음의 몇 볼트로 바이어스 그리드(440)가 바이어스될 수 있고, 그래서 FEA(445)의 전체 기록 전류를 온/오프시킬 수 있다. EA(430)와 바이어스 그리드(440)는 전계 방출 배열(445)을 구성하여, 적절한 전자 레지스트 물질로 코팅된 반도체 웨이퍼에 리소그래피 패턴을 직접 기록할 수 있는 전자선 매트릭스(480)를 발생시킨다.

전자선 매트릭스(480)의 제어는 다음 방식으로 제공된다. 전체 전계 방출 배열(445)의 온이나 오프는 음에서 양으로, 또는 양에서 음으로 바이어스 그리드(440)를 스위칭함으로써 달성된다. 개별 바이어스가 각각의 방출기(431-434)에 공급될 수 있다는 점을 주목하여야 한다. 특히, 각각의 방출기(431-434)는 개별 방출기의 바이어스에 대해 연결부(530)를 통해 개별적으로 어드레싱가능하다. 따라서, 각 방출기 음극으로부터의 개별 전자선은 어드레싱가능하다. 바이어스 그리드(440)가 "온"일 경우(양의 바이어스), 그리드(440)에 대해 음으로 바이어스된 방출기는 방출을 일으킬 것이다. 따라서, 발명은 타겟 웨이퍼(420)에 어떤 이러한 패턴이 기록되기 전에 FEA(445) 내에 패턴을 프로그래밍한다.

FEA(445)가 "온"되면, 바이어스 그리드(440)에 의해 전체적으로, EA(430)를 구성하는 개별 방출기(431-434)에 공급되는 개별 바이어스는 특정 방출기가 기록용으로 프로그래밍되는 지 비-기록용으로 프로그래밍되는 지를 결정할 것이다. 개별 방출기가 기록하면, 방출기는 FEA(445)로부터 방출되는 전체 전자선 매트릭스에 기여하는 전자선을 방출할 것이다. 개별 방출기가 기록하지 않으면, 매트릭스의 일부는 전자의 보이드(void)일 것이다. 따라서, 기록-상태나 비-기록-상태인 각각의 개별 방출기는 FEA(445)로부터 발생하는 전체 전자선 매트릭스의 배치를 결정할 것이다.

바이어스 그리드(440)는 본 예에서 EA(430)에 기계적으로 연결된다. FEA(445)의 각각의 화소는 전자 방출 개시에 필요한 전기장을 함께 공급하는 방출기 팁과 추출 그리드 부분을 포함한다. 앞서 언급한 바와 같이, 작동 중에, 각각의 방출기는 기록이나 비-기록으로 프로그래밍될 것이다. 이는 방출면으로부터 전자를 방출시키기에 충분한 바이어스 그리드에 대한 전기장을 규정하는 방출기 면에 상대적으로 음의 바이어스를 공급(기록-상태)함으로써, 또는 그리드(440)에 방출기면을 접지(비-기록-상태)시킴으로써 이루어질 수 있다.

FEA(445)는 로직 및 메모리 칩(520)(LMC)을 내장한 실리콘 집적 회로(510)에 미세제작될 수 있다. LMC(520)는 각각의 방출기를 개별적으로 제어하기 위해 필요하다. FEA(445), 집적 회로(510), LMC(520)는 모두 함께, 어드레싱가능한 전계 방출 배열(AFEA)을 구성한다. 어드레싱가능한 전계 방출 배열은 신속한 재-프로그래밍을 위해 디지털 방식으로 어드레싱가능한 전계 방출 배열이 선호된다.

이해를 돕기 위해 방출기와 바이어스 그리드는 각각, 간단한 블록 및 T-형 구조로 도 5에 도시된다. 그러나 다른 형태 및 다른 숫자를 가질 수 있다.

본 발명의 선호되는 실시예는 밝기와 낮은 수차를 검사함으로써 본 발명의 선호되는 실시예가 한번에 식별될 수 있다. 밝기 검사는 간단한 기존 전자 플럭스 검출 실험을 이용함으로써 부적절한 실험없이 전계 방출 배열에서 실행될 수 있다. 저수차 검사는 간단한 기존 자기장 검출 실험을 이용함으로써 부적절한 실험없이 자기 렌즈 조립체에서 실행될 수 있다.

발명은 1초 수준의 시간 주기 내에서 0.1 미크론 선폭으로, 1cm x 1cm 칩을 잠재적으로 기록하는, 쉽게 프로그래밍가능한 전계 방출기 배열에 수백만개의 전자선으로 동시에 기록할 수 있다. 발명은 10nm의 선폭까지 스케일링이 가능하다. 발명은 리소그래피 처리 중 물리적 마스크의 필요성을 제거한다. 넓은 면적을 신속하게 기록함에 추가하여, 발명은 디지털 방식으로 프로그래밍가능한 가상 마스크의 장점을 가지며, 이 가상 마스크는 이동하는 부분없이 백만분의 몇초 내에서 새 층에 대해 재-프로그래밍가능하다.

사례

발명의 구체적인 실시예는 중요한 여러 특징부를 상세하게 설명하는 다음의 비제한적인 예에 의해 이제부터 설명될 것이다. 따라서, 본 예들은 본 발명의 범위를 제한하는 것으로 간주되어서는 안될 것이다.

이전에 보고된 여러 접근법이 가지는 문제점 중 하나는 매우 크고 정확하며 고가의 자기 렌즈 장치를 필요로한다는 점이며, 또한 자기 렌즈 시스템의 크로스-오버 점을 통과할 수 있는 전류에 의해 속도가 제한된다는 점이다. 너무 많은 전류가 작은 체적을 통과할 때, 전류는 "공간-전하 블로우-업"이라 불리는 물리적 현상을 경험한다. 전류의 전하 밀도는 입자를 충돌시키고 서로 밀어내게 하여, 포커싱되지 않게 한다.

발명은 온-칩 정전 포커싱 스택을 포함할 수 있다. 이 스택은 각 나노-음극으로부터의 전류를 포커싱한다. 포커싱 스택은 AFEA 칩 자체의 제작 과정의 일부로 만들어질 수 있고, 그래서 칩 내에 통합될 수 있다. 온-칩 포커싱 스택은 다수의 정전 요소를 포함하며, 각각의 나노-음극마다 한 개씩의 정전 요소가 대응한다. 온-칩 정전 포커싱 스택은 AFEA로부터 대략 20-100 마이크론의 거리에서 나노-음극으로부터의 전류를 포커싱할 수 있다(정확한 거리는 초점에서 전자선의 스팟 크기에 달려있다).

이 방식으로, 모든 나노-음극 전류가 중첩될 때 어떤 크로스-오버 점도 없으며, 각 나노-음극으로부터의 전류가 포커싱 거리 상에서 공간-전하 블로우-업(space-charge blow up)을 위한 한계 아래에 있기 때문에 어떤 공간-전하 블로우업도 없으며, 추가적인 칩이나 칩 당 더 많은 나노-음극을 더함으로서 달성될 수 있는 전류에 대한 제한이 없다. 대량 병렬 EBDW(전자선 직접 기록) 리소그래피 시스템의 비용은 본질적으로 감소하고, AFEA 칩의 정전적 포커싱 버전으로 속도가 증가된다. 추가적으로, 전류 조절 회로는 웨이퍼의 균일한 리소그래피 노출을 보장하여, 적절하게 제어된 리소그래피 처리가 발전될 수 있다.

이는 고가의 대형 자기 렌즈 시스템을 제거하고, 전체 300mm 반도체 웨이퍼를 정전 포커싱으로 AFEA 칩의 배열에 의해 리소그래피 방식으로 노출시킨다. 칩 배열은 후면으로 조립될 수 있고, 웨이퍼는 정확한 선형 변환 스테이지 상의 배열 아래에서 통과할 수 있다. 각각의 나노-음극에 전류를 적절하게 프로그래밍함으로써, 그리고 AFEA 배열 아래에서 가로지름에 따라 대략 10개나 12개의 음극 아래에서 웨이퍼 상에 노출될 화소의 각각의 컬럼이 통과하도록 칩을 배열함으로써, 전체 300-mm 웨이퍼는 대략 30초의 주기로 AFEA 음극으로부터 전자선에 의해 리소그래피 방식으로 노출될 수 있다. 물론, 다른 배치도 가능하다.

발명은 어드레싱가능한 전계 방출 배열 칩(AFEA)에 집적될 로직, 메모리, 제어 회로의 일부로 전류-카피어(current-copier)나 메모리 회로를 포함할 수 있다. 각 나노-음극에 대해 한 개의 전류-카피어 회로가 있다. 전류 카피어 회로에 의해, AFEA 칩 상의 나노-음극의 각각이 동일한 전류를 방출할 수 있다. 이 전류 카피어 회로는 각각의 나노-음극에 대해 로직, 메모리, 제어 회로와 함께 칩 상에 직접 제작될 수 있다. 따라서, 모든 회로는 칩 설계 내에 통합될 수 있고, 나노-음극과 함께 칩 자체에 리소그래피 방식으로 생성될 수 있다.

발명은 완전한 신뢰성이나 대량 병렬 주사 전자 현미경을 위해, 검출기를 갖춘 일부 방출기(예를 들어 대략 반)에 의해 사용되는 공간의 대체를 포함할 수 있다. 이 검출기들은 전자 검출기이거나 광검출기인 것이 선호된다(광검출기는 기관 위층이나 형광 포토레지스트를 필요로할 수 있다). 전자 검출기의 경우에, 이러한 시스템은 대량 병렬 SEM(주사 전자 현미경)으로 사용될 수도 있다. 전자 검출기나 광검출기는 아래의 타겟면과 충돌하거나 다시 반사되는 전자의 수를 측정할 수 있고, 그래서 표준 SEM 방식이면서도 대량 병렬 방식으로 면 형태의 그림을 구축한다.

이러한 시스템은 가령, 대략 60초 이하의 시간동안 결함에 대한 전체 웨이퍼의 신속한 주사에 사용될 수 있다. 주사에 필요한 정확한 시간은 사용되는 칩의 수, 시스템의 클럭 속도, 그리고 주사되는 웨이퍼의 실제 크기에 의해 결정된다.

전자 검출기나 광검출기를 갖춘 AFEA 방출기 반의 대체는 반도체 웨이퍼의 매 화소가 노출된다는 절대적인 확인을 가능하게 한다. 앞서 언급한 바와 같이, 검출기가 전자 검출기일 경우, 동일한 시스템은 결함에 대한 반도체 웨이퍼 검사를 위한 초고속 대량 병렬 저전압 SEM으로 사용될 수 있다. "National Technology Roadmap for Semiconductors"의 Semiconductor Industry Association 1997년 판에 따라, 130nm 이하의 특징부 크기에 대한 패턴처리된 반도체 웨이퍼의 고속 검사(10,000cm²/시간)에 대한 어떤 공지된 해법도 존재하지 않는다. 본 발명은 상기 문제에 대한 해법을 제공한다. 대략 85,000 cm²/시간까지의 속도로 웨이퍼 검사를 실행할 수 있기 때문이다.

발명은 대량 병렬 전자선 직접 기록(EBDW) 반도체 리소그래피에 대한 시스템 설계를 또한 포함한다. 각각의 음극은 전자 결합 소자(CCD) 카메라에 의해 사용되는 것과 유사한 버킷-브리게이드 로직 기법으로 디지털 방식으로 어드레싱될 수 있다. 발명의 일부 실시예는 단일 1-cm 집적 회로 상에 개별적으로 어드레싱가능한 10⁶개 이상의 전계 방출 음극을 가질 수 있다. AFEA 리소그래피 설계에 대한 추가적인 확장은 확실하게 제어되는 전하 운반을 위해 각각의 방출기를 구동하는 개별 전류-소스와, 각각의 방출기에 대한 온-칩 정전 포커싱의 추가(자기 렌즈 포커싱에 반함)를 포함한다. 온-칩 정전 포커

상으로, 반도체 위에서 20-100 마이크로미터로 후면에 지지되는 이 칩들의 300의 배열(평균 10개 깊이로 30개 폭)은 30초동안 40 nm 화소로 전체 300mm 웨이퍼를 리소그래피 방식으로 노출시킬 수 있다. 온-칩 정전 포커싱은 유전체층(일반적으로 저온 이산화규소층)으로 분리된 방출기와 제 1 제어 그리드 위에 리소그래피 방식으로 생성되는 추가 그리드를 포함할 수 있다.

리소그래피 시스템의 한 예로, 정전 스택 그리드간의 이격 거리 및 전압은 칩으로부터 약 30마이크론의 거리에서 상응하는 20nm 스팟 크기로 다수의 200nm 음극 각각을 포커싱하도록 설계될 수 있다. 대안으로, 그리드는 노출될 웨이퍼와 AFEA 칩 배열 간의 약 60 마이크로미터 작업 거리로 40-nm 스팟 크기로 포커싱하도록 설계될 수 있다.

도 6에서, AFEA 칩의 한 예가 도시된다. 고상 방출기 음극(610)은 약 200 nm 직경을 가지며, 대략 4마이크론 피치로 배열된다. 음극간 대부분의 영역은 로직, 메모리, 제어 회로(LMC's)로 사용되어, 개별 화소가 온인지 오프인지 제어하고, 온 상태인 방출기/화소에 대한 전류를 조절한다. 전체 배열은 음극 위 제 1 그리드(620) 전압(가령, 도 6에서 10V)을 조절함으로써 온되거나 오프되어, 칩이 제 1 그리드(620)와 함께 전체적으로 온이나 오프될 뿐 아니라, 각각의 개별 방출기가 LMC's와 개별적으로 온/오프로 프로그래밍될 수 있다. 이는 AFEA 배열 하에서 웨이퍼가 통과함에 따라 웨이퍼 상의 모든 화소를 개별적으로 기록하게 한다.

방출기 밀도가 소재의 설계 규칙에 대해 AFEA에서 높을 경우, 칩은 웨이퍼에 대해 약간의 경사를 보일 것이다(20nm 포커싱 스팟에서 웨이퍼의 선형 변환 단계에 대해 4마이크론에서 20nm의 각도, 40nm 포커싱 스팟에서 4마이크론의 20nm 각도). 이 배열로, AFEA 배열의 다중 방사기는 300nm 웨이퍼에 모든 40nm 화소를 개별적으로 어드레싱할 것이다. 이는 특정 방출기 고장시에 웨이퍼 상의 어떤 화소도 어드레싱하는 방출기의 리던던시(redundancy)를 가능하게 하며, 포토레지스트의 그레이-스케일 조명 가능성을 연다. 그레이-스케일 조명(Gray-scale illumination)은 전체 AFEA 칩의 정시 변조에 의해 달성될 수도 있다. 특정 조명을 수용하는 화소들은 필요한 대로 그레이 스케일 조명을 위해 온으로 프로그래밍된다.

도 7에서, 정전 포커싱 그리드의 스택에 대한 예시적인 배치가 도시된다. 본 특정 예에서, 그리드 스택은 200-nm 직경 방출기(710)를 가지는 약 4 마이크로미터 깊이이다. 방출기(710)는 평탄한, 균일 방출 음극일 수 있다. 이 스택은 도 5에 도시되는 LMC의 상부에 위치하는 패드에 놓인 방출기로 기존 리소그래피 방법에 의해 생성될 수 있다.

도 7의 본 특정 예에서, 방출된 광선(720)은 AFEA 최종 그리드(730)로부터 30 마이크로미터의 작업 거리에서 직경 20nm 이하의 FWHM(절반에서 최대인 완전한 폭) 스팟에 포커싱된다. 그리드간에 잠재적인 먼(740)이 존재할 수 있다.

100% 신뢰성이 필요할 경우, 모든 다른 방출기/음극은 모든 펄스의 모든 방출기의 작동을 확인하기 위한 전자 검출기나 광검출기로 대체될 수 있다. 광검출기의 경우에, 발명의 선호되는 실시예는 레지스트나 타겟 상의 형광층을 이용한다. 전자 검출기가 사용될 경우에, 이는 대량 병렬 주사전자 현미경으로 시스템이 작동하게 한다. 배열이 방사될 때마다 각 검출기에 의해 수용되는 전하를 컴퓨터로 클릭 아웃함으로써, 배열 아래 기관의 이미지가 형성될 수 있다. 이는 대량 병렬 방식이고, 웨이퍼는 전자선을 전자적으로 주사하기보다는 단계별로 선형으로 주사된다.

발명은 공간 전하 제한을 피할 수 있다. 전류가 매우 작기 때문에, 100pA 방출기 선이 100 마이크로미터 길이에 대해 블로우업되지 않는다. 각각의 칩은 10^6 개 이상의 음극으로부터 1 마이크로암페어의 시간 평균 전류를 생성할 것이다. 시스템에 더해진 모든 칩은 웨이퍼가 칩으로 완전히 덮힌 지점까지 또다른 마이크로암페어의 평균 전류를 더한다. 이는 최대 가능한 시간 평균 전류가 단일 300mm 직경 웨이퍼 상에서 여기서 논의되는 구현에 대해 700 마이크로암페어 부근이라는 것을 의미한다. 그러나, 이는 더 작은 특징부 크기를 가지는 AFEA 칩의 새 발생을 위해 음극 밀도가 증가함에 따라 증가하고, 두 개 이상의 웨이퍼가 한번에 배열 하에서 통과될 수 있다. 웨이퍼 기록 속도는 단계별 속도와 설치된 AFEA 칩 모듈의 수에 의해 제한될 것이고, 기존 자기적으로 포커싱된 전자선 리소그래피에서와 같이 가용 전류에 의해 제한되지는 않는다.

발명은 모듈방식을 가질 수 있다. 가령, 시스템은 1cm 칩의 증가로 설계될 수 있다. 시스템 설계 최적화를 위해 속도와 비용이 절충될 수 있다. 칩이 많을수록 고속이 되고, 칩이 적을수록 저렴한 시스템이 된다. 데이터 처리 역시 모듈방식일 수 있다. 기가바이트/초의 광섬유는 한 칩 당 적절한 데이터를 제공할 것이다. 각각의 칩은 데이터에 대한 RAID 디스크 배열과 그 고유 CPU에 의해 구동될 수 있다.

본 발명은 매우 높은 생산성을 가질 가능성이 있다. 방출기당 1000 전자 펄스/초로 클릭되는 웨이퍼 상의 40nm 화소에 포커싱되는 4마이크론 피치의 방출기를 가지는 칩의 경우에, 30칩 폭과 10칩 깊이의 배열에서, 본 실시예는 상기 배열 아래 1cm/초에서 선형으로 웨이퍼를 트랙함으로써 30초에 300nm 웨이퍼를 기록할 수 있다.

발명은 큰 깊이의 초점을 가질 수 있다. 도 7에 도시되는 예에서, 초점의 깊이는 대단하다. 특히, 초점의 깊이는 4미크론 수준일 수 있다. 횡방향(열적) 전자 속도 및 구형 수차는 본 예에서 실제 초점 스팟 크기를 제한한다.

도 8은 전자적으로 포커싱되는 AFEA 칩 소스(820)의 배열(810)을 통합하는 리소그래피 시스템의 사시도이다. 각각의 칩 소스(820)는 광섬유(830)에 연결된다. 이 광섬유에 의해 제공되는 데이터 전송률은 대략 섬유당 1기가바이트일 수 있다. 각각의 광섬유(830)는 CPU(840)와 이에 대응하는 RAID 디스크 배열(850)에 연결된다. 가장 넓은 지점에서 AFEA 칩 배열은 30개의 칩 간격을 가질 수 있고, 평균적으로 10개 칩의 깊이를 가진다. 도 8은 13개, 11개, 5개의 칩을 각각 사이에 둔 세 개의 행을 도시한다. 웨이퍼 변부에서, 10개의 칩은 너무 깊을 수 있고, 그래서 각 컬럼에서 정확한 수의 칩이 특정 시스템이나 웨이퍼 크기에 대해 계산될 수 있다. 본 특정 예에서, 각각의 칩은 10^6 개의 빔렛(beamlet)을 방출할 수 있다. 상기 세 칩으로부터의 빔렛만이 도 8에 도시된다. 방출기의 매우 높은 밀도와 리턴던시 때문에, 선형 변환 스테이지만이 요구될 수 있다(x-변환 스테이지 이동은 단일 화살표로 도시됨). y-방향의 어떤 변환도 필요하지 않다. AFEA 모듈이 거의 필요하지 않을 경우, x-y 스테퍼/변환 스테이지가 사용될 수 있다.

도 8에 도시되는 특정 예에서, 웨이퍼 스테이지(870)에 위치하는 웨이퍼(860)는 배열(810)로부터 대략 30미크론 거리에 있다. 본 특정 예에서, 웨이퍼 스테이지(870)와 배열(810) 간에 대략 0.3도의 오프셋 각도가 존재한다. 약간의 오프셋으로 인해, 웨이퍼(860)가 스테이지(870)에 의해 변환됨에 따라, 직렬로 인접한 칩으로부터의 빔렛이 바로 상향의 다이를 잉여적으로 밝힐 수 있다(충돌할 수 있다).

로직, 메모리, 제어 회로

AFEA는 도 9에 도시되는 바와 같이 작은 형태의 CMOS IC 공정에서 실현된 논리 시프트 레지스터(910)와 전류 레귤레이터 회로(920)를 이용하여 제어될 수 있다. 시프트 레지스터(910)는 AFEA 칩에 온/오프 화소의 패턴을 저장하게 하고, 전류 레귤레이터 회로(920)는 턴-온 전압의 화소간 변화를 보상하고, 화소 전류의 양호한 일치를 유지한다.

회로 구현에 필요한 면적을 최소화시키는 것이 바람직하다. 회로 구현에 필요한 면적을 최소화시키기 위해, 시프트 레지스터(910)를 구성하는 래치(930)(latch)는 직렬 동적 메모리 셀로 구현될 수 있다.

도 10에서, 전류 메모리 셀 (1000)은 전류 레귤레이터 회로에 사용될 수 있다. 이 회로(1000)는 기본적으로 동적 메모리로서, 그 출력 전류는 기준 전류에 의해 설정된다. 동일한 참조 전류가 AFEA의 모든 메모리에 사용되고 전하 주사 및 출력 임피던스의 효과가 설계에 의해 최소화될 경우, 화소간 적절한 일치가 보장된다.

도 11에서, 노출되는 반도체 웨이퍼 화소 상의 포토레지스트로부터 형광, 제 2 전자 방출, 재-반사 등을 감시함으로써, 방출기 동작의 실시간 검출이 얻어진다. 검출기(1100)는 도 11에 도시되는 바와 같이 방출기(1100)를 둘러싸는 스플릿-링(split ring)으로 배열될 수 있다. 전자 검출기 대신에, 광검출기가 사용될 경우, 검출기는 제어 회로 기관의 얇은 n-이나 p-확산 영역일 수 있으며, 광학적으로 명백한 포커싱 스택의 스플릿-링 구멍이 2차 전자 검출에 사용될 수 있다. 검출기 회로는 LMC 회로의 대략 반을 대체할 수 있고 칩 내에 통합될 수도 있다. 기관의 노출 중 검출기(1100)에 의해 수용되는 전하를 유지하면서 CCD가 관독되는 방식과 유사하게, 버킷-브리게이드 방식(bucket-brigade fashion)으로 신호가 통과해 나갈 수 있다.

발명의 여러 특징은 대안의 버전을 가진다. 리소그래피 방식으로 통합된 정전 포커싱 광학 장치의 전압, 그리드 구멍 크기, 그리드 간격을 달리함으로써 수많은 대안의 버전이 존재한다. 전류 카피어 회로에도 여러 변화가 있다. 리소그래피나 주사 전자 현미경용으로 기관을 작동시키는 후면에 AFEA 칩을 장착하기 위한 구조는 칩의 수, 칩의 위치 등에서 셀 수 없이 많은 변화를 가진다. 디지털 방식으로 어드레싱가능한 통합형 나노-음극 자체는 형태나 방출기 물질의 수많은 변화에 속한다. 중심 전극에서 음전위를 가지는 정전 포커싱 스택 설계의 버전이 또한 존재한다. 이는 양이온이 스택에 진입하는 것을 방지하고 음극과 충돌하는 것을 방지하는 장점이 있다. 대량 병렬 SEM의 경우에 대한 검출기 형태의 여러 대안의 버전이 가능하다.

발명의 장점은 리소그래피 방식으로 생성되는 칩 상에 집적된 정전 포커싱 스택을 포함하는 것이고, 상기 포커싱 스택은 칩 상에 통합된 음극의 매 하나마다 한개씩 위치한다. 전자나 이온을 다룬 이전에 보고된 접근법들은 분리된 포커싱 방법을 가진다. 이전에 보고된 어떤 접근법들도 칩 상에 집적되지 않았고, 어느 접근법들도 칩에 집적된, 개별적으로 디지털 방식으로 어드레싱가능한 나노-음극을 가지지 않는다.

발명의 한가지 장점은 공간 전하 블로우업을 피할 수 있다는 점이다. SCALPEL⁽⁵⁾, 마이크로-컬럼⁽⁴⁾, 이온 빔⁽⁷⁾ 리소그래피 기술은 공간 전하에 의한 전류로 모두 제한된다. 정전 포커싱을 가지는 대량 병렬 AFEA는 스테이지 속도에 의해 제한될 수 있으나 가용 전류에 의해 제한되지는 않는다.

발명의 한가지 장점은 매우 작은 특징부 크기로 초고속 리소그래피를 실행하는 능력에 있다. 이전에 보고된 어떤 접근법도 100nm 이하의 특징부 크기에서 분당 300mm 웨이퍼 한개보다 큰 값의 초고속 리소그래피를 실행할 수 없었다. 이전에 보고된 어떤 접근법들도 합리적 생산성으로 50nm 이하의 특징부 크기를 인쇄할 수 없다. 이전에 보고된 접근법들은 대전된 입자 광학 장치에 의해, 또는 광자 장치에 의해 제한된다.

발명의 한가지 장점은 반도체 웨이퍼 검사를 위한 대량 병렬 SEM 시스템으로 작용하는 능력에 있다. 모든 다른 음극과 그 LMC 회로를 검출기 및 검출기 회로로 대체함으로써, 마이크로-컬럼이나 표준 SEM 기술에 의해 달성될 수 있는 더 빠른 속도로 시스템이 웨이퍼를 검사할 수 있다. (단일 대량 병렬 AFEA SEM 시스템에서 시간당 85,000cm²/시간까지) 이러한 속도의 웨이퍼 검사를 실행할 수 있는 어떤 다른 방법도 알려져 있지 않다.

발명의 한가지 장점은 화소간 전류 균등화를 위한 전류 카피어 회로를 제공하는 능력에 있다. 화소간 전류 균등화를 위한 전류 카피어 회로는 어떤 다른 리소그래피 시스템에서는 가용하지 않다.

발명의 한가지 장점은 오직 한개의 주사 스테이지(한 방향)만이 요구된다는 점이다. 이전에 보고된 접근법 모두는 최소한 2차원의 주사 및 제어를 필요로한다. 이전에 보고된 주사 스테이지는 나노미터 단위 정확도로 간접 방식으로 구동되어야 하고, 극히 비싸다. 이들 스테이지 중 한개의 제거는 시스템 비용을 크게 감소시킨다.

발명의 한가지 장점은 크고 비싼 포커싱 광학 장치를 피할 수 있다는 점이다. 이전에 보고된 접근법 모두는 매우 크고 정확하며 광을 모으는 광학 장치를 필요로한다. AFEA용 광학 장치는 리소그래피 방식으로 저렴하게 칩에 집적될 권리를 갖고 있다. 따라서, 시스템 비용이 크게 감소한다.

발명의 한가지 장점은 다음 세대로 업그레이드가 용이하다는 점이다. 시스템 상의 칩을 바꾸고 소프트웨어를 업그레이드 하는 것은 시스템을 다음 세대의 리소그래피로 업그레이드하기 위해 필요한 전부일 것이다. 컴퓨터 제어 시스템 등은 유지될 수 있다. 그러나, 특정 차세대 AFEA 칩의 완전한 속도 가능성을 달성하고자 하드웨어를 업그레이드하는 것이 필요할 수 있다. 그럼에도 불구하고, 단지 AFEA 칩을 바꾸고 소프트웨어를 업그레이드함으로써, 새로운 특징부 크기로 시스템을 업그레이드하는 것이 전체적으로 가능할 것이다. 모든 나머지 하드웨어는 재사용가능하다.

발명의 한가지 장점은 본 기술에 마스크가 없다는 점이다. EVU⁽⁸⁾, XPRL⁽⁶⁾, IPL⁽⁷⁾, SCAPEL⁽⁵⁾ 기술 모두는 마스크를 필요로한다. 기술에 상관없이, 반도체 리소그래피에 대한 모든 장비 비용보다 마스크가 훨씬 비쌀 것으로 예상된다. 디지털 방식으로 프로그래밍가능한 비-마스크 기술은 이러한 환경에서 상당한 비용 측면의 장점을 가진다.

산업상 이용 가능성

기술 분야 내에서 가치가 있는 발명의 실제적 분야는 전자 레지스트에 패턴을 기록하는 것이다. 더욱이, 발명은 리소그래피 스테퍼와 연계할 때, 또는 대량 병렬 주사전자 현미경 등과 연계할 때 유용하다. 발명에 대해 수많은 용도가 존재하며, 이 모두를 여기서 상세하게 설명할 필요는 없다.

여기서 기술되는 발명의 모든 공개 실시예들은 부적절한 실험없이 기존 물질, 서브부품, 서브조합 과정을 이용하여 실현되고 실체된다. 본 발명을 실행하기 위해 발명자에 의해 고려되는 최적의 모드가 앞서 공개되었음에도, 본 발명의 실제 적용은 이에 제한되지 않는다. 발명의 사상과 범위를 벗어나지 않으면서 본 발명의 특징의 여러 추가, 수정, 재배열 등이 가능하다. 따라서, 첨부된 청구범위 내용 안에서 발명이 구현될 수 있다.

가령, 전자선 매트릭스 소스는 추가적인 정전 그리드나 자기 렌즈, 또는 편향관을 제공함으로써 향상될 수 있다. 마찬가지로, 다이아몬드형 카본(DLC)이 방출면에 선호되지만, 어떤 전계 방출 물질도 그 위치에 사용될 수 있다. 추가적으로, 개별 부품은 공개된 물질로부터 제작될 필요가 없고, 하지만, 어떤 적절한 물질로부터도 제작될 수 있다.

더욱이, 개별 부품은 공개된 형태로 형성될 필요도 없고 공개된 배치로 조립될 필요도 없지만, 어떤 형태로 제공될 수도 있고 어떤 배치로도 조립될 수 있다. 그래서 어드레싱가능한 전계 방출기 배열을 제공하도록 전자에 영향을 미칠 수 있다. 더욱이, 여기서 공개된 어드레싱가능한 전계 방출기 배열이 물리적으로 분리된 모듈이지만, 관련 장치 내에 상기 배열이 통합될 수 있다는 사실도 명백하다.

참고문헌

1. The Electrical Engineering Handbook, CRC Press, (Richard C. Dorf 외, 1993)
2. Thin Film Processes, Academic Press, Inc., (John L.Vossen 외, 1978)
3. Van Nostrand's Scientific Encyclopedia 8th Ed., Van Notstrand Reinhold, (Douglas M. Considine 외. 1995)
4. T.H.P. Chang, 외, "Electron-Beam Microcolumns for Lithography and Related Applications," J.Vac.Sci.Technol.B, v.14, no.6, 1997, pp 3774-3781.
5. Lloyd R. Harriott, "Scattering With Angular Limitation Projection Electron Beam Lithography," J.Vac.Sci.Technol.B, v.15, no.6 1997,pp2130-2135.
6. Scott Hector, 외, "X-ray Lithography for ≤ 100 nm Ground Rules in Complex Patterns", J.Vac.Sci.Technol.B, v.15, no.6, 1997, pp. 2517-2521.
7. J.Melngailis, "A Review of Ion Projection Lithography," J.Vac.Sci.Technol.B, v.16, no.3, 1998, pp. 927-957
8. C.W.Gwyn,외, "Extreme Ultraviolet Lithography," J.Vac.Sci.Technol.B, v.16, 1998, pp.3142-3149.
9. Standard SEM, "Scanning Electron Microscopy" by P.R.Thornton, 1968, Chapman and Hall, London.
10. M.A.Sturans, 외, "EL5: One Tool for Advanced X-ray and Chrome on Glass Mask Making," J.Vac.Sci.Technol.B, v.16, no.6, 1997, pp. 3164-3167.

도면의 간단한 설명

도 1은 공지기술의 전자총 단면도.

도 2는 공지기술에 따른 기존 전자기적 전자선 편향 공정의 단면도.

도 3은 공지기술에 따른 기존 전자 레지스트 기록 배치의 도면.

도 4는 본 발명의 한 실시예를 나타내는, 디지털 직접 기록 전자선 매트릭스 시스템 장치의 단면도.

도 5는 발명의 한 실시예를 나타내는, 디지털 방식으로 어드레싱가능한 전계 방출기 배열의 단면도.

도 6은 발명의 한 실시예를 나타내는, 로직, 메모리, 제어 회로(LMC)가 전원-소스 회로를 포함하는 AFEA 칩의 도면.

도 7은 발명의 한 실시예를 나타내는, 초점이 최종 그리드로부터 30 마이크로 거리에 위치하는 평탄한 AFEA 방출기를 위한 정전 포커싱 구조 설계의 도면.

도 8은 발명의 한 실시예를 나타내는, 대량 병렬 정전적 포커싱 EBDW 시스템의 사시도.

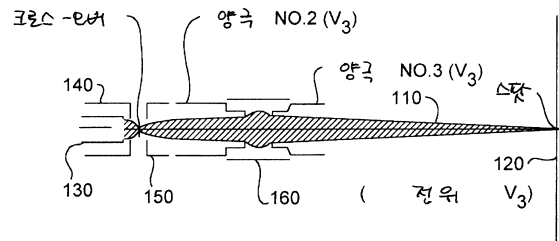
도 9는 발명의 한 실시예를 나타내는, AFEA 제어 전자 장치의 블록 도표.

도 10은 발명의 한 실시예를 나타내는, 전류 메모리 셀의 회로도.

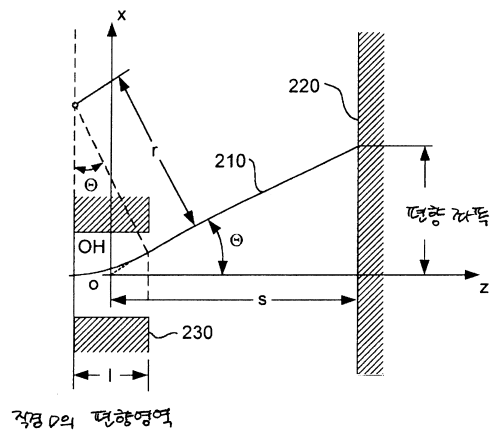
도 11은 발명의 한 실시예를 나타내는, 화소 동작 감시를 위한 방출기/검출기 배치의 도면.

도면

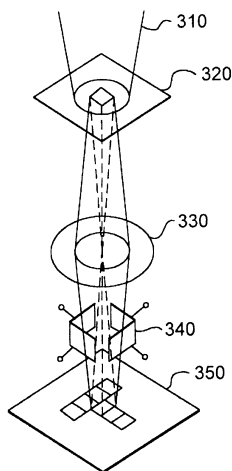
도면1



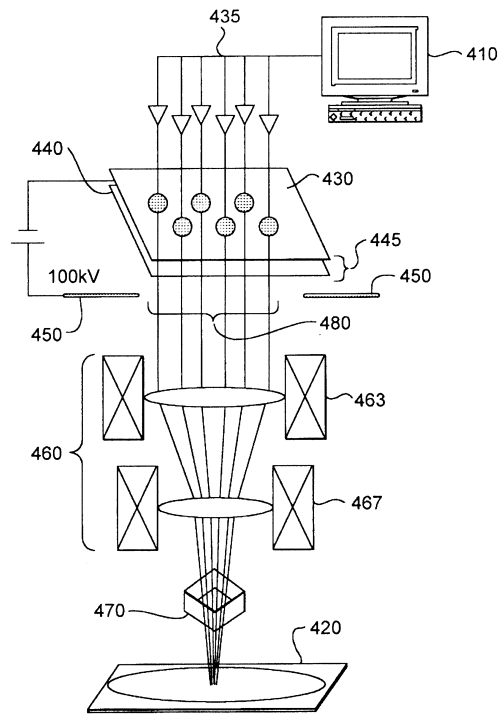
도면2



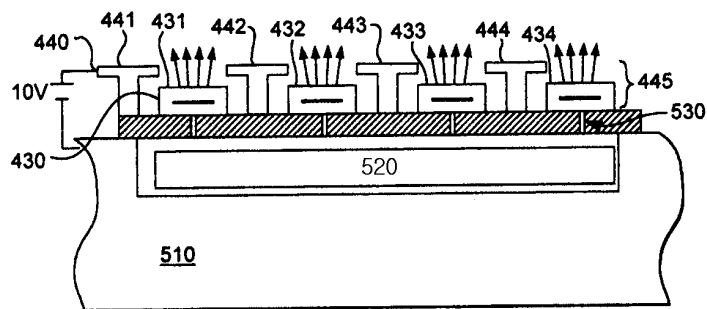
도면3



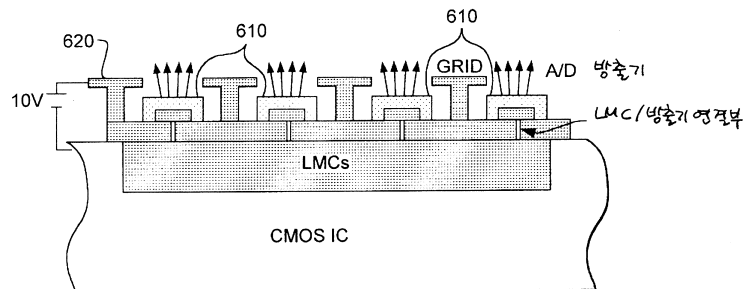
도면4



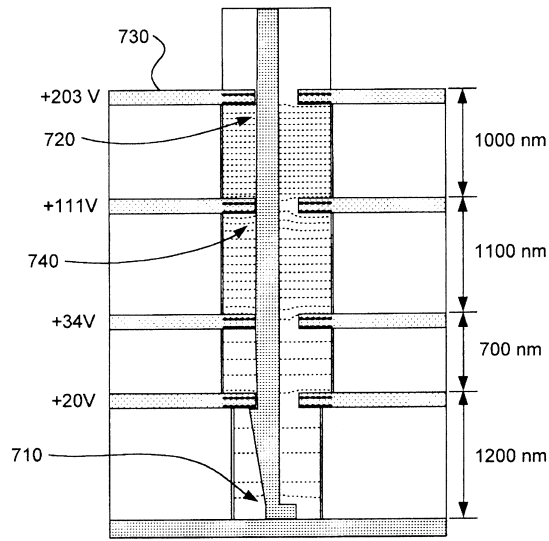
도면5



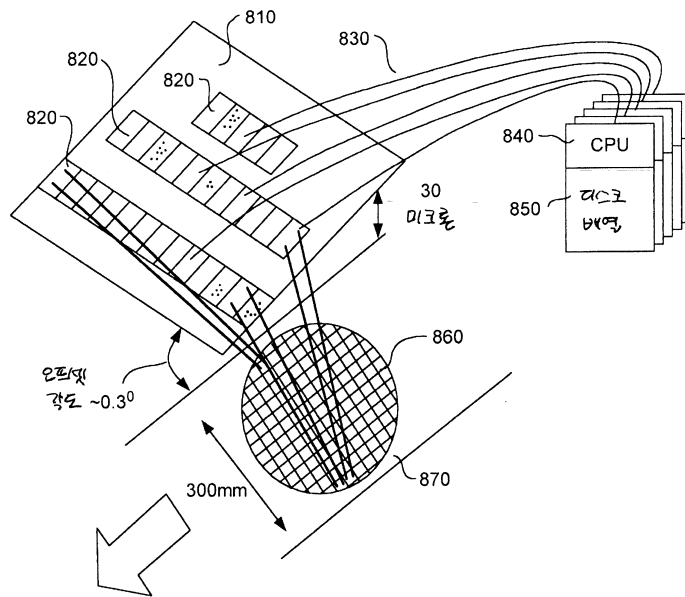
도면6



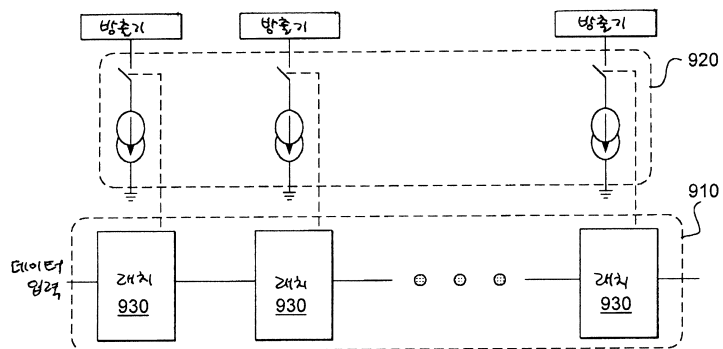
도면7



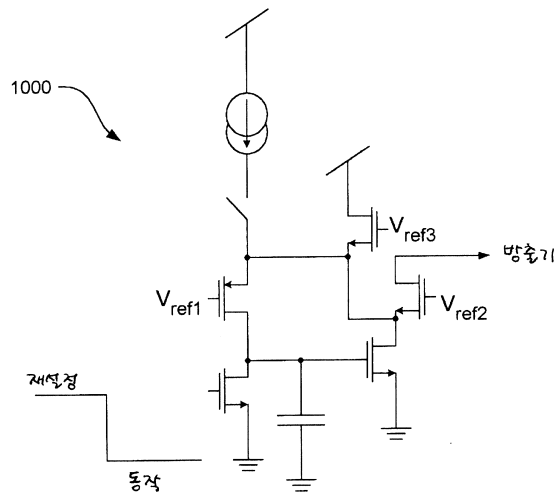
도면8



도면9



도면10



도면11

