

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3672831号

(P3672831)

(45) 発行日 平成17年7月20日(2005.7.20)

(24) 登録日 平成17年4月28日(2005.4.28)

(51) Int. Cl.⁷

F I

H O 1 S 5/022

H O 1 S 5/022

G O 2 B 6/42

G O 2 B 6/42

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2001-52676 (P2001-52676)	(73) 特許権者	000002130
(22) 出願日	平成13年2月27日 (2001.2.27)		住友電気工業株式会社
(65) 公開番号	特開2002-261372 (P2002-261372A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	平成14年9月13日 (2002.9.13)	(73) 特許権者	000004226
審査請求日	平成13年10月15日 (2001.10.15)		日本電信電話株式会社
			東京都千代田区大手町二丁目3番1号
		(74) 代理人	100088155
			弁理士 長谷川 芳樹
		(74) 代理人	100089978
			弁理士 塩田 辰也
		(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100110582
			弁理士 柴田 昌聰

最終頁に続く

(54) 【発明の名称】 搭載基板及び光モジュール

(57) 【特許請求の範囲】

【請求項1】

一主面上に設けられ、光信号を発生するためのn個の発光素子を配列してなる発光デバイスを搭載するためのデバイス搭載領域と、

前記発光デバイスのn個の発光素子を駆動するための駆動デバイスと電気的に接続されるように設けられた一端部、及び前記発光デバイスと接続されるように前記デバイス搭載領域内に配置された他端部を有し、前記一主面上に設けられたn個の第1の配線と、

前記発光デバイスのn個の発光素子を駆動するための駆動デバイスと電気的に接続されるように設けられた一端部、及び前記発光デバイスに接続されるように前記デバイス搭載領域に対面するように設けられた他端部を有し、前記一主面上に設けられたn個の第2の配線と、

前記一主面上に設けられ、前記n個の第1の配線それぞれの一端部及び前記n個の第2の配線それぞれの一端部のいずれかに接続された第3の配線と

を備え、

前記n個の第1及び第2の配線は、交互に配置されている、搭載基板。

【請求項2】

前記第1の配線は、一端部及び他端部を結ぶ配線部を有し、

前記第2の配線は、一端部及び他端部を結ぶ配線部を有し、前記一主面上に設けられ、

前記第1の配線の配線部及び前記第2の配線の配線部を覆う絶縁層を更に備える請求項1記載の搭載基板。

10

20

【請求項 3】

前記デバイス搭載領域に隣接して設けられ、前記デバイス搭載領域に搭載される前記発光デバイス内の n 個の発光素子の各々と光学的に結合される n 本の光ファイバを収容するための、所定の方向に沿って伸びる光ファイバ収容部を更に備える請求項 1 または請求項 2 記載の搭載基板。

【請求項 4】

前記光ファイバ収容部を挟み、前記所定の方向に沿って設けられた一对のガイドピン収容部を更に備える請求項 3 記載の搭載基板。

【請求項 5】

搭載基板と、
 n 本の光ファイバと、
 光信号を発生するための n 個の発光素子を配列してなる発光デバイスと
 を備え、

前記搭載基板は、

一主面上に設けられ、前記発光デバイスが配置されたデバイス搭載領域と、

前記発光デバイスの n 個の発光素子を駆動するための駆動デバイスと電気的に接続されるように設けられた一端部、及び前記発光デバイスに接続されるように前記デバイス搭載領域内に配置された他端部を有し、前記一主面上に設けられた n 個の第 1 の配線と、

前記発光デバイスの n 個の発光素子を駆動するための駆動デバイスと電気的に接続されるように設けられた一端部、及び前記発光デバイスに接続されるように前記デバイス搭載領域に
 20 対面する他端部を有し、前記一主面上に設けられた n 個の第 2 の配線と、

前記一主面上に設けられ、前記 n 個の第 1 の配線それぞれの一端部及び前記 n 個の第 2 の配線それぞれの一端部のいずれかに接続された第 3 の配線と、

前記一主面上に設けられ、前記発光デバイスの n 個の発光素子の各々と光学的に結合される前記 n 本の光ファイバを収容しており、所定の方向に沿って伸びる光ファイバ収容部と

を備え、

前記 n 個の第 1 及び第 2 の配線は、交互に配置されている、光モジュール。

【請求項 6】

前記第 1 の配線は、一端部及び他端部を結ぶ配線部を有し、
 30 前記第 2 の配線は、一端部及び他端部を結ぶ配線部を有し、

前記一主面上に設けられ、前記第 1 の配線の配線部及び前記第 2 の配線の配線部を覆う絶縁層を更に備える請求項 5 記載の光モジュール。

【請求項 7】

所定の軸に沿って設けられた保持部材搭載領域および電子半導体チップ搭載領域を有するベース部材と、

前記電子半導体チップ搭載領域に搭載された電子半導体チップと
 を更に備え、

前記搭載基板は、前記保持部材搭載領域上に搭載されており、

前記搭載基板は、前記電子半導体チップに対面する辺を有しており、

前記第 3 の配線は、前記搭載基板の前記辺に沿って伸びている、請求項 5 または請求項 6 記載の光モジュール。
 40

【請求項 8】

一对のガイドピンを更に備え、前記搭載基板は、前記光ファイバ収容部を挟むと共に前記所定の方向に沿って設けられた一对のガイドピン収容部を更に備える、請求項 5 乃至 7 のいずれか 1 項記載の光モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、発光デバイスの搭載基板及びこれを用いた光モジュールに関するものである。
 50

【0002】

【従来の技術】

光通信技術の進歩に伴い、発光素子と、発光素子を駆動する駆動回路をハウジング内に収容して一体化した発光モジュールが広く用いられるようになってきている。

【0003】

【発明が解決しようとする課題】

しかし、近年の光通信の高速化、大容量化に伴い、光並列伝送のニーズが高まってきており、その実現のためには、発光モジュールに発光素子を複数備える必要がある。そこで本発明者らは、複数の発光素子を備えた発光モジュールの種々の態様について検討を重ねた。

10

【0004】

図8は、本発明者らが検討した発光モジュール8における配線の配置を示した模式図である。発光モジュール8は、発光デバイス80と、駆動デバイス90と、配線部100とを含んでいる。発光デバイス80は、12個の発光素子801～812を有している。発光素子801～812は共通のカソード電極85を介してグランドに接続されている。また、発光素子801～812は、発光素子ごとに別個に設けられたアノード電極801a～812aを有する。

【0005】

駆動デバイス90は、12個の駆動回路901～912を有している。配線部100は、12個の配線101～112を有している。発光素子801～812は、駆動回路901～912と配線101～112を介して電氣的に接続されている。

20

【0006】

本発明者らは、開発中の発光モジュール8の伝送特性を測定してみると、予想される値よりもクロストークが大きいことを見出した。この原因について検討した結果、配線101～112が互いに近接した構成となるために、配線部100において電氣的クロストークが発生してしまうということが考えられる。また、発光素子801～812が共通のカソード電極85を介してグランドに接続されているので、発光素子は共通のインピーダンスを有することとなり素子間に干渉が発生する。この干渉が、配線部100において電氣的クロストークとして現れるということが考えられる。

【0007】

そこで、本発明の目的は、発光デバイスにおける電氣的クロストークを低減できる搭載基板及びそれを備えた発光モジュールを提供することである。

30

【0008】

【課題を解決するための手段】

第1の発明に係る搭載基板は、デバイス搭載領域と、n個の第1の配線と、n個の第2の配線と、第3の配線とを備え、n個の第1及び第2の配線は交互に配置されていることを特徴とする。デバイス搭載領域は、搭載基板の一主面上に設けられ、光信号を発生するためのn個の発光素子を配列してなる発光デバイスを搭載するための領域である。第1の配線は、搭載基板の一主面上に設けられ、発光デバイスのn個の発光素子を駆動するための駆動デバイスと電氣的に接続されるように設けられた一端部、及び発光デバイスに接続されるようにデバイス搭載領域内に配置された他端部を有している。第2の配線は、搭載基板の一主面上に設けられ、発光デバイスのn個の発光素子を駆動するための駆動デバイスと電氣的に接続されるように設けられた一端部、及び発光デバイスに接続されるようにデバイス搭載領域に対面するように設けられた他端部を有している。第3の配線は、一主面上に設けられ、n個の第1の配線それぞれの一端部及びn個の第2の配線それぞれの一端部のいずれかに接続されている。

40

【0009】

本発明によれば、n個の第1、第2の配線をそれぞれ交互に配置しているので、第1の配線間の電氣的クロストーク及び第2の配線間の電氣的クロストークが低減される。また、n個の第1、第2の配線をそれぞれ別個に設けるようにしたので、各発光素子は共通の

50

インピーダンスを持たなくなる。このため、第1の配線間の電氣的クロストーク及び第2の配線間の電氣的クロストークが低減される。故に発光素子間の干渉が低減される。第3の配線を基準電位線に接続することによって第3の配線が接続された配線のインピーダンスを低減できるので、第3の配線が接続された配線間の電氣的クロストークが低減される。

【0010】

本発明の搭載基板においては、n個の第1の配線それぞれの一端部及びn個の第2の配線それぞれの一端部のいずれかに接続された第3の配線を、一主面上に更に備えてもよい。第3の配線を基準電位線に接続することによって第3の配線が接続された配線のインピーダンスを低減できるので、第3の配線が接続された配線間の電氣的クロストークが低減される。

10

【0011】

本発明の搭載基板においては、第1の配線は、一端部及び他端部を結ぶ配線部を有し、第2の配線は、一端部及び他端部を結ぶ配線部を有し、第1の配線の配線部及び第2の配線の配線部を覆う絶縁層を前記一主面上に更に備えてもよい。絶縁層を設けることにより、一端部と駆動デバイス及び他端部と発光デバイスとを電氣的に接続する際に、一端部及び他端部以外の部分において、思わぬ短絡が発生することを防止できる。

【0012】

本発明の搭載基板においては、デバイス搭載領域に隣接するように設けられると共に所定の方向に沿って伸びる光ファイバ収容部を備えてもよい。光ファイバ収容部は、発光素子デバイス内のn個の発光素子の各々と光学的に結合されるn本の光ファイバを収容できる。また、本発明の搭載基板においては、光ファイバ収容部を挟み、所定の方向に沿って設けられた一対のガイドピン収容部を更に備えてもよい。

20

【0013】

第2の発明に係る光モジュールは、搭載基板と、n本の光ファイバと、光信号を発生するためのn個の発光素子を配列してなる発光デバイスとを備えることを特徴とする。搭載基板は、デバイス搭載領域と、n個の第1の配線と、n個の第2の配線と、第3の配線とを備え、n個の第1及び第2の配線は交互に配置されていることを特徴とする。デバイス搭載領域は、搭載基板の一主面上に設けられ、光信号を発生するためのn個の発光素子を配列してなる発光デバイスを搭載するための領域である。第1の配線は、搭載基板の一主面上に設けられ、発光デバイスのn個の発光素子を駆動するための駆動デバイスと電氣的に接続されるように設けられた一端部、及び発光デバイスに接続されるようにデバイス搭載領域内に配置された他端部を有している。第2の配線は、搭載基板の一主面上に設けられ、発光デバイスのn個の発光素子を駆動するための駆動デバイスと電氣的に接続されるように設けられた一端部、及び発光デバイスに接続されるようにデバイス搭載領域に対面するように設けられた他端部を有している。第3の配線は、一主面上に設けられ、n個の第1の配線それぞれの一端部及びn個の第2の配線それぞれの一端部のいずれかに接続されている。

30

【0014】

本発明の光モジュールは、n個の第1、第2の配線をそれぞれ交互に配置しているので、第1の配線間の電氣的クロストーク及び第2の配線間の電氣的クロストークが低減される。また、n個の第1、第2の配線をそれぞれ別個に設けるようにしたので、各発光素子は共通のインピーダンスを持たなくなる。これによって異なる発光素子のための配線間の電氣的クロストークが低減される。従って、本発明によれば、発光素子へ電氣的クロストークが低減された電気信号が伝達されるので、各発光素子が発生する光信号間のクロストークが低減される。第3の配線を基準電位線に接続することによって第3の配線が接続された配線のインピーダンスを低減できるので、第3の配線が接続された配線間の電氣的クロストークが低減される。

40

【0015】

また、本発明の光モジュールにおいては、n個の第1の配線それぞれの一端部又はn個の

50

第2の配線それぞれの一端部のいずれかに接続された第3の配線を、一主面上に更に備えた搭載基板を用いてもよい。

【0016】

また、本発明の光モジュールにおいては、第1の配線は、一端部及び他端部を結ぶ配線部を有し、第2の配線は、一端部及び他端部を結ぶ配線部を有し、第1の配線の配線部及び第2の配線の配線部を覆う絶縁層を、一主面上に更に備えた搭載基板を用いてもよい。

本発明の光モジュールは、所定の軸に沿って設けられた保持部材搭載領域および電子半導体チップ搭載領域を有するベース部材と、電子半導体チップ搭載領域に搭載された電子半導体チップとを更に備え、搭載基板は、保持部材搭載領域上に搭載されており、搭載基板は、電子半導体チップに対面する辺を有しており、第3の配線は、搭載基板の辺に沿って伸びているようにしてもよい。

10

【0017】

また、本発明の光モジュールにおいては、搭載基板は、デバイス搭載領域に搭載された発光素子デバイス内のn個の発光素子の各々と光学的に結合されるn本の光ファイバを一主面上において所定の方向に沿って伸びる光ファイバ収容部に収容するようにしてもよい。このようにすれば、発光素子が発生する光信号を光ファイバに伝達することができる。従って、光ファイバには、クロストークが低減された光信号を提供できる。

【0018】

また、本発明の光モジュールにおいては、一对のガイドピンを更に備え、搭載基板は、光ファイバ収容部を挟み、所定の方向に沿って設けられた一对のガイドピン収容部を更に備えてもよく、このようにすれば、n個の発光素子に対応するn本の光ファイバの位置決めを容易かつ正確にすることができる。

20

【0019】

【発明の実施の形態】

本発明の実施の形態を図面を参照しながら説明する。可能な場合には、同一の部分には同一の符号を付して重複する説明を省略する。

【0020】

図1は本発明の第1実施形態に係る光モジュール1を示した図である。光モジュール1は、放熱部材2、ベース部材4、光ファイバ保持部材6、配線部材8、電子半導体チップ10といった駆動デバイス、光半導体チップ12といった発光デバイス、複数の光ファイバ14、及び蓋部材16を含んでいる。

30

【0021】

放熱部材2は、放熱用突起2a、搭載面2bを有しており、光モジュール1の電子部品で発生される熱を放出するために、熱伝導性の高い材料で形成されている。

【0022】

ベース部材4は、所定の軸に沿って設けられた保持部材搭載領域4a、電子半導体チップ搭載領域4b、及び配線部材搭載領域4cを有している。保持部材搭載領域4aには光ファイバ保持部材6が搭載され、電子半導体チップ搭載領域4bには電子半導体チップ10が搭載され、配線部材搭載領域4cには配線部材8が搭載される。

【0023】

電子半導体チップ搭載領域4bは、保持部材搭載領域4aと配線部材搭載領域4cとの間に配置されている。この配置によって、光ファイバ保持部材6に搭載される光半導体チップ12及び配線部材8と電子半導体チップ10との電気的な接続距離が短縮される。また、電子半導体チップ10は、光半導体チップ12を駆動する複数の駆動回路を内蔵している。駆動回路からの駆動信号に応じて、光半導体チップ12では各発光素子の発光が個々に制御される。

40

【0024】

配線部材8の実装面8a上には、能動部品及び受動部品が配置されている。受動部品としては例えば、可変抵抗器、キャパシタがある。能動部品としては例えば、トランジスタがある。実装面8aに対向する配線面8fには、複数のリード端子8b、8c、8dと電子

50

半導体チップ10とを電氣的に接続するための配線層8eが設けられている。

【0025】

蓋部材16は、ベース部材4上に配置された光ファイバ保持部材6を覆うように配置される。光ファイバ保持部材6は、ベース部材4と蓋部材16との間に挟まれることにより保護されている。

【0026】

光ファイバ保持部材6は、搭載基板20と光ファイバアレイ部材18とを有している。光ファイバアレイ部材18上には、12本の光ファイバ14が平行に、また等間隔に配列されている。更に、12本の光ファイバ14を挟むように、2つのガイドピン22が光ファイバ14に沿って配置されている。より詳細には、光ファイバアレイ部材18上には、12本の光ファイバ挿入用V溝が平行かつ等間隔に形成されており、光ファイバ挿入用V溝は、光ファイバアレイ部材18の一方の側面からそれに対向する他方の側面に延びる。12本の光ファイバ14は、光ファイバ挿入用V溝の長さと同じ長さを有し、それぞれの光ファイバ挿入用V溝に配置されると共に固定されている。光ファイバ14は、その両端部が光ファイバアレイ部材18の両側面に揃うように配置されている。また、光ファイバアレイ部材18上には、光ファイバ挿入用V溝を挟むように2つのガイドピン挿入用溝が形成されており、2つのガイドピン22それぞれはこのガイドピン挿入用溝に配置されている。また、ガイドピン22は、一方の端部が光ファイバアレイ部材18の側面から突出するように配置されている。

【0027】

搭載基板20は、アルミナセラミクスといった絶縁性セラミクスからなり、ほぼ平板形状を有している。搭載基板20の主面には、光ファイバアレイ部材18が搭載される光ファイバアレイ搭載部20dと、光半導体チップ12が搭載され配線が形成される配線形成部20aとが配置されている。光ファイバアレイ搭載部20eと配線形成部20aとの間には溝部20eが設けられている。

【0028】

光ファイバアレイ搭載部20dは、光ファイバ14が収容される光ファイバ収容部20bと、ガイドピン22が収容されるガイドピン収容部20cとを備える。光ファイバ収容部20bは、溝部20eに達する。ガイドピン収容部20cは、溝部20eに達する。従って、搭載基板20上には、光ファイバ14が光ファイバ収容部20bに配置されると共に、ガイドピン22がガイドピン収容部20cに配置された状態で、光ファイバアレイ部材18が搭載される。また、光半導体チップ12は、溝部20eのエッジに沿って出射面が配置されるように配置される。この配置によって光半導体チップ12の12個の信号用発光素子それぞれから出射する光は、12本の光ファイバ14それぞれの一端から入射され、他端から出射される。つまり、光半導体チップ12の各信号用発光素子は、光ファイバ14と光学的に結合される。

【0029】

図2は、光半導体チップ12を示した斜視図である。引き続き、図2を用いて光半導体チップ12について説明する。光半導体チップ12には、複数の発光素子13a~13cが間隔をおいて配列されている。光半導体チップ12は、光反射面12a及び光放出面12bを有する。光反射面12aは、光放出面12bの反射率より大きな反射率を有する。これによって、発光素子13は、光反射面12a及び光放出面12bから形成される光共振器を備える。発光素子13は、光信号を発生するための12個の信号用発光素子13a、モニタ用発光素子13b、及びこれらの発光素子13a、13bを挟むように配置される一対のダミー用発光素子13cを備えている。

【0030】

光半導体チップ12は、n型InP基板12c上に形成されたn型InP半導体クラッド層12d、p型InP半導体クラッド層12e、アンドープGaInAsP半導体活性層12f、カソード電極12g、及びアノード電極12hを備える。アンドープGaInAsP半導体活性層12fは、n型InP半導体クラッド層12d及びp型InP半導体ク

10

20

30

40

50

ラッド層12eに挟まれている。アノード電極12hは、それぞれの発光素子13毎に設けられている。信号用発光素子13aは、別個のカソード電極12gを有するけれども、モニタ用発光素子13bと、ダミー用発光素子13cとは共通のカソード電極12i、12jを有する。光半導体チップ12は素子ごとに分割されたカソード電極を備えるので、長期的な使用によって仮にn型InP基板12cにクラックが発生した場合でも断線を防止できる。

【0031】

アノード電極12hは、光反射面12aから光放出面12bに向けて伸びている。アンドロップGaInAsP半導体活性層12fには、アノード電極12hに沿って電流の狭窄が実現されるようにキャリアが注入される。これによりアンドロップGaInAsP半導体活性層12fから光が放出される。光信号を生成するためには、それぞれの発光素子13(13a~13c)に加えられる電流を変調する。個々の発光素子13は、この変調に応じた光を放出する。

10

【0032】

図3は、搭載基板20の配線形成部20aの詳細を示した図である。引き続いて、図3を用いて配線形成部20aについて説明する。配線形成部20aは、光半導体チップ搭載領域201と、第1の配線202及び第2の配線203とを有している。光半導体チップ搭載領域201は、光半導体チップ12を搭載するように溝部(図1の20e)に面する位置に設けられている。第1の配線202及び第2の配線203は、信号用発光素子13aの数に合わせて、それぞれ12個設けられている。第2の配線203は、第1の配線202と交互に配置されている。

20

【0033】

第1の配線202は、一端部202aと、他端部202bと、端部202a、202bを結ぶ配線部202cとを有している。一端部202aは、電子半導体チップ10に対向する辺に沿って配置されている。他端部202bは、光半導体チップ搭載領域201内に配置されている。

【0034】

第2の配線203は、一端部203aと、他端部203bと、端部203a、203bを結ぶ配線部203cとを有している。配線部203cと配線部202cとは交互に配置されている。一端部203aは、電子半導体チップ10に対向する辺に沿って配置されている。他端部203bは、光半導体チップ搭載領域201に対面する位置に配置されている。第2の配線の一端部203aは、第1の配線の一端部202aよりも電子半導体チップ10に対面する辺に近接して設けられている。これは、配線ピッチを広げずに、電子半導体チップ10にボンディングワイヤを介して接続するためのパッドを一端部202a、203aに設けるためである。これとは逆に、第1の配線の一端部202aを第2の配線の一端部203aよりも電子半導体チップ10に対面する辺に近接するように設けてもよい。

30

【0035】

図4は、搭載基板20と、光半導体チップ12と、電子半導体チップ10とを示した図である。図4及び図2を参照しながら、搭載基板20と、光半導体チップ12と、電子半導体チップ10との相互関係について説明する。

40

【0036】

光半導体チップ12は、信号用発光素子13aのアノード電極12hが、搭載基板20の第1の配線202の他端部202bと接するように配置されている。アノード電極12h(図2参照)は、半田のような導電性の接着部材を介して他端部202bと接続される。半田の材料としては、AuSn合金が例示される。

【0037】

信号用発光素子13a(図3)のカソード電極12gは、それぞれ別個に第2の配線203の他端部203bとボンディングワイヤを介して接続される。

【0038】

50

第1の配線202の一端部202a及び第2の配線203の一端部203aは、それぞれ電子半導体チップ10上の所定のパッド端子にボンディングワイヤを介して接続され、電子半導体チップ10内部の駆動素子と電氣的に接続されている。

【0039】

図5は、光半導体チップ12及び電子半導体チップ10における電氣的な接続形態を示した模式図である。図5の接続の形態を参照すると、電子半導体チップ10は、信号用発光素子13aを駆動するための12個の駆動回路101~112を有している。駆動回路101~112は、それぞれ増幅回路とFETとを有している。FETのゲートは増幅回路と接続されていて、増幅回路を介して信号が入力される。FETのソースは第1の配線202を介して信号用発光素子13aのアノード電極と接続されている。FETのドレインは外部電源と接続されており、電圧が印加される。信号用発光素子13aのカソード電極は基準電位線と接続されている。図8と比較すると、図5では、第1の配線202と第2の配線203とが交互に配置されているため、第1の配線202間の電氣的クロストークの発生が低減されることが分かる。また、第1の配線202及び第2の配線203が各信号用発光素子13aごとに別個に設けられているために、各信号用発光素子13aは共通のインピーダンスを持たない。これにより第1の配線202間の電氣的クロストークの発生が低減される。故に、発光素子間の干渉が低減される。

10

【0040】

配線形成部20aには絶縁層205を設けてもよい。図9は、配線形成部20aに絶縁層205を設けた状態を示した図である。絶縁層205は、配線部202c及び配線部203cを覆うように形成されている。絶縁層205は、ポリイミドといった絶縁性の樹脂材料で形成される。図9の例示では、絶縁層205は、一端部202a、203aに設けられたパッド上に個別に形成された開口部を有する。これにより、一端部202aのパッドへの配線が、配線部203cに接触してしまうことを防止できる。また、一端部203aのパッドへの配線も同様である。

20

【0041】

次に本発明の第2実施形態について説明する。尚、第2実施形態では、搭載基板の配線形成部の形態が第1実施形態と異なる。このため、配線形成部について説明する。

【0042】

図6は、第2実施形態に係る搭載基板20の配線形成部40aの詳細を示した図である。引き続き、図6を用いて配線形成部40aについて説明する。配線形成部40aは、光半導体チップ搭載領域401と、第1の配線402と、第2の配線403とを有している。光半導体チップ搭載領域401は、溝部(図1の20e)に面する位置に設けられている。この光半導体チップ搭載領域401には、光半導体チップ12が搭載される。第1の配線402及び第2の配線403は、信号用発光素子13aごとに設けられている。

30

【0043】

第1の配線402は、一端部402aと、他端部402bと、端部402a、402bを結ぶ配線部402cとを有している。一端部402aは、電子半導体チップ10に対面する辺に沿って配置されている。他端部402bは、光半導体チップ搭載領域401内に配置されている。

40

【0044】

第2の配線403は、一端部403aと、他端部403bと、端部403a、403bを結ぶ配線部403cとを有している。配線部403cは配線部402cと交互に配置されている。他端部403bは、光半導体チップ搭載領域401に対面する位置に配置されている。一端部403aは、電子半導体チップ10に対面する辺に沿って配置されている。更に、一端部403aは、第3の配線404によって電氣的に連結されている。第3の配線404は、一端部403aを連結するように、電子半導体チップ10に対面する辺に沿って伸びると共に、一端部402aとは絶縁されている。

【0045】

図7は、光半導体チップ12及び電子半導体チップ10における電氣的な接続形態を示

50

した模式図である。図7の接続の形態を参照すると、電子半導体チップ10は、信号用発光素子13aを駆動するための12個の駆動回路101～112を有している。駆動回路101～112は、それぞれ増幅回路とFETとを有している。FETのゲートは増幅回路と接続されていて、増幅回路を介して信号が入力される。FETのソースは第1の配線202を介して信号用発光素子13aのアノード電極と接続されている。FETのドレインは外部電源と接続されており、電圧が印加される。信号用発光素子13aのカソード電極は基準電位線と接続されている。図8と比較すると、図7では、第1の配線402と第2の配線403とが交互に配置されているため、アノードのための第1の配線402間の電氣的クロストークの発生が低減されることが分かる。また、第2の配線403は第3の配線404によって電氣的に接続されていて、第3の配線404はグランドに接続されているため、第2の配線403のグランドが強化されて第1の配線402間の電氣的クロストークの発生が低減されることが分かる。更に、第1の配線402及び第2の配線403が各信号用発光素子13aごとに別個に設けられているために、各信号用発光素子13aは共通のインピーダンスを持たなくなる。このため、第1の配線402間の電氣的クロストークの発生が低減される。故に、発光素子間の干渉が低減される。

10

【0046】

配線形成部40aには絶縁層405を設けてもよい。図10は、配線形成部40aに絶縁層405を設けた状態を示した図である。絶縁層405は、配線部402c及び配線部403c及び第3の配線404を覆うように形成されている。絶縁層405は、ポリイミドといった絶縁性の樹脂材料で形成される。図10の例示では、絶縁層405は、一端部402a、403aに設けられたパッド上に個別に形成された開口部を有する。これにより、一端部402aのパッドへの配線が、配線部403cに接触してしまふことを防止できる。また、一端部403aのパッドへの配線も同様である。

20

【0047】

【発明の効果】

本発明によれば、n個の第1、第2の配線をそれぞれ交互に配置しているので、第1の配線間の電氣的クロストーク及び第2の配線間の電氣的クロストークが低減される。また、n個の第1、第2の配線を発光素子ごとにそれぞれ別個に設けるようにしたので、各発光素子は共通のインピーダンスを持たなくなる。光モジュールにおける電氣的クロストークが低減される。これにより、発光デバイスの電氣的クロストークを低減できる搭載基板及びそれを備えた発光モジュールを提供することができる。

30

【図面の簡単な説明】

【図1】本発明の第1実施形態の光モジュールを示す図である。

【図2】図1に示された光モジュールに搭載される光半導体チップを示す図である。

【図3】図1に示された光モジュールに搭載される搭載基板の配線形成部を示す図である。

【図4】図1に示された光モジュールに搭載される搭載基板と、光半導体チップと、電子半導体チップとを示す図である。

【図5】本発明の第1実施形態の光モジュールの電氣的な接続を示した模式図である。

【図6】本発明の第2実施形態に係る搭載基板の配線形成部を示す図である。

40

【図7】本発明の第2実施形態の光モジュールの電氣的な接続を示した模式図である。

【図8】本発明との比較のための光モジュールの電氣的な接続を示した模式図である。

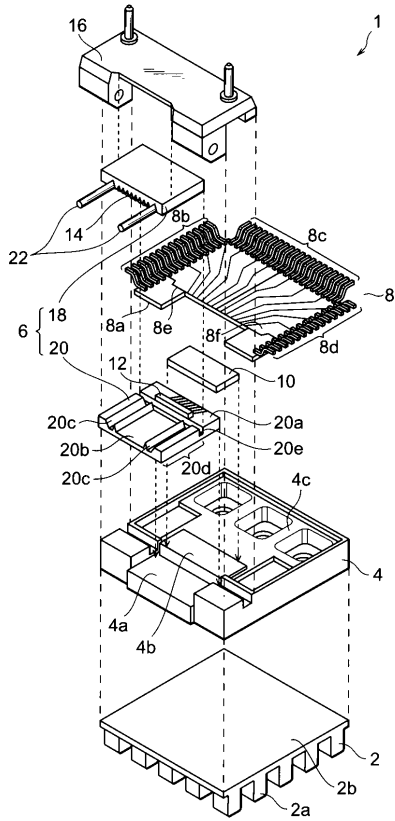
【図9】図3に示された配線形成部に絶縁層を設けた状態を示す図である。

【図10】図6に示された配線形成部に絶縁層を設けた状態を示す図である。

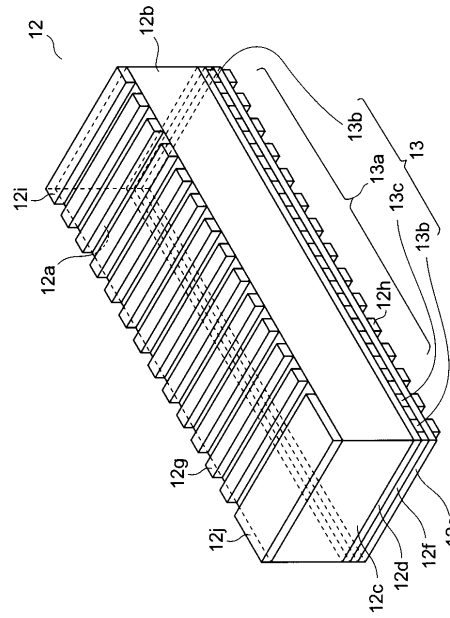
【符号の説明】

2...放熱部材、4...ベース部材、6...光ファイバ保持部材、8...配線部材、10...電子半導体チップ、12...光半導体チップ、14...光ファイバ、16...蓋部材、202...第1の配線、203...第2の配線。

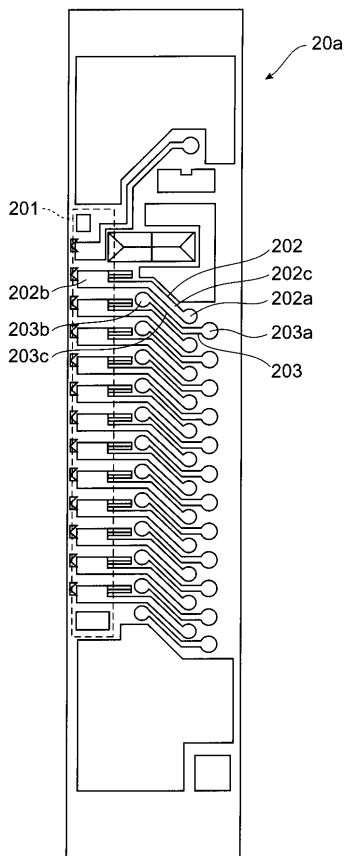
【 図 1 】



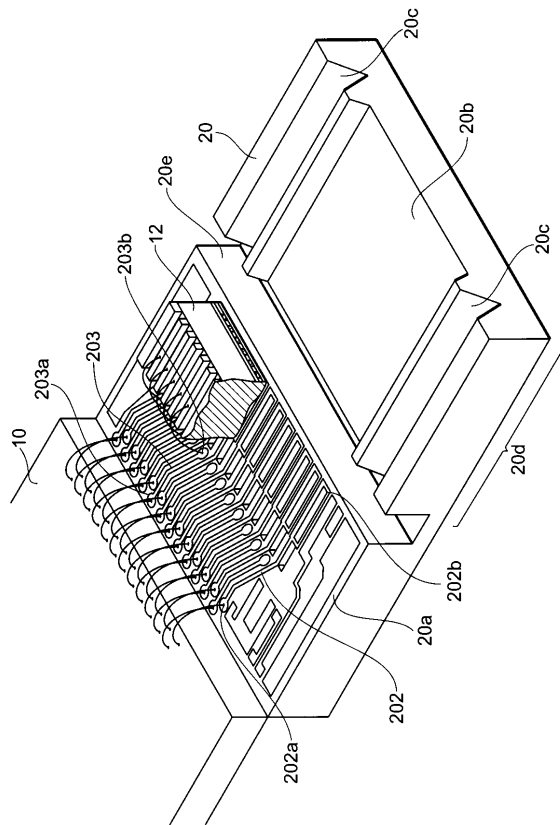
【 図 2 】



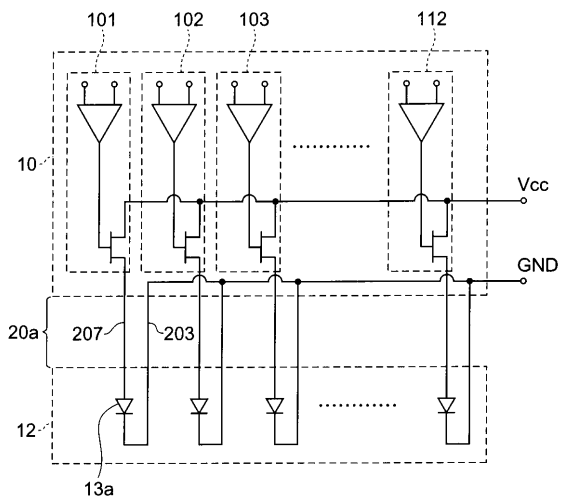
【 図 3 】



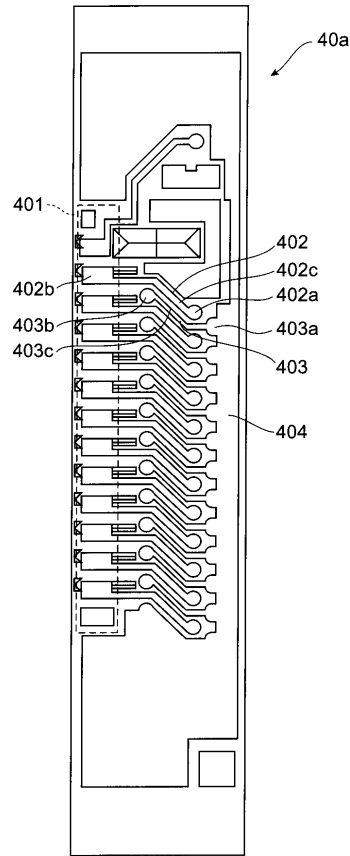
【 図 4 】



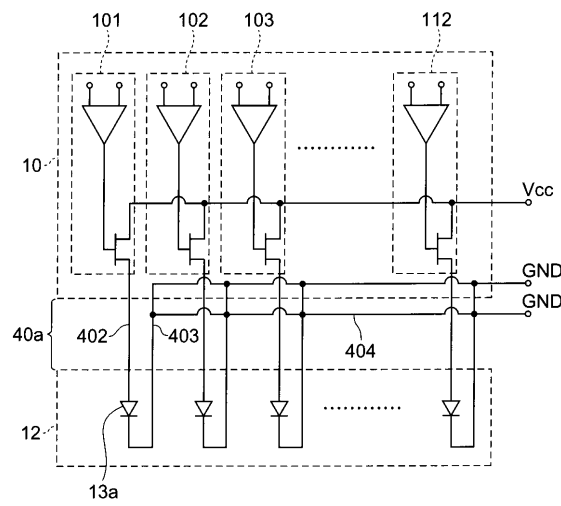
【 図 5 】



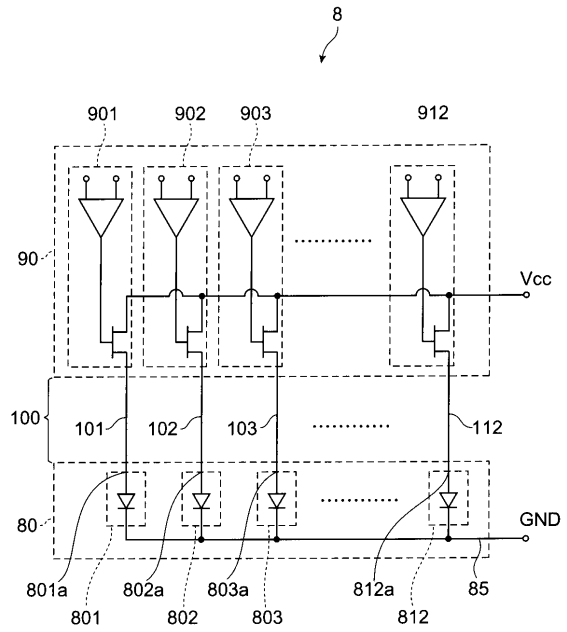
【 図 6 】



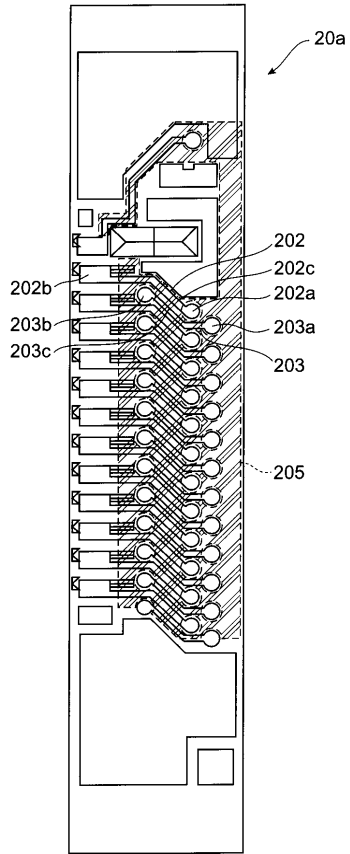
【 図 7 】



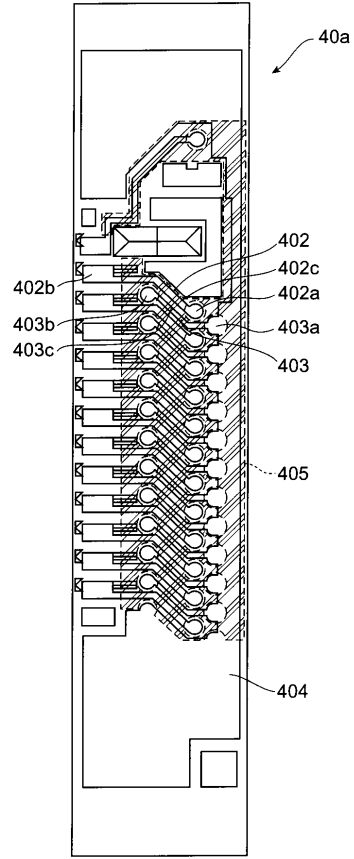
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(74)代理人 100108257

弁理士 近藤 伊知良

(72)発明者 吉川 智

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社 横浜製作所内

(72)発明者 倉島 宏実

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社 横浜製作所内

(72)発明者 津村 英志

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社 横浜製作所内

(72)発明者 佐藤 信夫

東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

審査官 近藤 幸浩

(56)参考文献 特開2001-036182(JP,A)

特開平05-251820(JP,A)

特開平09-297247(JP,A)

特開平05-088051(JP,A)

特開平10-269606(JP,A)

特開平08-292345(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01S 5/00 - 5/50

G02B 6/42