

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-213888

(P2004-213888A)

(43) 公開日 平成16年7月29日(2004.7.29)

(51) Int. Cl.⁷

G11C 11/409

F I

G11C 11/34

354H

テーマコード(参考)

5MO24

G11C 11/34

354Q

審査請求 未請求 請求項の数 9 O L (全 47 頁)

(21) 出願番号 特願2004-58112 (P2004-58112)
 (22) 出願日 平成16年3月2日(2004.3.2)
 (62) 分割の表示 特願2001-269872 (P2001-269872)
 の分割
 原出願日 平成13年9月6日(2001.9.6)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100094134
 弁理士 小山 廣毅
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100117710
 弁理士 原田 智雄

最終頁に続く

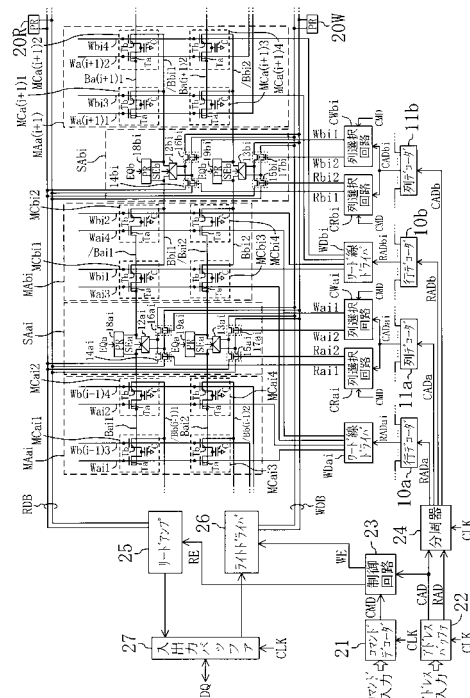
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 レイアウト面積を小さくする。

【解決手段】 アクセスすべきメモリセルのトランジスタ a - ビット線対 (B a i 1 , / B a i 1) , (B a i 2 , / B a i 2) - 列選択スイッチ 1 4 a i , 1 5 a i - データ線対 D B a の経路のポート A と、アクセスすべきメモリセルのトランジスタ T b - ビット線対 (B b i 1 , / B b i 1) , (B b i 2 , / B b i 2) - 列選択スイッチ 1 4 b i , 1 5 b i - データ線対 D B b の経路のポート B とをクロック C L K の 2 周期でインターリーブ動作させる。データ線対 D B a , D B b に転送されたデータはトランスファゲート 5 0 , 5 1 によってクロック C L K の 1 周期ごとに交互にデータ線対 R D B に転送され、リードアンプ 2 5 によって増幅され入出力バッファ 2 7 へ出力される。入出力バッファ 2 7 はリードアンプ 2 5 からのデータをクロック C L K の 1 周期で外部へ出力する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

活性の第 1 のイネーブル信号に応答して活性化され、第 1 のメモリセルから読み出されたデータを増幅する第 1 のメインアンプと、

前記第 1 のイネーブル信号が活性のとき、前記第 1 のメインアンプによって増幅されたデータに応じて自身の出力ノードを駆動し、前記第 1 のイネーブル信号が不活性のとき、前記出力ノードをハイインピーダンス状態にする第 1 のトライステートバッファと、

前記第 1 のトライステートバッファの出力ノードのデータをラッチし外部へ出力する第 1 のラッチ回路とを備える

ことを特徴とする半導体記憶装置。

10

【請求項 2】

請求項 1 に記載の半導体記憶装置において、

第 2 のラッチ回路と、

前記トライステートバッファの出力ノードと前記第 2 のラッチ回路との間に接続され、テストモードのとき前記トライステートバッファの出力ノードと前記第 2 のラッチ回路とを接続状態にし、通常モードのとき前記トライステートバッファの出力ノードと前記第 2 のラッチ回路とを非接続状態にするスイッチとをさらに備える

ことを特徴とする半導体記憶装置。

【請求項 3】

請求項 1 に記載の半導体記憶装置において、

活性の第 2 のイネーブル信号に応答して活性化され、第 2 のメモリセルから読み出されたデータを増幅する第 2 のメインアンプと、

前記第 2 のイネーブル信号が活性のとき、前記第 2 のメインアンプによって増幅されたデータに応じて自身の出力ノードを駆動し、前記第 2 のイネーブル信号が不活性のとき、前記出力ノードをハイインピーダンス状態にする第 2 のトライステートバッファと、

前記第 2 のトライステートバッファの出力ノードのデータをラッチし外部へ出力する第 2 のラッチ回路と、

前記第 1 のラッチ回路の出力ノードと前記第 2 のラッチ回路の出力ノードとの間に接続され、読み出しデータのビット幅に応じてオン/オフするスイッチとをさらに備える

ことを特徴とする半導体記憶装置。

20

30

【請求項 4】

請求項 2 または請求項 3 に記載の半導体記憶装置において、

前記第 1 および第 2 のラッチ回路のうち使用されないラッチ回路をラッチできないように制御する

ことを特徴とする半導体記憶装置。

【請求項 5】

メモリセルから読み出されたデータを出力端子へ出力する出力バッファを備え、

前記出力バッファは、

メモリセルからの読み出しデータに応じて前記出力端子を駆動する第 1 のバッファと、

活性状態および不活性状態を有し、活性状態のとき、前記読み出しデータに応じて前記出力端子を駆動する第 2 のバッファとを含む

ことを特徴とする半導体記憶装置。

40

【請求項 6】

請求項 5 に記載の半導体記憶装置において、

前記第 2 のバッファは、メモリセルからの読み出しデータのビット幅に応じて活性化/非活性化される

ことを特徴とする半導体記憶装置。

【請求項 7】

請求項 6 に記載の半導体記憶装置において、

前記第 2 のバッファは、メモリセルからの読み出しデータのビット幅を認識できる外部

50

信号に応じて活性化／非活性化されることを特徴とする半導体記憶装置。

【請求項 8】

請求項 6 に記載の半導体記憶装置において、

前記第 2 のバッファの活性化／不活性化は、メモリセルからの読み出しデータのビット幅を表すフューズを活用することによって制御されることを特徴とする半導体記憶装置。

【請求項 9】

請求項 5 に記載の半導体記憶装置において、

前記半導体記憶装置の動作周波数を検知する検知回路をさらに備え、

前記第 2 のバッファは、前記検知回路によって検知された動作周波数に応じて活性化／不活性化されることを特徴とする半導体記憶装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は D R A M (ダイナミックランダムアクセスメモリ) などの半導体記憶装置に関する。

【背景技術】

【0002】

D R A M と呼ばれる半導体記憶装置では 1 サイクル時間ごとにメモリセルへの再書き込みおよびビット線のプリチャージを行う必要がある。このためアクセス時間の約 2 倍のサイクル時間を要する。このビット線のプリチャージを見かけ上かくすことによってアクセス時間とほぼ同等にまでサイクル時間を短くする技術として、2 つのトランジスタと 1 つのキャパシタとで構成されるメモリセルを用いて内部の 2 つのポートをインターリーブ動作させる技術がある。この技術を適用した D R A M の概略構成を図 19 に示す。この D R A M のメモリセル M C 1 - M C 4 は、2 つのトランジスタ T a , T b と 1 つのキャパシタ C とを含む。そしてこの D R A M では、(トランジスタ T a) - (ビット線 B L a 1 または B L a 2) - (データバス D B a) - (リードアンプ & ライトドライバ 1 1 0 3 a) の経路によって形成されるポート A と、(トランジスタ T b) - (ビット線 B L b 1 または B L b 2) - (データバス D B b) - (リードアンプ & ライトドライバ 1 1 0 3 b) の経路によって形成されるポート B とをインターリーブ動作させている。以下、メモリセルからデータを読み出す場合を例としてインターリーブ動作について説明する。

20

30

【0003】

まず、行デコーダ 1 1 0 1 によってワード線 W L a 1 が活性化され、メモリセル M C 1 および M C 3 のトランジスタ T a がオンになる。これによりメモリセル M C 1 および M C 3 のキャパシタ C に蓄積されていたデータがビット線 B L a 1 および B L a 2 に読み出され、センスアンプ (図示せず) によって増幅される。そして列デコーダ 1 1 0 2 a によってビット線 B L a 1 が選択され、ビット線 B L a 1 とデータバス D B a とが接続される。これにより、メモリセル M C 1 からビット線 B L a 1 に読み出されたデータがデータバス D B a に転送される。また、ビット線 B L a 1 および B L a 2 に読み出されたデータがメモリセル M C 1 および M C 3 に再書き込みされる。そして行デコーダ 1 1 0 1 によってワード線 W L a 1 が不活性化され、メモリセル M C 1 および M C 3 のトランジスタ T a がオフになる。上述の動作が行われている間にビット線 B L b 1 および B L b 2 がプリチャージされる。

40

【0004】

データバス D B a に転送されたデータはリードアンプ & ライトドライバ 1 1 0 3 a によって増幅されて入出力バッファ 1 1 0 4 に与えられ、入出力バッファ 1 1 0 4 によって外部へ出力される。一方、行デコーダ 1 1 0 1 によってワード線 W L b 2 が活性化され、メモリセル M C 2 および M C 4 のトランジスタ T b がオンになる。これによりメモリセル M

50

C 2 および M C 4 のキャパシタ C に蓄積されていたデータがビット線 B L b 1 および B L b 2 に読み出され、センスアンプ (図示せず) によって増幅される。そして列デコーダ 1 1 0 2 b によってビット線 B L b 1 が選択され、ビット線 B L b 1 とデータバス D B b とが接続される。これにより、メモリセル M C 2 からビット線 B L b 1 に読み出されたデータがデータバス D B b に転送される。また、ビット線 B L b 1 および B L b 2 に読み出されたデータがメモリセル M C 2 および M C 4 に再書き込みされる。そして行デコーダ 1 1 0 1 によってワード線 W L b 1 が不活性化され、メモリセル M C 2 および M C 4 のトランジスタ T b がオフになる。上述の動作が行われている間にこんどはビット線 B L a 1 および B L a 2 がプリチャージされる。

【 0 0 0 5 】

そして、データバス D B b に転送されたデータがリードアンプ & ライトドライバ 1 1 0 3 b によって増幅されて入出力バッファ 1 1 0 4 に与えられ、入出力バッファ 1 1 0 4 によって外部へ出力される。

【 0 0 0 6 】

このように内部の 2 つのポートをインターリーブ動作させることによってビット線のプリチャージを見かけ上かくし、アクセス時間とほぼ同等にまでサイクル時間を短くしている。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

図 1 9 に示した D R A M では、ポート A に対してはリードアンプ & ライトドライバ 1 1 0 3 a、ポート B に対してはリードアンプ & ライトドライバ 1 1 0 3 b というように各ポートに対してそれぞれリードアンプ & ライトドライバが設けられている。したがって、ビット幅が大きい仕様を要求された場合 (例えば混載 D R A M などの場合) に、リードアンプ & ライトドライバを含む周辺回路の面積が大きくなる。

【 0 0 0 8 】

この発明は上記のような問題を解決するためになされたものであり、その目的は、レイアウト面積を小さくすることができる半導体記憶装置を提供することである。

【 課題を解決するための手段 】

【 0 0 0 9 】

この発明に従うと、半導体記憶装置は、第 1 のメインアンプと、第 1 のトライステートバッファと、第 1 のラッチ回路とを備える。第 1 のメインアンプは、活性の第 1 のイネーブル信号に応答して活性化され、第 1 のメモリセルから読み出されたデータを増幅する。第 1 のトライステートバッファは、第 1 のイネーブル信号が活性のとき、第 1 のメインアンプによって増幅されたデータに応じて自身の出力ノードを駆動し、第 1 のイネーブル信号が不活性のとき、出力ノードをハイインピーダンス状態にする。第 1 のラッチ回路は、第 1 のトライステートバッファの出力ノードのデータをラッチし外部へ出力する。

【 0 0 1 0 】

上記半導体記憶装置では、第 1 のメインアンプが活性化されてから外部にデータが出力されるまでの間 第 1 のラッチ回路においてタイミング調整することなく高速にデータを出力することができる。

【 0 0 1 1 】

また、第 1 のイネーブル信号が不活性のとき第 1 のトライステートバッファは出力ノードをハイインピーダンス状態にするため、第 1 のラッチ回路によって保持されているデータの破壊を防ぐことができる。

【 0 0 1 2 】

好ましくは、上記半導体記憶装置はさらに、第 2 のラッチ回路と、スイッチとを備える。スイッチは、トライステートバッファの出力ノードと第 2 のラッチ回路との間に接続され、テストモードのときトライステートバッファの出力ノードと第 2 のラッチ回路とを接続状態にし、通常モードのときトライステートバッファの出力ノードと第 2 のラッチ回路

10

20

30

40

50

とを非接続状態にする。

【0013】

上記半導体記憶装置では、トライステートバッファの出力ノードと第2のラッチ回路との間にスイッチを設けたため、複数のノーマル出力を出力端でスイッチなどを使って電氣的に束ねて1つのテスト出力として検査する場合に比べて出力バッファの負荷が小さくなり、出力データを受けるシステムへの信号の伝達を通常モードのときと同等にすることができる。

【0014】

また、トライステートバッファの出力ノードと第2のラッチ回路との間にスイッチを設けたため、テストモードにおいて使用する第2のラッチ回路のタイミングを調整する必要がない。したがって、第1のメインアンプが活性化されてからタイミングレスで高速にテストデータが外部へ出力される

好ましくは、上記半導体記憶装置はさらに、第2のメインアンプと、第2のトライステートバッファと、第2のラッチ回路と、スイッチとを備える。第2のメインアンプは、活性の第2のイネーブル信号に 응답して活性化され、第2のメモリセルから読み出されたデータを増幅する。第2のトライステートバッファは、第2のイネーブル信号が活性のとき、第2のメインアンプによって増幅されたデータに応じて自身の出力ノードを駆動し、第2のイネーブル信号が不活性のとき、出力ノードをハイインピーダンス状態にする。第2のラッチ回路は、第2のトライステートバッファの出力ノードのデータをラッチし外部へ出力する。スイッチは、第1のラッチ回路の出力ノードと第2のラッチ回路の出力ノードとの間に接続され、読み出しデータのビット幅に応じてオン/オフする。

【0015】

上記半導体記憶装置では、第1のラッチ回路の出力ノードと第2のラッチ回路の出力ノードとの間にスイッチを設けたため、読み出しデータのビット幅を変更して使用する場合においても第1および第2のラッチ回路のタイミングを調整する必要がない。

【0016】

好ましくは、上記半導体記憶装置は、第1および第2のラッチ回路のうち使用されないラッチ回路をラッチできないように制御する。

【0017】

上記半導体記憶装置によれば、第1のラッチ回路と第2のラッチ回路との間でのデータの衝突を防ぐことができる。

【0018】

この発明のもう1つの局面に従うと、半導体記憶装置は、メモリセルから読み出されたデータを出力端子へ出力する出力バッファを備える。出力バッファは、第1および第2のバッファを含む。第1のバッファは、メモリセルからの読み出しデータに応じて上記出力端子を駆動する。第2のバッファは、活性状態および不活性状態を有し、活性状態のとき、メモリセルからの読み出しデータに応じて上記出力端子を駆動する。

【0019】

上記半導体記憶装置では、第2のバッファを活性化/不活性化することにより出力バッファの駆動能力を変えることができる。

【0020】

好ましくは、上記第2のバッファは、メモリセルからの読み出しデータのビット幅に応じて活性化/非活性化される。

【0021】

上記半導体記憶装置では、メモリセルからの読み出しデータのビット幅に応じて出力バッファの駆動能力を変えることができるため、ビット幅によるアクセス時間のばらつきを小さくすることができる。

【0022】

好ましくは、上記第2のバッファは、メモリセルからの読み出しデータのビット幅を認識できる外部信号に応じて活性化/非活性化される。

10

20

30

40

50

【0023】

好ましくは、上記第2のバッファの活性化/不活性化は、メモリセルからの読み出しデータのビット幅を表すフューズを活用することによって制御される。

【0024】

好ましくは、上記半導体記憶装置はさらに検知回路を備える。検知回路は、上記半導体記憶装置の動作周波数を検知する。そして上記第2のバッファは、検知回路によって検知された動作周波数に応じて活性化/不活性化される。

【0025】

上記半導体記憶装置では、動作周波数に応じて出力バッファの駆動能力を変えることができるため、消費電力を最適化することができる。

10

【発明の効果】

【0026】

以上に説明したように、この発明による半導体記憶装置によれば第1のメインアンプが活性化されてから外部にデータが出力されるまでの間 第1のラッチ回路においてタイミング調整することなく高速にデータを出力することができる。

【0027】

また、第1のイネーブル信号が不活性のとき第1のトライステートバッファは出力ノードをハイインピーダンス状態にするため、第1のラッチ回路によって保持されているデータの破壊を防ぐことができる。

【発明を実施するための最良の形態】

20

【0028】

以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一の符号を付し、その説明は繰り返さない。

【0029】

(第1の実施形態)

<DRAMの全体構成>

図1は、この発明の第1の実施形態によるDRAMの全体構成を示すブロック図である。図1に示すDRAMは、クロックCLKに同期して動作するシンクロナスDRAMである。このDRAMは、メモリセルアレイMA_ai, MA_bi (i = 1 ~ n; nは正の整数)と、センスアンプアレイSA_ai, SA_bi (i = 1 ~ n; nは正の整数)と、行デコーダ10a, 10bと、列デコーダ11a, 11bと、ワード線ドライバWD_ai, WD_bi (i = 1 ~ n; nは正の整数)と、列選択回路CR_ai, CW_ai, CR_bi, CW_bi (i = 1 ~ n; nは正の整数)と、読み出し用データ線対RDBと、書き込み用データ線対WDBと、データ線プリチャージ回路20R, 20Wと、コマンドデコーダ21と、アドレスバッファ22と、制御回路23と、分周器24と、リードアンプ25と、ライトドライバ26と、入出力バッファ27とを備える。

30

【0030】

メモリセルアレイおよびセンスアンプアレイは、(メモリセルアレイMA_a1) - (センスアンプアレイSA_a1) - (メモリセルアレイMA_b1) - (センスアンプアレイSA_b1) - (メモリセルアレイMA_a2) - ...の順に列方向に配置される。なお、説明を簡単にするため図1ではメモリセルアレイMA_ai, MA_bi, MA_a(i + 1)およびセンスアンプアレイSA_ai, SA_biについてのみ示している。また、ワード線ドライバおよび列選択回路についてもワード線ドライバWD_ai, WD_biおよび列選択回路CR_ai, CW_ai, CR_bi, CW_biについてのみ示している。

40

【0031】

メモリセルアレイMA_aiは、メモリセルMC_ai1 - MC_ai4と、ワード線W_ai1, W_ai2, W_b(i - 1)3, W_b(i - 1)4と、ビット線B_ai1, B_ai2, /B_b(i - 1)1, /B_b(i - 1)2とを含む。メモリセルMC_ai1 - MC_ai4は行および列に配置される。ワード線W_ai1, W_ai2, W_b(i - 1)3, W_b(i - 1)4は行に配置される。ワード線W_ai1, W_b(i - 1)3は、メモリセルMC_a

50

$i 1$, $M C a i 3$ に対応して配置される。ワード線 $W a i 2$, $W b (i - 1) 4$ は、メモリセル $M C a i 2$, $M C a i 4$ に対応して配置される。ビット線 $B a i 1$, $B a i 2$, $/ B b (i - 1) 1$, $/ B b (i - 1) 2$ は列に配置される。ビット線 $B a i 1$, $/ B b (i - 1) 1$ は、メモリセル $M C a i 1$, $M C a i 2$ に対応して配置される。ビット線 $B a i 2$, $/ B b (i - 1) 2$ は、メモリセル $M C a i 3$, $M C a i 4$ に対応して配置される。

【 0 0 3 2 】

メモリセル $M C a i 1 - M C a i 4$ の各々は、2つのトランジスタ $T a$, $T b$ と1つのキャパシタ C とを含む。メモリセル $M C a i 1$ のトランジスタ $T a$ は、ビット線 $B a i 1$ とキャパシタ C との間に接続され、ワード線 $W a i 1$ の電圧をゲートに受ける。メモリセル $M C a i 1$ のトランジスタ $T b$ は、ビット線 $/ B b (i - 1) 1$ とキャパシタ C との間に接続され、ワード線 $W b (i - 1) 3$ の電圧をゲートに受ける。メモリセル $M C a i 2 - M C a i 4$ のトランジスタ $T a$ は、ビット線 $B a i 1$, $B a i 2$, $B a i 2$ とキャパシタ C との間に接続され、ワード線 $W a i 2$, $W a i 1$, $W a i 2$ の電圧をゲートに受ける。メモリセル $M C a i 2 - M C a i 4$ のトランジスタ $T b$ は、ビット線 $/ B b (i - 1) 1$, $/ B b (i - 1) 2$, $/ B b (i - 1) 2$ とキャパシタ C との間に接続され、ワード線 $W b (i - 1) 4$, $W b (i - 1) 3$, $W b (i - 1) 4$ の電圧をゲートに受ける。

10

【 0 0 3 3 】

メモリセルアレイ $M A b i$ は、メモリセル $M C b i 1 - M C b i 4$ と、ワード線 $W a i 3$, $W a i 4$, $W b i 1$, $W b i 2$ と、ビット線 $/ B a i 1$, $/ B a i 2$, $B b i 1$, $B b i 2$ とを含む。メモリセル $M C b i 1 - M C b i 4$ は行および列に配置される。ワード線 $W a i 3$, $W a i 4$, $W b i 1$, $W b i 2$ は行に配置される。ワード線 $W a i 3$, $W b i 1$ は、メモリセル $M C b i 1$, $M C b i 3$ に対応して配置される。ワード線 $W a i 4$, $W b i 2$ は、メモリセル $M C b i 2$, $M C b i 4$ に対応して配置される。ビット線 $/ B a i 1$, $/ B a i 2$, $B b i 1$, $B b i 2$ は列に配置される。ビット線 $/ B a i 1$, $B b i 1$ は、メモリセル $M C b i 1$, $M C b i 2$ に対応して配置される。ビット線 $/ B a i 2$, $B b i 2$ は、メモリセル $M C b i 3$, $M C b i 4$ に対応して配置される。

20

【 0 0 3 4 】

メモリセル $M C b i 1 - M C b i 4$ の各々は、2つのトランジスタ $T a$, $T b$ と1つのキャパシタ C とを含む。メモリセル $M C b i 1 - M C b i 4$ のトランジスタ $T a$ は、ビット線 $/ B a i 1$, $/ B a i 1$, $/ B a i 2$, $/ B a i 2$ とキャパシタ C との間に接続され、ワード線 $W a i 3$, $W a i 4$, $W a i 3$, $W a i 4$ の電圧をゲートに受ける。メモリセル $M C b i 1 - M C b i 4$ のトランジスタ $T b$ は、ビット線 $B b i 1$, $B b i 1$, $B b i 2$, $B b i 2$ とキャパシタ C との間に接続され、ワード線 $W b i 1$, $W b i 2$, $W b i 1$, $W b i 2$ の電圧をゲートに受ける。

30

【 0 0 3 5 】

コマンドデコーダ $2 1$ は、外部から入力されるコマンドをクロック $C L K$ に同期して取り込み、これに応じたコマンド信号 $C M D$ を出力する。

【 0 0 3 6 】

アドレスバッファ $2 2$ は、外部から入力されるアドレスをクロック $C L K$ に同期して取り込み、これに応じた行アドレス信号 $R A D$, 列アドレス信号 $C A D$ を出力する。

40

【 0 0 3 7 】

制御回路 $2 3$ は、コマンドデコーダ $2 1$ からのコマンド信号 $C M D$ およびアドレスバッファ $2 2$ からの列アドレス信号 $C A D$ に応答してイネーブル信号 $W E$, $R E$ を活性化する。具体的には制御回路 $2 3$ は、コマンド信号 $C M D$ が「読み出し」を示すときはイネーブル信号 $R E$ を活性化し、コマンド信号 $C M D$ が「書き込み」を示すときはイネーブル信号 $W E$ を活性化する。

【 0 0 3 8 】

分周器 $2 4$ は、アドレスバッファ $2 2$ からの行アドレス信号 $R A D$ および列アドレス信号 $C A D$ を受け、クロック $C L K$ の2倍の周期で行アドレス信号 $R A D a$, $R A D b$ およ

50

び列アドレス信号 $CADa$, $CADb$ として出力する。具体的には図 2 に示すように、アドレスバッファ 22 から分周器 24 へ行アドレス信号 $RAD(RA1 - RA4)$ がクロック CLK に同期して与えられる。分周器 24 は、クロック CLK の 2 倍の周期のクロック $CLKa$ に同期して行アドレス信号 $RAD(RA1, RA3)$ を取り込み、これを行アドレス信号 $RADa(RA1, RA3)$ として出力する。また分周器 24 は、クロック $CLKa$ と相補のクロック $CLKb$ に同期して行アドレス信号 $RAD(RA2, RA4)$ を取り込み、これを行アドレス信号 $RADb(RA2, RA4)$ として出力する。列アドレス信号 CAD , $CADa$, $CADb$ についても同様である。

【0039】

行デコーダ 10a は、分周器 24 からの行アドレス信号 $RADa$ に応答して、ワード線ドライバ $WDa1 - WDan$ のうち当該行アドレス信号 $RADa$ に対応するワード線ドライバ $W Dai$ に行アドレス信号 $RADai$ を与える。 10

【0040】

行デコーダ 10b は、分周器 24 からの行アドレス信号 $RADb$ に応答して、ワード線ドライバ $WDb1 - WDbn$ のうち当該行アドレス信号 $RADb$ に対応するワード線ドライバ $W Dbi$ に行アドレス信号 $RADbi$ を与える。

【0041】

ワード線ドライバ $W Dai$ は、メモリセルアレイ $MAai$ および $MAbi$ に対応して設けられる。ワード線ドライバ $W Dai$ は、行デコーダ 10a からの行アドレス信号 $RADai$ に応答して、対応するワード線 $Wai1, Wai2, Wai3, Wai4$ を活性化する。 20

【0042】

ワード線ドライバ $W Dbi$ は、メモリセルアレイ $MAbi$ および $MAa(i+1)$ に対応して設けられる。ワード線ドライバ $W Dbi$ は、行デコーダ 10b からの行アドレス信号 $RADbi$ に応答して、対応するワード線 $Wbi1, Wbi2, Wbi3, Wbi4$ を活性化する。

【0043】

列デコーダ 11a は、分周器 24 からの列アドレス信号 $CADa$ に応答して、列選択回路 $(C Ra1, C Wa1) - (C Ran, C Wan)$ のうち当該列アドレス信号 $CADa$ に対応する列選択回路 $(C Rai, C Wai)$ に列アドレス信号 $CADai$ を与える。 30

【0044】

列デコーダ 11b は、分周器 24 からの列アドレス信号 $CADb$ に応答して、列選択回路 $(C Rb1, C Wb1) - (C Rbn, C Wbn)$ のうち当該列アドレス信号 $CADb$ に対応する列選択回路 $(C Rbi, C Wbi)$ に列アドレス信号 $CADbi$ を与える。

【0045】

列選択回路 $C Rai, C Wai$ は、コマンドデコーダ 21 からのコマンド信号 CMD および列デコーダ 11a からの列アドレス信号 $CADai$ に応答して、対応する列選択信号 $Rai1, Rai2, Wai1, Wai2$ を活性化する。具体的には、列選択回路 $C Rai$ は、コマンドデコーダ 21 からのコマンド信号 CMD が「読み出し」を示すとき、列選択信号 $Rai1, Rai2$ のうち列アドレス信号 $CADai$ に対応する信号を活性化する。列選択回路 $C Wai$ は、コマンドデコーダ 21 からのコマンド信号 CMD が「書き込み」を示すとき、列選択信号 $Wai1, Wai2$ のうち列アドレス信号 $CADai$ に対応する信号を活性化する。 40

【0046】

列選択回路 $C Rbi, C Wbi$ は、コマンドデコーダ 21 からのコマンド信号 CMD および列デコーダ 11b からの列アドレス信号 $CADbi$ に応答して、対応する列選択信号 $Rbi1, Rbi2, Wbi1, Wbi2$ を活性化する。具体的には、列選択回路 $C Rbi$ は、コマンドデコーダ 21 からのコマンド信号 CMD が「読み出し」を示すとき、列選択信号 $Rbi1, Rbi2$ のうち列アドレス信号 $CADbi$ に対応する信号を活性化する。列選択回路 $C Wbi$ は、コマンドデコーダ 21 からのコマンド信号 CMD が「書き込み」 50

」を示すとき、列選択信号 $W b i 1$, $W b i 2$ のうち列アドレス信号 $C A D b i$ に対応する信号を活性化する。

【0047】

センスアンプアレイ $S A a i$ は、センスアンプ $1 2 a i$, $1 3 a i$ と、ビット線プリチャージ回路 $1 8 a i$, $1 9 a i$ と、列選択スイッチ $1 4 a i - 1 7 a i$ とを含む。

【0048】

センスアンプ $1 2 a i$ は、センスアンプ活性化信号 $S E a$ に応答して活性化され、メモリセル $M C a i 1$, $M C a i 2$, $M C b i 1$, $M C b i 2$ からビット線対 ($B a i 1$, / $B a i 1$) に読み出されたデータ信号を増幅する。センスアンプ $1 3 a i$ は、センスアンプ活性化信号 $S E a$ に応答して活性化され、メモリセル $M C a i 3$, $M C a i 4$, $M C b i 3$, $M C b i 4$ からビット線対 ($B a i 2$, / $B a i 2$) に読み出されたデータ信号を増幅する。

10

【0049】

ビット線プリチャージ回路 $1 8 a i$, $1 9 a i$ は、プリチャージ信号 $E Q a$ に応答して活性化され、ビット線対 ($B a i 1$, / $B a i 1$) , ($B a i 2$, / $B a i 2$) をプリチャージする。

【0050】

列選択スイッチ $1 4 a i$ は、列選択回路 $C R a i$ からの列選択信号 $R a i 1$ に応答してビット線対 ($B a i 1$, / $B a i 1$) と読み出し用データ線対 $R D B$ とを接続 / 非接続にする。列選択スイッチ $1 5 a i$ は、列選択回路 $C R a i$ からの列選択信号 $R a i 2$ に応答してビット線対 ($B a i 2$, / $B a i 2$) と読み出し用データ線対 $R D B$ とを接続 / 非接続にする。列選択スイッチ $1 6 a i$ は、列選択回路 $C W a i$ からの列選択信号 $W a i 1$ に応答してビット線対 ($B a i 1$, / $B a i 1$) と書き込み用データ線対 $W D B$ とを接続 / 非接続にする。列選択スイッチ $1 7 a i$ は、列選択回路 $C W a i$ からの列選択信号 $W a i 2$ に応答してビット線対 ($B a i 2$, / $B a i 2$) と書き込み用データ線対 $W D B$ とを接続 / 非接続にする。

20

【0051】

センスアンプアレイ $S A b i$ は、センスアンプ $1 2 b i$, $1 3 b i$ と、ビット線プリチャージ回路 $1 8 b i$, $1 9 b i$ と、列選択スイッチ $1 4 b i - 1 7 b i$ とを含む。

【0052】

センスアンプ $1 2 b i$ は、センスアンプ活性化信号 $S E b$ に応答して活性化され、メモリセル $M C b i 1$, $M C b i 2$, $M C a (i + 1) 1$, $M C a (i + 1) 2$ からビット線対 ($B b i 1$, / $B b i 1$) に読み出されたデータ信号を増幅する。センスアンプ $1 3 b i$ は、センスアンプ活性化信号 $S E b$ に応答して活性化され、メモリセル $M C b i 3$, $M C b i 4$, $M C a (i + 1) 3$, $M C a (i + 1) 4$ からビット線対 ($B b i 2$, / $B b i 2$) に読み出されたデータ信号を増幅する。

30

【0053】

ビット線プリチャージ回路 $1 8 b i$, $1 9 b i$ は、プリチャージ信号 $E Q b$ に応答して活性化され、ビット線対 ($B b i 1$, / $B b i 1$) , ($B b i 2$, / $B b i 2$) をプリチャージする。

40

【0054】

列選択スイッチ $1 4 b i$ は、列選択回路 $C R b i$ からの列選択信号 $R b i 1$ に応答してビット線対 ($B b i 1$, / $B b i 1$) と読み出し用データ線対 $R D B$ とを接続 / 非接続にする。列選択スイッチ $1 5 b i$ は、列選択回路 $C R b i$ からの列選択信号 $R b i 2$ に応答してビット線対 ($B b i 2$, / $B b i 2$) と読み出し用データ線対 $R D B$ とを接続 / 非接続にする。列選択スイッチ $1 6 b i$ は、列選択回路 $C W b i$ からの列選択信号 $W b i 1$ に応答してビット線対 ($B b i 1$, / $B b i 1$) と書き込み用データ線対 $W D B$ とを接続 / 非接続にする。列選択スイッチ $1 7 b i$ は、列選択回路 $C W b i$ からの列選択信号 $W b i 2$ に応答してビット線対 ($B b i 2$, / $B b i 2$) と書き込み用データ線対 $W D B$ とを接続 / 非接続にする。

50

【0055】

データ線プリチャージ回路20Rは、読み出し用データ線対RDBをプリチャージする。データ線プリチャージ回路20Wは、書き込み用データ線対WDBをプリチャージする。

【0056】

リードアンプ25は、読み出し用データ線対RDBと入出力バッファ27との間に設けられる。リードアンプ25は、制御回路23からの活性のイネーブル信号REにตอบสนองして活性化し、読み出し用データ線対RDBからのデータ信号をクロックCLKに同期して増幅し入出力バッファ27に転送する。

【0057】

ライトドライバ26は、入出力バッファ27と書き込み用データ線対WDBとの間に設けられる。ライトドライバ26は、制御回路23からの活性のイネーブル信号WEにตอบสนองして活性化し、入出力バッファ27からのデータ信号をクロックCLKに同期して増幅し書き込み用データ線対WDBに転送する。

【0058】

入出力バッファ27は、リードアンプ25からのデータ信号をクロックCLKに同期して外部へ出力しかつ外部からのデータ信号をクロックCLKに同期してライトドライバ26へ出力する。

【0059】

<読み出し動作>

次に、以上のように構成されたDRAMの読み出し動作(READ)について図3を参照しつつ説明する。

【0060】

周知のとおり、図1に示したDRAMのように2つのトランジスタTa, Tbと1つのキャパシタCを含むメモリセルを備えたDRAMではアクセス時間とサイクル時間とをほぼ同等にできるためクロックCLKの1サイクルごとに外部からコマンドを入力することが可能となる。

【0061】

まず時刻Aにおいて、読み出しコマンド(READ)がコマンドデコーダ21に与えられ、アクセスすべきメモリセル(ここではMc a i 1とする。)に対応するアドレスがアドレスバッファ22に与えられる。コマンドデコーダ21は、クロックCLKの立ち上がりのタイミングで読み出しコマンドを取り込み、「読み出し」を示すコマンド信号CMDを出力する。アドレスバッファ22は、クロックCLKの立ち上がりのタイミングでアドレスを取り込み、メモリセルMc a i 1に対応する行アドレス信号RADおよび列アドレス信号CADを出力する。これにตอบสนองして分周器24は、メモリセルMc a i 1に対応する行アドレス信号RAD aを行デコーダ10 aに与え、列アドレス信号CAD aを列デコーダ11 aに与える。行デコーダ10 aは、メモリセルMc a i 1に対応する行アドレス信号RAD a iをワード線ドライバWD a iに与える。列デコーダ11 aは、メモリセルMc a i 1に対応する列アドレス信号CAD a iを列選択回路CR a i, CW a iに与える。そしてワード線W a i 1がワード線ドライバWD a iによって活性化される。これによりメモリセルMc a i 1のトランジスタTaがオンになり、メモリセルMc a i 1からビット線B a i 1にデータが読み出される。センスアンプ活性化信号S E aが活性化され、ビット線対(B a i 1, / B a i 1)の電位差がセンスアンプ12 a iによって増幅される。

【0062】

一方、時刻Aから時刻Bまでの期間 活性のプリチャージ信号EQ bがビット線プリチャージ回路18 b i, 19 b iに与えられ、ビット線対(B b i 1, / B b i 1), (B b i 2, / B b i 2)がプリチャージされる。

【0063】

次いで時刻Bにおいて、メモリセルMc a i 1に対応する列選択信号R a i 1が列選択

10

20

30

40

50

回路C R a iによって活性化され、列選択スイッチ1 4 a iがオンになる。これにより、ビット線対(B a i 1 , / B a i 1)と読み出し用データ線対R D Bとが接続される。また、活性のイネーブル信号R Eがリードアンプ2 5に与えられる。これにより、ビット線対(B a i 1 , / B a i 1)の電位差が読み出し用データ線対R D Bに転送され、リードアンプ2 5によって増幅されて入出力バッファ2 7へ送られる。入出力バッファ2 7への転送後、イネーブル信号R E、列選択信号R a i 1およびセンスアンプ活性化信号S E aが不活性化される。そしてデータ線プリチャージ回路2 0 Rによって読み出し用データ線対R D Bがプリチャージされる。また、活性のプリチャージ信号E Q aがビット線プリチャージ回路1 8 a i , 1 9 a iに与えられ、ビット線対(B a i 1 , / B a i 1) , (B a i 2 , / B a i 2)がプリチャージされる。

10

【0 0 6 4】

一方、時刻Bにおいてプリチャージ信号E Q bが不活性化され、ビット線プリチャージ回路1 8 b i , 1 9 b iによるビット線対(B b i 1 , / B b i 1) , (B b i 2 , / B b i 2)のプリチャージが終了する。そして、読み出しコマンド(R E A D)がコマンドデコーダ2 1に与えられ、アクセスすべきメモリセル(ここではM C b i 1とする。)に対応するアドレスがアドレスバッファ2 2に与えられる。コマンドデコーダ2 1は、クロックC L Kの立ち上がりのタイミングで読み出しコマンドを取り込み、「読み出し」を示すコマンド信号C M Dを出力する。アドレスバッファ2 2は、クロックC L Kの立ち上がりのタイミングでアドレスを取り込み、メモリセルM C b i 1に対応する行アドレス信号R A Dおよび列アドレス信号C A Dを出力する。これに回答して分周器2 4は、メモリセルM C b i 1に対応する行アドレス信号R A D bを行デコーダ1 0 bに与え、列アドレス信号C A D bを列デコーダ1 1 bに与える。行デコーダ1 0 bは、メモリセルM C b i 1に対応する行アドレス信号R A D b iをワード線ドライバW D b iに与える。列デコーダ1 1 bは、メモリセルM C b i 1に対応する列アドレス信号C A D b iを列選択回路C R b i , C W b iに与える。そしてワード線W b i 1がワード線ドライバW D b iによって活性化される。これによりメモリセルM C b i 1のトランジスタT bがオンになり、メモリセルM C b i 1からビット線B b i 1にデータが読み出される。センスアンプ活性化信号S E bが活性化され、ビット線対(B b i 1 , / B b i 1)の電位差がセンスアンプ1 2 b iによって増幅される。

20

【0 0 6 5】

次いで時刻Cにおいて、メモリセルM C a i 1から読み出されたデータD Q 1が入出力バッファ2 7によって外部へ出力される。

30

【0 0 6 6】

また、メモリセルM C b i 1に対応する列選択信号R b i 1が列選択回路C R b iによって活性化され、列選択スイッチ1 4 b iがオンになる。これにより、ビット線対(B b i 1 , / B b i 1)と読み出し用データ線対R D Bとが接続される。また、活性のイネーブル信号R Eが制御回路2 3からリードアンプ2 5に与えられる。これにより、ビット線対(B b i 1 , / B b i 1)の電位差が読み出し用データ線対R D Bに転送され、リードアンプ2 5によって増幅されて入出力バッファ2 7へ送られる。入出力バッファ2 7への転送後、イネーブル信号R E、列選択信号R b i 1およびセンスアンプ活性化信号S E bが不活性化される。そしてデータ線プリチャージ回路2 0 Rによって読み出し用データ線対R D Bがプリチャージされる。また、活性のプリチャージ信号E Q bがビット線プリチャージ回路1 8 b i , 1 9 b iに与えられ、ビット線対(B b i 1 , / B b i 1) , (B b i 2 , / B b i 2)がプリチャージされる。

40

【0 0 6 7】

一方、プリチャージ信号E Q aが不活性化され、ビット線プリチャージ回路1 8 a i , 1 9 a iによるビット線対(B a i 1 , / B a i 1) , (B a i 2 , / B a i 2)のプリチャージが終了する。そして、読み出しコマンド(R E A D)がコマンドデコーダ2 1に与えられ、アクセスすべきメモリセル(ここではM C a i 1とする。)に対応するアドレスがアドレスバッファ2 2に与えられる。コマンドデコーダ2 1は、クロックC L Kの立

50

ち上がりのタイミングで読み出しコマンドを取り込み、「読み出し」を示すコマンド信号 CMD を出力する。アドレスバッファ 22 は、クロック CLK の立ち上がりのタイミングでアドレスを取り込み、メモリセル MC a i 1 に対応する行アドレス信号 RAD および列アドレス信号 CAD を出力する。これにตอบสนองして分周器 24 は、メモリセル MC a i 1 に対応する行アドレス信号 R A D a を行デコーダ 10 a に与え、列アドレス信号 C A D a を列デコーダ 11 a に与える。行デコーダ 10 a は、メモリセル MC a i 1 に対応する行アドレス信号 R A D a i をワード線ドライバ W D a i に与える。列デコーダ 11 a は、メモリセル MC a i 1 に対応する列アドレス信号 C A D a i を列選択回路 C R a i , C W a i に与える。そしてワード線 W a i 1 がワード線ドライバ W D a i によって活性化される。これによりメモリセル MC a i 1 のトランジスタ T a がオンになり、メモリセル MC a i 1 からビット線 B a i 1 にデータが読み出される。センスアンプ活性化信号 S E a が活性化され、ビット線対 (B a i 1 , / B a i 1) の電位差がセンスアンプ 12 a i によって増幅される。

10

【0068】

次いで時刻 D において、メモリセル MC b i 1 から読み出されたデータ D Q 2 が入出力バッファ 27 によって外部へ出力される。

【0069】

また、メモリセル MC a i 1 に対応する列選択信号 R a i 1 が列選択回路 C R a i によって活性化され、列選択スイッチ 14 a i がオンになる。これにより、ビット線対 (B a i 1 , / B a i 1) と読み出し用データ線対 R D B とが接続される。また、活性のイネーブル信号 R E が制御回路 23 からリードアンプ 25 に与えられる。これにより、ビット線対 (B a i 1 , / B a i 1) の電位差が読み出し用データ線対 R D B に転送され、リードアンプ 25 によって増幅されて入出力バッファ 27 へ送られる。入出力バッファ 27 への転送後、イネーブル信号 R E , 列選択信号 R a i 1 およびセンスアンプ活性化信号 S E a が不活性化される。そしてデータ線プリチャージ回路 20 R によって読み出し用データ線対 R D B がプリチャージされる。また、活性のプリチャージ信号 E Q a がビット線プリチャージ回路 18 a i , 19 a i に与えられ、ビット線対 (B a i 1 , / B a i 1) , (B a i 2 , / B a i 2) がプリチャージされる。

20

【0070】

次いで時刻 E において、メモリセル MC a i 1 から読み出されたデータ D Q 3 が入出力バッファ 27 によって外部へ出力される。

30

【0071】

以上のように、図 1 に示した DRAM では、[アクセスすべきメモリセルのトランジスタ T a] - [当該トランジスタ T a に対応するビット線対 (B a i 1 , / B a i 1) , (B a i 2 , / B a i 2)] - [当該ビット線対に対応する列選択スイッチ 14 a i , 15 a i] - [読み出し用データ線対 R D B] の経路によって形成されるポート A と、[アクセスすべきメモリセルのトランジスタ T b] - [当該トランジスタ T b に対応するビット線対 (B b i 1 , / B b i 1) , (B b i 2 , / B b i 2)] - [当該ビット線対に対応する列選択スイッチ 14 b i , 15 b i] - [読み出し用データ線対 R D B] の経路によって形成されるポート B とをクロック CLK の 2 周期でインターリーブ動作させる。そして、リードアンプ 25 は、ビット線対から読み出し用データ線対 R D B に転送されたデータをクロック CLK の 1 周期で増幅して入出力バッファ 27 へ出力し、入出力バッファ 27 は、リードアンプ 25 からのデータをクロック CLK の 1 周期で外部へ出力する。すなわちリードアンプ 25 および入出力バッファ 27 はインターリーブ動作させない。このように内部の 2 つのポートをインターリーブ動作させることによってビット線のプリチャージを見かけ上かくし、アクセス時間とほぼ同等にまでサイクル時間を短くしている。

40

【0072】

なお、ここでは読み出し動作について詳しく説明したけれども、書き込み動作のときにも同様に、入出力バッファ 27 は、外部からのデータをクロック CLK の 1 周期でライトドライバ 26 へ転送し、ライトドライバ 26 は、入出力バッファ 27 からのデータを増幅

50

してクロックCLKの1周期で書き込み用データ線対WDBに転送する。すなわち、入出力バッファ27およびライトドライバ26はインターリーブ動作させない。そして、[アクセスすべきメモリセルのトランジスタTa] - [当該トランジスタTaに対応するビット線対(Bai1, /Bai1), (Bai2, /Bai2)] - [当該ビット線対に対応する列選択スイッチ16ai, 17ai] - [書き込み用データ線対WDB]の経路によって形成されるポートAと、[アクセスすべきメモリセルのトランジスタTb] - [当該トランジスタTbに対応するビット線対(Bbi1, /Bbi1), (Bbi2, /Bbi2)] - [当該ビット線対に対応する列選択スイッチ16bi, 17bi] - [書き込み用データ線対WDB]の経路によって形成されるポートBとをクロックCLKの2周期でインターリーブ動作させる。

10

【0073】

<効果>

この発明の第1の実施形態によるDRAMでは、ポートAとポートBとに共通のリードアンプ25およびライトドライバ26を設けたため、ポートAおよびポートBのそれぞれに対してリードアンプおよびライトドライバを設けた場合に比べると回路のレイアウト面積を小さくすることができる。

【0074】

また、メモリセルから読み出したデータをリードアンプ25に転送するための読み出し専用のデータ線対RDBと、ライトドライバ26からの書き込みデータをメモリセルへ転送するための書き込み専用のデータ線対WDBとを設けたため、データ線対RDBに対しては読み出し用の制御を行うだけでよく、データ線対WDBに対しては書き込み用の制御を行うだけでよい。これにより、1つのデータ線対に対して読み出し用の制御および書き込み用の制御の両方を行う場合に比べてデータ線対RDB, WDBに対する制御およびタイミングの設計を容易に行うことができる。

20

【0075】

<なお書き>

なお、ここでは同期型のDRAMについて説明したけれどもこれに代えて非同期型のDRAMとした場合にも同様の効果が得られる。

【0076】

また、ここでは双対方式のデータ線対RDB, WDBを用いたけれどもこれに代えて単一方式のデータ線を用いてもよい。これによりデータ線のプリチャージを考慮する必要がなくなるため、より高速設計が可能となる。

30

【0077】

(第2の実施形態)

<DRAMの全体構成>

図4は、この発明の第2の実施形態によるDRAMの全体構成を示すブロック図である。図4に示すDRAMは、クロックCLKに同期して動作するシンクロナスDRAMである。このDRAMは、メモリセルアレイMAai, MAbi (i = 1 ~ n; nは正の整数)と、センスアンプアレイSAai, SABi (i = 1 ~ n; nは正の整数)と、行デコーダ10a, 10bと、列デコーダ11a, 11bと、ワード線ドライバWDai, WDbi (i = 1 ~ n; nは正の整数)と、列選択回路Crai, CWai, CRbi, CWbi (i = 1 ~ n; nは正の整数)と、データ線対DBa, DBb, RDB, WDBと、制御回路23, 40 - 43と、トランスファゲート50 - 53と、データ線プリチャージ回路20R, 20Wと、コマンドデコーダ21と、アドレスバッファ22と、分周器24と、リードアンプ25と、ライトドライバ26と、入出力バッファ27とを備える。

40

【0078】

メモリセルアレイおよびセンスアンプアレイは、(メモリセルアレイMAa1) - (センスアンプアレイSAa1) - (メモリセルアレイMAb1) - (センスアンプアレイSAb1) - (メモリセルアレイMAa2) - ...の順に列方向に配置される。なお、説明を簡単にするため図4ではメモリセルアレイMAai, MAbi, MAa(i+1)お

50

よびセンスアンプアレイ $S A a i$, $S A b i$ についてのみ示している。また、ワード線ドライバおよび列選択回路についてもワード線ドライバ $W D a i$, $W D b i$ および列選択回路 $C R a i$, $C W a i$, $C R b i$, $C W b i$ についてのみ示している。

【0079】

センスアンプアレイ $S A a i$ は、センスアンプ $12 a i$, $13 a i$ と、ビット線プリチャージ回路 $18 a i$, $19 a i$ と、列選択スイッチ $44 a i - 47 a i$ とを含む。

【0080】

列選択スイッチ $44 a i$, $45 a i$ は、列選択回路 $C R a i$ からの列選択信号 $R a i 1$, $R a i 2$ に応答してビット線対 ($B a i 1$, / $B a i 1$) , ($B a i 2$, / $B a i 2$) とデータ線対 $D B a$ とを接続 / 非接続にする。

10

【0081】

列選択スイッチ $46 a i$, $47 a i$ は、列選択回路 $C W a i$ からの列選択信号 $W a i 1$, $W a i 2$ に応答してビット線対 ($B a i 1$, / $B a i 1$) , ($B a i 2$, / $B a i 2$) とデータ線対 $D B a$ とを接続 / 非接続にする。

【0082】

センスアンプアレイ $S A b i$ は、センスアンプ $12 b i$, $13 b i$ と、ビット線プリチャージ回路 $18 b i$, $19 b i$ と、列選択スイッチ $44 b i - 47 b i$ とを含む。

【0083】

列選択スイッチ $44 b i$, $45 b i$ は、列選択回路 $C R b i$ からの列選択信号 $R b i 1$, $R b i 2$ に応答してビット線対 ($B b i 1$, / $B b i 1$) , ($B b i 2$, / $B b i 2$) とデータ線対 $D B b$ とを接続 / 非接続にする。

20

【0084】

列選択スイッチ $46 b i$, $47 b i$ は、列選択回路 $C W b i$ からの列選択信号 $W b i 1$, $W b i 2$ に応答してビット線対 ($B b i 1$, / $B b i 1$) , ($B b i 2$, / $B b i 2$) とデータ線対 $D B b$ とを接続 / 非接続にする。

【0085】

制御回路 $40 - 43$ は、コマンドデコーダ 21 からのコマンド信号 $C M D$ および分周器 24 からの列アドレス信号 $C A D a$, $C A D b$ に応答して切り替え信号 $S W 40 - S W 43$ を出力する。具体的には制御回路 40 は、コマンド信号 $C M D$ が「読み出し」を示すとき、列アドレス信号 $C A D a$ の切り替わりに応答して所定期間（クロック $C L K$ の1周期以内の期間）活性の切り替え信号 $S W 40$ を出力する。それ以外するとき制御回路 40 は不活性の切り替え信号 $S W 40$ を出力する。制御回路 41 は、コマンド信号 $C M D$ が「読み出し」を示すとき、列アドレス信号 $C A D b$ の切り替わりに応答して所定期間（クロック $C L K$ の1周期以内の期間）活性の切り替え信号 $S W 41$ を出力する。それ以外するとき制御回路 41 は不活性の切り替え信号 $S W 41$ を出力する。制御回路 42 は、コマンド信号 $C M D$ が「書き込み」を示すとき、列アドレス信号 $C A D a$ の切り替わりに応答して所定期間（クロック $C L K$ の1周期以内の期間）活性の切り替え信号 $S W 42$ を出力する。それ以外するとき制御回路 42 は不活性の切り替え信号 $S W 42$ を出力する。制御回路 43 は、コマンド信号 $C M D$ が「書き込み」を示すとき、列アドレス信号 $C A D b$ の切り替わりに応答して所定期間（クロック $C L K$ の1周期以内の期間）活性の切り替え信号 $S W 43$ を出力する。それ以外するとき制御回路 43 は不活性の切り替え信号 $S W 43$ を出力する。

30

40

【0086】

トランスファゲート 50 は、制御回路 40 からの活性の切り替え信号 $S W 40$ に応答してデータ線対 $D B a$ とデータ線対 $R D B$ とを接続し、不活性の切り替え信号 $S W 40$ に応答してデータ線対 $D B a$ とデータ線対 $R D B$ とを非接続にする。トランスファゲート 51 は、制御回路 41 からの活性の切り替え信号 $S W 41$ に応答してデータ線対 $D B b$ とデータ線対 $R D B$ とを接続し、不活性の切り替え信号 $S W 41$ に応答してデータ線対 $D B b$ とデータ線対 $R D B$ とを非接続にする。トランスファゲート 52 は、制御回路 42 からの活性の切り替え信号 $S W 42$ に応答してデータ線対 $D B a$ とデータ線対 $W D B$ とを接続し、不活性の切り替え信号 $S W 42$ に応答してデータ線対 $D B a$ とデータ線対 $W D B$ とを非接

50

続にする。トランスファゲート53は、制御回路43からの活性の切り替え信号SW43に
 応答してデータ線対DBbとデータ線対WDBとを接続し、不活性の切り替え信号SW
 43に
 応答してデータ線対DBbとデータ線対WDBとを非接続にする。

【0087】

データ線対DBa, DBbはメモリセルアレイMAai, MAbi上に配線され、デー
 タ線対RDB, WDBは周辺回路上に配線される。

【0088】

<読み出し動作>

次に、以上のように構成されたDRAMの読み出し動作(READ)について図5を参
 照しつつ説明する。

10

【0089】

まず時刻Aにおいて、読み出しコマンド(READ)がコマンドデコーダ21に与えら
 れ、アクセスすべきメモリセル(ここではMCai1とする。)に対応するアドレスがア
 ドレスバッファ22に与えられる。コマンドデコーダ21は、クロックCLKの立ち上が
 りのタイミングで読み出しコマンドを取り込み、「読み出し」を示すコマンド信号CMD
 を出力する。アドレスバッファ22は、クロックCLKの立ち上がりのタイミングでアド
 レスを取り込み、メモリセルMCai1に対応する行アドレス信号RADおよび列アドレ
 ス信号CADを出力する。これに
 応答して分周器24は、メモリセルMCai1に対応する行アドレス信号RAdaを行デコーダ10a
 に与え、列アドレス信号CAdaを列デコーダ11aに与える。行デコーダ10aは、メモリセルMCai1
 に対応する行アドレス信号RAdaiをワード線ドライバWdaiに与える。列デコーダ11aは、メモリセル
 MCai1に対応する列アドレス信号CAdaiを列選択回路Crai, CWaiに与える。そしてワード線
 Wai1がワード線ドライバWdaiによって活性化される。これによりメモリセルMCai1のトランジスタ
 Taがオンになり、メモリセルMCai1からビット線Bai1にデータが読み出される。センスアンプ
 活性化信号Seaが活性化され、ビット線対(Bai1, /Bai1)の電位差がセンスアンプ12ai
 によって増幅される。

20

【0090】

一方、時刻Aから時刻Bまでの期間 活性のプリチャージ信号EQbがビット線プリ
 チャージ回路18bi, 19biに与えられ、ビット線対(Bbi1, /Bbi1), (B
 bi2, /Bbi2)がプリチャージされる。

30

【0091】

次いで時刻Bにおいて、メモリセルMCai1に対応する列選択信号Rai1が列選択
 回路Craiによって活性化され、列選択スイッチ44aiがオンになる。これにより、
 ビット線対(Bai1, /Bai1)とデータ線対DBaとが接続される。また、活性の
 切り替え信号SW40がトランスファゲート50に与えられ、データ線対DBaとデー
 タ線対RDBとが接続される。また、活性のイネーブル信号REがリードアンプ25に与え
 られる。これにより、ビット線対(Bai1, /Bai1)の電位差がデータ線対DBa
 , RDBに転送され、リードアンプ25によって増幅されて入出力バッファ27へ送られ
 る。入出力バッファ27への転送後、切り替え信号SW40が不活性化され、データ線対
 DBaとデータ線対RDBとが非接続にされ、データ線対RDBがプリチャージされる。
 また、イネーブル信号RE, 列選択信号Rai1およびセンスアンプ活性化信号Seaが
 不活性化される。そして、活性のプリチャージ信号EQaがビット線プリチャージ回路1
 8ai, 19aiに与えられ、ビット線対(Bai1, /Bai1), (Bai2, /B
 ai2)がプリチャージされる。

40

【0092】

一方、時刻Bにおいてプリチャージ信号EQbが不活性化され、ビット線プリチャージ
 回路18bi, 19biによるビット線対(Bbi1, /Bbi1), (Bbi2, /B
 bi2)のプリチャージが終了する。そして、読み出しコマンド(READ)がコマンド
 デコーダ21に与えられ、アクセスすべきメモリセル(ここではMCbi1とする。)に

50

対応するアドレスがアドレスバッファ22に与えられる。コマンドデコーダ21は、クロックCLKの立ち上がりのタイミングで読み出しコマンドを取り込み、「読み出し」を示すコマンド信号CMDを出力する。アドレスバッファ22は、クロックCLKの立ち上がりのタイミングでアドレスを取り込み、メモリセルMCbi1に対応する行アドレス信号RADおよび列アドレス信号CADを出力する。これにตอบสนองして分周器24は、メモリセルMCbi1に対応する行アドレス信号RADbを行デコーダ10bに与え、列アドレス信号CADbを列デコーダ11bに与える。行デコーダ10bは、メモリセルMCbi1に対応する行アドレス信号RADbiをワード線ドライバWDbiに与える。列デコーダ11bは、メモリセルMCbi1に対応する列アドレス信号CADbiを列選択回路CRbi, CWbiに与える。そしてワード線Wbi1がワード線ドライバWDbiによって活性化される。これによりメモリセルMCbi1のトランジスタTbがオンになり、メモリセルMCbi1からビット線Bbi1にデータが読み出される。センスアンプ活性化信号SEbが活性化され、ビット線対(Bbi1, /Bbi1)の電位差がセンスアンプ12biによって増幅される。

10

【0093】

次いで時刻Cにおいて、メモリセルMCai1から読み出されたデータDQ1が入出力バッファ27によって外部へ出力される。

【0094】

また、データ線プリチャージ回路20Rが活性化され、時刻Dまでの間にデータ線対DBaがプリチャージされる。

20

【0095】

また、メモリセルMCbi1に対応する列選択信号Rbi1が列選択回路CRbiによって活性化され、列選択スイッチ44biがオンになる。これにより、ビット線対(Bbi1, /Bbi1)とデータ線対DBbとが接続される。また、活性の切り替え信号SW41がトランスファゲート51に与えられ、データ線対DBbとデータ線対RDBとが接続される。また、活性のイネーブル信号REがリードアンプ25に与えられる。これにより、ビット線対(Bbi1, /Bbi1)の電位差がデータ線対DBb, RDBに転送され、リードアンプ25によって増幅されて入出力バッファ27へ送られる。入出力バッファ27への転送後、切り替え信号SW41が不活性化され、データ線対DBbとデータ線対RDBとが非接続にされ、データ線対RDBがプリチャージされる。また、イネーブル信号RE, 列選択信号Rbi1およびセンスアンプ活性化信号SEbが不活性化される。そして、活性のプリチャージ信号EQbがビット線プリチャージ回路18bi, 19biに与えられ、ビット線対(Bbi1, /Bbi1), (Bbi2, /Bbi2)がプリチャージされる。

30

【0096】

一方、時刻Cにおいてプリチャージ信号EQaが不活性化され、ビット線プリチャージ回路18ai, 19aiによるビット線対(Bai1, /Bai1), (Bai2, /Bai2)のプリチャージが終了する。そして、読み出しコマンド(READ)がコマンドデコーダ21に与えられ、アクセスすべきメモリセル(ここではMCai1とする。)に対応するアドレスがアドレスバッファ22に与えられる。コマンドデコーダ21は、クロックCLKの立ち上がりのタイミングで読み出しコマンドを取り込み、「読み出し」を示すコマンド信号CMDを出力する。アドレスバッファ22は、クロックCLKの立ち上がりのタイミングでアドレスを取り込み、メモリセルMCai1に対応する行アドレス信号RADおよび列アドレス信号CADを出力する。これにตอบสนองして分周器24は、メモリセルMCai1に対応する行アドレス信号RADAを行デコーダ10aに与え、列アドレス信号CADAを列デコーダ11aに与える。行デコーダ10aは、メモリセルMCai1に対応する行アドレス信号RADaiをワード線ドライバWDaiに与える。列デコーダ11aは、メモリセルMCai1に対応する列アドレス信号CADaiを列選択回路CRAi, CWaiに与える。そしてワード線Wai1がワード線ドライバWDaiによって活性化される。これによりメモリセルMCai1のトランジスタTaがオンになり、メモ

40

50

リセルMC a i 1からビット線B a i 1にデータが読み出される。センスアンプ活性化信号S E aが活性化され、ビット線対(B a i 1, / B a i 1)の電位差がセンスアンプ1 2 a iによって増幅される。

【0097】

次いで時刻Dにおいて、メモリセルMC b i 1から読み出されたデータD Q 2が入出力バッファ27によって外部へ出力される。

【0098】

また、データ線プリチャージ回路20Wが活性化され、時刻Eまでの間にデータ線対D B bがプリチャージされる。

【0099】

また、メモリセルMC a i 1に対応する列選択信号R a i 1が列選択回路C R a iによって活性化され、列選択スイッチ44 a iがオンになる。これにより、ビット線対(B a i 1, / B a i 1)とデータ線対D B aとが接続される。また、活性の切り替え信号S W 40がトランスファゲート50に与えられ、データ線対D B aとデータ線対R D Bとが接続される。また、活性のイネーブル信号R Eがリードアンプ25に与えられる。これにより、ビット線対(B a i 1, / B a i 1)の電位差がデータ線対D B a, R D Bに転送され、リードアンプ25によって増幅されて入出力バッファ27へ送られる。入出力バッファ27への転送後、切り替え信号S W 40が不活性化され、データ線対D B aとデータ線対R D Bとが非接続にされ、データ線対R D Bがプリチャージされる。また、イネーブル信号R E, 列選択信号R a i 1およびセンスアンプ活性化信号S E aが不活性化される。そして、活性のプリチャージ信号E Q aがビット線プリチャージ回路18 a i, 19 a iに与えられ、ビット線対(B a i 1, / B a i 1), (B a i 2, / B a i 2)がプリチャージされる。

10

20

【0100】

次いで時刻Eにおいて、メモリセルMC a i 1から読み出されたデータD Q 3が入出力バッファ27によって外部へ出力される。また、データ線プリチャージ回路20Rが活性化され、データ線対D B aがプリチャージされる。

【0101】

以上のように、図4に示したDRAMでは、[アクセスすべきメモリセルのトランジスタT a] - [当該トランジスタT aに対応するビット線対(B a i 1, / B a i 1), (B a i 2, / B a i 2)] - [当該ビット線対に対応する列選択スイッチ14 a i, 15 a i] - [データ線対D B a]の経路によって形成されるポートAと、[アクセスすべきメモリセルのトランジスタT b] - [当該トランジスタT bに対応するビット線対(B b i 1, / B b i 1), (B b i 2, / B b i 2)] - [当該ビット線対に対応する列選択スイッチ14 b i, 15 b i] - [データ線対D B b]の経路によって形成されるポートBとをクロックC L Kの2周期でインターリーブ動作させる。そしてデータ線対D B a, D B bに転送されたデータは、トランスファゲート50, 51によって、クロックC L Kの1周期ごとに交互にデータ線対R D Bに転送される。データ線対R D Bに転送されたデータは、リードアンプ25によって、クロックC L Kの1周期で増幅され入出力バッファ27へ出力される。入出力バッファ27は、リードアンプ25からのデータをクロックC L Kの1周期で外部へ出力する。

30

40

【0102】

なお、ここでは読み出し動作について詳しく説明したけれども、書き込み動作のときにも同様に、入出力バッファ27は、外部からのデータをクロックC L Kの1周期でライトドライバ26へ転送し、ライトドライバ26は、入出力バッファ27からのデータを増幅してクロックC L Kの1周期でデータ線対W D Bに転送する。データ線対W D Bに転送されたデータは、トランスファゲート52, 53によって、クロックC L Kの1周期ごとに交互にデータ線対D B a, D B bに転送される。そして、[アクセスすべきメモリセルのトランジスタT a] - [当該トランジスタT aに対応するビット線対(B a i 1, / B a i 1), (B a i 2, / B a i 2)] - [当該ビット線対に対応する列選択スイッチ16

50

a i , 1 7 a i] - [データ線対 D B a] の経路によって形成されるポート A と、 [アクセすべきメモリセルのトランジスタ T b] - [当該トランジスタ T b に対応するビット線対 (B b i 1 , / B b i 1) , (B b i 2 , / B b i 2)] - [当該ビット線対に対応する列選択スイッチ 1 6 b i , 1 7 b i] - [データ線対 D B b] の経路によって形成されるポート B とをクロック C L K の 2 周期でインターリーブ動作させる。

【 0 1 0 3 】

< 効果 >

以上のように、この発明の第 2 の実施形態による D R A M では、トランスファゲート 5 0 - 5 3 と制御回路 4 0 - 4 3 とを設けたため、ポート A および B のそれぞれに対してリードアンプおよびライトドライバを設ける必要がない。すなわち、ポート A とポート B とに共通のリードアンプ 2 5 およびライトドライバ 2 6 を設ければよい。これにより、ポート A およびポート B のそれぞれに対してリードアンプおよびライトドライバを設けた場合に比べると回路のレイアウト面積を小さくすることができる。

10

【 0 1 0 4 】

また、データ線対 D B a , D B b におけるデータ転送およびプリチャージをクロック C L K の 2 周期で行っている。そして、データ線対 D B b がプリチャージされているときにはデータ線対 D B a とデータ線対 R D B , W D B との間でデータ転送を行い、データ線対 D B a がプリチャージされているときにはデータ線対 D B b とデータ線対 R D B , W D B との間でデータ転送を行う。これにより、データ線対 D B a , D B b のプリチャージを見かけ上かくすことができる。

20

【 0 1 0 5 】

また、メモリセルアレイ上に配線される比較的負荷の重いデータ線対 D B a , D B b におけるデータ転送およびプリチャージをクロック C L K の 2 倍の周期で行い、周辺回路上に配線される比較的負荷の軽いデータ線対 R D B , W D B におけるデータ転送およびプリチャージをクロック C L K の 1 周期で行うため、図 1 に示した D R A M と比べると、データ転送にマージンを持たせた設計を実現することができる。

【 0 1 0 6 】

(第 3 の実施形態)

< 全体構成 >

図 6 は、この発明の第 3 の実施形態による D R A M の全体構成を示すブロック図である。図 6 に示す D R A M は、メモリセル M C 6 1 - M C 6 8 と、ワード線 W L 1 , W L 2 と、ビット線 B L 1 - B L 4 , / B L 1 - / B L 4 と、センスアンプ S 6 1 - S 6 4 と、N チャネル M O S トランジスタ T 6 1 - T 6 8 , T 7 1 - T 7 8 と、ライトドライバ 6 0 と、列アドレスデコーダ 6 1 と、コマンドデコーダ 6 2 と、列選択回路 6 3 , 6 4 と、ビット線プリチャージ回路 6 5 と、センスアンプドライバ 6 6 と、データ線対 (D L , / D L) と、データ線プリチャージ回路 6 7 とを備える。

30

【 0 1 0 7 】

メモリセル M C 6 1 - M C 6 8 は行および列に配置される。ワード線 W L 1 , W L 2 は行に配置される。ワード線 W L 1 はメモリセル M C 6 1 - M C 6 4 に対応して配置される。ワード線 W L 2 はメモリセル M C 6 5 - M C 6 8 に対応して配置される。ビット線 B L 1 - B L 4 , / B L 1 - / B L 4 は列に配置される。ビット線 B L 1 - B L 4 はメモリセル M C 6 1 - M C 6 4 に対応して配置される。ビット線 / B L 1 - / B L 4 はメモリセル M C 6 5 - M C 6 8 に対応して配置される。

40

【 0 1 0 8 】

N チャネル M O S トランジスタ T 6 1 - T 6 4 は、データ線 D L と N チャネル M O S トランジスタ T 7 1 - T 7 4 との間に接続され、データ線 D L の電圧をゲートに受ける。N チャネル M O S トランジスタ T 7 1 - T 7 4 は、N チャネル M O S トランジスタ T 6 1 - T 6 4 とビット線 B L 1 - B L 4 との間に接続され、列選択回路 6 4 からの列選択信号 W S 1 - W S 4 に応答してオン/オフする。

【 0 1 0 9 】

50

NチャネルMOSトランジスタT65 - T68は、データ線/DLとNチャネルMOSトランジスタT75 - T78との間に接続され、データ線/DLの電圧をゲートに受ける。NチャネルMOSトランジスタT75 - T78は、NチャネルMOSトランジスタT65 - T68とビット線/BL1 - /BL4との間に接続され、列選択回路63からの列選択信号WS5 - WS8に应答してオン/オフする。

【0110】

列アドレスデコーダ61は、列アドレスに应答して列アドレス信号C1, C2を出力する。コマンドデコーダ62は、書き込みコマンド(WRITE)に应答して活性のイネーブル信号WEを出力する。

【0111】

列選択回路63は、コマンドデコーダ62からの活性のイネーブル信号WEに应答して活性化し、列選択信号WS5 - WS8のうち列アドレスデコーダ61からの列アドレス信号C2に対応する列選択信号を活性化する。

【0112】

列選択回路64は、コマンドデコーダ62からの活性のイネーブル信号WEに应答して活性化し、列選択信号WS1 - WS4のうち列アドレスデコーダ61からの列アドレス信号C2に対応する列選択信号を活性化する。

【0113】

ライトドライバ60は、AND回路AD61, AD62と、トライステートバッファB61, B62とを含む。AND回路AD61は、書き込みデータDINと列アドレスデコーダ61からの列アドレス信号C1との論理積を出力する。AND回路62は、書き込みデータの反転データ/DINと列アドレスデコーダ61からの列アドレス信号C1との論理積を出力する。トライステートバッファB61, B62は、コマンドデコーダ62からのイネーブル信号WEに应答して活性化し、AND回路AD61, AD62の出力に応じてデータ線DL, /DLを駆動する。

【0114】

データ線プリチャージ回路67は、プリチャージ信号PR1に应答してデータ線対(DL, /DL)を接地電圧レベルにプリチャージする。ビット線プリチャージ回路65は、プリチャージ信号PR2に应答してビット線BL1 - BL4, /BL1 - /BL4を1/2VDDレベル(VDDは電源電圧)にプリチャージする。センスアンプドライバ66は、センスアンプ活性化信号(図示せず)に应答してセンスアンプS61 - S64を活性化する。センスアンプS61 - S64は、ビット線対(BL1, /BL1) - (BL1, /BL4)の電位差を増幅する。

【0115】

<書き込み動作>

次に、以上のように構成されたDRAMの書き込み動作について説明する。ここではメモリセルMC61にHレベルのデータを書き込む場合を例に説明する。

【0116】

最初、データ線対(DL, /DL)は接地電圧(VSS)レベルにプリチャージされている。また、ビット線対(BL1, /BL1) - (BL4, /BL4)は1/2VDDレベルにプリチャージされている。そして、書き込みコマンド(WRITE)がコマンドデコーダ62に入力される。書き込みコマンドに应答してコマンドデコーダ62は活性のイネーブル信号WEを出力する。データを書き込むべきメモリセルMC61に対応するワード線WL1が活性化される。また、データを書き込むべきメモリセルMC61に対応した列アドレス信号が列アドレスデコーダ61に与えられる。この列アドレス信号に应答して列アドレスデコーダ61は活性の列アドレス信号C1をAND回路AD61, AD62に出力する。また列アドレスデコーダ61はアクセスすべきメモリセルに対応する列アドレス信号C2を列選択回路63, 64に出力する。

【0117】

そして書き込みデータDINがAND回路AD61, AD62に与えられる。書き込み

10

20

30

40

50

データD I Nの値に応じてA N D回路A D 6 1 , A D 6 2のいずれか一方の出力が活性化される。ここではA N D回路A D 6 1の出力が活性化されるものとする。活性化されたほうの出力を受けるトライステートバッファB 6 1によってデータ線D Lが活性化される。これにより、データ線D Lが電源電圧(V D D)レベルまで昇圧される。他方のデータ線/D Lは接地電圧レベルのままである。

【0118】

データ線D Lが電源電圧(V D D)レベルに昇圧されることによってNチャネルM O SトランジスタT 6 1 - T 6 4がオンになる。列アドレスデコード6 1からの列アドレス信号C 2に応答して列選択回路6 3 , 6 4はアクセスすべきメモリセルに対応するビット線対に対応する列選択信号W S 1 - W S 4 , W S 5 - W S 8を活性化する。ここでは列選択信号W S 1 , W S 5が活性化されるものとする。これにより、NチャネルM O SトランジスタT 7 1 , T 7 5がオンになる。そして1 / 2 V D Dレベルにプリチャージされたビット線B L 1が、電源電圧V D DレベルからNチャネルM O SトランジスタT 6 1 , T 7 1のしきい値電圧V t n分だけ降下したレベル(V D D - V t n)となる。一方、NチャネルM O SトランジスタT 6 5はオフしているためビット線/B L 1の電位は1 / 2 V D Dのままである。

10

【0119】

その後、センスアンプドライバ6 6によってセンスアンプS 6 1が活性化され、ビット線対(B L 1 , / B L 1)の電位差が増幅されメモリセルM C 6 1にHレベルのデータが書き込まれる。

20

【0120】

<効果>

以上のように、この発明の第3の実施形態によるD R A Mでは、書き込みデータD I Nと当該データを書き込むべきメモリセルに対応した列アドレス信号C 1とに基づいてライトドライバ6 0はデータ線D L , / D Lのうち一方を活性化する。そして、データ線D L , / D Lからビット線B L 1 - B L 4 , / B L 1 - / B L 4に当該データを書き込むためのNチャネルM O SトランジスタT 6 1 - T 6 8のオン/オフをデータ線D L , / D Lの電圧によって制御する。したがって、NチャネルM O SトランジスタT 6 1 - T 6 8のオン/オフを制御するための信号線を列方向に配線する必要がない。これにより、配線層のレイアウト面積を大幅に削減することができる。

30

【0121】

さらに、NチャネルM O SトランジスタT 6 1 - T 6 8のオン/オフを制御するための信号線を配置する代わりに電源配線を配置することができる。これにより電源を強化することができるばかりでなく、データ線D L , / D Lのシールド効果を高めることもできる。

【0122】

<なお書き>

なお、NチャネルM O SトランジスタT 6 1 - T 6 8に代えてPチャネルM O Sトランジスタを用いても同様の効果が得られる。ただしこの場合にはデータ線対(D L , / D L)を接地電圧レベルではなく電源電圧レベルにプリチャージする必要がある。

40

【0123】

また、NチャネルM O SトランジスタT 6 1 - T 6 8に代えてC M O S型トランジスタを用いてもよい。これによれば高電圧側にも低電圧側にも書き込めるため、書き込みレベルをより強化することができる。

【0124】

また、データ線D Lの電圧をNチャネルM O SトランジスタT 6 5 - T 6 8のゲートに与え、データ線/D Lの電圧をNチャネルM O SトランジスタT 6 1 - T 6 4に与えてもよい。これにより、ビット線への書き込みレベルがトランジスタのしきい値電圧分だけ電源電圧よりも降下するということがなくなる。この効果は、NチャネルM O SトランジスタT 6 1 - T 6 8に代えてPチャネルM O SトランジスタやC M O S型トランジスタを用

50

いた場合にもあてはまる。

【0125】

また、図1および図4に示したDRAMに対してもこの実施形態による技術を適用することができる。

【0126】

(第4の実施形態)

<全体構成>

図7は、この発明の第4の実施形態によるDRAMの全体構成を示すブロック図である。図7に示すDRAMは図6に示したDRAMと以下の点が異なる。すなわち、図6に示したデータ線プリチャージ回路67を設けていない。ライトドライバ60は、図6に示したトリステートバッファB61、B62を含んでいない。NチャンネルMOSトランジスタT61 - T68は、接地電圧を受ける接地ノードとNチャンネルMOSトランジスタT71 - T78との間に接続される。制御回路68をさらに備える。制御回路68は、コマンドデコーダ62からのイネーブル信号WEにตอบสนองして活性化し、列アドレスデコーダ61からの列アドレス信号C1に応じて活性の信号をAND回路AD61、AD62の入力に与える。AND回路AD61は、書き込みデータDINと制御回路68からの信号との論理積を出力する。AND回路AD62は、書き込みデータDINの反転データと制御回路68からの信号との論理積を出力する。上述の点のほかは図6に示したDRAMと同様である。

10

【0127】

<書き込み動作>

次に、以上のように構成されたDRAMの書き込み動作について説明する。ここではメモリセルMC61にLレベルのデータを書き込む場合を例に説明する。

20

【0128】

書き込みコマンド(WRITE)がコマンドデコーダ62に入力される。書き込みコマンドにตอบสนองしてコマンドデコーダ62は活性のイネーブル信号WEを出力する。データを書き込むべきメモリセルMC61に対応するワード線WL1が活性化される。また、データを書き込むべきメモリセルMC61に対応した列アドレス信号が列アドレスデコーダ61に与えられる。この列アドレス信号にตอบสนองして列アドレスデコーダ61は活性の列アドレス信号C1を制御回路68に出力する。これにตอบสนองして制御回路68は活性の信号をAND回路AD61、AD62の入力に出力する。また列アドレスデコーダ61はアクセスすべきメモリセルに対応する列アドレス信号C2を列選択回路63、64に出力する。

30

【0129】

そして書き込みデータDINがAND回路AD61、AD62に与えられる。書き込みデータDINの値に応じてAND回路AD61、AD62のいずれか一方の出力が活性化される。すなわちデータ線DL、/DLのうち一方が活性化される。ここではAND回路AD61の出力すなわちデータ線DLが活性化されるものとする。活性化されたほうのデータ線DLは電源電圧(VDD)レベルまで昇圧される。

【0130】

データ線DLが電源電圧(VDD)レベルに昇圧されることによってNチャンネルMOSトランジスタT61 - T64がオンになる。列アドレスデコーダ61からの列アドレス信号C2にตอบสนองして列選択回路63、64は、アクセスすべきメモリセルに対応するビット線対に対応する列選択信号WS1 - WS4、WS5 - WS8を活性化する。ここでは列選択信号WS1、WS5が活性化されるものとする。これによりNチャンネルMOSトランジスタT71がオンになり、ビット線BL1が接地電圧レベルとなる。一方、NチャンネルMOSトランジスタT65はオフしているためビット線/BL1の電位は1/2VDDのままである。

40

【0131】

その後、センスアンプドライバ66によってセンスアンプS61が活性化され、ビット線対(BL1、/BL1)の電位差が増幅されメモリセルMC61にLレベルのデータが

50

書き込まれる。

【0132】

<効果>

以上のように、この発明の第4の実施形態によるDRAMでは、NチャネルMOSトランジスタT61 - T68のオン/オフを制御する信号線としてのみデータ線DL, /DLを用いるため、図6に示したDRAMによって得られる効果に加えてさらに以下の効果が得られる。

【0133】

すなわち、図6に示したDRAMと比べると回路のレイアウトが容易になり、小面積化を図ることができる

10

また、データ線DL, /DLをプリチャージする回路を設ける必要がないため、回路のレイアウト面積および消費電力を小さくすることができる。

【0134】

<なお書き>

なお、NチャネルMOSトランジスタT61 - T68に代えてPチャネルMOSトランジスタまたはCMOS型トランジスタを用いてもよい。

【0135】

また、図1および図4に示したDRAMに対してもこの実施形態による技術を適用することができる。

【0136】

(第5の実施形態)

20

第3および第4の実施形態ではビット線対のうち一方をプルアップまたはプルダウンすることによって書き込みを行った。第5の実施形態では、このような書き込み動作を行う場合にさらに有効な技術について説明する。以下、図7および図8を参照しつつ説明する。ここでは、Lレベルのデータが書き込まれているメモリセルMC65にHレベルのデータを書き込む場合を例に説明する。

【0137】

書き込みコマンド(WRITE)がコマンドデコーダ62に入力される。書き込みコマンドに回答してコマンドデコーダ62は活性のイネーブル信号WEを出力する。また、データを書き込むべきメモリセルMC65に対応した列アドレス信号が列アドレスデコーダ61に与えられる。この列アドレス信号に回答して列アドレスデコーダ61は活性の列アドレス信号C1を制御回路68に出力する。これに回答して制御回路68は活性の信号をAND回路AD61, AD62の入力に出力する。また列アドレスデコーダ61は、メモリセルMC65に対応するビット線対(BL1, /BL1)に対応する列アドレス信号C2を列選択回路64に出力する。

30

【0138】

メモリセルMC65に対応するワード線WL2が活性化され、メモリセルMC65からビット線/BL1にLレベルのデータが読み出される。これにより、1/2VDDレベルにプリチャージされていたビット線/BL1の電位が低下する。

【0139】

40

Hレベルの書き込みデータDINがAND回路AD61, AD62に与えられる。これに回答してAND回路AD61の出力が活性化され、データ線DLが電源電圧(VDD)レベルまで昇圧される。データ線DLが電源電圧(VDD)レベルに昇圧されることによってNチャネルMOSトランジスタT61 - T64がオンになる。列アドレスデコーダ61からの列アドレス信号C2に回答して列選択回路64, 63は列選択信号WS1, WS5を活性化する。これによりNチャネルMOSトランジスタT71, T75がオンになる。この結果、1/2VDDレベルにプリチャージされていたビット線BL1が接地電圧レベルにプルダウンされる。

【0140】

ビット線BL1が接地電圧レベルまでプルダウンされた後、プリチャージ信号PR2を

50

所定期間 活性化する。これにより、ビット線 $B L 1$, / $B L 1$ が昇圧される。ビット線 / $B L 1$ は $1 / 2 V D D$ レベル付近まで昇圧され、ビット線 $B L 1$ は接地電圧レベルからわずかに昇圧される。

【0141】

その後、プリチャージ信号 $P R 2$ を不活性化する。これにより、ビット線 $B L 1$ はふたび接地電圧レベルまでプルダウンされ、ビット線 / $B L 1$ は $1 / 2 V D D$ レベルに維持される。

【0142】

その後、センスアンプ活性化信号が活性化される。これにตอบสนองしてセンスアンプ $S 6 1$ が活性化され、ビット線対 ($B L 1$, / $B L 1$) の電位差が増幅されメモリセル $M C 6 5$ に H レベルのデータが書き込まれる。 10

【0143】

以上のように、ビット線対のうち一方をプルダウン (またはプルアップ) することによって書き込みを行う方式では、メモリセルから読み出されたデータによって書き込みマージンが小さくなってしまふ。これは、電源電圧が低くなりビット線とメモリセルとの容量比が小さくなるにつれ無視できなくなる。

【0144】

しかし第5の実施形態による書き込み方式では、メモリセルからデータが読み出されたビット線を一度プリチャージレベルまで昇圧するため、少なくとも読み出し動作時のビット線間の電位差を確保でき、十分なマージンを持って書き込み動作を行うことができる。 20

【0145】

(第6の実施形態)

< D R A M の全体構成 >

図9は、この発明の第6の実施形態による D R A M の全体構成を示すブロック図である。図9に示す D R A M は、メモリブロック $B K 0$, $B K 1$ と、データ線対 ($D L 0$, / $D L 0$) , ($D L 1$, / $D L 1$) と、ワード線 $W L a$, $W L b$ と、列選択線 $C S L 0$, $C S L 1$ と、リードアンプ $R A 0$, $R A 1$ と、トランスファゲート $T G 1$, $T G 2$ と、出力バッファ $9 0 - 9 2$ と、データ出力端子 $D O U T 0$, $D O U T 1$, $P D O U T$ とを備える。

【0146】

メモリブロック $B K 0$, $B K 1$ の各々は、行および列に配置された複数のメモリセル (図9では代表的に $M C a$ および $M C b$ を示す。) と、行に配置された複数のワード線 (図9では代表的に $W L a$ および $W L b$ を示す。) と、列に配置された複数のビット線対 (図9では代表的に ($B L a$, $B L b$) を示す。) と、ビット線対 ($B L a$, $B L b$) の電位差を増幅するセンスアンプ $S A$ と、列選択ゲート $C S G$ とを含む。列選択ゲート $C S G$ は、ビット線対 $B L a$ および $B L b$ に対応して設けられ、対応するビット線対 ($B L a$, $B L b$) とデータ線対 ($D L 0$, / $D L 0$) , ($D L 1$, / $D L 1$) との間に接続される。 30

【0147】

ワード線 $W L a$, $W L b$ はメモリブロック $B K 0$, $B K 1$ を縦断するように配置される。列選択線 $C S L 0$, $C S L 1$ は、列アドレス信号にตอบสนองして対応する列選択ゲート $C S G$ をオン/オフする。 40

【0148】

リードアンプ $R A 0$ は、メインアンプ $M A 0$ とトライステートバッファ $T B 0$ とを含む。メインアンプ $M A 0$ は、活性のイネーブル信号 $R E 0$ にตอบสนองして活性化し、データ線対 ($D L 0$, / $D L 0$) 上の信号を増幅する。トライステートバッファ $T B 0$ は、イネーブル信号 $R E 0$ が活性のときメインアンプ $M A 0$ の出力に応じて出力ノード $N 0$ を駆動し、イネーブル信号 $R E 0$ が不活性のとき出力ノード $N 0$ を $H i - Z$ (ハイインピーダンス) 状態にする。具体的にはトライステートバッファ $T B 0$ は、イネーブル信号 $R E 0$ が活性でありかつメインアンプ $M A 0$ によって増幅されたデータ線対 ($D L 0$, / $D L 0$) の信号レベルが (H , L) レベルであるとき出力ノード $N 0$ を H レベル (電源電圧 $V D D$ レベル) に駆動する。一方、トライステートバッファ $T B 0$ は、イネーブル信号 $R E 0$ が活性 50

でありかつメインアンプM A 0によって増幅されたデータ線(D L 0, / D L 0)の信号レベルが(L, H)レベルであるとき出力ノードN 0をLレベル(接地電圧V S Sレベル)に駆動する。

【0149】

リードアンプR A 1は、メインアンプM A 1とトライステートバッファT B 1とを含む。メインアンプM A 1は、活性のイネーブル信号R E 1にตอบสนองして活性化し、データ線対(D L 1, / D L 1)上の信号を増幅する。トライステートバッファT B 1は、イネーブル信号R E 1が活性のときメインアンプM A 1の出力に応じて出力ノードN 1を駆動し、イネーブル信号R E 1が不活性のとき出力ノードN 1をH i - Z(ハイインピーダンス)状態にする。具体的にはトライステートバッファT B 1は、イネーブル信号R E 1が活性でありかつメインアンプM A 1によって増幅されたデータ線対(D L 1, / D L 1)の信号レベルが(H, L)レベルであるとき出力ノードN 1をHレベル(電源電圧V D Dレベル)に駆動する。一方、トライステートバッファT B 1は、イネーブル信号R E 1が活性でありかつメインアンプM A 1によって増幅されたデータ線(D L 1, / D L 1)の信号レベルが(L, H)レベルであるとき出力ノードN 1をLレベル(接地電圧V S Sレベル)に駆動する。

10

【0150】

トランスファゲートT G 2は、トライステートバッファT B 0の出力ノードN 0とトライステートバッファT B 1の出力ノードN 1との間に接続され、ビット幅選択信号B W Sにตอบสนองしてオン/オフする。読み出しデータのビット幅が1ビットのとき活性のビット幅選択信号B W Sが与えられる。活性のビット幅選択信号B W SにตอบสนองしてトランスファゲートT G 2はオンになる。読み出しデータのビット幅が2ビットのとき不活性のビット幅選択信号B W Sが与えられる。不活性のビット幅選択信号にตอบสนองしてトランスファゲートT G 2はオフになる。

20

【0151】

出力バッファ9 0は、ラッチ回路L 9 0とインバータI V 9 0とを含む。ラッチ回路L 9 0は、トライステートバッファT B 0の出力ノードN 0の電圧レベルをラッチしインバータI V 9 0へ出力する。インバータI V 9 0は、ラッチ回路L 9 0からの出力を反転してデータ出力端子D O U T 0へ与える。

【0152】

出力バッファ9 1は、ラッチ回路L 9 1とインバータI V 9 1とを含む。ラッチ回路L 9 1は、トライステートバッファT B 9 1の出力ノードN 1の電圧レベルをラッチしインバータI V 9 1へ出力する。インバータI V 9 1は、ラッチ回路L 9 1からの出力を反転してデータ出力端子D O U T 1へ与える。

30

【0153】

トランスファゲートT G 1は、トライステートバッファT B 0の出力ノードN 0とノードN 2との間に接続され、テストモード信号T E S Tにตอบสนองしてオン/オフする。D R A Mがテストモードのとき活性のテストモード信号T E S Tが与えられる。活性のテストモード信号T E S TにตอบสนองしてトランスファゲートT G 1がオンになる。これによりノードN 0とノードN 2とが接続される。D R A Mが通常モードのとき不活性のテストモード信号T E S Tが与えられる。不活性のテストモード信号T E S TにตอบสนองしてトランスファゲートT G 1がオフになる。これによりノードN 0とノードN 2とが非接続状態になる。

40

【0154】

出力バッファ9 2は、ラッチ回路L 9 2とインバータI V 9 2とを含む。ラッチ回路L 9 2は、ノードN 2の電圧レベルをラッチしインバータI V 9 2へ出力する。インバータI V 9 2は、ラッチ回路L 9 2からの出力を反転してデータ出力端子P D O U Tへ与える。

【0155】

<読み出し動作>

次に、以上のように構成されたD R A Mの読み出し動作について説明する。ここでは、

50

通常モードのときとテストモードのときとに分けて説明する。

【0156】

(1) 通常モードのとき

不活性のテストモード信号TESTが与えられ、トランスファゲートTG1はオフになる。ビット幅選択信号BWSによって読み出しデータのビット幅が選択される。ここでは2ビットまたは1ビットが選択される。以下、読み出しデータのビット幅が2ビットのときと1ビットのときとに分けて説明する。

【0157】

(a) 読み出しデータのビット幅が2ビットのとき

不活性のビット幅選択信号BWSが与えられ、トランスファゲートTG2がオフになる。行デコーダ(図示せず)によって、行アドレス信号に対応するワード線(ここではWL aとする。)が選択される。列デコーダ(図示せず)によって、列アドレス信号に対応する列選択線CSL0およびCSL1が選択される。これにより、列選択線CSL0およびCSL1に対応する列選択ゲートCSGがオンになり、メモリブロックBK0およびBK1内のビット線対(BL a, BL b)とデータ線対(DL0, /DL0)および(DL1, /DL1)とが接続される。そして、メモリブロックBK0およびBK1内のメモリセルMcaからビット線対(BL a, BL b)に読み出されたデータがデータ線対(DL0, /DL0)および(DL1, /DL1)に転送される。

【0158】

活性のイネーブル信号RE0およびRE1がリードアンプRA0およびRA1に与えられ、リードアンプRA0およびRA1が活性化される。これにより、データ線対(DL0, /DL0)および(DL1, /DL1)に読み出されたデータがメインアンプMA0およびMA1によって増幅される。メインアンプMA0およびMA1によって増幅されたデータに応じてトライステートバッファTB0およびTB1は出力ノードN0およびN1をHレベルまたはLレベルに駆動する。トライステートバッファTB0およびTB1によって駆動されたノードN0およびN1の電圧がラッチ回路L90およびL91によってラッチされ、インバータIV90およびIV91によって反転されてデータ出力端子DOUT0およびDOUT1から2ビットデータとして外部に出力される。このように、メインアンプMA0およびMA1が活性化されてからデータ出力端子DOUT0およびDOUT1にデータが出力されるまでの間 ラッチ回路L90およびL91においてタイミング調整がなされることなく高速にデータが出力される。そしてイネーブル信号RE0およびRE1が不活性化され、トライステートバッファTB0およびTB1と出力ノードN0およびN1とが等価的に非接続状態(Hi-Z状態)になる。これにより、ラッチ回路L90およびL91によって保持されているデータの破壊を防ぐことができる。また、もし読み出し動作命令が入力された場合でもイネーブル信号RE0およびRE1が活性化されないかぎり、ラッチ回路L90およびL91によって保持されているデータが破壊されることはない。

【0159】

(b) 読み出しデータのビット幅が1ビットのとき

活性のビット幅選択信号BWSが与えられ、トランスファゲートTG2がオンになる。行デコーダ(図示せず)によって、行アドレス信号に対応するワード線(ここではWL aとする。)が選択される。列デコーダ(図示せず)によって、列アドレス信号に対応する列選択線CSL0またはCSL1(ここではCSL1とする。)が選択される。これにより、列選択線CSL1に対応する列選択ゲートCSGがオンになり、メモリブロックBK1内のビット線対(BL a, BL b)とデータ線対(DL1, /DL1)とが接続される。そして、メモリブロックBK1内のメモリセルMcaからビット線対(BL a, BL b)に読み出されたデータがデータ線対(DL1, /DL1)に転送される。

【0160】

不活性のイネーブル信号RE0がリードアンプRA0に与えられ、活性のイネーブル信号RE1がリードアンプRA1に与えられる。不活性のイネーブル信号RE0に回答して

メインアンプM A 0およびトリステートバッファT B 0が不活性化される。これにより、トリステートバッファT B 0と出力ノードN 0とが等価的に非接続状態(H i - Z状態)となる。一方、活性のイネーブル信号R E 1にตอบสนองしてメインアンプM A 1およびトリステートバッファT B 1が活性化される。これにより、データ線対(D L 1, / D L 1)に読み出されたデータがメインアンプM A 1によって増幅される。メインアンプM A 1によって増幅されたデータに応じてトリステートバッファT B 1は出力ノードN 1をHレベルまたはLレベルに駆動する。トリステートバッファT B 1によって駆動された出力ノードN 1の電圧がトランスファゲートT G 2を介して出力ノードN 0に転送されラッチ回路L 9 0によってラッチされる。ラッチ回路L 9 0によってラッチされたデータはインバータI V 9 0によって反転されてデータ出力端子D O U T 0から1ビットデータとして外部に出力される。このように、メインアンプM A 1が活性化されてからデータ出力端子D O U T 0にデータが出力されるまでの間 ラッチ回路L 9 0においてタイミング調整がなされることなく高速にデータが出力される。そしてイネーブル信号R E 1が不活性化され、トリステートバッファT B 1と出力ノードN 1とが等価的に非接続状態(H i - Z状態)になる。

10

【0161】

なお、読み出しデータのビット幅が1ビットのとき、使用されないラッチ回路L 9 1はデータをラッチできないように制御されている。これにより、出力ノードN 0と出力ノードN 1とを接続状態にしたときに生じるラッチ回路同士のデータの衝突を防ぐことができる。

20

【0162】

以上のように、リードアンプR A 0およびR A 1は、活性のイネーブル信号R E 0およびR E 1にตอบสนองして活性化され、データ線対(D L 0, / D L 0)および(D L 1, / D L 1)に読み出されたデータに応じて出力ノードN 0およびN 1を駆動し、不活性のイネーブル信号R E 0およびR E 1にตอบสนองして不活性化され、出力ノードN 0およびN 1をH i - Z状態にする。これにより、後段のラッチ回路L 9 0およびL 9 1におけるデータラッチおよび出力のタイミングを制御する必要がなくなる。したがって、メインアンプM A 0およびM A 1が活性化されてからタイミングレスで高速にデータ出力端子D O U T 0およびD O U T 1にデータが出力される。

30

【0163】

また、ラッチ回路L 9 0およびL 9 1のタイミングを制御する必要がなくイネーブル信号R E 0およびR E 1の活性/不活性を制御すればよいため、制御回路のレイアウト面積を小さくすることができる。

【0164】

また、ラッチ回路L 9 0の前段の出力ノードN 0とラッチ回路L 9 1の前段の出力ノードN 1との間にトランスファゲートT G 2を設けたため、読み出しデータのビット幅を変更して使用する場合においてもラッチ回路9 0および9 1のタイミングを調整する必要がない。

【0165】**(2) テストモードのとき**

活性のテストモード信号T E S Tが与えられ、トランスファゲートT G 1はオンになる。またトランスファゲートT G 2もオンになる。メモリブロックB K 0またはB K 1内のメモリセルからテストデータが読み出され、通常モードのときと同様に、データ線対(D L 0, / D L 0)または(D L 1, / D L 1)に転送される。データ線対(D L 0, / D L 0)または(D L 1, / D L 1)に転送されたテストデータは、通常モードのときと同様に、リードアンプR A 0またはR A 1によって増幅されて出力ノードN 0またはN 1に出力される。出力ノードN 0またはN 1に出力されたテストデータはトランスファゲートT G 1(およびT G 2)を介してノードN 2に転送され、ラッチ回路L 9 2によってラッチされる。ラッチ回路L 9 2によってラッチされたテストデータはインバータI V 9 2によって反転され、テストデータ出力用のデータ出力端子P D O U Tから出力される。

40

50

【0166】

図9に示したDRAMでは、ラッチ回路L92の前段のノードN2と出力ノードN0との間にトランスファゲートTG1を設けたため、複数のノーマル出力を出力端でスイッチなどを使って電氣的に束ねて1つのテスト出力として検査する場合に比べて出力バッファの負荷が小さくなり、出力データを受けるシステムへの信号の伝達を通常モードのときと同等にすることができる。

【0167】

また、ラッチ回路L92の前段のノードN2と出力ノードN0との間にトランスファゲートTG1を設けたため、テストモードにおいて使用するラッチ回路92のタイミングを調整する必要がない。したがって、メインアンプMA0またはMA1が活性化されてから

10

【0168】

タイミングレスで高速にデータ出力端子P D O U Tにテストデータが出力される。

なお、テストモードのときは出力バッファ90および91のラッチ回路L90およびL91をラッチできないように制御しておけば、ノードN2と出力ノードN0およびN1とを接続状態にしたときに生じるラッチ回路同士のデータの衝突を防ぐことができる。これにより、テストモードにおけるラッチ回路L92のデータ保持特性を通常モードにおけるラッチ回路L90およびL91のデータ保持特性と同様にすることができ、また負荷の軽減によるラッチ能力特性の向上も図れる。

【0169】

(第7の実施形態)

20

<DRAMの全体構成>

図10は、この発明の第7の実施形態によるDRAMの全体構成を示すブロック図である。図10に示すDRAMは、メモリブロックBK0, BK1と、データ線対(DL0, /DL0), (DL1, /DL1)と、ワード線WLa, WLbと、列選択線CSL0, CSL1と、リードアンプRA10, RA11と、出力バッファ100, 110と、トランスファゲートTG10と、データ出力端子DOUT0, DOUT1とを備える。

【0170】

リードアンプRA10, RA11は、活性のイネーブル信号RE10, RE11にตอบสนองして活性化し、データ線対(DL0, /DL0), (DL1, /DL1)上の信号を増幅する。

30

【0171】

出力バッファ100, 110は、活性のイネーブル信号RE10, RE11にตอบสนองして活性化し、ビット幅選択信号BWSに応じた駆動能力でリードアンプRA10, RA11からの出力信号をデータ出力端子DOUT0, DOUT1へ出力する。

【0172】

トランスファゲートTG10は、ノードN10とノードN11との間に接続され、ビット幅選択信号BWSにตอบสนองしてオン/オフする。ノードN10, N11は、出力バッファ100, 110の出力ノードとデータ出力端子DOUT0, DOUT1との間のノードである。読み出しデータのビット幅が1ビットのとき活性のビット幅選択信号BWSが与えられる。活性のビット幅選択信号BWSにตอบสนองしてトランスファゲートTG10はオンになる。読み出しデータのビット幅が2ビットのとき不活性のビット幅選択信号BWSが与えられる。不活性のビット幅選択信号にตอบสนองしてトランスファゲートTG10はオフになる。

40

【0173】

<出力バッファの内部構成>

図11は、図10に示した出力バッファ100の内部構成を示すブロック図である。図11を参照して、出力バッファ100はトライステートバッファTB101, TB102を含む。

【0174】

トライステートバッファTB101は、NAND回路ND101と、NOR回路NR1

50

01と、PチャンネルMOSトランジスタPT101と、NチャンネルMOSトランジスタNT101とを含む。NAND回路ND101は、リードアンプRA10からの出力信号とイネーブル信号RE10とのNANDを出力する。NOR回路NR101は、イネーブル信号RE10の反転信号とリードアンプRA10からの出力信号とのNORを出力する。PチャンネルMOSトランジスタPT101は、電源ノードと出力ノードN101との間に接続され、NAND回路ND101の出力をゲートに受ける。電源ノードは電源電圧VDDを受ける。NチャンネルMOSトランジスタNT101は、出力ノードN101と接地ノードとの間に接続され、NOR回路NR101の出力をゲートに受ける。接地ノードは接地電圧VSSを受ける。出力ノードN101は、図10に示したノードN10に接続される。

【0175】

以上のように構成されたトリステートバッファTB101は、イネーブル信号RE10が活性のとき、リードアンプRA10からの出力信号に応じて出力ノードN101を駆動し、イネーブル信号RE10が不活性のとき出力ノードN101をHi-Z（ハイインピーダンス）状態にする。

【0176】

トリステートバッファTB102は、NAND回路ND102と、NOR回路NR102と、PチャンネルMOSトランジスタPT102と、NチャンネルMOSトランジスタNT102とを含む。NAND回路ND102は、リードアンプRA10からの出力信号とイネーブル信号RE10とビット幅選択信号BWSとのNANDを出力する。NOR回路NR102は、ビット幅選択信号BWSの反転信号とイネーブル信号RE10の反転信号とリードアンプRA10からの出力信号とのNORを出力する。PチャンネルMOSトランジスタPT102は、電源ノードと出力ノードN102との間に接続され、NAND回路ND102の出力をゲートに受ける。NチャンネルMOSトランジスタNT102は、出力ノードN102と接地ノードとの間に接続され、NOR回路NR102の出力をゲートに受ける。出力ノードN102は、図10に示したノードN10に接続される。

【0177】

以上のように構成されたトリステートバッファTB102は、ビット幅選択信号BWSおよびイネーブル信号RE10がともに活性のとき、リードアンプRA10からの出力信号に応じて出力ノードN102を駆動し、ビット幅選択信号BWSおよびイネーブル信号RE10のうち少なくとも一方が不活性のとき出力ノードN102をHi-Z（ハイインピーダンス）状態にする。

【0178】

なお、図10に示した出力バッファ110の内部構成も、図11に示した出力バッファ100の内部構成と同様である。

【0179】

<読み出し動作>

次に、以上のように構成されたDRAMの読み出し動作について図10および図11を参照しつつ説明する。このDRAMでは読み出しデータのビット幅をビット幅選択信号BWSに応じて2ビットまたは1ビットに切り換えることができる。以下、読み出しデータのビット幅が2ビットのときと1ビットのときとに分けて説明する。

【0180】

(1)読み出しデータのビット幅が2ビットのとき

不活性のビット幅選択信号BWSが与えられ、トランスファゲートTG10がオフになる。また、出力バッファ100, 110内のトリステートバッファTB102が不活性化され、出力ノードN102がHi-Z（ハイインピーダンス）状態になる。

【0181】

行デコーダ（図示せず）によって、行アドレス信号に対応するワード線（ここではWL_aとする。）が選択される。列デコーダ（図示せず）によって、列アドレス信号に対応する列選択線CSL₀およびCSL₁が選択される。これにより、列選択線CSL₀およびCSL₁に対応する列選択ゲートCSGがオンになり、メモリブロックBK₀およびBK

10

20

30

40

50

1内のビット線対(BLa, BLb)とデータ線対(DL0, /DL0)および(DL1, /DL1)とが接続される。そして、メモリブロックBK0およびBK1内のメモリセルMCaからビット線対(BLa, BLb)に読み出されたデータがデータ線対(DL0, /DL0)および(DL1, /DL1)に転送される。

【0182】

活性のイネーブル信号RE10およびRE11がリードアンプRA10およびRA11ならびに出力バッファ100および110に与えられる。活性のイネーブル信号RE10およびRE11に応答してリードアンプRA10およびRA11が活性化され、データ線対(DL0, /DL0)および(DL1, /DL1)に読み出されたデータがリードアンプRA10およびRA11によって増幅される。

10

【0183】

活性のイネーブル信号RE10およびRE11に応答して出力バッファ100および110内のトライステートバッファTB101が活性化される。トライステートバッファTB102は不活性化されたままである。出力バッファ100および110内のトライステートバッファTB101は、リードアンプRA10およびRA11からの出力信号に応じて出力ノードN101を駆動する。出力バッファ100および110内のトライステートバッファTB101によって駆動された出力ノードN101の電圧がデータ出力端子DOUT0およびDOUT1から2ビットデータとして外部に出力される。

【0184】

(2)読み出しデータのビット幅が1ビットのとき

活性のビット幅選択信号BWSが与えられ、トランスファゲートTG10がオンになる。行デコーダ(図示せず)によって、行アドレス信号に対応するワード線(ここではWLaとする。)が選択される。列デコーダ(図示せず)によって、列アドレス信号に対応する列選択線CSL0またはCSL1(ここではCSL0とする。)が選択される。これにより、列選択線CSL0に対応する列選択ゲートCSGがオンになり、メモリブロックBK0内のビット線対(BLa, BLb)とデータ線対(DL0, /DL0)とが接続される。そして、メモリブロックBK0内のメモリセルMCaからビット線対(BLa, BLb)に読み出されたデータがデータ線対(DL0, /DL0)に転送される。

20

【0185】

活性のイネーブル信号RE10がリードアンプRA10に与えられ、不活性のイネーブル信号RE11がリードアンプRA11に与えられる。不活性のイネーブル信号RE11に応答してリードアンプRA11および出力バッファ110が不活性化される。これにより、出力バッファ110内のトライステートバッファTB101およびTB102の出力ノードN101およびN102がHi-Z状態になる。活性のイネーブル信号RE10に
 30
 応答してリードアンプRA10が活性化され、データ線対(DL0, /DL0)に読み出されたデータがリードアンプRA10によって増幅される。また、活性のイネーブル信号RE10に
 40
 応答して出力バッファ100内のトライステートバッファTB101およびTB102が活性化される。出力バッファ100内のトライステートバッファTB101およびTB102は、リードアンプRA10からの出力信号に応じて出力ノードN101およびN102を駆動する。すなわち、トライステートバッファTB101およびTB102によってノードN10が駆動される。読み出しデータのビット幅が1ビットのときにはノードN10とノードN11との間の配線やトランスファゲートTG10などによってビット幅が2ビットのときよりも出力バッファ100, 110の負荷が大きくなる。そこでこのDRAMでは、読み出しデータのビット幅が1ビットのときはトライステートバッファTB101およびTB102をとともに動作させることによってビット幅が2ビットのときよりも出力バッファ100, 110の駆動能力を大きくしている。出力バッファ100内のトライステートバッファTB101およびTB102によって駆動されたノードN10の電圧は(トランスファゲートTG10) - (ノードN11)を介してデータ出力端子DOUT1から1ビットデータとして外部に出力される。

【0186】

50

なお、ここではデータ出力端子 D O U T 1 を 1 ビットデータの出力端子としたけれどもデータ出力端子 D O U T 0 を 1 ビットデータの出力端子としてもよい。このとき出力バッファ 1 1 0 は上述の出力バッファ 1 0 0 におけるのと同様にして駆動能力を大きくする。

【 0 1 8 7 】

< 効果 >

以上のように第 7 の実施形態による D R A M では、出力バッファ 1 0 0 , 1 1 0 内にトライステートバッファ T B 1 0 1 , T B 1 0 2 を設けたため、読み出しデータのビット幅が 2 ビットのときの出力バッファ 1 0 0 , 1 1 0 の駆動能力よりもビット幅が 1 ビットのときの出力バッファ 1 0 0 , 1 1 0 の駆動能力を大きくすることができる。これにより、読み出しデータのビット幅が 2 ビットのときと 1 ビットのときとでアクセス時間のばらつきを小さくすることができる。

10

【 0 1 8 8 】

また、読み出しデータのビット幅が 1 ビットのとき出力バッファ 1 0 0 または 1 1 0 のうちデータの読み出しに関与しない出力バッファは不活性化されるため、データの読み出しに関与する出力バッファの駆動能力を大きくしても D R A M 全体の消費電力の増加を抑えることができる。

【 0 1 8 9 】

< なお書き >

なお、ここでは読み出しデータのビット幅が 2 ビット / 1 ビットの場合について説明したけれどもこれ以外のビット幅の場合にも上述の出力バッファを同様に適用することができる。

20

【 0 1 9 0 】

また、ここでは出力バッファ 1 0 0 , 1 1 0 内のトライステートバッファの数を 2 つとしたけれども 3 つ以上にしてもよい。

【 0 1 9 1 】

また、出力バッファ内のトライステートバッファの制御は、ビット幅に対応して配置されたトライステートバッファをそれぞれ所定のビット幅のときに活性化したり、あるビット幅以下のときに初めて活性化したりする制御でもよい。

【 0 1 9 2 】

また、ビット幅を認識できる外部入力やビット幅に割り当てられたフューズを活用してビット幅選択信号 B W S を制御してもよい。

30

【 0 1 9 3 】

また、ここではビット幅に応じて駆動能力を変えることができるバッファの適用例の 1 つとして出力バッファ 1 0 0 , 1 1 0 を説明した。この出力バッファ 1 0 0 , 1 1 0 と同様のバッファを、ビット幅に応じて負荷が変わる入力回路や出力回路などにも適用することができる。

【 0 1 9 4 】

また、ここでは読み出しデータのビット幅に応じて出力バッファ 1 0 0 , 1 1 0 の駆動能力を変えているけれども、実デバイスでアクセス時間など性能に問題が生じた場合にも出力バッファ 1 0 0 , 1 1 0 の駆動能力を変えることができるようにしておけばより最適な半導体記憶装置を提供できる。

40

【 0 1 9 5 】

(第 8 の実施形態)

この発明の第 8 の実施形態による D R A M は、図 1 1 に示した出力バッファ 1 0 0 , 1 1 0 に代えて図 1 2 に示す出力バッファ 1 0 0 , 1 1 0 を備え、さらに図 1 2 に示す周波数検知回路 1 2 0 を備える。その他の構成は図 1 0 に示した D R A M と同様である。

【 0 1 9 6 】

図 1 2 を参照して、周波数検知回路 1 2 0 は、D R A M の動作周波数が所定の周波数以上であるとき活性の判定信号 F S を出力し、それ以外ときは不活性の判定信号 F S を出力する。

50

【0197】

トライステートバッファTB102内のNAND回路ND102は、リードアンプRA10(RA11)からの出力信号とイネーブル信号RE10(RE11)と判定信号FSとのNANDを出力する。NOR回路NR102は、判定信号FSの反転信号とイネーブル信号RE10(RE11)の反転信号とリードアンプRA10(RA11)からの出力信号とのNORを出力する。図12に示すトライステートバッファTB102は、判定信号FSおよびイネーブル信号RE10(RE11)がともに活性のとき、リードアンプRA10(RA11)からの出力信号に応じて出力ノードN102を駆動し、判定信号FSおよびイネーブル信号RE10(RE11)のうち少なくとも一方が不活性のとき出力ノードN102をHi-Z(ハイインピーダンス)状態にする。

10

【0198】

次に、以上のように構成された出力バッファ100(110)の動作について説明する。

【0199】

DRAMの動作周波数が所定の周波数よりも低いとき、周波数検知回路120は不活性の判定信号FSを出力する。不活性の判定信号FSにตอบสนองしてトライステートバッファTB102が不活性化され、出力ノードN102がHi-Z状態になる。これにより、出力バッファ100(110)は、トライステートバッファTB101のみによってノードN10(N11)を駆動する。

【0200】

一方、DRAMの動作周波数が所定の周波数以上のとき、周波数検知回路120は活性の判定信号FSを出力する。これにより、出力バッファ100(110)は、トライステートバッファTB100およびTB101によってノードN10(N11)を駆動する。

20

【0201】

以上のように出力バッファ100および110は、DRAMの動作周波数が所定の周波数よりも低いときトライステートバッファTB102を不活性化するため、トライステートバッファTB102による消費電力の分だけ全体の消費電力を少なくすることができる。

【0202】

また、動作周波数に応じて出力バッファの駆動能力を変えることにより、仕様上アクセス時間やサイクル時間を律速させないような場合においては最適な消費電力を自動で設定することができる。

30

【0203】

(第9の実施形態)

<DRAMの全体構成>

図13は、この発明の第9の実施形態によるDRAMの全体構成を示すブロック図である。図13に示すDRAMは、書き込み回路130と、メインブロックMBK0, MBK1と、データ線対(DL0, /DL0) - (DL3, /DL3)とを備える。

【0204】

書き込み回路130は、インバータIV0-IV3と、NチャンネルMOSトランジスタT0-T7と、AND回路AD130-AD137と、制御回路131とを含む。NチャンネルMOSトランジスタT0, T2, T4, T6は、ノードN130-N133とノードN134-N137との間に接続され、アドレスビットA0にตอบสนองしてオン/オフする。アドレスビットA0は、アクセスすべきメモリセルに対応するアドレス信号の一部である。ノードN130-N133は書き込みデータDI0-DI3を受ける。インバータIV0-IV3は、ノードN130-N133とNチャンネルMOSトランジスタT1, T3, T5, T7との間に接続され、書き込みデータDI0-DI3を反転する。NチャンネルMOSトランジスタT1, T3, T5, T7は、インバータIV0-IV3の出力ノードとノードN134-N137との間に接続され、アドレスビットA1にตอบสนองしてオン/オフする。アドレスビットA1は、アクセスすべきメモリセルに対応するアドレス信号の一部

40

50

である。制御回路131は、列アドレス信号にตอบสนองして制御信号C10 - C13を出力する。AND回路AD130, AD132, AD134, AD136は、ノードN134 - N137に与えられる書き込みデータと制御回路131からの制御信号C10 - C13との論理積をデータ線DL0 - DL3に出力する。AND回路AD131, AD133, AD135, AD137は、ノードN134 - N137に与えられる書き込みデータの反転データと制御回路131からの制御信号C10 - C13との論理積をデータ線/DL0 - /DL3に出力する。

【0205】

メインブロックMBK0は、サブブロックSBK00 - SBK03と、列選択回路141, 142と、列選択線WS141 - WS148と、ビット線プリチャージ回路143と、センスアンプドライバ144と、配線NGA0, NGB0とを含む。配線NGA0, NGB0の一端は、電源電圧VDDを受ける電源ノードに接続され、他端はサブブロックSBK00 - SBK03に共通に接続される。サブブロックSBK00 - SBK03はデータ線対(DL0, /DL0) - (DL3, /DL3)に対応して設けられる。列選択回路141, 142は、アドレスビットA0にตอบสนองして活性化し、列アドレス信号に対応する列選択線WS141 - WS144, WS145 - WS148を活性化する。ビット線プリチャージ回路143は、プリチャージ信号PR10にตอบสนองしてサブブロックSBK00 - SBK03内のビット線(図示せず)を配線SEP, SENを介して1/2VDDレベルにプリチャージする。センスアンプドライバ144は、サブブロックSBK00 - SBK03内のセンスアンプ(図示せず)を活性化する。

10

20

【0206】

メインブロックMBK1は、サブブロックSBK10 - SBK13と、列選択回路151, 152と、列選択線WS151 - WS158と、ビット線プリチャージ回路153と、センスアンプドライバ154と、配線NGA1, NGB1とを含む。配線NGA1, NGB1の一端は、接地電圧VSSを受ける接地ノードに接続され、他端はサブブロックSBK10 - SBK13に共通に接続される。サブブロックSBK10 - SBK13はデータ線対(DL0, /DL0) - (DL3, /DL3)に対応して設けられる。列選択回路151, 152は、アドレスビットA1にตอบสนองして活性化され、列アドレス信号に対応する列選択線WS151 - WS154, WS155 - WS158を活性化する。ビット線プリチャージ回路153は、プリチャージ信号PR11にตอบสนองしてサブブロックSBK10 - SBK13内のビット線(図示せず)を配線SEP, SENを介して1/2VDDレベルにプリチャージする。センスアンプドライバ154は、サブブロックSBK10 - SBK13内のセンスアンプ(図示せず)を活性化する。

30

【0207】

<サブブロックSBK00の内部構成>

図14は、図13に示したサブブロックSBK00の内部構成を示すブロック図である。図14を参照して、サブブロックSBK00は、メモリセルMC141 - MC148と、ワード線WL11, WL12と、ビット線対(BL11, /BL11) - (BL14, /BL14)と、センスアンプS141 - S144と、NチャンネルMOSトランジスタT141 - T148, T151 - T158とを含む。

40

【0208】

メモリセルMC141 - MC148は行および列に配置される。ワード線WL11, WL12は行に配置される。ワード線WL11はメモリセルMC141 - MC144に対応して配置される。ワード線WL12はメモリセルMC145 - MC148に対応して配置される。ビット線対(BL11, /BL11) - (BL14, /BL14)は列に配置される。ビット線BL11 - BL14はメモリセルMC141 - MC144に対応して配置される。ビット線/BL11 - /BL14はメモリセルMC145 - MC148に対応して配置される。

【0209】

NチャンネルMOSトランジスタT141 - T144は、配線NGB0とNチャンネルMOS

50

SトランジスタT151 - T154との間に接続され、データ線DL0の電圧をゲートに受ける。NチャンネルMOSトランジスタT151 - T154は、NチャンネルMOSトランジスタT141 - T144とビット線BL11 - BL14との間に接続され、列選択線WS141 - WS144の電圧レベルにตอบสนองしてオン/オフする。

【0210】

NチャンネルMOSトランジスタT145 - T148は、配線NGA0とNチャンネルMOSトランジスタT155 - T158との間に接続され、データ線/DL0の電圧をゲートに受ける。NチャンネルMOSトランジスタT155 - T158は、NチャンネルMOSトランジスタT145 - T148とビット線/BL11 - /BL14との間に接続され、列選択線WS145 - WS148の電圧レベルにตอบสนองしてオン/オフする。

10

【0211】

センスアンプS141 - S144は、ビット線対(BL11, /BL11) - (BL14, /BL14)の電位差を増幅する。

【0212】

なお、サブブロックSBK01 - SBK03, SBK10 - SBK13の内部構成も図14に示したサブブロックSBK00の内部構成と同様である。

【0213】

<書き込み動作>

次に、以上のように構成されたDRAMの書き込み動作について説明する。このDRAMでは、1/2VDDレベルにプリチャージされたビット線対の一方をプルアップまたはプルダウンすることによってデータを書き込む。具体的には、メインブロックMBK0内のサブブロックSBK00 - SBK13に対してはビット線対の一方をプルアップすることによってデータを書き込み、メインブロックMBK1内のサブブロックSBK10 - SBK13に対してはビット線対の一方をプルダウンすることによってデータを書き込む。また、アドレス信号のうちアドレスビットA0によってメインブロックMBK0が選択され、アドレスビットA1によってメインブロックMBK1が選択される。以下では、メインブロックMBK0内のメモリセルにデータを書き込む場合とメインブロックMBK1内のメモリセルにデータを書き込む場合とに分けて説明する。

20

【0214】

(1)メインブロックMBK0内のメモリセルにデータを書き込む場合

30

サブブロックSBK00 - SBK03内のメモリセルMC141にHレベルのデータDIN0 - DIN3を書き込む場合を例に説明する。

【0215】

最初、サブブロックSBK00 - SBK03内のビット線対(BL11, /BL11) - (BL14, /BL14)はビット線プリチャージ回路143によって1/2VDDレベルにプリチャージされている。

【0216】

アクセスすべきメモリセルに対応するアドレス信号が与えられる。アドレス信号のうちアドレスビットA0は活性化され、アドレスビットA1は不活性化されている。活性のアドレスビットA0にตอบสนองして書き込み回路130内のNチャンネルMOSトランジスタT0, T2, T4, T6がオンになる。一方、不活性のアドレスビットA1にตอบสนองしてNチャンネルMOSトランジスタT1, T3, T5, T7はオフになる。Hレベルの書き込みデータDIN0 - DIN3がNチャンネルMOSトランジスタT0, T2, T4, T6を介してAND回路AD130 - AD137の入力に与えられる。また、アドレス信号にตอบสนองして制御回路131は活性の制御信号C10 - C13をAND回路AD130 - AD137に与える。これにより、AND回路AD130, AD132, AD134, AD136の出力は活性化され、AND回路AD131, AD133, AD135, AD137の出力は不活性化される。すなわち、データ線DL0 - DL3はHレベル(VDDレベル)になり、データ線/DL0 - /DL3はLレベル(VSSレベル)になる。この結果、サブブロックSBK00 - SBK03内のNチャンネルMOSトランジスタT141 - T144はオ

40

50

ンになり、NチャンネルMOSトランジスタT145 - T148はオフになる。

【0217】

アドレス信号に応答してサブブロックSBK00 - SBK03内のワード線WL11が活性化される。これにより、サブブロックSBK00 - SBK03内のメモリセルMC141からビット線BL11にデータが読み出される。また、活性のアドレスビットA0に応答して列選択回路141, 142が活性化され、列選択回路141, 142によって列選択線WS141, WS145が活性化される。これにより、サブブロックSBK00 - SBK03内のNチャンネルMOSトランジスタT151, T155がオンになる。NチャンネルMOSトランジスタT141はオンであるため、サブブロックSBK00 - SBK03内のビット線BL11と配線NGB0とが接続される。配線NGB0の他端は電源ノードに接続されている。したがってビット線BL11の電位はプリチャージレベルから上昇する。一方、NチャンネルMOSトランジスタT145はオフであるため、ビット線/BL11の電位は1/2VDDレベルのままである。そしてセンスアンプS141が活性化され、ビット線対(BL11, /BL11)の電位差が増幅される。これにより、ビット線BL11の電位はVDDレベル、ビット線/BLの電位はVSSレベルになる。このようにしてサブブロックSBK00 - SBK03内のメモリセルMC141にHレベルのデータDIN0 - DIN3が書き込まれる。

10

【0218】

(2)メインブロックMBK1内のメモリセルにデータを書き込む場合

サブブロックSBK10 - SBK13内のメモリセルMC141にHレベルのデータDIN0 - DIN3を書き込む場合を例に説明する。

20

【0219】

最初、サブブロックSBK10 - SBK13内のビット線対(BL11, /BL11) - (BL14, /BL14)はビット線プリチャージ回路153によって1/2VDDレベルにプリチャージされている。

【0220】

アクセスすべきメモリセルに対応するアドレス信号が与えられる。アドレス信号のうちアドレスビットA0は不活性化され、アドレスビットA1は活性化されている。活性のアドレスビットA1に応答して書き込み回路130内のNチャンネルMOSトランジスタT1, T3, T5, T7がオンになる。一方、不活性のアドレスビットA0に応答してNチャンネルMOSトランジスタT0, T2, T4, T6はオフになる。Hレベルの書き込みデータDIN0 - DIN3はインバータIV0 - IV3によって反転され、NチャンネルMOSトランジスタT1, T3, T5, T7を介してAND回路AD130 - AD137の入力に与えられる。また、アドレス信号に応答して制御回路131は活性の制御信号C10 - C13をAND回路AD130 - AD137に与える。これにより、AND回路AD131, AD133, AD135, AD137の出力は活性化され、AND回路AD130, AD132, AD134, AD136の出力は不活性化される。すなわち、データ線DL0 - DL3はLレベル(VSSレベル)になり、データ線/DL0 - /DL3はHレベル(VDDレベル)になる。この結果、サブブロックSBK10 - SBK13内のNチャンネルMOSトランジスタT145 - T148はオンになり、NチャンネルMOSトランジスタT141 - T144はオフになる。

30

40

【0221】

アドレス信号に応答してサブブロックSBK10 - SBK13内のワード線WL11が活性化される。これにより、サブブロックSBK10 - SBK13内のメモリセルMC141からビット線BL11にデータが読み出される。また、活性のアドレスビットA1に応答して列選択回路151, 152が活性化され、列選択回路151, 152によって列選択線WS151, WS155が活性化される。これにより、サブブロックSBK10 - SBK13内のNチャンネルMOSトランジスタT151, T155がオンになる。NチャンネルMOSトランジスタT141はオフであるため、ビット線BL11の電位は1/2VDDレベルのままである。一方、NチャンネルMOSトランジスタT145はオンであるた

50

め、サブブロックSBK10 - SBK13内のビット線/BL11と配線NGA1とが接続される。配線NGA1の他端は接地ノードに接続されている。したがってビット線/BL11の電位はプリチャージレベルから下降する。そしてセンスアンプS141が活性化され、ビット線対(BL11, /BL11)の電位差が増幅される。これにより、ビット線BL11の電位はVDDレベル、ビット線/BLの電位はVSSレベルになる。このようにしてサブブロックSBK10 - SBK13内のメモリセルMC141にHレベルのデータDIN0 - DIN3が書き込まれる。

【0222】

<効果>

メモリセルアレイや電源線の配置の影響によってビット線のプリチャージレベルが変動することがある。ビット線のプリチャージレベルが1/2VDDレベルよりも高くなる場合において、ビット線対の一方をプルアップすることによって書き込みを行うときには書き込みマージンが少なくなる。また、ビット線のプリチャージレベルが1/2VDDレベルよりも低くなる場合において、ビット線対の一方をプルダウンすることによって書き込みを行うときにはマージンが少なくなる。

10

【0223】

第9の実施形態によるDRAMでは、アドレスビットA0で認識できるメインブロックMBK0内のメモリセルへの書き込みはビット線対の一方をプルアップすることによって行い、アドレスビットA1で認識できるメインブロックMBK1内のメモリセルへの書き込みはビット線対の一方をプルダウンすることによって行う。したがって、ビット線のプリチャージレベルが1/2VDDレベルよりも上昇する箇所にメインブロックMBK1を配置したり、ビット線のプリチャージレベルが1/2VDDレベルよりも下降する箇所にメインブロックMBK0を配置したりすれば、よりマージンのある書き込みを行うことができる。

20

【0224】

(第10の実施形態)

図15は、この発明の第10の実施形態によるDRAMの全体構成を示すブロック図である。図15に示すDRAMは、図13に示したDRAMに加えてさらに、インバータIV151, IV152と、NチャンネルMOSトランジスタT151 - T154とを備える。インバータIV151は、接地電圧VSSを反転して出力する。NチャンネルMOSトランジスタT151は、インバータIV151の出力ノードとノードN151との間に接続され、アドレスビットA0に应答してオン/オフする。NチャンネルMOSトランジスタT153は、接地電圧VSSを受ける接地ノードとノードN151との間に接続され、アドレスビットA1に应答してオン/オフする。インバータIV152は、接地電圧VSSを反転して出力する。NチャンネルMOSトランジスタT152は、インバータIV152の出力ノードとノードN152との間に接続され、アドレスビットA0に应答してオン/オフする。NチャンネルMOSトランジスタT154は、接地ノードとノードN152との間に接続され、アドレスビットA1に应答してオン/オフする。

30

【0225】

また、配線NGA0およびNGA1の一端はノードN151に接続され、配線NGB0およびNGB1の一端はノードN152に接続される。

40

【0226】

以上のように構成されたDRAMでは、アドレスビットA0が活性でありかつアドレスビットA1が不活性のとき、NチャンネルMOSトランジスタT151, T152がオンになり、T153, T154がオフになる。これにより、ノードN151およびN152を介して配線NGA0, MGB0の一端に電源電圧VDDが与えられる。そして第9の実施形態において説明したのと同様にしてメインブロックMBK0内のサブブロックSBK00 - SBK03に対してビット線対の一方をプルアップすることによってデータが書き込まれる。

【0227】

50

一方、アドレスビットA0が不活性でありかつアドレスビットA1が活性のとき、NチャンネルMOSトランジスタT151, T152はオフになり、NチャンネルMOSトランジスタT153, T154はオンになる。これにより、ノードN151およびN152を介して配線NGA1, NGB1の一端に接地電圧VSSが与えられる。そして第9の実施形態において説明したのと同様にしてメインブロックMBK1内のサブブロックSBK10 - SBK13に対してビット線対の一方をプルダウンすることによってデータが書き込まれる。

【0228】

このように、配線NGA0, NGB0, NGA1, NGB1の電圧レベルをアドレスビットA0, A1に応じてVDDまたはVSSに制御することができる。

10

【0229】

(第11の実施形態)

図16は、この発明の第11の実施形態によるDRAMの全体構成を示すブロック図である。図16に示すDRAMは、図15に示したDRAMに加えてさらに周波数検知回路160とインバータIV161とを備える。周波数検知回路160は、DRAMの動作周波数が所定の周波数以上であるとき活性の判定信号FSを出力し、それ以外のときは不活性の判定信号FSを出力する。インバータIV161は、周波数検知回路160からの判定信号FSを反転する。NチャンネルMOSトランジスタT1, T3, T5, T7, T153, T154は、周波数検知回路160からの判定信号FSにตอบสนองしてオン/オフする。NチャンネルMOSトランジスタT0, T2, T4, T6, T151, T152は、インバータIV161の出力にตอบสนองしてオン/オフする。

20

【0230】

次に、以上のように構成されたDRAMの書き込み動作について説明する。

【0231】

DRAMの動作周波数が所定の周波数よりも低いとき、周波数検知回路160は不活性の判定信号FSを出力する。不活性の判定信号FSにตอบสนองしてNチャンネルMOSトランジスタT1, T3, T5, T7, T153, T154はオフになる。一方、インバータIV161からの活性の信号にตอบสนองしてNチャンネルMOSトランジスタT0, T2, T4, T6, T151, T152はオンになる。これにより、ノードN151およびN152を介して配線NGA0, NGA1, MGB0, NGB1に電源電圧VDDが与えられる。そして第9の実施形態において説明したのと同様にしてメインブロックMBK0内のサブブロックSBK00 - SBK03に対してビット線対の一方をプルアップすることによってデータが書き込まれる。また、メインブロックMBK0内のサブブロックSBK00 - SBK03に対するのと同様にしてメインブロックMBK1内のサブブロックSBK10 - SBK13に対してもビット線対の一方をプルアップすることによってデータが書き込まれる。

30

【0232】

DRAMの動作周波数が所定の周波数以上のとき、周波数検知回路160は活性の判定信号FSを出力する。活性の判定信号FSにตอบสนองしてNチャンネルMOSトランジスタT1, T3, T5, T7, T153, T154はオンになる。一方、インバータIV161からの不活性の信号にตอบสนองしてNチャンネルMOSトランジスタT0, T2, T4, T6, T151, T152はオフになる。これにより、ノードN151およびN152を介して配線NGA0, NGA1, MGB0, NGB1に接地電圧VSSが与えられる。そして第9の実施形態において説明したのと同様にしてメインブロックMBK1内のサブブロックSBK10 - SBK13に対してビット線対の一方をプルダウンすることによってデータが書き込まれる。また、メインブロックMBK1内のサブブロックSBK10 - SBK13に対するのと同様にしてメインブロックMBK0内のサブブロックSBK00 - SBK03に対してもビット線対の一方をプルダウンすることによってデータが書き込まれる。

40

【0233】

DRAMの動作周波数が低いときにはビット線のプリチャージレベルを1/2VDDレ

50

ベルに十分に維持できる。これに対してD R A Mの動作周波数が高くなると、ビット線のプリチャージレベルを $1/2 V D D$ レベルに維持することが電源回路および電源線を強化するだけでは困難になる。その結果、ビット線のプリチャージレベルが $1/2 V D D$ レベルよりも上昇し、書き込みマージンが少なくなる。しかし第11の実施形態によるD R A Mでは、動作周波数が所定の周波数以上のときはビット線対の一方をプルダウンすることによってデータを書き込む。したがって、動作周波数が高いときにも十分な書き込みマージンを確保できる。なお、ここではD R A Mの動作周波数が高くなるとビット線のプリチャージレベルが上昇し書き込みマージンが少なくなる場合について説明した。これとは逆にD R A Mの動作周波数が高くなるとビット線のプリチャージレベルが下降し書き込みマージンが少なくなる場合も考えられる。この場合には、動作周波数が所定の周波数以上のときはビット線対の一方をプルアップすることによってデータを書き込むようにすればよい。たとえば、周波数検知回路160からの判定信号F Sの論理を反転させることによって実現できる。

【0234】

(第12の実施形態)

図17は、この発明の第12の実施形態によるD R A Mの全体構成を示すブロック図である。図17に示すD R A Mは、図16に示した周波数検知回路160に代えてビット線レベル検知回路171および比較器172を備える。ビット線レベル検知回路171は、サブブロックS B K 0 0 - S B K 0 3, S B K 1 0 - S B K 1 3内のビット線のうちいずれかのビット線のプリチャージ状態での電圧レベルを検知し、これをビット線電圧 $V b p$ として比較器172に出力する。比較器172は、ビット線レベル検知回路171からのビット線電圧 $V b p$ と参照電圧 $V b p r e f$ とを比較し、比較結果に応じた判定信号B Sを出力する。参照電圧 $V b p r e f$ は、あらかじめ設定されたプリチャージレベル(ここでは $1/2 V D D$)である。比較器172は、ビット線電圧 $V b p$ が参照電圧 $V b p r e f$ よりも高いとき活性の判定信号B Sを出力し、ビット線電圧 $V b p$ が参照電圧 $V b p r e f$ よりも低いとき不活性の判定信号B Sを出力する。インバータI V 1 6 1は、ビット線レベル検知回路171からの判定信号B Sを反転する。NチャンネルM O SトランジスタT 1, T 3, T 5, T 7, T 1 5 3, T 1 5 4は、ビット線レベル検知回路171からの判定信号B Sに应答してオン/オフする。

【0235】

次に、以上のように構成されたD R A Mの書き込み動作について説明する。

【0236】

ビット線電圧 $V b p$ が参照電圧 $V b p r e f (= 1/2 V D D)$ よりも高いとき、比較器172は活性の判定信号B Sを出力する。活性の判定信号B Sに应答してNチャンネルM O SトランジスタT 1, T 3, T 5, T 7, T 1 5 3, T 1 5 4はオンになる。一方、インバータI V 1 6 1からの不活性の信号に应答してNチャンネルM O SトランジスタT 0, T 2, T 4, T 6, T 1 5 1, T 1 5 2はオフになる。これにより、ノードN 1 5 1およびN 1 5 2を介して配線N G A 0, N G A 1, M G B 0, N G B 1に接地電圧V S Sが与えられる。そして第9の実施形態において説明したのと同様にしてメインブロックM B K 1内のサブブロックS B K 1 0 - S B K 1 3に対してビット線対の一方をプルダウンすることによってデータが書き込まれる。また、メインブロックM B K 1内のサブブロックS B K 1 0 - S B K 1 3に対するのと同様にしてメインブロックM B K 0内のサブブロックS B K 0 0 - S B K 0 3に対してもビット線対の一方をプルダウンすることによってデータが書き込まれる。

【0237】

ビット線電圧 $V b p$ が参照電圧 $V b p r e f (= 1/2 V D D)$ よりも低いとき、比較器172は不活性の判定信号B Sを出力する。不活性の判定信号B Sに应答してNチャンネルM O SトランジスタT 1, T 3, T 5, T 7, T 1 5 3, T 1 5 4はオフになる。一方、インバータI V 1 6 1からの活性の信号に应答してNチャンネルM O SトランジスタT 0, T 2, T 4, T 6, T 1 5 1, T 1 5 2はオンになる。これにより、ノードN 1 5 1お

よびN152を介して配線NGA0, NGA1, MGB0, NGB1に電源電圧VDDが与えられる。そして第9の実施形態において説明したのと同様にしてメインブロックMBK0内のサブブロックSBK00 - SBK03に対してビット線対の一方をプルアップすることによってデータが書き込まれる。また、メインブロックMBK0内のサブブロックSBK00 - SBK03に対するのと同様にしてメインブロックMBK1内のサブブロックSBK10 - SBK13に対してもビット線対の一方をプルアップすることによってデータが書き込まれる。

【0238】

通常、ビット線のプリチャージレベルは $1/2VDD$ に設定されている。ところが、メモリセルの“1”レベル電荷保持特性を向上させるためにビット線のプリチャージレベルを $1/2VDD$ レベルよりも低くする場合がある。この場合には、ビット線対の一方をプルダウンするよりもプルアップすることによって書き込みを行ったほうが書き込みマージンをより多く確保することができる。第12の実施形態によるDRAMでは、ビット線電圧Vbpが参照電圧Vbpre f (= $1/2VDD$)よりも低いときはビット線対の一方をプルアップすることによってデータを書き込む。したがって、このような場合であっても十分な書き込みマージンを確保できる。また、上述の場合の他にも何らかの原因によってプリチャージ状態のビット線の電圧レベルが $1/2VDD$ よりも低くなる場合にも同様に十分な書き込みマージンを確保できる。さらに、第12の実施形態によるDRAMでは、ビット線電圧Vbpが参照電圧Vbpre f (= $1/2VDD$)よりも高いときはビット線対の一方をプルダウンすることによってデータを書き込む。したがって、何らかの原因によってプリチャージ状態のビット線の電圧レベルが $1/2VDD$ よりも高くなる場合であっても十分な書き込みマージンを確保できる。

【0239】

(第13の実施形態)

図18は、この発明の第13の実施形態によるDRAMの全体構成を示すブロック図である。図18に示すDRAMは、図13に示したDRAMに加えてさらに、AND回路AD181, AD182と、インバータIV181 - IV187と、OR回路OR181と、NチャンネルMOSトランジスタT181 - T188とを備える。

【0240】

AND回路AD181は、アドレスビットA0と制御信号EXA0とのANDを出力する。AND回路AD182は、アドレスビットA1と制御信号EXA1とのANDを出力する。OR回路OR181は、AND回路AD181の出力とAND回路AD182の出力とのORを出力する。インバータIV181は、OR回路OR181の出力を反転する。NチャンネルMOSトランジスタT1, T3, T5, T7は、OR回路OR181の出力にตอบสนองしてオン/オフする。NチャンネルMOSトランジスタT0, T2, T4, T6は、インバータIV181の出力にตอบสนองしてオン/オフする。

【0241】

インバータIV182は、制御信号EXA0を反転する。インバータIV183は、接地電圧VSSを反転して出力する。NチャンネルMOSトランジスタT181は、インバータIV183の出力ノードとノードN181との間に接続され、インバータIV182の出力にตอบสนองしてオン/オフする。NチャンネルMOSトランジスタT183は、接地電圧VSSを受ける接地ノードとノードN181との間に接続され、制御信号EXA0にตอบสนองしてオン/オフする。インバータIV184は、接地電圧VSSを反転して出力する。NチャンネルMOSトランジスタT182は、インバータIV184の出力ノードとノードN182との間に接続され、インバータIV182の出力にตอบสนองしてオン/オフする。NチャンネルMOSトランジスタT184は、接地ノードとノードN182との間に接続され、制御信号EXA0にตอบสนองしてオン/オフする。

【0242】

インバータIV185は、制御信号EXA1を反転する。インバータIV186は、接地電圧VSSを反転して出力する。NチャンネルMOSトランジスタT185は、インバー

タ I V 1 8 6 の出力ノードとノード N 1 8 3 との間に接続され、インバータ I V 1 8 5 の出力にตอบสนองしてオン/オフする。NチャネルMOSトランジスタ T 1 8 7 は、接地電圧 V S S を受ける接地ノードとノード N 1 8 3 との間に接続され、制御信号 E X A 1 にตอบสนองしてオン/オフする。インバータ I V 1 8 7 は、接地電圧 V S S を反転して出力する。NチャネルMOSトランジスタ T 1 8 6 は、インバータ I V 1 8 7 の出力ノードとノード N 1 8 4 との間に接続され、インバータ I V 1 8 5 の出力にตอบสนองしてオン/オフする。NチャネルMOSトランジスタ T 1 8 8 は、接地ノードとノード N 1 8 4 との間に接続され、制御信号 E X A 1 にตอบสนองしてオン/オフする。

【 0 2 4 3 】

また、配線 N G A 0 , N G B 0 , N G A 1 , N G B 1 の一端はそれぞれノード N 1 8 1 - N 1 8 4 に接続される。 10

【 0 2 4 4 】

次に、以上のように構成された D R A M の書き込み動作について説明する。

【 0 2 4 5 】

不活性の制御信号 E X A 0 , E X A 1 が外部から与えられると、NチャネルMOSトランジスタ T 1 8 1 , T 1 8 2 , T 1 8 5 , T 1 8 6 はオンになり、NチャネルMOSトランジスタ T 1 8 3 , T 1 8 4 , T 1 8 7 , T 1 8 8 はオフになる。これにより、ノード N 1 8 1 - N 1 8 4 を介して配線 N G A 0 , M G B 0 , N G A 1 , N G B 1 に電源電圧 V D D が与えられる。アドレスビット A 0 が活性かつアドレスビット A 1 が不活性のとき、書き込み回路 1 3 0 内のNチャネルMOSトランジスタ T 0 , T 2 , T 4 , T 6 はオンになりNチャネルMOSトランジスタ T 1 , T 3 , T 5 , T 7 はオフになる。そして第9の実施形態において説明したのと同様にしてメインブロック M B K 0 内のサブブロック S B K 0 0 - S B K 0 3 に対してビット線対の一方をプルアップすることによってデータが書き込まれる。また、アドレスビット A 0 が不活性かつアドレスビット A 1 が活性のときもメインブロック M B K 0 内のサブブロック S B K 0 0 - S B K 0 3 に対する書き込みと同様に、メインブロック M B K 1 内のサブブロック S B K 1 0 - S B K 1 3 に対してビット線対の一方をプルアップすることによってデータが書き込まれる。 20

【 0 2 4 6 】

活性の制御信号 E X A 0 が外部から与えられると、NチャネルMOSトランジスタ T 1 8 1 , T 1 8 2 はオフになり、NチャネルMOSトランジスタ T 1 8 3 , T 1 8 4 はオンになる。これにより、ノード N 1 8 1 , N 1 8 2 を介して配線 N G A 0 , M G B 0 に接地電圧 V S S が与えられる。アドレスビット A 0 が活性かつアドレスビット A 1 が不活性のとき、書き込み回路 1 3 0 内のNチャネルMOSトランジスタ T 0 , T 2 , T 4 , T 6 はオフになりNチャネルMOSトランジスタ T 1 , T 3 , T 5 , T 7 はオンになる。そして第9の実施形態において説明したメインブロック M B K 1 内のサブブロック S B K 1 0 - S B K 1 3 に対する書き込みと同様に、メインブロック M B K 0 内のサブブロック S B K 0 0 - S B K 0 3 に対してビット線対の一方をプルダウンすることによってデータが書き込まれる。 30

【 0 2 4 7 】

活性の制御信号 E X A 1 が外部から与えられると、NチャネルMOSトランジスタ T 1 8 5 , T 1 8 6 はオフになり、NチャネルMOSトランジスタ T 1 8 7 , T 1 8 8 はオンになる。これにより、ノード N 1 8 3 , N 1 8 4 を介して配線 N G A 1 , M G B 1 に接地電圧 V S S が与えられる。アドレスビット A 0 が不活性かつアドレスビット A 1 が活性のとき、書き込み回路 1 3 0 内のNチャネルMOSトランジスタ T 0 , T 2 , T 4 , T 6 はオフになりNチャネルMOSトランジスタ T 1 , T 3 , T 5 , T 7 はオンになる。そして第9の実施形態において説明したのと同様に、メインブロック M B K 1 内のサブブロック S B K 1 0 - S B K 1 3 に対してビット線対の一方をプルダウンすることによってデータが書き込まれる。 40

【 0 2 4 8 】

以上のように第 1 3 の実施形態による D R A M では、メインブロック M B K 0 , M B K 50

1内のメモリセルへの書き込みをビット線対の一方をプルアップすることによって行うかプルダウンすることによって行うかを外部から与えられる制御信号EXA0, EXA1に応じて変更することができる。これにより、チップの検査評価時に、ビット線対の一方をプルアップすることによってデータを書き込むときとプルダウンすることによってデータを書き込むときとでどちらがより書き込みマージンを確保できるかをメインブロックMBK0, MBK1ごとに調べることができる。この結果、メインブロックMBK0, MBK1内のメモリセルへの書き込み方をそれぞれマージンの多いほうの書き込み方式にすることができる。

【図面の簡単な説明】

【0249】

【図1】この発明の第1の実施形態によるDRAMの全体構成を示すブロック図である。

【図2】図1に示した分周器の動作を説明するためのタイミングチャートである。

【図3】図1に示したDRAMの読み出し動作を説明するためのタイミングチャートである。

【図4】この発明の第2の実施形態によるDRAMの全体構成を示すブロック図である。

【図5】図4に示したDRAMの読み出し動作を説明するためのタイミングチャートである。

【図6】この発明の第3の実施形態によるDRAMの全体構成を示すブロック図である。

【図7】この発明の第4の実施形態によるDRAMの全体構成を示すブロック図である。

【図8】この発明の第5の実施形態による書き込み動作を説明するためのタイミングチャートである。

【図9】この発明の第6の実施形態によるDRAMの全体構成を示すブロック図である。

【図10】この発明の第7の実施形態によるDRAMの全体構成を示すブロック図である。

【図11】図10に示した出力バッファの内部構成を示すブロック図である。

【図12】この発明の第8の実施形態による出力バッファの内部構成を示すブロック図である。

【図13】この発明の第9の実施形態によるDRAMの全体構成を示すブロック図である。

【図14】図13に示したメモリブロックの内部構成を示すブロック図である。

【図15】この発明の第10の実施形態によるDRAMの全体構成を示すブロック図である。

【図16】この発明の第11の実施形態によるDRAMの全体構成を示すブロック図である。

【図17】この発明の第12の実施形態によるDRAMの全体構成を示すブロック図である。

【図18】この発明の第13の実施形態によるDRAMの全体構成を示すブロック図である。

【図19】2つのトランジスタと1つのキャパシタとで構成されるメモリセルを有する従来のDRAMの全体構成を示すブロック図である。

【符号の説明】

【0250】

MCai1 - MCai4, MCbi1 - MCbi4, MC61 - MC68, MC141 - MC148 メモリセル

Wai1 - Wai4, Wbi1 - Wbi4, WL1, WL2, WL11, WL12 ワード線

ワード線

Bai1, Bai2, /Bai1, /Bai2, Bbi1, Bbi2, /Bbi1, /Bbi2 ビット線

(BL1, /BL1) - (BL4, /BL4), (BL11, /BL11) - (BL14

10

20

30

40

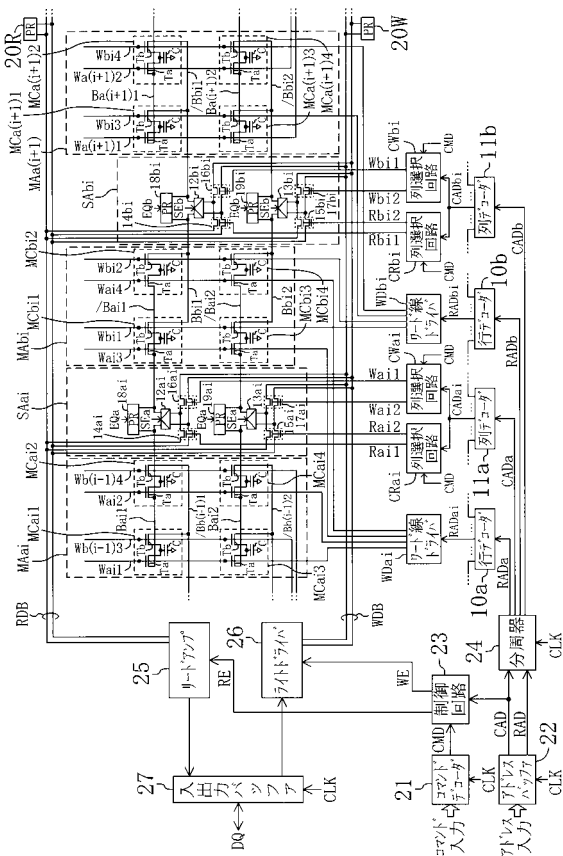
50

- , / B L 1 4) ビット線対
- R D B , W D B , D B a , D B b , (D L , / D L) , (D L 0 , / D L 0) , (D L 1 , / D L 1) データ線対
- 1 4 a i - 1 7 a i , 1 4 b i - 1 7 b i 列選択スイッチ
- W D a i , W D b i ワード線ドライバ
- C R a i , C W a i , C R b i , C W b i , 6 3 , 6 4 列選択回路
- 2 5 リードアンプ
- 2 6 ライトドライバ
- 2 7 入出力バッファ
- 5 0 - 5 3 , T G 1 , T G 2 , T G 1 0 トランスファゲート
- 6 0 ライトドライバ
- 6 1 列アドレスデコーダ
- T 6 1 - T 6 8 , T 7 1 - T 7 8 NチャネルMOSトランジスタ
- M A 0 , M A 1 メインアンプ
- T B 0 , T B 1 , T B 1 0 1 , T B 1 0 2 トライステートバッファ
- L 9 0 - L 9 2 ラッチ回路
- R E 0 , R E 1 イネーブル信号
- 1 0 0 , 1 1 0 出力バッファ
- 1 2 0 周波数検知回路
- 1 3 0 書き込み回路

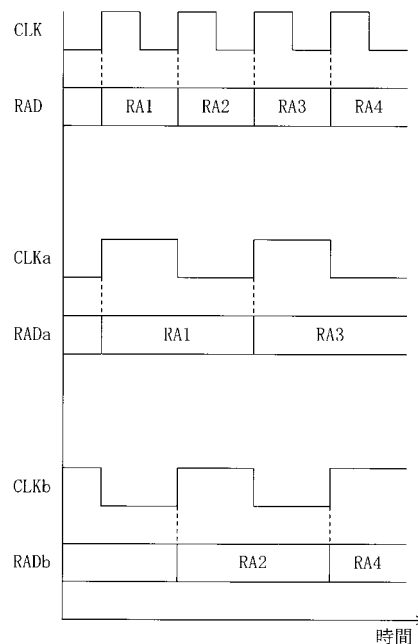
10

20

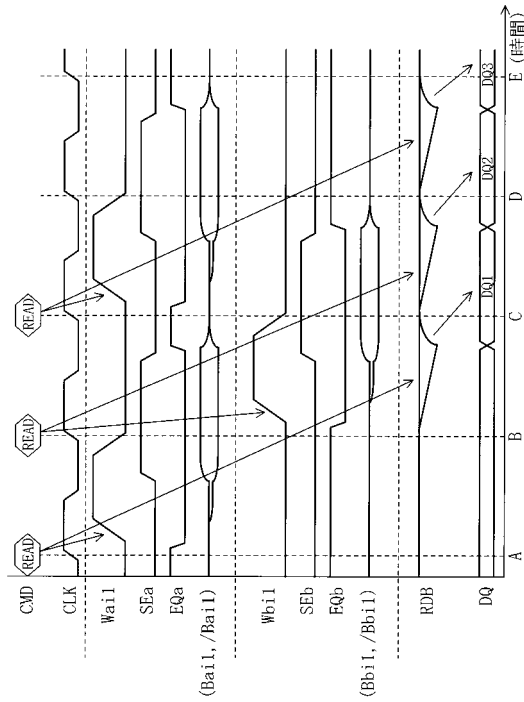
【 図 1 】



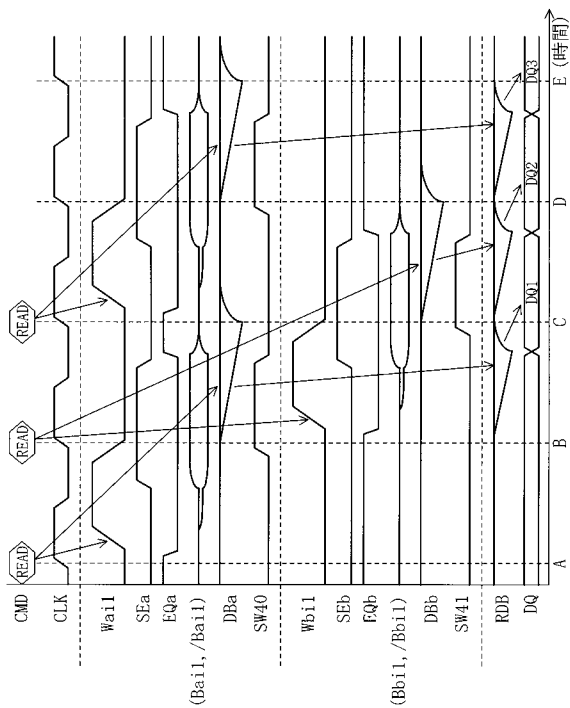
【 図 2 】



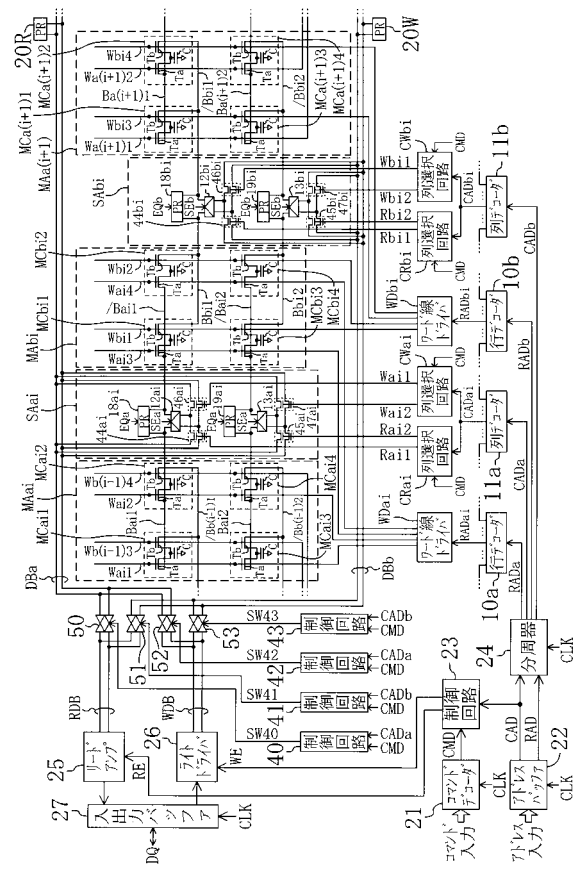
【 図 3 】



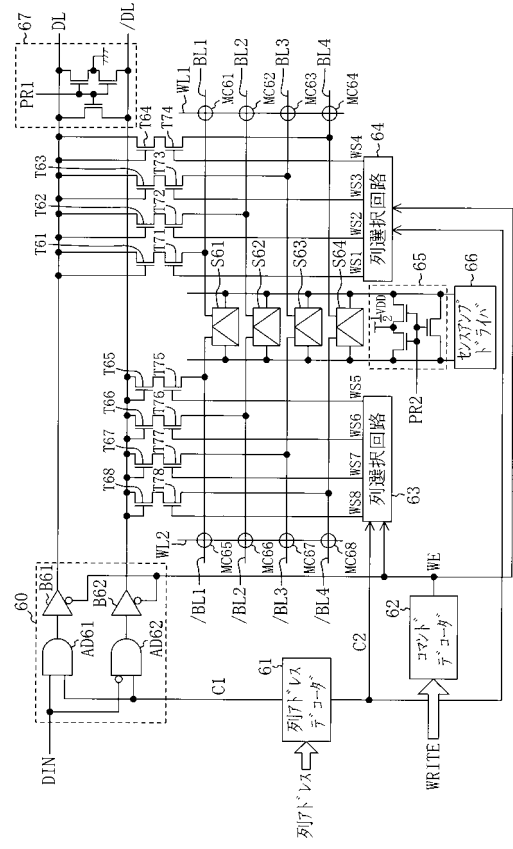
【 図 5 】



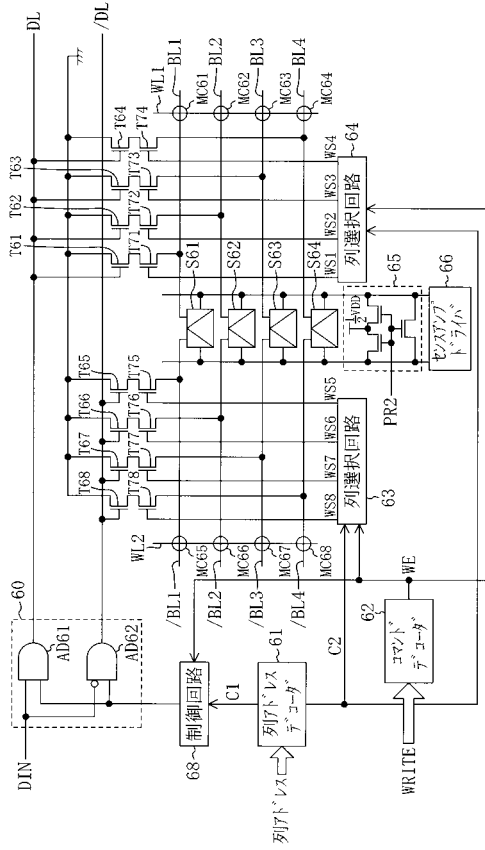
【 図 4 】



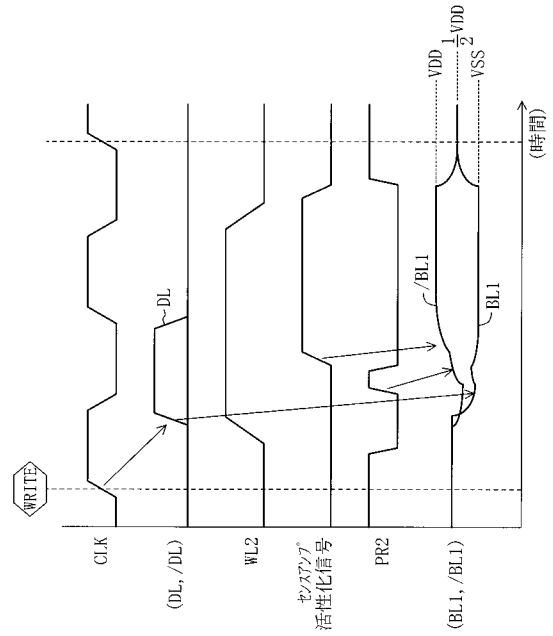
【 図 6 】



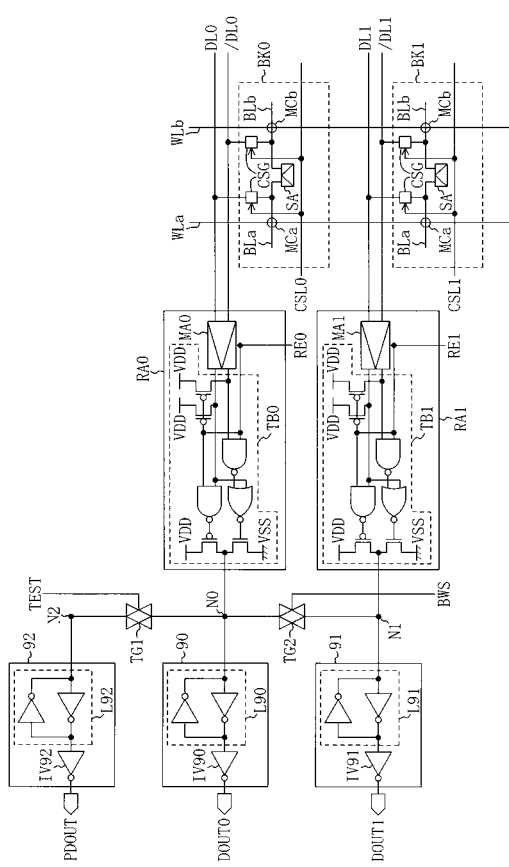
【図7】



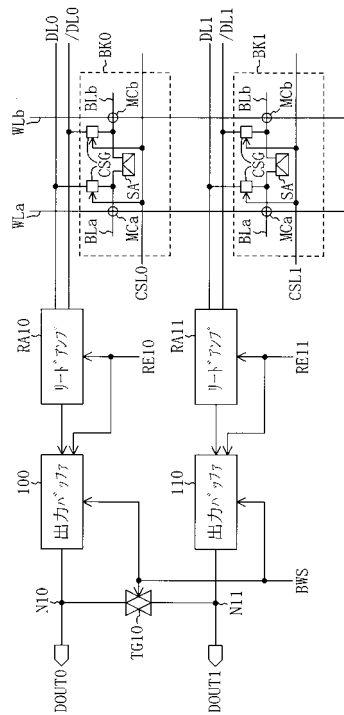
【図8】



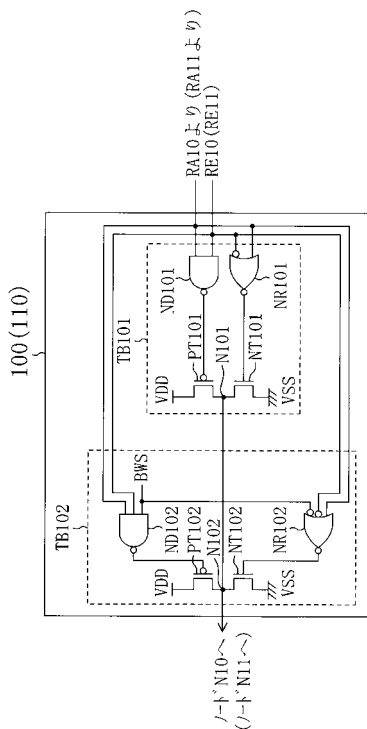
【図9】



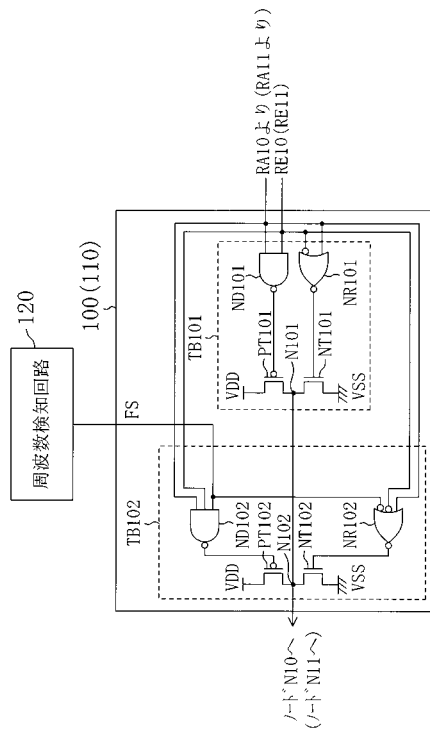
【図10】



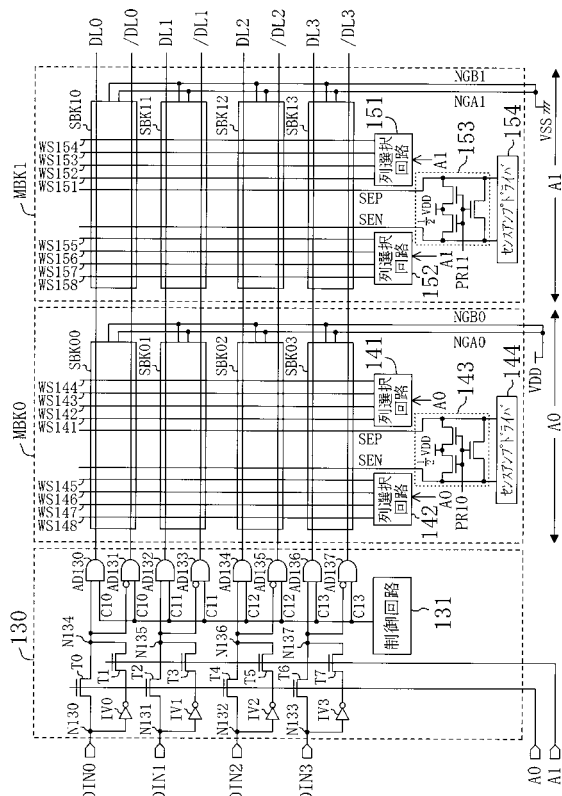
【 図 1 1 】



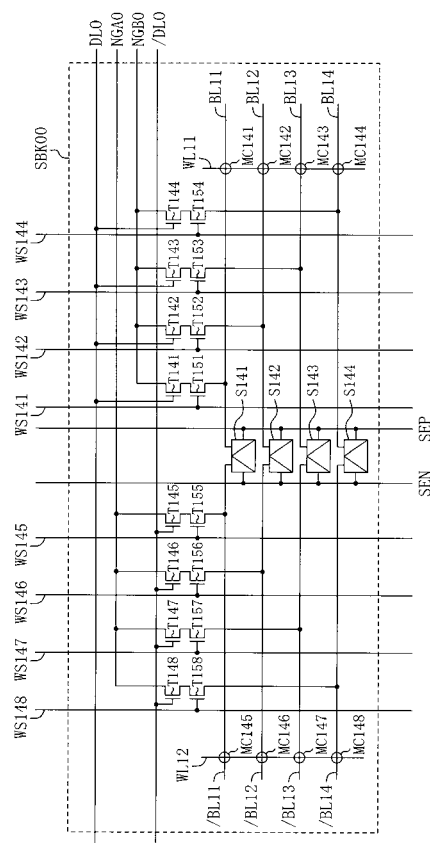
【 図 1 2 】



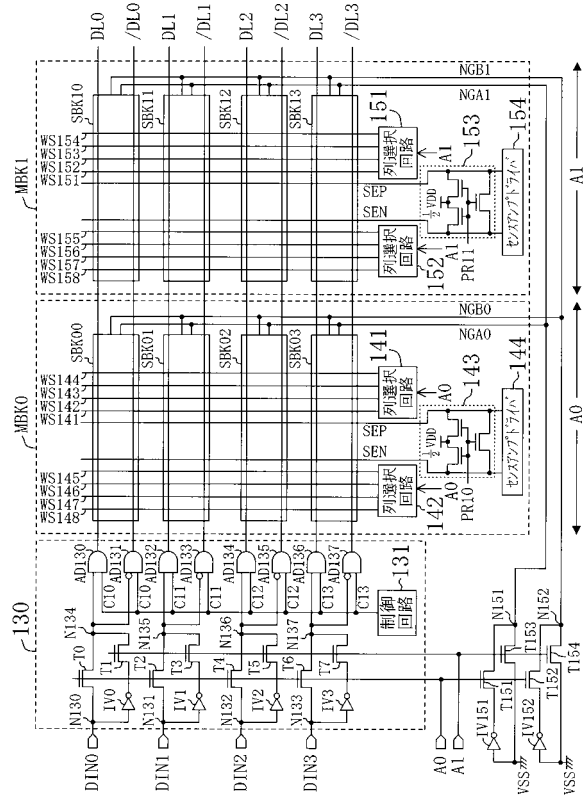
【 図 1 3 】



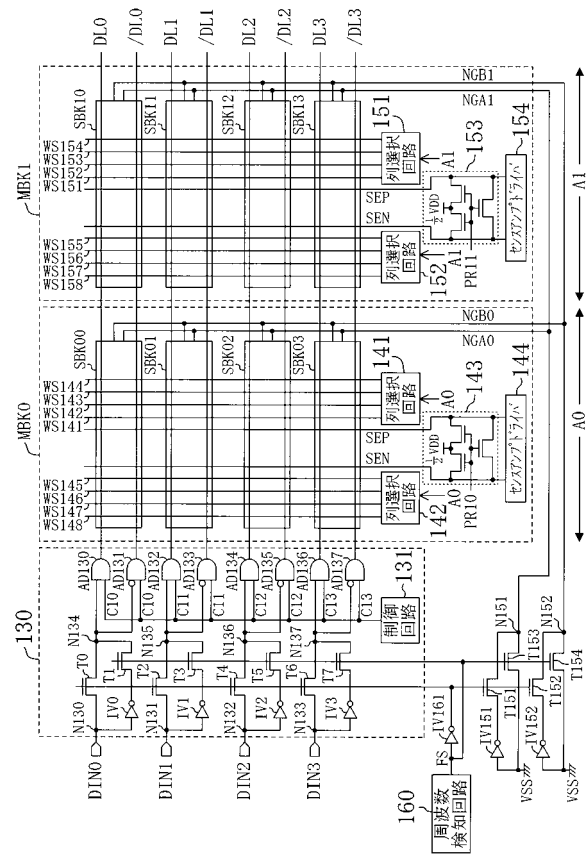
【 図 1 4 】



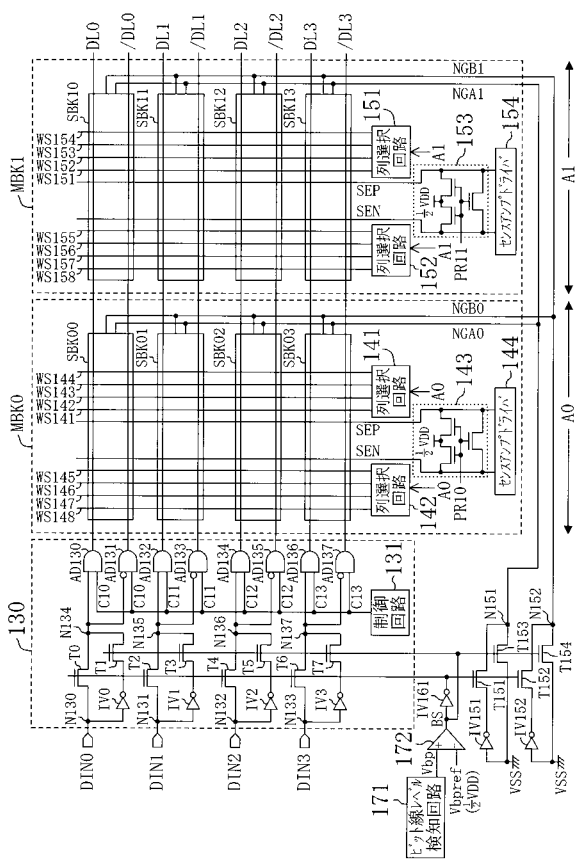
【図 15】



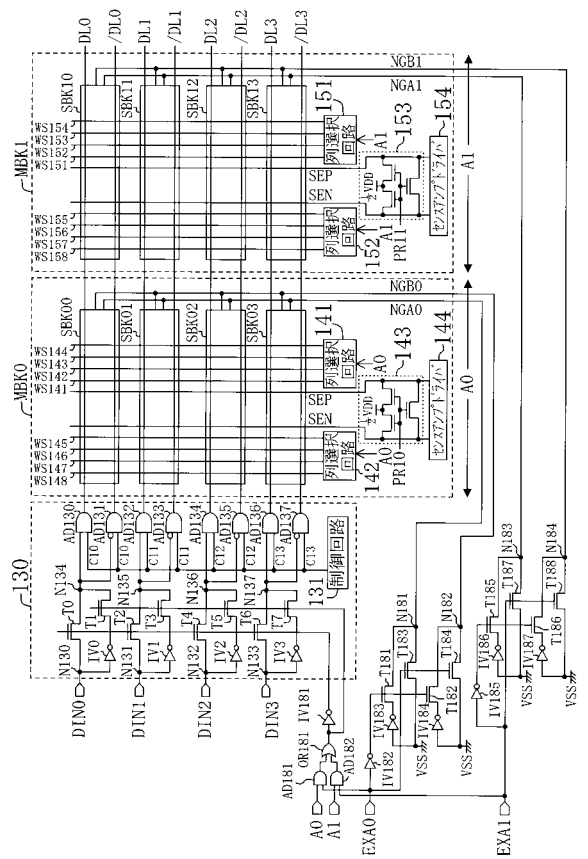
【図 16】



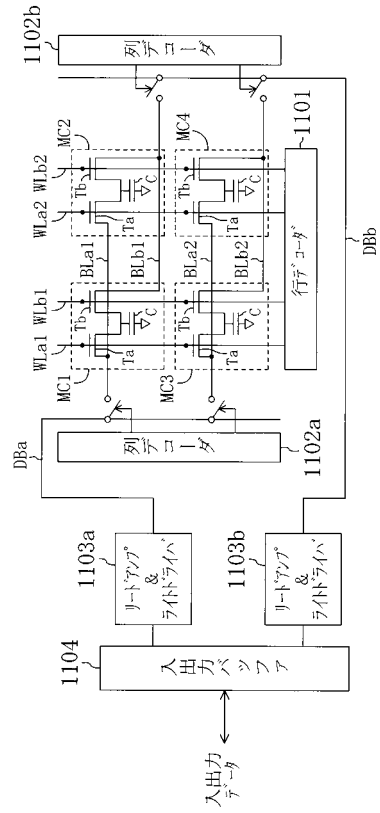
【図 17】



【図 18】



【 図 1 9 】



フロントページの続き

(72)発明者 黒田 直喜

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 縣 政志

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5M024 AA44 BB04 BB18 BB33 DD30 DD59 KK12 MM04 PP01 PP02
PP03 PP07