

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012年8月9日 (09.08.2012)



(10) 国际公布号
WO 2012/103768 A1

- (51) 国际专利分类号:
G06F 13/16 (2006.01)
- (21) 国际申请号: PCT/CN2011/083754
- (22) 国际申请日: 2011年12月9日 (09.12.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110185059.9 2011年7月4日 (04.07.2011) CN
- (71) 申请人 (对除美国外的所有指定国): **华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.)** [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): **方帆 (FANG, Fan)** [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
俞柏峰 (YU, Baifeng) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国

北京市海淀区西直门北大街 32 号枫蓝国际 A 座 8F-6, Beijing 100082 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

[见续页]

(54) Title: METHOD AND APPARATUS FOR DATA PROCESSING, PCI-E BUS SYSTEM AND SERVER

(54) 发明名称: 数据处理方法及装置、PCI-E 总线系统、服务器

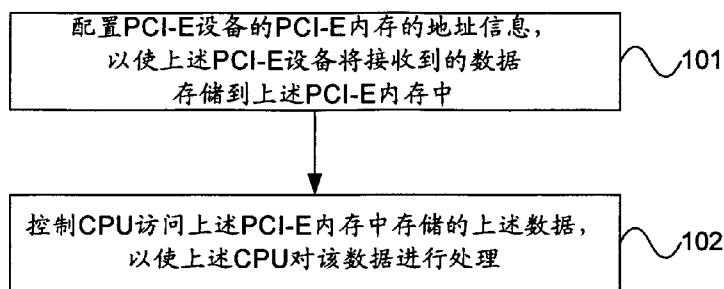


图 1 / Fig. 1

101 CONFIGURING THE ADDRESS INFORMATION FOR PCI-E MEMORY OF PCI-E DEVICE, THUS ENSURING THAT SAID PCI-E DEVICE CAN SAVE THE RECEIVED DATA INTO THE PCI-E MEMORY

102 CONTROLLING CPUS TO ACCESS THE DATA SAVED INTO THE PCI-E MEMORY, THUS ENSURING THAT SAID CPUS CAN PROCESS THE DATA

(57) Abstract: The embodiments of the present invention provide a method and apparatus for data processing, a PCI-E bus system and a server. The method comprises: configuring the address information for PCI-E memory of a PCI-E device, thus ensuring that said PCI-E device can save the received data into the PCI-E memory; controlling CPUs to access the data saved into the PCI-E memory, thus ensuring that said CPUs can process the data. The method in the embodiment of the present invention can avoid the problem in the prior art that part of the bandwidth of the buses between the other CPUs and the buses through which the other CPUs access corresponding memory are occupied when accessing the data received by the PCI-E device, which is resulted from the PCI-E device saved the received data into memory of the other CPUs, thereby improving the utilization ratio of CPUs.

[见续页]



WO 2012/103768 A1



-
- 在修改权利要求的期限届满之前进行，在收到该 — 根据申请人的请求，在条约第 21 条(2)(a)所规定的
修改后将重新公布(细则 48.2(h))。 期限届满之前进行。

(57) 摘要:

本发明实施例提供一种数据处理方法及装置、PCI-E 总线系统、服务器，方法包括：配置 PCI-E 设备的 PCI-E 内存的地址信息，以使所述 PCI-E 设备将接收到的数据存储到所述 PCI-E 内存中；控制 CPU 访问所述 PCI-E 内存中存储的所述数据，以使所述 CPU 对该数据进行处理。本发明实施例能够避免现有技术中由于 PCI-E 设备将接收到的数据存储到其他 CPU 的内存中而导致的访问 PCI-E 设备接收到的数据时会占用与其他 CPU 之间总线的部分带宽，以及占用其他 CPU 访问对应的内存的总线的问题，从而提高了 CPU 的利用率。

数据处理方法及装置、PCI-E 总线系统、服务器

技术领域

- 5 本发明实施例涉及通信技术，尤其涉及一种数据处理方法及装置、扩展的外设部件互连标准（Peripheral Component Interconnect Express，简称 PCI-E）总线系统、服务器。

背景技术

- 10 一般来说，服务器可以由多个中央处理单元（Central Process Unit，简称 CPU）组成，每个 CPU 之间以总线形式进行互联，其中，CPU 可以通过 PCI-E 总线系统连接设备即 PCI-E 设备。PCI-E 设备根据获得的 CPU 的内存的地址信息，将接收到的数据存储到该 CPU 的内存中。

- 然而，当另一 CPU 需要访问上述数据时，需要通过另一 CPU 与存储该
15 数据的内存对应的 CPU（即其他 CPU）之间的总线、以及其他 CPU 与对应的内存之间的总线访问该内存中存储的数据，使得占用了另一 CPU 与其他 CPU 之间总线的部分带宽，以及占用了其他 CPU 访问对应的内存的总线，导致了 CPU 利用率的降低。

20 发明内容

本发明实施例提供一种数据处理方法及装置、PCI-E 总线系统、服务器，用以实现提高 CPU 的利用率。

本发明实施例一方面提供了一种数据处理方法，包括：

- 配置 PCI-E 设备的 PCI-E 内存的地址信息，以使所述 PCI-E 设备将接收
25 到的数据存储到所述 PCI-E 内存中；

控制 CPU 访问所述 PCI-E 内存中存储的所述数据，以使所述 CPU 对该数据进行处理。

本发明实施例另一方面提供了一种数据处理装置，包括：

- 配置单元，用于配置 PCI-E 设备的 PCI-E 内存的地址信息，以使所述
30 PCI-E 设备将接收到的数据存储到所述 PCI-E 内存中；

控制单元，用于控制 CPU 访问所述 PCI-E 内存中存储的所述数据，以使所述 CPU 对该数据进行处理。

本发明实施例另一方面提供了一种 PCI-E 总线系统，包括 PCI-E 内存和上述数据处理装置，所述 PCI-E 内存用于存储所述 PCI-E 设备接收到的数据。

5 本发明实施例另一方面提供了一种服务器，包括 CPU 和上述 PCI-E 总线系统，所述 CPU 用于访问所述 PCI-E 内存中存储的所述数据，并对该数据进行处理。

由上述技术方案可知，本发明实施例通过配置 PCI-E 设备的 PCI-E 内存的地址信息，使得在上述 PCI-E 设备将接收到的数据存储在上述 PCI-E 内存
10 中之后，能够控制 CPU 访问上述 PCI-E 内存中存储的上述数据，能够避免现有技术中由于 PCI-E 设备将接收到的数据存储在其它 CPU 的内存中而导致的访问 PCI-E 设备接收到的数据时会占用与其他 CPU 之间总线的部分带宽，以及占用其他 CPU 访问对应的内存的总线的问题，从而提高了 CPU 的利用率。

15

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
20

图 1 为本发明一实施例提供的数据处理方法的流程示意图；

图 2 为图 1 对应的实施例涉及的 PCI-E 总线系统的结构示意图；

图 3 为本发明另一实施例提供的数据处理装置的结构示意图；

图 4 为本发明另一实施例提供的数据处理装置的结构示意图；

25 图 5 为本发明另一实施例提供的 PCI-E 总线系统的结构示意图；

图 6 为本发明另一实施例提供的服务器的结构示意图。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明
30 实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，

显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

图 1 为本发明一实施例提供的数据处理方法的流程示意图，如图 1 所示，

5 本实施例的数据处理方法可以包括：

101、配置 PCI-E 设备的 PCI-E 内存的地址信息，以使上述 PCI-E 设备将接收到的数据存储到上述 PCI-E 内存中；

102、控制 CPU 访问上述 PCI-E 内存中存储的上述数据，以使上述 CPU 对该数据进行处理。

10 其中，上述 101~102 的执行主体可以为操作系统。

进一步地，在 102 之前，操作系统还可以通过预先指定的 CPU（例如：主 CPU）访问上述 PCI-E 内存中存储的数据，确定需要访问该数据的 CPU。具体确定方法可以参见现有技术中的相关内容，此处不再赘述。

15 可选地，102 中，具体可以控制确定的上述 CPU 根据上述 PCI-E 内存的地址信息，访问上述 PCI-E 内存中存储的上述数据。

可选地，102 中，具体可以将上述 PCI-E 内存中存储的上述数据拷贝到确定的上述 CPU 的内存中，并控制该 CPU 访问该 CPU 的内存中存储的上述数据。

20 其中，可选地，上述 PCI-E 内存可以位于 PCI-E 总线内，即 PCI-E 内存可以设置在转换组件（Switch）之前。可选地，上述 PCI-E 内存还可以与 PCI-E 总线连接，即 PCI-E 内存可以与 PCI-E 设备类似，在转换组件（Switch）之后，通过总线与 CPU 进行连接。

25 本实施例中，通过配置 PCI-E 设备的 PCI-E 内存的地址信息，使得在上述 PCI-E 设备将接收到的数据存储到上述 PCI-E 内存中之后，能够控制 CPU 访问上述 PCI-E 内存中存储的上述数据，能够避免现有技术中由于 PCI-E 设备将接收到的数据存储到其他 CPU 的内存中而导致的访问 PCI-E 设备接收到的数据时会占用与其他 CPU 之间总线的部分带宽，以及占用其他 CPU 访问对应的内存的总线的问题，从而提高了 CPU 的利用率。

30 为使得本发明实施例提供的方法更加清楚，下面将以如图 2 所示的 PCI-E 总线系统作为举例。如图 2 所示的 PCI-E 总线系统中，CPU1 通过快速通道

5 互联 (Quick Path Interconnect, 简称 QPI) 总线与 CPU2 连接, CPU1 和 CPU2 通过 QPI 总线连接到输入输出中心 (Input Output Hub, 简称 IOH), IOH 通过根组件 (Root Complex) 连接到转换组件 (Switch), 该转换组件 (Switch) 连接 PCI-E 设备 1、PCI-E 设备 2 和 PCI-E 内存。首先, 运行在 CPU1 和 CPU2 上的操作系统配置 PCI-E 设备 1 和 PCI-E 设备 2 的 PCI-E 内存的地址信息, 以使 PCI-E 设备 1 或 PCI-E 设备 2 将接收到的数据存储在上述 PCI-E 内存中。然后, 操作系统则控制 CPU1 访问上述 PCI-E 内存中存储的上述数据, 以使 CPU1 对该数据进行处理。CPU1 在访问上述 PCI-E 内存中存储的上述数据的同时, CPU1 还可以进一步通过 CPU1 与 CPU2 之间的 QPI 总线传递信息, CPU1 访问上述 PCI-E 内存中存储的上述数据并没有占用 CPU1 与 CPU2 之间的 QPI 总线的带宽; 另外, CPU1 在访问上述 PCI-E 内存中存储的上述数据的同时, CPU2 还可以访问其对应的内存中存储的其他数据, 从而提高了 CPU1 和 CPU2 的利用率。

15 需要说明的是: 对于前述的各方法实施例, 为了简单描述, 故将其都表述为一系列的动作组合, 但是本领域技术人员应该知悉, 本发明并不受所描述的动作顺序的限制, 因为依据本发明, 某些步骤可以采用其他顺序或者同时进行。其次, 本领域技术人员也应该知悉, 说明书中所描述的实施例均属于优选实施例, 所涉及的动作和模块并不一定是本发明所必须的。

20 在上述实施例中, 对各个实施例的描述都各有侧重, 某个实施例中沒有详述的部分, 可以参见其他实施例的相关描述。

图 3 为本发明另一实施例提供的数据处理装置的结构示意图, 如图 3 所示, 本实施例的数据处理装置 3 可以包括配置单元 31 和控制单元 32。其中, 配置单元 31 用于配置 PCI-E 设备的 PCI-E 内存的地址信息, 以使上述 PCI-E 设备将接收到的数据存储在上述 PCI-E 内存中; 控制单元 32 用于控制 CPU 访问上述 PCI-E 内存中存储的上述数据, 以使上述 CPU 对该数据进行处理。

上述图 1 对应的实施例中的方法可以由本实施例提供的数据处理装置实现。

30 进一步地, 如图 4 所示, 本实施例的数据处理装置 4 还可以进一步包括确定单元 41, 用于通过预先指定的 CPU 访问上述 PCI-E 内存中存储的上述数据, 确定需要访问该数据的 CPU, 以供控制单元 32 控制确定单元 41 确定

的上述 CPU 访问上述 PCI-E 内存中存储的上述数据。

可选地，本实施例中的控制单元 32 具体可以控制上述 CPU 根据上述 PCI-E 内存的地址信息，访问上述 PCI-E 内存中存储的上述数据。

可选地，本实施例中的控制单元 32 具体还可以将上述 PCI-E 内存中存储的上述数据拷贝到上述 CPU 的内存中，并控制上述 CPU 访问该 CPU 的内存中存储的上述数据。

其中，可选地，上述 PCI-E 内存可以位于 PCI-E 总线内，即 PCI-E 内存可以设置在转换组件(Switch)之前。可选地，上述 PCI-E 内存还可以与 PCI-E 总线连接，即 PCI-E 内存可以与 PCI-E 设备类似，在转换组件(Switch)之后，通过总线与 CPU 进行连接。

本实施例中，通过配置单元配置 PCI-E 设备的 PCI-E 内存的地址信息，使得在上述 PCI-E 设备将接收到的数据存储到上述 PCI-E 内存中之后，控制单元能够控制 CPU 访问上述 PCI-E 内存中存储的上述数据，能够避免现有技术中由于 PCI-E 设备将接收到的数据存储到其他 CPU 的内存中而导致的访问 PCI-E 设备接收到的数据时会占用与其他 CPU 之间总线的部分带宽，以及占用其他 CPU 访问对应的内存的总线的问题，从而提高了 CPU 的利用率。

图 5 为本发明另一实施例提供的 PCI-E 总线系统 5 的结构示意图，如图 5 所示，本实施例的 PCI-E 总线系统可以包括 PCI-E 内存 51 和图 3 或图 4 对应的实施例提供的数据处理装置 52，PCI-E 内存 51 用于存储所述 PCI-E 设备接收到的数据。

图 6 为本发明另一实施例提供的服务器 6 的结构示意图，如图 6 所示，本实施例的服务器可以包括 CPU 61 和图 5 对应的实施例提供的 PCI-E 总线系统 62，CPU 61 用于访问所述 PCI-E 内存中存储的所述数据，并对该数据进行处理。

所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的系统，装置和单元的具体工作过程，可以参考前述方法实施例中的对应过程，在此不再赘述。

在本申请所提供的几个实施例中，应该理解到，所揭露的系统，装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示

意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本发明各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现，也可以采用软件功能单元的形式实现。

所述集成的单元如果以软件功能单元的形式实现并作为独立的产品销售或使用，可以存储在一个计算机可读取存储介质中。基于这样的理解，本发明的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备）执行本发明各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（Read-Only Memory，简称 ROM）、随机存取存储器（Random Access Memory，简称 RAM）、磁碟或者光盘等各种可以存储程序代码的介质。

权 利 要 求 书

1、一种数据处理方法，其特征在于，包括：

配置 PCI-E 设备的 PCI-E 内存的地址信息，以使所述 PCI-E 设备将接收到的数据存储到所述 PCI-E 内存中；

5 控制 CPU 访问所述 PCI-E 内存中存储的所述数据，以使所述 CPU 对该数据进行处理。

2、根据权利要求 1 所述的方法，其特征在于，

所述控制 CPU 访问所述 PCI-E 内存中存储的所述数据，以使所述 CPU 对该数据进行处理，之前还包括：

10 通过预先指定的 CPU 访问所述 PCI-E 内存中存储的所述数据，确定需要访问该数据的 CPU。

3、根据权利要求 1 或 2 所述的方法，其特征在于，所述控制 CPU 访问所述 PCI-E 内存中存储的所述数据，包括：

15 控制所述 CPU 根据所述 PCI-E 内存的地址信息，访问所述 PCI-E 内存中存储的所述数据；或者

将所述 PCI-E 内存中存储的所述数据拷贝到所述 CPU 的内存中，并控制所述 CPU 访问该 CPU 的内存中存储的所述数据。

4、根据权利要求 1 至 3 任一权利要求所述的方法，其特征在于，所述 PCI-E 内存位于 PCI-E 总线内或者与 PCI-E 总线连接。

20 5、一种数据处理装置，其特征在于，包括：

配置单元，用于配置 PCI-E 设备的 PCI-E 内存的地址信息，以使所述 PCI-E 设备将接收到的数据存储到所述 PCI-E 内存中；

控制单元，用于控制 CPU 访问所述 PCI-E 内存中存储的所述数据，以使所述 CPU 对该数据进行处理。

25 6、根据权利要求 5 所述的装置，其特征在于，还包括确定单元，用于通过预先指定的 CPU 访问所述 PCI-E 内存中存储的所述数据，确定需要访问该数据的 CPU，以供所述控制单元控制所述 CPU 访问所述 PCI-E 内存中存储的所述数据。

7、根据权利要求 5 或 6 所述的装置，其特征在于，所述控制单元具体用于

30 于

控制所述 CPU 根据所述 PCI-E 内存的地址信息, 访问所述 PCI-E 内存中存储的所述数据; 或者

将所述 PCI-E 内存中存储的所述数据拷贝到所述 CPU 的内存中, 并控制所述 CPU 访问该 CPU 的内存中存储的所述数据。

5 8、根据权利要求 5 至 7 任一权利要求所述的装置, 其特征在于, 所述 PCI-E 内存位于 PCI-E 总线内或者与 PCI-E 总线连接。

9、一种 PCI-E 总线系统, 其特征在于, 包括 PCI-E 内存和权利要求 5 至 8 任一权利要求所述的数据处理装置, 所述 PCI-E 内存用于存储所述 PCI-E 设备接收到的数据。

10 10、一种服务器, 其特征在于, 包括 CPU 和权利要求 9 所述的 PCI-E 总线系统, 所述 CPU 用于访问所述 PCI-E 内存中存储的所述数据, 并对该数据进行处理。

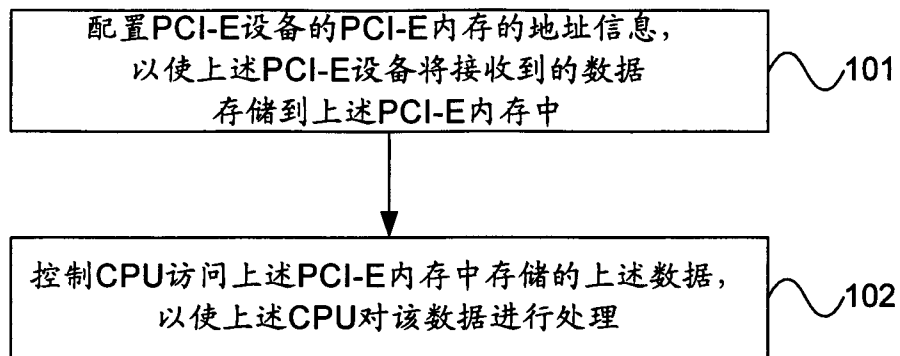


图 1

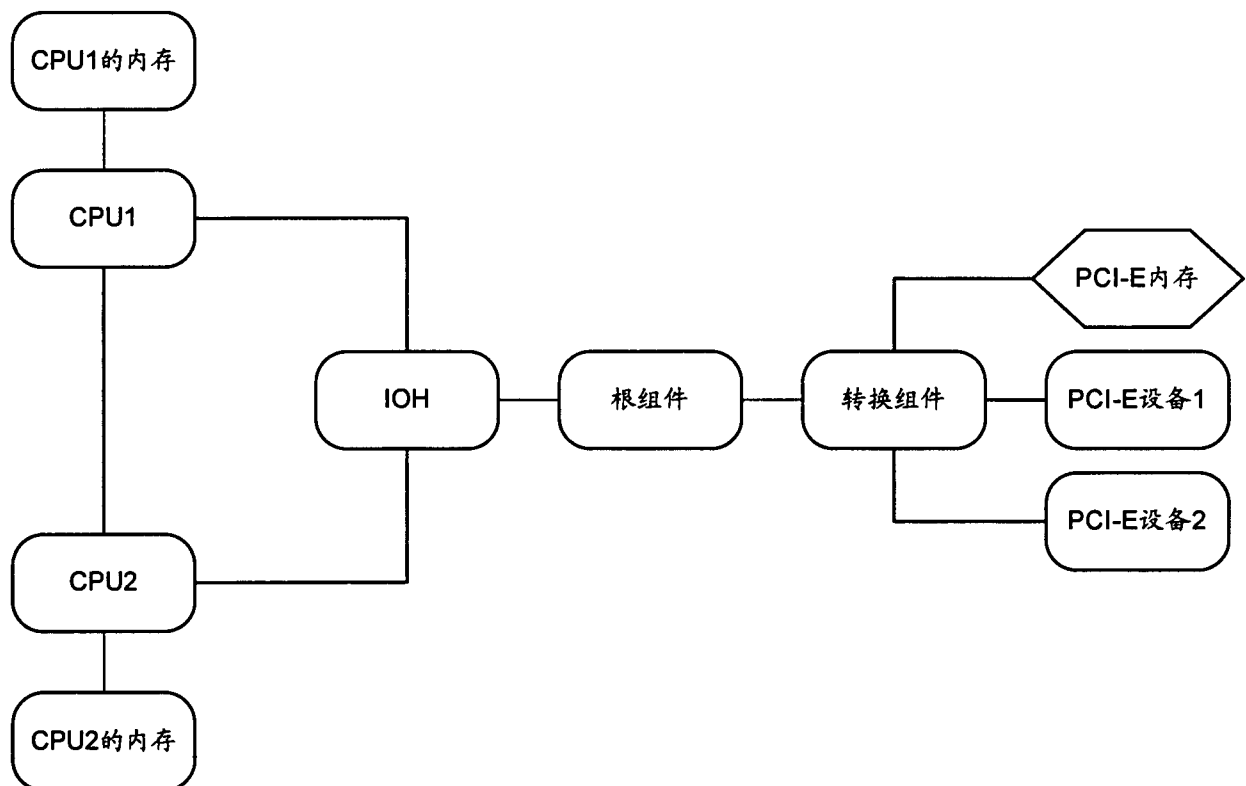


图 2

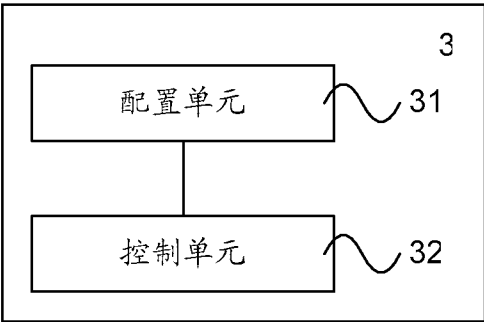


图 3

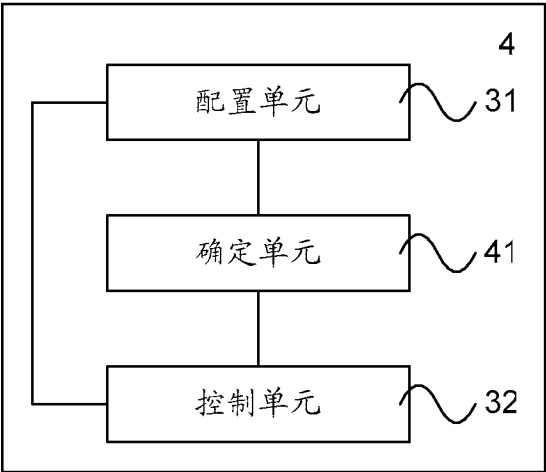


图 4

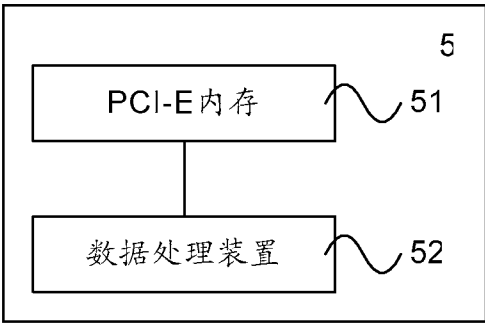


图 5

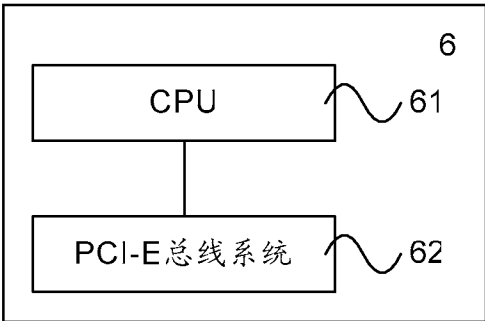


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/083754

A. CLASSIFICATION OF SUBJECT MATTER

G06F13/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G06F;G06T

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNKI, CNPAT, IEEE: PCIE, PCI-E, peripheral component interconnect express, memory, RAM, ROM, CPU, address??

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101639930A (NVIDIA CORP.) 03 Feb. 2010 (03.02.2010) the whole document	1-10
A	CN101178697A (HANGZHOU HUASAN COMMUNICATION TECHNOLOGY CO. LTD.) 14 May 2008 (14.05.2008) the whole document	1-10
A	CN101281453A (HUAWEI TECHNOLOGIES CO. LTD.) 08 Oct. 2008 (08.10.2008) the whole document	1-10
A	WO2010/033375A2 (MICRON TECHNOLOGY, INC. et al.) 25 Mar. 2010 (25.03.2010) the whole document	1-10
A	US2009/0271590A1 (CARMONA, Jacob et al.) 29 Oct. 2009 (29.10.2009) the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 Feb. 2012 (20.02.2012)	Date of mailing of the international search report 05 Apr. 2012 (05.04.2012)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451	Authorized officer LI, Xiaoli Telephone No. (86-10)62413515

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/083754

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101639930A	03.02.2010	US2010/0026691A1	04.02.2010
CN101178697A	14.05.2008	None	
CN101281453A	08.10.2008	WO2009/137996A1	19.11.2009
WO2010/033375A2	25.03.2010	US2010/0077117A1	25.03.2010
		CN102160044A	17.08.2011
		TW201017426A1	01.05.2010
		EP2329386A2	08.06.2011
		KR10-2011-0046552A	04.05.2011
US2009/0271590A1	29.10.2009	None	

国际检索报告

国际申请号

PCT/CN2011/083754

A. 主题的分类

G06F13/16 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G06F; G06T

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNKI, CNPAT, IEEE: 外设部件互连, 外设部件互联, 外设组件互连, 外设组件互联, 周边元件互连, 周边元件互连, 内存, 存储, 处理器, 处理单元, 处理装置, PCIE, PCI-E, peripheral component interconnect express, memory, RAM, ROM, CPU, address??

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101639930A (辉达公司) 03.2 月 2010 (03.02.2010) 全文	1-10
A	CN101178697A (杭州华三通信技术有限公司) 14.5 月 2008 (14.05.2008) 全文	1-10
A	CN101281453A (华为技术有限公司) 08.10 月 2008 (08.10.2008) 全文	1-10
A	WO2010/033375A2 (MICRON TECHNOLOGY, INC. 等) 25.3 月 2010 (25.03.2010) 全文	1-10
A	US2009/0271590A1 (CARMONA, Jacob 等) 29.10 月 2009 (29.10.2009) 全文	1-10

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

20.2 月 2012 (20.02.2012)

国际检索报告邮寄日期

05.4 月 2012 (05.04.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

李晓利

电话号码: (86-10) 62413515

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/083754

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101639930A	03.02.2010	US2010/0026691A1	04.02.2010
CN101178697A	14.05.2008	无	
CN101281453A	08.10.2008	WO2009/137996A1	19.11.2009
WO2010/033375A2	25.03.2010	US2010/0077117A1	25.03.2010
		CN102160044A	17.08.2011
		TW201017426A1	01.05.2010
		EP2329386A2	08.06.2011
		KR10-2011-0046552A	04.05.2011
US2009/0271590A1	29.10.2009	无	