

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 5 月 12 日 (12.05.2022)



(10) 国际公布号
WO 2022/095418 A1

(51) 国际专利分类号:
H01L 21/768 (2006.01) **H01L 23/528** (2006.01)
H01L 23/525 (2006.01)

(21) 国际申请号: PCT/CN2021/095834

(22) 国际申请日: 2021 年 5 月 25 日 (25.05.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202011221558.4 2020 年 11 月 5 日 (05.11.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 王蒙蒙 (WANG, Mengmeng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。 黄信斌 (HUANG, Hsin-Pin); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京中政联科专利代理事务所 (普通合伙) (BEIJING LINKAW PATENT ATTORNEY LAW FIRM); 中国北京市昌平区北清路 TBD 云集中心 2 号楼 B 座 502, Beijing 102209 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: INTEGRATED CIRCUIT DEVICE AND FORMING METHOD THEREOF

(54) 发明名称: 一种集成电路装置及其形成方法

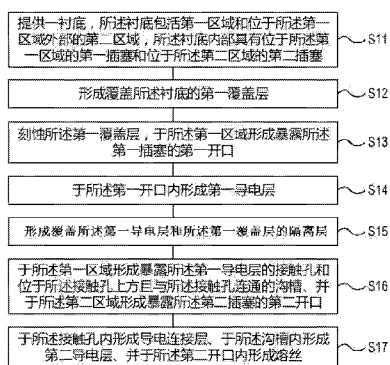


图 1

- S11 Provide a substrate, the substrate comprising a first region and a second region beyond the first region, a first plug in the first region and a second plug in the second region being provided inside the substrate
S12 Form a first cover layer covering the substrate
S13 Etch the first cover layer to form a first opening exposing the first plug in the first region
S14 Form a first conductive layer in the first opening
S15 Form an isolation layer covering the first conductive layer and the first cover layer
S16 Form, in the first region, a contact hole exposing the first conductive layer and a trench above the contact hole and in communication with the contact hole, and form a second opening exposing the second plug in the second region
S17 Form a conductive connection layer in the contact hole, form a second conductive layer in the trench, and form a fuse in the second opening

(57) Abstract: The present application discloses an integrated circuit device and a forming method therefor. The forming method for an integrated circuit device comprises the following steps: providing a substrate comprising a first region and a second region, a first plug and a second plug being provided inside the substrate; forming a first cover layer covering the substrate; forming a first opening exposing the first plug in the first region; forming a first conductive layer in the first opening; forming an isolation layer covering the first conductive layer and the first cover layer; forming, in the first region, a contact hole exposing the first conductive layer and a trench in communication with the contact hole, and forming a second opening exposing the second plug in the second region; and forming a conductive connection layer in the contact hole, forming a second conductive layer in the trench, and forming a fuse in the second opening. The present application simplifies the structure of a fuse, so that the fuse can be blown only with relatively low energy, and the manufacturing process is also simplified.

(57) 摘要: 本申请公开了一种集成电路装置及其形成方法。所述集成电路装置的形成方法包括如下步骤: 提供包括第一区域和第二区域的衬底, 所述衬底内部具有第一插塞和第二插塞; 形成覆盖所述衬底的第一覆盖层; 于所述第一区域形成暴露所述第一插塞的第一开口; 于所述第一开口内形成第一导电层; 形成覆盖所述第一导电层和所述第一覆盖层的隔离层; 于所述第一区域形成暴露所述第一导电层的接触孔和与所述接触孔连通的沟槽、并于所述第二区域形成暴露所述第二插塞的第二开口; 于所述接触孔内形成导电连接层、于所述沟槽内形成第二导电层、并于所述第二开口内形成熔丝。本申请简化了熔丝的结构, 使得仅需要较低的能量就可以熔断熔丝, 而且简化了制造流程。

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

一种集成电路装置及其形成方法

交叉引用

本申请基于申请号为 202011221558.4、申请日为 2020 年 11 月 05 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请涉及半导体制造技术领域，尤其涉及一种集成电路装置及其形成方法。

背景技术

熔丝是集成电路装置中的一个电阻型结构。在集成电路装置中，通过熔丝的熔断，达到调整集成电路内部电性功能或者电学参数的目的。在具有双层大马士革结构的集成电路装置中，多采用第一金属层、第二金属层以及位于所述第一金属层和第二金属层之间的金属连接层共同作为熔丝，此种熔丝的结构能够有效的避免因对准标记的腐蚀而导致的套刻偏移问题。

但是，由于这种熔丝结构复杂，制程工艺繁琐，在后续的熔丝熔断过程中需要较大的熔断能量，且经常会出现熔断不完全的现象，从而导致工艺参数难以控制以及熔断能量的浪费，间接增加了集成电路装置的制造成本。

因此，如何简化集成电路装置中的熔丝的结构，降低熔丝的熔断能量，是目前亟待解决的技术问题。

发明内容

本申请的目的是提供一种集成电路装置及其形成方法，用于解决现有的熔丝结构复杂、制程工艺繁琐的问题，并降低熔丝的熔断能量，实现对集成电路装置制程良率的提高以及制造成本的降低。

为了解决上述问题，本申请实施例中提供了一种集成电路装置的形成方法，包括如下步骤：

提供一衬底，所述衬底包括第一区域和位于所述第一区域外部的第二区域，所述衬底内部具有位于所述第一区域的第一插塞和位于所述第二区域的第二插塞；

形成覆盖所述衬底的第一覆盖层；

刻蚀所述第一覆盖层，于所述第一区域形成暴露所述第一插塞的第一开口；

于所述第一开口内形成第一导电层；

形成覆盖所述第一导电层和所述第一覆盖层的隔离层；

于所述第一区域形成暴露所述第一导电层的接触孔和位于所述接触孔上方且与所述接触孔连通的沟槽、并于所述第二区域形成暴露所述第二插塞的第二开口；

于所述接触孔内形成导电连接层、于所述沟槽内形成第二导电层、并于所述第二开口内形成熔丝。

可选的，形成覆盖所述第一导电层和所述第一覆盖层的隔离层的具体步骤包括：

形成覆盖所述第一导电层和所述第一覆盖层的第一子隔离层；

形成覆盖所述第一子隔离层的第二子隔离层，所述第一子隔离层和所述第二子隔离层共同构成隔离层。

可选的，于所述第一区域形成暴露所述第一导电层的接触孔和位于所述接触孔上方且与所述接触孔连通的沟槽、并于所述第二区域形成暴露所述第二插塞的第二开口的具体步骤包括：

刻蚀位于所述第一区域和所述第二区域的所述第二子隔离层，于所述第一区域形成暴露所述第一子隔离层的初始接触孔、并于所述第二区域形成贯穿所述第二子隔离层的初始第二开口；

刻蚀所述初始接触孔侧壁的所述第二子隔离层和所述初始接触孔底部的所述第一子隔离层、并刻蚀所述初始第二开口底部的所述第一子隔离层和所述第一覆盖层，于所述第一区域形成暴露所述第一导电层的接触孔和位于所述接触孔上方且与所述接触孔连通的沟槽、并于所述第二区域形成暴露所述第二插塞的第二开口。

可选的，于所述第一区域形成暴露所述第一导电层的接触孔和位

于所述接触孔上方且与所述接触孔连通的沟槽、并于所述第二区域形成暴露所述第二插塞的第二开口的具体步骤包括：

刻蚀位于所述第一区域和所述第二区域的所述第二子隔离层，于所述第一区域形成未贯穿所述第二子隔离层的初始沟槽、并于所述第二区域形成未贯穿所述第二子隔离层的窗口；

刻蚀所述初始沟槽底部的所述第二子隔离层和第一子隔离层、并刻蚀所述窗口底部的所述第二子隔离层、所述第一子隔离层和所述第一覆盖层，于所述第一区域形成暴露所述第一导电层的接触孔和位于所述接触孔上方且与所述接触孔连通的沟槽、并于所述第二区域形成暴露所述第二插塞的第二开口。

可选的，于所述接触孔内形成导电连接层、于所述沟槽内形成第二导电层、并于所述第二开口内形成熔丝的具体步骤包括：

填充导电材料于所述接触孔、所述沟槽和所述第二开口内，于所述接触孔内形成导电连接层、于所述沟槽内形成第二导电层、并于所述第二开口内形成熔丝。

可选的，还包括如下步骤：

形成覆盖所述第二导电层、所述熔丝和所述隔离层的第二覆盖层。

为了解决上述问题，本申请实施例还提供了一种集成电路装置，包括：

衬底，所述衬底包括第一区域和位于所述第一区域外部的第二区域，所述衬底内部具有位于所述第一区域的第一插塞和位于所述第二区域的第二插塞，所述衬底表面具有第一覆盖层和位于所述第一覆盖层表面的隔离层；

第一导电层，位于所述第一区域的所述第一覆盖层内，且与所述第一插塞电连接；

导电连接层，位于所述第一导电层表面；

第二导电层，位于所述导电连接层表面，所述导电连接层的一端电连接所述第一导电层、另一端电连接所述第二导电层；

熔丝，位于所述第二区域，所述熔丝呈实心柱状结构、并贯穿所

述隔离层和所述第一覆盖层，所述熔丝的底面与所述第二插塞电连接、所述熔丝的顶面与所述第二导电层的顶面平齐。

可选的，所述熔丝、所述第二导电层和所述导电连接层的材料相同。

可选的，所述隔离层包括：

第一子隔离层，覆盖于所述第一覆盖层表面；

第二子隔离层，覆盖于所述第一子隔离层表面，且所述第二子隔离层的厚度大于所述第一子隔离层。

可选的，还包括：

第二覆盖层，覆盖于所述第二导电层、所述熔丝和所述隔离层表面。

本申请实施例提供的集成电路装置及其形成方法，在形成第一导电层的过程中，不对用于形成熔丝的第二区域进行处理，在形成导电连接层和第二导电层的过程中同时形成熔丝，使得形成的熔丝呈简单的实心柱状结构，与第一导电层和第二导电层的结构无关，不仅简化了熔丝的结构，使得仅仅只需要较低的能量就可以实现熔丝的熔断，而且简化了整个集成电路装置的制造流程，降低了集成电路装置的制程成本，也提高了集成电路装置的良率。

附图说明

通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

附图 1 是本申请具体实施方式中集成电路装置的形成方法流程图；

附图 2A-2J 是本申请一具体实施方式在形成集成电路装置的过程中主要的工艺截面示意图；

附图 3A-3B 是本申请另一具体实施方式在形成集成电路装置的过程中主要的工艺截面示意图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。但是应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。

本具体实施方式提供了一种集成电路装置的形成方法，附图 1 是本申请具体实施方式中集成电路装置的形成方法流程图，附图 2A-2J 是本申请一具体实施方式在形成集成电路装置的过程中主要的工艺截面示意图。如图 1、图 2A 图 2I 所示，本具体实施方式提供的集成电路装置的形成方法，包括如下步骤：

步骤 S11，提供一衬底 20，所述衬底 20 包括第一区域 I 和位于所述第一区域 I 外部的第二区域 II，所述衬底 20 内部具有位于所述第一区域 I 的第一插塞 21 和位于所述第二区域 II 的第二插塞 22，如图 2A 所示。

具体来说，所述衬底 20 可以为单层结构，也可以为由多个半导体层构成的多层结构。本具体实施方式中所述的多层是指两层及两层以上。所述衬底 20 的具体材料，本领域技术人员可以根据实际需要进行选择，本具体实施方式以所述衬底 20 的材料为氧化物材料（例如二氧化硅）为例进行说明。

所述衬底 20 的所述第一区域 I 上方用于形成双层大马士革结构，并与外界焊盘电连接；

所述衬底 20 的所述第二区域 II 的上方用于形成熔丝，通过熔断所述熔丝达到调整所述集成电路装置的电学性能或者电性参数的目的。

于所述衬底 20 内形成所述第一插塞 21 和所述第二插塞 22 的具体方法，可以是先对所述衬底 20 进行刻蚀，于所述第一区域 I 形成第一通孔、并于所述第二区域 II 形成第二通孔；之后，采用导电材料，例如金属钨或者掺杂多晶硅填充所述第一通孔和所述第二通孔，同时形成所述第一插塞 21 和所述第二插塞 22；最后，可以采用化学机械研磨工艺（CMP）进行平坦化处理，使得所述第一插塞 21

的顶面、所述第二插塞 22 的顶面与所述衬底 20 的顶面平齐。

步骤 S12, 形成覆盖所述衬底 20 的第一覆盖层 23, 如图 2B 所示。

具体来说, 在对所述第一插塞 21 和所述第二插塞 22 进行平坦化处理之后, 可以采用化学气相沉积工艺、物理气相沉积工艺或者原子层沉积工艺沉积所述第一覆盖层 23, 使得所述第一覆盖层 23 覆盖所述第一插塞 21 的顶面、所述第二插塞 22 的顶面和所述衬底 20 的顶面。其中, 所述第一覆盖层 23 的材料为绝缘材料, 其具体类型本领域技术人员可以根据实际需要进行选择。所述第一覆盖层 23 的厚度可以根据后续所要形成的第一导电层的厚度进行设置。

步骤 S13, 刻蚀所述第一覆盖层 23, 于所述第一区域 I 形成暴露所述第一插塞 21 的第一开口 24, 如图 2C 所示。

具体来说, 所述第一覆盖层 23 的材料为绝缘材料。通过对所述衬底 20 的所述第一区域 I 上方的所述第一覆盖层 23 进行刻蚀, 以所述第一插塞 21 为刻蚀截止层, 形成贯穿所述第一覆盖层 23 且暴露所述衬底 20 中的所述第一插塞 21 的第一开口 24。

在本次刻蚀过程中, 不对所述衬底 20 的所述第二区域 II 上方的所述第一覆盖层 23 进行刻蚀, 一方面确保后续形成的熔丝中不具有第一导电层结构以及不残留第一导电层的材料; 另一方面由于仅对所述第一区域 I 上方的所述第一覆盖层 23 进行刻蚀, 可以降低对准难度, 从而简化刻蚀工艺。所述第一开口 24 的内径尺寸, 本领域技术人员可以根据所要形成的第一导电层的具体结构进行设置。

步骤 S14, 于所述第一开口 24 内形成第一导电层 25, 如图 2D 所示。

具体来说, 采用金属铜等导电材料填充所述第一开口 24, 形成所述第一导电层 25。之后, 采用化学机械研磨工艺对所述第一导电层 25 进行平坦化处理, 使得所述第一导电层 25 的顶面 (即所述第一导电层 25 背离所述衬底 20 的表面) 与所述第一覆盖层 23 的顶面 (即所述第一覆盖层 23 背离所述衬底 20 的表面) 平齐。

步骤 S15, 形成覆盖所述第一导电层 25 和所述第一覆盖层 23

的隔离层，如图 2E 所示。

所述隔离层可以为单层结构，也可以为多层结构，本领域技术人员可以根据实际需要进行选择。为了确保后续形成的所述接触孔的形貌，本具体实施方式中，形成覆盖所述第一导电层 25 和所述第一覆盖层 23 的隔离层的具体步骤包括：

形成覆盖所述第一导电层 25 和所述第一覆盖层 23 的第一子隔离层 26；

形成覆盖所述第一子隔离层 26 的第二子隔离层 27，所述第一子隔离层 26 和所述第二子隔离层 27 共同构成隔离层。

具体来说，首先，形成覆盖所述第一导电层 25 顶面和所述第一覆盖层 23 顶面的所述第一子隔离层 26；然后，形成覆盖所述第一子隔离层 26 的所述第二子隔离层 27。通过形成相互层叠的所述第一子隔离层 26 和所述第二子隔离层 27，通过选择合适的材料，使得所述第一子隔离层 26 与所述第二子隔离层 27 之间具有一定的刻蚀选择比（例如刻蚀选择比大于 3），可以通过选择性刻蚀控制后续所要形成的接触孔、沟槽和第二开口的形貌。在本具体实施方式中，所述第一子隔离层 26 可以为单层结构，其材料为氮化物材料，例如氮化硅；所述第一子隔离层 26 也可为由 SIN/SICN/SION 构成的多层结构。所述第二子隔离层 27 的材料可以为氧化物材料，例如二氧化硅。

步骤 S16，于所述第一区域 I 形成暴露所述第一导电层 25 的接触孔 31 和位于所述接触孔 31 上方且与所述接触孔 31 连通的沟槽 30、并于所述第二区域 II 形成暴露所述第二插塞 22 的第二开口 32，如图 2G 所示。

可选实施例中，于所述第一区域 I 形成暴露所述第一导电层 25 的接触孔 31 和位于所述接触孔 31 上方且与所述接触孔 31 连通的沟槽 30、并于所述第二区域 II 形成暴露所述第二插塞 22 的第二开口 32 的具体步骤包括：

刻蚀位于所述第一区域 I 和所述第二区域 II 的所述第二子隔离层 27，于所述第一区域 I 形成暴露所述第一子隔离层 26 的初始接

触孔 28、并于所述第二区域 II 形成贯穿所述第二子隔离层 27 的初始第二开口 29，如图 2F 所示；

刻蚀所述初始接触孔 28 侧壁的所述第二子隔离层 27 和所述初始接触孔 28 底部的所述第一子隔离层 26、并刻蚀所述初始第二开口 29 底部的所述第一子隔离层 26 和所述第一覆盖层 23，于所述第一区域 I 形成暴露所述第一导电层 25 的接触孔 31 和位于所述接触孔 31 上方且与所述接触孔 31 连通的沟槽 30、并于所述第二区域 II 形成暴露所述第二插塞 22 的第二开口 32，如图 2G 所示。

为了简化刻蚀步骤，可选实施例中，所述第二子隔离层 27 的材料与所述第一覆盖层 23 的材料相同。

具体来说，在形成所述第一子隔离层 26 和所述第二子隔离层 27 之后，先以所述第一子隔离层 26 为刻蚀截止层刻蚀所述第二子隔离层 27，于所述第一区域 I 上、与所述第一导电层 25 对应的位置形成贯穿所述第二子隔离层 27 的所述初始接触孔 28，并于所述第二区域 II 上、与所述第二插塞 22 对应的位置形成贯穿所述第二子隔离层 27 的所述初始第二开口 29。接着，沿所述初始接触孔 28 刻蚀所述初始接触孔 28 底部的所述第一子隔离层 26、暴露所述第一导电层 25，并同时沿所述初始第二开口 29 刻蚀所述第一子隔离层 26、暴露位于所述第二区域 II 上的所述第一覆盖层 23。刻蚀所述初始接触孔 28 上部的侧壁，扩大所述初始接触孔 28 上部的开口尺寸，并使得多个所述初始接触孔 28 的上部连通，形成内径尺寸大于一个所述初始接触孔 28 的所述沟槽 30。在其他具体实施方式中，也可以仅仅扩大所述初始接触孔 28 的上部的开口宽度，而无需使相邻的所述初始接触孔 28 连通。之后，沿所述初始第二开口 29 继续刻蚀所述第一覆盖层 23，暴露所述第二插塞 23。本具体实施方式将所述第二子隔离层 27 的材料设置为与所述第一覆盖层 23 的材料相同，从而在刻蚀形成所述沟槽 30 的过程中，同时对所述第一覆盖层 23 进行刻蚀以形成所述第二开口 32，能够节省刻蚀步骤，降低刻蚀成本，提高刻蚀效率。

本具体实施方式是以在双层大马士革结构中先形成所述接触孔

31、再形成所述沟槽为例进行说明。在其他具体实施方式中，可以先形成双层大马士革结构中的沟槽、再形成用于连接相邻两层导电层的接触孔。附图 3A-3B 是本申请另一具体实施方式在形成集成电路装置的过程中主要的工艺截面示意图。如图 3A-3B 所示，在其他具体实施方式中，于所述第一区域 I 形成暴露所述第一导电层 25 的接触孔 31 和位于所述接触孔 31 上方且与所述接触孔 31 连通的沟槽 30、并于所述第二区域 II 形成暴露所述第二插塞 22 的第二开口 32 的具体步骤：

包括：刻蚀位于所述第一区域 I 和所述第二区域 II 的所述第二子隔离层 27，于所述第一区域 I 形成未贯穿所述第二子隔离层 27 的初始沟槽 40、并于所述第二区域 II 形成未贯穿所述第二子隔离层 27 的窗口 41；

刻蚀所述初始沟槽 40 底部的所述第二子隔离层 27 和第一子隔离层 26、并刻蚀所述窗口 41 底部的所述第二子隔离层 27、所述第一子隔离层 26 和所述第一覆盖层 23，于所述第一区域 I 形成暴露所述第一导电层 25 的接触孔 31 和位于所述接触孔 31 上方且与所述接触孔 31 连通的沟槽 30、并于所述第二区域 II 形成暴露所述第二插塞 22 的第二开口 32，如图 3B 所示。

步骤 S17，于所述接触孔 31 内形成导电连接层 33、于所述沟槽 30 内形成第二导电层 34、并于所述第二开口 32 内形成熔丝 35。

可选实施例中，于所述接触孔 31 内形成导电连接层 33、于所述沟槽 30 内形成第二导电层 34、并于所述第二开口 32 内形成熔丝 35 的具体步骤包括：

填充导电材料于所述接触孔 31、所述沟槽 30 和所述第二开口 32 内，于所述接触孔 31 内形成导电连接层 33、于所述沟槽 30 内形成第二导电层 34、并于所述第二开口 32 内形成熔丝 35。

具体来说，所述导电连接层 33、所述第二导电层 34、所述熔丝 35 的材料可以均与所述第一导电层 25 的材料相同，例如均为金属铜材料。本领域技术人员也可以根据实际需要将所述导电连接层 33、

所述第二导电层 34、所述熔丝 35 和所述第一导电层 25 的材料设置为不同。所述熔丝 35 的截面形状可以为圆形,也可以为圆角矩形。

可选实施例中,所述集成电路装置的形成方法还包括如下步骤:

形成覆盖所述第二导电层 34、所述熔丝 35 和所述隔离层的第二覆盖层。

具体来说,所述第二覆盖层可以为单层结构,也可以为多层结构。在本具体实施方式中,以所述第二覆盖层为多层结构为例进行说明。如图 2I 所示,

所述第二覆盖层包括第一保护层 36 和第二保护层 37。所述第一保护层 36 可以为单层结构,其材料为氮化物材料,例如氮化硅;所述第一保护层 36 也可为由 SIN/SICN/SION 构成的多层结构。所述第二保护层 37 的材料为氧化物材料,例如二氧化硅。

在形成包括所述第一保护层 36 和所述第二保护层 37 的第二覆盖层之后,可以再在所述第二覆盖层之上依次形成第三覆盖层 381 和第四覆盖层 382,并通过刻蚀位于所述第二区域 II 的所述第四覆盖层 382、所述第三覆盖层 381 和所述第二保护层 37,形成贯穿所述第四覆盖层 382、所述第三覆盖层 381 和所述第二保护层 37、并暴露所述第一保护层 36 的第三开口 39,如图 2J 所示。

后续可以通过所述第三开口 39 对所述熔丝 35 进行熔断。其中,所述第三覆盖层 381 为单层结构(其材料为硬掩模材料,例如氮化硅或者氮氧化硅),也可以为多层结构。所述第四覆盖层 382 也可以为单层结构(其材料为有机掩膜材料,例如无定形碳),也可以为多层结构。

不仅如此,本具体实施方式还提供了一种集成电路装置。本具体实施方式提供的集成电路装置可以采用如图 1、图 2A-图 2J 或者图 3A-图 3B 所示的方法形成,所述集成电路装置的具体结构可参见图 2I 和图 2J。如图 2I、图 2J 所示,本具体实施方式提供的集成电路装置,包括:

衬底 20,所述衬底 20 包括第一区域 I 和位于所述第一区域 I 外部的第二区域 II,所述衬底 20 内部具有位于所述第一区域 I 的第

一插塞 21 和位于所述第二区域 II 的第二插塞 22，所述衬底 20 表面具有第一覆盖层 23 和位于所述第一覆盖层 23 表面的隔离层；

第一导电层 25，位于所述第一区域 I 的所述第一覆盖层 23 内，且与所述第一插塞 21 电连接；

导电连接层 33，位于所述第一导电层 25 表面；

第二导电层 34，位于所述导电连接层 33 表面，所述导电连接层 33 的一端电连接所述第一导电层 25、另一端电连接所述第二导电层 34；

熔丝 35，位于所述第二区域 II，所述熔丝 35 呈实心柱状结构、并贯穿所述隔离层和所述第一覆盖层 23，所述熔丝 35 的底面与所述第二插塞 22 电连接、所述熔丝 35 的顶面与所述第二导电层 34 的顶面平齐。

可选实施例中，所述熔丝 35、所述第二导电层 34 和所述导电连接层 33 的材料相同。

可选实施例中，所述隔离层包括：

第一子隔离层 26，覆盖于所述第一覆盖层 23 表面；

第二子隔离层 27，覆盖于所述第一子隔离层 26 表面，且所述第二子隔离层 27 的厚度大于所述第一子隔离层 26。

可选实施例中，所述第二子隔离层 27 的材料与所述第一覆盖层 23 的材料相同。

可选实施例中，所述集成电路装置还包括：

第二覆盖层，覆盖于所述第二导电层 34、所述熔丝 35 和所述隔离层表面。

本具体实施方式提供的集成电路装置及其形成方法，在形成第一导电层的过程中，不对用于形成熔丝的第二区域进行处理，在形成导电连接层和第二导电层的过程中同时形成熔丝，使得形成的熔丝呈简单的实心柱状结构，与第一导电层和第二导电层的结构无关，不仅简化了熔丝的结构，使得仅仅只需要较低的能量就可以实现熔丝的熔断，而且简化了整个集成电路装置的制造流程，降低了集成电路装置的制程成本，也提高了集成电路装置的良率。

应当理解的是，本发明的上述具体实施方式仅仅用于示例性说明或解释本发明的原理，而不构成对本发明的限制。因此，在不偏离本发明的精神和范围的情况下所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。此外，本发明所附权利要求旨在涵盖落入所附权利要求范围和边界、或者这种范围和边界的等同形式内的全部变化和修改例。

权 利 要 求

1. 一种集成电路装置的形成方法，其特征在于，包括如下步骤：
提供一衬底，所述衬底包括第一区域和位于所述第一区域外部的第二区域，所述衬底内部具有位于所述第一区域的第一插塞和位于所述第二区域的第二插塞；

形成覆盖所述衬底的第一覆盖层；

刻蚀所述第一覆盖层，于所述第一区域形成暴露所述第一插塞的第一开口；

于所述第一开口内形成第一导电层；

形成覆盖所述第一导电层和所述第一覆盖层的隔离层；

于所述第一区域形成暴露所述第一导电层的接触孔和位于所述接触孔上方且与所述接触孔连通的沟槽、并于所述第二区域形成暴露所述第二插塞的第二开口；

于所述接触孔内形成导电连接层、于所述沟槽内形成第二导电层、并于所述第二开口内形成熔丝。

2. 根据权利要求 1 所述的集成电路装置的形成方法，其特征在于，形成覆盖所述第一导电层和所述第一覆盖层的隔离层的具体步骤包括：

形成覆盖所述第一导电层和所述第一覆盖层的第一子隔离层；

形成覆盖所述第一子隔离层的第二子隔离层，所述第一子隔离层和所述第二子隔离层共同构成隔离层。

3. 根据权利要求 2 所述的集成电路装置的形成方法，其特征在于，于所述第一区域形成暴露所述第一导电层的接触孔和位于所述接触孔上方且与所述接触孔连通的沟槽、并于所述第二区域形成暴露所述第二插塞的第二开口的具体步骤包括：

刻蚀位于所述第一区域和所述第二区域的所述第二子隔离层，于所述第一区域形成暴露所述第一子隔离层的初始接触孔、并于所述第二区域形成贯穿所述第二子隔离层的初始第二开口；

刻蚀所述初始接触孔侧壁的所述第二子隔离层和所述初始接触孔底部的所述第一子隔离层、并刻蚀所述初始第二开口底部的所述第一子隔离层和所述第一覆盖层，

于所述第一区域形成暴露所述第一导电层的接触孔和位于所述接触孔上方且与所述接触孔连通的沟槽、并于所述第二区域形成暴露所述第二插塞的第二开口。

4. 根据权利要求 2 所述的集成电路装置的形成方法，其特征在于，于所述第一区域形成暴露所述第一导电层的接触孔和位于所述接触孔上方且与所述接触孔连通的沟槽、并于所述第二区域形成暴露所述第二插塞的第二开口的具体步骤包括：

刻蚀位于所述第一区域和所述第二区域的所述第二子隔离层，于所述第一区域形成未贯穿所述第二子隔离层的初始沟槽、并于所述第二区域形成未贯穿所述第二子隔离层的窗口；

刻蚀所述初始沟槽底部的所述第二子隔离层和第一子隔离层、并刻蚀所述窗口底部的所述第二子隔离层、所述第一子隔离层和所述第一覆盖层，

于所述第一区域形成暴露所述第一导电层的接触孔和位于所述接触孔上方且与所述接触孔连通的沟槽、并于所述第二区域形成暴露所述第二插塞的第二开口。

5. 根据权利要求 2 所述的集成电路装置的形成方法，其特征在于，所述第二子隔离层的材料与所述第一覆盖层的材料相同。

6. 根据权利要求 1 所述的集成电路装置的形成方法，其特征在于，于所述接触孔内形成导电连接层、于所述沟槽内形成第二导电层、并于所述第二开口内形成熔丝的具体步骤包括：

填充导电材料于所述接触孔、所述沟槽和所述第二开口内，于所述接触孔内形成导电连接层、于所述沟槽内形成第二导电层、并于所述第二开口内形成熔丝。

7. 根据权利要求 1 所述的集成电路装置的形成方法，其特征在于，还包括如下步骤：

形成覆盖所述第二导电层、所述熔丝和所述隔离层的第二覆盖

层。

8. 根据权利要求 7 所述的集成电路装置的形成方法，其特征在于，第二覆盖层包括：

第一保护层，覆盖于所述第二导电层、所述熔丝和所述隔离层表面；

第二保护层，覆盖于所述第一保护层表面。

9. 根据权利要求 8 所述的集成电路装置的形成方法，其特征在于，在所述第二覆盖层之上依次形成第三覆盖层和第四覆盖层；

刻蚀位于所述第二区域 II 的所述第四覆盖层、所述第三覆盖层和所述第二保护层，形成贯穿所述第四覆盖层、所述第三覆盖层和所述第二保护层、并暴露所述第一保护层的第三开口。

10. 一种集成电路装置，其特征在于，包括：

衬底，所述衬底包括第一区域和位于所述第一区域外部的第二区域，所述衬底内部具有位于所述第一区域的第一插塞和位于所述第二区域的第二插塞，所述衬底表面具有第一覆盖层和位于所述第一覆盖层表面的隔离层；

第一导电层，位于所述第一区域的所述第一覆盖层内，且与所述第一插塞电连接；

导电连接层，位于所述第一导电层表面；

第二导电层，位于所述导电连接层表面，所述导电连接层的一端电连接所述第一导电层、另一端电连接所述第二导电层；

熔丝，位于所述第二区域，所述熔丝呈实心柱状结构、并贯穿所述隔离层和所述第一覆盖层，所述熔丝的底面与所述第二插塞电连接、所述熔丝的顶面与所述第二导电层的顶面平齐。

11. 根据权利要求 10 所述的集成电路装置，其特征在于，所述熔丝、所述第二导电层和所述导电连接层的材料相同。

12. 根据权利要求 10 所述的集成电路装置，其特征在于，所述隔离层包括：

第一子隔离层，覆盖于所述第一覆盖层表面；

第二子隔离层，覆盖于所述第一子隔离层表面，且所述第二子隔

离层的厚度大于所述第一子隔离层。

13. 根据权利要求 12 所述的集成电路装置，其特征在于，所述第二子隔离层的材料与所述第一覆盖层的材料相同。

14. 根据权利要求 10 所述的集成电路装置，其特征在于，还包括：

第二覆盖层，覆盖于所述第二导电层、所述熔丝和所述隔离层表面。

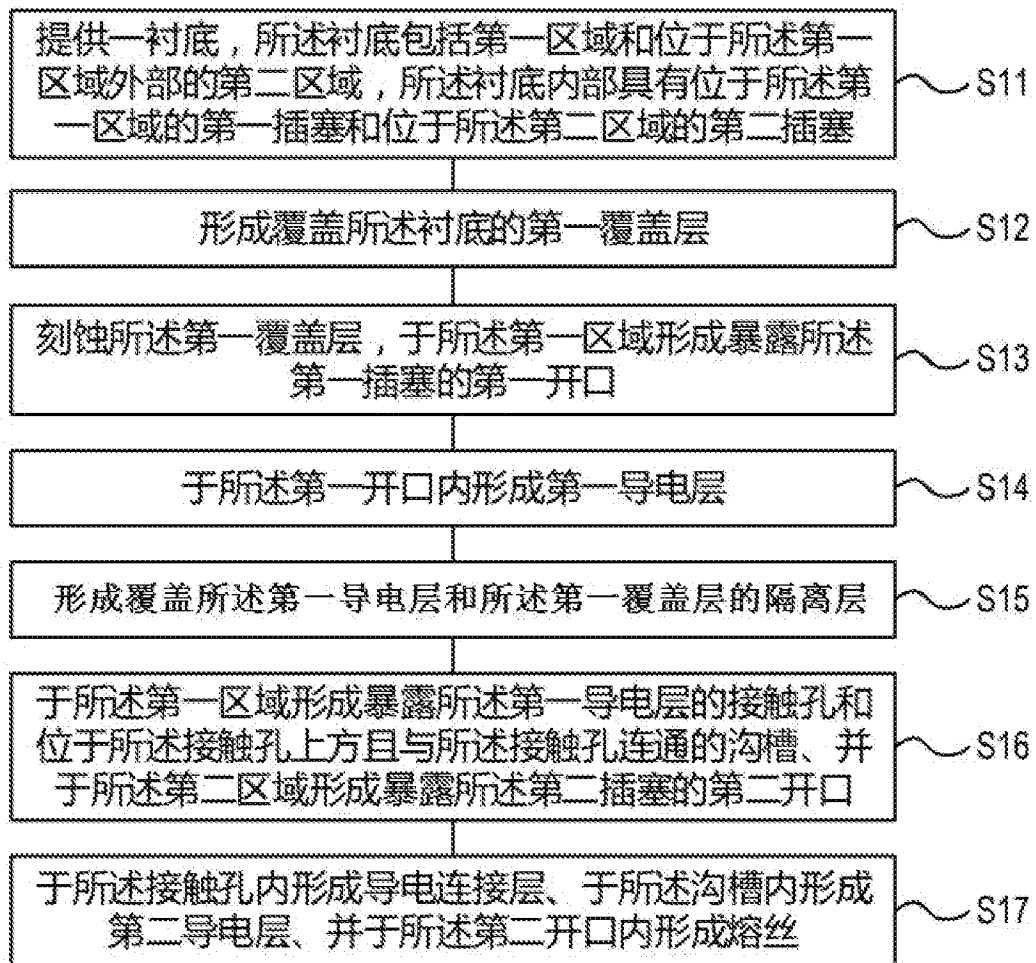


图 1

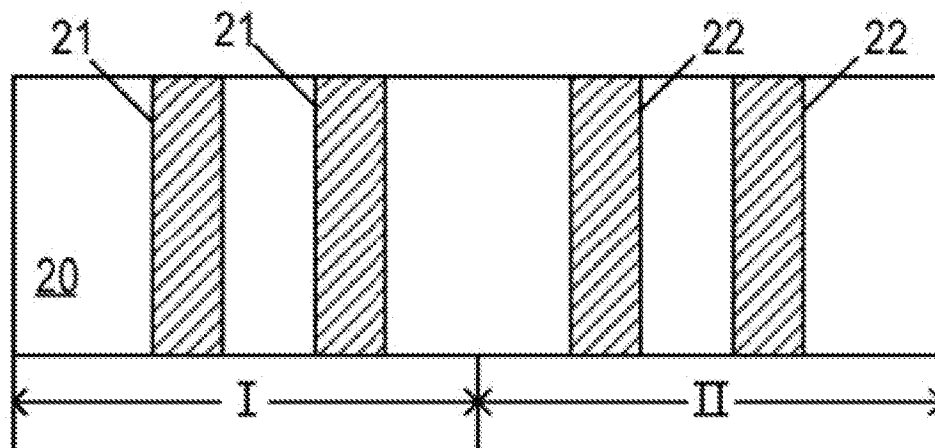


图 2A

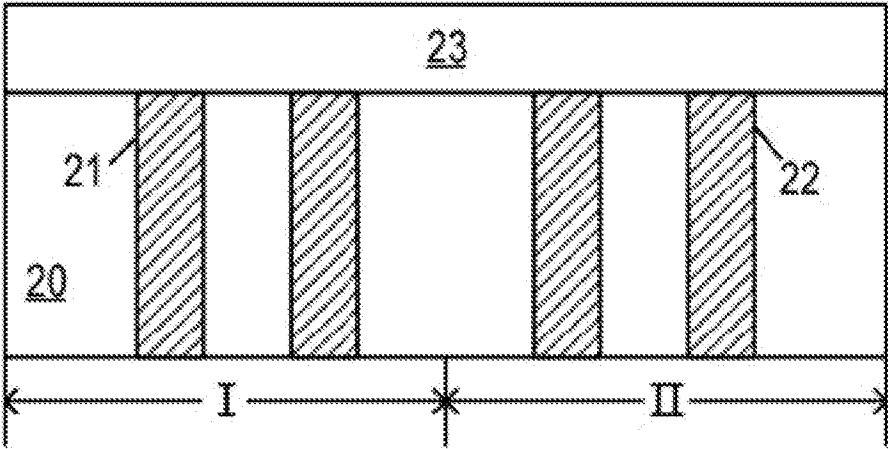


图 2B

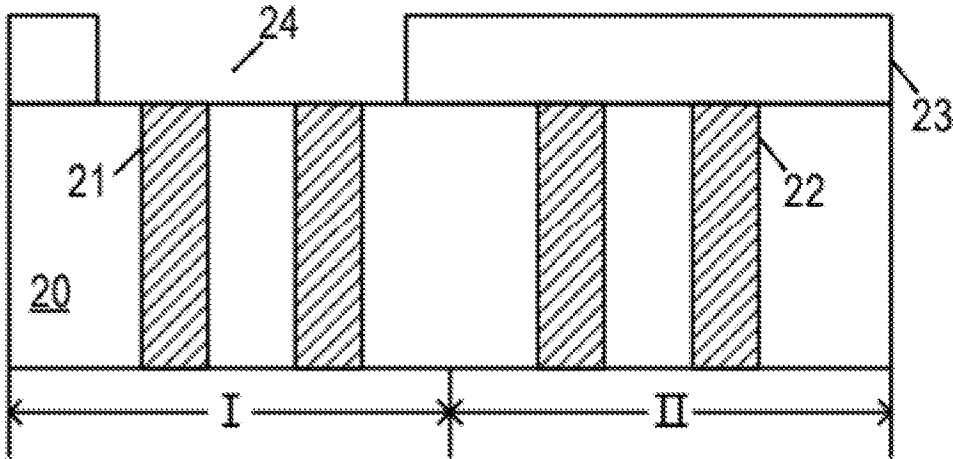


图 2C

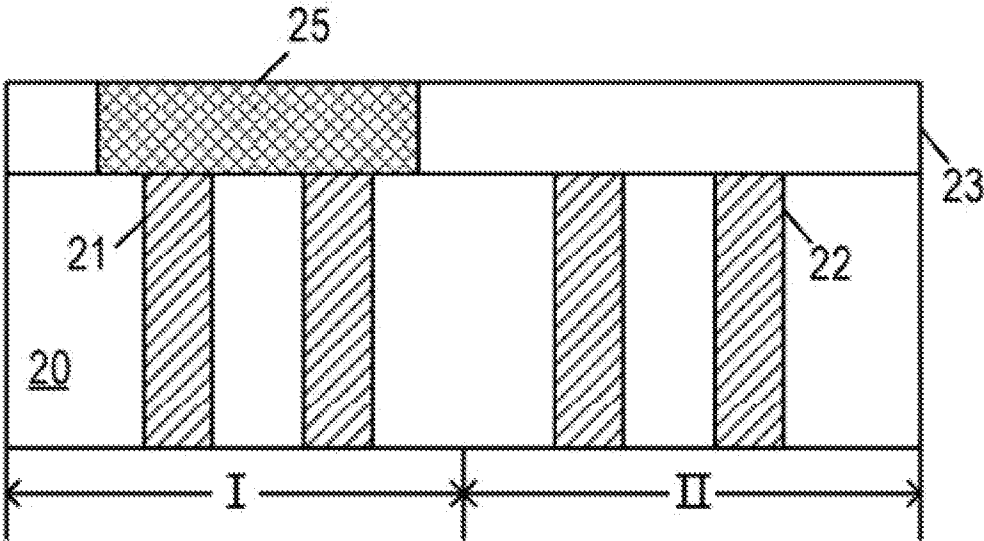


图 2D

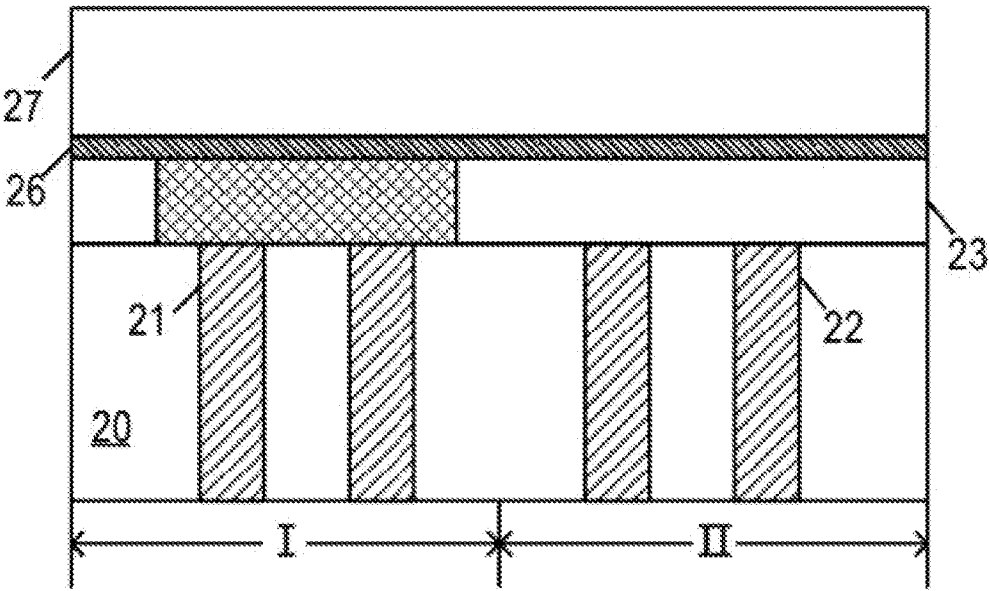


图 2E

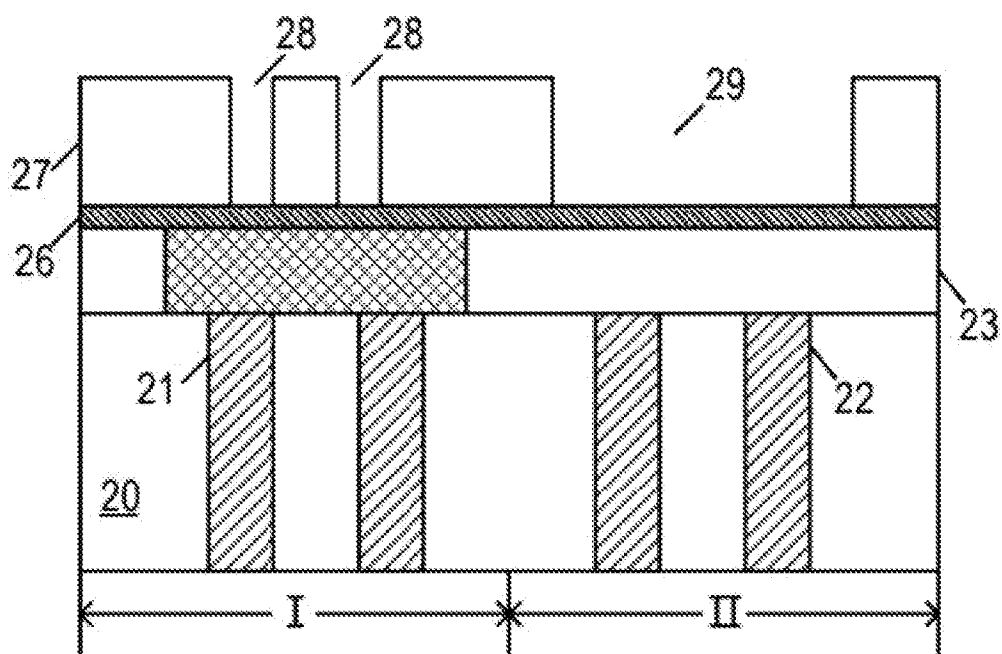


图 2F

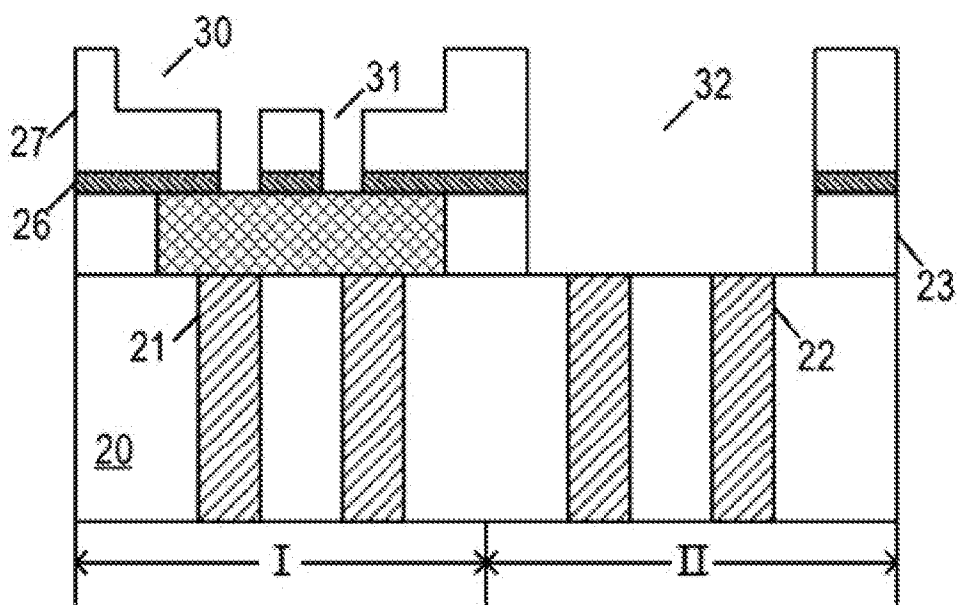


图 2G

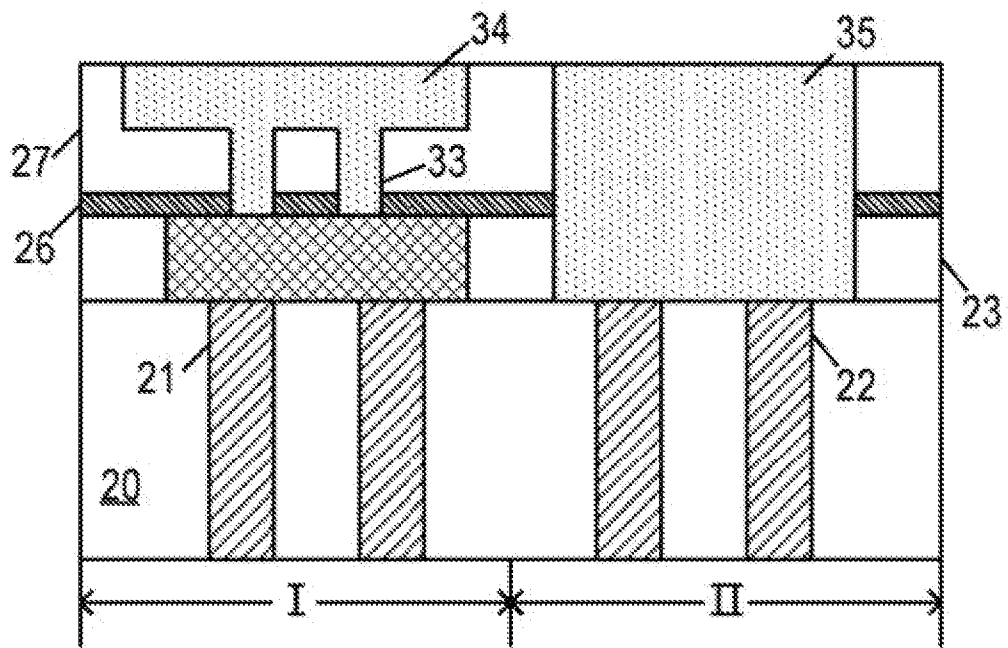


图 2H

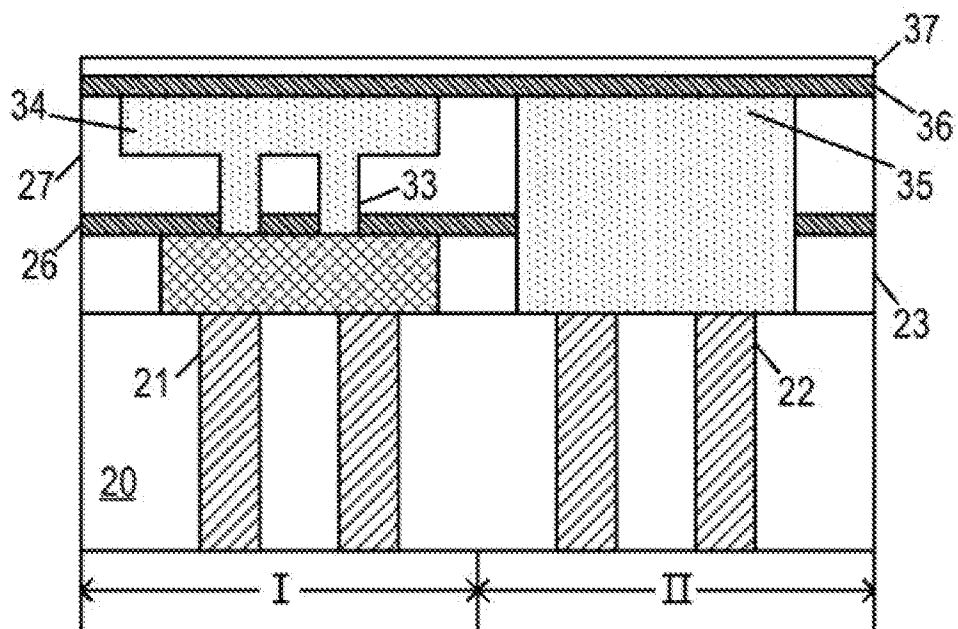


图 2I

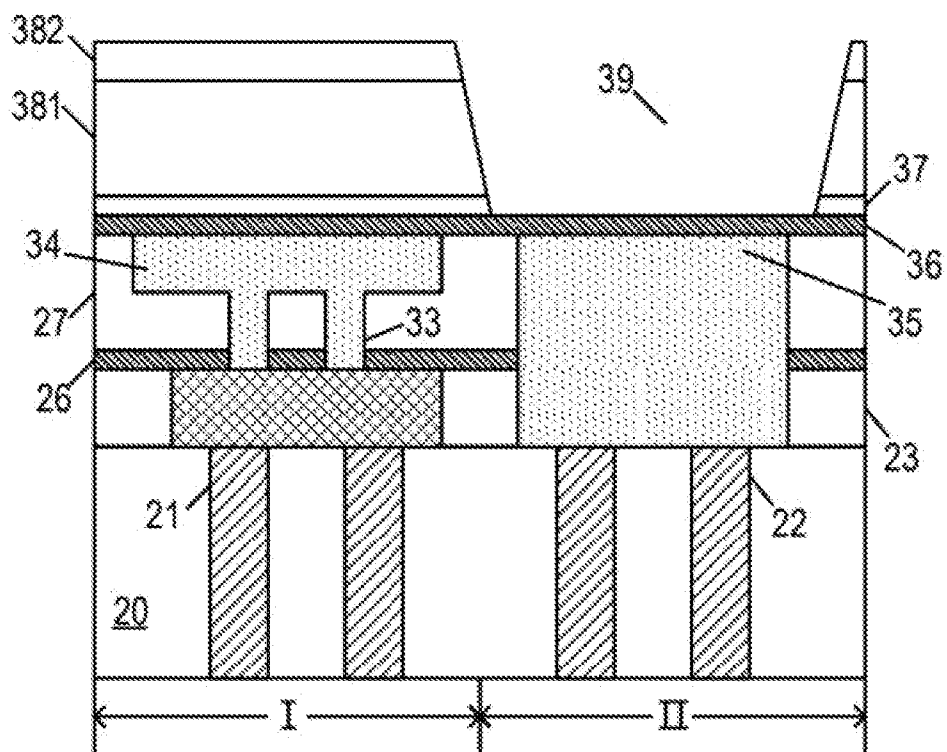


图 2J

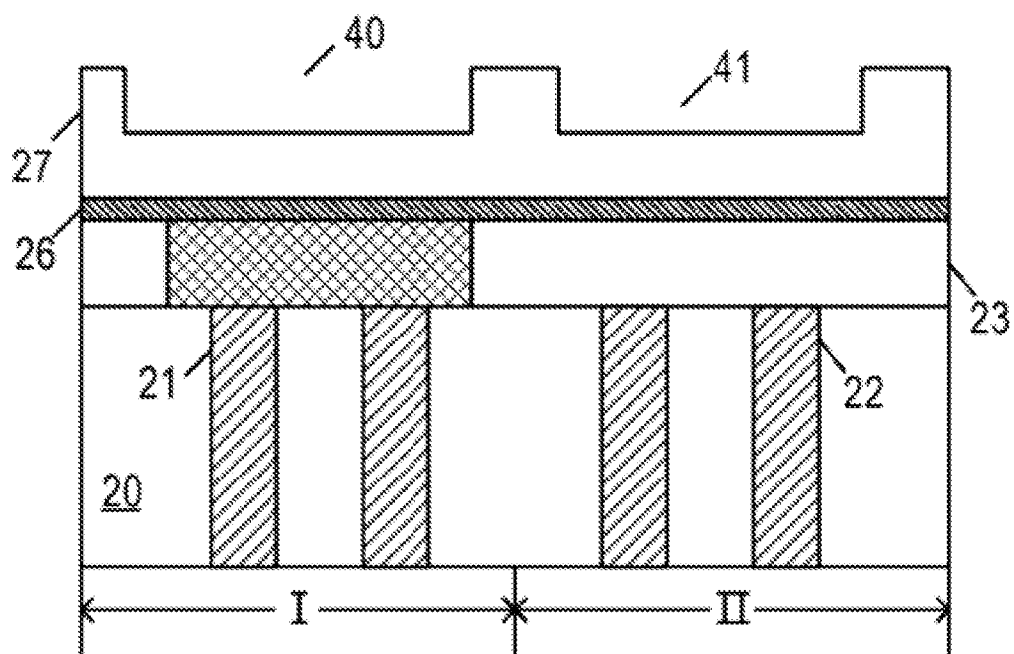


图 3A

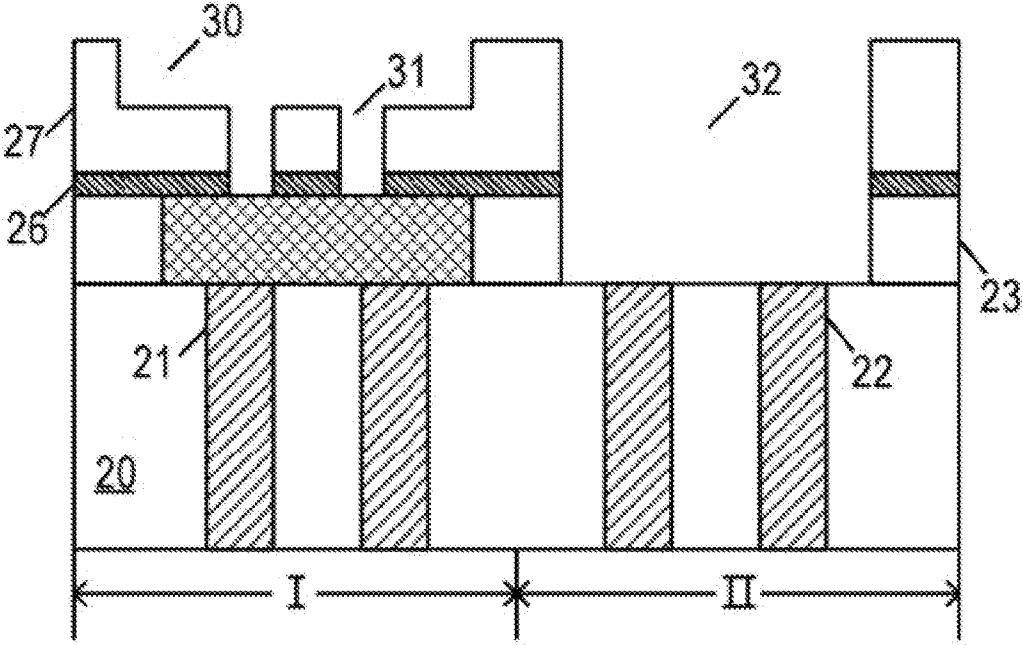


图 3B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/095834

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 23/525(2006.01)i; H01L 23/528(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS; CNTXT; USTXT; EPTXT; WOTXT; CNKI: 熔丝, 电路, 板, 衬底, 孔, 开口, 槽, 覆盖, 插塞, 填, 贯穿, 保护, 区, fuse+, circuit+, board+, substrat+, hole+, opening+, groove+, concave+, cover+, plug+, fill+, through+, protect+, region+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2013193552 A1 (SAMSUNG ELECTRONICS CO., LTD.) 01 August 2013 (2013-08-01) description, paragraphs [0027]-[0055], and figures 1-16	1-14
Y	CN 109427736 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 05 March 2019 (2019-03-05) description, paragraphs [0037]-[0124], and figures 1-10	1-14
A	US 2006141759 A1 (DONGBUANAM SEMICONDUCTOR INC) 29 June 2006 (2006-06-29) entire document	1-14
A	US 6440833 B1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 27 August 2002 (2002-08-27) entire document	1-14
A	CN 1239820 A (MOTOROLA INC.) 29 December 1999 (1999-12-29) entire document	1-14
A	CN 1469466 A (UNITED MICROELECTRONICS CORPORATION) 21 January 2004 (2004-01-21) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

23 July 2021

Date of mailing of the international search report

11 August 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/095834

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
US	2013193552	A1	01 August 2013	US	8569862 B2	29 October 2013
CN	109427736	A	05 March 2019	None		
US	2006141759	A1	29 June 2006	US	7682957 B2	23 March 2010
				KR	100595856 B1	30 June 2006
US	6440833	B1	27 August 2002	None		
CN	1239820	A	29 December 1999	KR	19990088152 A	27 December 1999
				KR	100624041 B1	18 September 2006
				US	6677226 B1	13 January 2004
				TW	428264 B	01 April 2001
				JP	H11354644 A	24 December 1999
				CN	1160775 C	04 August 2004
CN	1469466	A	21 January 2004	US	6667534 B1	23 December 2003
				CN	1244149 C	01 March 2006

国际检索报告

国际申请号

PCT/CN2021/095834

A. 主题的分类

H01L 21/768(2006.01)i; H01L 23/525(2006.01)i; H01L 23/528(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN;CNABS;CNTXT;USTXT;EPTXT;WOTXT;CNKI:熔丝, 电路, 板, 衬底, 孔, 开口, 槽, 覆盖, 插塞, 填, 贯穿, 保护, 区, fuse+, circuit+, board+, substrat+, hole+, opening+, groove+, concave+, cover+, plug+, fill+, through+, protect+, region+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US 2013193552 A1 (SAMSUNG ELECTRONICS CO LTD) 2013年 8月 1日 (2013 - 08 - 01) 说明书第[0027]-[0055]段, 图1-16	1-14
Y	CN 109427736 A (中芯国际集成电路制造上海有限公司) 2019年 3月 5日 (2019 - 03 - 05) 说明书第[0037]-[0124]段, 图1-10	1-14
A	US 2006141759 A1 (DONGBUANAM SEMICONDUCTOR INC) 2006年 6月 29日 (2006 - 06 - 29) 全文	1-14
A	US 6440833 B1 (TAIWAN SEMICONDUCTOR MFG) 2002年 8月 27日 (2002 - 08 - 27) 全文	1-14
A	CN 1239820 A (摩托罗拉公司) 1999年 12月 29日 (1999 - 12 - 29) 全文	1-14
A	CN 1469466 A (联华电子股份有限公司) 2004年 1月 21日 (2004 - 01 - 21) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 7月 23日

国际检索报告邮寄日期

2021年 8月 11日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

谢添

电话号码 (86-512)88995958

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/095834

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2013193552	A1	2013年 8月 1日	US	8569862	B2	2013年 10月 29日
CN	109427736	A	2019年 3月 5日	无			
US	2006141759	A1	2006年 6月 29日	US	7682957	B2	2010年 3月 23日
				KR	100595856	B1	2006年 6月 30日
US	6440833	B1	2002年 8月 27日	无			
CN	1239820	A	1999年 12月 29日	KR	19990088152	A	1999年 12月 27日
				KR	100624041	B1	2006年 9月 18日
				US	6677226	B1	2004年 1月 13日
				TW	428264	B	2001年 4月 1日
				JP	H11354644	A	1999年 12月 24日
				CN	1160775	C	2004年 8月 4日
CN	1469466	A	2004年 1月 21日	US	6667534	B1	2003年 12月 23日
				CN	1244149	C	2006年 3月 1日