(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0131245
(43) 공개일자 2022년09월27일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *H01L 27/32* (2006.01)
(52) CPC특허분류
H01L 51/5253 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2022-7025610
(22) 출원일자(국제) 2020년12월24일
심사청구일자 없음
(85) 번역문제출일자 2022년07월22일
(86) 국제출원번호 PCT/IB2020/062423
(87) 국제공개번호 WO 2021/130713
국제공개일자 2021년07월01일
(30) 우선권주장
62/953,442 2019년12월24일 미국(US)

(71) 출원인
오티아이 루미오닉스 인크.
캐나다 온타리오 엘4브이 1티4 미시소가 아메리칸 드라이브 3415
(72) 발명자
헬랜더 마이클
캐나다 온타리오 엠5비 2엠4 토론토 스위트 904 자비스 스트리트 298
왕 지빈
캐나다 온타리오 엠4와이 2더블유4 토론토 유닛 #1102 조셉 스트리트 44에스티.
(74) 대리인
특허법인와이에스장

전체 청구항 수 : 총 157 항

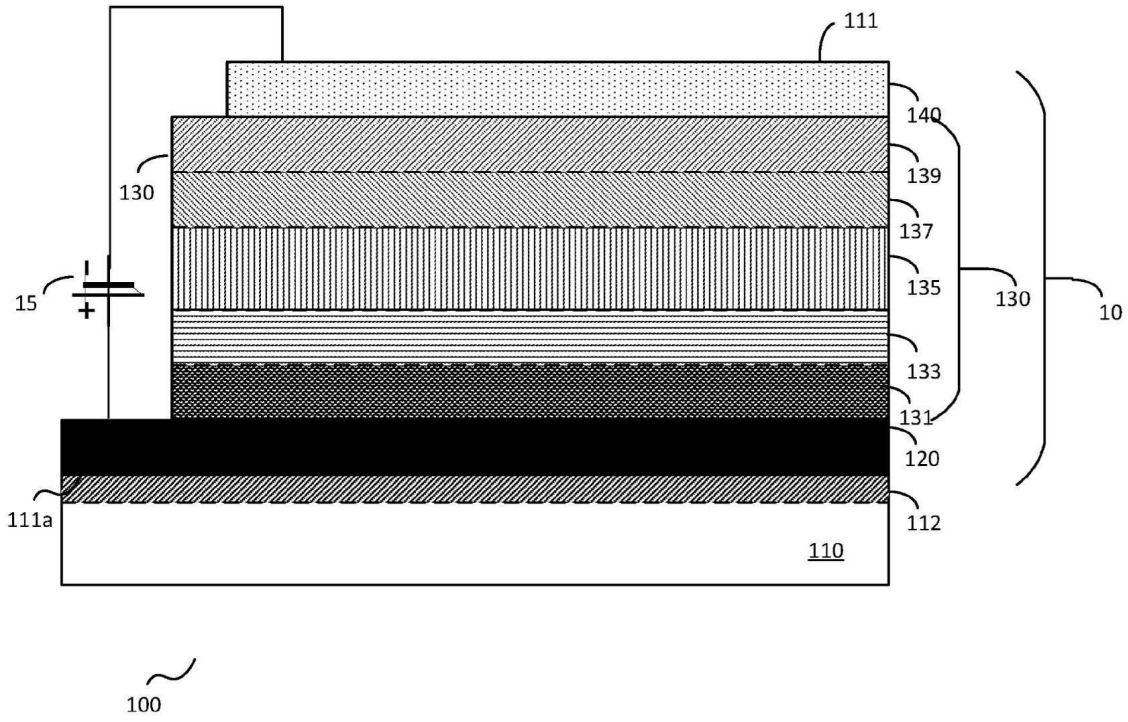
(54) 발명의 명칭 **캡핑 층을 포함하는 발광 장치 및 그 제조방법**

(57) 요 약

복수의 층으로서: 제1 캡핑 층(CPL) 물질을 포함하고 제1 발광 영역에 배치된 제1 캡핑 층(CPL: capping layer)을 포함하는 제1 캡핑 층(CPL)으로서, 상기 제1 발광 영역은 제1 개시 파장을 특징으로 하는 제1 파장 스펙트럼을 갖는 광자를 방출하도록 구성되는 제1 캡핑 층(CPL); 및 제2 CPL 물질을 포함하고 제2 발광 영역에 배치된

(뒷면에 계속)

대 표 도



제2 CPL로서, 상기 제2 발광 영역은 제2 개시 파장을 특징으로 하는 제2 파장 스펙트럼을 갖는 광자를 방출하도록 구성되는 제2 CPL을 포함하는 복수의 층을 갖고, 여기서 상기 제1 CPL 및 상기 제1 CPL 물질(CPL(m)1) 중 적어도 하나는 제1 개시 파장(onset wavelength)보다 짧은 제1 흡수 에지 파장(absorption edge wavelength)에서 제1 흡수 에지(absorption edge)를 나타내고; 상기 제2 CPL 및 상기 제2 CPL 물질(CPL(m)2) 중 적어도 하나는 제2 개시 파장보다 짧은 제2 흡수 에지 파장에서 제2 흡수 에지를 나타내는 광전자 디바이스(opto-electronic device).

(52) CPC특허분류

H01L 51/5203 (2013.01)

명 세 서

청구범위

청구항 1

복수의 층을 갖는 광전자 디바이스(opto-electronic device)로서:

제1 CPL 물질을 포함하고 제1 발광 영역 내에 배치되는 제1 캡핑 층(CPL: capping layer)으로서, 상기 제1 발광 영역은 제1 개시 파장(onset wavelength)을 특징으로 하는 제1 파장 스펙트럼을 갖는 광자를 방출하도록 구성되는, 제1 캡핑 층; 및

제2 CPL 물질을 포함하고 제2 발광 영역 내에 배치되는 제2 CPL로서, 상기 제2 발광 영역은 제2 개시 파장을 특징으로 하는 제2 파장 스펙트럼을 갖는 광자를 방출하도록 구성되는, 제2 CPL을 포함하고;

여기서:

상기 제1 CPL 및 상기 제1 CPL 물질(CPL(m)1) 중 적어도 하나는 제1 개시 파장보다 짧은 제1 흡수 에지 파장에서 제1 흡수 에지(absorption edge)를 나타내고;

상기 제2 CPL 및 상기 제2 CPL 물질(CPL(m)2) 중 적어도 하나는 제2 개시 파장보다 짧은 제2 흡수 에지 파장에서 제2 흡수 에지를 나타내는, 광전자 디바이스.

청구항 2

제1항에 있어서, 상기 제1 개시 파장은 상기 제2 개시 파장보다 짧은, 광전자 디바이스.

청구항 3

제1항 또는 제2항에 있어서, 상기 제1 흡수 에지 파장은 상기 제2 흡수 에지 파장보다 짧은, 광전자 디바이스.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제1 흡수 에지는 CPL(m)1의 소광 계수(extinction coefficient)가 임계값과 동일한 제1 소광 파장을 특징으로 하고, 상기 제2 흡수 에지는 CPL(m)2의 소광 계수가 임계값과 동일한 제2 소광 파장을 특징으로 하는, 광전자 디바이스.

청구항 5

제4항에 있어서, 상기 제1 개시 파장은 상기 제1 흡수 에지 파장보다 약 50 nm, 약 40 nm, 약 35 nm, 약 30 nm, 약 25 nm, 약 20 nm, 약 15 nm, 약 10 nm, 약 5 nm, 및 약 3 nm 중 적어도 하나의 미만 만큼 더 긴, 광전자 디바이스.

청구항 6

제4항 또는 제5항에 있어서, 상기 제1 소광 파장은 CPL(m)1의 소광 계수가 임계값과 동일한 적어도 하나의 파장 중 가장 긴 것인, 광전자 디바이스.

청구항 7

제4항 내지 제6항 중 어느 한 항에 있어서, 파장의 함수로서의 CPL(m)1의 소광 계수의 1차 도함수는 제1 소광 파장에서 음(-)의 값인, 광전자 디바이스.

청구항 8

제4항 내지 제7항 중 어느 한 항에 있어서, 상기 제1 소광 파장보다 긴 파장에서의 CPL(m)1의 소광 계수는 임계값 미만인, 광전자 디바이스.

청구항 9

제4항 내지 제8항 중 어느 한 항에 있어서, 상기 제1 소광 파장보다 긴 모든 파장에서의 CPL(m)1의 소광 계수는 임계값 미만인, 광전자 디바이스.

청구항 10

제4항 내지 제9항 중 어느 한 항에 있어서, 상기 제1 개시 파장보다 긴 임의의 파장에서의 CPL(m)1의 소광 계수는 약 0.1, 약 0.09, 약 0.08, 약 0.06, 약 0.05, 약 0.03, 약 0.01, 약 0.005, 및 약 0.0001 중 적어도 하나의 미만인, 광전자 디바이스.

청구항 11

제4항 내지 제10항 중 어느 한 항에 있어서, 상기 제1 흡수 에지 파장보다 짧은 파장에서의 CPL(m)1의 소광 계수는 약 0.1, 약 0.12, 약 0.13, 약 0.15, 약 0.18, 약 0.2, 약 0.25, 약 0.3, 약 0.5, 약 0.7, 약 0.75, 약 0.8, 약 0.9, 및 약 1.0 중 적어도 하나를 초과하는, 광전자 디바이스.

청구항 12

제4항 내지 제11항 중 어느 한 항에 있어서, 상기 제1 흡수 에지 파장보다 긴 적어도 하나의 파장에 대한 CPL(m)1의 굴절률은 상기 제1 흡수 에지 파장보다 짧은 적어도 하나의 파장에 대한 CPL(m)1의 굴절률을 초과하는, 광전자 디바이스.

청구항 13

제4항 내지 제12항 중 어느 한 항에 있어서, 상기 제1 파장 스펙트럼의 적어도 하나의 파장에서 CPL(m)1의 굴절률은 약 1.8, 약 1.9, 약 1.95, 약 2, 약 2.05, 약 2.1, 약 2.2, 약 2.3, 및 약 2.5 중 적어도 하나를 초과하는, 광전자 디바이스.

청구항 14

제4항 내지 제13항 중 어느 한 항에 있어서, 상기 제2 개시 파장은 제2 흡수 에지 파장보다 약 200 nm, 약 150 nm, 약 130 nm, 약 100 nm, 약 80 nm, 약 70 nm, 약 60 nm, 약 50 nm, 약 40 nm, 약 35 nm, 약 25 nm, 약 20 nm, 약 15 nm, 및 약 10 nm 중 적어도 하나의 미만 만큼 더 긴, 광전자 디바이스.

청구항 15

제4항 내지 제14항 중 어느 한 항에 있어서, 상기 제1 소광 파장은 CPL(m)2의 소광 계수가 임계값과 동일한 적어도 하나의 파장 중 가장 긴 것인, 광전자 디바이스.

청구항 16

제4항 내지 제15항 중 어느 한 항에 있어서, 파장의 함수로서의 CPL(m)2의 소광 계수의 1차 도함수는 제2 소광 파장에서 음(-)의 값인, 광전자 디바이스.

청구항 17

제4항 내지 제16항 중 어느 한 항에 있어서, 상기 제2 소광 파장보다 긴 파장에서의 CPL(m)2의 소광 계수는 임계값 미만인, 광전자 디바이스.

청구항 18

제4항 내지 제17항 중 어느 한 항에 있어서, 상기 제2 소광 파장보다 긴 모든 파장에서의 CPL(m)2의 소광 계수는 임계값 미만인, 광전자 디바이스.

청구항 19

제4항 내지 제18항 중 어느 한 항에 있어서, 상기 제2 개시 파장보다 긴 임의의 파장에서의 CPL(m)2의 소광 계수는 약 0.1, 약 0.09, 약 0.08, 약 0.06, 약 0.05, 약 0.03, 약 0.01, 약 0.005, 및 약 0.0001 중 적어도 하나의 미만인, 광전자 디바이스.

청구항 20

제4항 내지 제19항 중 어느 한 항에 있어서, 상기 제2 흡수 에지 파장보다 짧은 파장에서의 CPL(m)2의 소광 계수는 약 0.1, 약 0.12, 약 0.13, 약 0.15, 약 0.18, 약 0.2, 약 0.25, 약 0.3, 약 0.5, 약 0.7, 약 0.75, 약 0.8, 약 0.9, 및 약 1.0 중 적어도 하나를 초과하는, 광전자 디바이스.

청구항 21

제4항 내지 제20항 중 어느 한 항에 있어서, 상기 제2 흡수 에지 파장보다 긴 적어도 하나의 파장에 대한 CPL(m)2의 굴절률은 상기 제2 흡수 에지 파장보다 짧은 적어도 하나의 파장에 대한 CPL(m)1의 굴절률을 초과하는, 광전자 디바이스.

청구항 22

제4항 내지 제21항 중 어느 한 항에 있어서, 상기 제2 파장 스펙트럼의 적어도 하나의 파장에서 CPL(m)2의 굴절률은 약 1.8, 약 1.9, 약 1.95, 약 2, 약 2.05, 약 2.1, 약 2.2, 약 2.3, 및 약 2.5 중 적어도 하나를 초과하는, 광전자 디바이스.

청구항 23

제4항 내지 제22항 중 어느 한 항에 있어서, 상기 CPL(m)1의 소광 계수는 제2 개시 파장의 임계값 미만인, 광전자 디바이스.

청구항 24

제4항 내지 제23항 중 어느 한 항에 있어서, 상기 CPL(m)1의 소광 계수는 제2 파장 스펙트럼의 모든 파장에서 임계값 미만인, 광전자 디바이스.

청구항 25

제4항 내지 제24항 중 어느 한 항에 있어서, 상기 제2 파장 스펙트럼의 임의의 파장에서의 CPL(m)1의 소광 계수는 약 0.1, 약 0.09, 약 0.08, 약 0.06, 약 0.05, 약 0.03, 약 0.01, 약 0.005, 및 약 0.001 중 적어도 하나의 미만인, 광전자 디바이스.

청구항 26

제4항 내지 제25항 중 어느 한 항에 있어서, 상기 제1 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)1의 굴절률은 상기 제2 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)1의 굴절률을 초과하는, 광전자 디바이스.

청구항 27

제4항 내지 제26항 중 어느 한 항에 있어서, 상기 제2 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)2의 굴절률은 상기 제1 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)2의 굴절률을 초과하는, 광전자 디바이스.

청구항 28

제4항 내지 제27항 중 어느 한 항에 있어서, 상기 제2 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)1의 굴절률은 약 1.8, 약 1.7, 약 1.65, 약 1.6, 약 1.5, 약 1.45, 약 1.4, 및 약 1.3 중 적어도 하나 미만인, 광전자 디바이스.

청구항 29

제4항 내지 제28항 중 어느 한 항에 있어서, 상기 제1 파장 스펙트럼의 적어도 하나의 파장에서 CPL(m)2의 굴절률은 약 1.8, 약 1.7, 약 1.65, 약 1.6, 약 1.5, 약 1.45, 약 1.4, 및 약 1.3 중 적어도 하나 미만인, 광전자 디바이스.

청구항 30

제4항 내지 제29항 중 어느 한 항에 있어서, CPL(m)2의 소광 계수는 제1 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)1의 소광 계수를 초과하는, 광전자 디바이스.

청구항 31

제4항 내지 제30항 중 어느 한 항에 있어서, CPL(m)2의 소광 계수는 제1 파장 스펙트럼의 모든 파장에 대한 CPL(m)1의 소광 계수를 초과하는, 광전자 디바이스.

청구항 32

제4항 내지 제31항 중 어느 한 항에 있어서, 상기 임계값은 0.1, 0.09, 0.08, 0.06, 0.05, 0.03, 0.01, 0.005, 및 0.001 중 적어도 하나인, 광전자 디바이스.

청구항 33

제1항 내지 제32항 중 어느 한 항에 있어서, 상기 제1 발광 영역 및 상기 제2 발광 영역은 측면 양태에서 디바이스의 상이한 영역을 차지하는, 광전자 디바이스.

청구항 34

제1항 내지 제33항 중 어느 한 항에 있어서, 상기 제1 파장 스펙트럼 및 상기 제2 파장 범위는 가시광선 스펙트럼 범위에 놓여 있는, 광전자 디바이스.

청구항 35

제1항 내지 제34항 중 어느 한 항에 있어서, 상기 제1 파장 스펙트럼은 제1 피크 파장을 갖고, 상기 제2 파장 스펙트럼은 상기 제1 피크 파장보다 더 긴 제2 피크 파장을 갖는, 광전자 디바이스.

청구항 36

제35항에 있어서, 상기 제1 개시 파장은 상기 제1 파장 스펙트럼의 강도가 상기 제1 피크 파장에서의 강도의 약 20%, 약 15%, 약 10%, 약 5%, 약 3%, 약 1%, 및 약 0.1% 중 적어도 하나인 적어도 하나의 파장 중 가장 짧은 파장인, 광전자 디바이스.

청구항 37

제35항 또는 제36항에 있어서, 상기 제2 개시 파장은 상기 제2 파장 스펙트럼의 강도가 상기 제2 피크 파장에서의 강도의 약 20%, 약 15%, 약 10%, 약 5%, 약 3%, 약 1%, 및 약 0.1% 중 적어도 하나인 적어도 하나의 파장 중 가장 짧은 파장인, 광전자 디바이스.

청구항 38

제1항 내지 제37항 중 어느 한 항에 있어서, 상기 제1 파장 스펙트럼은 B(청색) 및 G(녹색) 중 적어도 하나인 색상에 대응하는, 광전자 디바이스.

청구항 39

제1항 내지 제38항 중 어느 한 항에 있어서, 상기 제2 파장 스펙트럼은 R(적색) 및 G(녹색) 중 적어도 하나인 색상에 대응하는, 광전자 디바이스.

청구항 40

제1항 내지 제39항 중 어느 한 항에 있어서, 상기 제1 파장 스펙트럼은 B(청색)인 색상에 대응하고, 상기 제2 파장 스펙트럼은 G(녹색) 및 R(적색) 중 적어도 하나인 색상에 대응하는, 광전자 디바이스.

청구항 41

제1항 내지 제40항 중 어느 한 항에 있어서, 상기 제1 파장 스펙트럼은 G(녹색)인 색상에 대응하고, 상기 제2 파장 스펙트럼은 R(적색)인 색상에 대응하는, 광전자 디바이스.

청구항 42

제1항 내지 제41항 중 어느 한 항에 있어서, 상기 제1 CPL 물질은 상기 제2 CPL 물질과 상이한 조성을 갖는, 광전자 디바이스.

청구항 43

제1항 내지 제42항 중 어느 한 항에 있어서, 상기 제1 CPL의 두께는 상기 제2 CPL의 두께와 동일한, 광전자 디바이스.

청구항 44

제1항 내지 제42항 중 어느 한 항에 있어서, 상기 제1 CPL의 두께는 상기 제2 CPL의 두께와 상이한, 광전자 디바이스.

청구항 45

제1항 내지 제44항 중 어느 한 항에 있어서, 상기 제1 CPL의 두께는 약 5 nm 내지 약 120 nm의 범위에 있는, 광전자 디바이스.

청구항 46

제1항 내지 제45항 중 어느 한 항에 있어서, 상기 제1 CPL의 두께는 약 10 nm, 약 15 nm, 약 20 nm, 약 25 nm, 약 30 nm, 및 약 40 nm 중 적어도 하나를 초과하는, 광전자 디바이스.

청구항 47

제1항 내지 제46항 중 어느 한 항에 있어서, 상기 제1 CPL의 두께는 약 100 nm, 약 90 nm, 약 80 nm, 및 약 70 nm 중 적어도 하나 미만인, 광전자 디바이스.

청구항 48

제1항 내지 제47항 중 어느 한 항에 있어서, 상기 제2 CPL의 두께는 약 5 nm 내지 약 120 nm의 범위에 있는, 광전자 디바이스.

청구항 49

제1항 내지 제48항 중 어느 한 항에 있어서, 상기 제2 CPL의 두께는 약 10 nm, 약 15 nm, 약 20 nm, 약 25 nm, 약 30 nm, 및 약 40 nm 중 적어도 하나를 초과하는, 광전자 디바이스.

청구항 50

제1항 내지 제49항 중 어느 한 항에 있어서, 상기 제2 CPL의 두께는 약 100 nm, 약 90 nm, 약 80 nm, 및 약 70 nm 중 적어도 하나 미만인, 광전자 디바이스.

청구항 51

제1항 내지 제50항 중 어느 한 항에 있어서, 상기 제1 발광 영역 및 상기 제2 발광 영역에 적어도 하나의 전극 코팅을 추가로 포함하는, 광전자 디바이스.

청구항 52

제1항 내지 제51항 중 어느 한 항에 있어서, 상기 제1 CPL은 적어도 하나의 전극 코팅의 노출된 층 표면 상에 배치되는, 광전자 디바이스.

청구항 53

제52항에 있어서, 상기 제2 CPL은 적어도 하나의 전극 코팅의 노출된 층 표면 상에 배치되는, 광전자 디바이스.

청구항 54

제52항 또는 제53항에 있어서, 상기 적어도 하나의 전극 코팅은 상기 제1 발광 영역에서 제1 전극 두께를 갖는, 광전자 디바이스.

청구항 55

제54항에 있어서, 상기 적어도 하나의 전극 코팅은 상기 제2 발광 영역에서 제2 전극 두께를 갖는, 광전자 디바이스.

청구항 56

제55항에 있어서, 상기 제1 전극 두께는 상기 제2 전극 두께 미만인, 광전자 디바이스.

청구항 57

제56항에 있어서, 상기 제1 전극 두께를 상기 제2 전극 두께로 나눈 몫은 약 0.9, 약 0.8, 약 0.7, 약 0.6, 약 0.5, 약 0.4, 약 0.3, 및 약 0.2 중 적어도 하나 미만인, 광전자 디바이스.

청구항 58

제56항 또는 제57항에 있어서, 상기 제1 전극 두께는 약 5 nm 내지 약 100 nm, 약 5 nm 내지 약 50 nm, 약 5 nm 내지 약 25 nm, 약 5 nm 내지 약 20 nm, 약 5 nm 내지 약 15 nm, 약 8 nm 내지 약 15 nm, 약 8 nm 내지 약 12 nm, 및 약 8 nm 내지 약 10 nm 중 적어도 하나의 범위 내에 있는, 광전자 디바이스.

청구항 59

제56항 내지 제58항 중 어느 한 항에 있어서, 상기 제2 전극 두께는 약 10 nm 내지 약 60 nm, 약 10 nm 내지 약 50 nm, 약 15 nm 내지 약 40 nm, 약 15 nm 내지 약 35 nm, 및 약 20 nm 내지 약 35 nm 중 적어도 하나의 범위 내에 있는, 광전자 디바이스.

청구항 60

제55항에 있어서, 상기 제2 전극 두께는 상기 제1 전극 두께 미만인, 광전자 디바이스.

청구항 61

제60항에 있어서, 상기 제2 전극 두께를 상기 제1 전극 두께로 나눈 몫은 약 0.9, 약 0.8, 약 0.7, 약 0.6, 약 0.5, 약 0.4, 약 0.3, 및 약 0.2 중 적어도 하나 미만인, 광전자 디바이스.

청구항 62

제60항 또는 제61항에 있어서, 상기 제1 전극 두께는 약 10 nm 내지 약 60 nm, 약 10 nm 내지 약 50 nm, 약 15 nm 내지 약 40 nm, 약 15 nm 내지 약 35 nm, 및 약 20 nm 내지 약 35 nm 중 적어도 하나의 범위 내에 있는, 광전자 디바이스.

청구항 63

제60항 내지 제62항 중 어느 한 항에 있어서, 상기 제2 전극 두께는 약 5 nm 내지 약 100 nm, 약 5 nm 내지 약 50 nm, 약 5 nm 내지 약 25 nm, 약 5 nm 내지 약 20 nm, 약 5 nm 내지 약 15 nm, 약 8 nm 내지 약 15 nm, 약 8 nm 내지 약 12 nm, 및 약 8 nm 내지 약 10 nm 중 적어도 하나의 범위 내에 있는, 광전자 디바이스.

청구항 64

제52항 내지 제63항 중 어느 한 항에 있어서, 상기 적어도 하나의 전극 코팅은 금속 코팅 및 상기 금속 코팅의 노출된 층 표면 상에 배치되는 전도성 코팅을 포함하는, 광전자 디바이스.

청구항 65

제64항에 있어서, 상기 전도성 코팅은 상기 제2 발광 영역에서 상기 금속 코팅과 상기 제2 CPL 사이에서 연장되는, 광전자 디바이스.

청구항 66

제65항에 있어서, 상기 제1 CPL은 상기 제1 발광 영역에서 상기 금속 코팅의 노출된 층 표면 상에 배치되는, 광전자 디바이스.

청구항 67

제64항에 있어서, 상기 전도성 코팅은 상기 제1 발광 영역에서 상기 금속 코팅과 상기 제1 CPL 사이에서 연장되는, 광전자 디바이스.

청구항 68

제64항 내지 제67항 중 어느 한 항에 있어서, 상기 금속 코팅은 금속 코팅 물질로 구성되는, 광전자 디바이스.

청구항 69

제68항에 있어서, 상기 금속 코팅 물질은 이원자 분자 중 298K에서 적어도 10 kJ/mol, 적어도 50 kJ/mol, 적어도 100 kJ/mol, 적어도 150 kJ/mol, 적어도 180 kJ/mol, 및 적어도 200 kJ/mol 중 적어도 하나의 결합 해리 에너지를 갖는 금속을 포함하는, 광전자 디바이스.

청구항 70

제68항 또는 제69항에 있어서, 상기 금속 코팅 물질은 약 1.4, 약 1.3, 및/또는 약 1.2 중 적어도 하나 미만의 전기음성도를 갖는 원소를 포함하는, 광전자 디바이스.

청구항 71

제68항 내지 제70항 중 어느 한 항에 있어서, 상기 금속 코팅 물질은 칼륨(K), 나트륨(Na), 리튬(Li), 바륨(Ba), 세슘(Cs), 이테르븀(Yb), 은(Ag), 금(Au), 구리(Cu), 알루미늄(Al), 마그네슘(Mg), 아연(Zn), 카드뮴(Cd), 주석(Sn), 니켈(Ni), 티타늄(Ti), 팔라듐(Pd), 크롬(Cr), 철(Fe), 코발트(Co), 지르코늄(Zr), 백금(Pt), 바나듐(V), 니오븀(Nb), 이리듐(Ir), 오스뮴(Os), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐(W) 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는 원소를 포함하는, 광전자 디바이스.

청구항 72

제71항에 있어서, 상기 원소는 Cu, Ag, Au, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 73

제71항에 있어서, 상기 원소는 Cu인, 디바이스.

청구항 74

제71항에 있어서, 상기 원소는 Al인, 디바이스.

청구항 75

제71항에 있어서, 상기 원소는 Mg, Zn, Cd, Yb, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 76

제71항에 있어서, 상기 원소는 Sn, Ni, Ti, Pd, Cr, Fe, Co, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 77

제71항에 있어서, 상기 원소는 Zr, Pt, V, Nb, Ir, Os, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 78

제71항에 있어서, 상기 원소는 Ta, Mo, W, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 79

제71항에 있어서, 상기 원소는 Mg, Ag, Al, Yb, Li, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 80

제71항에 있어서, 상기 원소는 Mg, Ag, Yb, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 81

제71항에 있어서, 상기 원소는 Mg, Ag, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 82

제71항에 있어서, 상기 원소는 Ag인, 디바이스.

청구항 83

제68항 내지 제82항 중 어느 한 항에 있어서, 상기 금속 코팅 물질은 순수한 금속을 포함하는, 디바이스.

청구항 84

제83항에 있어서, 상기 순수한 금속은 순수한 은(Ag) 및 실질적으로 순수한 Ag 중 적어도 하나인, 디바이스.

청구항 85

제83항에 있어서, 상기 순수한 금속은 순수한 마그네슘(Mg) 및 실질적으로 순수한 Mg 중 적어도 하나인, 디바이스.

청구항 86

제83항에 있어서, 상기 순수한 금속은 순수한 알루미늄(Al) 및 실질적으로 순수한 Al 중 적어도 하나인, 디바이스.

청구항 87

제69항 내지 제86항 중 어느 한 항에 있어서, 상기 금속 코팅 물질은 합금을 포함하는, 디바이스.

청구항 88

제87항에 있어서, 상기 합금은 은(Ag) 함유 합금, 및 은-마그네슘(AgMg) 함유 합금 중 적어도 하나인, 디바이스.

청구항 89

제68항 내지 제88항 중 어느 한 항에 있어서, 상기 금속 코팅 물질은 산소(O)를 포함하는, 디바이스.

청구항 90

제89항에 있어서, 상기 금속 코팅 물질은 O 및 적어도 하나의 금속을 포함하는, 디바이스.

청구항 91

제89항 또는 제90항에 있어서, 상기 금속 코팅 물질은 금속 산화물을 포함하는, 디바이스.

청구항 92

제91항에 있어서, 상기 금속 산화물은 아연(Zn), 인듐(I), 주석(Sn), 안티몬(Sb), 갈륨(Ga), 및 이들 중 임의의 것들의 임의의 조합을 포함하는, 디바이스.

청구항 93

제92항에 있어서, 상기 금속 산화물은 투명 전도성 산화물(TCO)인, 디바이스.

청구항 94

제93항에 있어서, 상기 TCO는 인듐 티타늄 산화물(ITO), 산화아연(ZnO), 인듐 아연 산화물(IZO), 인듐 갈륨 아연 산화물(IGZO), 및 이들 중 임의의 것들의 임의의 조합 중 적어도 하나인, 디바이스.

청구항 95

제68항 내지 제94항 중 어느 한 항에 있어서, 상기 금속 코팅은 상기 금속 코팅 물질의 복수의 층을 포함하는, 디바이스.

청구항 96

제95항에 있어서, 상기 복수의 층 중 제1 층의 금속 코팅 물질은 상기 복수의 층 중 제2 층의 금속 코팅 물질과 상이한, 디바이스.

청구항 97

제95항 또는 제96항에 있어서, 상기 복수의 층 중 적어도 하나의 금속 코팅 물질은 이테르븀(Yb)을 포함하는, 디바이스.

청구항 98

제97항에 있어서, 상기 복수의 층 중 다른 하나의 금속 코팅 물질은 은(Ag) 함유 합금, 및 은-마그네슘(AgMg) 함유 합금 중 적어도 하나를 포함하는, 디바이스.

청구항 99

제98항에 있어서, 상기 복수의 층 중 또 다른 하나의 금속 코팅 물질은 순수한 은(Ag), 실질적으로 순수한 Ag, 순수한 마그네슘(Mg), 실질적으로 순수한 Mg, 및 이들 중 임의의 것들의 임의의 조합 중 적어도 하나를 포함하는, 디바이스.

청구항 100

제98항에 있어서, NIC에 근접한 상기 복수의 층 중 하나의 금속 코팅 물질은 은(Ag), 금(Au), 구리(Cu), 알루미늄(Al), 주석(Sn), 니켈(Ni), 티타늄(Ti), 팔라듐(Pd), 크롬(Cr), 철(Fe), 코발트(Co), 지르코늄(Zr), 백금(Pt), 바나듐(V), 니오븀(Nb), 이리듐(Ir), 오스뮴(Os), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐(W) 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는 원소를 포함하는, 디바이스.

청구항 101

제100항에 있어서, 상기 원소는 Cu, Ag, Au, 및 이들 중 임의의 것들의 임의의 조합을 포함하는, 디바이스.

청구항 102

제100항에 있어서, 상기 원소는 Cu인, 디바이스.

청구항 103

제100항에 있어서, 상기 원소는 Al인, 디바이스.

청구항 104

제100항에 있어서, 상기 원소는 Sn, Ti, Pd, Cr, Fe, Co, 및 이들 중 임의의 것들의 임의의 조합을 포함하는, 디바이스.

청구항 105

제100항에 있어서, 상기 원소는 Ni, Zr, Pt, V, Nb, Ir, Os, 및 이들 중 임의의 것들의 임의의 조합을 포함하는, 디바이스.

청구항 106

제100항에 있어서, 상기 원소는 Ta, Mo, W, 및 이들 중 임의의 것들의 임의의 조합을 포함하는, 디바이스.

청구항 107

제100항에 있어서, 상기 원소는 Mg, Ag, Al, 및 이들 중 임의의 것들의 임의의 조합을 포함하는, 디바이스.

청구항 108

제100항에 있어서, 상기 원소는 Mg, Ag, 및 이들 중 임의의 것들의 임의의 조합을 포함하는, 디바이스.

청구항 109

제100항에 있어서, 상기 원소는 Ag인, 디바이스.

청구항 110

제95항 내지 제109항 중 어느 한 항에 있어서, 상기 복수의 층 중 적어도 하나는 약 4 eV 미만인 일함수를 갖는 금속을 포함하는, 디바이스.

청구항 111

제64항 내지 제110항 중 어느 한 항에 있어서, 상기 전도성 코팅은 전도성 코팅 물질로 구성되는, 광전자 디바이스.

청구항 112

제111항에 있어서, 상기 전도성 코팅 물질은 이원자 분자 중 298K에서 300 kJ/mol 미만, 200 kJ/mol 미만, 165 kJ/mol 미만, 150 kJ/mol 미만, 100 kJ/mol 미만, 50 kJ/mol 미만, 및 20 kJ/mol 미만의 결합 해리 에너지를 갖는 금속을 포함하는, 디바이스.

청구항 113

제111항 또는 제112항에 있어서, 상기 전도성 코팅 물질은 칼륨(K), 나트륨(Na), 리튬(Li), 바륨(Ba), 세슘(Cs), 이테르븀(Yb), 은(Ag), 금(Au), 구리(Cu), 알루미늄(Al), 마그네슘(Mg), 아연(Zn), 카드뮴(Cd), 주석(Sn), 이트륨(Y) 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는 원소를 포함하는, 디바이스.

청구항 114

제113항에 있어서, 상기 원소는 K, Na, Li, Ba, Cs, Yb, Ag, Au, Cu, Al, Mg, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 115

제113항에 있어서, 상기 원소는 Cu, Ag, Au, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 116

제113항에 있어서, 상기 원소는 Cu인, 디바이스.

청구항 117

제113항에 있어서, 상기 원소는 Al인, 디바이스.

청구항 118

제113항에 있어서, 상기 원소는 Mg, Zn, Cd, Yb, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 119

제113항에 있어서, 상기 원소는 Mg, Ag, Al, Yb, Li, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 120

제113항에 있어서, 상기 원소는 Mg, Ag, Yb, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 121

제113항에 있어서, 상기 원소는 Mg, Ag, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는, 디바이스.

청구항 122

제113항에 있어서, 상기 원소는 Ag인, 디바이스.

청구항 123

제111항 내지 제122항 중 어느 한 항에 있어서, 상기 전도성 코팅 물질은 순수한 금속을 포함하는, 디바이스.

청구항 124

제123항에 있어서, 상기 순수한 금속은 순수한 은(Ag) 및 실질적으로 순수한 Ag 중 적어도 하나인, 디바이스.

청구항 125

제124항에 있어서, 상기 실질적으로 순수한 Ag는 적어도 약 95%, 적어도 약 98%, 적어도 약 99%, 적어도 약 99.9%, 적어도 약 99.99%, 적어도 약 99.999%, 및 적어도 약 99.9995% 중 적어도 하나의 순도를 갖는, 디바이스.

청구항 126

제123항에 있어서, 상기 순수한 금속은 순수한 마그네슘(Mg), 및 실질적으로 순수한 Mg 중 적어도 하나인, 디바이스.

청구항 127

제126항에 있어서, 상기 실질적으로 순수한 Mg는 적어도 약 95%, 적어도 약 98%, 적어도 약 99%, 적어도 약 99.9%, 적어도 약 99.99%, 적어도 약 99.999%, 및 적어도 약 99.9995% 중 적어도 하나의 순도를 갖는, 디바이스.

청구항 128

제111항 내지 제127항 중 어느 한 항에 있어서, 상기 전도성 코팅 물질은 합금을 포함하는, 디바이스.

청구항 129

제128항에 있어서, 상기 합금은 은(Ag) 함유 합금, 마그네슘(Mg) 함유 합금, 및 AgMg 함유 합금 중 적어도 하나인, 디바이스.

청구항 130

제111항 내지 제129항 중 어느 한 항에 있어서, 상기 전도성 코팅 물질은 비-금속 원소를 포함하는, 디바이스.

청구항 131

제130항에 있어서, 상기 비-금속 원소는 산소(O), 황(S), 질소(N), 탄소(C), 및 이들 중 임의의 것들의 임의의 조합 중 적어도 하나로부터 선택되는, 디바이스.

청구항 132

제130항 또는 제131항에 있어서, 상기 전도성 코팅 물질의 비-금속 원소의 농도는 약 1%, 약 0.1%, 약 0.01%, 약 0.001%, 약 0.0001%, 약 0.00001%, 약 0.000001%, 및 약 0.0000001% 중 적어도 하나 미만인, 디바이스.

청구항 133

제52항 내지 제132항 중 어느 한 항에 있어서, 반도체 층을 추가로 포함하고, 여기서 적어도 하나의 전극 코팅은 제1 발광 영역에서 반도체 층과 제1 CPL 사이 및 제2 발광 영역에서 반도체 층과 제2 CPL 사이에서 연장하는, 광전자 디바이스.

청구항 134

제133항에 있어서, 상기 제1 CPL 및 상기 제2 CPL 중 적어도 하나는 전도성 코팅을 패터닝하기 위한 핵 생성 억제 코팅(NIC: nucleation inhibiting coating)을 포함하는, 광전자 디바이스.

청구항 135

제52항 내지 제134항 중 어느 한 항에 있어서, 상기 제2 CPL은 상기 제1 발광 영역에 배치되는, 광전자 디바이스.

청구항 136

제135항에 있어서, 상기 제1 CPL은 제1 발광 영역에서 적어도 하나의 전극 코팅과 제2 CPL 사이에서 연장되는, 광전자 디바이스.

청구항 137

제135항 또는 제136항에 있어서, 상기 제2 CPL은 제1 발광 영역에서 적어도 하나의 전극 코팅과 제1 CPL 사이에서 연장되는, 광전자 디바이스.

청구항 138

제52항 내지 제137항 중 어느 한 항에 있어서, 상기 제1 CPL은 상기 제2 발광 영역에 배치되는, 광전자 디바이스.

청구항 139

제138항에 있어서, 상기 제1 CPL은 제2 발광 영역에서 적어도 하나의 전극 코팅과 제2 CPL 사이에서 연장되는, 광전자 디바이스.

청구항 140

제138항 또는 제139항에 있어서, 상기 제2 CPL은 제2 발광 영역에서 적어도 하나의 전극 코팅과 제1 CPL 사이에서 연장되는, 광전자 디바이스.

청구항 141

제1항 내지 제140항 중 어느 한 항에 있어서, 제3 개시 파장을 특징으로 하는 제3 파장 스펙트럼을 갖는 광자를 방출하도록 구성된 제3 발광 영역을 추가로 포함하는, 광전자 디바이스.

청구항 142

제141항에 있어서, 상기 제3 파장 스펙트럼은 상기 제2 파장 스펙트럼의 제2 피크 파장보다 짧고 상기 제1 파장 스펙트럼의 제1 피크 파장보다 긴 제3 피크 파장을 갖는, 광전자 디바이스.

청구항 143

제143항 또는 제144항에 있어서,상기 제1 파장 스펙트럼은 B(청색)인 색상에 대응하고, 상기 제2 파장 스펙트럼은 G(녹색)인 색상에 대응하고, 상기 제3 파장 스펙트럼은 R(적색)인 색상에 대응하는, 광전자 디바이스.

청구항 144

제135항 내지 제143항 중 어느 한 항에 있어서, 상기 제1 CPL 및 상기 제2 CPL 중 적어도 하나는 상기 제3 발광 영역에 배치되는, 광전자 디바이스.

청구항 145

제135항 내지 제144항 중 어느 한 항에 있어서, 제3 CPL은 상기 제3 발광 영역에 배치되는, 광전자 디바이스.

청구항 146

제145항에 있어서, 상기 제3 CPL 및 상기 제3 CPL 물질(CPL(m)3) 중 적어도 하나는 상기 제3 개시 파장보다 짧은 제3 흡수 에지 파장에서 제3 흡수 에지를 나타내는, 광전자 디바이스.

청구항 147

제146항에 있어서, 상기 제3 흡수 에지는 CPL(m)3의 소광 계수가 임계값과 동일한 제3 소광 파장을 특징으로 하는, 광전자 디바이스.

청구항 148

제146항 또는 제147항에 있어서, 상기 제3 개시 파장은 상기 제3 흡수 에지 파장보다 약 200 nm, 약 150 nm, 약 130 nm, 약 100 nm, 약 80 nm, 약 70 nm, 약 60 nm, 약 50 nm, 약 40 nm, 약 35 nm, 약 25 nm, 약 20 nm, 약 15 nm, 및 약 10 nm 중 적어도 하나의 미만 만큼 더 긴, 광전자 디바이스.

청구항 149

제147항 또는 제148항에 있어서, 상기 제3 소광 파장은 CPL(m)3의 소광 계수가 임계값과 동일한 적어도 하나의 파장 중 가장 긴 것인, 광전자 디바이스.

청구항 150

제147항 내지 제149항 중 어느 한 항에 있어서, 파장의 함수로서의 CPL(m)3의 소광 계수의 1차 도함수는 제3 소광 파장에서 음(-)의 값인, 광전자 디바이스.

청구항 151

제147항 내지 제150항 중 어느 한 항에 있어서, 상기 제3 소광 파장보다 긴 파장에서의 CPL(m)3의 소광 계수는 임계값 미만인, 광전자 디바이스.

청구항 152

제147항 내지 제151항 중 어느 한 항에 있어서, 상기 제3 소광 파장보다 긴 모든 파장에서의 CPL(m)3의 소광 계수는 임계값 미만인, 광전자 디바이스.

청구항 153

제147항 내지 제152항 중 어느 한 항에 있어서, 상기 제3 개시 파장보다 긴 임의의 파장에서의 CPL(m)3의 소광 계수는 약 0.1, 약 0.09, 약 0.08, 약 0.06, 약 0.05, 약 0.03, 약 0.01, 약 0.005, 및 약 0.0001 중 적어도 하나 미만인, 광전자 디바이스.

청구항 154

제146항 내지 제153항 중 어느 한 항에 있어서, 상기 제1 흡수 에지 파장보다 짧은 파장에서의 CPL(m)3의 소광 계수는 약 0.1, 약 0.12, 약 0.13, 약 0.15, 약 0.18, 약 0.2, 약 0.25, 약 0.3, 약 0.5, 약 0.7, 약 0.75, 약

0.8, 약 0.9, 및 약 1.0 중 적어도 하나를 초과하는, 광전자 디바이스.

청구항 155

제146항 내지 제154항 중 어느 한 항에 있어서, 상기 제3 흡수 에지 파장보다 긴 적어도 하나의 파장에 대한 CPL(m)3의 굴절률은 상기 제1 흡수 에지 파장보다 짧은 적어도 하나의 파장에 대한 CPL(m)3의 굴절률을 초과하는, 광전자 디바이스.

청구항 156

제146항 내지 제155항 중 어느 한 항에 있어서, 상기 제3 파장 스펙트럼의 적어도 하나의 파장에서 CPL(m)3의 굴절률은 약 1.8, 약 1.9, 약 1.95, 약 2, 약 2.05, 약 2.1, 약 2.2, 약 2.3, 및 약 2.5 중 적어도 하나를 초과하는, 광전자 디바이스.

청구항 157

제141항 내지 제156항 중 어느 한 항에 있어서, 상기 제3 발광 영역에는 상기 제1 CPL 및 상기 제2 CPL 중 적어도 하나가 실질적으로 없는, 광전자 디바이스.

발명의 설명

기 술 분 야

[0001] 관련 출원

[0002] 본 특허출원은 2019년 12월 24일자로 출원된 미국 임시 특허출원 제62/953,442호에 대한 우선권의 이익을 주장하며, 그의 내용은 그 전체가 본원에서 참고로 포함된다.

[0003] 기술분야

[0004] 본 개시내용은 광전자 디바이스에 관한 것으로, 특히 각각 반도체 층에 의해 분리된 제1 및 제2 전극을 포함하고 발광 영역(emissive region)에 의해 생성된 발광 스펙트럼 파장(emission spectrum wavelength) 범위로 조정된(tuned to) 광학 특성을 갖는 캡핑 층(capping layer)을 갖는 다중 발광 영역을 갖는 광전자 디바이스(opto-electronic device)에 관한 것이다.

배 경 기 술

[0005] 유기 발광 다이오드(OLED: organic light emitting diode)와 같은 광전자 디바이스에서, 적어도 하나의 반도체 층은 애노드 및 캐소드와 같은 한 쌍의 전극 사이에 배치된다. 애노드 및 캐소드는 전원에 전기적으로 결합되고 적어도 하나의 반도체 층을 통해 서로를 향해 이동하는 정공 및 전자를 각각 생성한다. 한 쌍의 정공과 전자가 결합하면, 광자가 방출될 수 있다.

[0006] OLED 디스플레이 패널은 복수의 (서브) 픽셀을 포함할 수 있으며, 이들 각각의 픽셀은 연관된 전극 쌍을 갖는다. 이러한 패널의 다양한 층 및 코팅은 전형적으로는 진공 기반 증착 기술에 의해 형성된다.

[0007] 일부 적용에서, 전도성 코팅 및/또는 전극 코팅은 OLED 제조 공정 동안 전도성 코팅의 선택적 증착에 의해 전극 및/또는 거기에 전기적으로 결합되는 전도성 요소와 같은 디바이스 피처(device feature)를 제한 없이 형성함으로써 패널의 각각의 (하위) 픽셀을 패널의 측면 및 단면 양태 중 하나 또는 둘 모두에 걸쳐 패턴으로 제공하는 것이 바람직할 수 있다.

[0008] 일부 비제한적인 적용에서, 그렇게 하기 위한 한 가지 방법은 전극 물질 및/또는 거기에 전기적으로 결합되는 전도성 요소의 증착 동안 미세 금속 마스크(FMM: fine metal mask)의 삽입을 포함한다. 그러나, 전형적으로 전극으로 사용되는 물질은 비교적 높은 증발 온도를 갖고, 이는 FMM을 재사용하는 능력 및/또는 달성할 수 있는 패턴의 정밀도에 영향을 미쳐 그에 수반되는 비용, 노력 및 복잡성이 증가한다.

[0009] 일부 비제한적인 예에서, 그렇게 하기 위한 한 가지 방법은 전극 물질을 증착한 후 예를 들어 레이저 드릴링 공정을 사용하여 전극 물질의 원하지 않는 영역을 제거함으로써 패턴을 형성하는 것을 포함한다. 그러나, 이러한 제거 공정은 종종 제조 공정의 수율에 영향을 미칠 수 있는 파편의 생성 및/또는 존재를 포함한다.

[0010] 또한, 이러한 방법은 일부 적용에서 및/또는 특정 지형적 특징을 가진 일부 디바이스와 함께 사용하기에 적합하

지 않을 수 있다.

[0011] 일부 적용에서, 발광 영역에 의해 방출되는 파장 스펙트럼에 동조된 광학 특성을 각각 갖는 다중 발광 영역을 갖는 광전자 디바이스를 제공하는 것이 바람직할 수 있다.

[0012] [도면의 간단한 설명]

[0013] 이하, 본 개시내용의 예들을 이제 하기 도면을 참조하여 설명할 것이고, 상이한 도면에서 동일한 참조 부호는 동일하고/하거나, 일부 비제한적인 예에서는, 유사하고/하거나 상응하는 요소를 나타내며, 여기서:

[0014] **도 1**은 본 개시내용의 일례에 따른 예시적인 전자 발광 디바이스(electro-luminescent device)의 단면 양태의 블록도이고;

[0015] **도 2**는 **도 1**의 디바이스의 기판의 예시적인 백플레인(backplane) 층의 단면도로서, 그 안에 구현된 박막 트랜지스터(TFT: thin film transistor)를 도시하고;

[0016] **도 3**은 **도 2**의 백플레인 층에 도시된 하나 이상의 TFT에 의해 제공될 수 있는 것과 같은 예시적인 회로에 대한 회로도이고;

[0017] **도 4**는 **도 1**의 디바이스의 단면도이고;

[0018] **도 5**는 **도 1**의 디바이스의 예시적인 버전의 단면도로서, 디바이스의 적어도 하나의 제2 전극의 증착을 지지하는 적어도 하나의 예시적인 픽셀 정의 층(PDL: pixel definition layer)을 도시하고;

[0019] **도 6**은 본 개시내용의 일례에 따른 표면 상에 흡수된 흡착원자(adatom)의 상대적 에너지 상태를 나타내는 예시적인 에너지 프로파일이고;

[0020] **도 7**은 본 개시내용의 일례에 따른 **도 1**의 디바이스의 예시적인 버전에서 하부 물질의 노출된 층 표면 상에 선택적 코팅을 패턴으로 증착하기 위한 예시적인 공정을 도시하는 개략도이고;

[0021] **도 8**은 **도 7**의 선택적 코팅의 증착된 패턴을 포함하는 노출된 층 표면 상에 전도성 코팅을 제1 패턴으로 증착하기 위한 예시적인 공정을 도시하는 개략도이며, 여기서 선택적 코팅은 핵 생성 억제 코팅(NIC: nucleation-inhibiting coating)이고;

[0022] **도 9a 내지 도 9d**는 본 개시내용의 일례에 따른 내부에 개구를 갖는 **도 7**의 공정과 함께 사용하기에 적합한 예시적인 오픈 마스크(open mask)를 도시하는 개략도이고;

[0023] **도 10a**는 본 개시내용의 일례에 따른 추가의 예시적인 증착 단계를 갖는 **도 1**의 디바이스의 예시적인 버전이고;

[0024] **도 10b**는 제1 부분이 불연속 코팅을 포함하는 **도 10a**의 디바이스의 예시적인 버전이고;

[0025] **도 10c**는 **도 10b**의 디바이스의 제1 부분의 평면도이고;

[0026] **도 10d**는 제3 부분을 추가로 포함하는 **도 10a**의 디바이스의 예시적인 버전이고;

[0027] **도 10e**는 **도 10d**의 디바이스의 부분의 평면도이고;

[0028] **도 11a**는 **도 9**의 선택적 코팅의 증착된 패턴을 포함하는 노출된 층 표면 상에 핵 생성 촉진 코팅(NPC: nucleation-promoting coating)인 선택적 코팅을 패턴으로 증착하기 위한 예시적인 공정을 도시하는 개략도이고;

[0029] **도 11b**는 **도 11a**의 NPC의 증착된 패턴을 포함하는 노출된 층 표면 상에 전도성 코팅을 패턴으로 증착하기 위한 예시적인 공정을 도시하는 개략도이고;

[0030] **도 12a**는 본 개시내용의 일례에 따른 **도 1**의 디바이스의 예시적인 버전에서 하부 물질의 노출된 층 표면 상에 NPC를 패턴으로 증착하기 위한 예시적인 공정을 도시하는 개략도이고;

[0031] **도 12b**는 **도 12a**의 NPC의 증착된 패턴을 포함하는 노출된 층 표면 상에 NIC를 패턴으로 증착하는 예시적인 공정을 도시하는 개략도이고;

[0032] **도 12c**는 **도 12b**의 NIC의 증착된 패턴을 포함하는 노출된 층 표면 상에 전도성 코팅을 패턴으로 증착하기 위한 예시적인 공정을 도시하는 개략도이고;

[0033] **도 13a 내지 도 13c**는 본 개시내용의 일례에 따른 **도 1**의 디바이스의 예시적인 버전에서 노출된 층 표면 상에

선택적 코팅을 패턴으로 증착하기 위한 예시적인 인쇄 공정의 예시적인 단계들을 도시하는 개략도이고;

[0034] **도 14**는 본 개시내용의 일례에 따른 **도 1**의 디바이스의 하나의 버전에서 사용하기에 적합한 예시적인 패턴화된 전극을 평면도로 예시하는 개략도이고;

[0035] **도 15**는 라인 15-15를 따라 절취한 **도 14**의 디바이스의 예시적인 단면도를 예시하는 개략도이고;

[0036] **도 16a**는 본 개시내용의 일례에 따른 **도 1**의 디바이스의 예시적인 버전에서 사용하기에 적합한 복수의 예시적인 전극 패턴을 평면도로 예시하는 개략도이고;

[0037] **도 16b**는 라인 16B-16B를 따라 절취한 **도 16a**의 디바이스의 중간 단계에서의 예시적인 단면도를 예시하는 개략도이고;

[0038] **도 16c**는 라인 16C-16C를 따라 절취한 **도 16a**의 디바이스의 예시적인 단면도를 예시하는 개략도이고;

[0039] **도 17**은 본 개시내용의 일례에 따른 하나의 예시적인 패턴화된 보조 전극을 갖는 **도 1**의 디바이스의 예시적인 버전의 단면도를 예시하는 개략도이고;

[0040] **도 18a**는 본 개시내용의 일례에 따른 **도 1**의 디바이스의 예시적인 버전에서 발광 영역(들) 및/또는 비-발광 영역(들)의 예시적인 배열을 평면도로 예시하는 개략도이고;

[0041] **도 18b 내지 도 18d**는 본 개시내용의 일례에 따른 비-발광 영역을 오버레이하는 예시적인 보조 전극을 도시하는 **도 18a**의 한 부분의 세그먼트를 각각 예시하는 개략도이고;

[0042] **도 19**는 본 개시내용의 일례에 따른 적어도 하나의 발광 영역 및 적어도 하나의 비-발광 영역을 오버레이하는 보조 전극의 예시적인 패턴을 평면도로 예시하는 개략도이고;

[0043] **도 20a**는 본 개시내용의 일례에 따른 다이아몬드 구성의 복수의 발광 영역의 그룹을 갖는 **도 1**의 디바이스의 예시적인 버전의 예시적인 패턴을 평면도로 예시하는 개략도이고;

[0044] **도 20b**는 라인 20B-20B를 따라 절취한 **도 20a**의 디바이스의 예시적인 단면도를 예시하는 개략도이고;

[0045] **도 20c**는 라인 20C-20C를 따라 절취한 **도 20a**의 디바이스의 예시적인 단면도를 예시하는 개략도이고;

[0046] **도 21**은 본 개시내용의 일례에 따른 추가의 예시적인 증착 단계를 갖는 **도 4**의 디바이스의 하나의 예시적인 버전의 예시적인 단면도를 예시하는 개략도이고;

[0047] **도 22**는 본 개시내용의 일례에 따른 추가의 예시적인 증착 단계를 갖는 **도 4**의 디바이스의 하나의 예시적인 버전의 예시적인 단면도를 예시하는 개략도이고;

[0048] **도 23**은 본 개시내용의 일례에 따른 추가의 예시적인 증착 단계를 갖는 **도 4**의 디바이스의 하나의 예시적인 버전의 예시적인 단면도를 예시하는 개략도이고;

[0049] **도 24**는 본 개시내용의 일례에 따른 추가의 예시적인 증착 단계를 갖는 **도 4**의 디바이스의 하나의 예시적인 버전의 예시적인 단면도를 예시하는 개략도이고;

[0050] **도 25a 내지 도 25c**는, 선택적 증착 및 후속 제거 공정에 의해, 본 개시내용의 일례에 따른 **도 1**의 디바이스의 예시적인 버전의 노출된 층 표면 상에 전도성 코팅을 패턴으로 증착하기 위한 예시적인 공정의 예시적인 단계들을 도시하는 개략도이고;

[0051] **도 26a**는 본 개시내용의 일례에 따른 적어도 하나의 보조 전극을 갖는, 적어도 하나의 예시적인 픽셀 영역 및 적어도 하나의 예시적인 투광 영역(light-transmissive region)을 포함하는 **도 1**의 디바이스의 투명 버전의 일례를 평면도로 예시하는 개략도이고;

[0052] **도 26b**는 라인 26B-26B를 따라 절취한 **도 26a**의 디바이스의 예시적인 단면도를 예시하는 개략도이고;

[0053] **도 27a**는 본 개시내용의 일례에 따른 적어도 하나의 예시적인 픽셀 영역 및 적어도 하나의 예시적인 투광 영역을 포함하는 **도 1**의 디바이스의 투명 버전의 일례를 평면도로 예시하는 개략도이고;

[0054] **도 27b**는 라인 27B-27B를 따라 절취한 **도 27a**의 디바이스의 예시적인 단면도를 예시하는 개략도이고;

[0055] **도 27c**는 라인 27B-27B를 따라 절취한 **도 27a**의 디바이스의 또 다른 예시적인 단면도를 예시하는 개략도이고;

[0056] **도 28a 내지 도 28d**는 본 개시내용의 일례에 따른 상이한 두께의 제2 전극을 각각 갖는 2개의 발광 영역을 제공

하기 위해 **도 1**의 디바이스의 예시적인 버전을 제조하기 위한 예시적인 공정의 예시적인 단계들을 도시하는 개략도이고;

[0057] **도 29a 내지 도 29d**는 본 개시내용의 일례에 따른 상이한 두께의 제2 전극을 갖는 서브-픽셀 영역을 갖는 **도 1**의 디바이스의 예시적인 버전을 제조하기 위한 예시적인 공정의 예시적인 단계들을 도시하는 개략도이고;

[0058] **도 30**은 제2 전극이 본 개시내용의 일례에 따른 보조 전극에 결합된 **도 1**의 디바이스의 예시적인 버전의 예시적인 단면도를 예시하는 개략도이고;

[0059] **도 31a 내지 도 31i**는 본 개시내용의 다양한 예에 따른 **도 1**의 디바이스의 예시적인 버전에서 전도성 코팅을 갖는 증착 계면에서의 NIC의 다양한 잠재적 거동을 도시하는 개략도이고;

[0060] **도 32**는 본 개시내용의 다양한 예에 따른, 한 쌍의 예시적인 발광 영역에 대한 예시적인 발광 스펙트럼과 발광 영역 위에 놓이는 개개의 캡핑 층의 예시적인 굴절률의 플롯 사이의 관계를 정성적 형태로 예시하는 개략도이고;

[0061] **도 33**은 본 개시내용의 다양한 예에 따른, **도 32**의 예시적인 굴절률의 플롯과 **도 32**의 개개의 캡핑 층의 예시적인 소광 계수(extinction coefficient)의 개개의 플롯 사이의 관계를 정성적 형태로 예시하는 개략도이고;

[0062] **도 34**는 본 개시내용의 다양한 예에 따른, **도 32**의 예시적인 발광 스펙트럼과 **도 33**의 예시적인 소광 계수의 개개의 플롯 사이의 관계를 정성적 형태로 예시하는 개략도이고;

[0063] **도 35**는 본 개시내용의 일례에 따른 NIC 및/또는 전도성 코팅 하부에 있는 금속성 코팅을 예시하는 개략도이고;

[0064] **도 36a 및 도 36b**는 **도 28a 및 도 28b**의 단계에 후속하는 **도 1**의 디바이스의 예시적인 버전을 제조하기 위한 예시적인 공정의 예시적인 단계들을 도시하는 개략도이고;

[0065] **도 37a 내지 도 37e**는 본 개시내용의 일례에 따른 상이한 두께의 제2 전극을 각각 갖는 3개의 발광 영역을 제공하기 위해 **도 1**의 디바이스의 예시적인 버전을 제조하기 위한 예시적인 공정의 예시적인 단계들을 도시하는 개략도이고;

[0066] **도 38a 내지 도 38f**는 본 개시내용의 일례에 따른 상이한 두께의 제2 전극을 갖는 서브-픽셀 영역을 갖는 **도 1**의 디바이스의 예시적인 버전을 제조하기 위한 예시적인 공정의 예시적인 단계들을 도시하는 개략도이고;

[0067] **도 39a 내지 도 39c**는 본 개시내용의 일례에 따른 **도 1**의 디바이스의 예시적인 버전을 도시하는 개략도이며;

[0068] **도 40**은 본 개시내용의 일례에 따른 필름 핵의 형성을 예시하는 개략도이다.

[0069] 본 개시내용에서, 제한이 아닌 설명의 목적으로, 특정 아키텍처, 인터페이스 및/또는 기술을 포함하지만 이에 제한되지 않는 본 개시내용의 완전한 이해를 제공하기 위해 특정 세부사항을 기술한다. 일부 경우에는, 잘 알려진 시스템, 기술, 구성요소, 디바이스, 회로, 방법 및 응용 분야에 대한 상세한 설명은 불필요한 세부사항으로 인해 본 개시내용의 설명이 모호하게 되지 않도록 생략한다.

[0070] 또한, 본원에서 재현되는 블록도들은 기술의 원리를 구현하는 예시적인 구성요소의 개념적인 견해를 나타낼 수 있다는 것을 이해할 것이다.

[0071] 따라서, 시스템 및 방법 구성요소는 경우에 따라서는 도면에서 통상적인 부호로 표현되었으며, 본 개시내용의 실례들을 이해하는 데 적절한 특정 세부사항만을 나타내어 본 개시내용이 본 명세서의 설명에 이점을 가진 당업자가 용이하게 인지할 수 있는 세부사항으로 모호하게 되지 않도록 하였다.

[0072] 본원에서 제공되는 모든 도면은 축척에 맞게 도시되지 않을 수 있으며 어떠한 방식으로든 본 개시내용을 제한하는 것으로 간주되지 않을 수 있다.

[0073] 파선으로 도시된 특징 또는 기능은 일부 예에서 선택 사항으로 간주될 수 있다.

발명의 내용

[0074] 본 개시내용의 목적은 종래 기술의 적어도 하나의 단점을 제거하거나 완화하는 것이다.

[0075] 본 개시내용은 복수의 층을 갖는 광전자 디바이스(opto-electronic device)를 개시한다. 제1 캡핑 층(CPL: capping layer)은 제1 CPL 물질을 포함하고 제1 발광 영역에 배치된다. 제2 CPL은 제2 CPL 물질을 포함하고 제2 발광 영역에 배치된다. 제1 발광 영역은 제1 개시 파장(onset wavelength)을 특징으로 하는 제1 파장 스펙트럼

을 갖는 광자를 방출하도록 구성된다. 제2 발광 영역은 제2 개시 파장을 특징으로 하는 제2 파장 스펙트럼을 갖는 광자를 방출하도록 구성된다. 제1 CPL 및 제1 CPL 물질(집합적으로 "CPL(m)1") 중 적어도 하나는 제1 개시 파장보다 짧은 제1 흡수 에지 파장에서 제1 흡수 에지(absorption edge)를 나타낸다. 제2 CPL 및 제2 CPL 물질(집합적으로 "CPL(m)2") 중 적어도 하나는 제2 개시 파장보다 짧은 제2 흡수 에지 파장에서 제2 흡수 에지를 나타낸다.

[0076] 본 개시내용의 넓은 양태에 따르면, 복수의 층으로서: 제1 캡핑 층(CPL) 물질을 포함하고 제1 발광 영역에 배치된 제1 캡핑 층(CPL)을 포함하는 제1 캡핑 층(CPL)으로서, 상기 제1 발광 영역은 제1 개시 파장을 특징으로 하는 제1 파장 스펙트럼을 갖는 광자를 방출하도록 구성되는 제1 캡핑 층(CPL); 및 제2 CPL 물질을 포함하고 제2 발광 영역에 배치된 제2 CPL로서, 상기 제2 발광 영역은 제2 개시 파장을 특징으로 하는 제2 파장 스펙트럼을 갖는 광자를 방출하도록 구성되는 제2 CPL을 포함하는 복수의 층을 갖고, 여기서 상기 제1 CPL 및 상기 제1 CPL 물질(CPL(m)1) 중 적어도 하나는 제1 개시 파장(onset wavelength)보다 짧은 제1 흡수 에지 파장(absorption edge wavelength)에서 제1 흡수 에지(absorption edge)를 나타내고; 상기 제2 CPL 및 상기 제2 CPL 물질(CPL(m)2) 중 적어도 하나는 제2 개시 파장보다 짧은 제2 흡수 에지 파장에서 제2 흡수 에지를 나타내는 광전자 디바이스가 개시된다.

[0077] 일부 비제한적인 예에서, 제1 개시 파장은 제2 개시 파장보다 더 짧을 수 있다. 일부 비제한적인 예에서, 제1 흡수 에지 파장은 제2 흡수 에지 파장보다 더 짧을 수 있다.

[0078] 일부 비제한적인 예에서, 제1 흡수 에지는 CPL(m)1의 소광 계수 k가 임계값과 동일한 제1 소광 파장을 특징으로 할 수 있으며, 제2 흡수 에지는 CPL(m)2의 소광 계수가 임계값과 동일한 제2 소광 파장을 특징으로 할 수 있다.

[0079] 일부 비제한적인 예에서, 제1 개시 파장은 제1 흡수 에지 파장보다 약 50 nm, 약 40 nm, 약 35 nm, 약 30 nm, 약 25 nm, 약 20 nm, 약 15 nm, 약 10 nm, 약 5 nm, 및 약 3 nm 중 적어도 하나의 미만 만큼 더 길 수 있다. 일부 비제한적인 예에서, 제1 소광 파장은 CPL(m)1의 소광 계수가 임계값과 동일한 적어도 하나의 파장 중 가장 긴 것일 수 있다. 일부 비제한적인 예에서, 파장의 함수로서의 CPL(m)의 소광 계수의 1차 도함수는 제1 소광 파장에서 음(-)의 값일 수 있다. 일부 비제한적인 예에서, 제1 소광 파장보다 긴 파장에서의 CPL(m)1의 소광 계수는 임계값 미만일 수 있다. 일부 비제한적인 예에서, 제1 소광 파장보다 긴 모든 파장에서의 CPL(m)1의 소광 계수는 임계값 미만일 수 있다. 일부 비제한적인 예에서, 제1 개시 파장보다 긴 임의의 파장에서의 CPL(m)1의 소광 계수는 약 0.1, 약 0.09, 약 0.08, 약 0.06, 약 0.05, 약 0.03, 약 0.01, 약 0.005, 및 약 0.0001 중 적어도 하나 미만일 수 있다. 일부 비제한적인 예에서, 제1 흡수 에지 파장보다 짧은 파장에서의 CPL(m)1의 소광 계수는 약 0.1, 약 0.12, 약 0.13, 약 0.15, 약 0.18, 약 0.2, 약 0.25, 약 0.3, 약 0.5, 약 0.7, 약 0.75, 약 0.8, 약 0.9, 및 약 1.0 중 적어도 하나를 초과할 수 있다.

[0080] 일부 비제한적인 예에서, 제1 흡수 에지 파장보다 긴 적어도 하나의 파장에 대한 CPL(m)1의 굴절률은 제1 흡수 파장보다 짧은 적어도 하나의 파장에 대한 CPL(m)1의 굴절률을 초과할 수 있다. 일부 비제한적인 예에서, 제1 파장 스펙트럼의 적어도 하나의 파장에서 CPL(m)의 굴절률은 약 1.8, 약 1.9, 약 1.95, 약 2, 약 2.05, 약 2.1, 약 2.2, 약 2.3, 및 약 2.5 중 적어도 하나를 초과할 수 있다.

[0081] 일부 비제한적인 예에서, 제2 개시 파장은 제2 흡수 에지 파장보다 약 200 nm, 약 150 nm, 약 130 nm, 약 100 nm, 약 80 nm, 약 70 nm, 약 60 nm, 약 50 nm, 약 40 nm, 약 35 nm, 약 25 nm, 약 20 nm, 약 15 nm, 및 약 10 nm 중 적어도 하나의 미만 만큼 더 길 수 있다. 일부 비제한적인 예에서, 제2 소광 파장은 CPL(m)2의 소광 계수가 임계값과 동일한 적어도 하나의 파장 중 가장 긴 것일 수 있다. 일부 비제한적인 예에서, 파장의 함수로서의 CPL(m)2의 소광 계수의 1차 도함수는 제2 소광 파장에서 음(-)의 값일 수 있다. 일부 비제한적인 예에서, 제2 소광 파장보다 긴 파장에서의 CPL(m)2의 소광 계수는 임계값 미만일 수 있다. 일부 비제한적인 예에서, 제2 소광 파장보다 긴 모든 파장에서의 CPL(m)2의 소광 계수는 임계값 미만일 수 있다. 일부 비제한적인 예에서, 제2 개시 파장보다 긴 임의의 파장에서의 CPL(m)2의 소광 계수는 약 0.1, 약 0.09, 약 0.08, 약 0.06, 약 0.05, 약 0.03, 약 0.01, 약 0.005, 및 약 0.0001 중 적어도 하나 미만일 수 있다. 일부 비제한적인 예에서, 제2 흡수 에지 파장보다 짧은 파장에서의 CPL(m)2의 소광 계수는 약 0.1, 약 0.12, 약 0.13, 약 0.15, 약 0.18, 약 0.2, 약 0.25, 약 0.3, 약 0.5, 약 0.7, 약 0.75, 약 0.8, 약 0.9, 및 약 1.0 중 적어도 하나를 초과할 수 있다.

[0082] 일부 비제한적인 예에서, 제2 흡수 에지 파장보다 긴 적어도 하나의 파장에 대한 CPL(m)2의 굴절률은 제2 흡수 에지 파장보다 짧은 적어도 하나의 파장에 대한 CPL(m)2의 굴절률을 초과할 수 있다. 일부 비제한적인 예에서, 제2 파장 스펙트럼의 적어도 하나의 파장에서 CPL(m)2의 굴절률은 약 1.8, 약 1.9, 약 1.95, 약 2, 약 2.05, 약 2.1, 약 2.2, 약 2.3, 및 약 2.5 중 적어도 하나를 초과할 수 있다.

[0083] 일부 비제한적인 예에서, CPL(m)1의 소광 계수는 제2 개시 파장에서의 임계값 미만일 수 있다. 일부 비제한적인 예에서, CPL(m)1의 소광 계수는 제2 파장 스펙트럼의 모든 파장에서의 임계값 미만일 수 있다. 일부 비제한적인 예에서, 제2 파장 스펙트럼의 임의의 파장에서의 CPL(m)1의 소광 계수는 약 0.1, 약 0.09, 약 0.08, 약 0.05, 약 0.05, 약 0.03, 약 0.01, 약 0.005, 및 약 0.001 중 적어도 하나 미만일 수 있다.

[0084] 일부 비제한적인 예에서, 제1 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)1의 굴절률은 제2 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)1의 굴절률을 초과할 수 있다. 일부 비제한적인 예에서, 제2 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)2의 굴절률은 제1 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)2의 굴절률을 초과할 수 있다. 일부 비제한적인 예에서, 제2 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)1의 굴절률은 약 1.8, 약 1.7, 약 1.65, 약 1.6, 약 1.5, 약 1.45, 약 1.4, 및 약 1.3 중 적어도 하나 미만일 수 있다. 일부 비제한적인 예에서, 제1 파장 스펙트럼의 적어도 하나의 파장에서의 CPL(m)2의 굴절률은 약 1.8, 약 1.7, 약 1.65, 약 1.6, 약 1.5, 약 1.45, 약 1.4, 및 약 1.3 중 적어도 하나 미만일 수 있다.

[0085] 일부 비제한적인 예에서, CPL(m)2의 소광 계수는 제1 파장 스펙트럼의 적어도 하나의 파장에 대한 CPL(m)1의 소광 계수를 초과할 수 있다. 일부 비제한적인 예에서, CPL(m)2의 소광 계수는 제1 파장 스펙트럼의 모든 파장에 대한 CPL(m)1의 소광 계수를 초과할 수 있다.

[0086] 일부 비제한적인 예에서, 임계값은 0.1, 0.09, 0.08, 0.06, 0.05, 0.03, 0.01, 0.005, 및 0.001 중 적어도 하나일 수 있다.

[0087] 일부 비제한적인 예에서, 제1 발광 영역 및 제2 발광 영역은 측면 양태에서 디바이스의 상이한 영역을 차지할 수 있다.

[0088] 일부 비제한적인 예에서, 제1 파장 스펙트럼 및 제2 파장 스펙트럼은 가시 스펙트럼 내에 있다. 일부 비제한적인 예에서, 제1 파장 스펙트럼은 제1 피크 파장을 가질 수 있으며, 제2 파장 스펙트럼은 제1 피크 파장보다 더 긴 제2 피크 파장을 가질 수 있다.

[0089] 일부 비제한적인 예에서, 제1 개시 파장은 제1 파장 스펙트럼의 강도가 제1 피크 파장에서의 강도의 약 20%, 약 15%, 약 10%, 약 5%, 약 3%, 약 1%, 및 약 0.01% 중 적어도 하나일 수 있는 적어도 하나의 파장 중 가장 짧은 파장일 수 있다. 일부 비제한적인 예에서, 제2 개시 파장은 제2 파장 스펙트럼의 강도가 제2 피크 파장에서의 강도의 약 20%, 약 15%, 약 10%, 약 5%, 약 3%, 약 1%, 및 약 0.01% 중 적어도 하나일 수 있는 적어도 하나의 파장 중 가장 짧은 파장일 수 있다.

[0090] 일부 비제한적인 예에서, 제1 파장 스펙트럼은 청색(B) 및 녹색(G) 중 적어도 하나인 색상에 상응할 수 있다. 일부 비제한적인 예에서, 제2 파장 스펙트럼은 적색(R) 및 녹색(G) 중 적어도 하나인 색상에 상응할 수 있다. 일부 비제한적인 예에서, 제1 파장 스펙트럼은 청색(B)인 색상에 상응할 수 있으며, 제2 파장 스펙트럼은 녹색(G) 및 적색(R) 중 적어도 하나인 색상에 상응할 수 있다. 일부 비제한적인 예에서, 제1 파장 스펙트럼은 녹색(G)인 색상에 상응할 수 있으며, 제2 파장 스펙트럼은 적색(R)인 색상에 상응할 수 있다.

[0091] 일부 비제한적인 예에서, 제1 CPL 물질은 제2 CPL 물질과 상이한 조성을 가질 수 있다.

[0092] 일부 비제한적인 예에서, 제1 CPL의 두께는 제2 CPL의 두께와 동일할 수 있다. 일부 비제한적인 예에서, 제1 CPL의 두께는 제2 CPL의 두께와 상이할 수 있다.

[0093] 일부 비제한적인 예에서, 제1 CPL의 두께는 약 5 내지 약 120 nm의 범위일 수 있다. 일부 비제한적인 예에서, 제1 CPL의 두께는 약 10 nm, 약 15 nm, 약 20 nm, 약 25 nm, 약 30 nm, 및 약 40 nm 중 적어도 하나를 초과할 수 있다. 일부 비제한적인 예에서, 제1 CPL의 두께는 약 100 nm, 약 90 nm, 약 80 nm, 및 약 70 nm 중 적어도 하나 미만일 수 있다.

[0094] 일부 비제한적인 예에서, 제2 CPL의 두께는 약 5 nm 내지 약 120 nm의 범위일 수 있다. 일부 비제한적인 예에서, 제2 CPL의 두께는 약 10 nm, 약 15 nm, 약 20 nm, 약 25 nm, 약 30 nm, 및 약 40 nm 중 적어도 하나를 초과할 수 있다. 일부 비제한적인 예에서, 제2 CPL의 두께는 약 100 nm, 약 90 nm, 약 80 nm, 및 약 70 nm 미만일 수 있다.

[0095] 일부 비제한적인 예에서, 디바이스는 제1 발광 영역 및 제2 발광 영역에서 적어도 하나의 전극 코팅을 추가로 포함할 수 있다. 일부 비제한적인 예에서, 제1 CPL은 적어도 하나의 전극 코팅의 노출된 층 표면 상에 배치될 수 있다. 일부 비제한적인 예에서, 제2 CPL은 적어도 하나의 전극 코팅의 노출된 층 표면 상에 배치될 수 있다. 일부 비제한적인 예에서, 적어도 하나의 전극 코팅은 제1 발광 영역에서 제1 전극 두께를 가질 수 있다. 일부

비제한적인 예에서, 적어도 하나의 전극 코팅은 제2 발광 영역에서 제2 전극 두께를 가질 수 있다.

[0096] 일부 비제한적인 예에서, 제1 전극 두께는 제2 전극 두께 미만일 수 있다. 일부 비제한적인 예에서, 제1 전극 두께를 제2 전극 두께로 나눈 몫은 약 0.9, 약 0.8, 약 0.7, 약 0.6, 약 0.5, 약 0.4, 약 0.3, 및 약 0.2 중 적어도 하나 미만일 수 있다. 일부 비제한적인 예에서, 제1 전극 두께는 약 5 nm 내지 약 100 nm, 약 5 nm 내지 약 50 nm, 약 5 nm 내지 약 25 nm, 약 5 nm 내지 약 20 nm, 약 5 nm 내지 약 15 nm, 약 8 nm 내지 약 15 nm, 약 8 nm 내지 약 12 nm, 및 약 8 nm 내지 약 10 nm 중 적어도 하나의 범위 내에 있을 수 있다. 일부 비제한적인 예에서, 제2 전극 두께는 약 10 nm 내지 약 60 nm, 약 10 nm 내지 약 50 nm, 약 15 nm 내지 약 40 nm, 약 15 nm 내지 약 35 nm, 및 약 20 nm 내지 약 35 nm 중 적어도 하나의 범위 내에 있을 수 있다.

[0097] 일부 비제한적인 예에서, 제2 전극 두께는 제1 전극 두께 미만일 수 있다. 일부 비제한적인 예에서, 제2 전극 두께를 제1 전극 두께로 나눈 몫은 약 0.9, 약 0.8, 약 0.7, 약 0.6, 약 0.5, 약 0.4, 약 0.3, 및 약 0.2 중 적어도 하나 미만일 수 있다. 일부 비제한적인 예에서, 제1 전극 두께는 약 10 nm 내지 약 60 nm, 약 10 nm 내지 약 50 nm, 약 15 nm 내지 약 40 nm, 약 15 nm 내지 약 35 nm, 및 약 20 nm 내지 약 35 nm 중 적어도 하나의 범위 내에 있을 수 있다. 일부 비제한적인 예에서, 제2 전극 두께는 약 t nm 내지 약 100 nm, 약 5 nm 내지 약 50 nm, 약 5 nm 내지 약 25 nm, 약 5 nm 내지 약 20 nm, 약 5 nm 내지 약 15 nm, 약 8 nm 내지 약 15 nm, 약 8 nm 내지 약 12 nm, 및 약 8 nm 내지 약 10 nm 중 적어도 하나의 범위 내에 있을 수 있다.

[0098] 일부 비제한적인 예에서, 적어도 하나의 전극 코팅은 금속 코팅 및 금속 코팅의 노출된 층 표면 상에 배치된 전도성 코팅을 포함할 수 있다. 일부 비제한적인 예에서, 전도성 코팅은 제2 발광 영역에서 금속 코팅과 제2 CPL 사이에서 연장할 수 있다. 일부 비제한적인 예에서, 제1 CPL은 제1 발광 영역의 금속 코팅의 노출된 층 표면 상에 배치될 수 있다. 일부 비제한적인 예에서, 전도성 코팅은 제1 발광 영역에서 금속 코팅과 제1 CPL 사이에서 연장할 수 있다.

[0099] 일부 비제한적인 예에서, 금속 코팅은 금속 코팅 물질로 구성될 수 있다. 일부 비제한적인 예에서, 금속 코팅 물질은 이원자 분자 중 298K에서 적어도 10 kJ/mol, 적어도 50 kJ/mol, 적어도 100 kJ/mol, 적어도 150 kJ/mol, 적어도 180 kJ/mol, 및 적어도 200 kJ/mol 중 적어도 하나의 결합 해리 에너지를 갖는 금속을 포함할 수 있다. 일부 비제한적인 예에서, 금속 코팅 물질은 약 1.4, 약 1.3, 및 약 1.2 중 적어도 하나 보다 작은 전기음성도를 갖는 원소를 포함할 수 있다.

[0100] 일부 비제한적인 예에서, 금속 코팅 물질은 칼륨(K), 나트륨(Na), 리튬(Li), 바륨(Ba), 세슘(Cs), 이테르븀(Yb), 은(Ag), 금(Au), 구리(Cu), 알루미늄(Al), 마그네슘(Mg), 아연(Zn), 카드뮴(Cd), 주석(Sn), 니켈(Ni), 티타늄(Ti), 팔라듐(Pd), 크롬(Cr), 철(Fe), 코발트(Co), 지르코늄(Zr), 백금(Pt), 바나듐(V), 니오븀(Nb), 이리듐(Ir), 오스뮴(Os), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐(W) 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는 원소를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu, Ag, Au, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Cu일 수 있다. 일부 비제한적인 예에서, 원소는 Al일 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Zn, Cd, Yb, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Sn, Ni, Ti, Pd, Cr, Fe, Co, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Zr, Pt, V, Nb, Ir, Os, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Ta, Mo, W, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, Al, Yb, Li, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, Al, Yb, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, Yb, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Ag일 수 있다.

[0101] 일부 비제한적인 예에서, 금속 코팅 물질은 순수한 금속을 포함할 수 있다. 일부 비제한적인 예에서, 순수한 금속은 순수한 은(Ag) 및 실질적으로 순수한 Ag 중 적어도 하나일 수 있다. 일부 비제한적인 예에서, 순수한 금속은 순수한 마그네슘(Mg) 및 실질적으로 순수한 Mg 중 적어도 하나일 수 있다. 일부 비제한적인 예에서, 순수한 금속은 순수한 알루미늄(Al) 및 실질적으로 순수한 Al 중 적어도 하나일 수 있다.

[0102] 일부 비제한적인 예에서, 금속 코팅 물질은 합금을 포함할 수 있다. 일부 비제한적인 예에서, 합금은 은(Ag) 함유 합금 및 은-마그네슘(AgMg) 함유 합금 중 적어도 하나일 수 있다.

[0103] 일부 비제한적인 예에서, 금속 코팅은 산소(O)를 포함할 수 있다. 일부 비제한적인 예에서, 금속 코팅은 O 및

적어도 하나의 금속을 포함할 수 있다. 일부 비제한적인 예에서, 금속 코팅은 금속 산화물을 포함할 수 있다. 일부 비제한적인 예에서, 금속 산화물은 아연(Zn), 인듐(I), 주석(Sn), 안티몬(Sb), 갈륨(Ga), 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 금속 산화물은 투명 전도성 산화물(TCO)일 수 있다. 일부 비제한적인 예에서, TCO는 인듐 티타늄 산화물(ITO), 산화아연(ZnO), 인듐 아연 산화물(IZO), 인듐 갈륨 아연 산화물(IGZO), 및 이들 중 임의의 것들의 임의의 조합 중 적어도 하나일 수 있다.

[0104] 일부 비제한적인 예에서, 금속 코팅은 금속 코팅 물질의 복수의 층을 포함할 수 있다. 일부 비제한적인 예에서, 복수의 층 중 제1 층의 금속 코팅 물질은 복수의 층 중 제2 층의 금속 코팅 물질과 상이할 수 있다. 일부 비제한적인 예에서, 복수의 층 중 적어도 하나의 금속 코팅 물질은 이테르븀(Yb)을 포함할 수 있다. 일부 비제한적인 예에서, 복수의 층 중 다른 하나의 금속 코팅 물질은 은(Ag) 함유 합금 및 은-마그네슘(AgMg) 함유 합금 중 적어도 하나를 포함할 수 있다. 일부 비제한적인 예에서, 복수의 층 중 다른 하나의 금속 코팅 물질은 순수한 은(Ag), 실질적으로 순수한 Ag, 순수한 마그네슘(Mg), 실질적으로 순수한 Mg, 및 이들 중 임의의 것들의 임의의 조합 중 적어도 하나를 포함할 수 있다. 일부 비제한적인 예에서, NIC에 근접한 복수의 층 중 하나의 금속 코팅 물질은 은(Ag), 금(Au), 구리(Cu), 알루미늄(Al), 주석(Sn), 니켈(Ni), 티타늄(Ti), 팔라듐(Pd), 크롬(Cr), 철(Fe), 코발트(Co), 지르코늄(Zr), 백금(Pt), 바나듐(V), 니오븀(Nb), 이리듐(Ir), 오스뮴(Os), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐(W) 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는 원소를 포함한다. 일부 비제한적인 예에서, 원소는 Cu, Ag, Au, 및 이들 중 임의의 것들의 임의의 조합을 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu일 수 있다. 일부 비제한적인 예에서, 원소는 Al일 수 있다. 일부 비제한적인 예에서, 원소는 Sn, Ti, Pd, Cr, Fe, Co, 및 이들 중 임의의 것들의 임의의 조합을 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ni, Zr, Pt, V, Nb, Ir, Os, 및 이들 중 임의의 것들의 임의의 조합을 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ta, Mo, W, 및 이들 중 임의의 것들의 임의의 조합을 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, Al, 및 이들 중 임의의 것들의 임의의 조합을 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, 및 이들 중 임의의 것들의 임의의 조합을 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ag일 수 있다. 일부 비제한적인 예에서, 복수의 층 중 적어도 하나는 약 4 eV 미만인 일함수를 갖는 금속을 포함할 수 있다.

[0105] 일부 비제한적인 예에서, 전도성 코팅은 전도성 코팅 물질로 구성될 수 있다. 일부 비제한적인 예에서, 전도성 코팅 물질은 이원자 분자 중 298K에서 300 kJ/mol 미만, 200 kJ/mol 미만, 165 kJ/mol 미만, 150 kJ/mol 미만, 100 kJ/mol 미만, 50 kJ/mol 미만, 및 20 kJ/mol 미만의 결합 해리 에너지를 갖는 금속을 포함할 수 있다.

[0106] 일부 비제한적인 예에서, 전도성 코팅 물질은 칼륨(K), 나트륨(Na), 리튬(Li), 바륨(Ba), 세슘(Cs), 이테르븀(Yb), 은(Ag), 금(Au), 구리(Cu), 알루미늄(Al), 마그네슘(Mg), 아연(Zn), 카드뮴(Cd), 주석(Sn), 이트륨(Y) 및 이들 중 임의의 것들의 임의의 조합으로부터 선택되는 원소를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 K, Na, Li, Ba, Cs, Yb, Ag, Au, Cu, Al, Mg, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Cu, Ag, Au, 및 이들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Cu일 수 있다. 일부 비제한적인 예에서, 원소는 Al일 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Zn, Cd, Yb, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, Al, Yb, Li, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, Yb, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, 및 이들 중 임의의 것들의 임의의 조합으로부터 선택될 수 있다. 일부 비제한적인 예에서, 원소는 Ag일 수 있다.

[0107] 일부 비제한적인 예에서, 전도성 코팅 물질은 순수한 금속을 포함할 수 있다. 일부 비제한적인 예에서, 순수한 금속은 순수한 은(Ag), 및 실질적으로 순수한 Ag 중 적어도 하나일 수 있다. 일부 비제한적인 예에서, 실질적으로 순수한 Ag는 적어도 약 95%, 적어도 약 98%, 적어도 약 99%, 적어도 약 99.9%, 적어도 약 99.99%, 적어도 약 99.999%, 및 적어도 약 99.9995% 중 적어도 하나의 순도를 가질 수 있다. 일부 비제한적인 예에서, 순수한 금속은 순수한 마그네슘(Mg), 및 실질적으로 순수한 Mg 중 적어도 하나일 수 있다. 일부 비제한적인 예에서, 실질적으로 순수한 Mg는 적어도 약 95%, 적어도 약 98%, 적어도 약 99%, 적어도 약 99.9%, 적어도 약 99.99%, 적어도 약 99.999%, 및 적어도 약 99.9995% 중 적어도 하나의 순도를 가질 수 있다.

[0108] 일부 비제한적인 예에서, 전도성 코팅은 합금을 포함할 수 있다. 일부 비제한적인 예에서, 합금은 은(Ag) 함유 합금, 마그네슘(Mg) 함유 합금, 및 AgMg 함유 합금 중 적어도 하나일 수 있다.

[0109] 일부 비제한적인 예에서, 전도성 코팅은 비-금속 원소를 포함할 수 있다. 일부 비제한적인 예에서, 비-금속 원

소는 산소(O), 황(S), 질소(N), 탄소(C), 및 이들 중 임의의 것들의 임의의 조합 중 적어도 하나로부터 선택될 수 있다. 일부 비제한적인 예에서, 전도성 코팅 물질의 비-금속 원소의 농도는 약 1%, 약 0.1%, 약 0.01%, 약 0.001%, 약 0.0001%, 약 0.00001%, 약 0.000001%, 및 약 0.0000001% 중 적어도 하나 미만일 수 있다.

[0110] 일부 비제한적인 예에서, 디바이스는 반도체 층을 추가로 포함할 수 있으며, 여기서 적어도 하나의 전극 코팅은 제1 발광 영역에서 반도체 층과 제1 CPL 사이 및 제2 발광 영역에서 반도체 층과 제2 CPL 사이에서 연장한다. 일부 비제한적인 예에서, 제1 CPL 및 제2 CPL 중 적어도 하나는 전도성 코팅을 패터닝하기 위한 핵 생성 억제 코팅(NIC: nucleation inhibiting coating)을 포함할 수 있다.

[0111] 일부 비제한적인 예에서, 제2 CPL은 제1 발광 영역 내에 배치될 수 있다. 일부 비제한적인 예에서, 제1 CPL은 제1 발광 영역에서 적어도 하나의 전극 코팅과 제2 CPL 사이에서 연장할 수 있다. 일부 비제한적인 예에서, 제2 CPL은 제1 발광 영역에서 적어도 하나의 전극 코팅과 제1 CPL 사이에서 연장할 수 있다.

[0112] 일부 비제한적인 예에서, 제1 CPL은 제2 발광 영역 내에 배치될 수 있다. 일부 비제한적인 예에서, 제1 CPL은 제2 발광 영역에서 적어도 하나의 전극 코팅과 제2 CPL 사이에서 연장할 수 있다. 일부 비제한적인 예에서, 제2 CPL은 제2 발광 영역에서 적어도 하나의 전극 코팅과 제1 CPL 사이에서 연장할 수 있다.

[0113] 일부 비제한적인 예에서, 디바이스는 제3 개시 파장을 특징으로 하는 제3 파장 스펙트럼을 갖는 광자를 방출하도록 구성된 제3 발광 영역을 추가로 포함할 수 있다. 일부 비제한적인 예에서, 제3 파장 스펙트럼은 제2 파장 스펙트럼의 제2 피크 파장보다 짧고 제1 파장 스펙트럼의 제1 피크 파장보다 긴 제3 피크 파장을 가질 수 있다. 일부 비제한적인 예에서, 제1 파장 스펙트럼은 청색(B)인 색상에 상응할 수 있고, 제2 파장 스펙트럼은 녹색(G)인 색상에 상응할 수 있으며, 제3 파장 스펙트럼은 적색(R)인 색상에 상응할 수 있다.

[0114] 일부 비제한적인 예에서, 제1 CPL 및 제2 CPL 중 적어도 하나는 제3 발광 영역 내에 배치될 수 있다. 일부 비제한적인 예에서, 제3 CPL은 제3 발광 영역 내에 배치될 수 있다. 일부 비제한적인 예에서, 제3 CPL 및 제3 CPL 물질(CPL(m)3) 중 적어도 하나는 제3 개시 파장보다 짧은 제3 흡수 에지 파장에서 제3 흡수 에지를 나타낼 수 있다.

[0115] 일부 비제한적인 예에서, 제3 흡수 에지는 CPL(m)3의 소광 계수가 임계값과 동일한 제3 소광 파장을 특징으로 할 수 있다.

[0116] 일부 비제한적인 예에서, 제3 개시 파장은 흡수 에지 파장보다 약 200 nm, 약 150 nm, 약 130 nm, 약 100 nm, 약 80 nm, 약 70 nm, 약 60 nm, 약 50 nm, 약 40 nm, 약 35 nm, 약 25 nm, 약 20 nm, 약 15 nm, 및 약 10 nm 중 적어도 하나의 미만 만큼 더 길 수 있다. 일부 비제한적인 예에서, 제3 소광 파장은 CPL(m)3의 소광 계수가 임계값과 동일한 적어도 하나의 파장 중 가장 긴 것이다. 일부 비제한적인 예에서, 파장의 함수로서의 CPL(m)3의 소광 계수의 1차 도함수는 제3 소광 파장에서 음(-)의 값일 수 있다. 일부 비제한적인 예에서, 제3 소광 파장보다 긴 파장에서의 CPL(m)3의 소광 계수는 임계값 미만일 수 있다. 일부 비제한적인 예에서, 제3 소광 파장보다 긴 모든 파장에서의 CPL(m)3의 소광 계수는 임계값 미만일 수 있다. 일부 비제한적인 예에서, 제3 개시 파장보다 긴 임의의 파장에서의 CPL(m)3의 소광 계수는 약 0.1, 약 0.09, 약 0.08, 약 0.06, 약 0.05, 약 0.03, 약 0.01, 약 0.005, 및 약 0.0001 중 적어도 하나 미만일 수 있다. 일부 비제한적인 예에서, 제1 흡수 에지 파장보다 짧은 파장에서의 CPL(m)3의 소광 계수는 약 0.1, 약 0.12, 약 0.13, 약 0.15, 약 0.18, 약 0.2, 약 0.25, 약 0.3, 약 0.5, 약 0.7, 약 0.75, 약 0.8, 약 0.9, 및 약 1.0 중 적어도 하나를 초과할 수 있다.

[0117] 일부 비제한적인 예에서, 제3 흡수 에지 파장보다 긴 적어도 하나의 파장에 대한 CPL(m)3의 굴절률은 제1 흡수 에지 파장보다 짧은 적어도 하나의 파장에 대한 CPL(m)3의 굴절률을 초과할 수 있다. 일부 비제한적인 예에서, 제3 파장 스펙트럼의 적어도 하나의 파장에서 CPL(m)3의 굴절률은 약 1.8, 약 1.9, 약 1.95, 약 2, 약 2.05, 약 2.1, 약 2.2, 약 2.3, 및 약 2.5 중 적어도 하나를 초과할 수 있다.

[0118] 일부 비제한적인 예에서, 제3 발광 영역에는 제1 CPL 및 제2 CPL 중 적어도 하나가 실질적으로 없을 수 있다.

[0119] 실례들은 그들을 구현할 수 있는 본 개시내용의 양태들과 함께 상기에서 설명하였다. 당업자는 이러한 실례들이 그들을 설명하는 양태와 함께 구현될 수 있지만, 그의 다른 예 또는 다른 양태와 함께 구현될 수도 있음을 이해할 것이다. 이러한 실례들이 상호간에 서로 배타적이거나 달리는 서로 양립할 수 없는 경우, 이는 관련 기술 분야에서 통상의 지식을 가진 자에게 자명할 것이다. 일부 예는 하나의 양태와 관련하여 설명될 수 있지만, 관련 기술 분야의 통상의 지식을 가진 자에게 자명한 바와 같이 다른 양태에도 또한 적용될 수 있다.

[0120] 본 개시내용의 일부 양태 또는 예는 그의 광학 특성이 하부 발광 영역의 적어도 하나의 미세공동 효과를 수정하

도록 선택될 수 있는 개개의 캡핑층(CPL)이 증착된 개개의 발광 스펙트럼을 갖는 제1 및 제2 발광 영역을 갖는 광전자 디바이스를 제공할 수 있다. CPL은 하부 표면 상에 전도성 코팅을 형성하기 위한 초기 접착 확률(initial sticking probability)보다 실질적으로 더 작은 표면 상에 전도성 코팅을 형성하기 위한 초기 접착 확률을 갖는 패터닝 코팅을 포함할 수 있으므로, CPL에는 후속적으로 증착되는 전도성 코팅이 실질적으로 없다.

발명을 실시하기 위한 구체적인 내용

[0121] 광전자 디바이스

[0122] 본 개시내용은 일반적으로는 전자 디바이스에 관한 것으로, 보다 구체적으로는 광전자 디바이스에 관한 것이다. 광전자 디바이스는 일반적으로 전기 신호를 광자로 또는 그 반대로 변환하는 임의의 디바이스를 포함한다.

[0123] 본 개시내용에서, 용어 "광자(photon)" 및 "광(light)"은 유사한 개념을 지칭하기 위해 상호교환적으로 사용될 수 있다. 본 개시내용에서, 광자는 가시광선 스펙트럼, 적외선(IR) 및/또는 자외선(UV) 영역 내의 파장을 가질 수 있다.

[0124] 본 개시내용에서, 본원에서 사용되는 용어 "가시광선 스펙트럼"은 일반적으로는 전자기 스펙트럼의 가시 부분 내의 적어도 하나의 파장을 지칭한다. 일부 비제한적인 예에서, 가시광선 스펙트럼은 약 380 nm 내지 약 750 nm의 파장 범위에 상응할 수 있다.

[0125] 본 개시내용에서, 본원에서 사용되고 파장(λ)의 함수로서의 강도(I)의 플롯으로서 **도 32**에서 비제한적인 예로서 도시되는 용어 "발광 스펙트럼"(ES: emission spectrum)은 일반적으로는 광전자 디바이스에 의해 방출되는 광의 전자 발광 스펙트럼(electroluminescence spectrum)을 지칭한다. 비제한적인 예로서, 발광 스펙트럼(ES)은 광학 기기, 예를 들어, 비제한적인 예로서, 파장 범위 전체에 걸쳐 전자기 복사선의 강도(I)를 측정하는 분광광도계를 사용하여 검출할 수 있다.

[0126] 본 개시내용에서, 본원에서 사용되고 **도 32**에서 비제한적인 예로서 도시되는 용어 "개시 파장"(λ_{onset})은 일반적으로는 발광 스펙트럼 내에서 발광이 검출되는 가장 짧은 파장을 지칭한다.

[0127] 본 개시내용에서, 본원에서 사용되고 **도 32**에서 비제한적인 예로서 도시되는 용어 "피크 파장"(λ_{max})은 일반적으로는 발광 스펙트럼 내에서 최대 발광이 검출되는 파장을 지칭한다. 당업자는 휘도가 칸델라(cd)(제곱 면적당 광도(luminous intensity)의 측정치) 단위, cd/m^2 또는 니트(nit) 단위로 측정될 수 있다는 것을 이해할 것이다. 발광 스펙트럼이 시야각(즉, 발광 스펙트럼이 측정되는 각도)에 따라 변하는 광전자 디바이스의 일부 비제한적인 예에서, 디바이스의 평면에 대해 법선 각도에서 취한 발광 스펙트럼이 최대 휘도 및/또는 그의 피크 파장 λ_{max}를 제한 없이 포함하는 발광의 다양한 특성을 측정하는 데 사용될 수 있다.

[0128] 일반적으로, 개시 파장 λ_{onset}은 피크 파장 λ_{max}보다 짧은 파장에서 발생한다. 일부 비제한적인 예에서, 개시 파장 λ_{onset}은, **도 32**에 비제한적인 예로서 일반적으로 도시되어 있는 바와 같이, 휘도가 임계 강도(I_{onset})에 있는 발광 스펙트럼 내의 파장에 대응할 수 있으며, 이는, 일부 비제한적 예에서, 피크 파장 λ_{max}에서의 휘도의 약 10%, 약 5%, 약 3%, 약 1%, 약 0.5%, 약 0.1%, 또는 약 0.01%에 있을 수 있다.

[0129] 일반적으로, 전자 발광 디바이스는 약 425 nm 내지 약 725 nm 범위의 파장을 갖는 광, 보다 구체적으로, 일부 비제한적인 예에서는, 각각 청색(B)(2543), 녹색(G)(2542), 및 적색(R)(2541) 서브-픽셀(sub-pixel)에 대응하는 456 nm, 528 nm, 및 624 nm의 피크 방출 파장을 갖는 광을 방출 및/또는 투과하도록 구성된다. 따라서, 이러한 전자 발광 디바이스의 맥락에서, 발광 스펙트럼은 임의의 파장 또는 약 425 nm 내지 약 725 nm, 또는 약 456 nm 내지 약 624 nm 범위의 파장일 수 있다. 가시광선 스펙트럼 내의 파장을 갖는 광자는, 일부 비제한적인 예에서는, 또한 본원에서는 "가시광선"으로 지칭될 수도 있다.

[0130] 일부 비제한적인 예에서, 가시광선 스펙트럼의 R(적색) 부분에 있는 발광 스펙트럼은 600 nm 내지 약 640 nm의 파장 범위에 있을 수 있는 피크 파장(λ_{max})을 특징으로 할 수 있으며, 일부 비제한적인 예에서는 실질적으로 약 620 nm일 수 있다. 대응하는 개시 파장(λ_{onset})은 약 500 nm 내지 약 610 nm, 약 575 nm 내지 약 600 nm, 약 570 nm 내지 약 580 nm, 또는 약 580 nm 내지 약 590 nm의 파장 범위에 있을 수 있다.

[0131] 일부 비제한적인 예에서, 가시광선 스펙트럼의 G(녹색) 부분에 있는 발광 스펙트럼은 510 nm 내지 약 540 nm의 파장 범위에 있을 수 있는 피크 파장(λ_{max})을 특징으로 할 수 있으며, 일부 비제한적인 예에서는 실질적으로 약

530 nm일 수 있다. 대응하는 개시 파장(λ_{onset})은 약 470 nm 내지 약 520 nm, 약 480 nm 내지 약 510 nm, 약 480 nm 내지 약 490 nm, 또는 약 490 nm 내지 약 500 nm의 파장 범위에 있을 수 있다.

[0132] 일부 비제한적인 예에서, 가시광선 스펙트럼의 B(청색) 부분에 있는 발광 스펙트럼은 450 nm 내지 약 460 nm의 파장 범위에 있을 수 있는 피크 파장(λ_{max})을 특징으로 할 수 있으며, 일부 비제한적인 예에서는 실질적으로 약 455 nm일 수 있다. 대응하는 개시 파장(λ_{onset})은 약 420 nm 내지 약 450 nm, 약 425 nm 내지 약 440 nm, 약 420 nm 내지 약 430 nm, 또는 약 430 nm 내지 약 440 nm의 파장 범위에 있을 수 있다.

[0133] 본 개시내용에서, 본원에서 사용되는 용어 "IR 신호"는 일반적으로 EM 스펙트럼의 IR 부분 내의 파장을 갖는 EM 방사선을 지칭한다. 일부 비제한적인 예에서, IR 신호는 그의 근적외선(NIR: near-infrared) 서브세트에 대응하는 파장을 가질 수 있다. 비제한적인 예로서, NIR 신호는 약 750 nm 내지 약 1400 nm, 약 750 nm 내지 약 1300 nm, 약 800 nm 내지 약 1300 nm, 약 800 nm 내지 약 1200 nm, 약 850 nm 내지 약 1100 nm, 및/또는 약 900 nm 내지 약 1000 nm의 파장을 가질 수 있다.

[0134] 본 개시내용에서, 본원에서 사용되는 용어 "흡수 스펙트럼"은 일반적으로 흡수가 일어나는 EM 스펙트럼의 파장(서브-)범위를 지칭한다.

[0135] 본 개시내용에서, 본원에서 사용되고 **도 33**에서 비제한적인 예로서 일반적으로 도시되어 있는 바와 같은 용어 "소광 계수"(k)는 물질을 통해 전파될 때 전자기 계수가 감쇠되는 정도를 지칭한다. 일부 비제한적인 예에서, 소광 계수는 복소 굴절률(N)의 허수 성분(k)에 대응하는 것으로 이해될 수 있다. 일부 비제한적인 예에서, 물질의 소광 계수는 타원 측정법(ellipsometry)을 포함하는 다양한 방법으로 측정할 수 있지만, 이에 국한되지 않는다.

[0136] 본 개시내용에서, 매질을 설명하기 위해 본원에서 사용되고 **도 32**에서 비제한적인 예로서 일반적으로 도시되어 있는 바와 같은 용어 "굴절률"(n) 및/또는 "인덱스"는 진공에서의 광선의 속도에 대한 이러한 매질에서의 광선의 속도의 비로부터 계산되는 값을 지칭한다. 본 개시내용에서, 특히 박막 필름 층 및/또는 코팅을 포함하나 이에 국한되지 않는 실질적으로 투명한 물질의 특성을 설명하기 위해 사용되는 경우, 상기 용어는 식 $N = n + ik$에서 실수부 n에 대응할 수 있으며, 상기 식에서 N은 복소 굴절률을 나타내고 k는 소광 계수를 나타낸다.

[0137] 당업자가 이해하고 있는 바와 같이, 박막 필름 층 및/또는 코팅을 포함하나 이에 국한되지 않는 실질적으로 투명한 물질은 일반적으로 가시광선 스펙트럼에서 상대적으로 낮은 k 값을 나타내고, 따라서 식의 허수 성분의 복소 굴절률(N)에 대한 기여는 무시할 수 있다. 반면에, 예를 들어 금속 박막 필름으로 형성된 투광성 전극은 가시광선 스펙트럼에서 상대적으로 낮은 n값 및 상대적으로 높은 k값을 나타낼 수 있다. 따라서, 이러한 박막 필름의 복소 굴절률(N)은 주로 그의 허수 성분에 의해 결정될 수 있다.

[0138] 본 개시내용에서, 문맥상 달리 지시하지 않는 한, 굴절률에 대한 특이성이 없는 언급은 복소 굴절률(N)의 실수부(n)에 대한 언급으로 간주한다.

[0139] 본 개시내용에서, 본원에서 사용되고 **도 33**에서 비제한적인 예로서 도시되어 있는 바와 같은 용어 "흡수 에지"(AE: absorption edge), "흡수 불연속(absorption discontinuity)" 및/또는 "흡수 한계(absorption limit)"는 일반적으로 코팅, 층, 및/또는 물질의 소광 계수(k) 및/또는 흡수 스펙트럼의 급격한 감소를 지칭한다. 본 개시내용에서, 예를 들어, 캡핑 층(CPL)(3610)과 관련하여 기술된 바와 같은 "흡수 에지"는, 예를 들어, 가시 스펙트럼 내에서 CPL(3610)의 소광 계수(k)의 급격한 감소가 관찰되는 가장 긴 파장을 지칭한다. 일부 비제한적인 예에서, 특히 가시 스펙트럼에서 CPL(3610)의 소광 계수(k)는 0을 향해 감소할 수 있고 가시 스펙트럼의 나머지 부분 전체에 걸쳐 낮게 유지할 수 있다. 이러한 비제한적인 예에서, CPL(3610)의 흡수 에지는, **도 33**에서 비제한적인 예로서 일반적으로 도시되어 있는 바와 같이, 소광 계수(k)가 0을 향해 감소함에 따라 임계값(T_{AE})을 통과하는 파장 또는 가장 긴 파장에 대응할 수 있다. 일부 비제한적인 예에서, CPL(3610)의 흡수 에지는 소광 계수(k)가 음수 값을 갖는 파장(λ)의 함수로서 소광 계수(k)의 1차 도함수를 갖는 임계값(T_{AE})를 통과하는 파장 또는 가장 긴 파장에 대응할 수 있다.

[0140] 일부 비제한적인 예에서, 굴절률(n)과 투과율 사이에 일반적으로 양의 상관관계가 있을 수 있거나, 또는 다시 말해 흡수 에지에서 또는 그 근처에서 굴절률(n)과 흡광도 사이에 일반적으로 음의 상관관계가 있을 수 있다. 일부 비제한적인 예에서, 물질의 흡수 에지는 소광 계수(k)가 0에 가까운 임계값에 접근하는 파장에 대응할 수 있다.

[0141] 유기 광전자 디바이스는 상기 디바이스의 하나 이상의 활성층 및/또는 지층(strata)이 주로 유기(탄소-함유) 물질, 보다 구체적으로는 유기 반도체 물질로 형성되는 임의의 광전자 디바이스를 포함할 수 있다.

[0142] 본 개시내용에서, 당업자는 유기 물질이 광범위한 유기 분자, 및/또는 유기 중합체를 제한없이 포함할 수 있다는 것을 이해할 것이다. 또한, 당업자는 원소 및/또는 무기 화합물을 제한 없이 포함하는 다양한 무기 물질로 도핑된 유기 물질이 여전히 유기 물질로 간주될 수 있다는 것을 이해할 것이다. 또한, 당업자는 다양한 유기 물질이 사용될 수 있고, 본원에서 기술되는 공정이 일반적으로 그러한 유기 물질의 전체 범위에 적용될 수 있다는 것을 이해할 것이다. 또한, 당업자는 금속 및/또는 다른 무기 원소를 함유하는 유기 물질이 여전히 유기 물질로 간주될 수 있다는 것을 이해할 것이다. 또한, 당업자는 다양한 유기 물질이 분자, 올리고머, 및/또는 중합체일 수 있다는 것을 이해할 것이다.

[0143] 본 개시내용에서, 무기물은 무기 물질을 주로 포함하는 물질을 의미할 수 있다. 본 개시내용에서, 무기 물질은 금속, 유리 및/또는 미네랄을 제한 없이 포함하는, 유기 물질로 간주되지 않는 임의의 물질을 포함할 수 있다.

[0144] 광전자 디바이스가 발광 공정을 통해 광자를 방출하는 경우, 이러한 디바이스는 전자 발광 디바이스로 간주될 수 있다. 일부 비제한적인 예에서, 전자 발광 디바이스는 유기 발광 다이오드(OLED: organic light-emitting diode) 디바이스일 수 있다. 일부 비제한적인 예에서, 전자 발광 디바이스는 전자 디바이스의 일부일 수 있다. 비제한적인 예로서, 전자 발광 디바이스는 OLED 조명 패널 또는 모듈, 및/또는 스마트폰, 태블릿, 랩탑, e-리더와 같은 컴퓨팅 디바이스, 및/또는 모니터 및/또는 텔레비전 세트(집합적으로 "사용자 디바이스")와 같은 일부 다른 전자 디바이스의 OLED 디스플레이 또는 모듈일 수 있다.

[0145] 일부 비제한적인 예에서, 광전자 디바이스는 광자를 전기로 변환하는 유기 광전지(OPV: organic photo-voltaic) 디바이스일 수 있다. 일부 비제한적인 예에서, 광전자 디바이스는 전자 발광 양자점(electro-luminescent quantum dot) 디바이스일 수 있다. 본 개시내용에서, 특별히 달리 명시되지 않는 한, 이러한 개시내용을, 일부 예에서는, 당업자에게 명백한 방식으로 OPV 및/또는 양자점 디바이스를 제한 없이 포함하는 다른 광전자 디바이스에 동등하게 적용할 수 있다는 이해 하에 OLED 디바이스에 대해 언급될 것이다.

[0146] 이러한 디바이스의 구조는 두 가지 양태 각각에서, 즉 단면 양태 및/또는 측면(평면도) 양태에서 설명될 것이다.

[0147] 본 개시내용에서, 용어 "층(layer)" 및 "지층(strata)"은 유사한 개념을 지칭하기 위해 상호교환적으로 사용될 수 있다.

[0148] 아래에서 단면 양태를 도입하는 맥락에서, 이러한 디바이스의 구성요소는 실질적으로 평면인 측면 지층으로 도시된다. 당업자는 이러한 실질적으로 평면적인 표현이 단지 예시를 위한 것이며, 이러한 디바이스의 측면 범위를 가로질러, 일부에서 비제한적인 예에서는, 층, 및/또는 비평면 전이 영역(측면 갭 및 불연속면 포함)에 의해 분리된 층(들)의 실질적으로 완전한 부재를 포함하여 상이한 두께 및 치수를 갖는 국소화된 실질적으로 평면인 지층이 있을 수 있다는 것을 이해할 것이다. 따라서, 예시적인 목적을 위해, 디바이스가 실질적으로 계층화된 구조로서 그의 단면 양태에서 아래에서 도시되지만, 아래에서 논의되는 평면도 양태에서, 그러한 장치는 특징을 정의하기 위해 다양한 지형을 예시할 수 있으며, 각각의 특징은 단면 양태에서 논의된 계층화된 프로파일을 실질적으로 나타낼 수 있다.

[0149] 단면 양태

[0150] **도 1**은 본 개시내용에 따른 예시적인 전자 발광 디바이스의 단면 양태의 단순화된 블록도이다. 일반적으로 100으로 도시되는 전자 발광 디바이스는 기판(110)을 제한 없이 포함하는 복수의 층을 포함하고, 그 위에 복수의 층, 즉 제1 전극(120), 적어도 하나의 반도체 층(130), 및 제2 전극(140)을 각각 포함하는 프런트플레인(frontplane)(10)이 배치된다. 일부 비제한적인 예에서, 프런트플레인(10)은 광자 방출 및/또는 방출된 광자의 조작을 위한 메커니즘을 제공할 수 있다. 일부 비제한적인 예에서, 층(120, 130, 140) 및/또는 그 위에 배치된 기판(110)을 둘러싸고/싸거나 캡슐화하기 위해 배리어 코팅(1650)(**도 16c**)이 제공될 수 있다.

[0151] 예시의 목적으로, 하부 물질의 노출된 층 표면은 111로 지칭된다. **도 1**에서, 노출된 층 표면(111)은 제2 전극(140)인 것으로 도시되어 있다. 당업자는, 비제한적인 예로서, 제1 전극(120)의 증착 시에, 노출된 층 표면(111)은 기판(110)의 111a로 도시되었을 것이라는 사실을 이해할 것이다.

[0152] 당업자는, 구성요소, 층, 영역 및/또는 이들의 일부분이 또 다른 하부 물질, 구성요소, 층, 영역 및/또는 부분 상에 또는 위에 "형성", "배치" 및/또는 "증착"되는 것으로 언급되는 경우, 이러한 형성, 배치 및/또는 증착은

이러한 하부 물질, 구성요소, 층, 영역 및/또는 부분, 및 그들 사이에 개재될 가능성이 있는 물질(들), 구성요소(들), 층(들), 영역(들) 및/또는 부분(들)의 노출된 층 표면(111)(이러한 형성, 배치 및/또는 증착 시에) 상에서 직접적으로 및/또는 간접적으로 수행될 수 있다는 것을 이해할 것이다.

[0153] 본 개시내용에서, 기판(110)이 디바이스(100)의 "바닥(bottom)"로 간주되고 층(120, 130, 140)이 기판(11)의 "상부(top)"에 배치되는 전술된 측면 양태에 대해 실질적으로 법선 방향으로 연장되는 방향 규칙(directional convention)을 따른다. 이러한 규칙에 따라, 제2 전극(140)은 도시된 디바이스(100)의 상부에 위치하고, 비록 (제조 공정 동안을 포함하지만 이에 제한되지 않는 일부 예에서는 하나 이상의 층(120, 130, 140)이 기상 증착 공정에 의해 도입될 수 있는) 경우에 조차도, 기판(110)은 층(120, 130, 140) 중 하나, 예를 들어, 이에 제한되는 것은 아니지만, 제1 전극(120)이 배치될 상부 표면이 물리적으로 기판(110) 아래에 놓이도록 물리적으로 반전됨으로써, 증착 물질(도시되지 않음)이 위쪽으로 이동하여 그의 상부 표면 상에 박막으로 증착된다.

[0154] 일부 비제한적인 예에서, 디바이스(100)는 전원(15)에 전기적으로 결합될 수 있다. 이렇게 결합되었을 때, 디바이스(100)는 본원에서 기술되는 바와 같이 광자를 방출할 수 있다.

[0155] 일부 비제한적인 예에서, 디바이스(100)는 그로부터 생성되는 광자의 방출 방향에 따라 분류될 수 있다. 일부 비제한적인 예에서, 생성된 광자가 디바이스(100)의 바닥에서 기판(100)을 향해 이를 통과하고, 기판(110)의 상부에 배치된 층(120, 130, 140)으로부터 멀어지는 방향으로 방출되는 경우 디바이스(100)는 배면발광 디바이스(bottom-emission device)인 것으로 간주될 수 있다. 일부 비제한적인 예에서, 광자가 디바이스(100)의 바닥에서 기판(110)으로부터 멀어지는 방향으로 및 기판(110)의 상부에 중간층(120, 130)과 함께 배치된 상부 층(140)을 향하여 및/또는 이를 통해 방출되는 경우 디바이스(100)는 전면발광 디바이스(top-emission device)인 것으로 간주될 수 있다. 일부 비제한적인 예에서, 디바이스가 바닥(기판(110)을 향하여 및 이를 통해) 및 상부(상부 층(140)을 향하여 및 이를 통해) 모두에서 광자를 방출하도록 구성되는 경우 디바이스(100)는 양면발광 디바이스(double-sided emission device)인 것으로 간주될 수 있다.

[0156] 박막 필름 형성

[0157] 프런트플레인(10) 층들(120, 130, 140)은, 일부 비제한적인 예에서는, 때때로 박막 필름으로서 기판(110) 및 개재되는 하부층(120, 130, 140)일 수 있는 하부 물질의 타겟 노출된 층 표면(111)(및/또는, 이로 제한되는 것은 아니지만 본원에서 개시되는 선택적 증착의 경우를 포함하는 일부 비제한적인 예에서는, 이러한 표면의 적어도 하나의 타겟 영역 또는 부분) 상에 차례로 배치될 수 있다. 일부 비제한적인 예에서, 전극(120, 140, 1750, 4150)은 전도성 코팅(830)(**도 8**)의 적어도 하나의 전도성 박막 필름 층으로 형성될 수 있다. 당업자는 이러한 전도성 코팅(830)이 디바이스(100)의 복수의 층들 중 (적어도) 하나일 수 있다는 것을 이해할 것이다. 전도성 코팅(830)은 전도성 코팅 물질(831)로 구성될 수 있다. 당업자는 전도성 코팅(830) 및 이를 포함하는 전도성 코팅 물질(831)은, 특히 필름으로서 및 전도성 코팅(830)을 증착하는 데 사용되는 것과 실질적으로 유사한 조건하에 및/또는 메커니즘에 의해 배치될 때, 대체로 유사한 광학 및/또는 기타 특성을 나타낼 수 있다는 것을 이해할 것이다.

[0158] **도 1** 및 도면 전체에 걸쳐 도시된, 층(120, 130, 140)을 제한 없이 포함하는 각각의 층 및 기판(110)의 두께는 단지 예시적일 뿐이며 반드시 다른 층(120, 130, 140)(및/또는 기판(110)의)에 대한 두께를 나타내는 것은 아니다.

[0159] 본 개시내용에서, 설명의 단순성을 위해, 본원에서 사용되는 용어 "코팅 필름", "폐쇄된 코팅", 및/또는 "폐쇄된 필름"(4530)은, 일부 비제한적인 예에서는, 전도성 코팅(830)에 사용되는 전도성 코팅 물질(831)의 박막 필름 구조물 및/또는 코팅을 지칭하며, 여기서 표면의 관련 부분이 그에 의해 실질적으로 코팅되고, 따라서 이러한 표면은 그 위에 증착된 폐쇄된 필름(4530)에 의해 또는 폐쇄된 필름(4530)을 통해 실질적으로 노출되지 않는다.

[0160] 본 개시내용에서, 문맥상 달리 지시하지 않는 한, 박막 필름에 대한 특이성이 없는 언급은 실질적으로 폐쇄된 필름(4530)에 대한 언급으로 간주한다.

[0161] 일부 비제한적인 예에서, 폐쇄된 필름(4530), 일부 비제한적인 예에서는, 전도성 코팅 물질(831)의 폐쇄된 필름(4530)은 하부 표면의 일부를 덮도록 배치될 수 있으며, 따라서 이러한 부분 내에서, 약 20% 미만, 약 15% 미만, 약 10% 미만, 약 5% 미만, 약 3% 미만, 또는 약 1% 미만의 하부 표면은 폐쇄된 필름(4530)에 의해 또는 폐쇄된 필름(4530)을 통해 노출된다.

[0162] 당업자는 폐쇄된 필름(4530)을 본원에서 기술되는 것들을 포함하지만 이에 국한되지 않는 다양한 기술 및 공정

을 이용하여 패턴화함으로써, 폐쇄된 필름(4530)의 증착 후에 노출될 하부 표면의 노출된 층 표면(111)의 일부를 의도적으로 남겨둘 수 있다는 것을 이해할 것이다. 본 개시내용에서, 이러한 패터화된 필름은 그럼에도 불구하고, 비제한적인 예로서, 증착되는 박막 필름 및/또는 코팅이, 이러한 패터닝의 맥락 내에서, 그리고 하부 표면의 노출된 층 표면(111)의 이러한 의도적으로 노출된 부분 사이에서 그 자체가 실질적으로 폐쇄된 필름(4530)을 포함하는 경우에 폐쇄된 필름(4530)을 구성하는 것으로 간주될 수 있다.

[0163] 당업자는, 증착 공정에서의 고유한 가변성 및, 일부 비제한적인 예에서는, 증착된 물질, 일부 비제한적인 예에서는, 전도성 코팅 물질(831), 및 하부 물질의 노출된 층 표면(111) 중 어느 하나 또는 둘 모두에서의 불순물의 존재로 인하여, 본원에서 기술되는 것들을 제한 없이 포함하는 다양한 기술 및 공정을 이용하여 박막 필름을 증착하는 것은 그럼에도 불구하고 그 안에서 핀-홀, 인열, 및/또는 균열을 제한 없이 포함하는 작은 개구의 형성을 초래할 수 있다는 것을 이해할 것이다. 본 개시내용에서, 이러한 박막 필름은 그럼에도 불구하고, 비제한적인 예로서, 증착되는 박막 필름 및/또는 코팅이 이러한 개구의 존재에도 불구하고 실질적으로 폐쇄된 필름(4530)을 포함하고 상기에서 명시된 백분율 적용 기준을 충족하는 경우에 폐쇄된 필름(4530)을 구성하는 것으로 간주될 수 있다.

[0164] 단량체(일부 비제한적인 예에서는 증기 형태의 증착된 물질의 분자 및/또는 원자일 수 있음)를 지속적으로 증착하면, 궁극적으로는 실질적으로 폐쇄된 필름(4530)이 하부 물질의 노출된 층 표면(111) 상에 증착될 수 있다. 이러한 폐쇄된 필름(4530)의 이와 같이 야기되는 광학 효과를 포함하는 거동은 일반적으로는 비교적 일관되고 놀랍지 않다.

[0165] 일부 비제한적인 예에서, 적어도 하나의 폐쇄된 필름(4530)을 포함하는 박막 필름의 그의 광학 효과를 포함하는 거동은 일반적으로 비교적 균일하다.

[0166] 본 개시내용은, 적어도 하나의 층 또는 코팅과 관련하여, 기상 증착의 관점에서 박막 필름 형성을 논의하지만, 당업자는, 일부 비제한적인 예에서, 전자 발광 디바이스의 다양한 구성요소(100)는, 이에 제한되는 것은 아니지만, 증발(열 증발 및/또는 전자빔 증발을 포함하지만 이에 제한되지 않음), 포토리소그래피, 프린팅(잉크 젯 및/또는 증기 젯 프린팅, 릴-투-릴 프린팅(reel-to-reel printing) 및/또는 마이크로-접촉 전사 프린팅(micro-contact transfer printing)을 포함하지만 이에 제한되지 않음), 물리적 기상 증착(PVD: physical vapor deposition)(스퍼터링을 포함하지만 이에 제한되지 않음), 화학적 기상 증착(CVD: chemical vapor deposition)(플라즈마 강화 CVD(PECVD) 및/또는 유기 기상 증착(OVPD)을 포함하지만 이에 제한되지 않음), 레이저 어닐링, 레이저 유도 열화상(LITI: laser-induced thermal imaging) 패터닝, 원자층 증착(ALD), 코팅(스핀 코팅, 딥 코팅, 라인 코팅 및/또는 스프레이 코팅을 포함하지만 이에 제한되지 않음), 및/또는 이들의 조합을 포함하는 매우 다양한 기술을 사용하여 선택적으로 증착시킬 수 있다는 것을 이해할 수 있을 것이다. 일부 공정은, 일부 비제한적인 예에서는, 노출된 하부 물질의 표면의 특정 부분 상에 증착되는 물질의 증착을 마스킹 및/또는 방지함으로써 다양한 패턴을 달성하기 위해 임의의 다양한 층 및/또는 코팅을 증착하는 동안 개방형 마스크 및/또는 미세 금속 마스크(FMM)일 수 있는 섀도우 마스크와 함께 사용될 수 있다.

[0167] 본 개시내용에서, 용어 "증발" 및/또는 "승화"는 일반적으로는 소스 물질을, 이에 제한되는 것은 아니지만, 가열에 의해 증기로 전환시켜 타겟 표면 상에, 이에 제한되는 것은 아니지만, 고체 상태로 증착시키는 증착 공정을 지칭하는 데 상호교환적으로 사용될 수 있다. 이해하고 있는 바와 같이, 증발 공정은 하나 이상의 소스 물질들을 저압(진공을 포함하지만 이에 제한되지 않음) 환경 하에 증발 및/또는 승화시켜 증기상 단량체를 형성하고 하나 이상의 증발된 소스 물질들의 탈승화 작용(de-sublimation)을 통해 타겟 표면 상에 증착시키는 PVD 공정의 한 유형이다. 다양한 종류의 상이한 증발 소스들이 소스 물질을 가열하는 데 사용될 수 있으며, 그 자체로 소스 물질이 다양한 방식으로 가열될 수 있다는 것을 당업자는 이해할 것이다. 비제한적인 예로서, 소스 물질은 전기 필라멘트, 전자 빔, 유도 가열, 및/또는 저항 가열에 의해 가열될 수 있다. 일부 비제한적인 예에서, 소스 물질은 가열된 도가니, 가열된 보트, 크누센 셀(Knudsen cell)(유출 증발기 소스일 수 있음) 및/또는 임의의 다른 유형의 증발 소스에 로딩될 수 있다.

[0168] 일부 비제한적인 예에서, 증착 소스 물질은 혼합물일 수 있다. 일부 비제한적인 예에서, 증착 소스 물질의 혼합물의 적어도 하나의 성분은 증착 공정 동안 증착되지 않을 수 있다(또는, 일부 비제한적인 예에서, 증착 소스 물질의 혼합물의 적어도 하나의 성분은 이러한 혼합물의 다른 성분들에 비해 비교적 소량으로 증착될 수 있다).

[0169] 본 개시내용에서, 물질의 층 두께에 대한 언급은, 그의 증착 메커니즘과는 관계없이, 타겟 노출된 층 표면(111) 상에 증착되는 물질의 양을 지칭하며, 이는 언급된 층 두께를 갖는 물질의 균일한 두께의 층으로 타겟 표면을 덮기 위한 물질의 양에 해당한다. 비제한적인 예로서, 10 nm의 물질의 층 두께를 증착하는 것은 표면 상에 증착

된 물질의 양이 10 nm 두께인 물질의 균일한 두께의 층을 형성하기 위한 물질의 양에 상응한다는 것을 나타낸다. 상기에서 논의된 박막 필름이 형성되는 메커니즘과 관련하여, 비제한적인 예로서, 단량체(일부 비제한적인 예에서는 분자 및/또는 원자일 수 있음)의 가능한 적층 또는 클러스터링으로 인하여 증착된 물질의 실제 두께가 불균일할 수 있다는 것이 이해될 것이다. 비제한적인 예로서, 10 nm의 층 두께를 증착하는 것은 10 nm 초과의 실제 두께를 갖는 증착된 물질의 일부 부분, 또는 10 nm 미만의 실제 두께를 갖는 증착된 물질의 다른 부분을 생성할 수 있다. 따라서, 표면 상에 증착된 물질의 특정의 층 두께는, 일부 비제한적인 예에서, 폐쇄된 필름(4530)을 제한 없이 포함하는 타겟 표면 전체에 걸쳐 증착된 물질의 평균 두께에 대응할 수 있다.

[0170] 본 개시내용에서, 기준 층 두께에 대한 언급은 높은 초기 고착 확률(initial sticking probability) 또는 초기 고착 계수 S_0를 나타내는 기준 표면(즉, 약 1 및/또는 이에 근접한 초기 고착 확률 S_0를 갖는 표면) 상에 증착된, 본원에서는 또한 전도성 코팅 물질(831)로도 지칭되는 전도성 코팅(830)의 층 두께를 지칭한다. 기준 층 두께는 타겟 표면(예를 들어, 이에 제한되는 것은 아니지만, 핵 생성 억제 코팅(NIC)(810)의 표면) 상에 증착된 전도성 코팅 물질(831)의 실제 두께를 나타내지 않는다.

[0171] 당업자는 이러한 NIC(810)가 디바이스(100)의 복수의 층들 중 (적어도) 하나일 수 있다는 것을 이해할 것이다. NIC(810)는 NIC 물질로 구성될 수 있다. 당업자는 NIC(810) 및 이를 포함하는 NIC 물질은, 특히 필름으로서 및 NIC(810)을 증착하는 데 사용되는 것과 실질적으로 유사한 조건 하에 및/또는 메커니즘에 의해 배치될 때, 대체로 유사한 광학 및/또는 기타 특성을 나타낼 수 있다는 것을 이해할 것이다.

[0172] 오히려, 기준 층 두께는 동일한 증착 기간 동안 전도성 코팅 물질(831)의 동일한 증기 플럭스를 타겟 표면 및 기준 표면에 적용할 때 기준 표면, 일부 비제한적인 예에서는, 증착 속도 및 기준 층 두께를 모니터링하기 위해 증착 챔버 내측에 위치되는 석영 결정의 표면 상에 증착되는 전도성 코팅 물질(831)의 층 두께를 지칭한다. 당업자는 타겟 표면 및 기준 표면이 증착 동안 동일한 증기 플럭스로 동시에 처리되지 않는 경우, 적절한 툴링 인자(tooling factor)를 사용하여 기준 층 두께를 결정 및/또는 모니터링할 수 있다는 것을 이해할 것이다.

[0173] 본 개시내용에서, 다수의 X개의 물질의 단층(monolayer)을 증착하는 것에 대한 언급은 물질의 구성 단량체의 X개의 단일 층(single layer)(들)로 노출된 층 표면(111)의 원하는 영역을 덮는 양의 물질을 폐쇄된 필름(4530)에서와 같이 제한 없이 증착하는 것을 지칭한다.

[0174] 하부 물질의 노출된 층 표면(111) 상에 기상 증착하는 동안 박막을 형성하는 것은 핵 생성 및 성장 과정을 포함한다. 막 형성의 초기 단계 동안, 충분한 수의 증기 단량체(vapor monomer)(일부 비제한적인 예에서는 분자 및/또는 원자일 수 있음)는 전형적으로 증기상으로부터 응축되어 기판(110)(또는 개재된 하부 층(120, 130, 140))에 나타나 있는 노출된 층 표면(111) 상에 초기 핵을 형성한다. 증기 단량체가 이러한 표면에 계속 충돌함에 따라 이러한 초기 핵의 크기와 밀도가 증가하여 작은 클러스터 또는 섬(island)을 형성한다. 포화 섬 밀도에 도달한 후, 인접한 섬들은 전형적으로는 유착(coalesce)되기 시작하여 평균 섬 크기는 증가하고 동시에 섬 밀도는 감소하기 시작할 것이다. 인접한 섬들의 유착은 실질적으로 폐쇄된 필름(4530)이 형성될 때까지 계속될 수 있다.

[0175] 그러나, 실질적으로 폐쇄된 필름(4530)의 형성 이전에, 증기상 단량체를 증착하면 하나 이상의 다양한 특성을 나타내는 동시에 광학 효과를 제한 없이 포함하는 다양한 거동을 나타낼 수 있는 본원에서 기술되는 박막 필름 구조를 생성할 수 있다.

[0176] 본 개시내용에서, 물질의 0.X 분율의 단층을 증착하는 것에 대한 언급은 물질의 구성 단량체의 단일 층으로 표면의 0.X 분율의 원하는 영역을 덮는 양의 물질을 증착하는 것을 지칭한다. 당업자는, 비제한적인 예로서, 단량체의 가능한 적층 및/또는 클러스터링으로 인하여 표면의 원하는 영역 전체에 걸쳐 증착된 물질의 실제 국부 두께가 불균일할 수 있다는 것을 이해할 것이다. 비제한적인 예로서, 물질의 1개의 단층을 증착하면 표면의 원하는 영역의 일부 국부 영역은 물질에 의해 덮이지 않을 수 있는 반면, 표면의 원하는 영역의 다른 국부 영역은 그 위에 증착된 다중 원자 및/또는 분자 층을 가질 수 있다.

[0177] 본 개시내용에서, 타겟 표면(및/또는 그의 타겟 영역(들))은 임의의 적절한 측정 메커니즘으로 측정하였을 때 타겟 표면 상에 실질적으로 물질이 부재하는 경우에 물질이 "실질적으로 결여된(substantially devoid of)", "실질적으로 없는(substantially free of)" 및/또는 "실질적으로 덮이지 않은(substantially uncovered by)" 것으로 간주될 수 있다.

[0178] 본 개시내용에서, 설명의 단순화를 위해, (아직) 폐쇄된 필름(4530)이 형성되는 단계에 도달하지 않은 하부 물질의 노출된 층 표면(111) 상에 증기상 단량체를 증착한 결과는 "클러스터링 층"으로 지칭될 것이다. 일부 비제

한적인 예에서, 이러한 클러스터링 층은 증착 공정이 완결되지 않았음을 반영할 수 있으며, 여기서 이러한 클러스터링 층은 폐쇄된 필름(4530) 형성의 중간 단계로 간주될 수 있다. 일부 비제한적인 예에서, 클러스터링 층은 완결된 증착 공정의 결과일 수 있으며, 따라서 그 자체로 최종 형성 단계를 구성할 수 있다.

[0179] 본 개시내용에서, 설명의 단순성을 위해, 본원에서 사용되는 용어 "불연속 코팅"(1050)은 클러스터링 층을 지칭하며, 여기서 증착 공정에 의해 코팅된 하부 물질의 노출된 층 표면(111)의 관련 부분은 이러한 물질이 실질적으로 결여되지도 않았고 또한 그의 폐쇄된 필름(4530)을 실질적으로 형성하지도 않는다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)의 불연속 코팅(1050)은 이러한 표면 상에 증착된 복수의 개별 섬으로 나타날 수 있다.

[0180] 본 개시내용에서, 설명의 단순성을 위해, 전도성 코팅(830)을 제한 없이 포함하는 코팅과 관련하여 용어 "수지상(dendritic)"은 측면 양태에서 바라 보았을 때 분지형 구조와 유사한 특징(들)을 지칭한다. 일부 비제한적인 예에서, 전도성 코팅(830)은 수지상 돌출부(1021) 및/또는 수지상 리세스(1022)를 포함할 수 있다. 일부 비제한적인 예에서, 수지상 돌출부(1021)는 물리적으로 연결되고 실질적으로 외측 방향으로 연장하는 복수의 짧은 돌출부를 포함하는 분지형 구조를 나타내는 전도성 코팅(830)의 일부에 대응할 수 있다. 일부 비제한적인 예에서, 수지상 리세스(1022)는 물리적으로 연결되고 실질적으로 외측 방향으로 연장하는 전도성 코팅(830)의 갭, 개구, 및/또는 덮이지 않은 부분의 분지형 구조에 대응할 수 있다. 일부 비제한적인 예에서, 수지상 리세스(1022)는 거울상 및/또는 역 패턴을 제한 없이 포함하는 수지상 돌출부(1021)의 패턴에 대응할 수 있다. 일부 비제한적인 예에서, 수지상 돌출부(1021) 및/또는 수지상 리세스(1022)는 프랙탈 패턴, 메쉬 구조, 웹 구조 및/또는 인터디지테이티드 구조(interdigitated structure)를 나타내고/내거나 모방하는 구성을 가질 수 있다.

[0181] 일부 비제한적인 예에서, 불연속 코팅(1050)의 형성을 넘어서지만 폐쇄된 필름(4530)의 형성 이전에 증기상 단량체의 증착 시에 중간 단계를 반영하는 클러스터링 층이 있을 수 있으며, 여기서 클러스터 및/또는 섬(5001, 5002)의 연속 유착은 잔류하는 클러스터 및/또는 섬(5001, 5002)의 수가 0에 접근할 때까지 계속된다. 이러한 중간 단계 클러스터링 층에 도달하는 경우, 증착된 단량체는 일부 비제한적인 예에서 단일의 모노층의 분획 0.X를 포함할 수 있는 중간 단계 박막 필름을 형성할 수 있으므로, 이는 하나 이상의 수지상 돌출부(1021), 및/또는 하나 이상의 수지상 리세스(1022)를 제한 없이 포함하는 필름 커버리지에 개구 및/또는 갭이 있을 수 있지만 실질적으로 전도성을 유지한다는 점에서 폐쇄된 필름(4530)이 아니다.

[0182] 박막 필름의 형성을 위한 하기의 적어도 세 가지 기본 성장 모드가 있을 수 있으며, 초기에는 클러스터링 층이 되고, 일부 비제한적인 예에서는, 결국 폐쇄된 필름(4530)이 된다: 1) 섬(Volmer-Weber), 2) 계층형(layer-by-layer)(Frank-van der Merwe), 3) Stranski-Krastanov.

[0183] 본 개시내용에서, 용어 "섬(island)" 및 "클러스터(cluster)"는 상호교환적으로 사용되어 유사한 개념을 지칭할 수 있다.

[0184] 섬 성장은 전형적으로는 단량체의 스테일 클러스터(stale cluster)가 표면에서 핵을 형성하고 성장하여 별개의 섬을 형성할 때 발생한다. 이러한 성장 모드는 단량체 사이의 상호 작용이 단량체와 표면 사이의 상호 작용보다 강할 때 발생한다.

[0185] 핵 생성 속도는 단위 시간당 표면 상에 얼마나 많은 수의 소정 크기(자유 에너지가 이러한 핵의 클러스터가 성장하거나 축소하도록 영향을 미치지 않는 경우)의 핵("임계 핵")을 형성하는지를 말한다. 필름 형성의 초기 단계 동안, 핵의 밀도가 낮고 따라서 핵이 표면의 비교적 작은 부분을 덮기 때문에(예를 들어, 이웃하는 핵 사이에 큰 간격/공간이 있음) 표면 상에 단량체가 직접 충돌하여 핵이 성장할 가능성은 낮다. 따라서, 임계 핵이 성장하는 속도는 전형적으로는 표면 상의 흡착원자(예를 들어, 흡착된 단량체)가 이동하여 인접한 핵에 부착되는 속도에 따라 달라진다.

[0186] 하부 물질(도면에서, 기판(110))의 노출된 층 표면(111) 상에 흡착된 흡착원자의 에너지 프로파일의 예가 **도 6**에 도시되어 있다. 구체적으로, **도 6**은 다음에 대응하는 예시적인 정성적 에너지 프로파일을 도시한다: 국소 저에너지 부위로부터 탈출하는 흡착원자(610); 노출된 층 표면(111) 상의 흡착원자의 확산(620); 및 흡착원자의 탈착(630).

[0187] 610에서, 국소 저에너지 부위는 흡착원자가 더 낮은 에너지에 있을 하부 물질의 노출된 층 표면(111) 상의 임의의 부위일 수 있다. 전형적으로, 핵 생성 부위는 단차 에지, 화학적 불순물, 결합 부위 및/또는 꼬임을 제한 없이 포함하는 노출된 층 표면(111) 상의 결함 및/또는 이상(anomaly)을 포함할 수 있다. 흡착원자가 국소 저에너지 부위에 갇히면, 일부 비제한적인 예에서는, 전형적으로 표면 확산이 일어나기 전에 에너지 장벽이 있을 수

있다. 이러한 에너지 장벽은 **도 6**에서 ΔE 611로 표시된다. 일부 비제한적인 예에서, 국소 저에너지 부위를 탈출하기 위한 에너지 장벽 ΔE 611이 충분히 크면, 상기 부위가 핵 생성 부위로 작용할 수 있다.

[0188] 620에서, 흡착원자는 노출된 층 표면(111) 상에서 확산될 수 있다. 비제한적인 예로서, 국소화된 흡수물의 경우, 흡착원자는 최소 표면 전위 근처에서 진동하고 흡착원자가 탈착되고/되거나 성장하는 필름 및/또는 흡착원자의 클러스터(5001, 5002)에 의해 형성된 성장하는 섬에 포함될 때까지 다양한 이웃하는 부위로 이동하는 경향이 있다. **도 6**에서, 흡착원자의 표면 확산과 연관된 활성화 에너지는 E_s 621로 표시된다.

[0189] 630에서, 흡착원자가 표면으로부터 탈착되는 것과 연관된 활성화 에너지는 E_{des} 631로 표시된다. 당업자는 탈착되지 않은 임의의 흡착원자는 노출된 층 표면(111)에 남아 있을 수 있다는 것을 이해할 것이다. 비제한적인 예로서, 이러한 흡착원자는 노출된 층 표면(111) 상에서 확산되거나 성장하는 필름 및/또는 코팅의 일부로 포함되고/되거나 노출된 층 표면(111) 상에서 섬을 형성하는 흡착원자의 클러스터(5001, 5002)의 일부가 될 수 있다.

[0190] 흡착원자가 표면 상에 흡착된 후, 흡착원자는 표면으로부터 탈착되거나, 또는 탈착되어 다른 흡착원자와 상호작용하여 작은 클러스터를 형성하거나 또는 성장하는 핵에 부착되기 전에 표면 상에서 일정 거리를 이동할 수 있다. 초기 흡착 후에 흡착원자가 표면 상에 체류하는 평균 시간은 하기 수학식으로 주어진다:

[0191] $$\tau_s = \frac{1}{v} exp\left(\frac{E_{des}}{kT}\right)$$

[0192] 상기 수학식에서, v는 표면 상에 있는 흡착원자의 진동 주파수이고, k는 볼츠만(Boltzmann) 상수이고, T는 온도이며, E_{des} 631은 표면으로부터 흡착원자를 탈착시키는 데 관련된 에너지이다. 이러한 방정식으로부터, E_{des} 631의 값이 낮을수록 흡착원자가 표면으로부터 탈착되기가 더 쉬우므로, 흡착원자가 표면 상에 체류하는 시간이 더 짧아지게 된다는 사실에 유의한다. 흡착원자가 확산할 수 있는 평균 거리는 하기 수학식으로 주어진다:

[0193] $$X = a_0 exp\left(\frac{E_{des} - E_s}{2kT}\right)$$

[0194] 상기 수학식에서, a_0는 격자 상수이며, E_s 621은 표면 확산을 위한 활성화 에너지이다. 낮은 값의 E_{des} 631 및/또는 높은 값의 E_s 621의 경우, 흡착원자는 탈착 전에 더 짧은 거리를 확산하므로 성장하는 핵에 부착되거나 다른 흡착원자 또는 흡착원자의 클러스터와 상호 작용할 가능성이 적다.

[0195] 막 형성의 초기 단계 동안, 흡착된 흡착원자는 상호 작용하여 클러스터를 형성할 수 있으며, 단위 면적당 클러스터의 임계 농도는 하기 수학식으로 주어진다:

[0196] $$\frac{N_i}{n_0} = \left|\frac{N_1}{n_0}\right|^i exp\left(\frac{E_i}{kT}\right)$$

[0197] 상기 수학식에서, E_i는 i개의 흡착원자를 함유하는 임계 클러스터를 별개 흡착원자로 해리하는 데 관련된 에너지이고, n_0은 흡착 부위의 총 밀도이며, N_1은 하기 수학식으로 주어지는 단량체 밀도이다:

[0198] $$N_1 = \dot{R}\tau_s$$

[0199] 상기 수학식에서, $\dot{R}$는 증기 충돌 속도이다. 전형적으로, i는 증착되는 물질의 결정 구조에 따라 달라지며 안정적인 핵을 형성하기 위해 임계 클러스터 크기를 결정할 것이다.

[0200] 성장하는 클러스터에 대한 임계 단량체 공급 속도는 증기 충돌 속도 및 탈착 전에 흡착원자가 확산될 수 있는 평균 면적에 의해 제공된다:

[0201] $$\dot{R}X^2 = \alpha_0^2 exp\left(\frac{E_{des} - E_s}{kT}\right)$$

[0202] 따라서, 임계 핵 생성 속도는 상기 수학식들의 조합으로 주어진다:

[0203] $$\dot{N}_i = \dot{R}\alpha_0^2 n_0 \left(\frac{\dot{R}}{v n_0}\right)^i exp\left(\frac{(i+1)E_{des} - E_s + E_i}{kT}\right)$$

[0204] 상기 수학식으로부터, 흡착된 흡착원자에 대하여 낮은 탈착 에너지를 갖거나 흡착원자의 확산을 위한 높은 활성화 에너지를 갖고, 고온에 있고/있거나 또는 증기 충돌 속도에 노출된 표면에 대해서는 임계 핵 형성 속도가 억제될 것이라는 사실에 유의한다.

[0205] 결함부, 돌출부(ledge) 또는 단차 모서리와 같은 기판 불균질성의 부위는 E_{des} 631를 증가시켜 이러한 부위에서 관찰되는 핵 밀도가 높아질 수 있다. 또한, 표면 상의 불순물이나 오염이 또한 E_{des} 631를 증가시켜 핵의 밀도가 높아질 수 있다. 고진공 조건 하에 수행되는 기상 증착 공정의 경우, 표면 상의 오염 물질의 유형과 밀도는 진공 압력과 이러한 압력을 구성하는 잔류 가스의 조성에 의해 영향을 받는다.

[0206] 고진공 조건 하에서, 표면 상에 충돌하는 분자의 플럭스(cm^2-sec당)는 하기 수학식으로 주어진다:

[0207] $$\phi = 3.513 \times 10^{22} \frac{P}{MT}$$

[0208] 상기 수학식에서, P는 압력이며, M은 분자량이다. 따라서, H_2O와 같은 반응성 가스의 분압이 높을수록 기상 증착 도중에 표면 상의 오염 밀도가 높아지고, 이는 E_{des} 631의 증가를 초래하여 핵의 밀도가 높아질 수 있다.

[0209] 일부 비제한적인 예에서, 표면 상의 물질의 양에 대한 한 가지 척도는 그러한 물질에 의한 표면의 백분율 커버리지(percentage coverage)이다. 일부 비제한적인 예에서, 표면 커버리지는 투과 전자 현미경법(TEM: transmission electron microscopy), 원자력 현미경법(AFM: atomic force microscopy) 및/또는 주사 전자 현미경법(SEM: scanning electron microscopy)을 포함하는 다양한 이미징 기술을 사용하여 평가할 수 있지만, 이에 제한되지 않는다.

[0210] 일부 비제한적인 예에서, 표면 상의 전기 전도성 재료의 양에 대한 한 가지 척도는 (광) 투과율인데, 그 이유는, 일부 비제한적인 예에서, 금속, 예를 들어 이에 제한되는 것은 아니지만 은(Ag), 마그네슘(Mg), 및/또는 이테르븀(Yb)을 제한 없이 포함하는 전기 전도성 물질이 광자를 감쇠 및/또는 흡수하기 때문이다.

[0211] 따라서, 일부 비제한적인 예에서, 물질의 표면을 통한 투과율이, 일부 비제한적인 예에서, 전자기 스펙트럼의 가시 영역 부분에서 유사한 조성 및 치수를 갖는 기준 물질의 투과율의 90% 초과, 92% 초과, 95% 초과, 및/또는 98% 초과인 경우 이러한 물질의 표면에는 전기 전도성 물질이 실질적으로 없는 것으로 간주될 수 있다.

[0212] 본 개시내용에서, 예시의 단순성을 위해, 이에 제한되는 것은 아니지만, 층(들)의 두께 프로파일 및/또는 에지 프로파일을 포함하는 증착된 물질의 세부사항은 생략되었다. NIC(810)와 전도성 코팅(830) 사이의 계면에서의 다양한 가능한 에지 프로파일은 본원에서 논의된다.

[0213] 기판

[0214] 일부 예에서, 기판(110)은 베이스 기판(112)을 포함할 수 있다. 일부 예에서, 베이스 기판(112)은 실리콘(Si), 유리, 금속(금속 호일을 포함하지만 이에 제한되지 않음), 사파이어, 및/또는 다른 무기 물질을 포함하지만 이에 제한되지는 않는 무기 물질, 및/또는 폴리이미드 및/또는 실리콘-기반 중합체를 포함하지만 이에 제한되지 않는 중합체를 포함하는 유기 물질로부터 선택되는, 사용하기에 적합한 물질로 형성될 수 있지만, 이에 제한되지 않는다. 일부 예에서, 베이스 기판(112)은 경질이거나 또는 가요성일 수 있다. 일부 예에서, 기판(112)은 적어도 하나의 평평한 표면에 의해 정의될 수 있다. 기판(110)은 제1 전극(120), 적어도 하나의 반도체 층(130) 및/또는 제2 전극(140)을 포함하지만 이에 제한되지 않는 디바이스(100)의 나머지 전방 평면(10) 구성요소를 지지하는 적어도 하나의 표면을 갖는다.

[0215] 일부 비제한적인 예에서, 이러한 표면은 유기 표면 및/또는 무기 표면일 수 있다.

[0216] 일부 예에서, 기판(110)은, 베이스 기판(112) 이외에도, 베이스 기판(112)의 노출된 층 표면(111) 상에 지지된 하나 이상의 추가의 유기 및/또는 무기 층(본원에서 도시되거나 구체적으로 기술되지 않음)을 포함할 수 있다.

[0217] 일부 비제한적인 예에서, 이러한 추가의 층은 적어도 하나의 반도체 층(130)들 중 하나 이상을 포함, 대체 및/또는 보충할 수 있는 하나 이상의 유기 층을 포함하고/하거나 형성할 수 있다.

[0218] 일부 비제한적인 예에서, 이러한 추가의 층은, 일부 비제한적인 예에서, 제1 전극(120) 및/또는 제2 전극(140)을 포함, 대체 및/또는 보충할 수 있는 하나 이상의 전극을 포함하고/하거나 형성할 수 있는 하나 이상의 무기 층을 포함할 수 있다.

[0219] 일부 비제한적인 예에서, 이러한 추가의 층은 반도체 물질의 백플레인 층(20)(**도 2**)을 포함하고/하거나 그로 및/또는 그로서 형성될 수 있다. 일부 비제한적인 예에서, 백플레인 층(20)은 전자 TFT 구조(들) 및/또는 구성요소(들)(200)(**도 2**)을 포함하지만 이에 제한되지 않는 디바이스(100)를 구동하기 위한 전력 회로 및/또는 스위칭 소자를 포함하며, 이는 포토리소그래피 공정에 의해 형성될 수 있고, 저압(진공을 포함하지만 이에 제한되지 않음) 환경 하에 제공되지 않을 수 있고/있거나 저압의 도입 전에 선행할 수 있다.

[0220] 본 개시내용에서, 반도체 물질은 일반적으로 밴드갭을 나타내는 물질로 설명될 수 있다. 일부 비제한적인 예에서, 이러한 밴드갭은 최고준위 점유 분자 궤도(HOMO: highest occupied molecular orbital)와 최저준위 점유 분자 궤도(LUMO: lowest unoccupied molecular orbital) 사이에서 형성될 수 있다. 따라서, 반도체 물질은 일반적으로 전도성 물질(금속을 포함하지만 이에 제한되지 않음)보다는 작지만 절연성 물질(유리를 포함하지만 이에 제한되지 않음)보다는 큰 전기 전도도를 나타낸다. 일부 비제한적인 예에서, 반도체 물질은 유기 반도체 물질을 포함할 수 있다. 일부 비제한적인 예에서, 반도체 물질은 무기 반도체 물질을 포함할 수 있다.

[0221] 백플레인 및 그 안에 구현된 TFT 구조(들)

[0222] **도 2**는 백플레인 층(20)을 포함하는 디바이스(100)의 기판(110)의 예의 단순화된 단면도이다. 일부 비제한적인 예에서, 기판(110)의 백플레인(20)은 예를 들어 능동 매트릭스 및/또는 수동 매트릭스 디바이스로서 작동하는 디바이스(100)를 지원할 수 있는 트랜지스터, 레지스터 및/또는 커패시터를 제한 없이 포함하는 하나 이상의 전자 및/또는 광전자 구성요소를 포함할 수 있다. 일부 비제한적인 예에서, 이러한 구조는 예를 들어 200으로 도시된 박막 트랜지스터(TFT) 구조일 수 있다. 일부 비제한적인 예에서, TFT 구조(200)는 베이스 기판(112) 위에 기판(110)의 다양한 층(210, 220, 230, 240, 250, 270, 270, 280) 및/또는 백플레인 층(20)의 부분을 형성하기 위해 유기 및/또는 무기 물질을 사용하여 제조될 수 있다. **도 2**에서, 도시된 TFT 구조(200)는 탑-게이트(top-gate) TFT이다. 일부 비제한적인 예에서, TFT 기술 및/또는 하나 이상의 층(210, 220, 230, 240, 250, 270, 270, 280)을 제한 없이 포함하는 구조를 사용하여 레지스터 및/또는 커패시터를 제한 없이 포함하는 비-트랜지스터 구성요소를 구현할 수 있다.

[0223] 일부 비제한적인 예에서, 백플레인(20)은 TFT 구조(200)의 구성요소를 지지하기 위해 베이스 기판(112)의 노출된 층 표면(111) 상에 증착된 버퍼층(210)을 포함할 수 있다. 일부 비제한적인 예에서, TFT 구조(200)는 반도체 활성 영역(220), 게이트 절연층(230), TFT 게이트 전극(240), 층간 절연층(250), TFT 소스 전극(260), TFT 드레인 전극(270) 및/또는 TFT 절연층(280)을 포함할 수 있다. 일부 비제한적인 예에서, 반도체 활성 영역(220)은 버퍼층(210)의 부분 위에 형성되고, 게이트 절연층(230)은 반도체 활성 영역(220)을 실질적으로 덮도록 증착된다. 일부 비제한적인 예에서, 게이트 전극(240)은 게이트 절연층(230)의 상부에 형성되고 층간 절연층(250)이 그 위에 증착된다. TFT 소스 전극(270) 및 TFT 드레인 전극(270)은 그들이 층간 절연층(250) 및 게이트 절연층(230)을 통해 형성된 개구부를 통해 연장되어 그들이 반도체 활성 영역(220)과 전기적으로 결합되도록 형성된다. 그 다음, TFT 절연층(280)이 TFT 구조(200) 위에 형성된다.

[0224] 일부 비제한적인 예에서, 백플레인(20)의 층들(210, 220, 230, 240, 250, 270, 270, 280) 중 하나 이상은 하부 디바이스 층을 덮는 포토레지스트의 선택적 부분을 UV 광에 노출시키기 위해 포토마스크를 사용하는 포토리소그래피를 사용하여 패턴화할 수 있다. 사용된 포토레지스트의 유형에 따라, 포토마스크의 노출된 부분 또는 노출되지 않은 부분을 제거하여 하부 디바이스 층의 원하는 부분이 드러나도록 할 수 있다. 일부 예에서, 포토레지스트는 포지티브 포토레지스트이며, 여기서 UV 광에 노출된 그의 선택적인 부분은 이후에 실질적으로 제거 가능하지 않은 반면, 그렇게 노출되지 않은 나머지 부분은 이후에 실질적으로 제거 가능하다. 일부 비제한적인 예에서, 포토레지스트는 네거티브 포토레지스트이며, 여기서 UV 광에 노출된 그의 선택적인 부분은 이후에 실질적으로 제거 가능한 반면, 그렇게 노출되지 않은 나머지 부분은 이후에 실질적으로 제거 가능하지 않다. 따라서, 패턴화된 표면은 이러한 층들(210, 220, 230, 240, 250, 260, 270, 280)의 노출된 부분을 효과적으로 제거하기 위해 화학적 및/또는 물리적으로 에칭하고/하거나, 세척하고/하거나 세척하여 제거할 수 있지만 이에 제한되지 않는다.

[0225] 또한, 탑-게이트 TFT 구조(200)가 **도 2**에 도시되어 있지만, 당업자는 바텀-게이트(bottom-gate) TFT 구조를 제한 없이 포함하는 다른 TFT 구조가 본 개시내용의 범위를 벗어나지 않고서도 백플레인(20) 내에 형성될 수 있다는 것을 이해할 것이다.

[0226] 일부 비제한적인 예에서, TFT 구조(200)는 n-형 TFT 및/또는 p-형 TFT일 수 있다. 일부 비제한적인 예에서, TFT 구조(200)는 비정질 Si(a-Si), 인듐 갈륨 아연(Zn) 산화물(IGZO) 및/또는 저온 다결정 Si(LTPS) 중 임의의 하

나 이상을 포함할 수 있다.

[0227] 제1 전극

[0228] 제1 전극(120)은 기판(110) 위에 증착된다. 일부 비제한적인 예에서, 제1 전극(120)은 전원(15)의 단자 및/또는 접지에 전기적으로 결합된다. 일부 비제한적인 예에서, 제1 전극(120)은 적어도 하나의 구동 회로(300)(**도 3**)를 통해 결합되며, 일부 비제한적인 예에서는 기판(110)의 백플레인(20)에 적어도 하나의 TFT 구조(200)를 포함할 수 있다.

[0229] 일부 비제한적인 예에서, 제1 전극(120)은 애노드(341)(**도 3**) 및/또는 캐소드(342)(**도 3**)를 포함할 수 있다. 일부 비제한적인 예에서, 제1 전극(120)은 애노드(341)이다.

[0230] 일부 비제한적인 예에서, 제1 전극(120)은 기판(110)(이의 일부) 위에 적어도 하나의 전도성 박막 필름을 증착시킴으로써 형성될 수 있다. 일부 비제한적인 예에서, 기판(110)의 측면 양태에 걸쳐 공간적 배열로 배치된 복수의 제1 전극(120)이 있을 수 있다. 일부 비제한적인 예에서, 이러한 적어도 하나의 제1 전극(120) 중 하나 이상은 측면 양태에 공간 배열로 배치된 TFT 절연층(280)(절연층의 일부) 위에 증착될 수 있다. 그런 경우, 일부 비제한적인 예에서, 이러한 적어도 하나의 제1 전극(120) 중 적어도 하나는 **도 4**에 도시된 바와 같이 대응하는 TFT 절연층(280)의 개구를 통해 연장되어 백플레인(20) 내의 TFT 구조(200)의 전극(240, 260, 270)에 전기적으로 결합될 수 있다. **도 4**에서, 적어도 하나의 제1 전극(120)의 부분은 TFT 드레인 전극(270)에 결합된 것으로 도시되어 있다.

[0231] 일부 비제한적인 예에서, 적어도 하나의 제1 전극(120) 및/또는 이의 적어도 하나의 박막은 임의의 하나 이상의 층이 제한 없이 박막일 수 있는 적어도 하나의 층에서 Mg, 알루미늄(Al), 칼슘(Ca), Zn, Ag, 카드뮴(Cd), 바륨(Ba) 및/또는 Yb을 제한 없이 포함하는 하나 이상의 금속 물질, 및/또는 임의의 이러한 물질을 함유하는 합금을 제한 없이 포함하는 이러한 물질 중의 임의의 둘 이상의 조합, 비제한적으로 불소 주석 산화물(FTO), 인듐 아연 산화물(IZO), 및/또는 인듐 주석 산화물(ITO)과 같은 삼원 조성물, 및/또는 이들 중 임의의 둘 이상 및/또는 다양한 비율의 조합을 제한 없이 포함하는 투명 전도성 산화물(TCO)을 제한 없이 포함하는 하나 이상의 금속 산화물, 및/또는 이들 중 임의의 둘 이상의 조합을 제한 없이 포함하는 다양한 물질을 포함할 수 있다.

[0232] 일부 비제한적인 예에서, 제1 전극(120)을 포함하는 얇은 전도성 필름은 증발(열 증발 및/또는 전자빔 증발을 포함하지만 이에 제한되지 않음), 포토리소그래피, 프린팅(잉크 젯 및/또는 증기 젯 프린팅, 릴-투-릴 프린팅 및/또는 마이크로-접촉 전사 프린팅을 포함하지만 이에 제한되지 않음), PVD(스퍼터링을 포함하지만 이에 제한되지 않음), CVD(PECVD 및/또는 OVPD를 포함하지만 이에 제한되지 않음), 레이저 어닐링, LITI 패터닝, ALD, 코팅(스핀 코팅, 딥 코팅, 라인 코팅 및/또는 스프레이 코팅을 포함하지만 이에 제한되지 않음), 및/또는 이들 중 임의의 둘 이상의 조합을 제한 없이 포함하는 매우 다양한 기술을 사용하여 선택적으로 증착, 증착 및/또는 처리될 수 있다.

[0233] 제2 전극

[0234] 제2 전극(140)은 적어도 하나의 반도체 층(130) 위에 증착된다. 일부 비제한적인 예에서, 제2 전극(140)은 전원(15)의 단자 및/또는 접지에 전기적으로 결합된다. 일부 비제한적인 예에서, 제2 전극(140)은 적어도 하나의 구동 회로(300)를 통해 결합되며, 일부 비제한적인 예에서는 기판(110)의 백플레인(20)에 적어도 하나의 TFT 구조(200)를 포함할 수 있다.

[0235] 일부 비제한적인 예에서, 제2 전극(140)은 애노드(341) 및/또는 캐소드(342)를 포함할 수 있다. 일부 비제한적인 예에서, 제2 전극(130)은 캐소드(342)이다.

[0236] 일부 비제한적인 예에서, 제2 전극(140)은 적어도 하나의 반도체 층(130)의 (이의 일부) 위에 전도성 코팅(830)을, 일부 비제한적인 예에서는, 적어도 하나의 박막 필름으로서 증착시킴으로써 형성될 수 있다. 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130)의 측면 양태에 걸쳐 공간적 배열로 배치된 복수의 제2 전극(140)이 있을 수 있다.

[0237] 일부 비제한적인 예에서, 시트 저항은 구성요소, 층 및/또는 부품을 관통하는 전류의 특성을 변경할 수 있는 이러한 구성요소, 층 및/또는 부품의 특성이다. 일부 비제한적인 예에서, 제2 전극(140)의 시트 저항(R1)은 일반적으로 디바이스(100)의 다른 구성요소, 층, 및/또는 부품과 분리되어 측정된 제2 전극(140)의 시트 저항에 대응할 수 있다. 일부 비제한적인 예에서, 제2 전극(140)은 박막 필름으로서 형성될 수 있다. 따라서, 일부 비제한적인 예에서, 제2 전극(140)에 대한 시트 저항(R1)은 이러한 박막 필름의 조성, 두께, 및/또는 모폴로지에 기

초하여 결정 및/또는 계산될 수 있다. 일부 비제한적인 예에서, 시트 저항(R1)은 약 0.1 내지 1,000 Ω/sqr, 약 1 내지 100 Ω/sqr, 약 2 내지 50 Ω/sqr, 약 3 내지 30 Ω/sqr, 약 4 내지 20 Ω/sqr, 약 5 내지 15 Ω/sqr, 및/또는 약 10 내지 12 Ω/sqr일 수 있다.

[0238] 일부 비제한적인 예에서, 제2 전극(140)은 제2 전극 물질로 구성될 수 있다.

[0239] 일부 비제한적인 예에서, 금속의 결합 해리 에너지는 금속의 2개의 동일한 원자에 의해 형성된 이원자 분자의 결합의 절단으로부터 298 K에서 측정된 표준 상태 엔탈피 변화에 대응할 수 있다. 결합 해리 에너지는, 비제한적인 예로서, 공지된 문헌[Luo, Yu-ran, "Bond dissociation energies" (2010)]에 기초하여 측정할 수 있지만, 이에 국한되지 않는다. 일부 비제한적인 예에서, 제2 전극 물질은 적어도 10 kJ/mol, 적어도 50 kJ/mol, 적어도 100 kJ/mol, 적어도 150 kJ/mol, 적어도 180 kJ/mol, 및/또는 적어도 200 kJ/mol의 결합 해리 에너지를 갖는 금속을 포함할 수 있다.

[0240] 일부 비제한적인 예에서, 제2 전극 물질은 약 1.4, 약 1.3, 및/또는 약 1.2 미만의 전기음성도를 갖는 금속을 포함할 수 있다.

[0241] 일부 비제한적인 예에서, 제2 전극 물질은 칼륨(K), 나트륨(Na), 리튬(Li), 바륨(Ba), 세슘(Cs), 이테르븀(Yb), 은(Ag), 금(Au), 구리(Cu), 알루미늄(Al), 마그네슘(Mg), 아연(Zn), 카드뮴(Cd), 주석(Sn), 니켈(Ni), 티타늄(Ti), 팔라듐(Pd), 크롬(Cr), 철(Fe), 코발트(Co), 지르코늄(Zr), 백금(Pt), 바나듐(V), 니오븀(Nb), 이리듐(Ir), 오스뮴(Os), 탄탈륨(Ta), 몰리브덴(Mo), 및/또는 텅스텐(W)으로부터 선택되는 원소를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu, Ag, 및/또는 Au를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu일 수 있다. 일부 비제한적인 예에서, 원소는 Al일 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Zn, Cd, 및/또는 Yb를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Sn, Ni, Ti, Pd, Cr, Fe, 및/또는 Co를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Zr, Pt, V, Nb, Ir, 및/또는 Os를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ta, Mo, 및/또는 W를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, Al, Yb, 및/또는 Li를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, 및/또는 Yb를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, 및/또는 Ag를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ag일 수 있다.

[0242] 일부 비제한적인 예에서, 제2 전극 물질은 순수한 금속을 포함할 수 있다. 일부 비제한적인 예에서, 제2 전극 물질은 순수한 금속이다. 일부 비제한적인 예에서, 제2 전극 물질은 순수한 Ag 또는 실질적으로 순수한 Ag이다. 일부 비제한적인 예에서, 제2 전극 물질은 순수한 Mg 또는 실질적으로 순수한 Mg이다. 일부 비제한적인 예에서, 제2 전극 물질은 순수한 Al 또는 실질적으로 순수한 Al이다.

[0243] 일부 비제한적인 예에서, 제2 전극 물질은 합금을 포함할 수 있다. 일부 비제한적인 예에서, 합금은 Ag 함유 합금, 및/또는 AgMg 함유 합금일 수 있다.

[0244] 일부 비제한적인 예에서, 제2 전극 물질은 Ag 대신에 및/또는 Ag와 조합으로 다른 금속을 포함할 수 있다. 일부 비제한적인 예에서, 제2 전극 물질은 Ag와 적어도 하나의 다른 금속과의 합금을 포함할 수 있다. 일부 비제한적인 예에서, 제2 전극 물질은 Ag와 Mg, 및/또는 Yb와의 합금을 포함할 수 있다. 일부 비제한적인 예에서, 이러한 합금은 약 5 부피%의 Ag 내지 약 95 부피%의 Ag 범위의 조성을 갖는 이원 합금일 수 있으며, 나머지는 다른 금속일 수 있다. 일부 비제한적인 예에서, 제2 전극 물질은 Ag 및 Mg를 포함한다. 일부 비제한적인 예에서, 제2 전극 물질은 부피 기준으로 약 1:10 내지 약 10:1 범위의 조성을 갖는 Ag:Mg 합금을 포함한다. 일부 비제한적인 예에서, 제2 전극 물질은 Ag 및 Yb를 포함한다. 일부 비제한적인 예에서, 제2 전극 물질은 부피 기준으로 약 1:20 내지 약 1-10:1 범위의 조성을 갖는 Yb:Ag 합금을 포함한다. 일부 비제한적인 예에서, 제2 전극 물질은 Mg 및 Yb를 포함한다. 일부 비제한적인 예에서, 제2 전극 물질은 Mg:Yb 합금을 포함한다. 일부 비제한적인 예에서, 제2 전극 물질은 Ag, Mg, 및 Yb를 포함한다. 일부 비제한적인 예에서, 제2 전극 물질은 Ag:Mg:Yb 합금을 포함한다.

[0245] 일부 비제한적인 예에서, 제2 전극 물질은 산소(O)를 포함할 수 있다. 일부 비제한적인 예에서, 제2 전극 물질은 적어도 하나의 금속 및 O를 포함할 수 있다. 일부 비제한적인 예에서, 제2 전극 물질은 금속 산화물을 포함할 수 있다. 일부 비제한적인 예에서, 금속 산화물은 Zn, 인듐(I), 주석(Sn), 안티몬(Sb), 및/또는 갈륨(Ga)을 포함한다. 일부 비제한적인 예에서, 금속 산화물은 투명 전도성 산화물(TCO)일 수 있다. 일부 비제한적인 예에서, TCO는 인듐 산화물, 주석 산화물, 안티몬 산화물, 및/또는 갈륨 산화물을 포함할 수 있다. 일부 비제한적인 예에서, TCO는 인듐 티타늄 산화물(ITO), ZnO, 인듐 아연 산화물(IZO), 및/또는 인듐 갈륨 아연 산화물(IGZO)을 포함할 수 있다. 일부 비제한적인 예에서, TCO는 다른 원소로 전기적으로 도핑될 수 있다.

[0246] 일부 비제한적인 예에서, 제2 전극(140)은 금속 및/또는 금속 합금으로 형성될 수 있다.

[0247] 일부 비제한적인 예에서, 제2 전극(140)은 적어도 하나의 금속 또는 금속 합금 및 적어도 하나의 금속 산화물을 포함할 수 있다.

[0248] 일부 비제한적인 예에서, 제2 전극(140)은 제2 전극 물질의 복수의 층을 포함할 수 있다. 일부 비제한적인 예에서, 복수의 층 중 제1 층의 제2 전극 물질은 복수의 층 중 제2 층의 제2 전극 물질과 상이할 수 있다. 일부 비제한적인 예에서, 복수의 층 중 제1 층의 제2 전극 물질은 금속을 포함할 수 있고 복수의 층 중 제2 층의 제2 전극 물질은 금속 산화물을 포함할 수 있다.

[0249] 일부 비제한적인 예에서, 복수의 층 중 적어도 하나의 제2 전극 물질은 Yb를 포함할 수 있다. 일부 비제한적인 예에서, 복수의 층 중 하나의 제2 전극 물질은 Ag 함유 합금 및/또는 AgMg 함유 합금, 및/또는 순수한 Ag, 실질적으로 순수한 Ag, 순수한 Mg, 및/또는 실질적으로 순수한 Mg를 포함할 수 있다. 일부 비제한적인 예에서, 제2 전극(140)은 이중층 Yb/AgMg 코팅이다.

[0250] 일부 비제한적인 예에서, NIC(810)(최상위 층)에 근접한 복수의 층 중 제1 층은 Ag, Au, Cu, Al, Sn, Ni, Ti, Pd, Cr, Fe, Co, Zr, Pt, V, Nb, Ir, Os, Ta, Mo, 및/또는 W로부터 선택되는 원소를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu, Ag, 및/또는 Au를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu일 수 있다. 일부 비제한적인 예에서, 원소는 Al일 수 있다. 일부 비제한적인 예에서, 원소는 Sn, Ti, Pd, Cr, Fe, 및/또는 Co를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ni, Zr, Pt, V, Nb, Ir, 및/또는 Os를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ta, Mo, 및/또는 W를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, 및/또는 Al을 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, 및/또는 Ag를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ag일 수 있다.

[0251] 일부 비제한적인 예에서, 제2 전극(140)은 적어도 하나의 추가의 원소를 포함할 수 있다. 일부 비제한적인 예에서, 이러한 추가의 원소는 비-금속 원소일 수 있다. 일부 비제한적인 예에서, 비-금속 물질은 산소(O), 황(S), 질소(N), 및/또는 탄소 C일 수 있다. 당업자는, 일부 비제한적인 예에서, 이러한 추가의 원소(들)가 소스 물질, 증착에 사용되는 장비, 및/또는 진공 챔버 환경에서 이러한 추가의 원소(들)의 존재로 인한 오염 물질로서 제2 전극(140) 내로 혼입될 수 있다는 사실을 이해하고 있을 것이다. 일부 비제한적인 예에서, 이러한 추가 원소(들)의 농도는 임계 농도 미만으로 제한될 수 있다. 일부 비제한적인 예에서, 이러한 추가의 원소(들)는 제2 전극(140)의 다른 원소(들)과 함께 화합물을 형성할 수 있다. 일부 비제한적인 예에서, 전도성 코팅 물질 중의 비-금속 원소의 농도는 약 1%, 약 0.1%, 약 0.001%, 약 0.0001%, 약 0.00001%, 약 0.000001%, 및/또는 약 0.0000001% 미만일 수 있다. 일부 비제한적인 예에서, 전도성 코팅(830)은 그 안의 O 및 C의 조합된 양이 약 10%, 약 5%, 약 1%, 약 0.1%, 약 0.001%, 약 0.0001%, 약 0.00001%, 약 0.000001%, 및/또는 약 0.0000001% 미만인 조성을 갖는다. 일부 비제한적인 예에서, 제2 전극(140)은 폐쇄된 코팅(4530)을 포함할 수 있다. 일부 비제한적인 예에서, 제2 전극(140)은 불연속 코팅(1050)을 포함할 수 있다.

[0252] 일부 비제한적인 예에서, 제2 전극(140)은 제1 부분(115)의 제1 층 표면 상의 제2 전극(140)의 폐쇄된 코팅(4530)이 실질적으로 없는 내부의 적어도 하나의 영역에 의해 정의될 수 있는 패턴으로 배치될 수 있다. 일부 비제한적인 예에서, 적어도 하나의 영역은 그 위에 배치된 금속 패터닝 NIC(810)를 갖는다. 일부 비제한적인 예에서, 적어도 하나의 영역은 제2 전극(140)을 그의 복수의 개별 단편으로 분리할 수 있다. 일부 비제한적인 예에서, 제2 전극(140)의 이러한 복수의 개별 단편 중 적어도 2개는 전기적으로 결합될 수 있다. 일부 비제한적인 예에서, 제2 전극(140)의 이러한 복수의 개별 단편 중 적어도 2개는 전도성 코팅(830)을 제한 없이 포함하는 공통 전도성 층 또는 코팅에 각각 전기적으로 결합되어 그들 사이에서 전류의 흐름을 허용할 수 있다. 일부 비제한적인 예에서, 제2 전극(140)의 이러한 복수의 개별 단편 중 적어도 2개는 서로 전기적으로 절연될 수 있다.

[0253] 일부 비제한적인 예에서, 제2 전극(140)을 포함하는 얇은 전도성 필름은 증발(열 증발 및/또는 전자빔 증발을 포함하지만 이에 제한되지 않음), 포토리소그래피, 프린팅(잉크 젯 및/또는 증기 젯 프린팅, 릴-투-릴 프린팅 및/또는 마이크로-접촉 전사 프린팅을 포함하지만 이에 제한되지 않음), PVD(스퍼터링을 포함하지만 이에 제한되지 않음), CVD(PECVD 및/또는 OVPD를 포함하지만 이에 제한되지 않음), 레이저 어닐링, LITI 패터닝, ALD, 코팅(스핀 코팅, 딥 코팅, 라인 코팅 및/또는 스프레이 코팅을 포함하지만 이에 제한되지 않음), 및/또는 이들 중 임의의 둘 이상의 조합을 제한 없이 포함하는 매우 다양한 기술을 사용하여 선택적으로 적용, 증착 및/또는 처리될 수 있다.

[0254] 설명의 단순성을 위해, 본 개시내용에서, 단일 층에서 복수의 요소의 조합은 2개의 이러한 요소를 콜론 ":"에

의해 분리하여 표시하는 반면, 다층 코팅에서 복수의 층을 포함하는 복수의 요소(의 조합(들))는 2개의 이러한 층을 슬래시 "/"에 의해 분리하여 표시한다. 일부 비제한적인 예에서, 슬래시 이후의 층은 슬래시 이전의 층 상에 증착될 수 있다.

[0255] 일부 비제한적인 예에서, Mg:Ag 합금의 경우, 이러한 합금 조성은 부피 기준으로 약 1:10 내지 약 10:1의 범위일 수 있다.

[0256] 일부 비제한적인 예에서, 제2 전극(140)의 증착은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 수행될 수 있다.

[0257] 구동 회로

[0258] 본 개시내용에서, 서브-픽셀(2641-2643)(**도 26**)의 개념은 본원에서는 단지 설명의 단순성을 위해 서브-픽셀(264x)로서 지칭될 수 있다. 유사하게, 본 개시내용에서, 픽셀(340)(**도 3**)의 개념은 그의 적어도 하나의 서브-픽셀(264x)의 개념과 함께 논의될 수 있다. 설명의 단순성을 위해, 이러한 복합 개념은, 문맥상 달리 지시하지 않는 한, 본원에서는 "(서브-) 픽셀 340/264x"로서 지칭되며 이러한 용어는 픽셀(340) 및/또는 적어도 하나의 서브 픽셀(264x) 중 어느 하나 또는 둘 다를 제안하는 것으로 이해한다.

[0259] **도 3**은 예를 들어 백플레인(20)에 도시된 하나 이상의 TFT 구조(200)에 의해 제공될 수 있는 예시적인 구동 회로에 대한 회로도이다. 도시된 예에서, 일반적으로 300으로 도시되는 회로는 예를 들어 제1 전극(120) 및 제2 전극(140)에 전류를 공급하고, 디바이스(100)(및 /또는 (서브-) 픽셀 340/264x)로부터 광자의 방출을 제어하기 위한 능동-매트릭스 OLED(AMOLED) 디바이스(100)(및/또는 그의 (서브-) 픽셀 340/264x)용의 구동 회로이다. 도시된 회로(300)는 복수의 p-형 탑-게이트 박막 TFT 구조(200)를 포함하지만, 회로(300)는 하나 또는 복수의 박막 층으로서 형성되든 그렇지 않든 간에 하나 이상의 p-형 바텀-게이트 TFT 구조(200), 하나 이상의 n-형 탑-게이트 TFT 구조(200), 하나 이상의 n-형 바텀-게이트 TFT 구조(200), 하나 이상의 다른 TFT 구조들(200), 및/또는 이들의 임의의 조합을 동등하게 포함할 수 있다. 회로(300)는, 일부 비제한적인 예에서, 스위칭 TFT(310), 구동 TFT(320) 및 스토리지 커패시터(330)를 포함한다.

[0260] OLED 디스플레이(100)의 (서브-) 픽셀(340/264x)은 다이오드(340)로 표시된다. 스위칭 TFT(310)의 소스(311)는 데이터(또는, 일부 비제한적인 예에서는, 열(column) 선택) 라인(30)에 결합된다. 스위칭 TFT(310)의 게이트(312)는 게이트(또는, 일부 비제한적인 예에서는, 행(row) 선택) 라인(31)에 결합된다. 스위칭 TFT(310)의 드레인(313)은 구동 TFT(320)의 게이트(322)에 결합된다.

[0261] 구동 TFT(320)의 소스(321)는 전원(15)의 양극(또는 음극) 단자에 결합된다. 전원(15)의 (양극) 단자는 전원 공급 라인(VDD)(32)으로 표시된다.

[0262] 구동 TFT(320)의 드레인(323)은 구동 TFT(320) 및 다이오드(340)(및/또는 OLED 디스플레이(100)의 (서브-) 픽셀(340/264x))가 전원 공급 라인(VDD)(32)과 접지 사이에서 직렬로 결합되도록 다이오드(340)(OLED 디스플레이(100)의 (서브-) 픽셀(340/264x)을 나타냄)의 애노드(341)(일부 비제한적인 예에서, 제1 전극(120)일 수 있음)에 결합된다.

[0263] 다이오드(340)(OLED 디스플레이(100)의 (서브-) 픽셀(340/264x)을 나타냄)의 캐소드(342)(일부 비제한적인 예에서, 제2 전극(140)일 수 있음)는 회로(300)에서 레지스터(350)로 표시된다.

[0264] 스토리지 커패시터(330)는 그의 각각의 단부에서 구동 TFT(320)의 소스(321) 및 게이트(322)에 결합된다. 구동 TFT(320)는 스토리지 커패시터(330)에 저장된 전하의 전압에 따라 다이오드(340)(OLED 디스플레이(100)의 (서브-) 픽셀(340/264x)을 나타냄)를 통해 흐르는 전류를 조절하여 다이오드(340)가 원하는 휘도를 출력하도록 한다. 스토리지 커패시터(330)의 전압은 스위칭 TFT(310)에 의해 설정되어 데이터 라인(30)에 결합된다.

[0265] 일부 비제한적인 예에서, 시간 경과에 따른 스위칭 TFT(310) 및/또는 구동 TFT(320)의 제조 공정 및/또는 열화 동안의 변동으로부터 트랜지스터 특성의 임의의 편차를 보상하기 위해 보상 회로(370)가 제공된다.

[0266] 반도체 층

[0267] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130)은 복수의 층(131, 133, 135, 137, 139)을 포함할 수 있으며, 이들 중 임의의 것은, 일부 비제한적인 예에서, 정공 주입층(HIL: hole injection layer)(131), 정공 수송층(HTL: hole transport layer)(133), 발광층(EML: emissive layer)(135), 전자 수송층(ETL: electron transport layer)(137) 및/또는 전자 주입층(EIL: electron injection layer)(139) 중의 하나 이상을 비제한적

으로 포함할 수 있는 박막 필름 형태의 스택 구성으로 배치될 수 있다. 본 개시내용에서, 용어 "반도체 층(들)"은 OLED 디바이스(100)의 층들(131, 133, 135, 137, 139)이 일부 비제한적인 예에서는 유기 반도체 물질을 포함할 수 있기 때문에 "유기 층(들)"과 상호 교환적으로 사용될 수 있다.

[0268] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130)은 복수의 EMLs(135)을 포함하는 "탠덤(tandem)" 구조를 형성할 수 있다. 일부 비제한적인 예에서, 이러한 탠덤 구조는 또한 적어도 하나의 전하 생성 층(CGL: charge generation layer)을 포함할 수 있다.

[0269] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130)을 구성하는 스택의 층(131, 133, 135, 137, 139)을 포함하는 박막 필름은 증발(열 증발 및/또는 전자빔 증발을 포함하지만 이에 제한되지 않음), 포토리소그래피, 프린팅(잉크 젯 및/또는 증기 젯 프린팅, 릴-투-릴 프린팅 및/또는 마이크로-접촉 전사 프린팅을 포함하지만 이에 제한되지 않음), PVD(스퍼터링을 포함하지만 이에 제한되지 않음), CVD(PECVD 및/또는 OVPD를 포함하지만 이에 제한되지 않음), 레이저 어닐링, LITI 패터닝, ALD, 코팅(스핀 코팅, 딥 코팅, 라인 코팅 및/또는 스프레이 코팅을 포함하지만 이에 제한되지 않음), 및/또는 이들 중 임의의 둘 이상의 조합을 제한 없이 포함하는 매우 다양한 기술을 사용하여 선택적으로 적용, 증착 및/또는 처리될 수 있다.

[0270] 당업자는 반도체 층(131, 133, 135, 137, 139) 중 하나 이상을 생략하고/하거나 결합함으로써 디바이스(100)의 구조를 변경할 수 있다는 것을 쉽게 이해할 것이다.

[0271] 또한, 적어도 하나의 반도체 층(130)의 층들(131, 133, 135, 137, 139) 중 임의의 층은 임의의 수의 서브-층을 포함할 수 있다. 또한, 이러한 층들(131, 133, 135, 137, 139) 및/또는 그의 서브-층(들) 중 임의의 층은 다양한 혼합물(들) 및/또는 조성 구배(들)를 포함할 수 있다. 또한, 당업자는 디바이스(100)가 무기 및/또는 유기금속 물질을 함유하는 하나 이상의 층을 포함할 수 있으며 유기 물질 단독으로만 구성된 디바이스로 반드시 제한되지 않는다는 것을 이해할 것이다. 비제한적인 예로서, 디바이스(100)는 하나 이상의 양자점을 포함할 수 있다.

[0272] 일부 비제한적인 예에서, HIL(131)은 애노드(341)에 의한 정공의 주입을 용이하게 할 수 있는 정공 주입 물질을 사용하여 형성될 수 있다.

[0273] 일부 비제한적 예에서, HTL(133)은, 일부 비제한적 예에서, 높은 정공 이동성을 나타낼 수 있는 정공 수송 물질을 사용하여 형성될 수 있다.

[0274] 일부 비제한적 예에서, ETL(137)은, 일부 비제한적 예에서, 높은 전자 이동성을 나타낼 수 있는 전자 수송 물질을 사용하여 형성될 수 있다.

[0275] 일부 비제한적인 예에서, EIL(139)은 캐소드(342)에 의한 전자의 주입을 용이하게 할 수 있는 전자 주입 물질을 사용하여 형성될 수 있다.

[0276] 일부 비제한적 예에서, EML(135)은, 비제한적 예로서, 호스트 물질을 적어도 하나의 이미터 물질로 도핑함으로써 형성될 수 있다. 일부 비제한적인 예에서, 이미터 물질은 형광 이미터, 인광 이미터, 열적으로 활성화된 지연 형광(TADF: thermally activated delayed fluorescence) 이미터 및/또는 이들의 복수의 임의의 조합일 수 있다.

[0277] 일부 비제한적인 예에서, 디바이스(100)는 OLED일 수 있으며, 여기서 적어도 하나의 반도체 층(130)은 전도성 박막 필름 전극들(120, 140) 사이에 개재된 적어도 하나의 EML(135)을 포함하고, 이에 의해 이들 사이에 전위차가 인가될 때, 정공은 애노드(341)를 통하여 적어도 하나의 반도체 층(130)으로 주입되고 전자는 캐소드(342)를 통하여 적어도 하나의 반도체층(130)으로 주입된다.

[0278] 주입된 정공 및 전자는 그들이 서로 도달하여 만날 때까지 다양한 층들(131, 133, 135, 137, 139)을 통해 이동하는 경향이 있다. 정공 및 전자가 아주 근접하여 있을 경우, 그들은 쿨롱 힘(Coulomb force)으로 인하여 서로 끌어당기는 경향이 있으며, 일부 예에서는, 결합하여 엑시톤(exciton)이라 지칭되는 결합 상태의 전자-정공 쌍을 형성할 수 있다. 특히 엑시톤이 EML(135)에서 형성되는 경우, 엑시톤은 방사 재결합 과정(radiative recombination process)을 통해 붕괴될 수 있으며, 여기서 광자가 방출된다. 방사 재결합 과정의 유형은 엑시톤의 스핀 상태에 따라 달라질 수 있다. 일부 예에서, 엑시톤은 단일항 또는 삼중항 스핀 상태를 갖는 것을 특징으로 할 수 있다. 일부 비제한적인 예에서, 단일항 엑시톤의 방사 붕괴는 형광을 생성할 수 있다. 일부 비제한적인 예에서, 삼중항 엑시톤의 방사 붕괴는 인광을 생성할 수 있다.

[0279] 보다 최근에는, TADF를 제한 없이 포함하는 OLED용의 다른 광자 방출 메커니즘이 제안되고 연구되고 있다. 일부

비제한적인 예에서, TADF 방출은 열 에너지의 도움으로 시스템간 역방향 교차 과정(reverse inter-system crossing process)을 통해 삼중항 엑시톤을 단일항 엑시톤으로 변환한 다음 단일항 엑시톤의 방사 붕괴를 통해 발생된다.

[0280] 일부 비제한적인 예에서, 특히 엑시톤이 EML(135)에서 형성되지 않는 경우, 엑시톤은 비-방사 과정을 통해 붕괴될 수 있으며, 여기서 광자는 전혀 방출되지 않는다.

[0281] 본 개시내용에서, OLED 디바이스(100)의 "내부 양자 효율"(IQE: internal quantum efficiency)이라는 용어는 디바이스(100)에서 생성되는 모든 전자-정공 쌍들 중 방사 재결합 과정을 통해 붕괴되어 광자를 방출하는 비율을 지칭한다.

[0282] 본 개시내용에서, OLED 디바이스(100)의 "외부 양자 효율"(EQE: external quantum efficiency)이라는 용어는 디바이스(100)에 의해 방출된 광자의 수에 대한 디바이스(100)에 전달된 전하 캐리어의 비율을 지칭한다. 일부 비제한적인 예에서, 100%의 EQE는 디바이스(100) 내로 주입되는 각각의 전자에 대해 하나의 광자가 방출되는 것을 나타낸다.

[0283] 당업자는 디바이스(100)의 EQE가, 일부 비제한적인 예에서는, 동일한 디바이스(100)의 IQE보다 실질적으로 더 낮을 수 있다는 것을 이해할 것이다. 소정의 디바이스(100)의 EQE와 IQE 간의 차이는 일부 비제한적인 예에서는 디바이스(100)의 다양한 구성요소에 의해 야기되는 광자의 흡착율 및 반사율을 제한 없이 포함하는 다수의 인자에 기인할 수 있다.

[0284] 일부 비제한적인 예에서, 디바이스(100)는 적어도 하나의 반도체 층(130)이 적어도 하나의 양자점을 포함하는 활성층을 포함하는 전자 발광 양자점 디바이스일 수 있다. 전류가 전원(15)에 의해 제1 전극(120) 및 제2 전극(140)에 제공될 때, 그들 사이에 적어도 하나의 반도체 층(130)을 포함하는 활성층으로부터 광자가 방출된다.

[0285] 당업자는 디바이스(100)의 구조가 하나의 반도체 층(130) 스택 내의 적절한 위치(들)에 정공 차단층(도시되지 않음), 전자 차단층(도시되지 않음), 추가의 전하 수송층(도시되지 않음) 및/또는 추가의 전하 주입층(도시되지 않음)을 제한 없이 포함하는 하나 이상의 추가의 층(도시되지 않음)을 도입함으로써 변경될 수 있다는 것을 쉽게 이해할 것이다.

[0286] 배리어 코팅

[0287] 일부 비제한적인 예에서, 배리어 코팅(1650)은 제1 전극(120), 제2 전극(140), 및 적어도 하나의 반도체 층(130) 및/또는 그 위에 디바이스(100)가 배치되는 기판(110)의 다양한 층을 둘러싸고/싸거나 캡슐화하기 위해 제공될 수 있다.

[0288] 일부 비제한적인 예에서, 배리어 코팅(1650)은 적어도 하나의 반도체 층(130) 및/또는 캐소드(342)를 포함한 디바이스(100)의 다양한 층들(120, 130, 140)이 습기 및/또는 주변 공기에 노출되는 것을 방지하기 위해 제공될 수 있는데, 그 이유는 이러한 층들(120, 130, 140)이 쉽게 산화될 수 있기 때문이다.

[0289] 일부 비제한적인 예에서, 매우 불균일한 표면에 배리어 코팅(1650)을 적용하면 그러한 표면에 대한 배리어 코팅(1650)의 불량한 접착 가능성을 증가시킬 수 있다.

[0290] 일부 비제한적인 예에서, 배리어 코팅(1650)의 부재 및/또는 제대로 적용되지 않은 배리어 코팅(1650)은 디바이스(100)의 결함 및/또는 부분적 및/또는 전체적인 고장을 야기하고/하거나 기여할 수 있다. 일부 비제한적인 예에서, 제대로 적용되지 않은 배리어 코팅(1650)은 디바이스(100)에 대한 배리어 코팅(1650)의 접착력을 감소시킬 수 있다. 일부 비제한적인 예에서, 배리어 코팅(1650)의 불량한 접착력은 특히 디바이스(100)가 굴곡되거나 구부러진 경우 배리어 코팅(1650)이 디바이스(100)에서 전체적으로 또는 부분적으로 박리될 가능성을 증가시킬 수 있다. 일부 비제한적인 예에서, 제대로 적용되지 않은 배리어 코팅(1650)은 배리어 코팅(1650)의 도포 동안 배리어 코팅(1650)과 배리어 코팅(1650)이 적용된 디바이스(100)의 하부 표면 사이에 에어 포켓이 포획되는 것을 허용할 수 있다.

[0291] 일부 비제한적인 예에서, 배리어 코팅(1650)은 박막 캡슐화(TFE: thin film encapsulation) 층(2050)(**도 20b**)일 수 있으며, 증발(열 증발 및/또는 전자빔 증발을 포함하지만 이에 제한되지 않음), 포토리소그래피, 프린팅(잉크 젯 및/또는 증기 젯 프린팅, 릴-투-릴 프린팅 및/또는 마이크로-접촉 전사 프린팅을 포함하지만 이에 제한되지 않음), PVD(스퍼터링을 포함하지만 이에 제한되지 않음), CVD(PECVD 및/또는 OVPD를 포함하지만 이에 제한되지 않음), 레이저 어닐링, LITI 패터닝, ALD, 코팅(스핀 코팅, 딥 코팅, 라인 코팅 및/또는 스프레이 코팅을 포함하지만 이에 제한되지 않음), 및/또는 이들 중 임의의 둘 이상의 조합을 제한 없이 포함하는 매우 다양

한 기술을 사용하여 선택적으로 적용, 증착 및/또는 처리될 수 있다.

[0292] 일부 비제한적인 예에서, 배리어 코팅(1650)은 디바이스(100) 상에 미리 형성된 배리어 필름을 라미네이팅함으로써 제공될 수 있다. 일부 비제한적인 예에서, 배리어 코팅(1650)은 유기 물질, 무기 물질 및/또는 이들의 임의의 조합 중 적어도 하나를 포함하는 다중층 코팅을 포함할 수 있다. 일부 비제한적인 예에서, 배리어 코팅(1550)은 게터 물질 및/또는 건조제를 추가로 포함할 수 있다.

[0293] 측면 양태

[0294] 일부 비제한적인 예에서, 예를 들어 OLED 디바이스(100)가 조명 패널을 포함하는 경우, 디바이스(100)의 전체 측면 양태는 단일 조명 요소에 대응할 수 있다. 이와 같이, **도 1**에 도시된 실질적으로 평면인 단면 프로파일은 실질적으로 디바이스(100)의 전체 측면 양태를 따라 연장될 수 있어서, 광자는 실질적으로 디바이스(100)의 전체 측면 범위를 따라 디바이스(100)로부터 방출된다. 일부 비제한적인 예에서, 이러한 단일 조명 요소는 디바이스(100)의 단일 구동 회로(300)에 의해 구동될 수 있다.

[0295] 일부 비제한적인 예에서, 예를 들어 OLED 디바이스(100)가 디스플레이 모듈을 포함하는 경우, 디바이스(100)의 측면 양태는 디바이스(100)의 복수의 발광 영역(1910)으로 세분될 수 있으며, 여기서 디바이스 구조(100)의 단면 양태는 **도 1**에서 제한 없이 도시된 각각의 발광 영역(들)(1910) 내에서 동력을 공급하였을 때 그로부터 광자의 방출을 야기한다.

[0296] 발광 영역

[0297] 일부 비제한적인 예에서, 디바이스(100)의 개별 발광 영역(1910)은 측면 패턴으로 레이아웃될 수 있다. 일부 비제한적인 예에서, 패턴은 제1 측면 방향을 따라 연장될 수 있다. 일부 비제한적인 예에서, 패턴은 또한, 일부 비제한적인 예에서, 제1 측면 방향에 대해 실질적으로 법선 방향일 수 있는 제2 측면 방향을 따라 연장될 수도 있다. 일부 비제한적인 예에서, 패턴은 이러한 패턴의 다수의 요소를 가질 수 있으며, 이들 각각의 요소는 그의 발광 영역(1910)에 의해 방출된 광의 파장, 이러한 발광 영역(1910)의 형상, (제1 및/또는 제2 측면 방향(들) 중 어느 하나 또는 둘 모두에 따른) 치수, (제1 및/또는 제2 측면 방향(들) 중 어느 하나 및/또는 둘 모두에 대한) 배향 및/또는 패턴의 이전 요소로부터의 (제1 및/또는 제2 측면 방향(들) 중 어느 하나 또는 둘 모두에 대한) 간격을 제한 없이 포함하는 그들의 하나 이상의 특징을 특징으로 한다. 일부 비제한적인 예에서, 패턴은 제1 및/또는 제2 측면 방향(들) 중 어느 하나 또는 둘 모두에서 반복될 수 있다.

[0298] 일부 비제한적인 예에서, 디바이스(100)의 각각의 개별 발광 영역(1910)은 디바이스(100)의 백플레인(20) 내의 대응하는 구동 회로(300)와 연관되고 그에 의해 구동되며, 여기서 다이오드(340)는 연관된 발광 영역(1910)을 위한 OLED 구조에 대응한다. 발광 영역(1910)이 제1(행) 측면 방향 및 제2(열) 측면 방향 모두로 연장되는 규칙적인 패턴으로 레이아웃되는 경우를 제한 없이 포함하는 일부 비제한적인 예에서, 제1 측면 방향으로 연장되는 발광 영역(1910)의 각각의 행에 대응하는 게이트(또는 행 선택) 라인(31)일 수 있는 백플레인(20) 내의 신호 라인(30, 31) 및, 일부 비제한적인 예에서, 제2 측면 방향으로 연장되는 발광 영역(1910)의 각각의 열에 대응하는 데이터(또는 열 선택) 라인(30)일 수 있는 신호 라인(30, 31)이 있을 수 있다. 이러한 비제한적인 구성에서, 행 선택 라인(31) 상의 신호는 거기에 전기적으로 결합된 스위칭 TFT(들)(310)의 개개의 게이트(312)에 동력을 공급할 수 있고 데이터 라인(30) 상의 신호는 거기에 전기적으로 결합된 스위칭 TFT(들)(310)의 개개의 소스에 동력을 공급할 수 있으므로, 행 선택 라인(31)/데이터 라인(30) 쌍 상의 신호는 전기적으로 결합되고 전원(15)의 양극 단자(전원 공급 라인 VDD(32)로 표시됨)에 의해 이러한 쌍과 연관된 발광 영역(1910)의 OLED 구조의 애노드(341)에 동력을 공급하여 그로부터 광자의 방출을 야기하고 그의 캐소드(342)는 전원(15)의 음극 단자에 전기적으로 결합될 것이다.

[0299] 일부 비제한적인 예에서, 디바이스(100)의 각각의 발광 영역(1910)은 단일 디스플레이 픽셀(340)에 대응한다. 일부 비제한적인 예에서, 각각의 픽셀(340)은 소정의 파장 스펙트럼에서 광을 방출한다. 일부 비제한적인 예에서, 파장 스펙트럼은 가시광선 스펙트럼의 색상에 대응하지만, 이로 제한되지 않는다.

[0300] 일부 비제한적인 예에서, 디바이스(100)의 각각의 발광 영역(1910)은 디스플레이 픽셀(340)의 서브-픽셀(264x)에 대응한다. 일부 비제한적인 예에서, 복수의 서브-픽셀(264x)을 조합하여 단일 디스플레이 픽셀(340)을 형성하거나 또는 나타낼 수 있다.

[0301] 일부 비제한적인 예에서, 단일 디스플레이 픽셀(340)은 3개의 서브-픽셀(2641-2643)로 나타낼 수 있다. 일부 비제한적인 예에서, 3개의 서브-픽셀(2641-2643)은 각각 R(적색) 서브-픽셀(2641), G(녹색) 서브-픽셀(2642) 및/또는 B(청색) 서브-픽셀(2643)로 표시될 수 있다. 일부 비제한적인 예에서, 단일 디스플레이 픽셀(340)은 4개의

서브-픽셀(264x)로 나타낼 수 있으며, 여기서 이러한 서브-픽셀(264x) 중 3개는 R, G 및 B 서브-픽셀(2641-2643)로 표시될 수 있으며 제4 서브-픽셀(264x)은 화이트(W) 서브-픽셀(264x)로 표시될 수 있다. 일부 비제한적인 예에서, 소정의 서브-픽셀(264x)에 의해 방출된 광의 방출 스펙트럼은 서브-픽셀(264x)에 의해 표시되는 색상에 대응한다. 일부 비제한적인 예에서, 광의 파장은 이러한 색상에 대응하는 것이 아니라 당업자에게 명백한 방식으로 추가 처리를 수행하여 파장을 그에 대응하는 색상으로 변환시킨다.

[0302] 상이한 색상의 서브-픽셀(264x)의 파장은 상이할 수 있기 때문에, 이러한 서브-픽셀(264x)의 광학 특성은 특히 실질적으로 균일한 두께 프로파일을 갖는 공통 전극(120, 140)이 상이한 색상의 서브-픽셀(264x)에 사용되는 경우에 서로 다를 수 있다.

[0303] 실질적으로 균일한 두께를 갖는 공통 전극(120, 140)이 디바이스(100)에서 제2 전극(140)으로 제공되는 경우, 디바이스(100)의 광학적 성능은 각각의 (서브-)픽셀(340/264x)과 연관된 방출 스펙트럼에 따라 용이하게 미세 조정되지 않을 수 있다. 이러한 OLED 디바이스(100)에 사용되는 제2 전극(140)은, 일부 비제한적인 예에서, 복수의 (서브-)픽셀(340/264x)을 코팅하는 공통 전극(120, 140)일 수 있다. 비제한적인 예로서, 이러한 공통 전극(120, 140)은 디바이스(100) 전체에 걸쳐 실질적으로 균일한 두께를 갖는 비교적 얇은 전도성 필름일 수 있다. 일부 비제한적인 예에서, 상이한 (서브-)픽셀(들)(340/264x) 내에 배치된 유기층의 두께를 변화시킴으로써 각각의 (서브-)픽셀(340/264x) 색상과 연관된 광학 미세공동 효과(optical microcavity effect)들을 조정하려는 노력을 하여 왔지만, 이러한 접근 방식은, 일부 비제한적인 예에서는, 적어도 일부 경우에 상당한 정도의 광학 미세공동 효과의 조정을 제공할 수 있다. 또한, 일부 비제한적인 예에서, 이러한 접근 방식은 OLED 디스플레이 생산 환경에서 구현하기 어려울 수 있다.

[0304] 결과적으로, 일부 비제한적인 예에서 OLED 디바이스(100)를 제한 없이 포함하는 광전자 디바이스를 구성하는 데 사용될 수 있는 상이한 굴절률을 갖는 많은 박막 층 및 코팅에 의해 생성되는 광학 계면의 존재는 상이한 색상의 서브-픽셀(264x)에 대한 상이한 광학 미세공동 효과를 생성할 수 있다.

[0305] 디바이스(100)에서 관찰된 미세공동 효과에 영향을 미칠 수 있는 일부 인자는 전체 경로 길이(일부 비제한적인 예에서는 디바이스(100)로부터 방출된 광자가 통과하여 외부-결합되기 전에 이동할 상기 디바이스의 전체 두께에 해당할 수 있음) 및 다양한 층 및 코팅의 굴절률을 포함하지만, 이에 제한되지 않는다.

[0306] 일부 비제한적인 예에서, (서브-) 픽셀(340/264x)의 발광 영역(들)(1910)의 측면 양태(410) 내에서 및 전체에 걸쳐 전극(120, 140)의 두께를 조절하면 관찰 가능한 미세공동 효과에 영향을 미칠 수 있다. 일부 비제한적인 예에서, 이러한 영향은 전체 광로 길이의 변화에 기인할 수 있다.

[0307] 일부 비제한적인 예에서, 이는 특히 전극(120, 140)이 적어도 하나의 전도성 코팅(830)으로 형성되는 경우일 수 있다. 일부 비제한적 예에서, 총 광 경로 길이, 및 동시에 관찰 가능한 광학 미세공동 효과는 또한 소정의 발광 영역(1910)에 배치된 NIC(810), NPC(1120), 및/또는 캡핑 층(CPL)(3610)(**도 36a**)을 제한 없이 포함하는 임의의 층의 두께 변화에 의해 변조될 수 있다.

[0308] 일부 비제한적인 예에서, 적어도 하나의 광학 미세공동 효과를 조절함으로써 변경될 수 있는 디바이스(100)의 광학 특성, 및/또는, 일부 비제한적인 예에서는, (서브-) 픽셀(340/264x)의 발광 영역(들)(1910)의 측면 양태(410) 전체에 걸친 광학 특성은 방출 스펙트럼, 강도(광도를 포함하지만 이에 제한되지 않음) 및/또는 휘도의 각도 의존성 및/또는 방출된 광의 색상 이동을 제한 없이 포함하는 방출된 광의 각도 분포를 포함한다.

[0309] 일부 비제한적인 예에서, 서브-픽셀(264x)은 제1 디스플레이 픽셀(340)을 나타내기 위해 다른 서브-픽셀(264x)의 제1 세트와 연관되고 또한 제2 디스플레이 픽셀(340)을 나타내기 위해 다른 서브-픽셀(264x)의 제2 세트와 연관되므로, 제1 및 제2 디스플레이 픽셀(340)은 그들과 연관된 동일한 서브-픽셀(들)(264x)을 가질 수 있다.

[0310] 서브-픽셀(264x)에서 디스플레이 픽셀(340)로의 패턴 및/또는 조직은 계속 발전하고 있다. 현재 및 미래의 모든 패턴 및/또는 조직은 본 개시내용의 범위에 속하는 것으로 간주된다.

[0311] 비발광 영역

[0312] 일부 비제한적인 예에서, 디바이스(100)의 다양한 발광 영역(1910)은 적어도 하나의 측면 방향으로 하나 이상의 비-발광 영역(1920)에 의해 실질적으로 둘러싸이고 분리되며, 여기서 **도 1**에 비제한적으로 도시된 디바이스 구조(100)의 단면 양태에 따른 구조 및/또는 구성은 그로부터 광자가 방출되는 것을 실질적으로 억제하도록 변경된다. 일부 비제한적인 예에서, 비발광 영역(1920)은 측면 양태에서 발광 영역(1910)이 실질적으로 없는 영역을 포함한다.

[0313] 따라서, **도 4**의 단면도에 도시된 바와 같이, 적어도 하나의 반도체 층(130)의 다양한 층들의 측면 토폴로지는 적어도 하나의 비-발광 영역(1920)에 의해 (적어도 하나의 측면 방향으로) 둘러싸인 적어도 하나의 발광 영역(1910)을 정의하도록 변경될 수 있다.

[0314] 일부 비제한적인 예에서, 단일 디스플레이 (서브-) 픽셀(340/264x)에 대응하는 발광 영역(1910)은 측면 양태(420)를 갖는 적어도 하나의 비-발광 영역(1920)에 의해 적어도 하나의 측면 방향으로 둘러싸인 측면 양태(410)를 갖는 것으로 이해될 수 있다.

[0315] 이하, OLED 디스플레이(100)의 단일 디스플레이 (서브-) 픽셀(340/264x)에 대응하는 발광 영역(1910)에 적용된 디바이스(100)의 단면 양태의 구현의 비제한적인 예가 기술될 것이다. 이러한 구현의 특징이 발광 영역(1910)에 특이적인 것으로 도시되어 있지만, 당업자는, 일부 비제한적인 예에서, 하나를 초과하는 발광 영역(1910)이 공통적인 특징들을 포함할 수 있다는 것을 이해할 것이다.

[0316] 일부 비제한적인 예에서, 제1 전극(120)은 디바이스(100)의 노출된 층 표면(111) 위에 배치될 수 있으며, 일부 비제한적인 예에서는, 적어도 발광 영역(1910)의 측면 양태(410)의 일부 내에 배치될 수 있다. 일부 비제한적인 예에서, 적어도 (서브-) 픽셀(들)(340/264x)의 발광 영역(1910)의 측면 양태(410) 내에서, 노출된 층 표면(111)은, 제1 전극(120)의 증착 시에, 단일 디스플레이 (서브-) 픽셀(340/264x)에 대응하는 발광 영역(1910)을 위한 구동 회로(300)를 구성하는 다양한 TFT 구조(200)의 TFT 절연층(280)을 포함할 수 있다.

[0317] 일부 비제한적인 예에서, TFT 절연층(280)은 제1 전극(120)이 **도 4**에 도시된 바와 같이 TFT 드레인 전극(270)을 비제한적으로 포함하는 TFT 전극(240, 260, 270) 중 하나에 전기적으로 결합될 수 있도록 그들을 관통하여 연장되는 개구(430)와 함께 형성될 수 있다.

[0318] 당업자는 구동 회로(300)가 스위칭 TFT(310), 구동 TFT(320) 및/또는 스토리지 커패시터(330)를 제한 없이 포함하는 복수의 TFT 구조(200)를 포함한다는 것을 이해할 것이다. **도 4**에서, 예시의 단순성을 위해, 단지 하나의 TFT 구조(200)만이 도시되어 있지만, 당업자는 이러한 TFT 구조(200)가 구동 회로(300)를 포함하는 그러한 복수의 것들을 대표한다는 것을 이해할 것이다.

[0319] 단면 양태에서, 각각의 발광 영역(1910)의 구성은, 일부 비제한적인 예에서는, 실질적으로 주변 비발광 영역(들)(1920)의 측면 양태(420) 전체에 걸쳐 적어도 하나의 픽셀 획정 층(PDL)(440)을 도입함으로써 획정될 수 있다. 일부 비제한적인 예에서, PDL(440)은 절연성 유기 및/또는 무기 물질을 포함할 수 있다.

[0320] 일부 비제한적인 예에서, PDL(440)은 실질적으로 TFT 절연층(280) 위에 증착되지만, 도시된 바와 같이, 일부 비제한적인 예에서, PDL(440)은 또한 적어도 증착된 제1 전극(120) 및/또는 그의 외부 에지의 일부 위에 연장할 수 있다.

[0321] 일부 비제한적인 예에서, **도 4**에 도시된 바와 같이, PDL(440)의 단면 두께 및/또는 프로파일은 (서브-) 픽셀(340/264x)에 대응하는 둘러싸인 발광 영역(1910)의 측면 양태(410)와 함께 주변 비-발광 영역(1920)의 측면 양태(420)의 경계를 따라 증가된 두께의 영역에 의해 각각의 (서브-) 픽셀(340/264x)의 발광 영역(1910)에 실질적으로 계곡 형상(valley-shaped)의 구성을 제공할 수 있다.

[0322] 일부 비제한적인 예에서, PDL(440)의 프로파일은 주변 비발광 영역(1920)의 측면 양태(420)와, 일부 비제한적인 예에서, 이러한 비발광 영역(1920)의 측면 양태(420) 내에 실질적으로 잘 맞는 둘러싸인 발광 영역(1910)의 측면 양태(410) 사이의 경계로부터 멀어지는 것을 제한 없이 포함하는 이러한 계곡 형상 구성을 초과하여 감소된 두께를 가질 수 있다.

[0323] PDL(들)(440)이 일반적으로는 그에 의해 둘러싸인 발광 영역(들)(1910)을 정의하는 계곡 형상 구성을 형성하기 위해 선형으로 경사진 표면을 갖는 것으로 예시되었지만, 당업자는, 일부 비제한적인 예에서, 이러한 PDL(들)(440)의 형상, 종횡비, 두께, 폭 및/또는 구성 중 적어도 하나는 변경될 수 있다는 것을 이해할 것이다. 비제한적인 예로서, PDL(440)은 더 가파르거나 더 완만하게 경사진 부분으로 형성될 수 있다. 일부 비제한적인 예에서, 이러한 PDL(들)(440)은 제1 전극(120)의 하나 이상의 에지를 덮는, 그것이 증착되는 표면으로부터 실질적으로는 법선 방향으로 멀리 연장되도록 구성될 수 있다. 일부 비제한적인 예에서, 이러한 PDL(들)(440)은 잉크젯 프린팅을 제한 없이 포함하는 프린팅을 제한 없이 포함하는 용액-처리 기술에 의해 그 위에 적어도 하나의 반도체 층(130)이 증착되도록 구성될 수 있다.

[0324] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130)은 적어도 (서브-) 픽셀(들)(340/264x)의 이러한 발광 영역(1910)의 측면 양태(410)의 부분을 포함하는 디바이스(100)의 노출된 층 표면(111) 위에 증착될 수 있다.

일부 비제한적인 예에서, 적어도 (서브-) 픽셀(들)(340/264x)의 발광 영역(1910)의 측면 양태(410) 내에서, 이러한 노출된 층 표면(111)은, 적어도 하나의 반도체 층(130)(및/또는 그의 층들(131, 133, 135, 137, 139))의 증착 시에, 제1 전극(120)을 포함할 수 있다.

[0325] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130)은 또한 (서브-) 픽셀(들)(340/264x)의 발광 영역(1910)의 측면 양태(410)을 넘어 적어도 부분적으로는 주변 비-발광 영역(들)(1920)의 측면 양태(420) 내에서 연장될 수 있다. 일부 비제한적인 예에서, 이러한 주변 비-발광 영역(들)(1920)의 이러한 노출된 층 표면(111)은, 적어도 하나의 반도체 층(130)의 증착 시에, PDL(들)(440)을 포함할 수 있다.

[0326] 일부 비제한적인 예에서, 제2 전극(140)은 적어도 (서브-) 픽셀(들)(340/264x)의 발광 영역(1910)의 측면 양태(410)의 부분을 포함하는 디바이스(100)의 노출된 층 표면(111) 위에 배치될 수 있다. 일부 비제한적인 예에서, 적어도 (서브-) 픽셀(들)(340/264x)의 발광 영역(1910)의 측면 양태(410) 내에서, 이러한 노출된 층 표면(111)은, 제2 전극(130)의 증착 시에, 적어도 하나의 반도체 층(130)을 포함할 수 있다.

[0327] 일부 비제한적인 예에서, 제2 전극(140)은 또한 (서브-) 픽셀(들)(340/264x)의 발광 영역(1910)의 측면 양태(410)을 넘어 적어도 부분적으로는 주변 비-발광 영역(들)(1920)의 측면 양태(420) 내에서 연장될 수 있다. 일부 비제한적인 예에서, 이러한 주변 비발광 영역(들)(1920)의 이러한 노출된 층 표면(111)은, 제2 전극(140)의 증착 시에, PDL(들)(440)을 포함할 수 있다.

[0328] 일부 비제한적인 예에서, 제2 전극(140)은 주변 비발광 영역(들)(1920)의 측면 양태(420)의 실질적으로 모든 부분 또는 상당한 부분에 걸쳐 연장될 수 있다.

[0329] 투과율

[0330] OLED 디바이스(100)는 제1 전극(120)(배면발광 및/또는 양면발광 디바이스의 경우)뿐만 아니라 기판(110) 및/또는 제2 전극(140)(전면발광 및/또는 양면발광 디바이스의 경우) 중 어느 하나 또는 둘 모두를 통해 광자를 방출하기 때문에, 제1 전극(120) 및/또는 제2 전극(140) 중 어느 하나 또는 둘 모두를, 일부 비제한적인 예에서, 적어도 디바이스(100)의 발광 영역(들)(1910)의 측면 양태(410)의 상당한 부분에 걸쳐 실질적으로 광자(또는 광) 투과성("투과성")으로 만드는 것이 바람직할 수 있다. 본 개시내용에서, 전극(120, 140)을 비제한적으로 포함하는 이러한 투과성 요소, 이러한 요소가 형성되는 물질, 및/또는 이들의 특성은, 일부 비제한적인 예에서, 적어도 하나의 파장 범위에서 실질적으로 투과성("투명"), 및/또는, 일부 비제한적인 예에서는, 부분적으로 투과성("반투명")인 요소, 물질 및/또는 그들의 특성을 포함할 수 있다.

[0331] 디바이스의 발광 영역(들)(1910)의 측면 양태(410)의 적어도 상당한 부분에 걸쳐 디바이스(100)에 투과성 특성을 부여하기 위해 다양한 메커니즘이 채택되어 왔다.

[0332] 디바이스(100)가 배면발광 디바이스 및/또는 양면발광 디바이스인 경우를 제한 없이 포함하는 일부 비제한적인 예에서, 주변 기판(110)의 투과율을 적어도 부분적으로 감소시킬 수 있는 (서브-) 픽셀(340/264x)의 발광 영역(1910)과 연관된 구동 회로(300)의 TFT 구조(들)(200)은 발광 영역(1910)의 측면 양태(410) 내에서 기판(110)의 투과성 특성에 영향을 미치는 것을 피하기 위해 주변 비-발광 영역(들)(1920)의 측면 양태(420) 내에 위치할 수 있다.

[0333] 디바이스(100)가 양면발광 디바이스인 일부 비제한적인 예에서, (서브-) 픽셀(340/264x)의 발광 영역(1910)의 측면 양태(410)와 관련하여, 전극(120, 140) 중 첫 번째 것은 이웃하고/하거나 인접한 (서브-) 픽셀(들)(340/264x)의 측면 양태(410)와 관련하여 본원에서 개시되는 메커니즘 중 적어도 하나에 의해 실질적으로 투과성으로 제조될 수 있지만 이에 제한되는 것은 아니며, 전극(120, 140) 중 두 번째 것은 본원에서 개시되는 메커니즘 중 적어도 하나에 의해 실질적으로 투과성으로 제조될 수 있지만 이에 제한되는 것은 아니다. 따라서, (서브-) 픽셀(340/264x)의 제1 발광 영역(1910)의 측면 양태(410)는 실질적으로 전면발광형으로 제조될 수 있는 반면 이웃하는 (서브-) 픽셀(340/264x)의 제2 발광 영역(1910)의 측면 양태(410)는 실질적으로 배면발광형으로 제조될 수 있으므로, 교대하는 (서브-) 픽셀(340/264x) 순서로 (서브-) 픽셀(340/264x) 중 하나의 서브세트는 실질적으로 전면발광형이고 (서브-) 픽셀(340/264x) 중 하나의 서브세트는 실질적으로 배면발광형인 반면, 단지 각각의 (서브-) 픽셀(340/264x)의 단일 전극(120, 140)만이 실질적으로 투과성으로 제조될 수 있다.

[0334] 일부 비제한적인 예에서, 투과성인 전극(120, 140), 즉 배면발광 디바이스 및/또는 양면발광 디바이스의 경우에는 제1 전극(120)을, 및/또는 전면발광 디바이스 및/또는 양면발광 디바이스의 경우에는 제2 전극(140)을 제조하는 메커니즘은 투과성 박막 필름의 이러한 전극(120, 140)을 형성하는 것이다.

[0335] 일부 비제한적인 예에서, 전도성 코팅(830)의 시트 저항(R2)은 일반적으로 디바이스(100)의 다른 구성요소, 층, 및/또는 부품과 분리되어 측정된 전도성 코팅(380)의 시트 저항에 대응할 수 있다. 일부 비제한적인 예에서, 전도성 코팅(830)은 박막 필름으로서 형성될 수 있다. 따라서, 일부 비제한적인 예에서, 전도성 코팅(830)에 대한 시트 저항(R3)은 이러한 박막 필름의 조성, 두께, 및/또는 모폴로지에 기초하여 결정 및/또는 계산될 수 있다. 일부 비제한적인 예에서, 시트 저항(R3)은 약 10 Ω/sqr 미만, 약 5 Ω/sqr 미만, 약 1 Ω/sqr 미만, 약 0.5 Ω/sqr 미만, 0.2 Ω/sqr 미만, 및/또는 약 0.1 Ω/sqr 미만일 수 있다.

[0336] 일부 비제한적인 예에서, 전도성 코팅(830)은 전도성 코팅 물질(831)을 포함할 수 있다.

[0337] 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 300 kJ/mol 미만, 200 kJ/mol 미만, 165 kJ/mol 미만, 150 kJ/mol 미만, 100 kJ/mol 미만, 50 kJ/mol 미만, 및/또는 20 kJ/mol 미만의 전도성 코팅 물질(831)의 결합 해리 에너지를 갖는 금속을 포함할 수 있다.

[0338] 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 K, Na, Li, Ba, Cs, Yb, Ag, Au, Cu, Al, Mg, Zn, Cd, Sn, 및/또는 이트륨(Y)으로부터 선택된 원소를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 K, Na, Li, Ba, Cs, Tb, Ag, Au, Cu, Al, 및/또는 Mg를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu, Ag, 및/또는 Au를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu일 수 있다. 일부 비제한적인 예에서, 원소는 Al일 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Zn, Cd, 및/또는 Yb를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, Al, Yb, 및/또는 Li를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, 및/또는 Yb를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, 및/또는 Ag를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ag일 수 있다.

[0339] 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 순수한 금속을 포함할 수 있다. 일부 비제한적인 예에서, 전도성 코팅(830)은 순수한 금속이다. 일부 비제한적인 예에서, 전도성 코팅(830)은 순수한 Ag 또는 실질적으로 순수한 Ag이다. 일부 비제한적인 예에서, 실질적으로 순수한 Ag는 적어도 약 95%, 적어도 약 99%, 적어도 약 99.9%, 적어도 약 99.99%, 적어도 약 99.999%, 및 적어도 약 99.9995%의 순도를 가질 수 있다. 일부 비제한적인 예에서, 전도성 코팅(830)은 순수한 Mg 또는 실질적으로 순수한 Mg이다. 일부 비제한적인 예에서, 실질적으로 순수한 Mg는 적어도 약 95%, 적어도 약 99%, 적어도 약 99.9%, 적어도 약 99.99%, 적어도 약 99.999%, 및 적어도 약 99.9995%의 순도를 가질 수 있다.

[0340] 일부 비제한적인 예에서, 전도성 코팅(830)은 합금을 포함할 수 있다. 일부 비제한적인 예에서, 합금은 Ag 함유 합금, Mg 함유 합금, 및/또는 AgMg 함유 합금일 수 있다. 일부 비제한적인 예에서, Mg:Ag 합금은 부피 기준으로 1:10(Ag:Mg) 내지 약 10:1의 범위일 수 있는 합금 조성을 가질 수 있다.

[0341] 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 Ag 대신에 및/또는 Ag와 조합으로 다른 금속을 포함할 수 있다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 Ag와 적어도 하나의 다른 금속과의 합금을 포함할 수 있다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 Ag와 Mg, 및/또는 Yb와의 합금을 포함할 수 있다. 일부 비제한적인 예에서, 이러한 합금은 약 5 부피%의 Ag 내지 약 95 부피%의 Ag 범위의 조성을 갖는 이원 합금일 수 있으며, 나머지는 다른 금속일 수 있다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 Ag 및 Mg를 포함한다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 부피 기준으로 약 1:10 내지 약 10:1 범위의 조성을 갖는 Ag:Mg 합금을 포함한다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 Ag 및 Yb를 포함한다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 부피 기준으로 약 1:20 내지 약 1-10:1 범위의 조성을 갖는 Yb:Ag 합금을 포함한다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 Mg 및 Yb를 포함한다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 Mg:Yb 합금을 포함한다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 Ag, Mg, 및 Yb를 포함한다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 Ag:Mg:Yb 합금을 포함한다.

[0342] 일부 비제한적인 예에서, 전도성 코팅(830)은 적어도 하나의 추가의 원소를 포함할 수 있다. 일부 비제한적인 예에서, 이러한 추가의 원소는 비-금속 원소일 수 있다. 일부 비제한적인 예에서, 비-금속 물질은 산소(O), 황(S), 질소(N), 및/또는 탄소(C)일 수 있다. 당업자는, 일부 비제한적인 예에서, 이러한 추가의 원소(들)가 소스 물질, 증착에 사용되는 장비, 및/또는 진공 챔버 환경에서 이러한 추가의 원소(들)의 존재로 인한 오염 물질로서 전도성 코팅(830) 내로 혼입될 수 있다는 사실을 이해하고 있을 것이다. 일부 비제한적인 예에서, 이러한 추가 원소(들)의 농도는 임계 농도 미만으로 제한될 수 있다. 일부 비제한적인 예에서, 이러한 추가의 원소(들)는 전도성 코팅(830)의 다른 원소(들)과 함께 화합물을 형성할 수 있다. 일부 비제한적인 예에서, 전도성 코팅 물질(831) 중의 비-금속 원소의 농도는 약 1%, 약 0.1%, 약 0.001%, 약 0.0001%, 약 0.00001%, 약 0.000001%, 및/또는 약 0.0000001% 미만일 수 있다. 일부 비제한적인 예에서, 전도성 코팅(830)은 그 안의 O 및 C의 조합된

양이 약 10%, 약 5%, 약 1%, 약 0.1%, 약 0.001%, 약 0.0001%, 약 0.00001%, 약 0.000001%, 및/또는 약 0.0000001% 미만인 조성을 갖는다.

[0343] 다소 놀랍게도, 현재에 이르러 전도성 코팅(830)에서 특정 비-금속 원소의 농도를 감소시키면 전도성 코팅(830)의 선택된 증착을 촉진할 수 있는 것으로 밝혀졌다. 임의의 특정 이론에 얽매이려는 것은 아니지만, 비제한적인 예로서, O 및/또는 C와 같은 특정 비-금속 원소는, 전도성 코팅(830)의 증기 플럭스 중에 존재하고/하거나 증착 챔버 및/또는 환경에서 존재하는 경우, NIC(810)의 표면 상에 증착되어 전도성 코팅(830)의 금속 원소(들)에 대한 핵 생성 부위로서 작용할 수 있는 것으로 가정할 수 있다. 핵 생성 부위로서 작용할 수 있는 이러한 비-금속 원소의 농도를 감소시키는 것은 NIC(810)의 노출된 층 표면(111) 상에 증착되는 전도성 코팅 물질(831)의 양을 감소시키는 것을 촉진할 수 있다고 가정할 수 있다.

[0344] 일부 비제한적인 예에서, 전도성 코팅(830) 및 금속 코팅(138)은 공통 금속을 포함할 수 있다. 일부 비제한적인 예에서, 전도성 코팅 물질(831) 및 금속 코팅 물질은 동일한 조성을 갖는다.

[0345] 일부 비제한적인 예에서, 전도성 코팅(830)은 전도성 코팅 물질(831)의 복수의 층을 포함할 수 있다. 일부 비제한적인 예에서, 복수의 층 중 제1 층의 전도성 코팅 물질(831)은 복수의 층 중 제2 층의 전도성 코팅 물질(831)과 상이할 수 있다. 일부 비제한적인 예에서, 전도성 코팅(830)은 다층 코팅을 포함할 수 있다. 일부 비제한적인 예에서, 이러한 다층 코팅은 Yb/Ag, Yb/Mg, Yb/Mg:Ag, Yb/Yb:Ag, Yb/Ag/Mg, 및/또는 Yb/Mg/Ag를 포함할 수 있다.

[0346] 일부 비제한적인 예에서, 특히 이러한 박막 전도성 필름의 경우, 상대적으로 얇은 층 두께는 OLED 디바이스(100)에서 사용하기 위한 향상된 투과 품질뿐만 아니라 유리한 광학 특성(감소된 미세공동 효과를 포함하지만, 이에 제한되지 않음)에 기여하기 위해 실질적으로 수십 nm 이하일 수 있다.

[0347] 일부 비제한적인 예에서, 이러한 박막 전도성 필름은 중간 단계 박막 필름을 포함할 수 있다.

[0348] 일부 비제한적인 예에서, 투과 품질을 촉진하기 위한 전극(120, 140)의 두께 감소는 전극(120, 140)의 시트 저항의 증가를 수반할 수 있다.

[0349] 일부 비제한적인 예에서, 높은 시트 저항을 가진 적어도 하나의 전극(120, 140)을 갖는 디바이스(100)는 작동 중에 전원(15)에 결합될 때 큰 전류 저항(IR) 강하를 야기한다. 일부 비제한적인 예에서, 그러한 IR 강하는 전원(15)의 레벨(VDD)을 증가시킴으로써 어느 정도는 보상받을 수 있다. 그러나, 일부 비제한적인 예에서, 적어도 하나의 (서브-) 픽셀(340/264x)에 대해 높은 시트 저항으로 인한 IR 강하를 보상하기 위해 전원(15)의 레벨을 증가시키는 것은 디바이스(100)의 효과적인 작동을 유지하기 위해 다른 구성요소에 공급되는 전압의 레벨을 증가시킬 것을 요구할 수 있다.

[0350] 일부 비제한적인 예에서, (TCO, 박막 금속 필름 및/또는 박막 금속 합금 필름의 임의의 조합의 적어도 하나의 박막 필름 층을 사용함으로써) 전극(120, 140)을 실질적으로 투과성으로 만드는 능력에 상당한 영향을 미치지 않으면서 디바이스(100)에 대한 전력 공급 수요를 줄이기 위해, 보조 전극(1750) 및/또는 버스바 구조(4150)를 디바이스(100) 상에 형성시켜 전류가 디바이스(100)의 다양한 발광 영역(들)에 보다 효과적으로 전달되도록 하는 동시에, 투과성 전극(120, 140)의 시트 저항 및 그와 연관된 IR 강하를 감소시킬 수 있다.

[0351] 일부 비제한적인 예에서, AMOLED 디스플레이 디바이스(100)의 공통 전극(120, 140)에 대한 시트 저항 사양은 디바이스(100)의 (패널) 크기 및/또는 디바이스(100) 전체에 걸친 전압 변동에 대한 허용 오차를 제한 없이 포함하는 다수의 파라미터에 따라 달라질 수 있다. 일부 비제한적인 예에서, 시트 저항 사양은 패널 크기가 증가함에 따라 증가할 수 있다(즉, 더 낮은 시트 저항이 지정됨). 일부 비제한적인 예에서, 시트 저항 사양은 전압 변동에 대한 허용 오차가 감소함에 따라 증가할 수 있다.

[0352] 일부 비제한적인 예에서, 시트 저항 사양은 다양한 패널 크기에 대한 이러한 사양을 준수하기 위해 보조 전극(1750) 및/또는 버스바(4150)의 예시적인 두께를 추론하는 데 사용될 수 있다. 하나의 비제한적인 예에서, 모든 디스플레이 패널 크기에 대해 0.64의 개구 비율을 가정하였으며, 다양한 예시적인 패널 크기에 대한 보조 전극(1750)의 두께는 예를 들어 아래 표 1에서 0.1 V 및 0.2 V의 전압 허용 오차에 대해 계산하였다.

표 1

표 1 다양한 패널 크기 및 전압 허용 오차에 대한 예시적인 보조 전극 두께

패널 크기(인치)		9.7	12.9	15.4	27	65
지정된 두께(nm)	@0.1 V	132	239	335	1200	6500
	@0.2V	67	117	174	516	2800

[0353]

[0354] 비제한적인 예로서, 전면발광 소자의 경우, 제2 전극(140)은 투과형으로 제조될 수 있다. 다른 한편으로, 일부 비제한적인 예에서, 이러한 보조 전극(1750) 및/또는 버스바(4150)는 실질적으로 투과형이 아닐 수 있으며, 이들 사이에 전도성 코팅(830)을 증착시킴으로써 제2 전극(140)에 전기적으로 결합시켜 제2 전극(140)의 유효 시트 저항을 감소시킬 수 있지만, 이에 제한되지 않는다.

[0355] 일부 비제한적인 예에서, 이러한 보조 전극(1750)은 (서브-) 픽셀(340/264x)의 발광 영역(1910)의 측면 양태(410)로부터 광자의 방출을 방해하지 않도록 측면 양태 및/또는 단면 양태 중 어느 하나 또는 둘 모두에 위치되고/되거나 형상화될 수 있다.

[0356] 일부 비제한적인 예에서, 제1 전극(120), 및/또는 제2 전극(140)을 제조하는 메커니즘은 이러한 전극(120, 140)을 그의 발광 영역(들)(1910)의 측면 양태(410)의 적어도 일부에 걸쳐 및/또는, 일부 비제한적인 예에서는, 적어도 그들을 둘러싸는 비발광 영역(들)(1920)의 측면 양태(420)의 부분에 걸쳐 패턴으로 형성하는 것이다. 일부 비제한적인 예에서, 이러한 메커니즘은 상기에서 논의된 바와 같이 (서브-) 픽셀(340/264x)의 발광 영역(1910)의 측면 양태(410)로부터 광자의 방출을 방해하지 않도록 측면 양태 및/또는 단면 양태 중 어느 하나 또는 둘 모두의 위치에서 및/또는 형상으로 보조 전극(1750) 및/또는 버스바(4150)를 형성하는 데 사용될 수 있다.

[0357] 일부 비제한적인 예에서, 디바이스(100)는 디바이스(100)에 의해 방출된 광자의 광로 내에 전도성 산화물 물질이 실질적으로 없도록 구성될 수 있다. 비제한적인 예로서, (서브-) 픽셀(340/264x)에 대응하는 적어도 하나의 발광 영역(1910)의 측면 양태(410)에서, 제2 전극(140), NIC(810) 및/또는 그 위에 증착된 임의의 다른 층 및/또는 코팅을 제한 없이 적어도 하나의 반도체 층(130) 이후에 증착된 층들 및/또는 코팅들 중 적어도 하나는 임의의 전도성 산화물 물질이 실질적으로 없을 수 있다. 일부 비제한적인 예에서, 임의의 전도성 산화물 물질이 실질적으로 없는 것이 디바이스(100)에 의해 방출된 광의 흡수 및/또는 반사를 감소시킬 수 있다. 비제한적인 예로서, ITO 및/또는 IZO를 제한 없이 포함하는 전도성 산화물 물질은 적어도 가시 스펙트럼의 적어도 B(청색) 영역에서 빛을 흡수할 수 있으며, 이는 일반적으로 디바이스(100)의 효율 및/또는 성능을 감소시킬 수 있다.

[0358] 일부 비제한적인 예에서, 이들 및/또는 다른 메커니즘의 조합이 사용될 수 있다.

[0359] 또한, 일부 비제한적인 예에서, 제1 전극(120), 제2 전극(140), 보조 전극(1750) 및/또는 버스바(4150) 중 하나 이상을 광자가 실질적으로 그의 측면 양태(410) 전체에 걸쳐 방출되도록 하기 위해 디바이스(100)의 (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(1910)의 측면 양태(410)의 적어도 상당 부분에 걸쳐 실질적으로 투과성으로 만드는 것 이외에도, 디바이스(100)가 그의 외부 표면 상의 입사광에 대해 실질적으로 투과성을 갖도록 하기 위해 본원에서 개시되는 바와 같이 디바이스(100) 내부에서 생성된 광자의 방출(전면발광, 배면발광 및/또는 양면발광에서) 이외에도 그러한 외부 입사광의 상당 부분이 디바이스(100)를 통해 투과될 수 있도록 디바이스(100)의 주변 비-발광 영역(들)(1920)의 측면 양태(들)(420) 중 적어도 하나를 바닥 및 상단 방향 모두에서 실질적으로 투과성으로 만드는 것이 바람직할 수 있다.

[0360] 전도성 코팅

[0361] 본 개시내용에서, 용어 "전도성 코팅" 및 "전극 코팅"은 유사한 개념을 지칭하기 위해 상호교환적으로 사용될 수 있으며, 본원에서 전도성 코팅(830)에 대한 언급은, NIC(810) 및/또는 NPC(1120)의 선택적 증착에 의해 패턴화되는 맥락에서, 일부 비제한적인 예에서는, 패턴화 코팅(810, 1120)의 선택적 증착에 의해 패턴화되는 맥락에서 전극 코팅(830)에 적용할 수 있다. 일부 비제한적인 예에서, 전극 코팅(830)에 대한 언급은 본원에서 기술되는 바와 같은 특정 조성을 갖는 코팅을 의미할 수 있다. 유사하게, 본 개시내용에서, 용어 "전도성 코팅 물질" 및 "전극 코팅 물질"은 본원에서 전도성 코팅 물질(831)에 대한 유사한 개념 및 참조를 지칭하기 위해 상호교환

적으로 사용될 수 있다.

[0362] 일부 비제한적인 예에서, 전도성 코팅(830)을 하부 물질의 노출된 층 표면(111) 상에 증착하는 데 사용되는 전도성 코팅 물질(831)(**도 9**)은 실질적으로 순수한 원소일 수 있다. 일부 추가의 비제한적인 예에서, 전도성 코팅(830)은 실질적으로 순수한 원소를 포함한다. 일부 다른 비제한적인 예에서, 전도성 코팅(830)은 예를 들어 합금 또는 혼합물로서 제공될 수 있는 2개 이상의 원소를 포함한다.

[0363] 일부 비제한적인 예에서, 이러한 혼합물의 적어도 하나의 성분은 이러한 표면 상에 증착되지 않거나, 증착 동안 이러한 노출된 층 표면(111) 상에 증착되지 않을 수 있고/있거나 이러한 노출된 층 표면(111) 상에 증착되는 이러한 혼합물의 나머지 성분(들)의 양에 소량으로 증착될 수 있다.

[0364] 일부 비제한적인 예에서, 이러한 혼합물의 이러한 적어도 하나의 성분은 실질적으로 나머지 성분(들)만을 선택적으로 증착시키기 위해 나머지 성분(들)에 대한 특성을 가질 수 있다. 일부 비제한적인 예에서, 특성은 증기압일 수 있다.

[0365] 일부 비제한적인 예에서, 이러한 혼합물의 이러한 적어도 하나의 성분은 나머지 성분에 비해 더 낮은 증기압을 가질 수 있다.

[0366] 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 구리(Cu)-마그네슘(Cu-Mg) 혼합물일 수 있으며, 여기서 Cu는 Mg보다 더 낮은 증기압을 갖는다.

[0367] 일부 비제한적인 예에서, 전도성 코팅(830)을 노출된 층 표면(111) 상에 증착하는 데 사용되는 전도성 코팅 물질(831)은 실질적으로 순수할 수 있다.

[0368] 일부 비제한적인 예에서, Mg를 증착하는 데 사용되는 전도성 코팅 물질(831)은 일부 비제한적인 예에서 실질적으로 순수한 Mg를 포함한다. 일부 비제한적인 예에서, 실질적으로 순수한 Mg는 순수한 Mg에 비해 실질적으로 유사한 특성을 나타낼 수 있다. 일부 비제한적인 예에서, Mg의 순도는 약 95% 이상, 약 98% 이상, 약 99% 이상, 약 99.9% 이상 및/또는 약 99.99% 이상일 수 있다.

[0369] 일부 비제한적인 예에서, 다양한 예에 따른 광전자 디바이스의 전도성 코팅(830)은 Mg를 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830)은 실질적으로 순수한 Mg를 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830)은 Mg 대신에 및/또는 Mg와 조합으로 다른 금속을 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830)은 Mg와 하나 이상의 다른 금속의 합금을 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830)은 Mg와 Yb, Cd, Zn, 및/또는 Ag의 합금을 포함한다. 일부 비제한적인 예에서, 이러한 합금은 약 5 부피%의 Mg 내지 약 95 부피%의 Mg 범위의 조성을 갖는 이원 합금일 수 있으며, 나머지는 다른 금속이다. 일부 비제한적인 예에서, 전도성 코팅(830)은 부피 기준으로 약 1:10 내지 약 10:1 범위의 조성을 갖는 Mg:Ag 합금을 포함한다.

[0370] 일부 비제한적인 예에서, 다양한 예에 따른 광전자 디바이스의 전도성 코팅(830) 및/또는 전도성 코팅 물질(831)은 Ag를 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830) 및/또는 전도성 코팅 물질(831)은 실질적으로 순수한 Ag를 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830) 및/또는 전도성 코팅 물질(831)은 Ag 대신에 및/또는 Ag와 조합으로 다른 금속을 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830) 및/또는 전도성 코팅 물질(831)은 Ag와 하나 이상의 다른 금속의 합금을 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830) 및/또는 전도성 코팅 물질(831)은 Ag와 Mg, Yb, 및/또는 Zn의 합금을 포함한다. 일부 비제한적인 예에서, 이러한 합금은 약 5 부피%의 Ag 내지 약 95 부피%의 Ag 범위의 조성을 갖는 이원 합금일 수 있으며, 나머지는 다른 금속일 수 있다. 일부 비제한적인 예에서, 전도성 코팅(830) 및/또는 전도성 코팅 물질(831)은 Ag 및 Mg를 포함한다. 이러한 전도성 코팅(830) 및/또는 전도성 코팅 물질(831)의 비제한적인 예는 부피 기준으로 약 1:10 내지 약 10:1의 조성을 갖는 Mg:Ag 합금을 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830) 및/또는 전도성 코팅 물질(831)은 Ag 및 Yb를 포함한다. 이러한 전도성 코팅(830)의 비제한적인 예는 부피 기준으로 약 1:20 내지 약 10:1의 조성을 갖는 Yb:Ag 합금을 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830)은 Mg 및 Yb를 예를 들어 Mg:Yb 합금으로서 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830) 및/또는 전도성 코팅 물질(831)은 Ag, Mg, 및 Yb를 예를 들어 Ag:Mg:Yb 합금으로서 포함한다.

[0371] 일부 비제한적인 예에서, 전도성 코팅(830)은 서로 상이한 조성을 갖는 2개 이상의 층을 포함한다. 일부 비제한적인 예에서, 전도성 코팅(830)의 2개 이상의 층은 서로 상이한 원소를 포함한다. 이러한 전도성 코팅(830)의 비제한적인 예는 Yb/Ag, Yb/Mg, Yb/Mg:Ag, Mg/Ag, Yb/Yb:Ag, Yb/Ag/Mg, 및/또는 Yb/Mg/Ag에 의해 형성된 다층 코팅을 포함한다.

[0372] 패터닝

[0373] 전술한 결과로서, (서브-) 픽셀(340/264x)의 발광 영역(1910)의 측면 양태(410) 및/또는 발광 영역(1910)을 둘러싸는 비-발광 영역(들)(1920)의 측면 양태(420) 전체에 걸쳐, 제1 전극(120), 제2 전극(140), 보조 전극(1750) 및/또는 버스바(4150) 중의 적어도 하나 및/또는 여기에 전기적으로 결합되는 전도성 요소를 제한 없이 포함하는 디바이스 피처를 디바이스(100)의 전면(10) 층의 노출된 층 표면(111) 상에 패턴으로 선택적으로 증착하는 것이 바람직할 수 있다. 일부 비제한적인 예에서, 제1 전극(120), 제2 전극(140), 보조 전극(1750) 및/또는 버스바(4150)는 복수의 전도성 코팅(830) 중 적어도 하나에서 증착될 수 있다.

[0374] 그러나, 일부 비제한적인 예에서, 수십 미크론 이하의 피처 크기를 갖는 비교적 작은 피처를 형성하는 데 사용될 수 있는 FMM과 같은 섀도우 마스크를 사용하여 전도성 코팅(830)의 이러한 패터닝을 달성하는 것은 실현 가능하지 않을 수 있으며, 그 이유는, 일부 비제한적인 예에서, 아래와 같다:

[0375] · FMM은 증착 공정 동안, 특히 얇은 전도성 필름의 증착에 사용될 수 있는 것과 같은 고온에서 변형될 수 있다;

[0376] · 특히 고온 증착 공정에서의 FMM의 기계적 강도(인장강도를 포함하지만 이에 제한되지 않음) 및/또는 섀도우 효과에 대한 제한은 이러한 FMM을 사용하여 달성할 수 있는 피처의 종횡비에 대한 제약을 부여할 수 있다;

[0377] · 비제한적인 예로서, FMM의 각각의 부분이 물리적으로 지지되어, 일부 비제한적인 예에서, 일부 패턴은 패턴이 단리된 피처를 지정하는 경우를 비제한적인 예로서 포함하는 단일 처리 단계에서 달성할 수 없을 것이기 때문에 이러한 FMM을 사용하여 달성할 수 있는 패턴의 유형 및 수가 제한될 수 있다;

[0378] · FMM은 고온 증착 공정 동안 휘어지는 경향을 나타낼 수 있으며, 이는, 일부 비제한적인 예에서, 그 안의 개구의 형상과 위치를 왜곡할 수 있고, 이로 인하여 선택적 증착 패턴이 변경되어 성능 및/또는 수율의 저하를 야기할 수 있다;

[0379] · 디바이스(100)의 전체 표면에 걸쳐 확산하는 반복 구조를 생성하는 데 사용될 수 있는 FMM은 FMM 내에 형성될 다수의 개구를 요구할 수 있으며, 이는 FMM의 구조적 무결성을 손상시킬 수 있다;

[0380] · 연속적인 증착, 특히 금속 증착 공정에서 FMM을 반복적으로 사용하면 증착된 물질이 그에 부착되어 FMM의 피처가 모호해질 수 있으며 선택적 증착 패턴이 변경되어 성능 및/또는 수율의 저하를 야기할 수 있다;

[0381] · FMM을 주기적으로 클리닝하여 부착된 비금속 물질을 제거할 수 있지만, 이러한 클리닝 절차는 부착된 금속과 함께 사용하기에 적합하지 않을 수 있으며, 또한 일부 비제한적인 예에서는, 시간 소모적이고 및/또는 비용이 많이 들 수 있다; 그리고

[0382] · 임의의 이러한 클리닝 공정과 상관없이, 특히 고온 증착 공정에서 이러한 FMM을 계속 사용하면 원하는 패터닝을 생성하는 데 효과적이지 않게 될 수 있으며, 그 시점에 그들은 복잡하고 값비싼 공정에서 폐기 및/또는 교체될 수 있다.

[0383] **도 5**는 디바이스(100)와 실질적으로 유사하지만, (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410)을 비-발광 영역(1920)의 측면 양태(들)(420)의 전체에 걸쳐 복수의 융기된 PDL(440)을 추가로 포함하는 디바이스(500)의 예시적인 단면도를 도시한다.

[0384] 전도성 코팅(830)이, 일부 비제한적인 예에서, 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 때, 전도성 코팅(830)은 (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410)의 전체에 걸쳐 증착되어 그 위에 제2 전극(140)을 형성하고(도면에서), 또한 그들을 둘러싸는 비-발광 영역(1920)의 측면 양태(들)(420)의 전체에 걸쳐 증착되어 PDL(440) 상부에 전도성 코팅(830)의 영역을 형성한다. 제2 전극(140)의 각각의 (세그먼트)가 임의의 적어도 하나의 전도성 영역(들)(830)에 전기적으로 결합되지 않는 것을 보장하기 위해, PDL(들)(440)의 두께는 제2 전극(들)(140)의 두께보다 더 두껍다. 일부 비제한적인 예에서, PDL(들)(440)은, 도면에 도시된 바와 같이, 언더컷 프로파일과 함께 제공되어 제2 전극(들)(140)의 임의의 (세그먼트)가 임의의 적어도 하나의 전도성 영역(들)(830)에 전기적으로 결합될 가능성을 추가로 감소시킬 수 있다.

[0385] 일부 비제한적인 예에서, 디바이스(500) 위에 배리어 코팅(1650)을 적용하면 디바이스(500)의 매우 불균일한 표면 토포그래피와 관련하여 디바이스(500)에 대한 배리어 코팅(1650)의 불량한 접착을 초래할 수 있다.

[0386] 일부 비제한적인 예에서, 다른 색상의 서브-픽셀(들)(264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(410)

에 대한 하나의 색상의 서브-픽셀(들)(264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(410)의 전체에 걸쳐 적어도 하나의 반도체 층(130)(및/또는 그의 층)의 두께를 변화시킴으로써 상이한 색상(및/또는 파장)의 서브-픽셀(들)(264x)과 연관된 광학 미세공동 효과를 조정하는 것이 바람직할 수 있다. 일부 비제한적인 예에서, 패터닝을 수행하기 위해 FMM을 사용하면 적어도 일부 경우에 및/또는, 일부 비제한적인 예에서는, OLED 디스플레이(100)를 위한 생산 환경에서 이러한 광학 미세공동 조정 효과를 제공하는 데 요구되는 정밀도를 제공하지 않을 수 있다.

[0387] 핵 생성 억제 및/또는 촉진 물질 특성

[0388] 일부 비제한적인 예에서, 제1 전극(120), 제1 전극(140), 보조 전극(1750) 및/또는 버스바(4150) 중 적어도 하나 및/또는 거기에 전기적으로 결합된 전도성 요소를 제한 없이 포함하는 디바이스 피쳐를 형성하기 위해 얇은 전도성 필름의 복수의 층으로서 또는 적어도 하나의 층으로서 사용될 수 있는 전도성 코팅(830)은 하부 물질의 노출된 층 표면(111) 상에 증착되는 것에 대해 상대적으로 낮은 친화도를 나타낼 수 있으므로, 전도성 코팅(830)의 증착이 억제된다.

[0389] 전도성 코팅(830)이 위에 증착되는 것에 대한 물질 및/또는 그의 특성의 상대적 친화도 또는 그의 결여는 각각 "핵 생성 촉진" 또는 "핵 생성 억제"로 지칭될 수 있다.

[0390] 본 개시내용에서, "핵 생성 억제"는 전도성 코팅(830)(그의 증착)에 대해 상대적으로 낮은 친화도를 나타내는 표면을 가짐으로써 이러한 표면 상의 전도성 코팅(830)의 증착이 억제되는 코팅, 물질 및/또는 그의 층을 지칭한다.

[0391] 본 개시내용에서, "핵 생성 촉진"은 전도성 코팅(830)(그의 증착)에 대해 상대적으로 높은 친화도를 나타내는 표면을 가짐으로써 이러한 표면 상의 전도성 코팅(830)의 증착이 촉진되는 코팅, 물질 및/또는 그의 층을 지칭한다.

[0392] 이들 용어에서 용어 "핵 생성"은 기상의 단량체가 표면 상에 응축되어 핵을 형성하는 박막 형성 공정의 핵 생성 단계를 지칭한다.

[0393] 특정 이론에 얽매이려는 것은 아니지만, 이러한 핵의 형상과 크기, 및 이러한 핵이 섬으로 그리고 그 후에 박막으로 순차적으로 성장하는 것은 증기, 표면 및/또는 응축된 필름 핵 사이의 계면 장력을 제한 없이 포함하는 다수의 인자에 따라 달라질 수 있다고 가정된다.

[0394] 본 개시내용에서, 이러한 친화도는 다수의 방식으로 측정될 수 있다.

[0395] 표면의 핵 생성 억제 및/또는 핵 생성 촉진 특성의 한 가지 척도는 Mg를 제한 없이 포함하는 소정의 전기 전도성 물질에 대한 표면의 초기 고착 확률(S_0)이다. 본 개시내용에서, 용어 "고착 확률" 및 "고착 계수"는 상호교환적으로 사용될 수 있다.

[0396] 일부 비제한적인 예에서, 고착 확률 S는 하기 수학식으로 주어질 수 있다:

[0397] $$S = \frac{N_{ads}}{N_{total}}$$

[0398] 상기 수학식에서, N_{ads}는 노출된 층 표면(111) 상에 남아 있는(즉, 필름 내에 포함된) 흡착된 단량체("흡착원자")의 수이며, N_{total}은 표면 상에 충돌하는 단량체의 총 수이다. 1과 같은 고착 확률 S는 표면에 충돌하는 모든 단량체가 흡착된 후 이어서 성장하는 필름에 포함됨을 나타낸다. 0과 같은 고착 확률 S는 표면에 충돌하는 모든 단량체가 탈착된 후 이어서 필름이 표면 상에 형성되지 않음을 나타낸다. 다양한 표면 상의 금속의 고착 확률 S는 문헌[Walker *et al.*, *J. Phys. Chem. C* 2007, 111, 765 (2006)]에 기재된 바와 같은 이중 수정 결정 마이크로밸런스(QCM) 기법을 제한 없이 포함하는 고착 확률 S를 측정하는 다양한 기법을 사용하여 평가될 수 있다.

[0399] 섬의 밀도가 증가(예를 들어, 평균 필름 두께 증가)함에 따라 고착 확률 S가 변할 수 있다. 비제한적인 예로서, 낮은 초기 고착 확률 S_0은 평균 필름 두께가 증가함에 따라 증가할 수 있다. 이는 섬이 없는 표면의 영역, 비제한적인 예로서, 베어 기판(110)과 높은 섬 밀도를 갖는 영역 사이의 고착 확률 S의 차이에 기초하여 이해될 수 있다. 비제한적인 예로서, 섬의 표면에 충돌하는 단량체는 1에 근접하는 고착 확률 S를 가질 수 있다.

[0400] 따라서, 초기 고착 확률 S_0은 임의의 상당한 수의 임계 핵이 형성되기 전에 표면의 고착 확률 S로 지정될 수 있

다. 초기 고착 확률 S_0의 하나의 척도는 물질의 증착의 초기 단계 동안 상기 물질에 대한 표면의 고착 확률 S를 포함할 수 있으며, 여기서 상기 표면 전체에 걸쳐 증착된 물질의 평균 두께는 임계값 이하이다. 일부 비제한적인 예의 설명에서, 초기 고착 확률 S_0에 대한 임계값은, 비제한적인 예로서, 1 nm로 지정될 수 있다. 평균 고착 확률 $\overline{S}$ 는 하기 수학식으로 주어질 수 있다:

[0401] $$\overline{S} = S_0(1 - A_{nuc}) + S_{nuc}(A_{nuc})$$

[0402] 상기 수학식에서, S_{nuc}는 섬에 의해 덮인 부분의 고착 확률 S이며, A_{nuc}는 섬에 의해 덮여진 기판 표면의 영역의 백분율이다.

[0403] **도 6**에 도시된 에너지 프로파일(610, 620, 630)에 기초하여, 탈착을 위한 상대적으로 낮은 활성화 에너지(E_{des} 631) 및/또는 표면 확산을 위한 상대적으로 높은 활성화 에너지(E_s 631)를 나타내는 NIC(810) 물질이 다양한 용도에서 사용하기에 특히 유리할 수 있다고 가정될 수 있다.

[0404] 표면의 핵 생성 억제 및/또는 핵 생성 촉진 특성의 하나의 척도는 기준 표면 상에 전도성 물질의 초기 증착 속도에 대한 표면상의 Mg를 제한 없이 포함하는 전기 전도성 물질의 초기 증착 속도이며, 여기서 양쪽 표면은 전도성 물질의 증발 플럭스로 처리되고/되거나 증발 플럭스에 노출된다.

[0405] 핵 생성 억제 및/또는 촉진 물질 특성에 영향을 미치는 선택적 코팅

[0406] 일부 비제한적인 예에서, 하나 이상의 선택적 코팅(710)(**도 7**)은 그 위의 박막 필름 전도성 코팅(830)의 증착을 위해 제공될 하부 물질의 노출된 층 표면(111)의 적어도 제1 부분(701)(**도 7**) 상에 선택적으로 증착될 수 있다. 이러한 선택적 코팅(들)(710)은 하부 물질의 노출된 층 표면(111)의 것과 상이한 전도성 코팅(830)에 대한 핵 생성 억제 특성(및/또는 역으로 핵 생성 촉진 특성)을 갖는다. 일부 비제한적인 예에서, 이러한 선택적 코팅(들)(710)이 증착되지 않은 하부 물질의 노출된 층 표면(111)의 제2 부분(702)(**도 7**)이 있을 수 있다.

[0407] 이러한 선택적 코팅(710)은 NIC(810) 및/또는 핵 생성 촉진 코팅(NPC(1120)(**도 11**))일 수 있다.

[0408] 일부 비제한적인 예에서, NIC(810)는 **도 35**에 비제한적 예로서 도시된 바와 같이 하부 금속 코팅(138)의 노출된 층 표면(111) 상에 배치될 수 있다. 당업자는 이러한 금속 코팅(138)이 디바이스(100)의 복수의 층들 중 (적어도) 하나일 수 있다는 것을 이해할 것이다. 금속 코팅(138)은 금속 코팅 물질로 구성될 수 있다. 당업자는 금속 코팅(138) 및 이를 포함하는 금속 코팅 물질은, 특히 필름으로서 및 제2 전극 물질(140)을 증착하는 데 사용되는 것과 실질적으로 유사한 조건 하에 및/또는 메커니즘에 의해 배치될 때, 대체로 유사한 광학 및/또는 기타 특성을 나타낼 수 있다는 것을 이해할 것이다.

[0409] 일부 비제한적인 예에서, 시트 저항은 구성요소, 층 및/또는 부품을 관통하는 전류의 특성을 변경할 수 있는 이러한 구성요소, 층 및/또는 부품의 특성이다. 일부 비제한적인 예에서, 금속 코팅(138)의 시트 저항(R1)은 일반적으로 디바이스(100)의 다른 구성요소, 층, 및/또는 부품과 분리되어 측정된 금속 코팅(138)의 시트 저항에 대응할 수 있다. 일부 비제한적인 예에서, 금속 코팅(138)은 박막 필름으로서 형성될 수 있다. 따라서, 일부 비제한적인 예에서, 금속 코팅(138)에 대한 시트 저항(R1)은 이러한 박막 필름의 조성, 두께, 및/또는 모폴로지에 기초하여 결정 및/또는 계산될 수 있다. 일부 비제한적인 예에서, 시트 저항(R1)은 약 0.1 내지 1,000 Ω/sqr, 약 1 내지 100 Ω/sqr, 약 2 내지 50 Ω/sqr, 약 3 내지 30 Ω/sqr, 약 4 내지 20 Ω/sqr, 약 5 내지 15 Ω/sqr, 및/또는 약 10 내지 12 Ω/sqr일 수 있다.

[0410] 일부 비제한적인 예에서, 금속의 결합 해리 에너지는 금속의 2개의 동일한 원자에 의해 형성된 이원자 분자의 결합의 절단으로부터 298 K에서 측정된 표준 상태 엔탈피 변화에 대응할 수 있다. 결합 해리 에너지는, 비제한적인 예로서, 공지된 문헌[Luo, Yu-ran, "Bond dissociation energies" (2010)]에 기초하여 측정할 수 있지만, 이에 국한되지 않는다. 일부 비제한적인 예에서, 금속 코팅 물질은 적어도 10 kJ/mol, 적어도 50 kJ/mol, 적어도 100 kJ/mol, 적어도 150 kJ/mol, 적어도 180 kJ/mol, 및/또는 적어도 200 kJ/mol의 결합 해리 에너지를 갖는 금속을 포함할 수 있다.

[0411] 일부 비제한적인 예에서, 금속 코팅 물질은 약 1.4, 약 1.3, 및/또는 약 1.2 미만의 전기음성도를 갖는 금속을 포함할 수 있다.

[0412] 일부 비제한적인 예에서, 금속 코팅 물질은 칼륨(K), 나트륨(Na), 리튬(Li), 바륨(Ba), 세슘(Cs), 이테르븀(Yb), 은(Ag), 금(Au), 구리(Cu), 알루미늄(Al), 마그네슘(Mg), 아연(Zn), 카드뮴(Cd), 주석(Sn), 니켈(Ni),

티타늄(Ti), 팔라듐(Pd), 크롬(Cr), 철(Fe), 코발트(Co), 지르코늄(Zr), 백금(Pt), 바나듐(V), 니오븀(Nb), 이리듐(Ir), 오스뮴(Os), 탄탈륨(Ta), 몰리브덴(Mo), 및/또는 텅스텐(W)으로부터 선택되는 원소를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu, Ag, 및/또는 Au를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu일 수 있다. 일부 비제한적인 예에서, 원소는 Al일 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Zn, Cd, 및/또는 Yb를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Sn, Ni, Ti, Pd, Cr, Fe, 및/또는 Co를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Zr, Pt, V, Nb, Ir, 및/또는 Os를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ta, Mo, 및/또는 W를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, Al, Yb, 및/또는 Li를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, 및/또는 Yb를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, 및/또는 Ag를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ag일 수 있다.

[0413] 일부 비제한적인 예에서, 금속 코팅 물질은 순수한 금속을 포함할 수 있다. 일부 비제한적인 예에서, 금속 코팅 물질은 순수한 금속이다. 일부 비제한적인 예에서, 금속 코팅 물질은 순수한 Ag 또는 실질적으로 순수한 Ag이다. 일부 비제한적인 예에서, 금속 코팅 물질은 순수한 Mg 또는 실질적으로 순수한 Mg이다. 일부 비제한적인 예에서, 금속 코팅 물질은 순수한 Al 또는 실질적으로 순수한 Al이다.

[0414] 일부 비제한적인 예에서, 금속 코팅 물질은 합금을 포함할 수 있다. 일부 비제한적인 예에서, 합금은 Ag 함유 합금, 및/또는 AgMg 함유 합금일 수 있다.

[0415] 일부 비제한적인 예에서, 금속 코팅 물질은 Ag 대신에 및/또는 Ag와 조합으로 다른 금속을 포함할 수 있다. 일부 비제한적인 예에서, 금속 코팅 물질은 Ag와 적어도 하나의 다른 금속과의 합금을 포함할 수 있다. 일부 비제한적인 예에서, 금속 코팅 물질은 Ag와 Mg, 및/또는 Yb와의 합금을 포함할 수 있다. 일부 비제한적인 예에서, 이러한 합금은 약 5 부피%의 Ag 내지 약 95 부피%의 Ag 범위의 조성을 갖는 이원 합금일 수 있으며, 나머지는 다른 금속일 수 있다. 일부 비제한적인 예에서, 금속 코팅 물질은 Ag 및 Mg를 포함한다. 일부 비제한적인 예에서, 금속 코팅 물질은 부피 기준으로 약 1:10 내지 약 10:1 범위의 조성을 갖는 Ag:Mg 합금을 포함한다. 일부 비제한적인 예에서, 금속 코팅 물질은 Ag 및 Yb를 포함한다. 일부 비제한적인 예에서, 금속 코팅 물질은 부피 기준으로 약 1:20 내지 약 1-10:1 범위의 조성을 갖는 Yb:Ag 합금을 포함한다. 일부 비제한적인 예에서, 금속 코팅 물질은 Mg 및 Yb를 포함한다. 일부 비제한적인 예에서, 금속 코팅 물질은 Mg:Yb 합금을 포함한다. 일부 비제한적인 예에서, 금속 코팅 물질은 Ag, Mg, 및 Yb를 포함한다. 일부 비제한적인 예에서, 금속 코팅 물질은 Ag:Mg:Yb 합금을 포함한다.

[0416] 일부 비제한적인 예에서, 금속 코팅 물질은 산소(O)를 포함할 수 있다. 일부 비제한적인 예에서, 금속 코팅 물질은 적어도 하나의 금속 및 O를 포함할 수 있다. 일부 비제한적인 예에서, 금속 코팅 물질은 금속 산화물을 포함할 수 있다. 일부 비제한적인 예에서, 금속 산화물은 Zn, 인듐(I), 주석(Sn), 안티몬(Sb), 및/또는 갈륨(Ga)을 포함한다. 일부 비제한적인 예에서, 금속 산화물은 투명 전도성 산화물(TCO)일 수 있다. 일부 비제한적인 예에서, TCO는 인듐 산화물, 주석 산화물, 안티몬 산화물, 및/또는 갈륨 산화물을 포함할 수 있다. 일부 비제한적인 예에서, TCO는 인듐 티타늄 산화물(ITO), ZnO, 인듐 아연 산화물(IZO), 및/또는 인듐 갈륨 아연 산화물(IGZO)을 포함할 수 있다. 일부 비제한적인 예에서, TCO는 다른 원소로 전기적으로 도핑될 수 있다.

[0417] 일부 비제한적인 예에서, 금속 코팅(138)은 금속 및/또는 금속 합금으로 형성될 수 있다.

[0418] 일부 비제한적인 예에서, 금속 코팅(138)은 적어도 하나의 금속 또는 금속 합금 및 적어도 하나의 금속 산화물을 포함할 수 있다.

[0419] 일부 비제한적인 예에서, 금속 코팅(138)은 금속 코팅 물질의 복수의 층을 포함할 수 있다. 일부 비제한적인 예에서, 복수의 층 중 제1 층의 금속 코팅 물질은 복수의 층 중 제2 층의 금속 코팅 물질과 상이할 수 있다. 일부 비제한적인 예에서, 복수의 층 중 제1 층의 금속 코팅 물질은 금속을 포함할 수 있고 복수의 층 중 제2 층의 금속 코팅 물질은 금속 산화물을 포함할 수 있다.

[0420] 일부 비제한적인 예에서, 복수의 층 중 적어도 하나의 금속 코팅 물질은 Yb를 포함할 수 있다. 일부 비제한적인 예에서, 복수의 층 중 하나의 금속 코팅 물질은 Ag 함유 합금 및/또는 AgMg 함유 합금, 및/또는 순수한 Ag, 실질적으로 순수한 Ag, 순수한 Mg, 및/또는 실질적으로 순수한 Mg를 포함할 수 있다. 일부 비제한적인 예에서, 금속 코팅(138)은 이중층 Yb/AgMg 코팅이다.

[0421] 일부 비제한적인 예에서, NIC(810)(최상위 층)에 근접한 복수의 층 중 제1 층은 Ag, Au, Cu, Al, Sn, Ni, Ti, Pd, Cr, Fe, Co, Zr, Pt, V, Nb, Ir, Os, Ta, Mo, 및/또는 W로부터 선택되는 원소를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu, Ag, 및/또는 Au를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Cu일 수

있다. 일부 비제한적인 예에서, 원소는 Al일 수 있다. 일부 비제한적인 예에서, 원소는 Sn, Ti, Pd, Cr, Fe, 및/또는 Co를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ni, Zr, Pt, V, Nb, Ir, 및/또는 Os를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ta, Mo, 및/또는 W를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, Ag, 및/또는 Al을 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Mg, 및/또는 Ag를 포함할 수 있다. 일부 비제한적인 예에서, 원소는 Ag일 수 있다.

[0422] 일부 비제한적인 예에서, 금속 코팅(138)은 적어도 하나의 추가의 원소를 포함할 수 있다. 일부 비제한적인 예에서, 이러한 추가의 원소는 비-금속 원소일 수 있다. 일부 비제한적인 예에서, 비-금속 물질은 산소(O), 황(S), 질소(N), 및/또는 탄소 C일 수 있다. 당업자는, 일부 비제한적인 예에서, 이러한 추가의 원소(들)가 소스 물질, 증착에 사용되는 장비, 및/또는 진공 챔버 환경에서 이러한 추가의 원소(들)의 존재로 인한 오염 물질로서 금속 코팅(138) 내로 혼입될 수 있다는 사실을 이해하고 있을 것이다. 일부 비제한적인 예에서, 이러한 추가 원소(들)의 농도는 임계 농도 미만으로 제한될 수 있다. 일부 비제한적인 예에서, 이러한 추가의 원소(들)는 금속 코팅(138)의 다른 원소(들)과 함께 화합물을 형성할 수 있다. 일부 비제한적인 예에서, 전도성 코팅 물질 중의 비-금속 원소의 농도는 약 1%, 약 0.1%, 약 0.001%, 약 0.0001%, 약 0.00001%, 약 0.000001%, 및/또는 약 0.0000001% 미만일 수 있다. 일부 비제한적인 예에서, 전도성 코팅(830)은 그 안의 O 및 C의 조합된 양이 약 10%, 약 5%, 약 1%, 약 0.1%, 약 0.001%, 약 0.0001%, 약 0.00001%, 약 0.000001%, 및/또는 약 0.0000001% 미만인 조성을 갖는다. 일부 비제한적인 예에서, 금속 코팅(138)은 폐쇄된 코팅(4530)을 포함할 수 있다. 일부 비제한적인 예에서, 금속 코팅(138)은 불연속 코팅(1050)을 포함할 수 있다.

[0423] 일부 비제한적인 예에서, 금속 코팅(138)은 제1 부분(115)의 제1 층 표면 상의 금속 코팅(138)의 폐쇄된 코팅(4530)이 실질적으로 없는 내부의 적어도 하나의 영역에 의해 정의될 수 있는 패턴으로 배치될 수 있다. 일부 비제한적인 예에서, 적어도 하나의 영역은 그 위에 배치된 금속 패터닝 NIC(810)를 갖는다. 일부 비제한적인 예에서, 적어도 하나의 영역은 금속 코팅(138)을 그의 복수의 개별 단편으로 분리할 수 있다. 일부 비제한적인 예에서, 금속 코팅(138)의 이러한 복수의 개별 단편 중 적어도 2개는 전기적으로 결합될 수 있다. 일부 비제한적인 예에서, 금속 코팅(138)의 이러한 복수의 개별 단편 중 적어도 2개는 전도성 코팅(830)을 제한 없이 포함하는 공통 전도성 층 또는 코팅에 각각 전기적으로 결합되어 그들 사이에서 전류의 흐름을 허용할 수 있다. 일부 비제한적인 예에서, 금속 코팅(138)의 이러한 복수의 개별 단편 중 적어도 2개는 서로 전기적으로 절연될 수 있다.

[0424] 본 개시내용에서, 일부 비제한적인 예에서는 문맥이 지시하는 바와 같이, 용어 "NIC" 및 "패턴화 코팅"은 유사한 개념을 지칭하기 위해 상호교환적으로 사용될 수 있으며, 본원에서 NIC(810)에 대한 언급은, 전도성 코팅(830)을 패턴화하는 데 선택적으로 증착되는 맥락에서, 일부 비제한적인 예에서는, 전극 코팅(830)을 패턴화하기 위한 그의 선택적 증착의 맥락에서 패턴화 코팅(810)에 적용할 수 있다.

[0425] 유사하게, 일부 비제한적인 예에서는 문맥이 지시하는 바와 같이, 용어 "NPC" 및 "패턴화 코팅"은 유사한 개념을 지칭하기 위해 상호교환적으로 사용될 수 있으며, 본원에서 NPC(1120)에 대한 언급은, 전도성 코팅(830)을 패턴화하는 데 선택적으로 증착되는 맥락에서, 일부 비제한적인 예에서는, 전극 코팅(830)을 패턴화하기 위한 그의 선택적 증착의 맥락에서 패턴화 코팅(1120)에 적용할 수 있다.

[0426] 일부 비제한적인 예에서, 패턴화 코팅(810, 1120)에 대한 언급은 본원에서 기술되는 바와 같은 특정 조성을 갖는 코팅을 의미할 수 있다.

[0427] 당업자는 이러한 선택적 코팅(710)을 사용하면, 일부 비제한적인 예에서는, 전도성 코팅(830)을 증착하는 단계 동안 FMM을 사용하지 않고서도 전도성 코팅(830)의 선택적 증착을 촉진 및/또는 허용할 수 있다는 것을 이해할 것이다.

[0428] 일부 비제한적인 예에서, 전도성 코팅(830)의 이러한 선택적 증착은 패턴일 수 있다. 일부 비제한적인 예에서, 이러한 패턴은 (서브-) 픽셀(340/264x)의 하나 이상의 발광 영역(들)(1910)의 측면 양태(410) 내에서 및/또는, 일부 비제한적인 예에서는, 이러한 발광 영역(들)(1910)을 둘러쌀 수 있는 하나 이상의 비-발광 영역(들)(1920)의 측면 양태(420) 내에서 디바이스(100)의 상단 및/또는 하단 중 적어도 하나의 투과율을 제공 및/또는 증가시키는 것을 촉진할 수 있다.

[0429] 일부 비제한적인 예에서, 전도성 코팅(830)은 전도성 구조물 상에 증착될 수 있고/있거나 일부 비제한적인 예에서 디바이스(100)를 위한 전도성 구조물의 층을 형성할 수 있으며, 이는 일부 비제한적인 예에서 애노드(341) 및/또는 캐소드(342) 중의 하나, 및/또는 보조 전극(1750) 및/또는 버스바(4150)로서 작용하여 그의 전도도를

지지하고/하거나 일부 비제한적인 예에서는 거기에 전기적으로 결합시키는 제1 전극(120) 및/또는 제2 전극(140)일 수 있다.

[0430] 일부 비제한적인 예에서, Mg를 제한 없이 포함하는 소정의 전도성 코팅(830)에 대한 NIC(810)는 증기 형태의 전도성 코팅(830)(실시예에서 Mg)에 대해 상대적으로 낮은 초기 고착 확률 S_0을 나타냄으로써 노출된 층 표면(111) 상에서의 전도성 코팅(830)(실시예에서 Mg)의 증착이 억제되는 표면을 갖는 코팅을 지칭할 수 있다. 따라서, 일부 비제한적인 예에서, NIC(810)의 선택적 증착은 그 위에 전도성 코팅(830)의 증착을 위해 제공되는 (NIC(810)의) 노출된 층 표면(111)의 초기 고착 확률 S_0을 감소시킬 수 있다.

[0431] 일부 비제한적인 예에서, Mg를 제한 없이 포함하는 소정의 전도성 코팅(830)에 대한 NPC(1120)는 증기 형태의 전도성 코팅(830)에 대해 상대적으로 높은 초기 고착 확률 S_0을 나타냄으로써 노출된 층 표면(111) 상에서의 전도성 코팅(830)의 증착이 촉진되는 노출된 층 표면(111)을 갖는 코팅을 지칭할 수 있다. 따라서, 일부 비제한적인 예에서, NPC(1120)의 선택적 증착은 그 위에 전도성 코팅(830)의 증착을 위해 제공되는 (NPC(1120)의) 노출된 층 표면(111)의 초기 고착 확률 S_0을 증가시킬 수 있다.

[0432] 선택적 코팅(710)이 NIC(810)일 경우, NIC(810)가 증착되는 하부 물질의 노출된 층 표면(111)의 제1 부분(701)은 그 후 핵 생성 억제 특성이 증가되거나 또는 대안적으로 핵 생성 촉진 특성이 감소(어느 경우든, 제1 부분(701) 상에 증착된 NIC(810)의 표면)됨으로써 NIC(810)가 증착된 하부 물질의 노출된 층 표면(111)의 친화도에 비해 그 위의 전도성 코팅(830)의 증착에 대해 감소된 친화도를 갖는 (NIC(810)의) 처리된 표면을 나타낼 것이다. 대조적으로, 이러한 NIC(810)가 증착되지 않은 제2 부분(702)은 핵 생성 억제 특성 또는 대안적으로 핵 생성 촉진 특성(어느 경우든, 선택적 코팅(710)이 실질적으로 없는 하부 기판(110)의 노출된 층 표면(111))은 실질적으로 변경되지 않은 그들 상의 전도성 코팅(830)의 증착에 대한 친화도를 갖는 (하부 기판(110)의) 노출된 층 표면(111)을 계속 나타낼 것이다.

[0433] 선택적 코팅(710)이 NPC(1120)일 경우, NPC(1120)가 증착되는 하부 물질의 노출된 층 표면(111)의 제1 부분(701)은 그 후 핵 생성 억제 특성이 감소되거나 또는 대안적으로 핵 생성 촉진 특성이 증가(어느 경우든, 제1 부분(701) 상에 증착된 NPC(1120)의 표면)됨으로써 NPC(1120)가 증착된 하부 물질의 노출된 층 표면(111)의 친화도에 비해 그 위의 전도성 코팅(830)의 증착에 대해 증가된 친화도를 갖는 (NPC(1120)의) 처리된 표면을 나타낼 것이다. 대조적으로, 이러한 NPC(1120)가 증착되지 않은 제2 부분(702)은 핵 생성 억제 특성 또는 대안적으로 핵 생성 촉진 특성(어느 경우든, NPC(1120)가 실질적으로 없는 하부 기판(110)의 노출된 층 표면(111))은 실질적으로 변경되지 않은 그들 상의 전도성 코팅(830)의 증착에 대한 친화도를 갖는 (하부 기판(110)의) 노출된 층 표면(111)을 계속 나타낼 것이다.

[0434] 일부 비제한적인 예에서, NIC(810) 및 NPC(1120) 둘 모두는 하부 물질의 노출된 층 표면(111)의 각각의 제1 부분(701) 및 NPC 부분(1103)(**도 11a**) 상에 선택적으로 증착되어 그 위에 전도성 코팅(830)의 증착을 위해 제공될 노출된 층 표면(111)의 핵 생성 억제 특성(및/또는 역으로 핵 생성 촉진 특성)이 각각 변경될 수 있다. 일부 비제한적인 예에서, 선택적 코팅(710)이 증착되지 않은 하부 물질의 노출된 층 표면(111)의 제2 부분(702)이 있을 수 있으므로, 그 위에 전도성 코팅(830)의 증착을 위해 제공될 핵 생성 억제 특성(및/또는 역으로 그의 핵 생성 촉진 특성)은 실질적으로 변경되지 않는다.

[0435] 일부 비제한적인 예에서, 제1 부분(701) 및 NPC 부분(1103)은 중첩될 수 있으므로, NIC(810) 및/또는 NPC(1120)의 제1 코팅이 이러한 중첩 영역에서 하부 물질의 노출된 층 표면(111) 상에 선택적으로 증착될 수 있고 NIC(810) 및/또는 NPC(1120)의 제2 코팅이 제1 코팅의 처리된 노출된 층 표면(111) 상에 선택적으로 증착될 수 있다. 일부 비제한적인 예에서, 제1 코팅은 NIC(810)이다. 일부 비제한적인 예에서, 제1 코팅은 NPC(1120)이다.

[0436] 일부 비제한적인 예에서, 선택적 코팅(710)이 증착된 제1 부분(701)(및/또는 NPC 부분(1103))은 그 위에 전도성 코팅(830)의 증착을 위한 하부 물질의 덮혀지지 않은 표면을 제공하기 위해 증착된 선택적 코팅(710)이 제거된 제거 영역을 포함할 수 있으므로, 그 위에 전도성 코팅(830)의 증착을 위해 제공될 핵 생성 억제 특성(및/또는 역으로 그의 핵 생성 촉진 특성)은 실질적으로 변경되지 않는다.

[0437] 일부 비제한적인 예에서, 하부 물질은 기판(110) 및/또는 제1 전극(120), 제2 전극(140), 적어도 하나의 반도체층(130)(및/또는 이의 층들 중 적어도 하나) 및/또는 이들 중 임의의 것의 임의의 조합을 제한 없이 포함하는 프런트플레인(10) 층으로부터 선택되는 적어도 하나의 층일 수 있다.

[0438] 일부 비제한적인 예에서, 전도성 코팅(830)은 특정 물질 특성을 가질 수 있다. 일부 비제한적인 예에서, 전도성 코팅(830)은 단독으로 또는 화합물로 및/또는 합금으로 Mg를 포함할 수 있다.

[0439] 비제한적인 예로서, 순수한 Mg 및/또는 실질적으로 순수한 Mg는 일부 유기 표면 상에서의 Mg의 낮은 고착 확률 S로 인해 일부 유기 표면 상에 용이하게 증착되지 않을 수 있다.

[0440] 선택적 코팅의 증착

[0441] 일부 비제한적인 예에서, 선택적 코팅(710)을 포함하는 박막 필름은 증발(열 증발 및/또는 전자빔 증발을 포함하지만 이에 제한되지 않음), 포토리소그래피, 프린팅(잉크 젯 및/또는 증기 젯 프린팅, 릴-투-릴 프린팅 및/또는 마이크로-접촉 전사 프린팅을 포함하지만 이에 제한되지 않음), PVD(스퍼터링을 포함하지만 이에 제한되지 않음), CVD(PECVD 및/또는 OVPD를 포함하지만 이에 제한되지 않음), 레이저 어닐링, LITI 패터닝, ALD, 코팅(스핀 코팅, 딥 코팅, 라인 코팅 및/또는 스프레이 코팅을 포함하지만 이에 제한되지 않음), 및/또는 이들 중 임의의 둘 이상의 조합을 제한 없이 포함하는 매우 다양한 기술을 사용하여 선택적으로 증착 및/또는 처리될 수 있다.

[0442] **도 7**은 하부 물질(도면에서는, 단지 설명의 단순성을 위해, 기판(110))의 노출된 층 표면(111)의 제1 부분(701) 상에 선택적 코팅(710)을 선택적으로 증착하기 위해 챔버(70)에서 일반적으로는 700으로 도시된 증발 공정의 비제한적인 예를 예시하는 예시적인 개략도이다.

[0443] 공정(700)에서, 일정량의 선택적 코팅 물질(711)이 진공 하에 가열되어 선택적 코팅 물질(711)이 증발 및/또는 승화(712)된다. 일부 비제한적인 예에서, 선택적 코팅 물질(711)은 전체적으로 및/또는 실질적으로 선택적 코팅(710)을 형성하는 데 사용되는 물질을 포함한다. 증발된 선택적 코팅 물질(712)은 예를 들어 화살표(71)로 표시된 방향으로 노출된 층 표면(111)을 향해 챔버(70)를 통과한다. 증발된 선택적 코팅 물질(712)이 노출된 층 표면(111) 상으로, 즉, 제1 부분(701)으로 입사되면, 선택적 코팅(710)이 그 위에 형성된다.

[0444] 일부 비제한적인 예에서, 공정(700)에 대한 도면에 도시된 바와 같이, 선택적 코팅(710)은 선택적 코팅 물질(711)과 노출된 층 표면(111) 사이에 일부 비제한적인 예에서는 FMM일 수 있는 섀도우 마스크(715)를 개재시킴으로써 노출된 층 표면(111)의 일부, 도시된 예에서는, 제1 부분(701)에만 선택적으로 증착될 수 있다. 섀도우 마스크(715)는 증발된 선택적 코팅 물질(712)의 부분이 개구(716)을 통과하고 노출된 층 표면(111) 상에 입사되어 선택적 코팅(710)을 형성하도록 그를 통해 연장되는 적어도 하나의 개구(716)를 갖는다. 증발된 선택적 코팅 물질(712)이 개구(716)를 통과하지 않고 섀도우 마스크(715)의 표면(717) 상에 입사되는 경우, 제2 부분(703) 내에 선택적 코팅(710)을 형성하기 위해 노출된 층 표면(111) 상에 배치되는 것은 배제된다. 따라서, 노출된 층 표면(111)의 제2 부분(702)에는 선택적 코팅(710)이 실질적으로 없다. 일부 비제한적인 예(도시되지 않음)에서, 섀도우 마스크(715) 상에 입사되는 선택적 코팅 물질(711)은 그의 표면(717) 상에 증착될 수 있다.

[0445] 따라서, 패턴화된 표면은 선택적 코팅(710)의 증착이 완결되면 생성된다.

[0446] 일부 비제한적인 예에서, 예시의 단순성을 위해, **도 7**에서 사용된 선택적 코팅(710)은 NIC(810)일 수 있다. 일부 비제한적인 예에서, 예시의 단순성을 위해, **도 7**에서 사용된 선택적 코팅(710)은 NPC(1120)일 수 있다.

[0447] **도 8**은 제1 부분(701) 상에 선택적으로 증착된 NIC(810)가 실질적으로 없는 하부 물질(도면에서는, 단지 설명의 단순성을 위해, 기판(110))의 노출된 층 표면(111)의 제2 부분(702) 상에 전도성 코팅(830)을 선택적으로 증착하기 위해 챔버(70)에서 일반적으로는 800으로 도시된, **도 7**의 증발 공정(700)을 제한 없이 포함하는 증발 공정의 결과의 비제한적인 예를 예시하는 예시적인 개략도이다. 일부 비제한적인 예에서, 제2 부분(702)은 제1 부분(701) 너머에 놓여 있는 노출된 층 표면(111)의 부분을 포함한다.

[0448] NIC(810)가 하부 물질(도면에서, 기판(110))의 노출된 층 표면(111)의 제1 부분(701) 상에 증착되면, 전도성 코팅(830)은 NIC(810)가 실질적으로 없는 노출된 층 표면(111)의 제2 부분(702) 상에 증착될 수 있다.

[0449] 공정(800)에서, 일정량의 전도성 코팅 물질(831)이 진공 하에 가열되어 선택적 코팅 물질(831)이 증발 및/또는 승화(832)된다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 전체적으로 및/또는 실질적으로 전도성 코팅(830)을 형성하는 데 사용되는 물질을 포함한다. 증발된 전도성 코팅 물질(832)은 예를 들어 화살표(81)로 표시된 방향으로 제1 부분(701) 및 제2 부분(702)의 노출된 층 표면(111)을 향해 챔버(70)의 내측으로 진행한다. 증발된 전도성 코팅 물질(832)이 노출된 층 표면(111)의 제2 부분(702) 상으로 입사될 때, 전도성 코팅(830)이 그 위에 형성된다.

[0450] 일부 비제한적인 예에서, 전도성 코팅 물질(831)의 증착은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용

하여 수행될 수 있으므로, 전도성 코팅(830)은 실질적으로 하부 물질(도면에서, 기판(110))의 전체 노출된 층 표면(111) 전체에 걸쳐 형성되어 (전도성 코팅(830)의) 처리된 표면을 생성한다.

[0451] 당업자는, FMM과는 대조적으로, 오픈 마스크의 피쳐 크기가 일반적으로는 제조되는 디바이스(100)의 크기에 필적한다는 것을 이해할 것이다. 일부 비제한적인 예에서, 이러한 오픈 마스크는 일반적으로 디바이스(100)의 크기에 대응할 수 있는 개구를 가질 수 있으며, 이러한 크기는 일부 비제한적인 예에서는 비제한적으로 마이크로 디스플레이의 경우 약 1인치, 모바일 디스플레이의 경우 약 4 내지 6인치, 및/또는 랩톱 및/또는 태블릿 디스플레이의 경우 약 8 내지 17인치에 대응하여 제조하는 동안 이러한 디바이스(100)의 에지를 마스킹할 수 있다. 일부 비제한적인 예에서, 오픈 마스크의 피쳐 크기는 약 1 cm 및/또는 그 이상일 수 있다. 일부 비제한적인 예에서, 오픈 마스크 내에 형성된 개구는 일부 비제한적인 예에서는 (서브-) 픽셀(340/264x) 및/또는 주변 및/또는 개재된 비-발광 영역(들)(1920)의 주변 및/또는 측면 양태(들)(420)에 각각 대응하는 복수의 발광 영역(1910)의 측면 양태(들)(410)을 포함하도록 크기가 정해질 수 있다.

[0452] 당업자는, 일부 비제한적인 예에서, 원하는 경우 오픈 마스크의 사용이 생략될 수 있다는 것을 이해할 것이다. 일부 비제한적인 예에서, 본원에서 기술되는 오픈 마스크 증착 공정은 대안적으로는 전체 타겟 노출된 층 표면(111)이 노출될 수 있도록 오픈 마스크를 사용하지 않고 수행될 수 있다.

[0453] 일부 비제한적인 예에서, 공정(800)에 대한 도면에 도시된 바와 같이, 전도성 코팅(830)의 증착은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 수행될 수 있으므로, 전도성 코팅(830)은 실질적으로 하부 물질(도면에서, 기판(110))의 전체 노출된 층 표면(111) 전체에 걸쳐 형성되어 (전도성 코팅(830)의) 처리된 표면을 생성한다.

[0454] 실제로, **도 8**에 도시된 바와 같이, 증발된 전도성 코팅 물질(832)은 제1 부분(701)의 전체에 걸친 NIC(810)의 노출된 층 표면(111)뿐만 아니라 NIC(810)가 실질적으로 없는 제2 부분(702)의 전체에 걸친 기판(110)의 노출된 층 표면(111) 모두에 입사된다.

[0455] 제1 부분(701)의 NIC(810)의 노출된 층 표면(111)은 제2 부분(702)의 기판(110)의 노출된 층 표면(111)에 비해 전도성 코팅(830)에 대해 상대적으로 낮은 초기 고착 확률 S_0을 나타내기 때문에, 전도성 코팅(830)은 단지 NIC(810)가 실질적으로 없는 제2 부분(702)의 기판(110)의 노출된 층 표면(111) 상에만 선택적으로 증착된다. 이와는 대조적으로, 제1 부분(701)의 전체에 걸친 NIC(810)의 노출된 층 표면(111) 상으로 입사되는 증발된 전도성 코팅 물질(832)은, (833)으로 도시된 바와 같이, 증착되지 않는 경향이 있으며, 제1 부분(701)의 전체에 걸친 NIC(810)의 노출된 층 표면(111)에는 전도성 코팅(830)이 실질적으로 없다. **도 8**에 도시되지는 않았지만. 일부 비제한적인 예에서, 제1 부분(701)을 가로지르는 NIC(810)의 노출된 층 표면(111)에는 전도성 코팅(830)을 위한 물질이 실질적으로 결여되어 있지는 않았지만, 전도성 코팅(830)의 코팅 필름에는 해당하지 않는다. 그보다는 오히려, 이하에서 상세히 논의되는 바와 같이, NIC(810)의 노출된 층 표면(111)은 그 위에 증착된 전도성 코팅(830)의 물질 및/또는 중간 단계 전도성 박막 필름의 불연속 코팅을 가질 수 있다.

[0456] 일부 비제한적인 예에서, 제2 부분(702)의 기판(110)의 노출된 층 표면(111) 상에서의 증발된 전도성 코팅 물질(832)의 초기 증착 속도는 제1 부분(701)의 NIC(810)의 노출된 층 표면(111) 상에서의 증발된 전도성 코팅 물질(832)의 초기 증착 속도의 적어도 약 200배 및/또는 초과, 적어도 약 550배 및/또는 초과, 적어도 약 900배 및/또는 초과, 적어도 약 1000배 및/또는 초과, 적어도 약 1500배 및/또는 초과, 적어도 약 1900배 및/또는 초과 및/또는 적어도 약 2000배 및/또는 초과일 수 있다.

[0457] 전술한 것들은 전도성 코팅(830) 증착 공정 내에서 FMM을 사용하지 않고서 패턴화된 전극(120, 140, 1750, 4150) 및/또는 여기에 전기적으로 결합된 전도성 요소를 제한 없이 포함하는 디바이스 피처를 형성하기 위해 적어도 하나의 전도성 코팅(830)의 선택적 증착을 수행하기 위해 조합될 수 있다. 일부 비제한적인 예에서, 이러한 패터닝은 디바이스(100)의 투과율을 허용 및/또는 향상시킬 수 있다.

[0458] 일부 비제한적인 예에서, NIC(810) 및/또는 NPC(1120)일 수 있는 선택적 코팅(710)은 복수의 전극(120, 140, 1750, 4150) 및/또는 그의 다양한 층들 및/또는 여기에 전기적으로 결합된 전도성 코팅(830)을 포함하는 디바이스 피처를 패턴화하기 위해 디바이스(100)의 제조 공정 동안 복수 번 적용될 수 있다.

[0459] **도 9a 내지 도 9d**는 오픈 마스크의 비제한적인 예를 도시한다.

[0460] **도 9a**는 내부에 형성된 개구(910)를 갖고/갖거나 정의하는 오픈 마스크(900)의 비제한적인 예를 도시한다. 도시된 바와 같은 일부 비제한적인 예에서, 오픈 마스크(900)의 개구(910)는 디바이스(100)의 크기보다 작아서, 마

스크(900)가 디바이스(100) 상에 오버레이될 때, 마스크(900)는 디바이스(100)의 에지를 덮는다. 일부 비제한적인 예에서, 도시된 바와 같이, 디바이스(100)의 (서브-) 픽셀(들)(340/264x)의 전부 및/또는 실질적으로 전부에 대응하는 발광 영역(1910)의 측면 양태(들)(410)은 개구(910)를 통해 노출되는 반면, 비노출 영역(920)은 디바이스(100)의 외부 에지(91)와 개구(910) 사이에 형성된다. 당업자는, 일부 비제한적인 예에서, 디바이스(100)의 전기 접점 및/또는 다른 구성요소(도시되지 않음)는 이러한 비노출 영역(920) 내에 위치하므로, 이러한 구성요소는 오픈 마스크 증착 공정 전반에 걸쳐 실질적으로 영향을 받지 않고 유지될 수 있다는 것을 이해할 것이다.

[0461] **도 9b**는, 마스크(901)가 디바이스(100) 상에 오버레이될 때, 마스크(901)가 적어도 일부의 (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 적어도 측면 양태(들)(410a)를 덮도록 **도 9a**의 개구(910)보다 작은 내부에 형성된 개구(911)를 갖고/갖거나 정의하는 오픈 마스크(901)의 비제한적인 예를 도시한다. 도시된 바와 같이, 일부 비제한적인 예에서, 최외곽 (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410a)는 디바이스(100)의 비노출 영역(913) 내에 위치되고, 디바이스(100)의 외부 에지(91)와 개구(911) 사이에 형성되며, 증발된 전도성 코팅 물질(832)이 비노출 영역(913) 상에 입사되는 것을 방지하기 위해 오픈 마스크 증착 공정 동안 마스킹된다.

[0462] **도 9c**는 적어도 일부의 (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410a)를 덮는 패턴을 정의하는 내부에 형성된 개구(912)를 갖고/갖거나 정의하는 반면, 적어도 일부의 (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410b)를 노출시키는 오픈 마스크(902)의 비제한적인 예를 도시한다. 도시된 바와 같이, 일부 비제한적인 예에서, 디바이스(100)의 비노출 영역(914) 내에 위치된 적어도 일부의 (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410a)는 증발된 전도성 코팅 물질(830)이 비노출 영역(914) 상에 입사되는 것을 방지하기 위해 오픈 마스크 증착 공정 동안 마스킹된다.

[0463] **도 9b 및 도 9c**에서, 적어도 일부의 최외곽 (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(410a)는 도시된 바와 같이 마스킹되는 반면, 당업자는, 일부 비제한적인 예에서, 오픈 마스크(900-902)의 개구가 디바이스(100)의 다른 발광 영역(들)(1910)의 측면 양태(410) 및/또는 비-발광 영역(들)(1920)의 측면 양태(420)를 마스킹하도록 성형될 수 있다는 것을 이해할 것이다.

[0464] 또한, **도 9a 내지 도 9c**는 단일 개구(910-912)를 갖는 오픈 마스크(900-902)를 도시하지만, 당업자는 이러한 오픈 마스크(900-902)가, 일부 비제한적인 예에서(도시되지 않음), 디바이스(100)의 하부 물질의 노출된 층 표면(111)의 다중 영역을 노출시키기 위한 추가의 개구(도시되지 않음)일 수 있다는 것을 이해할 것이다.

[0465] **도 9d**는 복수의 개구(917a-917d)를 갖고/갖거나 정의하는 오픈 마스크(903)의 비제한적인 예를 도시한다. 개구(917a-917d)는, 일부 비제한적인 예에서, 그들이 디바이스(100)의 특정 영역(921)을 선택적으로 노출시키면서 다른 영역(922)을 마스킹할 수 있도록 위치된다. 일부 비제한적인 예에서, 적어도 일부의 (서브-) 픽셀(들)(340/264x)에 대응하는 특정 발광 영역(들)(1910)의 측면 양태(410b)는 영역(921)의 개구(917a-917d)를 통해 노출되는 반면, 적어도 일부의 (서브-) 픽셀(들)(340/264x)에 대응하는 다른 발광 영역(들)(1910)의 측면 양태(410a)는 영역(922) 내에 놓이고 따라서 마스킹된다.

[0466] 이제 **도 10a**를 참조하면, **도 1**에 도시된 디바이스(100)의 예시적인 버전(1000)이 도시되어 있지만, 본원에서 설명된 많은 추가의 증착 단계가 있다.

[0467] 디바이스(1000)는 하부 물질의 노출된 층 표면(111)의 측면 양태를 나타낸다. 측면 양태는 제1 부분(1001) 및 제2 부분(1002)을 포함한다. 제1 부분(1001)에서, NIC(810)는 노출된 층 표면(111) 상에 배치된다. 그러나, 제2 부분(1002)에서, 노출된 층 표면(111)에는 NIC(810)이 실질적으로 없다.

[0468] 일부 비제한적인 예에서, 제1 부분(1001) 및 제2 부분(1002)은 측면 양태에서 실질적으로 서로 인접해 있다.

[0469] 일부 비제한적인 예에서, 제1 부분(1001)의 노출된 층 표면(1001) 및 제2 부분(1002)의 노출된 층 표면(111)은 단면 양태에서 실질적으로 서로 근접해 있다. 말하자면, 제1 부분(1001)의 노출된 층 표면(111)과 제2 부분(1002)의 노출된 층 표면(111) 사이에 하나 이상의 개재 층이 있을 수 있지만, 그에 의해 야기되는 그들 사이의 차이는, 일부 비제한적인 예에서는, 제1 부분(1001) 및 제2 부분(1002) 중 적어도 하나의 측면 범위의 일부이다.

[0470] 제1 부분(1001) 전체에 걸쳐 NIC(810)의 선택적 증착 후에, 전도성 코팅(830)은 일부 비제한적인 예에서 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 디바이스(1000) 위에 증착된다.

[0471] NIC(810)는 제1 부분(1001) 내에서 전도성 코팅(830)에 대해 상대적으로 낮은 초기 고착 확률 S_0을 갖는 표면을 제공하며, 이는 제2 부분(1002) 내의 디바이스(1000)의 하부 물질의 노출된 층 표면(111)의 초기 고착 확률 S_0보다 전도성 코팅(830)에 대해 실질적으로 더 작다.

[0472] 따라서, 전도성 코팅(830)은 제2 부분(1002)에서 폐쇄된 필름으로서 형성되는 반면, 제1 부분(1001)에는 전도성 코팅(830)이 실질적으로 없다.

[0473] 이러한 방식으로, NIC(810)는 제1 전극(120), 제2 전극(140), 보조 전극(1750), 버스바(4150) 및/또는 이들의 적어도 하나의 층 중 적어도 하나, 및 거기에 전기적으로 결합된 전도성 요소를 제한 없이 포함하는 디바이스 피처를 형성하기 위해 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하는 것을 제한 없이 포함하여 전도성 코팅(830)이 증착될 수 있도록 하기 위해 섀도우 마스크를 사용하는 것을 포함하여 선택적으로 증착될 수 있다.

[0474] 이제, 도 **10b**를 참조하면, 디바이스(1000)의 예시적인 버전의 예(1010)가 도시되어 있다.

[0475] 디바이스(1010)는, 제1 부분(1001)에 전도성 코팅(830)이 실질적으로 없는 것으로 도시되어 있는 도 10a의 디바이스(1000)와는 대조적으로, 전도성 코팅(830)의 폐쇄된 필름(4530)이 실질적으로 없는 제1 부분(1001)을 도시한다. **도 10b**에서, 제1 부분(1001)의 NIC(810)의 존재로 인해, 전도성 코팅 물질(831)은 제1 부분(1001)의 NIC(810)의 노출된 층 표면(1011) 상에 불연속 코팅(1050)으로서 증착된다. 일부 비제한적인 예에서, 불연속 코팅(1050)은 복수의 개별 섬들을 포함한다. 일부 비제한적인 예에서, 이러한 섬들의 적어도 일부는 서로 분리되어 있다. 다시 말해, 일부 비제한적인 예에서, 불연속 코팅(1050)은 불연속 코팅(1050)이 연속 층을 형성하지 않도록 서로 물리적으로 분리되어 있는 피처를 포함할 수 있다.

[0476] 이러한 방식으로, NIC(810)는 제1 전극(120), 제2 전극(140), 보조 전극(1750), 버스바(4150) 및/또는 이들의 적어도 하나의 층 중 적어도 하나, 및 거기에 전기적으로 결합된 전도성 요소를 제한 없이 포함하는 디바이스 피처를 형성하기 위해 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하는 것을 제한 없이 포함하여 전도성 코팅(830)이 증착될 수 있도록 하기 위해 섀도우 마스크를 사용하는 것을 포함하여 선택적으로 증착될 수 있다.

[0477] 임의의 특정 이론에 얽매이려는 것은 아니지만, 전도성 코팅(830)의 증착 동안, NIC(810)의 노출된 층 표면(1011) 상에 충돌하는 전도성 코팅 물질(831)의 일부 증기상 단량체는 응축되어 그 위에 작은 클러스터 및/또는 섬을 형성할 수 있다고 가정할 수 있다. 그러나, 방해받지 않는 상태로 방치하는 경우 NIC(810)의 노출된 층 표면(1011) 상에 전도성 코팅 물질(831)의 실질적으로 폐쇄된 필름(4530)의 형성을 초래할 수 있는 이러한 클러스터 및/또는 섬들의 실질적인 성장은 NIC(810)의 하나 이상의 특성 및/또는 기능들로 인하여 억제된다. 따라서, 일부 비제한적인 예에서, 불연속 코팅(1050)은 전도성 코팅(830)을 형성하기 위한 전도성 코팅 물질(831)을 포함한다. 일부 비제한적인 예에서, 불연속 코팅(1050)의 피크 흡수 파장은 디바이스(1020)에 의해 방출 및/또는 투과되는 광자(들)의 피크 파장보다 작을 수 있다. 비제한적인 예로서, 불연속 코팅(1050)은 약 470 nm 미만, 약 460 nm 미만, 약 455 nm 미만, 약 450 nm 미만, 약 445 nm 미만, 약 440 nm 미만, 약 430 nm 미만, 약 420 nm 미만, 및/또는 약 400 nm 미만의 파장에서 피크 흡광도를 나타낼 수 있다.

[0478] 일부 비제한적인 예에서, 클러스터 및/또는 섬을 함유하는 불연속 코팅(1050)은 NIC(810) 상에, 및/또는 NIC(810)와 물리적으로 접촉하도록, 및/또는 NIC(810)에 근접하도록 배열될 수 있다.

[0479] **도 10c**는 **도 10b**의 비제한적인 예에 따른 디바이스(1010)의 제1 부분(1001)의 단순화된 예시적인 평면도이다.

[0480] 이제 **도 10d**를 참조하면, **도 10b**에 도시된 디바이스(1020)의 단순화된 버전의 예시적인 버전(1020)이 도시되어 있으며, 여기서 디바이스(1020)의 측면 양태에서 제1 부분(1001)과 제2 부분(1002) 사이에 배열된 제3 부분(1003)이 도시되어 있다. 이와 같이 도시되지는 않았지만, 일부 비제한적인 예에서, 제3 부분(1003)은 제1 부분(1001)의 일부인 것으로 간주될 수 있으며, 이는 그의 말단 및/또는 제2 부분(1002)과의 계면을 나타낸다. 일부 비제한적인 예에서, 제3 부분(1003)은, 일부 비제한적인 예에서는, 제1 부분(1001)뿐만 아니라 제3 부분(1003)에서 NIC(810)를 포함할 수 있는 하부 물질의 노출된 층 표면(1011)의 적어도 일부를 덮는 전도성 코팅(830)을 포함한다. 일부 비제한적인 예에서, 제3 부분(1003)의 전도성 코팅(830)의 두께는 제2 부분(1002)의 전도성 코팅(830)의 두께보다 작을 수 있다. **도 10c**에 구체적으로 예시되지는 않았지만, 제3 부분(1003)의 NIC(810)의 두께는 제1 부분(1001)의 NIC(810)의 두께보다 작을 수 있다.

[0481] 일부 비제한적인 예에서, 제3 부분(1003)의 전도성 코팅(830)은 디바이스(1020)의 측면 양태에서 적어도 하나의 돌출부 및/또는 적어도 하나의 리세스를 포함한다. 일부 비제한적인 예에서, 제3 부분(1003)의 전도성 코팅(830)은, 일부 비제한적인 예에서, 핀-홀, 인열 및/또는 균열을 제한 없이 포함하는 복수의 개구를 갖는 중간

단계 코팅을 포함할 수 있다.

[0482] **도 10e**는 (제1 부분(1001)과 제2 부분(1002)의 일부) 사이에 배열된 제3 부분(1003)을 도시하는 디바이스(1020)의 일부의 단순화된 예시적인 평면도이다. 일부 비제한적인 예에서, 제3 부분(1003)의 전도성 코팅(830), 및 일부 비제한적인 예에서, 제1 부분(1001)을 잠식하는 전도성 코팅(830)은, 일부 비제한적인 예에서, 인접한 제1 부분(1001)을 향해 측방향으로 연장하고/하거나 이를 적어도 부분적으로 잠식할 수 있는 적어도 하나의 수지상 돌출부(1021)를 포함할 수 있다. 적어도 하나의 수지상 돌출부(1021)는 일부 비제한적인 예에서는 NIC(810)일 수 있는 하부 물질의 노출된 층 표면(1011)을 코팅한다. 일부 비제한적인 예에서, 일부 비제한적인 예에서는 NIC(810)일 수 있는 하부 물질의 노출된 층 표면(1011)의 적어도 일부는 제3 부분(1003) 내의 및/또는 일부 비제한적인 예에서는, 제2 부분(1002) 내로 연장하는 전도성 코팅(830)에 의해 덮이지 않을 수 있으며, 일부 비제한적인 예에서, 인접한 제2 부분(1002)을 향해 측방향으로 연장하고/하거나 인접한 제2 부분(1002) 내로 적어도 부분적으로 연장할 수 있는 적어도 하나의 수지상 리세스(1022)를 포함할 수 있다.

[0483] 임의의 특정 이론에 얽매이려는 것은 아니지만, 적어도 하나의 수지상 돌출부(1021)를 제한 없이 포함하는 적어도 하나의 돌출부, 및/또는 적어도 하나의 수지상 리세스(1022)를 제한 없이 포함하는 적어도 하나의 리세스는 NIC(810)에서 및/또는 NIC(810) 근처에서 및/또는 NIC(810)의 적어도 하나의 특성 및/또는 피쳐에서 적어도 하나의 국소화된 불균일성으로 인해 형성될 수 있다고 가정할 수 있다. 비제한적인 예로서, NIC(810)의 적어도 하나의 국소화된 영역은 그의 박막 필름 코팅의 임계 표면 장력, 물리적 불연속성, 및/또는 도메인 경계에서 변화를 나타낼 수 있다. 일부 비제한적인 예에서, 이러한 변화는 인접한 결정자 사이에서 형성될 수 있고 전도성 코팅 물질(831)이 선택적으로 증착되도록 할 수 있으며, 이에 따라 적어도 하나의 돌출부 및/또는 적어도 하나의 리세스가 생성될 수 있다. 일부 비제한적인 예에서, 적어도 하나의 수지상 돌출부(1021)는 불연속 코팅(1050)의 적어도 하나의 섬 및/또는 클러스터와 불연속 코팅(1050)의 다른 적어도 하나의 섬 및/또는 클러스터 및/또는 전도성 코팅(830)과의 유착에 의해 형성되는 적어도 하나의 피쳐를 포함할 수 있다.

[0484] 일부 비제한적인 예에서, 제3 부분(1003)은 불연속 코팅(1050)의 갭, 적어도 하나의 수지상 돌출부(1021)의 적어도 하나의 피쳐 및/또는 적어도 하나의 수지상 리세스(1022)의 적어도 하나의 피쳐 사이의 갭을 제한 없이 포함하는 전도성 코팅 물질(831)이 실질적으로 결여된 적어도 하나의 영역을 포함할 수 있다. 일부 비제한적인 예에서, 제3 부분(1003)의 전도성 코팅 물질(831)의 표면 커버리지는, 일부 비제한적인 예에서, 약 30% 내지 약 90%, 및/또는 약 40% 내지 약 80%일 수 있다.

[0485] 따라서, 제1 부분(1001)에는 전도성 코팅(830)이 실질적으로 없다.

[0486] 이러한 방식으로, NIC(810)는 제1 전극(120), 제2 전극(140), 보조 전극(1750), 버스바(4150) 및/또는 이들의 적어도 하나의 층 중 적어도 하나, 및 거기에 전기적으로 결합된 전도성 요소를 제한 없이 포함하는 디바이스 피쳐를 형성하기 위해 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하는 것을 제한 없이 포함하여 전도성 코팅(830)이 증착될 수 있도록 하기 위해 섀도우 마스크를 사용하는 것을 포함하여 선택적으로 증착될 수 있다.

[0487] **도 11a** 및 **도 11b**는 제1 부분(701) 상에 및 NIC(810)가 증착되는 제1 부분(701)의 NPC 부분(1103) 상에 선택적으로 증착된 NIC(810)가 실질적으로 없는 하부 물질(도면에서는, 단지 설명의 단순성을 위해, 기판(110))의 노출된 층 표면(111)의 제2 부분(702) 상에 전도성 코팅(830)을 선택적으로 증착하기 위해 챔버(70)에서 일반적으로는 1100으로 도시된, **도 7**의 증발 공정(700)을 제한 없이 포함하는 증발 공정의 비제한적인 예를 도시한다.

[0488] **도 11a**는 공정(1100)의 단계(1101)를 설명하며, 여기서 NIC(810)가 하부 물질(도면에서, 기판(110))의 노출된 층 표면(111)의 제1 부분(701) 상에 증착되면, NPC(1120)는 제1 부분(701)에서 기판(110) 상에 배치된 NIC(810)의 노출된 층 표면(111)의 NPC 부분(1103) 상에 증착될 수 있다. 도면에서, 비제한적인 예로서, NPC 부분(1103)은 제1 부분(701) 내에서 완전히 연장된다.

[0489] 단계(1101)에서, 일정량의 NPC 물질(1121)이 진공 하에 가열되어 NPC 물질(1121)이 증발 및/또는 승화(1122)된다. 일부 비제한적인 예에서, NPC 물질(1121)은 전체적으로 및/또는 실질적으로 NPC(1120)를 형성하는 데 사용되는 물질을 포함한다. 증발된 NPC 물질(1122)은 예를 들어 화살표(1110)로 표시된 방향으로 제1 부분(701) 및 NPC 부분(1103)의 노출된 층 표면(111)을 향해 챔버(70)를 통과한다. 증발된 NPC 물질(1122)이 노출된 층 표면(111)의 NPC 부분(1103) 상으로 입사될 때, NPC(1120)가 그 위에 형성된다.

[0490] 일부 비제한적인 예에서, NPC 물질(1121)의 증착은 오픈 마스크 및/또는 마스크 없는 증착 기법을 사용하여 수행될 수 있으므로, NPC(1120)는 실질적으로 하부 물질(도면에서, 제1 부분(701) 전체에 걸친 NIC(810) 및/또는 제2 부분(702)을 통한 기판(110)일 수 있음)의 전체 노출된 층 표면(111) 전체에 걸쳐 형성되어 (NPC(1120)의)

처리된 표면을 생성한다.

[0491] 일부 비제한적인 예에서, 단계(1101)에 대한 도면에 도시된 바와 같이, NPC(1120)는 NPC 물질(1121)과 노출된 층 표면(111) 사이에 일부 비제한적인 예에서는 FMM일 수 있는 섀도우 마스크(1125)를 개재시킴으로써 노출된 층 표면(111)(도면에서, NIC(810))의 일부, 도시된 예에서는, NPC 부분(1103)에만 선택적으로 증착될 수 있다. 섀도우 마스크(1125)는 증발된 NPC 물질(1122)의 부분이 개구(1126)을 통과하고 노출된 층 표면(111)(도면에서, 비제한적인 예로서, 단지 NPC 부분(1103) 내의 NIC(810)) 상에 입사되어 NPC(1120)를 형성하도록 그를 통해 연장되는 적어도 하나의 개구(1126)를 갖는다. 증발된 NPC 물질(1122)이 개구(1126)를 통과하지 않고 섀도우 마스크(1125)의 표면(1127) 상에 입사되는 경우, NPC(1120)를 형성하기 위해 노출된 층 표면(111) 상에 배치되는 것은 배제된다. 따라서, NPC 부분(1103) 너머에 있는 노출된 층 표면(111)의 부분(1102)에는 실질적으로 NPC(1120)가 없다. 일부 비제한적인 예(도시되지 않음)에서, 섀도우 마스크(1125) 상에 입사되는 증발된 NPC 물질(1122)은 그의 표면(1127) 상에 증착될 수 있다.

[0492] 제1 부분(701)의 NIC(810)의 노출된 층 표면(111)은 전도성 코팅(830)에 대해 상대적으로 낮은 초기 고착 확률 S_0을 나타내지만, 일부 비제한적인 예에서, 이것은 NPC 코팅(1120)의 경우에 반드시 그런 것은 아닐 수 있으므로, NPC 코팅(1120)은 NPC 부분(1103)의 노출된 층 표면(도면에서, NIC(810)) 상에서 여전히 선택적으로 증착된다.

[0493] 따라서, 패턴화된 표면은 NPC(1120)의 증착이 완결되면 생성된다.

[0494] **도 11b**는 공정(1100)의 단계(1104)를 설명하며, 여기서 NIC(810)가 하부 물질(도면에서, 기판(110))의 노출된 층 표면(111)의 제1 부분(701) 상에 증착되고 NPC(1120)가 노출된 층 표면(111)(도면에서, NIC(810))의 NPC 부분(1103) 상에 증착되면, 전도성 코팅(830)은 노출된 층 표면(111)(도면에서, 기판(110))의 NPC 부분(1103) 및 제2 부분(702) 상에 증착될 수 있다.

[0495] 단계(1104)에서, 일정량의 전도성 코팅 물질(831)이 진공 하에 가열되어 선택적 코팅 물질(831)이 증발 및/또는 승화(832)된다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 전체적으로 및/또는 실질적으로 전도성 코팅(830)을 형성하는 데 사용되는 물질을 포함한다. 증발된 전도성 코팅 물질(832)은 예를 들어 화살표(1120)로 표시된 방향으로 제1 부분(701), NPC 부분(1103) 및 제2 부분(702)의 노출된 층 표면(111)을 향해 챔버(70)를 통해 진행한다. 증발된 전도성 코팅 물질(832)이 (NPC(1120)의) 노출된 층 표면(111)의 NPC 부분(1103) 및 (기판(110)의) 노출된 층 표면(111)의 제2 부분(702) 상에 입사되는 경우, 즉, NIC(810)의 노출된 층 표면(111)을 제외하고, 전도성 코팅(830)이 그 위에 형성된다.

[0496] 일부 비제한적인 예에서, 단계(1104)에 대한 도면에 도시된 바와 같이, 전도성 코팅(830)의 증착은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 수행될 수 있으므로, 전도성 코팅(830)은 실질적으로 하부 물질(하부 물질이 NIC(810)인 경우는 제외)의 전체 노출된 층 표면(111) 전체에 걸쳐 형성되어 (전도성 코팅(830)의) 처리된 표면을 생성한다.

[0497] 실제로, **도 11b**에 도시된 바와 같이, 증발된 전도성 코팅 물질(832)은 NPC 부분(1103) 너머에 있는 제1 부분(701)의 전체에 걸친 NIC(810)의 노출된 층 표면(111)뿐만 아니라 NPC 부분(1103)의 전체에 걸친 NPC(1120)의 노출된 층 표면(111) 및 NIC(810)가 실질적으로 없는 제2 부분(702)의 전체에 걸친 기판(110)의 노출된 층 표면(111) 모두에 입사된다.

[0498] NPC 부분(1103) 너머에 있는 제1 부분(701)의 NIC(810)의 노출된 층 표면(111)은 제2 부분(702)의 기판(110)의 노출된 층 표면(111)에 비해 전도성 코팅(830)에 대해 상대적으로 낮은 초기 고착 확률 S_0을 나타내고/내거나, NPC 부분(1103)의 NPC(1120)의 노출된 층 표면(111)은 NPC 부분(1103) 너머에 있는 제1 부분(701)의 NIC(810)의 노출된 층 표면(111) 및 제2 부분(702)의 기판(110)의 노출된 층 표면(111) 둘 다에 비해 전도성 코팅(830)에 대해 상대적으로 높은 초기 고착 확률 S_0을 나타내기 때문에, 전도성 코팅(830)은 실질적으로는 단지 NPC 부분(1103) 및 제2 부분(702)의 기판(110)의 노출된 층 표면(111) 상에만 선택적으로 증착되며, 이들 둘 모두 NIC(810)가 실질적으로 없다. 이와는 대조적으로, NPC 부분(1103) 너머에 있는 제1 부분(701)의 전체에 걸친 NIC(810)의 노출된 층 표면(111) 상으로 입사되는 증발된 전도성 코팅 물질(832)은, (1123)으로 도시된 바와 같이, 증착되지 않는 경향이 있으며, NPC 부분(1103) 너머에 있는 제1 부분(701)의 전체에 걸친 NIC(810)의 노출된 층 표면(111)에는 전도성 코팅(830)이 실질적으로 없다.

[0499] 따라서, 패턴화된 표면은 전도성 코팅(830)의 증착이 완결되면 생성된다.

[0500] **도 12a** 내지 **도 12c**는 하부 물질의 노출된 층 표면(111)의 제2 부분(1202)(**도 12c**) 상에 전도성 코팅(830)을 선택적으로 증착하기 위해 챔버(70)에서 일반적으로는 1200으로 도시된 증발 공정의 비제한적인 예를 도시한다.

[0501] **도 12a**는 공정(1200)의 단계(1201)를 설명하며, 여기서 일정량의 NPC 물질(1121)이 진공 하에 가열되어 NPC 물질(1121)이 증발 및/또는 승화(1122)된다. 일부 비제한적인 예에서, NPC 물질(1121)은 전체적으로 및/또는 실질적으로 NPC(1120)를 형성하는 데 사용되는 물질을 포함한다. 증발된 NPC 물질(1122)은 예를 들어 화살표(1210)로 표시된 방향으로 노출된 층 표면(111)(도면에서 기판(110))을 향해 챔버(70)를 통과한다.

[0502] 일부 비제한적인 예에서, NPC 물질(1121)의 증착은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 수행될 수 있으므로, NPC(1120)은 실질적으로 하부 물질(도면에서, 기판(110))의 전체 노출된 층 표면(111) 전체에 걸쳐 형성되어 (NPC(1120)의) 처리된 표면을 생성한다.

[0503] 일부 비제한적인 예에서, 단계(1201)에 대한 도면에 도시된 바와 같이, NPC(1120)는 NPC 물질(1121)과 노출된 층 표면(111) 사이에 일부 비제한적인 예에서는 FMM일 수 있는 섀도우 마스크(1125)를 개재시킴으로써 노출된 층 표면(111)의 일부, 도시된 예에서는, NPC 부분(1103)에만 선택적으로 증착될 수 있다. 섀도우 마스크(1125)는 증발된 NPC 물질(1122)의 부분이 개구(1126)을 통과하고 노출된 층 표면(111) 상에 입사되어 NPC 부분(1103)에서 NPC(1120)를 형성하도록 그를 통해 연장되는 적어도 하나의 개구(1126)를 갖는다. 증발된 NPC 물질(1122)이 개구(1126)를 통과하지 않고 섀도우 마스크(1125)의 표면(1127) 상에 입사되는 경우, NPC 부분(1103) 너머에 있는 노출된 층 표면(111)의 부분(1102) 내에 NPC(1120)를 형성하기 위해 노출된 층 표면(111) 상에 배치되는 것은 배제된다. 따라서, 부분(1102)에는 실질적으로 NPC(1120)가 없다. 일부 비제한적인 예(도시되지 않음)에서, 섀도우 마스크(1125) 상에 입사되는 NPC 물질(1121)은 그의 표면(1127) 상에 증착될 수 있다.

[0504] 증발된 NPC 물질(1122)이 노출된 층 표면(111) 상으로 입사될 때, 즉 NPC 부분(1103)에서, NPC(1120)가 그 위에 형성된다.

[0505] 따라서, 패턴화된 표면은 NPC(1120)의 증착이 완결되면 생성된다.

[0506] **도 12b**는 공정(1200)의 단계(1202)를 설명하며, 여기서 NPC(1120)가 하부 물질(도면에서, 기판(110))의 노출된 층 표면(111)의 NPC 부분(1103) 상에 증착되면, NIC(810)는 노출된 층 표면(111)의 제1 부분(701) 상에 증착될 수 있다. 도면에서, 비제한적인 예로서, 제1 부분(701)은 NPC 부분(1103) 내에서 완전히 연장된다. 그 결과, 도면에서, 비제한적인 예로서, 부분(1102)은 제1 부분(701) 너머에 있는 노출된 층 표면(111)의 부분을 포함한다.

[0507] 단계(1202)에서, 일정량의 NIC 물질(1211)이 진공 하에 가열되어 NIC 물질(1211)이 증발 및/또는 승화(1212)된다. 일부 비제한적인 예에서, NIC 물질(1121)은 전체적으로 및/또는 실질적으로 NIC(810)를 형성하는 데 사용되는 물질을 포함한다. 증발된 NIC 물질(1212)은 예를 들어 화살표(1220)로 표시된 방향으로 제1 부분(701), 제1 부분(701)을 넘어 연장하는 NPC 부분(1103) 및 부분(1102)의 노출된 층 표면(111)을 향해 챔버(70)를 통과한다. 증발된 NIC 물질(1212)이 노출된 층 표면(111)의 제1 부분(701) 상으로 입사될 때, NIC(810)가 그 위에 형성된다.

[0508] 일부 비제한적인 예에서, NIC 물질(1211)의 증착은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 수행될 수 있으므로, NIC(810)은 실질적으로 하부 물질의 전체 노출된 층 표면(111) 전체에 걸쳐 형성되어 (NIC(810)의) 처리된 표면을 생성한다.

[0509] 일부 비제한적인 예에서, 단계(1202)에 대한 도면에 도시된 바와 같이, NIC(810)는 NIC 물질(1211)과 노출된 층 표면(111) 사이에 일부 비제한적인 예에서는 FMM일 수 있는 섀도우 마스크(1215)를 개재시킴으로써 노출된 층 표면(111)(도면에서, NPC(1120))의 일부, 도시된 예에서는, 제1 부분(701)에만 선택적으로 증착될 수 있다. 섀도우 마스크(1215)는 증발된 NIC 물질(1212)의 부분이 개구(1216)을 통과하고 (도면에서, 비제한적인 예로서, NPC(1120)의) 노출된 층 표면(111) 상에 입사되어 NIC(810)를 형성하도록 그를 통해 연장되는 적어도 하나의 개구(1216)를 갖는다. 증발된 NIC 물질(1212)이 개구(1216)를 통과하지 않고 섀도우 마스크(1215)의 표면(1217) 상에 입사되는 경우, 제1 부분(701)을 넘어 제2 부분(702) 내에 NIC(810)를 형성하기 위해 노출된 층 표면(111) 상에 배치되는 것은 배제된다. 따라서, 제1 부분(701) 너머에 있는 노출된 층 표면(111)의 제2 부분(702)에는 NIC(810)가 실질적으로 없다. 일부 비제한적인 예(도시되지 않음)에서, 섀도우 마스크(1215) 상에 입사되는 증발된 NIC 물질(1212)은 그의 표면(1217) 상에 증착될 수 있다.

[0510] NPC 부분(1103)의 NPC(1120)의 노출된 층 표면(111)은 전도성 코팅(830)에 대해 상대적으로 높은 초기 고착 확률 S_0을 나타내지만, 일부 비제한적인 예에서, 이것은 반드시 NIC 코팅(810)의 경우는 아닐 수 있다. 그럼에도

불구하고, 일부 비제한적인 예에서 NIC 코팅(810)에 대한 이러한 친화도는 NIC 코팅(810)이 제1 부분(701)에서 (도면에서 NPC(1120)의) 노출된 층 표면(111) 상에 여전히 선택적으로 증착되도록 할 수 있다.

[0511] 따라서, 패턴화된 표면은 NIC(810)의 증착이 완결되면 생성된다.

[0512] **도 12c**는 프로세스(1200)의 단계(1204)를 설명하며, 여기서 NIC(810)가 하부 물질(도면에서, NPC(1120))의 노출된 층 표면(111)의 제1 부분(701) 상에 증착되면, 전도성 코팅(830)은 노출된 층 표면(111)의 제2 부분(702) (도면에서, NPC 부분(1103) 너머의 부분(1102)을 가로지르는 기판(110) 및 제1 부분(701) 너머의 NPC 부분(1103)을 가로지르는 NPC(1120)의) 상에 증착될 수 있다.

[0513] 단계(1204)에서, 일정량의 전도성 코팅 물질(831)이 진공 하에 가열되어 선택적 코팅 물질(831)이 증발 및/또는 승화(832)된다. 일부 비제한적인 예에서, 전도성 코팅 물질(831)은 전체적으로 및/또는 실질적으로 전도성 코팅(830)을 형성하는 데 사용되는 물질을 포함한다. 증발된 전도성 코팅 물질(832)은 예를 들어 화살표(1230)로 표시된 방향으로 제1 부분(701), NPC 부분(1103) 및 NPC 부분(1103) 너머의 부분(1102)의 노출된 층 표면(111)을 향해 챔버(70)를 통해 진행한다. 증발된 전도성 코팅 물질(832)이 제1 부분(701) 너머의 (NPC(1120)의) 노출된 층 표면(111)의 NPC 부분(1103) 및 (기판(110)의) 노출된 층 표면(111)의 NPC 부분(1103) 너머의 부분(1102), 즉 NIC(810)의 노출된 층 표면(111)이 아닌 제2 부분(702) 상에 입사되는 경우, 전도성 코팅(830)이 그들 위에 형성된다.

[0514] 일부 비제한적인 예에서, 단계(1204)에 대한 도면에 도시된 바와 같이, 전도성 코팅(830)의 증착은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 수행될 수 있으므로, 전도성 코팅(830)은 실질적으로 하부 물질(하부 물질이 NIC(810)인 경우는 제외)의 전체 노출된 층 표면(111) 전체에 걸쳐 형성되어 (전도성 코팅(830)의) 처리된 표면을 생성한다.

[0515] 실제로, **도 12c**에 도시된 바와 같이, 증발된 전도성 코팅 물질(832)은 NPC 부분(1103) 내에 놓여 있는 제1 부분(701)의 전체에 걸친 NIC(810)의 노출된 층 표면(111)뿐만 아니라 제1 부분(701)의 너머에 있는 NPC 부분(1103)의 전체에 걸친 NPC(1120)의 노출된 층 표면(111) 및 NPC 부분(1103) 너머에 있는 부분(1102)의 전체에 걸친 기판(110)의 노출된 층 표면(111) 모두에 입사된다.

[0516] 제1 부분(701)의 NIC(810)의 노출된 층 표면(111)은 NPC 부분(1103) 너머에 있는 제2 부분(702)의 기판(110)의 노출된 층 표면(111)에 비해 전도성 코팅(830)에 대해 상대적으로 낮은 초기 고착 확률 S_0을 나타내고/내거나, 제1 부분(701) 너머에 있는 NPC 부분(1103)의 NPC(1120)의 노출된 층 표면(111)은 제1 부분(701)의 NIC(810)의 노출된 층 표면(111) 및 NPC 부분(1103) 너머에 있는 부분(1102)의 기판(110)의 노출된 층 표면(111) 둘 다에 비해 전도성 코팅(830)에 대해 상대적으로 높은 초기 고착 확률 S_0을 나타내기 때문에, 전도성 코팅(830)은 실질적으로는 단지 제1 부분(701) 너머에 있는 NPC 부분(1103) 내의 기판(110)의 노출된 층 표면(111) 상에 및 NPC 부분(1103) 너머에 있는 부분(1102) 상에만 선택적으로 증착되며, 이들 둘 모두 NIC(810)가 실질적으로 없다. 이와는 대조적으로, 제1 부분(701)의 전체에 걸친 NIC(810)의 노출된 층 표면(111) 상으로 입사되는 증발된 전도성 코팅 물질(832)은, (1233)으로 도시된 바와 같이, 증착되지 않는 경향이 있으며, 제1 부분(701)의 전체에 걸친 NIC(810)의 노출된 층 표면(111)에는 전도성 코팅(830)이 실질적으로 없다.

[0517] 따라서, 패턴화된 표면은 전도성 코팅(830)의 증착이 완결되면 생성된다.

[0518] 일부 비제한적인 예에서, 제2 부분(702)의 노출된 층 표면(111) 상에서의 증발된 전도성 코팅 물질(832)의 초기 증착 속도는 제1 부분(701)의 NIC(810)의 노출된 층 표면(111) 상에서의 증발된 전도성 코팅 물질(832)의 초기 증착 속도의 적어도 약 200배 및/또는 초과, 적어도 약 550배 및/또는 초과, 적어도 약 900배 및/또는 초과, 적어도 약 1000배 및/또는 초과, 적어도 약 1500배 및/또는 초과, 적어도 약 1900배 및/또는 초과 및/또는 적어도 약 2000배 및/또는 초과일 수 있다.

[0519] **도 13a 내지 도 13c**는 일부 비제한적인 예에서는 하부 물질(도면에서는 단지 예시의 단순성을 위해, 기판(110))의 노출된 층 표면(111) 상의 NIC(810) 및/또는 NPC(1120)일 수 있는 선택적 코팅(710)을 선택적으로 증착하기 위한, 일반적으로는 1300으로 도시된 프린팅 공정의 비제한적 예를 도시한다.

[0520] **도 13a**는 돌출부(1311)를 갖는 스탬프(1310)에 돌출부(1311)의 노출된 층 표면(1312) 상에 선택적 코팅(710)이 제공되는 공정(1300)의 단계를 설명한다. 당업자는 다양한 적절한 메커니즘을 사용하여 선택적 코팅(710)을 증착 및/또는 돌출 표면(1312) 상에 증착시킬 수 있다는 것을 이해할 것이다.

[0521] **도 13b**는 스탬프(1310)를 노출된 층 표면(111)과 근접시킴으로써(1301), 선택적 코팅(710)이 노출된 층 표면

(111)과 접촉하여 거기에 부착되도록 하는 공정(1300)의 단계를 설명한다.

[0522] **도 13c**는 스탬프(1310)를 노출된 층 표면(111)으로부터 멀리 이동시키고(1303), 노출된 층 표면(111) 상에 증착된 선택적 코팅(710)을 잔류시키는 공정(1300)의 단계를 설명한다.

[0523] 패턴화된 전극의 선택적 증착

[0524] 전술한 내용은 고온 전도성 코팅(830) 증착 공정 내에서 FMM을 사용하지 않고서 적어도 하나의 전도성 코팅(830)의 선택적 증착을 수행하여 일부 비제한적인 예에서는 제2 전극(140) 및/또는 보조 전극(1750)일 수 있는 패턴화된 전극(120, 140, 1750, 4150)을 형성하기 위해 조합될 수 있다. 일부 비제한적인 예에서, 이러한 패터닝은 디바이스(100)의 투과율을 허용 및/또는 향상시킬 수 있다.

[0525] **도 14**는 예시적인 패턴화된 전극(1400)을 평면도로 도시한 것으로, 도면에서 제2 전극(140)은 디바이스(100)의 예시적인 버전(1500)(**도 15**)에서 사용하기에 적합하다. 전극(1400)은 내부에 패턴화된 복수의 개구(1420)를 갖거나 한정하는 단일 연속 구조를 포함하는 패턴(1410)으로 형성되며, 여기서 개구(1420)는 캐소드(342)가 없는 디바이스(100)의 영역에 대응한다.

[0526] 도면에서, 비제한적인 예로서, 패턴(1410)은 (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410)과 이러한 발광 영역(들)(1910)을 둘러싸는 비-발광 영역(들)(1920)의 측면 양태(들)(420) 사이에 구별 없이 디바이스(1500)의 전체 측면 범위에 걸쳐 배치된다. 따라서, 예시된 예는 그의 외부 표면 상에 입사되는 광에 대해 실질적으로 투과성이므로, 이러한 외부 입사광의 상당 부분이 본원에서 개시되는 바와 같은 디바이스(1500) 내부에서 생성된 광자의 방출(전면발광, 배면발광 및/또는 양면발광) 이외에도 디바이스(1500)를 통해 투과될 수 있는 디바이스(1500)에 대응할 수 있다.

[0527] 디바이스(1500)의 투과율은 개구(1420)의 평균 크기, 및/또는 개구(1420)의 간격 및/또는 밀도를 제한 없이 포함하여 채용된 패턴(1410)을 변경함으로써 조정 및/또는 수정될 수 있다.

[0528] 이제 **도 15**를 참조하면, **도 14**의 라인 15-15를 따라 절취한 디바이스(1500)의 단면도가 도시되어 있다. 도면에서, 디바이스(1500)는 기판(110), 제1 전극(120) 및 적어도 하나의 반도체 층(130)을 포함하는 것으로 도시된다. 일부 비제한적인 예에서, NPC(1120)는 적어도 하나의 반도체 층(130)의 실질적으로 모든 노출된 층 표면(111) 상에 배치된다. 일부 비제한적인 예에서, NPC(1120)는 생략될 수 있다.

[0529] NIC(810)는, 도면에 도시된 바와 같이, NPC(1120)인 하부 물질의 노출된 층 표면(111) 상의 패턴(1410)에 실질적으로 대응하는 패턴으로 선택적으로 배치된다(그러나, 일부 비제한적인 예에서, NPC(1120)가 생략된 경우에는 적어도 하나의 반도체 층(130)일 수 있다).

[0530] 도면에서 제2 전극(140)인 패턴화된 전극(1400)을 형성하기에 적합한 전도성 코팅(830)은 고온 전도성 코팅 증착 공정 중에 임의의 FMM을 결코 사용하지 않는 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 하부 물질의 실질적으로 모든 노출된 층 표면(111) 상에 배치된다. 하부 물질은 패턴(1410) 내에 배치된 NIC(810)의 영역들, 및 NIC(810)가 증착되지 않은 패턴(1410) 내의 NPC(1120)의 영역들 모두를 포함한다. 일부 비제한적인 예에서, NIC(810)의 영역은 패턴(1410) 내에 도시된 개구(1420)를 포함하는 제1 부분에 실질적으로 대응할 수 있다.

[0531] (개구(1420)에 대응하는) NIC(810)가 배치된 패턴(1410)의 이러한 영역들의 핵 생성 억제 특성으로 인해, 이러한 영역 상에 배치된 전도성 코팅(830)은 잔류하지 않는 경향이 있어 패턴(1410)의 나머지 부분에 실질적으로 대응하는 전도성 코팅(830)의 선택적 증착의 패턴을 생성하고 전도성 코팅(830)이 실질적으로 없는 개구(1420)에 대응하는 패턴(1410)의 제1 부분의 이러한 영역들을 잔류시킨다.

[0532] 다시 말해, 캐소드(342)를 형성할 전도성 코팅(830)은 실질적으로는 단지 패턴(1410)에서 개구(1420)를 둘러싸지만 점유하지는 않는 NPC(1120)의 영역을 포함하는 제2 부분 상에만 선택적으로 증착된다.

[0533] **도 16a**는 전극(120, 140, 1750)의 복수의 패턴(1620, 1640)을 도시하는 개략도를 평면도로 도시한다.

[0534] 일부 비제한적인 예에서, 제1 패턴(1620)은 제1 측면 방향으로 연장하는 복수의 세장형의 이격된 영역을 포함한다. 일부 비제한적 예에서, 제1 패턴(1620)은 복수의 제1 전극(120)을 포함할 수 있다. 일부 비제한적 예에서, 제1 패턴(1620)을 포함하는 복수의 영역은 전기적으로 결합될 수 있다.

[0535] 일부 비제한적인 예에서, 제2 패턴(1640)은 제2 측면 방향으로 연장하는 복수의 세장형의 이격된 영역을 포함한다. 일부 비제한적인 예에서, 제2 측면 방향은 제1 측면 방향에 대해 실질적으로 법선 방향일 수 있다. 일부 비

제한적인 예에서, 제2 패턴(1640)은 복수의 제2 전극(140)을 포함할 수 있다. 일부 비제한적 예에서, 제2 패턴(1640)을 포함하는 복수의 영역은 전기적으로 결합될 수 있다.

[0536] 일부 비제한적인 예에서, 제1 패턴(1620) 및 제2 패턴(1640)은 디바이스(100)의 1600(**도 16c**)에 일반적으로 도시된 예시적인 버전의 일부를 형성할 수 있으며, 이는 복수의 PMOLED 요소를 포함할 수 있다.

[0537] 일부 비제한적인 예에서, (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410)은 제1 패턴(1620)이 제2 패턴(1640)과 중첩되는 곳에 형성된다. 일부 비제한적인 예에서, 비-발광 영역(1920)의 측면 양태(들)(420)은 측면 양태(들)(410) 이외의 다른 임의의 측면 양태에 대응한다.

[0538] 일부 비제한적인 예에서, 일부 비제한적인 예에서 전원(15)의 양극 단자일 수 있는 제1 단자는 제1 패턴(1620)의 적어도 하나의 전극(120, 140, 1750)에 전기적으로 결합된다. 일부 비제한적인 예에서, 제1 단자는 적어도 하나의 구동 회로(300)를 통해 제1 패턴(1620)의 적어도 하나의 전극(120, 140, 1750)에 결합된다. 일부 비제한적인 예에서, 일부 비제한적인 예에서 전원(15)의 음극 단자일 수 있는 제2 단자는 제2 패턴(1640)의 적어도 하나의 전극(120, 140, 1750)에 전기적으로 결합된다. 일부 비제한적인 예에서, 제2 단자는 적어도 하나의 구동 회로(300)를 통해 제2 패턴(1740)의 적어도 하나의 전극(120, 140, 1750)에 결합된다.

[0539] 이제 **도 16b**를 참조하면, **도 16a**의 라인 16B-16B를 따라 절취한 증착 단계(1600b)에서의 디바이스(1600)의 단면도가 도시되어 있다. 도면에서, 단계(1600b)에서의 디바이스(1600)는 기판(110)을 포함하는 것으로 도시되어 있다. 일부 비제한적인 예에서, NPC(1120)는 기판(110)의 노출된 층 표면(111) 상에 배치된다. 일부 비제한적인 예에서, NPC(1120)는 생략될 수 있다.

[0540] NIC(810)는, 도면에 도시된 바와 같이, NPC(1120)인 하부 물질의 노출된 층 표면(111) 상의 제1 패턴(1620)과 정반대의 패턴에 실질적으로 대응하는 패턴으로 선택적으로 배치된다.

[0541] 도면에서 제1 전극(120)인 전극(120, 140, 1750)의 제1 패턴(1620)을 형성하기에 적합한 전도성 코팅(830)은 고온 전도성 코팅 증착 공정 중에 임의의 FMM을 결코 사용하지 않는 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 하부 물질의 실질적으로 모든 노출된 층 표면(111) 상에 배치된다. 하부 물질은 제1 패턴(1620)과 정반대의 패턴으로 배치된 NIC(810)의 영역들, 및 NIC(810)가 증착되지 않은 제1 패턴(1620) 내에 배치된 NPC(1120)의 영역들 모두를 포함한다. 일부 비제한적인 예에서, NPC(1120)의 영역은 제1 패턴(1620)의 세장형의 이격된 영역에 실질적으로 대응할 수 있는 반면, NIC(810)의 영역은 그들 사이의 갭을 포함하는 제1 부분에 실질적으로 대응할 수 있다.

[0542] (그들 사이의 갭에 대응하는) NIC(810)가 배치된 제1 패턴(1620)의 이러한 영역들의 핵 생성 억제 특성으로 인해, 이러한 영역 상에 배치된 전도성 코팅(830)은 잔류하지 않는 경향이 있어 제1 패턴(1620)의 세장형의 이격된 영역에 실질적으로 대응하는 전도성 코팅(830)의 선택적 증착의 패턴을 생성하고 전도성 코팅(830)이 실질적으로 없는 그들 사이의 갭을 포함하는 제1 부분을 잔류시킨다.

[0543] 다시 말해, 전극(120, 140, 1750)의 제1 패턴(1620)을 형성할 전도성 코팅(830)은 실질적으로는 단지 제1 패턴(1620)의 세장형의 이격된 영역을 정의하는 NPC(1120)(또는, 일부 비제한적인 예에서, NPC(1120)가 생략된 경우에는 기판(110))의 이러한 영역을 포함하는 제2 부분 상에만 선택적으로 증착된다.

[0544] 이제 **도 16c**를 참조하면, **도 16a**의 라인 16C-16C를 따라 절취한 디바이스(1600)의 단면도가 도시되어 있다. 도면에서, 디바이스(1600)는 기판(110); **도 16b**에 도시되어 있는 바와 같이 증착된 전극(120)의 제1 패턴(1620), 및 적어도 하나의 반도체 층(들)(130)을 포함하는 것으로 도시된다.

[0545] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(들)(130)은 디바이스(1600)의 실질적으로 모든 측면 양태(들)에 걸쳐 공통 층으로서 제공될 수 있다.

[0546] 일부 비제한적인 예에서, NPC(1120)는 적어도 하나의 반도체 층(130)의 실질적으로 모든 노출된 층 표면(111) 상에 배치된다. 일부 비제한적인 예에서, NPC(1120)는 생략될 수 있다.

[0547] NIC(810)는, 도면에 도시된 바와 같이, NPC(1120)인 하부 물질의 노출된 층 표면(111) 상의 제2 패턴(1640)에 실질적으로 대응하는 패턴으로 선택적으로 배치된다(그러나, 일부 비제한적인 예에서, NPC(1120)가 생략된 경우에는 적어도 하나의 반도체 층(130)일 수 있다).

[0548] 도면에서 제2 전극(140)인 전극(120, 140, 1750)의 제2 패턴(1640)을 형성하기에 적합한 전도성 코팅(830)은 고온 전도성 코팅 증착 공정 중에 임의의 FMM을 결코 사용하지 않는 오픈 마스크 및/또는 마스크 없는 증착 공정

을 사용하여 하부 물질의 실질적으로 모든 노출된 층 표면(111) 상에 배치된다. 하부 물질은 제2 패턴(1640)과 정반대로 배치된 NIC(810)의 영역들, 및 NIC(810)가 증착되지 않은 제2 패턴(1640) 내의 NPC(1120)의 영역들 모두를 포함한다. 일부 비제한적인 예에서, NPC(1120)의 영역은 제2 패턴(1640)의 세장형의 이격된 영역을 포함하는 제1 부분에 실질적으로 대응할 수 있는 반면, NIC(810)의 영역은 그들 사이의 갭에 실질적으로 대응할 수 있다.

[0549] (그들 사이의 갭에 대응하는) NIC(810)가 배치된 제2 패턴(1640)의 이러한 영역들의 핵 생성 억제 특성으로 인해, 이러한 영역 상에 배치된 전도성 코팅(830)은 잔류하지 않는 경향이 있어 제2 패턴(1640)의 세장형의 이격된 영역에 실질적으로 대응하는 전도성 코팅(830)의 선택적 증착의 패턴을 생성하고 전도성 코팅(830)이 실질적으로 없는 그들 사이의 갭을 포함하는 제1 부분을 잔류시킨다.

[0550] 다시 말해, 전극(120, 140, 1750)의 제2 패턴(1640)을 형성할 전도성 코팅(830)은 실질적으로는 단지 제2 패턴(1640)의 세장형의 이격된 영역을 정의하는 NPC(1120)의 이러한 영역을 포함하는 제2 부분 상에만 선택적으로 증착된다.

[0551] 일부 비제한적인 예에서, NIC(810) 및 전극(120, 140, 1750)의 제1 패턴(1620) 및/또는 제2 패턴(1640) 중 어느 하나 또는 둘 다를 형성하기 위해 이후에 증착된 전도성 코팅(830)의 두께는 원하는 용도 및 원하는 성능 특성을 제한 없이 포함하는 다양한 파라미터에 따라 달라질 수 있다. 일부 비제한적인 예에서, NIC(810)의 두께는 이후에 증착되는 전도성 코팅(830)의 두께와 비슷하거나 실질적으로 더 작을 수 있다. 이후에 증착되는 전도성 코팅의 선택적 패터닝을 달성하기 위해 비교적 얇은 NIC(810)를 사용하는 것은 PMOLED 디바이스를 제한 없이 포함하는 가요성 디바이스(1600)를 제공하는 데 적합할 수 있다. 일부 비제한적인 예에서, 비교적 얇은 NIC(810)는 배리어 코팅(1650) 또는 다른 박막 캡슐화(TFE: thin film encapsulation) 층이 증착될 수 있는 비교적 평평한 표면을 제공할 수 있다. 일부 비제한적인 예에서, 배리어 코팅(1650)의 적용을 위해 이러한 비교적 평평한 표면을 제공하면 그러한 표면에 대한 배리어 코팅(1650)의 접착력이 증가할 수 있다.

[0552] 전극(120, 140, 1750)의 제1 패턴(1620) 중 적어도 하나 및 전극(120, 140, 1750)의 제2 패턴(1640) 중 적어도 하나는 직접적으로 및/또는, 일부 비제한적인 예에서는, (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410)로부터 광자 방출을 제어하기 위해 그들 개개의 구동 회로(들)(300)를 통해 전원(15)에 전기적으로 결합될 수 있다.

[0553] 당업자는 **도 16a 내지 도 16c**에 도시된 제2 패턴(1640)으로 제2 전극(140)을 형성하는 공정이, 일부 비제한적인 예에서는, 디바이스(1600)를 위한 보조 전극(1750)을 형성하는 데 사용되는 공정과 유사한 방식으로 사용될 수 있다는 것을 이해할 것이다. 일부 비제한적인 예에서, 그의 제2 전극(140)은 공통 전극을 포함할 수 있으며, 보조 전극(1750)은 제2 패턴(1640)으로, 일부 비제한적인 예에서는 제2 전극(140)의 위에 또는 일부 비제한적인 예에서는 그의 아래에 증착되어 거기에 전기적으로 결합될 수 있다. 일부 비제한적인 예에서, 이러한 보조 전극(1750)에 대한 제2 패턴(1640)은 이러한 제2 패턴(1640)의 세장형의 이격된 영역이 실질적으로 (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410)을 둘러싸고 있는 비-발광 영역(들)(1920)의 측면 양태(들)(420) 내에 놓이도록 할 수 있다. 일부 비제한적인 예에서, 이러한 보조 전극(1750)에 대한 제2 패턴(1640)은 이러한 제2 패턴(1640)의 세장형의 이격된 영역이 실질적으로 (서브-) 픽셀(들)(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410) 및/또는 이들을 둘러싸고 있는 비-발광 영역(들)(1920)의 측면 양태(들)(420) 내에 놓이도록 할 수 있다.

[0554] **도 17**은 실질적으로 유사하지만, 상기 패턴으로 배치되고 제2 전극(140)과 전기적으로 결합된(도시되지 않음) 적어도 하나의 보조 전극(1750)을 추가로 포함하는 디바이스(100)의 예시적인 버전(1700)의 예시적인 단면도를 도시한다.

[0555] 보조 전극(1750)은 전기 전도성이다. 일부 비제한적인 예에서, 보조 전극(1750)은 적어도 하나의 금속 및/또는 금속 산화물로 형성될 수 있다. 이러한 금속의 비제한적인 예는 Cu, Al, 몰리브덴(Mo) 및/또는 Ag를 포함한다. 비제한적인 예로서, 보조 전극(1750)은 Mo/Al/Mo에 의해 형성된 것을 제한 없이 포함하는 다중층 금속 구조를 포함할 수 있다. 이러한 금속 산화물의 비제한적인 예는 ITO, ZnO, IZO 및/또는 In 및/또는 Zn을 함유하는 다른 산화물을 포함한다. 일부 비제한적인 예에서, 보조 전극(1750)은 Ag/ITO, Mo/ITO, ITO/Ag/ITO 및/또는 ITO/Mo/ITO를 제한 없이 포함하는 적어도 하나의 금속 및 적어도 하나의 금속 산화물의 조합에 의해 형성되는 다중층 구조를 포함할 수 있다. 일부 비제한적인 예에서, 보조 전극(1750)은 복수의 이러한 전기 전도성 물질을 포함한다.

[0556] 디바이스(1700)는 기판(110), 제1 전극(120) 및 적어도 하나의 반도체 층(130)을 포함하는 것으로 도시되어 있다.

[0557] 일부 비제한적인 예에서, NPC(1120)는 적어도 하나의 반도체 층(130)의 실질적으로 모든 노출된 층 표면(111) 상에 배치된다. 일부 비제한적인 예에서, NPC(1120)는 생략될 수 있다.

[0558] 제2 전극(140)은 NPC(1120)(또는 NPC(1120)이 생략된 경우에는, 적어도 하나의 반도체 층(130))의 실질적으로 모든 노출된 층 표면(111) 상에 배치된다.

[0559] 일부 비제한적인 예에서, 특히 전면발광 디바이스(1700)에서, 제2 전극(140)은, 비제한적인 예로서, 제2 전극(140)의 존재와 관련된 광 간섭(감쇠, 반사 및/또는 확산을 포함하지만, 이에 제한되지 않음)을 감소시키기 위하여 비교적 얇은 전도성 필름 층(도시되지 않음)을 증착함으로써 형성될 수 있다. 일부 비제한적인 예에서, 다른 곳에서 논의된 바와 같이, 제2 전극(140)의 감소된 두께는 일반적으로는 제2 전극(140)의 시트 저항을 증가시킬 수 있으며, 이러한 저항의 증가는, 일부 비제한적인 예에서, 디바이스(1700)의 성능 및/또는 효율을 감소시킬 수 있다. 제2 전극(140)에 전기적으로 결합된 보조 전극(1750)을 제공함으로써, 일부 비제한적인 예에서, 제2 전극(140)과 연관된 시트 저항 및 그에 따른 IR 강하가 감소될 수 있다.

[0560] 일부 비제한적인 예에서, 디바이스(1700)는 배면발광 및/또는 양면발광 디바이스(1700)일 수 있다. 이러한 예에서, 제2 전극(140)은 이러한 디바이스(1700)의 광학적 특성에 실질적으로 악영향을 미치지 않으면서 비교적 두꺼운 전도성 층으로 형성될 수 있다. 그럼에도 불구하고, 이러한 시나리오에서조차, 제2 전극(140)은 그럼에도 불구하고 비교적 얇은 전도성 필름 층(도시되지 않음)으로 형성될 수 있고, 따라서, 비제한적인 예로서, 디바이스(1700)는 그의 외부 표면 상에 입사되는 광에 대해 실질적으로 투과성일 수 있으므로, 이러한 외부 입사광의 상당 부분이 본원에서 개시되는 바와 같이 디바이스(1700) 내부에서 생성된 광자의 방출 이외에도 디바이스(1700)를 통해 투과될 수 있다.

[0561] NIC(810)는, 도면에 도시된 바와 같이, NPC(1120)인 하부 물질의 노출된 층 표면(111) 상의 패턴으로 선택적으로 배치된다. 일부 비제한적인 예에서, 도면에 도시된 바와 같이, NIC(810)는 일련의 평행 행(1720)으로서 패턴의 제1 부분에 배치된다.

[0562] 패턴화된 보조 전극(1750)을 형성하기에 적합한 전도성 코팅(830)은 고온 전도성 코팅 증착 공정 중에 임의의 FMM을 결코 사용하지 않는 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 하부 물질의 실질적으로 모든 노출된 층 표면(111) 상에 배치된다. 하부 물질은 행(1720)의 패턴 내에 배치된 NIC(810)의 영역들, 및 NIC(810)가 증착되지 않은 NPC(1120)의 영역들 모두를 포함한다.

[0563] NIC(810)가 배치된 이러한 행(1720)의 핵 생성 억제 특성으로 인해, 이러한 행(1720) 상에 배치된 전도성 코팅(830)은 잔류하지 않는 경향이 있어 패턴의 적어도 하나의 제2 부분에 실질적으로 대응하는 전도성 코팅(830)의 선택적 증착의 패턴을 생성하고 전도성 코팅(830)이 실질적으로 없는 행(1720)을 포함하는 제1 부분을 잔류시킨다.

[0564] 다시 말해, 보조 전극(1750)을 형성할 전도성 코팅(830)은 실질적으로는 단지 행(1720)을 둘러싸지만 점유하지는 않는 NPC(1120)의 영역을 포함하는 제2 부분 상에만 선택적으로 증착된다.

[0565] 일부 비제한적인 예에서, 보조 전극(1750)을 선택적으로 증착하여 디바이스(1700)의 측면 양태의 특정 행(1720)만을 덮고 그의 다른 영역들은 덮이지 않은 상태로 유지하면 보조 전극(1750)의 존재와 관련된 광 간섭이 제어 및/또는 감소할 수 있다.

[0566] 일부 비제한적인 예에서, 보조 전극(1750)은 전형적인 가시거리(viewing distance)에서 육안으로 쉽게 감지할 수 없는 패턴으로 선택적으로 증착될 수 있다.

[0567] 일부 비제한적인 예에서, 보조 전극(1750)은 이러한 디바이스의 전극의 유효 저항을 감소시키는 것을 포함하는 OLED 디바이스 이외의 다른 디바이스에 형성될 수 있다.

[0568] 보조 전극

[0569] **도 17**에 도시된 공정을 포함하여 선택적 코팅(710)을 사용함으로써 고온 전도성 코팅(830) 증착 공정 동안 FMM을 사용하지 않고 제2 전극(140) 및/또는 보조 전극(1750)을 제한 없이 포함하는 전극(120, 140, 1750, 4150)을 패턴화하는 능력은 보조 전극(1750)의 다양한 구성의 전개를 가능하게 한다.

[0570] **도 18a**는 복수의 발광 영역(1910a-1910j) 및 이들을 둘러싸는 적어도 하나의 비-발광 영역(1820)을 갖는 디바이

스(100)의 예시적인 버전(1800)의 일부를 평면도로 도시한다. 일부 비제한적인 예에서, 디바이스(1800)는 각각의 발광 영역(1910a-1910j)이 그의 (서브-) 픽셀(340/264x)에 대응하는 AMOLED 디바이스일 수 있다.

[0571] **도 18b 내지 도 18d**는 이웃하는 발광 영역(1910a 및 1910b)에 대응하는 디바이스(1800)의 부분 및 그들 사이의 적어도 하나의 비-발광 영역(1820)의 일부의 예를 그 위에 중첩된 보조 전극(1750)의 상이한 구성(1750b-1750d)과 함께 도시한다. 일부 비제한적인 예에서, **도 18b 내지 도 18d**에 명시적으로 예시되지는 않았지만, 디바이스(1800)의 제2 전극(140)은 그의 적어도 두 개의 발광 영역(1910a 및 1910b)과 그들 사이의 적어도 하나의 비-발광 영역(1820)의 일부를 실질적으로 덮는 것으로 이해된다.

[0572] **도 18b**에서, 보조 전극 구성(1750b)은 2개의 이웃하는 발광 영역(1910a 및 1910b) 사이에 배치되며 제2 전극(140)에 전기적으로 결합된다. 이러한 예시에서, 보조 전극 구성(1750b)의 폭(α)은 이웃하는 발광 영역(1910a 및 1910b) 사이의 이격 거리(δ)보다 작다. 그 결과, 보조 전극 구성(1750b)의 양측에 있는 적어도 하나의 비-발광 영역(1820) 내에 갭이 존재한다. 일부 비제한적인 예에서, 이러한 배열은 보조 전극 구성(1750b)이, 일부 비제한적인 예에서, 발광 영역(1910a 및 1910b) 중 적어도 하나로부터의 디바이스(1800)의 광 출력을 간섭할 가능성을 감소시킬 수 있다. 일부 비제한적인 예에서, 이러한 배열은 보조 전극 구성(1750b)이 상대적으로 두꺼운 경우(일부 비제한적인 예에서는, 수백 nm 초과 및/또는 수 미크론 정도의 두께)에 적절할 수 있다. 일부 비제한적인 예에서, 보조 전극 구성(1750b)의 높이(두께) 대 그의 폭의 비("종횡비")는 약 0.05 초과, 예를 들어 약 0.1 이상, 약 0.2 이상, 약 0.5 이상, 약 0.8 이상, 약 1 이상, 및/또는 약 2 이상일 수 있다. 비제한적인 예로서, 보조 전극 구성(1750b)의 높이(두께)는 약 50 nm 초과, 예를 들어 약 80 nm 이상, 약 100 nm 이상, 약 200 nm 이상, 약 500 nm 이상, 약 700 nm 이상, 약 1000 nm 이상, 약 1500 nm 이상, 약 1700 nm 이상, 또는 약 2000 nm 이상일 수 있다.

[0573] **도 18c**에서, 보조 전극 구성(1750c)은 2개의 이웃하는 발광 영역(1910a 및 1910b) 사이에 배치되며 제2 전극(140)에 전기적으로 결합된다. 이러한 예시에서, 보조 전극 구성(1750c)의 폭(α)은 이웃하는 발광 영역(1910a 및 1910b) 사이의 이격 거리(δ)와 실질적으로 동일하다. 그 결과, 보조 전극 구성(1750c)의 양측에 있는 적어도 하나의 비-발광 영역(1820) 내에 갭이 존재하지 않는다. 일부 비제한적인 예에서, 이러한 배열은, 비제한적인 예로서, 높은 픽셀 밀도 디바이스(1800)에서 이웃하는 발광 영역(1910a 및 1910b) 사이의 이격 거리(δ)가 비교적 작은 경우에 적절할 수 있다.

[0574] **도 18d**에서, 보조 전극(1750d)은 2개의 이웃하는 발광 영역(1910a 및 1910b) 사이에 배치되며 제2 전극(140)에 전기적으로 결합된다. 이러한 예시에서, 보조 전극 구성(1750d)의 폭(α)은 이웃하는 발광 영역(1910a 및 1910b) 사이의 이격 거리(δ)보다 크다. 그 결과, 보조 전극 구성(1750d)의 부분은 이웃하는 발광 영역(1910a 및/또는 1910b) 중 적어도 하나의 일부와 중첩된다. 도면은 보조 전극 구성(1750d)과 각각의 이웃하는 발광 영역(1910a, 1910b)과의 중첩 정도를 보여주지만, 일부 비제한적인 예에서, 중첩의 정도 및/또는 일부 비제한적인 예에서는, 보조 전극 구성(1750d)과 적어도 하나의 이웃하는 발광 영역(1910a 및 1910b) 사이의 중첩의 프로파일은 변경 및/또는 수정될 수 있다.

[0575] **도 19**는 디바이스(100)의 예시적인 버전(1900)의 (서브-) 픽셀(들)(340/264x)에 대응할 수 있는 발광 영역(1910)의 측면 양태(410), 및 발광 영역(1910)을 둘러싸는 비-발광 영역(1920)의 측면 양태(420) 둘 모두 위에 오버레이된 그리드로서 형성된 보조 전극(1750)의 패턴(1950)의 예를 도시하는 개략도를 평면도로 도시한다.

[0576] 일부 비제한적인 예에서, 보조 전극 패턴(1950)은 발광 영역(1910)의 측면 양태(410) 중 어느 것도 실질적으로 덮지 않도록 실질적으로 비-발광 영역(1920)의 측면 양태(420) 전체가 아닌 단지 일부 위에서만 연장한다.

[0577] 당업자는, 도면에서, 보조 전극 패턴(1950)이 그의 모든 요소가 서로 물리적으로 연결되어 전기적으로 결합되고, 일부 비제한적인 예에서는 제1 전극(120) 및/또는 제2 전극(140)일 수 있는 적어도 하나의 전극(120, 140, 1750, 4150)에 전기적으로 결합되도록 연속적인 구조로 형성되는 것으로 도시되어 있지만, 일부 비제한적인 예에서, 보조 전극 패턴(1950)은 서로 전기적으로 결합된 상태를 유지하면서 물리적으로는 서로 연결되지 않은 상태로 보조 전극 패턴(1950)의 복수의 개별 요소들로서 제공될 수 있다는 것을 이해할 것이다. 그럼에도 불구하고, 보조 전극 패턴(1950)의 이러한 개별 요소들은 적어도 하나의 전극(120, 140, 1750, 4150)의 시트 저항을 여전히 실질적으로 낮출 수 있으며, 그들은 디바이스(1900)의 광학적 특성을 실질적으로 방해하지 않으면서 그의 효율을 증가시키기 위해 결과적으로 디바이스(1900)와 전기적으로 결합된다.

[0578] 일부 비제한적인 예에서, 보조 전극(1750)은 (서브-) 픽셀(들)(340/264x)의 다양한 배열을 갖는 디바이스(100)에 사용될 수 있다. 일부 비제한적인 예에서, (서브-) 픽셀(340/264x) 배열은 실질적으로 다이아몬드 형상일 수

있다.

[0579] 비제한적인 예로서, **도 20a**는, 디바이스(100)의 예시적인 버전(2000)에서, 다이아몬드 구성의 PDL(440)을 포함하는 복수의 비-발광 영역(1920)의 측면 양태에 의해 둘러싸인, 서브 픽셀(264x)에 각각 대응하는 발광 영역(1910)의 복수의 그룹(2041-2043)을 평면도로 도시한다. 일부 비제한적인 예에서, 구성은 제1 및 제2 행의 교대 패턴으로 발광 영역(1910) 및 PDL(440)의 패턴(2041-2043)에 의해 정의된다.

[0580] 일부 비제한적인 예에서, PDL(440)을 포함하는 비-발광 영역(1920)의 측면 양태(420)는 실질적으로 타원 형상일 수 있다. 일부 비제한적인 예에서, 제1 행의 비-발광 영역(1920)의 측면 양태(420)의 장축은 정렬되고 제2 행의 비-발광 영역(1920)의 측면 양태(420)의 장축에 실질적으로 수직이다. 일부 비제한적인 예에서, 제1 행의 비-발광 영역(1920)의 측면 양태(420)의 장축은 제1 행의 축에 실질적으로 평행하다.

[0581] 일부 비제한적인 예에서, 발광 영역(1910)의 제1 그룹(2041)은 제1 파장의 광을 방출하는 서브-픽셀(264x)에 대응하고, 일부 비제한적인 예에서 제1 그룹(2041)의 서브-픽셀(264x)은 적색(R) 서브 픽셀(2641)에 대응할 수 있다. 일부 비제한적인 예에서, 제1 그룹(2041)의 발광 영역(1910)의 측면 양태(410)는 실질적으로 다이아몬드 형상의 구성을 가질 수 있다. 일부 비제한적인 예에서, 제1 그룹(2041)의 발광 영역(1910)은 PDL(440)이 선행되고 뒤따르는 제1 행의 패턴에 놓인다. 일부 비제한적인 예에서, 제1 그룹(2041)의 발광 영역(1910)의 측면 양태(410)는 동일한 행의 PDL(440)을 포함하는 선행 및 후속 비-발광 영역(1920)의 측면 양태(420)뿐만 아니라 제2 행의 선행 및 후속 패턴으로 PDL(440)을 포함하는 인접한 비-발광 영역(1920)의 측면 양태(420)와 약간 중첩한다.

[0582] 일부 비제한적인 예에서, 발광 영역(1910)의 제2 그룹(2042)은 제2 파장의 광을 방출하는 서브-픽셀(264x)에 대응하고, 일부 비제한적인 예에서 제2 그룹(2042)의 서브-픽셀(264x)은 녹색(G) 서브 픽셀(2642)에 대응할 수 있다. 일부 비제한적인 예에서, 제2 그룹(2041)의 발광 영역(1910)의 측면 양태(410)는 실질적으로 타원형 구성을 가질 수 있다. 일부 비제한적인 예에서, 제2 그룹(2041)의 발광 영역(1910)은 PDL(440)이 선행되고 뒤따르는 제2 행의 패턴에 놓인다. 일부 비제한적인 예에서, 제2 그룹(2041)의 발광 영역(1910)의 측면 양태(410) 중 일부의 장축은 제1 각도에 있을 수 있으며, 일부 비제한적인 예에서는 제2 행의 축에 대해 45° 일 수 있다. 일부 비제한적인 예에서, 제2 그룹(2041)의 발광 영역(1910)의 측면 양태(410) 중 다른 것들의 장축은 제2 각도에 있을 수 있으며, 일부 비제한적인 예에서는 제1 각도에 실질적으로 수직일 수 있는 제2 각도에 있을 수 있다. 일부 비제한적인 예에서, 측면 양태(410)가 제1 각도에서 장축을 갖는 제1 그룹(2041)의 발광 영역(1910)은 측면 양태(410)가 제2 각도에서 장축을 갖는 제1 그룹(2041)의 발광 영역(1910)과 교번한다.

[0583] 일부 비제한적인 예에서, 발광 영역(1910)의 제3 그룹(2043)은 제3 파장의 광을 방출하는 서브-픽셀(264x)에 대응하고, 일부 비제한적인 예에서 제3 그룹(2043)의 서브-픽셀(264x)은 청색(B) 서브 픽셀(2643)에 대응할 수 있다. 일부 비제한적인 예에서, 제3 그룹(2043)의 발광 영역(1910)의 측면 양태(410)는 실질적으로 다이아몬드 형상의 구성을 가질 수 있다. 일부 비제한적인 예에서, 제3 그룹(2043)의 발광 영역(1910)은 PDL(440)이 선행되고 뒤따르는 제1 행의 패턴에 놓인다. 일부 비제한적인 예에서, 제3 그룹(2043)의 발광 영역(1910)의 측면 양태(410)는 동일한 행의 PDL(440)을 포함하는 선행 및 후속 비-발광 영역(1920)의 측면 양태(410)뿐만 아니라 제2 행의 선행 및 후속 패턴으로 PDL(440)을 포함하는 인접한 비-발광 영역(1920)의 측면 양태(420)와 약간 중첩한다. 일부 비제한적인 예에서, 제2 행의 패턴은 제1 그룹(2041)의 발광 영역(1910)과 제3 그룹(2043)의 발광 영역(1910)을 교대로 포함하며, 이들 각각은 PDL(440)이 선행되고 뒤따른다.

[0584] 이제 **도 20b**를 참조하면, **도 20a**의 라인 20B-20B를 따라 절취한 디바이스(2000)의 예시적인 단면도가 도시되어 있다. 도면에서, 디바이스(2000)는 기판(110) 및 그의 노출된 층 표면(111) 상에 형성된 제1 전극(120)의 복수의 요소를 포함하는 것으로 도시되어 있다. 기판(110)은 베이스 기판(112)(예시의 편의상 도시되지 않음) 및/또는 각각의 서브-픽셀(264x)에 대응하고 이를 구동하기 위한 적어도 하나의 TFT 구조(200)를 포함할 수 있다. PDL(440)은 PDL(440)을 포함하는 비-발광 영역(들)(1920)에 의해 분리된 제1 전극(120)의 각각의 요소 위에 발광 영역(들)(1910)을 정의하기 위해 제1 전극(120)의 요소들 사이에서 기판(110) 위에 형성된다. 도면에서, 발광 영역(들)(1910)은 모두 제2 그룹(2042)에 대응한다.

[0585] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130)은 주변 PDL(440) 사이에서 제1 전극(120)의 각각의 요소 상에 증착된다.

[0586] 일부 비제한적인 예에서, 일부 비제한적인 예에서 공통 캐소드일 수 있는 제2 전극(140)은 제2 그룹(2042)의 발광 영역(들)(1910) 위에 증착되어 그의 및 주변 PDL(440) 위에 G(녹색) 서브-픽셀(들)(2642)을 형성한다.

[0587] 일부 비제한적인 예에서, NIC(810)는 G(녹색) 서브-픽셀(2642)의 제2 그룹(2042)의 발광 영역(들)(1910)의 측면 양태(410) 전체에 걸쳐 제2 전극(140) 위에 선택적으로 증착되어 NIC(810)가 실질적으로 없는 제2 전극(140)의 부분 위에, 즉 PDL(440)을 포함하는 비-발광 영역(들)(1920)의 측면 양태(420) 전체에 걸쳐 전도성 코팅(830)의 선택적 증착을 가능하게 한다. 일부 비제한적인 예에서, 전도성 코팅(830)은 PDL(440)의 경사 부분 상에 잔류하지 않고 NIC(810)으로 코팅되어 있는 이러한 경사 부분의 베이스로 하강하는 경향이 있기 때문에, 전도성 코팅(830)은 PDL(440)의 실질적으로 평면인 부분을 따라 축적되는 경향이 있을 수 있다. 일부 비제한적인 예에서, PDL(440)의 실질적으로 평면인 부분 상의 전도성 코팅(830)은 제2 전극(140)에 전기적으로 결합될 수 있는 적어도 하나의 보조 전극(1750)을 형성할 수 있다.

[0588] 일부 비제한적인 예에서, 디바이스(2000)는 CPL(3610) 및/또는 아웃커플링 층을 포함할 수 있다. 비제한적인 예로서, 이러한 CPL(3610) 및/또는 아웃커플링 층은 제2 전극(140)의 표면 및/또는 NIC(810)의 표면 상에 직접 제공될 수 있다. 일부 비제한적인 예에서, 이러한 CPL(3610) 및/또는 아웃커플링 층은 (서브-) 픽셀(340/264x)에 대응하는 적어도 하나의 발광 영역(1910)의 측면 양태(410) 전체에 걸쳐 제공될 수 있다.

[0589] 일부 비제한적인 예에서, NIC(810)는 또한 인덱스 매칭 코팅으로서 작용할 수도 있다. 일부 비제한적인 예에서, NIC(810)는 또한 아웃커플링 층으로서 작용할 수도 있다.

[0590] 일부 비제한적인 예에서, 디바이스(2000)는 캡슐화 층을 포함한다. 이러한 캡슐화 층의 비제한적인 예는 디바이스(2000)를 캡슐화하기 위해 제공된 유리 캡, 배리어 필름, 배리어 접착제 및/또는 도면에서 점선 윤곽으로 도시된 것과 같은 TFE 층(2050)을 포함한다. 일부 비제한적인 예에서, TFE 층(2050)은 일종의 배리어 코팅(1650)으로 간주될 수 있다.

[0591] 일부 비제한적인 예에서, 캡슐화 층은 제2 전극(140) 및/또는 NIC(810) 중 적어도 하나 위에 배열될 수 있다. 일부 비제한적인 예에서, 디바이스(2000)는 편광판, 컬러 필터, 반사 방지 코팅, 눈부심 방지 코팅, 커버 클래스 및/또는 광학적으로 투명한 접착제(OCA)를 포함한 추가의 광학 및/또는 구조 층, 코팅 및 구성요소를 포함하지만, 이에 제한되지 않는다.

[0592] 이제 **도 20c**를 참조하면, **도 20a**의 라인 20C-20C를 따라 절취한 디바이스(2000)의 예시적인 단면도가 도시되어 있다. 도면에서, 디바이스(2000)는 기판(110) 및 그의 노출된 층 표면(111) 상에 형성된 제1 전극(120)의 복수의 요소를 포함하는 것으로 도시되어 있다. PDL(440)은 PDL(440)을 포함하는 비-발광 영역(들)(1920)에 의해 분리된 제1 전극(120)의 각각의 요소 위에 발광 영역(들)(1910)을 정의하기 위해 제1 전극(120)의 요소들 사이에서 기판(110) 위에 형성된다. 도면에서, 방출 영역(들)(1910)은 교대 방식으로 제1 그룹(2041) 및 제3 그룹(2043)에 대응한다.

[0593] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130)은 주변 PDL(440) 사이에서 제1 전극(120)의 각각의 요소 상에 증착된다.

[0594] 일부 비제한적인 예에서, 일부 비제한적인 예에서 공통 캐소드일 수 있는 제2 전극(140)은 제1 그룹(2041)의 발광 영역(들)(1910) 위에 증착되어 그의 R(적색) 서브-픽셀(들)(2641)을 형성하고, 제3 그룹(2043)의 발광 영역(들)(1910) 위에 증착되어 그의 및 주변 PDL(440) 위에 B(청색) 서브-픽셀(들)(2643)을 형성한다.

[0595] 일부 비제한적인 예에서, NIC(810)는 R(적색) 서브-픽셀(2641)의 제1 그룹(2041) 및 B(청색) 서브-픽셀(2643)의 제3 그룹의 발광 영역(들)(1910)의 측면 양태(410) 전체에 걸쳐 제2 전극(140) 위에 선택적으로 증착되어 NIC(810)가 실질적으로 없는 제2 전극(140)의 부분 위에, 즉 PDL(440)을 포함하는 비-발광 영역(들)(1920)의 측면 양태(420) 전체에 걸쳐 전도성 코팅(830)의 선택적 증착을 가능하게 한다. 일부 비제한적인 예에서, 전도성 코팅(830)은 PDL(440)의 경사 부분 상에 잔류하지 않고 NIC(810)으로 코팅되어 있는 이러한 경사 부분의 베이스로 하강하는 경향이 있기 때문에, 전도성 코팅(830)은 PDL(440)의 실질적으로 평면인 부분을 따라 축적되는 경향이 있을 수 있다. 일부 비제한적인 예에서, PDL(440)의 실질적으로 평면인 부분 상의 전도성 코팅(830)은 제2 전극(140)에 전기적으로 결합될 수 있는 적어도 하나의 보조 전극(1750)을 형성할 수 있다.

[0596] 이제 **도 21**을 참조하면, **도 4**에 단면도로 도시된 디바이스(100)를 포함하는 디바이스(100)의 예시적인 버전(2100)이 도시되어 있지만, 본원에서 설명된 많은 추가의 증착 단계가 있다.

[0597] 디바이스(2100)는 하부 물질의 노출된 층 표면(111), 도면에서는, (서브-) 픽셀(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(410)에 실질적으로 대응하는 디바이스(2100)의 제1 부분 내에는 있고, 제1 부분을 둘러싸는 비-발광 영역(들)(1920)의 측면 양태(들)(420)에 실질적으로 대응하는 디바이스(2100)의 제2 부분 내에

는 없는 제2 전극(140) 상에 선택적으로 증착된 NIC(810)를 나타낸다.

[0598] 일부 비제한적인 예에서, NIC(810)는 섀도우 마스크를 사용하여 선택적으로 증착될 수 있다.

[0599] NIC(810)는, 제1 부분 내에서, 보조 전극(1750)을 형성하기 위해 이후에 증착될 전도성 코팅(830)에 대해 상대적으로 낮은 초기 고착 확률 S_0을 갖는 표면을 제공한다.

[0600] NIC(810)의 선택적 증착 후에, 전도성 코팅(830)은 디바이스(2100) 위에 증착되지만, 단지 NIC(810)가 실질적으로 없는 제2 부분 내에만 실질적으로 잔류하여 보조 전극(1750)을 형성한다.

[0601] 일부 비제한적인 예에서, 전도성 코팅(830)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다.

[0602] 보조 전극(1750)은, 도시된 바와 같이, 실질적으로 NIC(810)이 없는 제2 부분 전체에 걸쳐 제2 전극(140) 상에 놓고 그와 물리적으로 접촉시키는 것을 포함하여 제2 전극(140)의 시트 저항을 감소시키기 위해 제2 전극(140)에 전기적으로 결합된다.

[0603] 일부 비제한적인 예에서, 전도성 코팅(830)은 제2 부분의 전도성 코팅(830)에 대한 높은 초기 고착 확률 S_0을 보장하기 위해 제2 전극(140)과 실질적으로 동일한 물질을 포함할 수 있다.

[0604] 일부 비제한적인 예에서, 제2 전극(140)은 실질적으로 순수한 Mg 및/또는 Mg와 Ag를 제한 없이 포함하는 다른 금속의 합금을 포함할 수 있다. 일부 비제한적인 예에서, Mg:Ag 합금 조성은 부피 기준으로 약 1:9 내지 약 9:1의 범위일 수 있다. 일부 비제한적인 예에서, 제2 전극(140)은 제한 없이 ITO 및/또는 IZO, 및/또는 금속 및/또는 금속 산화물의 조합과 같은 삼원 금속 산화물을 제한 없이 포함하는 금속 산화물을 포함할 수 있다.

[0605] 일부 비제한적인 예에서, 보조 전극(1750)을 형성하기 위해 사용되는 전도성 코팅(830)은 실질적으로 순수한 Mg를 포함할 수 있다.

[0606] 이제 **도 22**를 참조하면, **도 4**에 단면도로 도시된 디바이스(100)를 포함하는 디바이스(100)의 예시적인 버전(2200)이 도시되어 있지만, 본원에서 설명된 많은 추가의 증착 단계가 있다.

[0607] 디바이스(2200)는 하부 물질의 노출된 층 표면(111), 도면에서는, (서브-) 픽셀(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(410)의 부분에 실질적으로 대응하는 디바이스(2200)의 제1 부분 내에는 있고, 제2 부분 내에는 없는 제2 전극(140) 상에 선택적으로 증착된 NIC(810)를 나타낸다. 도면에서, 제1 부분은 발광 영역(들)(1910)을 정의하는 PDL(440)의 경사진 부분의 범위를 따라 부분적으로 연장된다.

[0608] 일부 비제한적인 예에서, NIC(810)는 섀도우 마스크를 사용하여 선택적으로 증착될 수 있다.

[0609] NIC(810)는, 제1 부분 내에서, 보조 전극(1750)을 형성하기 위해 이후에 증착될 전도성 코팅(830)에 대해 상대적으로 낮은 초기 고착 확률 S_0을 갖는 표면을 제공한다.

[0610] NIC(810)의 선택적 증착 후에, 전도성 코팅(830)은 디바이스(2200) 위에 증착되지만, 단지 NIC(810)가 실질적으로 없는 제2 부분 내에만 실질적으로 잔류하여 보조 전극(1750)을 형성한다. 이와 같이, 디바이스(2200)에서, 보조 전극(1750)은 발광 영역(들)(1910)을 정의하는 PDL(440)의 경사진 부분 전체에 걸쳐 부분적으로 연장된다.

[0611] 일부 비제한적인 예에서, 전도성 코팅(830)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다.

[0612] 보조 전극(1750)은, 도시된 바와 같이, 실질적으로 NIC(810)이 없는 제2 부분 전체에 걸쳐 제2 전극(140) 상에 놓고 그와 물리적으로 접촉시키는 것을 포함하여 제2 전극(140)의 시트 저항을 감소시키기 위해 제2 전극(140)에 전기적으로 결합된다.

[0613] 일부 비제한적인 예에서, 제2 전극(140)을 구성할 수 있는 물질은 전도성 코팅(830)에 대해 높은 초기 고착 확률 S_0을 갖지 않을 수 있다.

[0614] **도 23**은 **도 4**에 단면도로 도시된 디바이스(100)를 포함하는 디바이스(100)의 예시적인 버전(2300)이 도시되어 있는 그러한 시나리오를 예시하지만, 본원에서 설명된 많은 추가의 증착 단계가 있다.

[0615] 디바이스(2300)는 하부 물질의 노출된 층 표면(111), 도면에서는, 제2 전극(140) 위에 증착된 NPC(1120)를 나타낸다.

[0616] 일부 비제한적인 예에서, NPC(1120)는 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다.

[0617] 그 후, NIC(810)는 하부 물질의 노출된 층 표면(111), 도면에서는, (서브-) 픽셀(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(410)의 부분에 실질적으로 대응하는 디바이스(2300)의 제1 부분 내에는 있고, 제1 부분을 둘러싸는 비-발광 영역(들)(1920)의 측면 양태(들)(420)에 실질적으로 대응하는 디바이스(2300)의 제2 부분 내에는 없는 NPC(1120) 상에 선택적으로 증착된다.

[0618] 일부 비제한적인 예에서, NIC(810)는 섀도우 마스크를 사용하여 선택적으로 증착될 수 있다.

[0619] NIC(810)는, 제1 부분 내에서, 보조 전극(1750)을 형성하기 위해 이후에 증착될 전도성 코팅(830)에 대해 상대적으로 낮은 초기 고착 확률 S_0을 갖는 표면을 제공한다.

[0620] NIC(810)의 선택적 증착 후에, 전도성 코팅(830)은 디바이스(2300) 위에 증착되지만, 단지 NIC(810)가 실질적으로 없는 제2 부분 내에만 실질적으로 잔류하여 보조 전극(1750)을 형성한다.

[0621] 일부 비제한적인 예에서, 전도성 코팅(830)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다.

[0622] 보조 전극(1750)은 그의 시트 저항을 감소시키기 위해 제2 전극(140)에 전기적으로 결합된다. 도시된 바와 같이, 보조 전극(1750)은 제2 전극(140) 위에 놓여 있지 않고 물리적으로 접촉되지 않지만, 당업자는 그럼에도 불구하고 보조 전극(1750)이 다수의 널리 알려진 메커니즘에 의해 제2 전극(140)에 전기적으로 결합될 수 있다는 것을 이해할 것이다. 비제한적인 예로서, NIC(810) 및/또는 NPC(1120)의 비교적 얇은 필름(일부 비제한적인 예에서는, 최대 약 50 nm)의 존재는 여전히 그들을 통해 전류가 통과하도록 허용할 수 있으며, 따라서 제2 전극(140)의 시트 저항을 감소시킬 수 있다.

[0623] 이제 **도 24**를 참조하면, **도 4**에 단면도로 도시된 디바이스(100)를 포함하는 디바이스(100)의 예시적인 버전(2400)이 도시되어 있지만, 본원에서 설명된 많은 추가의 증착 단계가 있다.

[0624] 디바이스(2400)는 하부 물질의 노출된 층 표면(111), 도면에서는, 제2 전극(140) 위에 증착된 NIC(810)를 나타낸다.

[0625] 일부 비제한적인 예에서, NIC(810)는 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다.

[0626] NIC(810)는 보조 전극(1750)을 형성하기 위해 이후에 증착될 전도성 코팅(830)에 대해 상대적으로 낮은 초기 고착 확률 S_0을 갖는 표면을 제공한다.

[0627] NIC(810)의 증착 후, NPC(1120)는 하부 물질의 노출된 층 표면(111), 도면에서는, (서브-) 픽셀(340/264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(들)(410)에 실질적으로 대응하는 디바이스(2400)의 제2 부분을 둘러싸는 비-발광 영역(들)(1920)의 측면 양태(들)(420)의 부분에 실질적으로 대응하는 디바이스(2400)의 NPC 부분 내에 있는 NIC(810) 상에 선택적으로 증착된다.

[0628] 일부 비제한적인 예에서, NPC(1120)는 섀도우 마스크를 사용하여 선택적으로 증착될 수 있다.

[0629] NPC(1120)는, 제1 부분 내에서, 보조 전극(1750)을 형성하기 위해 이후에 증착될 전도성 코팅(830)에 대해 상대적으로 높은 초기 고착 확률 S_0을 갖는 표면을 제공한다.

[0630] NPC(1120)의 선택적 증착 후에, 전도성 코팅(830)은 디바이스(2400) 위에 증착되지만, 단지 NIC(810)가 NPC(1120)와 중첩된 NPC 부분 내에만 실질적으로 잔류하여 보조 전극(1750)을 형성한다.

[0631] 일부 비제한적인 예에서, 전도성 코팅(830)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다.

[0632] 보조 전극(1750)은 제2 전극(140)의 시트 저항을 감소시키기 위해 제2 전극(140)에 전기적으로 결합된다.

[0633] 선택적 코팅의 제거

[0634] 일부 비제한적인 예에서, NIC(810)는 NIC(810)에 의해 덮힌 하부 물질의 이전에 노출된 층 표면(111)의 적어도 일부가 다시 한번 노출될 수 있도록 전도성 코팅(830)의 증착 후에 제거될 수 있다. 일부 비제한적인 예에서, NIC(810)는 NIC(810)를 에칭 및/또는 용해시키고/시키거나 전도성 코팅(830)에 실질적으로 악영향을 미치거나 침식시키지 않는 플라즈마 및/또는 용매 처리 기법을 사용함으로써 선택적으로 제거될 수 있다.

[0635] 이제 **도 25a**를 참조하면, 증착 단계(2500a)에서의 디바이스(100)의 예시적인 버전(2500)의 예시적인 단면도가 도시되어 있으며, 여기서 NIC(810)는 하부 물질의 노출된 층 표면(111)의 제1 부분 상에 선택적으로 증착되었다. 도면에서, 하부 물질은 기판(110)일 수 있다.

[0636] **도 25b**에서, 디바이스(2500)는 증착 단계(2500b)에서 도시되며, 여기서 전도성 코팅(830)은 하부 물질의 노출된 층 표면(111) 상에, 즉, NIC(810)가 단계(2500a) 동안 증착된 경우의 NIC(810)의 노출된 층 표면(111) 뿐만 아니라 NIC(810)가 단계(2500a) 동안 증착된 경우의 기판(110)의 노출된 층 표면(111) 모두에 증착된다. NIC(810)가 배치된 제1 부분의 핵 생성 억제 특성으로 인해, 그들 상에 배치된 전도성 코팅(830)은 잔류하지 않는 경향이 있어 제2 부분에 대응하는 전도성 코팅(830)의 선택적 증착의 패턴을 생성하고 전도성 코팅이 실질적으로 없는 제1 부분이 잔류한다.

[0637] **도 25c**에서, 디바이스(2500)는 증착 단계(2500c)에서 도시되며, 여기서 NIC(810)는, 단계(2500b) 동안 증착된 전도성 코팅(830)이 기판(110) 상에 잔류하고 단계(2500a) 동안 NIC(810)가 증착된 기판(110)의 영역이 이제 노출되거나 덮이지 않도록 기판(110)의 노출된 층 표면(111)의 제1 부분으로부터 제거된다.

[0638] 일부 비제한적인 예에서, 단계(2500c)에서의 NIC(810)의 제거는 전도성 코팅(830)에 실질적으로 영향을 미치지 않으면서 NIC(810)와 반응 및/또는 에칭 제거하는 용매 및/또는 플라즈마에 디바이스(2500)를 노출시킴으로써 수행될 수 있다.

[0639] 투명 OLED

[0640] 이제 **도 26a**를 참조하면, 일반적으로 2600으로 나타낸 디바이스(100)의 투과(투명) 버전의 예시적인 평면도가 도시되어 있다. 일부 비제한적인 예에서, 디바이스(2600)는 복수의 픽셀 영역(2610) 및 복수의 투과 영역(2620)을 갖는 AMOLED 디바이스이다. 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)은 픽셀 영역(들)(2610) 및/또는 투과 영역(들)(2620) 사이의 하부 물질의 노출된 층 표면(111) 상에 증착될 수 있다.

[0641] 일부 비제한적인 예에서, 각각의 픽셀 영역(2610)은 서브 픽셀(264x)에 각각 대응하는 복수의 발광 영역(1910)을 포함할 수 있다. 일부 비제한적인 예에서, 서브-픽셀(264x)은 각각 R(적색) 서브-픽셀(2641), G(녹색) 서브-픽셀(2642) 및/또는 B(청색) 서브-픽셀(2643)에 대응할 수 있다.

[0642] 일부 비제한적인 예에서, 각각의 투과 영역(2620)은 실질적으로 투명하고 광이 그의 단면 양태 전체를 통과할 수 있다.

[0643] 이제 **도 26b**를 참조하면, **도 26a**의 라인 26B-26B를 따라 절취한 디바이스(2600)의 예시적인 단면도가 도시되어 있다. 도면에서, 디바이스(2600)는 기판(110), TFT 절연층(280) 및 TFT 절연층(280)의 표면 상에 형성된 제1 전극(120)을 포함하는 것으로 도시되어 있다. 기판(110)은 베이스 기판(112)(예시의 편의상 도시되지 않음) 및/또는 실질적으로 그들 아래에 위치되고 그의 제1 전극(120)에 전기적으로 결합된 각각의 서브-픽셀(264x)에 대응하고 이를 구동하기 위한 적어도 하나의 TFT 구조(200)를 포함할 수 있다. PDL(들)(440)은 기판(110) 위의 비-발광 영역(1920) 내에 형성되어, 그에 대응하는 제1 전극(120) 상에서 또한 각각의 서브-픽셀(264x)에도 대응하는 발광 영역(들)(1910)을 정의한다. PDL(들)(440)은 제1 전극(120)의 에지를 덮는다.

[0644] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130)은 제1 전극(120)의 노출된 영역(들) 위에 증착되고, 일부 비제한적인 예에서는 적어도 주변 PDL(440)의 부분 위에 증착된다.

[0645] 일부 비제한적인 예에서, 제2 전극(140)은 픽셀 영역(2610) 위를 포함하여 적어도 하나의 반도체 층(들)(130) 위에 증착되어 그의 서브-픽셀(들)(264x)을 형성하고, 일부 비제한적인 예에서는, 투과 영역(2620)에서 주변 PDL(440) 위에 적어도 부분적으로 증착된다.

[0646] 일부 비제한적인 예에서, NIC(810)는 픽셀 영역(2610)과 투과 영역(2620) 모두를 포함하지만 보조 전극(1750)에 대응하는 제2 전극(140)의 영역은 포함하지 않는 디바이스(2600)의 제1 부분(들) 위에 선택적으로 증착된다.

[0647] 일부 비제한적인 예에서, 이어서 디바이스(2600)의 전체 표면은 일부 비제한적인 예에서는 Mg일 수 있는 전도성 코팅(830)의 증기 플럭스에 노출된다. 전도성 코팅(830)은 NIC(810)가 실질적으로 없는 제2 전극(140)의 제2 부분(들) 위에 선택적으로 증착되어 제2 전극(140)의 코팅되지 않은 부분에 전기적으로 결합되고, 일부 비제한적인 예에서는, 그와 물리적으로 접촉하는 보조 전극(1750)을 형성한다.

[0648] 동시에, 디바이스(2600)의 투과 영역(2620)은 그를 통한 광의 투과에 실질적으로 영향을 미칠 수 있는 임의의 물질이 실질적으로 없는 상태를 유지한다. 특히, 도면에 도시된 바와 같이, TFT 구조(200) 및 제1 전극(120)은,

단면 양태에서, 그에 대응하는 서브-픽셀(264x) 아래에 위치하고, 보조 전극(1750)과 함께 투과 영역(2620) 너머에 위치한다. 결과적으로, 이러한 구성요소들은 투과 영역(2620)을 통해 투과되는 광을 감쇠시키거나 방해하지 않는다. 일부 비제한적인 예에서, 이러한 배열은 전형적인 가시거리에서 디바이스(2600)를 바라보는 관측자가 디바이스(2600)를 통해 볼 수 있게 하며, 일부 비제한적인 예에서는 모든 (서브-) 픽셀(들)(340/264x) 발광하지 않으므로 투명 AMOLED 디바이스(2600)를 생성한다.

[0649] 도면에는 도시되지 않았지만, 일부 비제한적인 예에서, 디바이스(2600)는 보조 전극(1750)과 제2 전극(140) 사이에 배치된 NPC(1120)를 추가로 포함할 수 있다. 일부 비제한적인 예에서, NPC(1120)는 또한 NIC(810)과 제2 전극(140) 사이에 배치될 수도 있다.

[0650] 일부 비제한적인 예에서, NIC(810)는 적어도 하나의 반도체 층(들)(130)과 동시에 형성될 수 있다. 비제한적인 예로서, NIC(810)를 형성하는 데 사용되는 적어도 하나의 물질은 적어도 하나의 반도체 층(들)(130)을 형성하는 데 사용될 수도 있다. 이러한 비제한적인 예에서, 디바이스(2600)를 제작하기 위한 단계의 수가 감소될 수 있다.

[0651] 당업자는, 일부 비제한적인 예에서, 적어도 하나의 반도체 층(들)(130) 및/또는 제2 전극(140)을 형성하는 것들을 제한 없이 포함하는 다양한 다른 층들 및/또는 코팅들이, 특히 이러한 층들 및/또는 코팅들이 실질적으로 투명한 경우에 투과 영역(2620)의 부분을 덮을 수 있다는 것을 이해할 것이다. 일부 비제한적인 예에서, PDL(들)(440)은 내부에 웰을 형성하는 것을 제한 없이 포함하는 감소된 두께를 가질 수 있으며, 이는 일부 비제한적인 예에서 발광 영역(들)(1910)에 대해 정의된 웰과 다르지 않아 투과 영역(2620)을 통한 광 투과를 더 용이하게 한다.

[0652] 당업자는, 일부 비제한적인 예에서, **도 26a** 및 **도 26b**에 도시된 배열과 다른 (서브-) 픽셀(들)(340/264x) 배열이 사용될 수 있다는 것을 이해할 것이다.

[0653] 당업자는, 일부 비제한적인 예에서, **도 26a** 및 **도 26b**에 도시된 배열과 다른 보조 전극(들)(1750)의 배열이 사용될 수 있다는 것을 이해할 것이다. 비제한적인 예로서, 보조 전극(들)(1750)은 픽셀 영역(2610)과 투과 영역(2620) 사이에 배치될 수 있다. 비제한적인 예로서, 보조 전극(들)(1750)은 픽셀 영역(2610) 내의 서브-픽셀(들)(264x) 사이에 배치될 수 있다.

[0654] 이제 **도 27a**를 참조하면, 일반적으로 2700으로 나타낸 디바이스(100)의 투명 버전의 예시적인 평면도가 도시되어 있다. 일부 비제한적인 예에서, 디바이스(2700)는 복수의 픽셀 영역(2610) 및 복수의 투과 영역(2620)을 갖는 AMOLED 디바이스이다. 디바이스(2700)는 픽셀 영역(들)(2610) 및/또는 투과 영역(들)(2620) 사이에 놓인 보조 전극(들)(1750)이 없다는 점에서 디바이스(2600)와 다르다.

[0655] 일부 비제한적인 예에서, 각각의 픽셀 영역(2610)은 서브 픽셀(264x)에 각각 대응하는 복수의 발광 영역(1910)을 포함할 수 있다. 일부 비제한적인 예에서, 서브-픽셀(264x)은 각각 R(적색) 서브-픽셀(2641), G(녹색) 서브-픽셀(2642) 및/또는 B(청색) 서브-픽셀(2643)에 대응할 수 있다.

[0656] 일부 비제한적인 예에서, 각각의 투과 영역(2620)은 실질적으로 투명하고 광이 그의 단면 양태 전체를 통과할 수 있다.

[0657] 이제 **도 27b**를 참조하면, **도 27a**의 라인 27B-27B를 따라 절취한 디바이스(2700)의 예시적인 단면도가 도시되어 있다. 도면에서, 디바이스(2700)는 기판(110), TFT 절연층(280) 및 TFT 절연층(280)의 표면 상에 형성된 제1 전극(120)을 포함하는 것으로 도시되어 있다. 기판(110)은 베이스 기판(112)(예시의 편의상 도시되지 않음) 및/또는 실질적으로 그들 아래에 위치되고 그의 제1 전극(120)에 전기적으로 결합된 각각의 서브-픽셀(264x)에 대응하고 이를 구동하기 위한 적어도 하나의 TFT 구조(200)를 포함할 수 있다. PDL(들)(440)은 기판(110) 위의 비-발광 영역(1920) 내에 형성되어, 그에 대응하는 제1 전극(120) 상에서 또한 각각의 서브-픽셀(264x)에도 대응하는 발광 영역(들)(1910)을 정의한다. PDL(들)(440)은 제1 전극(120)의 에지를 덮는다.

[0658] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130)은 제1 전극(120)의 노출된 영역(들) 위에 증착되고, 일부 비제한적인 예에서는 적어도 주변 PDL(440)의 부분 위에 증착된다.

[0659] 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)은 픽셀 영역(2610) 위를 포함하여 적어도 하나의 반도체 층(들)(130) 위에 증착되어 그의 서브-픽셀(들)(264x)을 형성하고, 투과 영역(2620)에서 주변 PDL(440) 위에 적어도 부분적으로 증착된다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)의 두께는 광 투과 영역(2620) 전체

에 걸친 초기 전도성 코팅(830_0)의 존재가 그를 통한 광의 투과를 실질적으로 감쇠시키지 않도록 비교적 얇을 수 있다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다.

[0660] 일부 비제한적인 예에서, NIC(810)는 투과 영역(2620)을 포함하는 디바이스(2700)의 제1 부분 위에 선택적으로 증착된다.

[0661] 일부 비제한적인 예에서, 이어서 디바이스(2700)의 전체 표면이 일부 비제한적인 예에서는 Mg일 수 있는 전도성 코팅 물질(831)의 증기 플럭스에 노출되어 NIC(810), 일부 예에서는 픽셀 영역(2610)이 실질적으로 없는 초기 전도성 코팅(830_0)의 제2 부분(들) 위에 제1 전도성 코팅(830a)이 선택적으로 증착됨으로써, 제1 전도성 코팅(830a)이 초기 전도성 코팅(830_0)의 코팅되지 않은 부분에 전기적으로 결합되고, 일부 비제한적인 예에서는 그와 물리적으로 접촉하여 제2 전극(140)을 형성한다.

[0662] 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)의 두께는 제1 전도성 코팅(830a)의 두께보다 작을 수 있다. 이러한 방식으로, 초기 전도성 코팅(830_0)만이 연장되는 투과 영역(2620)에서 상대적으로 높은 투과율이 유지될 수 있다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)의 두께는 약 30 nm 미만, 약 25 nm 미만, 약 20 nm 미만, 약 15 nm 미만, 약 10 nm 미만, 약 8 nm 미만, 및/또는 약 5 nm 미만일 수 있다. 일부 비제한적인 예에서, 제1 전도성 코팅(830a)의 두께는 약 30 nm 미만, 약 25 nm 미만, 약 20 nm 미만, 약 15 nm 미만, 약 10 nm 미만, 및/또는 약 8 nm 미만일 수 있다.

[0663] 따라서, 일부 비제한적인 예에서, 제2 전극(140)의 두께는 약 40 nm 미만일 수 있고/있거나, 일부 비제한적인 예에서는, 약 5 nm 내지 30 nm, 약 10 nm 내지 약 25 nm 및/또는 약 15 nm 내지 약 25 nm일 수 있다.

[0664] 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)의 두께는 제1 전도성 코팅(830a)의 두께보다 더 클 수 있다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)의 두께 및 제1 전도성 코팅(830a)의 두께는 실질적으로 동일할 수 있다.

[0665] 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)을 형성하기 위해 사용된 적어도 하나의 물질은 제1 전도성 코팅(830a)을 형성하기 위해 사용된 적어도 하나의 물질과 실질적으로 동일할 수 있다. 일부 비제한적인 예에서, 이러한 적어도 하나의 물질은 실질적으로 제1 전극(120), 제2 전극(140), 보조 전극(1750) 및/또는 이들의 전도성 코팅(830)과 관련하여 본원에서 기재된 바와 같을 수 있다.

[0666] 일부 비제한적인 예에서, 디바이스(2700)의 투과 영역(2620)은 그를 통한 광의 투과에 실질적으로 영향을 미칠 수 있는 임의의 물질이 실질적으로 없는 상태를 유지한다. 특히, 도면에 도시된 바와 같이, TFT 구조(200) 및/또는 제1 전극(120)은, 단면 양태에서, 그에 대응하는 서브-픽셀(264x) 아래 및 투과 영역(2620) 너머에 위치된다. 결과적으로, 이러한 구성요소들은 투과 영역(2620)을 통해 투과되는 광을 감쇠시키거나 방해하지 않는다. 일부 비제한적인 예에서, 이러한 배열은 전형적인 가시거리에서 디바이스(2700)를 바라보는 관측자가 디바이스(2700)를 통해 볼 수 있게 하며, 일부 비제한적인 예에서는 모든 (서브-) 픽셀(들)(340/264x)이 발광하지 않으므로 투명 AMOLED 디바이스(2700)를 생성한다.

[0667] 도면에 도시되지는 않았지만, 일부 비제한적인 예에서, 디바이스(2700)는 제1 전도성 코팅(830a)과 초기 전도성 코팅(830_0) 사이에 배치된 NPC(1120)를 추가로 포함할 수 있다. 일부 비제한적인 예에서, NPC(1120)는 또한 NIC(810)와 초기 전도성 코팅(830_0) 사이에 배치될 수도 있다.

[0668] 일부 비제한적인 예에서, NIC(810)는 적어도 하나의 반도체 층(들)(130)과 동시에 형성될 수 있다. 비제한적인 예로서, NIC(810)를 형성하는 데 사용되는 적어도 하나의 물질은 적어도 하나의 반도체 층(들)(130)을 형성하는 데 사용될 수도 있다. 이러한 비제한적인 예에서, 디바이스(2700)를 제작하기 위한 단계의 수가 감소될 수 있다.

[0669] 당업자는, 일부 비제한적인 예에서, 적어도 하나의 반도체 층(들)(130) 및/또는 초기 전도성 코팅(830_0)을 형성하는 것들을 제한 없이 포함하는 다양한 다른 층들 및/또는 코팅들이, 특히 이러한 층들 및/또는 코팅들이 실질적으로 투명한 경우에 투과 영역(2620)의 부분을 덮을 수 있다는 것을 이해할 것이다. 일부 비제한적인 예에서, PDL(들)(440)은 내부에 웰을 형성하는 것을 제한 없이 포함하는 감소된 두께를 가질 수 있으며, 이는 일부 비제

한적인 예에서 발광 영역(들)(1910)에 대해 정의된 웰과 다르지 않아 투과 영역(2620)을 통한 광 투과를 더 용이하게 한다.

[0670] 당업자는, 일부 비제한적인 예에서, **도 27a** 및 **도 27b**에 도시된 배열과 다른 (서브-) 픽셀(들)(340/264x) 배열이 사용될 수 있다는 것을 이해할 것이다.

[0671] 이제 **도 27c**를 참조하면, **도 27a**의 동일한 라인 27B-27B를 따라 절취한, 디바이스(2710)으로 도시된 디바이스(100)의 상이한 버전의 예시적인 단면도가 도시되어 있다. 도면에서, 디바이스(2710)는 기판(110), TFT 절연층(280) 및 TFT 절연층(280)의 표면 상에 형성된 제1 전극(120)을 포함하는 것으로 도시되어 있다. 기판(110)은 베이스 기판(112)(예시의 편의상 도시되지 않음) 및/또는 실질적으로 그들 아래에 위치되고 그의 제1 전극(120)에 전기적으로 결합된 각각의 서브-픽셀(264x)에 대응하고 이를 구동하기 위한 적어도 하나의 TFT 구조(200)를 포함할 수 있다. PDL(들)(440)은 기판(110) 위의 비-발광 영역(1920) 내에 형성되어, 그에 대응하는 제1 전극(120) 상에서 또한 각각의 서브-픽셀(264x)에도 대응하는 발광 영역(들)(1910)을 정의한다. PDL(들)(440)은 제1 전극(120)의 에지를 덮는다.

[0672] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130)은 제1 전극(120)의 노출된 영역(들) 위에 증착되고, 일부 비제한적인 예에서는 적어도 주변 PDL(440)의 부분 위에 증착된다.

[0673] 일부 비제한적인 예에서, NIC(810)는 투과 영역(2620)을 포함하는 디바이스(2710)의 제1 부분 위에 선택적으로 증착된다.

[0674] 일부 비제한적인 예에서, 전도성 코팅(830)은 픽셀 영역(2610) 위를 포함하여 적어도 하나의 반도체 층(들)(130) 위에 증착되어 그의 서브-픽셀(들)(264x)을 형성하지만, 투과 영역(2620)에서 주변 PDL(440) 위에는 증착되지 않을 수 있다. 일부 비제한적인 예에서, 전도성 코팅(830)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다. 일부 비제한적인 예에서, 이러한 증착은, 전도성 코팅(830)이 적어도 하나의 반도체 층(들)(130) 상에 증착되어 제2 전극(140)을 형성하도록 디바이스(2710)의 전체 표면을 일부 비제한적인 예에서는 Mg일 수 있는 전도성 코팅 물질(831)의 증기 플럭스에 노출시켜 NIC(810), 일부 예에서는 픽셀 영역(2610)이 실질적으로 없는 적어도 하나의 반도체 층(들)(130)의 제2 부분 위에 전도성 코팅(830)을 선택적으로 증착시킴으로써 수행될 수 있다.

[0675] 일부 비제한적인 예에서, 디바이스(2710)의 투과 영역(2620)은 그를 통한 광의 투과에 실질적으로 영향을 미칠 수 있는 임의의 물질이 실질적으로 없는 상태를 유지한다. 특히, 도면에 도시된 바와 같이, TFT 구조(200) 및/또는 제1 전극(120)은, 단면 양태에서, 그에 대응하는 서브-픽셀(264x) 아래 및 투과 영역(2620) 너머에 위치된다. 결과적으로, 이러한 구성요소들은 투과 영역(2620)을 통해 투과되는 광을 감쇠시키거나 방해하지 않는다. 일부 비제한적인 예에서, 이러한 배열은 전형적인 가시거리에서 디바이스(2710)를 바라보는 관측자가 디바이스(2700)를 통해 볼 수 있게 하며, 일부 비제한적인 예에서는 모든 (서브-) 픽셀(들)(340/264x)이 발광하지 않으므로 투명 AMOLED 디바이스(2710)를 생성한다.

[0676] 임의의 전도성 코팅(830)이 없고/없거나 실질적으로 없는 투과 영역(2620)을 제공함으로써, 이러한 영역에서의 투과율은, 일부 비제한적인 예에서는, **도 27b**의 디바이스(2700)와 비교하여 비제한적인 예로서 유리하게 향상될 수 있다.

[0677] 도면에 도시되지는 않았지만, 일부 비제한적인 예에서, 디바이스(2710)는 전도성 코팅(830)과 적어도 하나의 반도체 층(들)(130) 사이에 배치된 NPC(1120)를 추가로 포함할 수 있다. 일부 비제한적인 예에서, NPC(1120)는 또한 NIC(810)과 PDL(들)(440) 사이에 배치될 수도 있다.

[0678] 일부 비제한적인 예에서, NIC(810)는 적어도 하나의 반도체 층(들)(130)과 동시에 형성될 수 있다. 비제한적인 예로서, NIC(810)를 형성하는 데 사용되는 적어도 하나의 물질은 적어도 하나의 반도체 층(들)(130)을 형성하는 데 사용될 수도 있다. 이러한 비제한적인 예에서, 디바이스(2710)를 제작하기 위한 단계의 수가 감소될 수 있다.

[0679] 당업자는, 일부 비제한적인 예에서, 적어도 하나의 반도체 층(들)(130) 및/또는 전도성 코팅(830)을 형성하는 것들을 제한 없이 포함하는 다양한 다른 층들 및/또는 코팅들이, 특히 이러한 층들 및/또는 코팅들이 실질적으로 투명한 경우에 투과 영역(2620)의 부분을 덮을 수 있다는 것을 이해할 것이다. 일부 비제한적인 예에서, PDL(들)(440)은 내부에 웰을 형성하는 것을 제한 없이 포함하는 감소된 두께를 가질 수 있으며, 이는 일부 비제한적인 예에서 발광 영역(들)(1910)에 대해 정의된 웰과 다르지 않아 투과 영역(2620)을 통한 광 투과를 더 용

이하게 한다.

[0680] 당업자는, 일부 비제한적인 예에서, **도 27a** 및 **도 27c**에 도시된 배열과 다른 (서브-) 픽셀(들)(340/264x) 배열이 사용될 수 있다는 것을 이해할 것이다.

[0681] 발광 영역(들) 위에 전도성 코팅의 선택적 증착

[0682] 상기에서 논의된 바와 같이, (서브-) 픽셀(340/264x)의 발광 영역(들)(1910)의 측면 양태(410) 내에서 및 전체에 걸쳐 전극(120, 140, 1750, 4150)의 두께를 조절하면 관찰 가능한 미세공동 효과에 영향을 미칠 수 있다. 일부 비제한적인 예에서, 픽셀 영역(2610)의 상이한 서브-픽셀(들)(264x)에 대응하는 발광 영역(들)(1910)의 측면 양태(410)에서 NIC(810) 및/또는 NPC(1120)와 같은 적어도 하나의 선택적 코팅(710)의 증착을 통한 적어도 하나의 전도성 코팅(830)의 선택적 증착은 각각의 발광 영역(1910)에서 광학 미세공동 효과의 제어 및/또는 변조를 가능하게 하여 방출 스펙트럼, 광도 및/또는 밝기의 각도 의존성 및/또는 방출된 광의 색상 이동을 제한 없이 포함하는 서브-픽셀(264x) 기반의 바람직한 광학 미세공동 효과를 최적화할 수 있다.

[0683] 이러한 효과는 서로 독립적으로 서브-픽셀(들)(264x)의 각각의 발광 영역(1910)에 배치된 NIC(810) 및/또는 NPC(1120)와 같은 선택적 코팅(710)의 두께를 조절함으로써 제어될 수 있다. 비제한적인 예로서, 청색 서브-픽셀(2643) 위에 배치된 NIC(810)의 두께는 녹색 서브-픽셀(2642) 위에 배치된 NIC(810)의 두께보다 얇을 수 있으며, 녹색 서브 픽셀(2642) 위에 배치된 NIC의 두께는 적색 서브 픽셀(2641) 위에 배치된 NIC(810)의 두께보다 얇을 수 있다.

[0684] 일부 비제한적인 예에서, 이러한 효과는 선택적 코팅(710)뿐만 아니라 서브-픽셀(들)(264x)의 각각의 발광 영역(1910)의 부분(들)에 증착된 전도성 코팅(830)의 두께를 독립적으로 조절함으로써 훨씬 더 범위로 제어될 수 있다.

[0685] 이러한 메커니즘은 **도 28a 내지 도 28d**의 개략도에 도시되어 있다. 이러한 다이어그램은 일반적으로 2800으로 표시된 디바이스(100)의 예시적인 버전을 제조하는 다양한 단계를 도시한다.

[0686] **도 28a**는 디바이스(2800)를 제조하는 단계(2810)를 도시한다. 단계(2810)에서, 기판(110)이 제공된다. 기판(110)은 제1 발광 영역(1910a) 및 제2 발광 영역(1910b)을 포함한다. 일부 비제한적인 예에서, 제1 발광 영역(1910a) 및/또는 제2 발광 영역(1910b)은 적어도 하나의 비-발광 영역(1920a-1920c)에 의해 둘러싸이고/싸이거나 이격될 수 있다. 일부 비제한적인 예에서, 제1 발광 영역(1910a) 및/또는 제2 발광 영역(1910b)은 각각 (서브-) 픽셀(340/264x)에 대응할 수 있다.

[0687] **도 28b**는 디바이스(2800)를 제조하는 단계(2820)를 도시한다. 단계(2820)에서, 초기 전도성 코팅(830_0)은 하부 물질, 이 경우에는 기판(110)의 노출된 층 표면(111) 상에 증착된다. 초기 전도성 코팅(830_0)은 제1 발광 영역(1910a) 및 제2 발광 영역(1910b) 전체에 걸쳐 증착된다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)은 비-발광 영역(1920a-1920c) 중 적어도 하나에 걸쳐 증착된다.

[0688] 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다.

[0689] **도 28c**는 디바이스(2800)를 제조하는 단계(2830)를 도시한다. 단계(2830)에서, NIC(810)는 초기 전도성 코팅(830_0)의 제1 부분 위에 선택적으로 증착된다. 도면에 도시된 바와 같이, 일부 비제한적인 예에서, NIC(810)는 제1 발광 영역(1910a) 전체에 걸쳐 증착되는 반면, 일부 비제한적인 예에서, 제2 발광 영역(1910b) 및/또는 일부 비제한적인 예에서 적어도 하나의 비-발광 영역(1920a-1920c)에는 NIC(810)가 실질적으로 없다.

[0690] **도 28d**는 디바이스(2800)를 제조하는 단계(2840)를 도시한다. 단계(2840)에서, 제1 전도성 코팅(830a)은 NIC(810)가 실질적으로 없는 디바이스(2800)의 제2 부분 전체에 걸쳐 증착될 수 있다. 일부 비제한적인 예에서, 제1 전도성 코팅(830a)은 제2 발광 영역(1910b) 및/또는 일부 비제한적인 예에서는 적어도 하나의 비-발광 영역(1920a-1920c) 전체에 걸쳐 증착될 수 있다.

[0691] 당업자는 **도 28d**에 도시되고 **도 7 및 도 8**, **도 11a 및 도 11b** 및/또는 **도 12a 내지 도 12c** 중 임의의 하나 이상과 관련하여 상세하게 설명된 증발 공정이, 도시되지는 않았지만 예시의 단순성을 위해, **도 28a 내지 도 28c**에서 설명된 전술한 단계 중 임의의 하나 이상의 단계에서 동등하게 증착될 수 있다는 것을 이해할 것이다.

[0692] 당업자는 디바이스(2800)의 제조 방법이, 일부 비제한적인 예에서, 예시의 단순성을 위해 도시되지 않은 추가의

단계들을 포함할 수 있다는 것을 이해할 것이다. 이러한 추가의 단계는 하나 이상의 NIC(810)를 증착하는 단계, 하나 이상의 NPC(1120)를 증착하는 단계, 하나 이상의 추가의 전도성 코팅(830)을 증착하는 단계, 아웃커플링 코팅을 증착하는 단계 및/또는 디바이스(2800)의 캡슐화 단계를 제한 없이 포함할 수 있다.

[0693] 당업자는 디바이스(2800)의 제조 방법이 제1 발광 영역(1910a) 및 제2 발광 영역(1910b)과 관련하여 설명되고 도시되었지만, 일부 비제한적인 예에서, 그로부터 유도된 원리가 둘 초과의 발광 영역(1910)을 갖는 디바이스의 제조 시에 동등하게 증착될 수 있다는 것을 이해할 것이다.

[0694] 일부 비제한적인 예에서, 이러한 원리는, 일부 비제한적인 예에서, 상이한 방출 스펙트럼을 갖는 OLED 디스플레이 디바이스(100)에서, 서브-픽셀(들)(264x)에 대응하는 방출 영역(들)(1910)에 대한 다양한 두께의 전도성 코팅(들)의 증착 시에 증착될 수 있다. 일부 비제한적인 예에서, 제1 발광 영역(1910a)은 제1 파장 및/또는 방출 스펙트럼의 광을 방출하도록 구성된 서브-픽셀(264x)에 대응할 수 있고/있거나, 일부 비제한적인 예에서는, 제2 발광 영역(1910b)는 제2 파장 및/또는 방출 스펙트럼의 광을 방출하도록 구성된 서브-픽셀(264x)에 대응할 수 있다. 일부 비제한적인 예에서, 디바이스(2800)는 제3 파장 및/또는 방출 스펙트럼의 광을 방출하도록 구성된 서브-픽셀(264x)에 대응할 수 있는 제3 방출 영역(1910c)(**도 29a**)을 포함할 수 있다.

[0695] 일부 비제한적인 예에서, 제1 파장은 제2 파장 및/또는 제3 파장 중 적어도 하나보다 작거나, 크거나, 및/또는 같을 수 있다. 일부 비제한적인 예에서, 제2 파장은 제1 파장 및/또는 제3 파장 중 적어도 하나보다 작거나, 크거나, 및/또는 같을 수 있다. 일부 비제한적인 예에서, 제3 파장은 제1 파장 및/또는 제2 파장 중 적어도 하나보다 작거나, 크거나, 및/또는 같을 수 있다.

[0696] 일부 비제한적인 예에서, 디바이스(2800)는 또한 일부 비제한적인 예에서 제1 발광 영역(1910a), 제2 발광 영역(1910b) 및/또는 제3 발광 영역(1910c) 중 적어도 하나와 실질적으로 동일한 파장 및/또는 방출 스펙트럼을 갖는 광을 방출하도록 구성될 수 있는 적어도 하나의 추가의 발광 영역(1910)(도시되지 않음)을 포함할 수 있다.

[0697] 일부 비제한적인 예에서, NIC(810)는 제1 발광 영역(1910a)의 적어도 하나의 반도체 층(130)을 증착하는데 또한 사용될 수도 있는 섀도우 마스크를 사용하여 선택적으로 증착될 수 있다. 일부 비제한적인 예에서, 섀도우 마스크의 이러한 공유 사용은 광학 미세공동 효과(들)가 비용 효율적인 방식으로 각각의 서브-픽셀(264x)에 대해 조정되는 것을 허용할 수 있다.

[0698] 변조된 미세공동 효과를 갖는 소정 픽셀(340)의 서브-픽셀(들)(264x)을 갖는 디바이스(100)의 예시적인 버전(2900)을 생성하기 위한 이러한 메커니즘의 사용 방법이 **도 29a 내지 도 29d**에 설명되어 있다.

[0699] **도 29a**에서, 디바이스(2900)의 제조 단계(2810)는 기판(110), TFT 절연층(280) 및 TFT 절연층(280)의 표면 상에 형성된 복수의 제1 전극(120a-120c)을 포함하는 것으로 도시되어 있다.

[0700] 기판(110)은 베이스 기판(112)(예시의 편의상 도시되지 않음) 및/또는 실질적으로 그들 아래에 위치되고 그의 연관된 제1 전극(120a-120c)에 전기적으로 결합된 대응하는 서브-픽셀(264x)을 각각 갖는 방출 영역(1910a-1910c)에 대응하고 이를 구동하기 위한 적어도 하나의 TFT 구조(200a-200c)를 포함할 수 있다. PDL(들)(440a-440d)은 발광 영역(들)(1910a-1910c)을 정의하기 위해 기판(110) 위에 형성된다. PDL(들)(440a-440d)은 그들 각각의 제1 전극(120a-120c)의 에지를 덮는다.

[0701] 일부 비제한적인 예에서, 적어도 하나의 반도체 층(130a-130c)은 그들 각각의 제1 전극(120a-120c)의 노출된 영역(들) 위에 증착되고, 일부 비제한적인 예에서는, 적어도 주변 PDL(440a-440d)의 부분 위에 증착된다.

[0702] 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)은 적어도 하나의 반도체 층(들)(130a-130c) 위에 증착될 수 있다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다. 일부 비제한적인 예에서, 이러한 증착은, 일부 비제한적인 예에서는 공통 전극일 수 있는 적어도 제1 발광 영역(1910a)을 위한 제2 전극(140a)(도시되지 않음)의 제1 층을 형성하기 위해, 디바이스(2900)의 전체 노출된 층 표면(111)을 일부 비제한적인 예에서는 Mg일 수 있는 초기 전도성 코팅(830_0)의 증기 플럭스에 노출시켜 적어도 하나의 반도체 층(들)(130a-130c) 위에 초기 전도성 코팅(830_0)을 증착시킴으로써 수행될 수 있다. 이러한 공통 전극은 제1 발광 영역(1910a)에서 제1 두께(t_{c1})를 갖는다. 제1 두께(t_{c1})는 초기 전도성 코팅(830_0)의 두께에 대응할 수 있다.

[0703] 일부 비제한적인 예에서, 제1 NIC(810a)는 제1 발광 영역(1910a)을 포함하는 디바이스(2810)의 제1 부분 위에

선택적으로 증착된다.

[0704] 일부 비제한적인 예에서, 제1 전도성 코팅(830a)은 디바이스(2900) 위에 증착될 수 있다. 일부 비제한적인 예에서, 제1 전도성 코팅(830a)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다. 일부 비제한적인 예에서, 이러한 증착은, 제1 전도성 코팅(830a)이 제1 NIC(810a)가 실질적으로 없는 초기 전도성 코팅(830_0)의 제2 부분(들) 상에 증착되어 일부 비제한적인 예에서는 공통 전극일 수 있는 적어도 제2 발광 영역(1910b)을 위한 제2 전극(140b)(도시되지 않음)의 제2 층을 형성하도록, 디바이스(2810)의 전체 노출된 층 표면(111)을 일부 비제한적인 예에서는 Mg일 수 있는 제1 전도성 코팅(830a)의 증기 플럭스에 노출시켜 제1 NIC(810a), 일부 예에서는 제2 및 제3 발광 영역(1910b, 1910c) 및/또는 적어도 PDL(440a-440d)이 놓여 있는 비-발광 영역(들)(1920)의 부분(들)이 실질적으로 없는 초기 전도성 코팅(830_0) 위에 제1 전도성 코팅(830a)을 증착시킴으로써 수행될 수 있다. 이러한 공통 전극은 제2 발광 영역(1910b)에서 제2 두께(t_{c2})를 갖는다. 제2 두께(t_{c2})는 초기 전도성 코팅(830_0) 및 제1 전도성 코팅(830a)의 결합된 두께에 대응할 수 있고 일부 비제한적인 예에서는 제1 두께(t_{c1})보다 더 클 수 있다.

[0705] **도 29b**에서, 디바이스(2900)의 제조 단계(2920)가 도시된다.

[0706] 일부 비제한적인 예에서, 제2 NIC(810b)는 제2 발광 영역(1910b)을 포함하는 디바이스(2900)의 추가의 제1 부분 위에 선택적으로 증착된다.

[0707] 일부 비제한적인 예에서, 제2 전도성 코팅(830b)은 디바이스(2900) 위에 증착될 수 있다. 일부 비제한적인 예에서, 제2 전도성 코팅(830b)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다. 일부 비제한적인 예에서, 이러한 증착은, 제2 전도성 코팅(830b)이 제2 NIC(810b)가 실질적으로 없는 제1 전도성 코팅(830a)의 제2 부분(들) 상에 증착되어 일부 비제한적인 예에서는 공통 전극일 수 있는 적어도 제3 발광 영역(1910c)을 위한 제2 전극(140c)(도시되지 않음)의 제3 층을 형성하도록, 디바이스(2900)의 전체 노출된 층 표면(111)을 일부 비제한적인 예에서는 Mg일 수 있는 제2 전도성 코팅(830b)의 증기 플럭스에 노출시켜 제1 NIC(810a) 또는 제2 NIC(810b) 중 어느 하나, 일부 예에서는 제3 발광 영역(1910c) 및/또는 적어도 PDL(440a-440d)이 놓여 있는 비-발광 영역(1920)의 부분(들)이 실질적으로 없는 제1 전도성 코팅(830a) 위에 제2 전도성 코팅(830b)을 증착시킴으로써 수행될 수 있다. 이러한 공통 전극은 제3 발광 영역(1910c)에서 제3 두께(t_{c3})를 갖는다. 제3 두께(t_{c3})는 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a) 및 제2 전도성 코팅(830b)의 결합된 두께에 대응할 수 있고 일부 비제한적인 예에서는 제1 두께(t_{c1}) 및 제2 두께(t_{c2}) 중 어느 하나 또는 둘 모두보다 클 수 있다.

[0708] **도 29c**에서, 디바이스(2900)의 제조 단계(2930)가 도시된다.

[0709] 일부 비제한적인 예에서, 제3 NIC(810c)는 제3 발광 영역(1910b)을 포함하는 디바이스(2900)의 추가의 제1 부분 위에 선택적으로 증착된다.

[0710] **도 29d**에서, 디바이스(2900)의 제조 단계(2940)가 도시된다.

[0711] 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)은 그의 이웃하는 발광 영역(1910a-1910c) 사이의 디바이스(2900)의 비-발광 영역(들)(1920) 내에 배치되고 일부 비제한적인 예에서는 PDL(440a-440d) 위에 배치된다. 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)을 증착하는 데 사용되는 전도성 코팅(830)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다. 일부 비제한적인 예에서, 이러한 증착은, 전도성 코팅(830)이 제1 NIC(810a), 제2 NIC(810b) 및/또는 제3 NIC(810c) 중 어느 하나가 실질적으로 없는, 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a) 및/또는 제2 전도성 코팅(830b)의 노출된 부분(들)을 포함하는 추가의 제2 부분 상에 증착되어 적어도 하나의 보조 전극(1750)을 형성하도록, 디바이스(2900)의 전체 노출된 층 표면(111)을 일부 비제한적인 예에서는 Mg일 수 있는 전도성 코팅 물질(831)의 증기 플럭스에 노출시켜 제1 NIC(810a), 제2 NIC(810b) 및/또는 제3 NIC(810c) 중 어느 하나가 실질적으로 없는 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a) 및 제2 전도성 코팅(830b)의 노출된 부분 위에 전도성 코팅(830)을 증착시킴으로써 수행될 수 있다. 적어도 하나의 보조 전극(1750) 각각은 제2 전극(140a-140c) 각각에 전기적으로 결합된다. 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750) 각각은 이러한 제2 전극(140a-140c)과 물리적으로 접촉한다.

[0712] 일부 비제한적인 예에서, 제1 발광 영역(1910a), 제2 발광 영역(1910b) 및 제3 발광 영역(1910c)에는 적어도 하

나의 보조 전극(1750)을 형성하는 데 사용되는 물질이 실질적으로 없을 수 있다.

[0713] 일부 비제한적인 예에서, 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a) 및/또는 제2 전도성 코팅(830b) 중 적어도 하나는 적어도 전자기 스펙트럼의 가시 파장 범위의 부분에서 투과성 및/또는 실질적으로 투명할 수 있다. 따라서, 제1 전도성 코팅(830a) 및/또는 제2 전도성 코팅(830b)(및/또는 임의의 추가의 전도성 코팅(들)(830))이 초기 전도성 코팅(830_0)의 상부에 배치되어 다중 코팅 전극(120, 140, 1750)을 형성하는 경우에도 또한 적어도 전자기 스펙트럼의 가시 파장 범위의 부분에서 투과성 및/또는 실질적으로 투명할 수 있다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 제2 전도성 코팅(830b), 임의의 추가의 전도성 코팅(들)(830), 및/또는 다중 코팅 전극(120, 140, 1750) 중 임의의 하나 이상의 투과율은 전자기 스펙트럼의 가시 파장 범위의 적어도 일부에서 약 30% 초과, 약 40% 초과, 약 45% 초과, 약 50% 초과, 약 60% 초과, 약 70% 초과, 약 75% 초과, 및/또는 약 80% 초과일 수 있다.

[0714] 일부 비제한적인 예에서, 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a) 및/또는 제2 전도성 코팅(830b)의 두께는 상대적으로 높은 투과율을 유지하기 위해 상대적으로 얇게 만들어질 수 있다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)의 두께는 약 5 내지 30 nm, 약 8 내지 25 nm, 및/또는 약 10 내지 20 nm일 수 있다. 일부 비제한적인 예에서, 제1 전도성 코팅(830a)의 두께는 약 1 내지 25 nm, 약 1 내지 20 nm, 약 1 내지 15 nm, 약 1 내지 10 nm, 및/또는 약 3 내지 6 nm일 수 있다. 일부 비제한적인 예에서, 제2 전도성 코팅(830b)의 두께는 약 1 내지 25 nm, 약 1 내지 20 nm, 약 1 내지 15 nm, 약 1 내지 10 nm, 및/또는 약 3 내지 6 nm일 수 있다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 제2 전도성 코팅(830b) 및/또는 임의의 추가의 전도성 코팅(들)(830)의 조합에 의해 형성된 다중 코팅 전극의 두께는 약 6 내지 35 nm, 약 10 내지 30 nm, 약 10 내지 25 nm 및/또는 약 12 내지 18 nm일 수 있다.

[0715] 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)의 두께는 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 제2 전도성 코팅(830b) 및/또는 공통 전극의 두께보다 더 클 수 있다. 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)의 두께는 약 50 nm 초과, 약 80 nm 초과, 약 100 nm 초과, 약 150 nm 초과, 약 200 nm 초과, 약 300 nm 초과, 약 400 nm 초과, 약 500 nm 초과, 약 700 nm 초과, 약 800 nm 초과, 약 1 μm 초과, 약 1.2 μm 초과, 약 1.5 μm 초과, 약 2 μm 초과, 약 2.5 μm 초과, 및/또는 약 3 μm 초과일 수 있다.

[0716] 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)은 실질적으로 불투명 및/또는 불투명할 수 있다. 그러나, 적어도 하나의 보조 전극(1750)은 일부 비제한적인 예에서 디바이스(2900)의 비-발광 영역(1920)에 제공될 수 있기 때문에, 적어도 하나의 보조 전극(1750)은 상당한 광 간섭을 유발하거나 기여하지 않을 수 있다. 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)의 투과율은 적어도 전자기 스펙트럼의 가시 파장 범위의 부분에서 약 50% 미만, 약 70% 미만, 약 80% 미만, 약 85% 미만, 약 90% 미만, 및/또는 약 95% 미만일 수 있다.

[0717] 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)은 적어도 전자기 스펙트럼의 가시 파장 범위의 부분에서 광을 흡수할 수 있다.

[0718] 일부 비제한적인 예에서, 제1 발광 영역(1910a), 제2 발광 영역(1910b) 및/또는 제3 발광 영역(1910c)에 각각 배치된 제1 NIC(810a), 제2 NIC(810b), 및/또는 제3 NIC(810c)의 두께는 각각의 발광 영역(1910a-1910c)에서 방출되는 광의 색상 및/또는 방출 스펙트럼에 따라 달라질 수 있다. **도 29c 및 도 29d**에 도시된 바와 같이, 제1 NIC(810a)는 제1 NIC 두께(t_{n1})를 가질 수 있고, 제2 NIC(810b)는 제2 NIC 두께(t_{n2})를 가질 수 있고/있거나 제3 NIC(810c)는 제3 NIC 두께(t_{n3})를 가질 수 있다. 일부 비제한적인 예에서, 제1 NIC 두께(t_{n1}), 제2 NIC 두께(t_{n2}) 및/또는 제3 NIC 두께(t_{n3})는 서로 실질적으로 동일할 수 있다. 일부 비제한적인 예에서, 제1 NIC 두께(t_{n1}), 제2 NIC 두께(t_{n2}) 및/또는 제3 NIC 두께(t_{n3})는 서로 상이할 수 있다.

[0719] 일부 비제한적인 예에서, 디바이스(2900)는 또한 임의의 수의 발광 영역(1910a-1910c) 및/또는 그의 (서브-) 픽셀(들)(340/264x)을 포함할 수 있다. 일부 비제한적인 예에서, 디바이스는 복수의 픽셀(340)을 포함할 수 있으며, 여기서 각각의 픽셀(340)은 2개, 3개 또는 그 이상의 서브-픽셀(들)(264x)을 포함한다.

[0720] 당업자는 (서브-) 픽셀(들)(340/264x)의 특정 배열이 디바이스 설계에 따라 달라질 수 있다는 것을 이해할 것이다. 일부 비제한적인 예에서, 서브-픽셀(들)(264x)은 RGB side-by-side, 다이아몬드 및/또는 PenTile®을 제한 없이 포함하는 공지된 배열 방식에 따라 배열될 수 있다.

[0721] 전극을 보조 전극에 전기적으로 결합하기 위한 전도성 코팅

[0722] **도 30**을 참조하면, 디바이스(100)의 예시적인 버전(3000)의 단면도가 도시되어 있다. 디바이스(3000)는 측면 양태에서, 발광 영역(1910) 및 인접 비-발광 영역(1920)을 포함한다.

[0723] 일부 비제한적인 예에서, 발광 영역(1910)은 디바이스(3000)의 서브-픽셀(264x)에 대응한다. 발광 영역(1910)은 기판(110), 제1 전극(120), 제2 전극(140) 및 그들 사이에 배열된 적어도 하나의 반도체 층(130)을 갖는다.

[0724] 제1 전극(120)은 기판(110)의 노출된 층 표면(111) 상에 배치된다. 기판(110)은 제1 전극(120)에 전기적으로 결합되는 TFT 구조(200)를 포함한다. 제1 전극(120)의 에지 및/또는 둘레는 일반적으로는 적어도 하나의 PDL(440)로 덮힌다.

[0725] 비-발광 영역(1920)은 보조 전극(1750)을 갖고, 비-발광 영역(1920)의 제1 부분은 보조 전극(1750)의 측면 양태 위로 돌출하여 그와 중첩하도록 배열된 돌출 구조(3060)를 갖는다. 돌출 구조(3060)는 측방향으로 연장되어 보호된 영역(sheltered region)(3065)을 제공한다. 비제한적인 예로서, 돌출 구조(3060)는 보호된 영역(3065)을 제공하기 위해 적어도 일측 상의 보조 전극(1750)에서 및/또는 그 근처에서 리세스될 수 있다. 도시된 바와 같이, 보호된 영역(3065)은, 일부 비제한적인 예에서, 돌출 구조(3060)의 측면 돌출부와 중첩하는 PDL(440)의 표면 상의 영역에 대응한다. 비-발광 영역(1920)은 보호 영역(3065) 내에 배치된 전도성 코팅(830)을 추가로 포함한다. 전도성 코팅(830)은 보조 전극(1750)을 제2 전극(140)과 전기적으로 결합한다.

[0726] NIC(810a)는 제2 전극(140)의 노출된 층 표면(111) 위의 발광 영역(1910) 내에 배치된다. 일부 비제한적인 예에서, 돌출 구조(3060)의 노출된 층 표면(111)은 얇은 전도성 필름의 증착으로부터 잔류하는 얇은 전도성 필름(3040)으로 코팅되어 제2 전극(140)을 형성한다. 일부 비제한적인 예에서, 잔류하는 얇은 전도성 필름(3040)의 표면은 NIC(810)의 증착으로부터 잔류하는 NIC(810b)로 코팅된다.

[0727] 그러나, 보호된 영역(3065) 위의 돌출 구조(3060)의 측방향 돌출 때문에, 보호된 영역(3065)에는 NIC(810)가 실질적으로 없다. 따라서, 전도성 코팅(830)이 NIC(810)의 증착 후에 디바이스(3000) 상에 증착되는 경우, 전도성 코팅(830)은 보호된 영역(3065) 상에 증착되고/되거나 보호된 영역으로 이동하여 보조 전극(1750)을 제2 전극(140)에 결합시킨다.

[0728] 당업자는 비제한적인 예가 **도 30**에 도시되었고 다양한 변형이 나타날 수 있다는 것을 이해할 것이다. 비제한적인 예로서, 돌출 구조(3060)는 그의 측면 중 적어도 2개를 따라 보호된 영역(3065)을 제공할 수 있다. 일부 비제한적인 예에서, 돌출 구조(3060)는 생략될 수 있고 보조 전극(1750)은 보호된 영역(3065)을 정의하는 리세스된 부분을 포함할 수 있다. 일부 비제한적인 예에서, 보조 전극(1750) 및 전도성 코팅(830)은 PDL(440) 대신에 기판(110)의 표면 상에 직접 배치될 수 있다.

[0729] 광학 코팅의 선택적 증착

[0730] 일부 비제한적인 예에서, 일부 비제한적인 예에서 광전자 디바이스일 수 있는 디바이스(100)(도시되지 않음)는 기판(110), NIC(810) 및 광학 코팅을 포함한다. NIC(810)는 기판(110)의 제1 측면 부분을 덮는다. 광학 코팅은 기판의 제2 측면 부분을 덮는다. 적어도 NIC(810)의 부분에는 실질적으로 광학 코팅이 없다.

[0731] 일부 비제한적인 예에서, 광학 코팅은 플라즈몬 모드를 제한 없이 포함하는 디바이스(100)에 의해 투과, 방출 및/또는 흡수되는 광의 광학 특성을 조절하는 데 사용될 수 있다. 비제한적인 예로서, 광학 코팅은 광학 필터, 인덱스 매칭 코팅, 광학 아웃커플링 코팅, 산란층, 회절 격자 및/또는 이들 부분으로 사용될 수 있다.

[0732] 일부 비제한적인 예에서, 광학 코팅은 총 광학 경로 길이 및/또는 그의 굴절률을 제한 없이 조정함으로써 디바이스(100)에서 적어도 하나의 광학 미세공동 효과를 조절하는 데 사용될 수 있다. 디바이스(100)의 적어도 하나의 광학 특성은 밝기의 각도 의존성 및/또는 그의 색상 이동을 제한 없이 포함하는 출력 광을 제한 없이 포함하는 적어도 하나의 광학 미세공동 효과를 조정함으로써 영향을 받을 수 있다. 일부 비제한적인 예에서, 광학 코팅은 비-전기적 구성요소일 수 있으며, 즉, 광학 코팅은 정상적인 디바이스 작동 중에 전류를 전도 및/또는 전달하도록 구성되지 않을 수 있다.

[0733] 일부 비제한적인 예에서, 광학 코팅은 전도성 코팅(830)으로 사용되는 임의의 물질로 형성될 수 있고/있거나 본원에서 설명된 전도성 코팅(830)을 증착하는 임의의 메커니즘을 사용할 수 있다.

[0734] NIC 및 전도성 코팅의 에지 효과

[0735] **도 31a 내지 도 31i**는 전도성 코팅(830)과의 증착 계면에서의 NIC(810)의 다양한 잠재적 거동을 설명한다.

[0736] **도 31a**를 참조하면, NIC 증착 경계에서 디바이스(100)의 예시적인 버전(3100)의 부분의 제1 예시가 도시되어 있다. 디바이스(3100)는 층 표면(111)을 갖는 기판(110)을 포함한다. NIC(810)는 층 표면(111)의 제1 부분(3110) 위에 증착된다. 전도성 코팅(830)은 층 표면(111)의 제2 부분(3120) 위에 증착된다. 도시된 바와 같이, 비제한적인 예로서, 제1 부분(3110) 및 제2 부분(3120)은 층 표면(111)의 별개의 비중첩 부분이다.

[0737] 전도성 코팅(830)은 제1 부분(830_1) 및 나머지 부분(830_2)을 포함한다. 도시된 바와 같이, 비제한적인 예로서, 전도성 코팅(830)의 제1 부분(830_1)은 제2 부분(3120)을 실질적으로 덮고 전도성 코팅(830)의 제2 부분(830_2)은 NIC(810)의 제1 부분 위로 부분적으로 돌출하고/하거나 그와 중첩된다.

[0738] 일부 비제한적인 예에서, NIC(810)는 그 표면(3111)이 전도성 코팅(830)을 형성하는 데 사용되는 물질에 대해 상대적으로 낮은 친화도 또는 초기 고착 확률(S_0)을 나타내도록 형성되기 때문에, 전도성 코팅(830)의 돌출 및/또는 중첩하는 제2 부분(830_2)과 NIC(810)의 표면(3111) 사이에 형성된 갭(3129)이 있다. 그 결과, 제2 부분(830_2)은 NIC(810)와 물리적으로 접촉하지 않고 단면 양태에서 갭(3129)에 의해 그로부터 이격된다. 일부 비제한적인 예에서, 전도성 코팅(830)의 제1 부분(830_1)은 제1 부분(3110)과 제2 부분(3120) 사이의 계면 및/또는 경계에서 NIC(810)와 물리적으로 접촉할 수 있다.

[0739] 일부 비제한적인 예에서, 전도성 코팅(830)의 돌출 및/또는 중첩하는 제2 부분(830_2)은 전도성 코팅(830)의 두께(t_1)와 유사한 정도로 NIC(810) 위로 측방향으로 연장될 수 있다. 비제한적인 예로서, 도시된 바와 같이, 제2 부분(830_2)의 폭(w_2)은 두께(t_1)에 필적할 수 있다. 일부 비제한적인 예에서, w_2:t_1의 비율은 1:1 내지 약 1:3, 약 1:1 내지 약 1:1.5, 및/또는 약 1:1 내지 약 1:2의 범위일 수 있다. 두께(t_1)는 일부 비제한적인 예에서는 전도성 코팅(830) 전체에 걸쳐 비교적 균일할 수 있는 반면, 일부 비제한적인 예에서, 제2 부분(830_2)이 NIC(810)(즉, w_2)와 돌출 및/또는 중첩하는 정도는 층 표면(111)의 상이한 부분에 걸쳐 어느 정도 범위까지 변할 수 있다.

[0740] 이제 **도 31b**를 참조하면, 전도성 코팅(830)은 제2 부분(830_2)과 NIC(810) 사이에 배치된 제3 부분(830_3)을 포함하는 것으로 도시되어 있다. 도시된 바와 같이, 전도성 코팅(830)의 제2 부분(830_2)은 전도성 코팅(830)의 제3 부분(830_3)으로부터 측방향 위로 연장되어 그로부터 이격되고, 제3 부분(830_3)은 NIC(810)의 표면(3111)과 물리적으로 접촉할 수 있다. 전도성 코팅(830)의 제3 부분(830_3)의 두께(t_3)는 그의 제1 부분(830_1)의 두께(t_1)보다 더 작을 수 있고, 일부 비제한적인 예에서는 실질적으로 더 작을 수 있다. 일부 비제한적인 예에서, 제3 부분(830_3)의 폭(w_3)은 제2 부분(830_2)의 폭(w_2)보다 클 수 있다. 일부 비제한적인 예에서, 제3 부분(830_3)은 제2 부분(830_2)보다 더 큰 정도로 NIC(810)와 중첩하도록 측방향으로 연장될 수 있다. 일부 비제한적인 예에서, w_3:t_1의 비는 약 1:2 내지 약 3:1 및/또는 약 1:1.2 내지 약 2.5:1의 범위일 수 있다. 두께(t_1)는 일부 비제한적인 예에서는 전도성 코팅(830) 전체에 걸쳐 비교적 균일할 수 있는 반면, 일부 비제한적인 예에서, 제3 부분(830_3)이 NIC(810)(즉, w_3)와 돌출 및/또는 중첩하는 정도는 층 표면(111)의 상이한 부분에 걸쳐 어느 정도 범위까지 변할 수 있다.

[0741] 상기 제3 부분(830_3)의 두께(t_3)는 상기 제1 부분(830_1)의 두께(t_1)의 약 5% 이하 및/또는 미만일 수 있다. 비제한적인 예로서, t_3은 t_1의 약 4% 이하 및/또는 미만, 약 3% 이하 및/또는 미만, 약 2% 이하 및/또는 미만, 약 1% 이하 및/또는 미만 또는 약 0.5% 이하 및/또는 미만일 수 있다. 도시된 바와 같이, 박막으로 형성되는 제3 부분(830_3) 대신에 및/또는 이에 더하여, 전도성 코팅(830)의 물질은 NIC(810)의 부분 상에 섬 및/또는 단절된 클러스터로서 형성될 수 있다. 비제한적인 예로서, 이러한 섬 및/또는 단절된 클러스터는 섬 및/또는 클러스터가 연속적인 층을 형성하지 않도록 서로 물리적으로 분리된 피처를 포함할 수 있다.

[0742] 이제 **도 31c**를 참조하면, NPC(1120)는 기판(110)과 전도성 코팅(830) 사이에 배치된다. NPC(1120)는 전도성 코팅(830)의 제1 부분(830_1)과 기판(110)의 제2 부분(3120) 사이에 배치된다. NPC(1120)는 NIC(810)가 증착된 제1 부분(3110)이 아닌 제2 부분(3120)에 배치된 것으로 도시된다. NPC(1120)는 NPC(1120)와 전도성 코팅(830) 사

이의 계면 및/또는 경계에서 NPC(1120)의 표면이 전도성 코팅(830)의 물질에 대해 상대적으로 높은 친화도 또는 초기 고착 확률(S_0)을 나타내도록 형성될 수 있다. 이와 같이, NPC(1120)의 존재는 증착 동안 전도성 코팅(830)의 형성 및/또는 성장을 촉진할 수 있다.

[0743] 이제 **도 31d**를 참조하면, NPC(1120)는 기판(110)의 제1 부분(3110) 및 제2 부분(3120) 모두에 배치되고 NIC(810)는 제1 부분(3110) 상에 배치된 NPC(1120)의 부분을 덮는다. NPC(1120)의 다른 부분에는 NIC(810)이 실질적으로 없으며, 전도성 코팅(830)은 NPC(1120)의 그러한 부분을 덮는다.

[0744] 이제 **도 31e**를 참조하면, 전도성 코팅(830)은 기판(110)의 제3 부분(3130)에서 NIC(810)의 부분과 부분적으로 중첩되는 것으로 도시되어 있다. 일부 비제한적인 예에서, 제1 부분(830_1) 및 제2 부분(830_2)에 더하여, 전도성 코팅(830)은 제4 부분(830_4)을 추가로 포함한다. 도시된 바와 같이, 전도성 코팅(830)의 제4 부분(830_4)은 전도성 코팅(830)의 제1 부분(830_1)과 제2 부분(830_2) 사이에 배치되고 제4 부분(830_4)은 NIC(810)의 층 표면(3111)과 물리적으로 접촉할 수 있다. 일부 비제한적인 예에서, 제3 부분(3130)의 중첩은 오픈 마스크 및/또는 마스크 없는 증착 공정 동안 전도성 코팅(830)의 측면 성장의 결과로서 형성될 수 있다. 일부 비제한적인 예에서, NIC(810)의 층 표면(3111)은 전도성 코팅(830)의 물질에 대해 비교적 낮은 초기 고착 확률(S_0)을 나타낼 수 있으며, 따라서 층 표면(3111)을 핵 생성하는 물질의 확률은 낮고, 전도성 코팅(830)의 두께가 증가함에 따라 전도성 코팅(830)은 또한 측면으로 성장할 수 있고 도시된 바와 같이 NIC(810)의 서브세트를 덮을 수 있다.

[0745] 이제 **도 31f**를 참조하면, 기판(110)의 제1 부분(3110)은 NIC(810)로 코팅되고 그에 인접한 제2 부분(3120)은 전도성 코팅(830)으로 코팅된다. 일부 비제한적인 예에서, 전도성 코팅(830)의 오픈 마스크 및/또는 마스크 없는 증착을 수행하면 전도성 코팅(830)과 NIC(810) 사이의 계면에서 및/또는 계면 근처에서 테이퍼진 단면 프로파일을 나타내는 전도성 코팅(830)을 생성할 수 있는 것으로 관찰되었다.

[0746] 일부 비제한적인 예에서, 계면에서 및/또는 계면 근처에서 전도성 코팅(830)의 두께는 전도성 코팅(830)의 평균 두께보다 작을 수 있다. 이러한 테이퍼진 프로파일은 만곡 및/또는 아치형인 것으로 도시되어 있지만, 일부 비제한적인 예에서, 프로파일은 일부 비제한적 예에서는 실질적으로 선형 및/또는 비선형일 수 있다. 비제한적인 예로서, 전도성 코팅(830)의 두께는 계면에 근접한 영역에서 실질적으로 선형, 지수형 및/또는 2차 방식으로 제한 없이 감소할 수 있다.

[0747] 전도성 코팅(830)과 NIC(810) 사이의 계면에서 및/또는 계면 근처에서 전도성 코팅(830)의 접촉각(θ_c)은 상대 친화도 및/또는 초기 고착 확률(S_0)과 같은 NIC(810)의 특성에 따라 변할 수 있는 것으로 관찰되었다. 핵의 접촉각(θ_c)은 일부 비제한적인 예에서 증착에 의해 형성된 전도성 코팅(830)의 박막 접촉각을 지시할 수 있다고 추가로 가정된다. 비제한적인 예로서 **도 31f**를 참조하면, 접촉각(θ_c)은 전도성 코팅(830)과 NIC(810) 사이의 계면에서 또는 계면 근처에서 전도성 코팅(830)의 접선의 기울기를 측정함으로써 결정될 수 있다. 일부 비제한적인 예에서, 전도성 코팅(830)의 단면 테이퍼 프로파일이 실질적으로 선형인 경우, 접촉각(θ_c)은 계면에서 및/또는 계면 근처에서 전도성 코팅(830)의 기울기를 측정함으로써 결정될 수 있다. 당업자가 이해하는 바와 같이, 접촉각(θ_c)은 일반적으로는 하부 표면의 각도에 대해 측정될 수 있다. 본 개시내용에서, 예시의 단순성을 위해, 코팅(810, 830)은 평면 표면 상에 증착된 것으로 도시된다. 그러나, 당업자는 그러한 코팅(810, 830)이 비평면 표면 상에 증착될 수 있다는 것을 이해할 것이다.

[0748] 일부 비제한적인 예에서, 전도성 코팅(830)의 접촉각(θ_c)은 약 90° 보다 클 수 있다. 이제 **도 31g**를 참조하면, 비제한적인 예로서, 전도성 코팅(830)은 NIC(810)와 전도성 코팅(830) 사이의 계면을 지나 연장되는 부분을 포함하는 것으로 도시되고 갭(3129)만큼 NIC로부터 이격된다. 이러한 시나리오에서, 접촉각(θ_c)은 일부 비제한적인 예에서 약 90° 초과일 수 있다.

[0749] 일부 비제한적인 예에서, 비교적 높은 접촉각(θ_c)을 나타내는 전도성 코팅(830)을 형성하는 것이 유리할 수 있다. 비제한적인 예로서, 접촉각(θ_c)은 약 10° 초과, 약 15° 초과, 약 20° 초과, 약 25° 초과, 약 30° 초과, 약 35° 초과, 약 40° 초과, 약 50° 초과, 약 70° 초과, 약 70° 초과, 약 75° 초과, 및/또는 약 80° 초과일 수 있다. 비제한적인 예로서, 상대적으로 높은 접촉각(θ_c)을 갖는 전도성 코팅(830)은 상대적으로 높은 종횡비를 유지하면서 미세하게 패턴화된 피처의 생성을 가능하게 할 수 있다. 비제한적인 예로서, 약 90° 보다

큰 접촉각(θ_c)을 나타내는 전도성 코팅(830)을 형성하는 것이 바람직할 수 있다. 비제한적인 예로서, 접촉각(θ_c)은 약 90° 초과, 약 95° 초과, 약 100° 초과, 약 105° 초과, 약 110° 초과 약 120° 초과, 약 130° 초과, 약 135° 초과, 약 140° 초과, 약 145° 초과, 약 150° 초과 및/또는 약 170° 초과일 수 있다.

[0750] 이제 **도 31h 내지 도 31i**를 참조하면, 전도성 코팅(830)은 기판(100)의 제1 부분(3110)과 제2 부분(3120) 사이에 배치된 제3 부분(3130)에서 NIC(810)의 부분과 부분적으로 중첩된다. 도시된 바와 같이, NIC(810)의 서브세트와 부분적으로 중첩하는 전도성 코팅(830)의 서브세트는 그의 표면(3111)과 물리적으로 접촉할 수 있다. 일부 비제한적인 예에서, 제3 영역(3130)의 중첩은 오픈 마스크 및/또는 마스크 없는 증착 공정 동안 전도성 코팅(830)의 측면 성장의 결과로서 형성될 수 있다. 일부 비제한적인 예에서, NIC(810)의 표면(3111)은 전도성 코팅(830)의 물질에 대해 상대적으로 낮은 친화도 또는 초기 고착 확률(S_0)을 나타낼 수 있고 따라서 층 표면(3111) 상에서 핵을 생성하는 물질의 확률은 낮지만, 전도성 코팅(830)의 두께가 증가함에 따라 전도성 코팅(830)도 또한 측면으로 성장할 수 있고 NIC(810)의 서브세트를 덮을 수 있다.

[0751] **도 31h 내지 도 31i**의 경우, 전도성 코팅(830)의 접촉각(θ_c)은 도시된 바와 같이 전도성 코팅과 NIC(810) 사이의 계면 근처의 그의 에지에서 측정될 수 있다. **도 31i**에서, 접촉각(θ_c)은 약 90° 보다 클 수 있고, 이는 일부 비제한적인 예에서 갭(3129)만큼 NIC(810)로부터 이격된 전도성 코팅(830)의 서브세트를 생성할 수 있다.

[0752] 개별 발광 영역에 맞게 조정된 캡핑 층

[0753] 일부 비제한적인 예에서, 광전자 디바이스(100)는 CPL(3610)을 포함하여 디바이스(100)에 의해 방출되는 광의 아웃커플링을 촉진할 수 있으며, 이에 따라 발광을 향상시키고/시키거나 각도 스펙트럼 분포(angular spectral distribution)를 조정하는 것을 제한 없이 포함하는 그의 EQE를 향상시킬 수 있다. 전형적으로, 이러한 CPL(3610)은 디바이스(100) 내부의 모든 발광 영역(1910)을 제한 없이 포함하여 실질적으로 디바이스(100)의 모든 측면 양태 전체에 걸쳐 연장하는 층을 포함한다.

[0754] 일부 비제한적인 예에서, 이러한 CPL(3610)은 전형적으로 공통 CPL 물질로 형성되고, 일부 비제한적인 예에서는, 실질적으로 공통 두께를 갖기 때문에, 개별 발광 영역(1910) 및 그와 관련된 방출 파장 스펙트럼을 조정하기 위해 이러한 CPL(3610)을 사용하는 것은 실질적으로 제한될 수 있다.

[0755] 당업자는 이러한 CPL(3610)이 디바이스(100)의 복수의 층들 중 (적어도) 하나일 수 있다는 것을 이해할 것이다. 당업자는 CPL(3610) 및 이를 포함하는 CPL 물질은, 특히 필름으로서 및 CPL(3610)을 증착하는 데 사용되는 것과 실질적으로 유사한 조건 하에 및/또는 메커니즘에 의해 배치될 때, 대체로 유사한 광학 및/또는 기타 특성을 나타낼 수 있다는 것을 이해할 것이다.

[0756] 설명의 편의상, 본 개시내용에서, CPL(3610) 및 이를 구성하는 CPL 물질은 통칭하여 CPL(m)으로 지칭될 수 있으며, 이러한 용어에는 그의 특정 사례를 나타내는 문자가 부가될 수 있다.

[0757] 이제 대략적으로 **도 28c**에 대응하는 **도 36a**를 참조하면, 디바이스(2800)의 예시적인 버전(3600)을 제조하는 단계(3630)가 도시되어 있다.

[0758] 일부 비제한적인 예에서, 디바이스(3600)는, 각각 대응하는 파장 범위에서 개개의 발광 스펙트럼을 갖는 광을 방출하도록 구성되고 연관된 개시 파장(λ_{onset}) 및/또는 연관된 피크 파장(λ_{max})을 특징으로 할 수 있는 제1 발광 영역(1910a) 및 제2 발광 영역(1910b)을 포함하는 복수의 발광 영역(1910)을 포함한다.

[0759] 일부 비제한적인 예에서, 가시광선 스펙트럼의 R(적색) 부분에 있는 발광 스펙트럼은 600 nm 내지 약 640 nm의 파장 범위에 있을 수 있는 피크 파장(λ_{max})을 특징으로 할 수 있으며, 일부 비제한적인 예에서는 실질적으로 약 620 nm일 수 있다.

[0760] 일부 비제한적인 예에서, 가시광선 스펙트럼의 G(녹색) 부분에 있는 발광 스펙트럼은 510 nm 내지 약 540 nm의 파장 범위에 있을 수 있는 피크 파장(λ_{max})을 특징으로 할 수 있으며, 일부 비제한적인 예에서는 실질적으로 약 530 nm일 수 있다.

[0761] 일부 비제한적인 예에서, 가시광선 스펙트럼의 B(청색) 부분에 있는 발광 스펙트럼은 450 nm 내지 약 460 nm의 파장 범위에 있을 수 있는 피크 파장(λ_{max})을 특징으로 할 수 있으며, 일부 비제한적인 예에서는 실질적으로 약 455 nm일 수 있다.

[0762] 당업자는, 일부 비제한적인 예에서, 제1 발광 영역(1910a) 및/또는 제2 발광 영역(1910b)이 가시광선 스펙트럼의 R(적색) 부분에 있는 발광 스펙트럼을 갖는 광자를 방출하는 R(적색) 서브-픽셀(sub-pixel)(2641), 가시광선 스펙트럼의 G(녹색) 부분에 있는 방출 스펙트럼을 갖는 광자를 방출하는 G(녹색) 서브-픽셀(2642), 또는 가시광선 스펙트럼의 B(청색) 부분에 있는 방출 스펙트럼을 갖는 광자를 방출하는 B(청색) 서브-픽셀(2643) 중 어느 하나에 대응할 수 있다는 것을 이해할 것이다.

[0763] 단계(3630)에서, 제1 CPL(3610a)은 하부 물질의 노출된 층 표면(111)의 제1 부분 위에 선택적으로 증착된다. 일부 비제한적인 예에서, 하부 물질은 초기 전도성 코팅(830_0)일 수 있다. 도면에 도시된 바와 같이, 일부 비제한적인 예에서, 제1 CPL(3610a)을 증착하기 위한 CPL 물질은 제1 발광 영역(1910a) 전체에 걸쳐 증착되는 반면, 일부 비제한적인 예에서, 제2 발광 영역(1910b) 및/또는 일부 비제한적인 예에서 적어도 하나의 비-발광 영역(1920a-1920c)에는 제1 CPL(3610a)이 실질적으로 없다. 일부 비제한적인 예에서, 제1 CPL(3610a)은 비-발광 영역(1920a-1920c) 중 적어도 하나 위에 증착될 수 있다.

[0764] 일부 비제한적인 예에서, 제1 CPL(3610a)은 제1 발광 스펙트럼에 맞도록 조정된 광학 특성을 갖는다. 일부 비제한적인 예에서, 제1 CPL(3610a)의 두께, 형태, 및/또는 물질 조성은 제1 개시 파장($\lambda_{onset\ a}$) 및/또는 제1 피크 파장($\lambda_{max\ a}$) 중 적어도 하나를 제한 없이 포함하는 제1 발광 스펙트럼의 적어도 일부에 걸쳐 높은 굴절률을 제공하도록 조정된다.

[0765] 일부 비제한적인 예에서, 제1 CPL(3610a)은, 일부 비제한적인 예에서는 제1 피크 파장($\lambda_{max\ a}$)을 포함할 수 있는 제1 발광 스펙트럼의 적어도 일부에서 약 1.9 이상, 약 1.95 이상, 약 2.0 이상, 약 2.05 이상, 약 2.1 이상, 약 2.2 이상, 약 2.3 이상, 및/또는 약 2.5 이상의 굴절률을 갖는다.

[0766] 일부 비제한적인 예에서, 흡수 에지에서 및/또는 그 부근에서, 굴절률과 투과율 사이에 일반적으로 양(+)의 상관관계가 있을 수 있거나, 또는 다시 말해 흡수 에지에서 또는 그 근처에서 굴절률과 흡광도 사이에 일반적으로 음(-)의 상관관계가 있을 수 있다. 그 결과, 일부 비제한적인 예에서, 제1 CPL(3610a)의 광학 특성은 제1 CPL(3610a)의 흡수 에지가 제1 개시 파장($\lambda_{onset\ a}$)보다 약간 더 낮도록 조정된다.

[0767] 일부 비제한적인 예에서, 물질의 흡수 에지는 소광 계수(k)가 감소하고 0에 가까운 임계값에 접근하는 파장에 대응할 수 있다. 그 결과, 일부 비제한적인 예에서, 본원에서 개시되는 바와 같이 제1 CPL(3610a)의 흡수 에지를 참조하여 제1 CPL(3610a)의 광학 특성을 조정하는 것은 본원에서 개시되는 바와 같이 제1 발광 스펙트럼의 적어도 일부에 걸쳐 높은 굴절률을 제공하기 위한 대략적인 메커니즘으로 작용할 수 있다.

[0768] 결과적으로, 일부 비제한적인 예에서, 제1 CPL(3610a)은 제1 개시 파장($\lambda_{onset\ a}$)보다 짧은 파장에서 높은 제1 소광 계수(k_a)를 가질 수 있다. 일부 비제한적인 예에서, 제1 CPL(3610a)은 제1 개시 파장($\lambda_{onset\ a}$) 미만의 파장에서 약 0.1 이상, 0.3 이상, 약 0.5 이상, 약 0.75 이상, 약 0.8 이상, 및/또는 약 0.9 이상의 제1 소광 계수(k_a)를 가질 수 있다.

[0769] 일부 비제한적인 예에서, 제1 CPL(3610a)은, 초기 전도성 코팅(830_0)을 제한 없이 포함하는 하부 물질의 노출된 층 표면(111)에 대해 전도성 코팅 물질(831)에 대한 상대적으로 낮은 초기 고착 계수를 나타내고, 제1 발광 영역(1910a)을 포함하는 예시적인 디바이스(2800)의 초기 전도성 코팅(830_0)의 제1 부분 위에 선택적으로 증착되어 그 위에 제1 전도성 코팅(830a)이 증착되는 것을 억제한다는 점에서 패턴화 코팅(810)으로서 추가로 작용할 수 있다.

[0770] **도 36b**는 디바이스(3600)를 제조하는 단계(3640)를 도시한다. 단계(3620)에서, 제1 전도성 코팅(830a)은 디바이스(3600)의 전체 표면을 전도성 코팅 물질(831)의 증기상 플럭스에 노출시켜 이를 제1 CPL(3610a)이 실질적으로 결여된 디바이스(3600)의 제2 부분 위에 제1 전도성 코팅(830a)으로서 선택적으로 증착시킴으로써 증착될 수 있다.

[0771] 일부 비제한적인 예에서, 제1 전도성 코팅(830a)은 제2 발광 영역(1910b) 및/또는 일부 비제한적인 예에서는 적어도 하나의 비-발광 영역(1920a-1920c) 전체에 걸쳐 증착될 수 있다. 일부 비제한적인 예에서, 제1 전도성 코팅(830a)은 비-발광 영역(1920a-1920c) 중 적어도 하나 위에 증착될 수 있다.

[0772] 일부 비제한적인 예에서, 제1 전도성 코팅(830a)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증

착될 수 있다.

[0773] 당업자는, 제1 CPL(3610a)이 패턴화 코팅(810)으로서 작용하지 않는 일부 비제한적인 예에서, FMM이 없는 경우에 조차도 제1 전도성 코팅(830a)을 패턴화하기에 적절한 위치 및 적절한 때에 추가의 패턴화 코팅(810)(도시되지 않음)을 배치하여 원하는 위치에 증착시킬 수 있다는 것을 이해할 것이다.

[0774] 일부 비제한적인 예에서, 제1 전도성 코팅(830a)을 형성하는 데 사용되는 전도성 코팅 물질(831)은 TCO(ITO, FTO를 제한 없이 포함함)를 제한 없이 포함하는 투광성 전도성 층 및/또는 코팅, 비-금속 박막 필름, Mg, Al, Yb, Ag, Zn, 및/또는 Cd를 제한 없이 포함하는 금속 박막 필름, 및/또는 Mg:Ag, Mg:Yb를 제한 없이 포함하는 이들 중 임의의 것들을 함유하는 합금, 및/또는 부피 기준으로 약 1:10 내지 약 10:1 범위의 합금 조성을 갖는 이들의 조합, 및/또는 이들의 조합을 제한 없이 포함하는 이들의 조합을 형성하는 데 사용되는 다양한 물질을 포함할 수 있다. 제1 전도성 코팅(830a)은 다층 코팅에서 복수의 층 및/또는 코팅을 포함할 수 있다.

[0775] 일부 비제한적인 예에서, 제1 전도성 코팅(830a)을 형성하는 데 사용되는 전도성 코팅 물질(831)은 초기 전도성 코팅(830_0)을 형성하는 데 사용되는 전도성 코팅 물질(831)과 동일하고/하거나 상이할 수 있다.

[0776] 당업자는 **도 36b**에 도시되고 **도 7 및 도 8**, **도 11a 및 도 11b** 및/또는 **도 12a 내지 도 12c** 중 임의의 하나 이상과 관련하여 상세하게 설명된 증발 공정이, 도시되지는 않았지만 예시의 단순성을 위해, **도 28a 및 도 28b** 및/또는 **도 36a**에서 설명된 전술한 단계 중 임의의 하나 이상의 단계에서 동등하게 증착될 수 있다는 것을 이해할 것이다.

[0777] 당업자는 디바이스(3600)의 제조 방법이, 일부 비제한적인 예에서, 예시의 단순성을 위해 도시되지 않은 추가의 단계들을 포함할 수 있다는 것을 이해할 것이다. 이러한 추가의 단계는 하나 이상의 패턴화 코팅(810, 1120)을 증착하는 단계, 하나 이상의 CPL(3610)을 증착하는 단계, 하나 이상의 추가의 전도성 코팅(830)을 증착하는 단계, 아웃커플링 코팅을 증착하는 단계 및/또는 디바이스(2800)의 캡슐화 단계를 제한 없이 포함할 수 있다.

[0778] 당업자는, 일부 비제한적인 예에서, 복수의 발광 영역(1910)이 디바이스(3600)에 도시되어 있는 바와 같이 제1 발광 영역(1910a) 및 제2 발광 영역(1910b) 이상을 포함할 수 있다는 것을 이해할 것이다. 일부 비제한적인 예에서, 각각 대응하는 파장 범위에서 개개의 발광 스펙트럼을 갖는 광을 방출하도록 구성되고 연관된 개시 파장(λ_{onset}) 및/또는 연관된 피크 파장(λ_{max})을 특징으로 할 수 있는 3개 이상의 발광 영역(1910)이 있을 수 있다.

일부 비제한적인 예에서, 가시광선 스펙트럼의 R(적색) 부분에 있는 발광 스펙트럼을 갖는 광자를 방출하는 R(적색) 서브-픽셀(2641), 가시광선 스펙트럼의 G(녹색) 부분에 있는 방출 스펙트럼을 갖는 광자를 방출하는 G(녹색) 서브-픽셀(2642), 또는 가시광선 스펙트럼의 B(청색) 부분에 있는 방출 스펙트럼을 갖는 광자를 방출하는 B(청색) 서브-픽셀(2643)의 각각에 대응하는(특정 순서는 없음) 3개의 발광 영역(1910a, 1910b, 1910c)이 있을 수 있다.

[0779] 이제 **도 37a**를 참조하면, 대략적으로 **도 36b**에 대응하지만 비-발광 영역(1920a, 1920b, 1920c, 1920d)으로 둘러싸인 3개의 발광 영역(1910a, 1910b, 1910c)을 갖는 디바이스(3600)의 예시적인 버전(3700)을 제조하는 단계(3710)가 도시되어 있다.

[0780] 도면에 도시된 바와 같이, 제1 전도성 코팅(830a)은 디바이스(3700)의 전체 표면을 전도성 코팅 물질(831)의 증기상 플럭스에 노출시켜 이를 제1 CPL(3610a)이 실질적으로 결여된 디바이스(3700)의 제2 부분 위에 제1 전도성 코팅(830a)으로서 선택적으로 증착시킴으로써 증착될 수 있다. 일부 비제한적인 예에서, 제1 전도성 코팅(830a)은 제2 발광 영역(1910b) 및/또는 제3 발광 영역(1910c) 및/또는, 일부 비제한적인 예에서는, 적어도 하나의 비-발광 영역(1920a-1920d) 전체에 걸쳐 증착될 수 있다. 일부 비제한적인 예에서, 제1 전도성 코팅(830a)은 비-발광 영역(1920a-1920d) 중 적어도 하나 위에 증착될 수 있다.

[0781] **도 37b**는 디바이스(3700)를 제조하는 단계(3720)를 도시한다. 단계(3720)에서, 제2 CPL(3610b)은 제1 전도성 코팅(830a)의 제1 부분 위에 선택적으로 증착된다. 도면에 도시된 바와 같이, 일부 비제한적인 예에서, 제2 CPL(3610b)을 증착하기 위한 CPL 물질은 제2 발광 영역(1910b) 전체에 걸쳐 증착되는 반면, 일부 비제한적인 예에서, 제3 발광 영역(1910c) 및/또는 일부 비제한적인 예에서 적어도 하나의 비-발광 영역(1920a-1920d)에는 제2 CPL(3610b)이 실질적으로 없다. 일부 비제한적인 예에서, 제2 CPL(3610b)은 비-발광 영역(1920a-1920d) 중 적어도 하나 위에 증착될 수 있다.

[0782] 일부 비제한적인 예에서, 제2 CPL(3610b)의 두께, 형태, 및/또는 물질 조성은 제2 개시 파장($\lambda_{onset\ b}$) 및/또는 제2 피크 파장($\lambda_{max\ b}$) 중 적어도 하나를 제한 없이 포함하는 제2 발광 스펙트럼의 적어도 일부에 걸쳐 높은 굴

절률을 제공하도록 조정된다.

[0783] 일부 비제한적인 예에서, 제2 CPL(3610b)은, 일부 비제한적인 예에서는 제2 피크 파장($\lambda_{max\ b}$)을 포함할 수 있는 제2 발광 스펙트럼의 적어도 일부에서 약 1.9 이상, 약 1.95 이상, 약 2.0 이상, 약 2.05 이상, 약 2.1 이상, 약 2.2 이상, 약 2.3 이상, 및/또는 약 2.5 이상의 굴절률을 갖는다.

[0784] 일부 비제한적인 예에서, 제2 CPL(3610b)의 광학 특성은 제2 CPL(3610b)의 흡수 에지가 제2 개시 파장($\lambda_{onset\ b}$)보다 약간 더 낮도록 조정된다.

[0785] 일부 비제한적인 예에서, 물질의 흡수 에지는 소광 계수(k)가 0에 가까운 임계값에 접근하는 파장에 대응할 수 있다. 그 결과, 일부 비제한적인 예에서, 본원에서 개시되는 바와 같이 제2 CPL(3610b)의 흡수 에지를 참조하여 제2 CPL(3610b)의 광학 특성을 조정하는 것은 본원에서 개시되는 바와 같이 제2 발광 스펙트럼의 적어도 일부에 걸쳐 높은 굴절률을 제공하기 위한 대략적인 메커니즘으로 작용할 수 있다.

[0786] 결과적으로, 일부 비제한적인 예에서, 제2 CPL(3610b)은 제2 개시 파장($\lambda_{onset\ b}$) 미만의 파장에서 낮은 제2 소광 계수(k_b)를 가질 수 있다. 일부 비제한적인 예에서, 제2 CPL(3610b)은 제2 개시 파장($\lambda_{onset\ b}$) 미만의 파장에서 약 0.1 이상, 0.3 이상, 약 0.5 이상, 약 0.75 이상, 약 0.8 이상, 및/또는 약 0.9 이상의 제2 소광 계수(k_b)를 가질 수 있다.

[0787] 일부 비제한적인 예에서, 제2 CPL(3610b)은, 제1 전도성 코팅(830a)의 노출된 층 표면(111)에 대해 전도성 코팅 물질(831)에 대한 상대적으로 낮은 초기 고착 계수를 나타내고, 제2 발광 영역(1910b)을 포함하는 예시적인 디바이스(3700)의 제1 전도성 코팅(830a)의 제1 부분 위에 선택적으로 증착되어 그 위에 제2 전도성 코팅(830b)이 증착되는 것을 억제한다는 점에서 패턴화 코팅(810)으로서 추가로 작용할 수 있다.

[0788] 일부 비제한적인 예에서, 제2 CPL(3610b)을 증착하기 위한 CPL 물질은 제1 CPL(3610a)을 증착하기 위한 CPL 물질과 동일하거나 상이할 수 있다.

[0789] **도 37c**는 디바이스(3700)를 제조하는 단계(3730)를 도시한다. 단계(3730)에서, 제2 전도성 코팅(830b)은 디바이스(3700)의 전체 표면을 전도성 코팅 물질(831)의 증기상 플럭스에 노출시켜 이를 제1 CPL(3610a) 및 제2 CPL(3610b) 중 적어도 하나가 실질적으로 결여된 디바이스(3700)의 제2 부분 위에 제2 전도성 코팅(830b)으로서 선택적으로 증착시킴으로써 증착될 수 있다. 일부 비제한적인 예에서, 제2 전도성 코팅(830b)은 제3 발광 영역(1910c) 및/또는 일부 비제한적인 예에서는 적어도 하나의 비-발광 영역(1920a-1920d) 전체에 걸쳐 증착될 수 있다. 일부 비제한적인 예에서, 제2 전도성 코팅(830b)은 비-발광 영역(1920a-1920d) 중 적어도 하나 위에 증착될 수 있다.

[0790] 일부 비제한적인 예에서, 제2 전도성 코팅(830b)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다.

[0791] 당업자는, 제2 CPL(3610b)이 패턴화 코팅(810)으로서 작용하지 않는 일부 비제한적인 예에서, FMM이 없는 경우에 조차도 제2 전도성 코팅(830b)을 패턴화하기에 적절한 위치 및 적절한 때에 패턴화 코팅(810)(도시되지 않음)을 배치하여 원하는 위치에 증착시킬 수 있다는 것을 이해할 것이다.

[0792] 일부 비제한적인 예에서, 제2 전도성 코팅(830b)을 형성하는 데 사용되는 전도성 코팅 물질(831)은 초기 전도성 코팅(830_0)을 형성하는 데 사용되는 전도성 코팅 물질(831)과 동일하고/하거나 상이할 수 있고/있거나, 경우에 따라, 제1 전도성 코팅(830a)을 형성하는 데 사용되는 전도성 코팅 물질(831)과 동일하고/하거나 상이할 수 있다.

[0793] **도 37d**는 디바이스(3700)를 제조하는 단계(3740)를 도시한다. 단계(3740)에서, 제3 CPL(3610c)은 제2 전도성 코팅(830b)의 제1 부분 위에 선택적으로 증착된다. 도면에 도시된 바와 같이, 일부 비제한적인 예에서, 제3 CPL(3610c)을 증착하기 위한 CPL 물질은 제3 발광 영역(1910c) 전체에 걸쳐 증착되는 반면, 일부 비제한적인 예에서, 적어도 하나의 비-발광 영역(1920a-1920d)에는 제2 CPL(3610b)이 실질적으로 없다. 일부 비제한적인 예에서, 제3 CPL(3610c)은 비-발광 영역(1920a-1920d) 중 적어도 하나 위에 증착될 수 있다.

[0794] 일부 비제한적인 예에서, 제3 CPL(3610c)의 두께, 형태, 및/또는 물질 조성은 제3 개시 파장($\lambda_{onset\ c}$) 및/또는 제3 피크 파장($\lambda_{max\ c}$) 중 적어도 하나를 제한 없이 포함하는 제2 발광 스펙트럼의 적어도 일부에 걸쳐 높은 굴

절률을 제공하도록 조정된다.

[0795] 일부 비제한적인 예에서, 제3 CPL(3610c)은, 일부 비제한적인 예에서는 제3 피크 파장($\lambda_{max\ c}$)을 포함할 수 있는 제3 발광 스펙트럼의 적어도 일부에서 약 1.9 이상, 약 1.95 이상, 약 2.0 이상, 약 2.05 이상, 약 2.1 이상, 약 2.2 이상, 약 2.3 이상, 및/또는 약 2.5 이상의 굴절률을 갖는다.

[0796] 일부 비제한적인 예에서, 제3 CPL(3610c)의 광학 특성은 제3 CPL(3610c)의 흡수 에지가 제3 개시 파장($\lambda_{onset\ c}$)보다 약간 더 낮도록 조정된다.

[0797] 일부 비제한적인 예에서, 물질의 흡수 에지는 소광 계수(k)가 0에 가까운 임계값에 접근하는 파장에 대응할 수 있다. 그 결과, 일부 비제한적인 예에서, 본원에서 개시되는 바와 같이 제3 CPL(3610c)의 흡수 에지를 참조하여 제3 CPL(3610c)의 광학 특성을 조정하는 것은 본원에서 개시되는 바와 같이 제3 발광 스펙트럼의 적어도 일부에 걸쳐 높은 굴절률을 제공하기 위한 대략적인 메커니즘으로 작용할 수 있다.

[0798] 결과적으로, 일부 비제한적인 예에서, 제3 CPL(3610c)은 제3 개시 파장($\lambda_{onset\ c}$) 미만의 파장에서 낮은 제3 소광 계수(k_c)를 가질 수 있다. 일부 비제한적인 예에서, 제3 CPL(3610c)은 제3 개시 파장($\lambda_{onset\ c}$) 미만의 파장에서 약 0.1 이상, 0.3 이상, 약 0.5 이상, 약 0.75 이상, 약 0.8 이상, 및/또는 약 0.9 이상의 제3 소광 계수(k_c)를 가질 수 있다.

[0799] 일부 비제한적인 예에서, 제3 CPL(3610c)은, 제2 전도성 코팅(830b)의 노출된 층 표면(111)에 대해 전도성 코팅 물질(831)에 대한 상대적으로 낮은 초기 고착 계수를 나타내고, 제3 발광 영역(1910c)을 포함하는 예시적인 디바이스(3700)의 제2 전도성 코팅(830b)의 제1 부분 위에 선택적으로 증착되어 그 위에 보조 전극(1750)을 형성하기 위한 전도성 코팅 물질(831)이 증착되는 것을 억제한다는 점에서 패턴화 코팅(810)으로서 추가로 작용할 수 있다.

[0800] 일부 비제한적인 예에서, 제3 CPL(3610c)을 형성하기 위한 CPL 물질은 제1 CPL(3610a)을 형성하기 위한 CPL 물질 및/또는 제2 CPL(3610b)을 형성하기 위한 CPL 물질과 동일하거나 상이할 수 있다.

[0801] **도 37e**는 디바이스(3700)를 제조하는 단계(3750)를 도시한다. 단계(3750)에서, 전도성 코팅 물질(831)은 디바이스(3700)의 전체 표면을 그의 증기상 플럭스에 노출시켜 이를 제3 CPL(3610c)이 실질적으로 결여된 디바이스(3700)의 제2 부분 위에 적어도 하나의 보조 전극(1750)으로서 선택적으로 증착시킴으로써 증착될 수 있다. 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)은 비-발광 영역(1920a-1920d) 중 적어도 하나에 걸쳐 증착될 수 있다.

[0802] 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다.

[0803] 당업자는, 제3 CPL(3610c)이 패턴화 코팅(810)으로서 작용하지 않는 일부 비제한적인 예에서, FMM이 없는 경우에 조차도 적어도 하나의 보조 전극(1750)을 패턴화하기에 적절한 위치 및 적절한 때에 패턴화 코팅(810)(도시되지 않음)을 배치하여 원하는 위치에 증착시킬 수 있다는 것을 이해할 것이다.

[0804] 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)을 형성하는 데 사용되는 전도성 코팅 물질(831)은 초기 전도성 코팅(830_0)을 형성하는 데 사용되는 전도성 코팅 물질(831), 경우에 따라, 제1 전도성 코팅(830a)을 형성하는 데 사용되는 전도성 코팅 물질(831), 및/또는 제2 전도성 코팅(830b)을 형성하는 데 사용되는 전도성 코팅 물질(831)과 동일하고/하거나 상이할 수 있다.

[0805] **도 29a 내지 도 29d**와 관련하여 이전에 논의된 바와 같이, 이러한 메커니즘은 **도 38a 내지 도 38f**에 기술된 바와 같이 변조된 마이크로-공동 효과를 갖는 소정 픽셀(340)의 서브-픽셀(들)(264x)을 갖는 디바이스(100)의 예시적인 버전(3800)을 생성할 수 있다.

[0806] **도 38a**에서, 디바이스(3800)의 제조 단계(3805)는 기판(110), TFT 절연층(280) 및 TFT 절연층(280)의 표면 상에 형성된 복수의 제1 전극(120a-120c)을 포함하는 것으로 도시되어 있다.

[0807] 기판(110)은 베이스 기판(112)(예시의 편의상 도시되지 않음), 실질적으로 그들 아래에 위치되고 그의 연관된 제1 전극(120a-120c)에 전기적으로 결합된 대응하는 서브-픽셀(264x)을 각각 갖는 발광 영역(1910a-1910c)에 대응하고 이를 구동하기 위한 적어도 하나의 TFT 구조(200a-200c), 각각의 제1 전극(120a-120c)의 에지를 덮는 발

광 영역(들)(1910a-1910c)을 정의하기 위해 기판(110) 위에 형성된 PDL(들)(440a-440d), 및 그들 각각의 제1 전극(120a-120c) 및, 일부 비제한적인 예에서, 주변 PDL(440a-440d)의 적어도 일부의 노출된 영역(들) 위에 증착된 적어도 하나의 반도체 층(130a-130c)을 포함할 수 있다.

[0808] **도 38a**의 예시적인 단계(3805)에서, 발광 영역(1910a, 1910b, 1910c)은 전기적으로 함께 결합되지 않은 개별 구조를 포함할 수 있다. 이것은 적어도 하나의 PDL 패턴화 코팅을 증착함으로써 달성될 수 있으며, 이는, 일부 비제한적인 예에서, 대응하는 PDL(440a, 440b, 440c, 440d)의 상승된 부분을 제한 없이 포함하는 비-발광 영역(1920a, 1920b, 1920c, 1920c)의 측면 양태(420)의 적어도 일부에 걸쳐 패턴화 코팅(810)으로서 작용하는 PDL CPL(3810a, 3810b, 3810c, 3810d)을 포함할 수 있다.

[0809] 일부 비제한적인 예에서, 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 및/또는 3810d)을 증착하기 위한 CPL 물질은: 제1 CPL(3610a)을 증착하기 위한 CPL 물질, 제2 CPL(3610b)을 증착하기 위한 CPL 물질, 및/또는 제3 CPL(3610c)을 증착하기 위한 CPL 물질과 동일하고/하거나 상이할 수 있다.

[0810] 디바이스(3800)의 대안적인 단계(3810)가 **도 38b**에 도시되어 있다. 단계(3810)에서, 일부 비제한적인 예에서, 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 3810d)을 포함할 수 있는 패턴화 코팅(810)을 증착하는 단계가 생략되었다. 이와 관련하여, **도 38b**는 대략 **도 29a**에 대응한다.

[0811] 어느 하나의 단계(3805, 3810)에서, 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)은 적어도 하나의 반도체 층(들)(130a-130c) 위에 증착될 수 있다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다. 일부 비제한적인 예에서, 이러한 증착은 적어도 하나의 제2 전극(140)의 제1 층을 형성하기 위해, 디바이스(2900)의 전체 노출된 층 표면(111)을 초기 전도성 코팅 물질(831)의 증기상 플럭스에 노출시켜 적어도 하나의 반도체 층(들)(130a-130c) 위에 초기 전도성 코팅(830_0)을 증착시킴으로써 수행될 수 있다.

[0812] **도 38a**의 단계(3805)에서, 제1 발광 영역(1910a)의 적어도 하나의 제2 전극(140)은, 일부 비제한적인 예에서, 제1 발광 영역(1910a)의 공통 두께(t_{c1})일 수 있는 제1 두께를 갖는다. 제1 두께(t_{c1})는 초기 전도성 코팅(830_0)의 두께에 대응할 수 있다.

[0813] **도 38b**의 단계(3810)에서, 적어도 하나의 제2 전극(140)은 공통 전극일 수 있다. 제2 전극(140a)은 제1 발광 영역(1910a)에서 제1 두께(t_{c1})를 갖는다. 제1 두께(t_{c1})는 초기 전도성 코팅(830_0)의 두께에 대응할 수 있다.

[0814] 어느 하나의 단계(3805, 3810)에서, 일부 비제한적인 예에서, 제1 CPL(3610a)은 제1 발광 영역(1910a)을 포함하는 디바이스(3800)의 제1 부분 위에 선택적으로 증착된다.

[0815] 어느 하나의 단계(3805, 3810)에서, 일부 비제한적인 예에서, 제1 전도성 코팅(830a)은 디바이스(3800) 위에 증착될 수 있다. 일부 비제한적인 예에서, 제1 전도성 코팅(830a)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다. 일부 비제한적인 예에서, 이러한 증착은 디바이스(3800)의 전체 노출된 층 표면(111)을 제1 전도성 코팅 물질(831)의 증기상 플럭스에 노출시켜 제1 CPL(3610a), 및 **도 38a**의 단계(3805)의 경우에는, 일부 비제한적인 예에서, 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 3810d)을 포함하는 적어도 하나의 PDL 패턴화 코팅(810)이 실질적으로 없는 초기 전도성 코팅(830_0) 위에 제1 전도성 코팅(830a)을 증착시킴으로써 수행될 수 있다.

[0816] 어느 하나의 단계(3805, 3810)에서, 일부 예에서, 제1 전도성 코팅(830a)은 제1 전도성 코팅(830a)이 제2 전극(140b, 140c)의 제2 층을 형성하도록 제2 및 제3 발광 영역(1910b, 1910c)의 측면 양태(410)를 덮는다. 추가적으로, 단계(3810)에서, 제1 전도성 코팅(830a)은, 일부 비제한적인 예에서, 또한 PDL(440a-440d)이 놓이는 비-발광 영역(들)(1920)의 적어도 일부(들)를 덮어 적어도 제2 발광 영역(1910b)에 대한 공통 전극을 형성할 수 있다. 이러한 제2 전극(140b)은 제2 발광 영역(1910b)에서 제2 두께(t_{c2})를 갖는다. 제2 두께(t_{c2})는 초기 전도성 코팅(830_0) 및 제1 전도성 코팅(830a)의 결합된 두께에 대응할 수 있고 일부 비제한적인 예에서는 제1 두께(t_{c1})보다 더 클 수 있다.

[0817] 당업자는, 제1 CPL(3610a) 및/또는 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 3810d)이 패턴화 코팅(810)으로서 작용하지 않는 일부 비제한적인 예에서, FMM이 없는 경우에 조차도 제1 전도성 코팅(830a)을 패턴화하기에 적절한 위치 및 적절한 때에 패턴화 코팅(810)(도시되지 않음)을 배치하여 원하는 위치에 증착시킬 수 있다는

것을 이해할 것이다.

[0818] **도 38c**에서, 디바이스(3800)의 제조 단계(3820)는 **도 29b**에 대략적으로 대응하는 것으로 도시되고 단계(3805)가 아니라 단계(3810)이 발생했다고 가정하지만, 당업자는 해당 단계는 단계(3810) 대신에 단계(3805)를 기반으로 설명될 수 있다는 것을 이해할 것이다.

[0819] 일부 비제한적인 예에서, 제2 CPL(3610b)은 제2 발광 영역(1910b)을 포함하는 디바이스(3800)의 추가의 제1 부분 위에 선택적으로 증착된다.

[0820] 일부 비제한적인 예에서, 제2 전도성 코팅(830b)은 디바이스(3800) 위에 증착될 수 있다. 일부 비제한적인 예에서, 제2 전도성 코팅(830b)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다. 일부 비제한적인 예에서, 이러한 증착은, 제2 전도성 코팅(830b)이 제2 CPL(3610b)이 실질적으로 없는 제1 전도성 코팅(830a)(및/또는 일부 비제한적인 예에서는 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 3810d)을 포함할 수 있는 적어도 하나의 패턴화 코팅(810)의 추가의 제2 부분(들) 상에 증착되어 제2 전극(140c)의 제3 층을 형성하도록, 디바이스(3800)의 전체 노출된 층 표면(111)을 전도성 코팅 물질(831)의 증기 플럭스에 노출시켜 제1 CPL(3610a) 또는 제2 CPL(3610b) 중 어느 하나(및/또는 일부 비제한적인 예에서는 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 3810d)을 포함할 수 있는 적어도 하나의 패턴화 코팅(810)), 일부 예에서는 제3 발광 영역(1910c) 및/또는 일부 비제한적인 예에서는, 적어도 PDL(440a-440d)이 놓여 있는 비-발광 영역(1920)의 부분(들)이 실질적으로 없는 제1 전도성 코팅(830a) 위에 제2 전도성 코팅(830b)을 증착시킴으로써 수행될 수 있다.

[0821] 이러한 제2 전극(140c)은 제3 발광 영역(1910c)에서 제3 두께(t_{c3})를 갖는다. 제3 두께(t_{c3})는 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a) 및 제2 전도성 코팅(830b)의 결합된 두께에 대응할 수 있고 일부 비제한적인 예에서는 제1 두께(t_{c1}) 및 제2 두께(t_{c2}) 중 어느 하나 또는 둘 모두 보다 클 수 있다.

[0822] 당업자는, 제1 CPL(3610a), 제2 CPL(3610b), 및/또는 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 3810d)이 패턴화 코팅(810)으로서 작용하지 않는 일부 비제한적인 예에서, FMM이 없는 경우에 조차도 제3 전도성 코팅(830c)을 패턴화하기에 적절한 위치 및 적절한 때에 패턴화 코팅(810)(도시되지 않음)을 배치하여 원하는 위치에 증착시킬 수 있다는 것을 이해할 것이다.

[0823] **도 38d**에서, 디바이스(3800)의 제조 단계(3830)는 **도 29c**에 대략적으로 대응하는 것으로 도시되고 단계(3805)가 아니라 단계(3810)이 발생했다고 가정하지만, 당업자는 해당 단계는 단계(3810) 대신에 단계(3805)를 기반으로 설명될 수 있다는 것을 이해할 것이다.

[0824] 일부 비제한적인 예에서, 제3 CPL(3810c)은 제3 발광 영역(1910b)을 포함하는 디바이스(3800)의 추가의 제1 부분 위에 선택적으로 증착된다.

[0825] **도 38e**에서, 디바이스(3800)의 제조 단계(3840)는 **도 29d**에 대략적으로 대응하는 것으로 도시되고 단계(3805)가 아니라 단계(3810)이 발생했다고 가정하지만, 당업자는 해당 단계는 단계(3810) 대신에 단계(3805)를 기반으로 설명될 수 있다는 것을 이해할 것이다.

[0826] 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)은 그의 이웃하는 발광 영역(1910a, 1910b,1910c) 사이의 디바이스(3800)의 비-발광 영역(들)(1920a, 1920b, 1920c, 1920d) 내에 배치되고 일부 비제한적인 예에서는 PDL(440a, 440b, 440c, 440d) 위에 배치된다. 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)을 증착하는 데 사용되는 전도성 코팅 물질(831)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다. 일부 비제한적인 예에서, 이러한 증착은, 전도성 코팅 물질(831)이 제1 CPL(3610a), 제2 CPL(3610b) 및/또는 제3 CPL(3610c) 중 임의의 것이 실질적으로 없는 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a) 및/또는 제2 전도성 코팅(830b)(및/또는 일부 비제한적인 예에서는 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 3810d)을 포함할 수 있는 적어도 하나의 패턴화 코팅(810))의 노출된 부분(들)을 포함하는 추가의 제2 부분 상에 증착되어 적어도 하나의 보조 전극(1750)을 형성하도록, 디바이스(3800)의 전체 노출된 층 표면(111)을 전도성 코팅 물질(831)의 증기상 플럭스에 노출시켜 제1 CPL(3610a), 제2 CPL(3610b) 및/또는 제3 CPL(3610c) 중 임의의 것이 실질적으로 없는 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a) 및 제2 전도성 코팅(830b)(및/또는 일부 비제한적인 예에서는 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 3810d)을 포함할 수 있는 적어도 하나의 패턴화 코팅(810))의 노출된 부분 위에 전도성 코팅 물질(831)을 증착시킴으로써 수행될 수 있다. 적어도 하나의 보조 전극(1750) 각각은 제2 전극(140a-140c) 각각에 전기적으로 결합된다. 일부 비제한적인 예에서,

적어도 하나의 보조 전극(1750) 각각은 이러한 제2 전극(140a-140c)과 물리적으로 접촉한다.

[0827] 일부 비제한적인 예에서, 제1 발광 영역(1910a), 제2 발광 영역(1910b) 및 제3 발광 영역(1910c)에는 적어도 하나의 보조 전극(1750)을 형성하는 데 사용되는 전도성 코팅 물질(831)이 실질적으로 없을 수 있다.

[0828] 일부 비제한적인 예에서, 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a) 및/또는 제2 전도성 코팅(830b) 중 적어도 하나는 적어도 전자기 스펙트럼의 가시 파장 범위의 부분에서 투과성 및/또는 실질적으로 투명할 수 있다. 따라서, 제1 전도성 코팅(830a) 및/또는 제2 전도성 코팅(830b)(및/또는 임의의 추가의 전도성 코팅(들)(830))은 초기 전도성 코팅(830_0)의 상부에 배치되어 적어도 전자기 스펙트럼의 가시 파장 범위의 부분에서도 또한 투과성 및/또는 실질적으로 투명할 수 있는 다중 코팅 전극(120, 140, 1750)을 형성한다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 제2 전도성 코팅(830b), 임의의 추가의 전도성 코팅(들)(830), 및/또는 다중 코팅 전극(120, 140, 1750) 중 임의의 하나 이상의 투과율은 전자기 스펙트럼의 가시 파장 범위의 적어도 일부에서 약 30% 초과, 약 40% 초과, 약 45% 초과, 약 50% 초과, 약 60% 초과, 약 70% 초과, 약 75% 초과, 및/또는 약 80% 초과일 수 있다.

[0829] 일부 비제한적인 예에서, 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a) 및/또는 제2 전도성 코팅(830b)의 두께는 상대적으로 높은 투과율을 유지하기 위해 상대적으로 얇게 만들어질 수 있다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)의 두께는 약 5 내지 30 nm, 약 8 내지 25 nm, 및/또는 약 10 내지 20 nm일 수 있다. 일부 비제한적인 예에서, 제1 전도성 코팅(830a)의 두께는 약 1 내지 25 nm, 약 1 내지 20 nm, 약 1 내지 15 nm, 약 1 내지 10 nm, 및/또는 약 3 내지 6 nm일 수 있다. 일부 비제한적인 예에서, 제2 전도성 코팅(830b)의 두께는 약 1 내지 25 nm, 약 1 내지 20 nm, 약 1 내지 15 nm, 약 1 내지 10 nm, 및/또는 약 3 내지 6 nm일 수 있다. 일부 비제한적인 예에서, 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 제2 전도성 코팅(830b) 및/또는 임의의 추가의 전도성 코팅(들)(830)의 조합에 의해 형성된 다중 코팅 전극의 두께는 약 6 내지 35 nm, 약 10 내지 30 nm, 약 10 내지 25 nm 및/또는 약 12 내지 18 nm일 수 있다.

[0830] 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)의 두께는 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 제2 전도성 코팅(830b) 및/또는 공통 전극의 두께보다 더 클 수 있다. 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)의 두께는 약 50 nm 초과, 약 80 nm 초과, 약 100 nm 초과, 약 150 nm 초과, 약 200 nm 초과, 약 300 nm 초과, 약 400 nm 초과, 약 500 nm 초과, 약 700 nm 초과, 약 800 nm 초과, 약 1 μm 초과, 약 1.2 μm 초과, 약 1.5 μm 초과, 약 2 μm 초과, 약 2.5 μm 초과, 및/또는 약 3 μm 초과일 수 있다.

[0831] 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)은 실질적으로 불투명 및/또는 불투명할 수 있다. 그러나, 적어도 하나의 보조 전극(1750)은 일부 비제한적인 예에서 디바이스(2900)의 비-발광 영역(1920)에 제공될 수 있기 때문에, 적어도 하나의 보조 전극(1750)은 상당한 광 간섭을 유발하거나 기여하지 않을 수 있다. 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)의 투과율은 적어도 전자기 스펙트럼의 가시 파장 범위의 부분에서 약 50% 미만, 약 70% 미만, 약 80% 미만, 약 85% 미만, 약 90% 미만, 및/또는 약 95% 미만일 수 있다.

[0832] 일부 비제한적인 예에서, 적어도 하나의 보조 전극(1750)은 적어도 전자기 스펙트럼의 가시 파장 범위의 부분에서 광을 흡수할 수 있다.

[0833] 일부 비제한적인 예에서, 제1 발광 영역(1910a), 제2 발광 영역(1910b) 및/또는 제3 발광 영역(1910c)에 각각 배치된 제1 CPL(3610a), 제2 CPL(3610b), 및/또는 제3 CPL(3610c)(및/또는 일부 비제한적인 예에서는 비-발광 영역(1920a, 1920b, 1920c, 1920d)에 배치된 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 3810d)을 포함할 수 있는 적어도 하나의 패턴화 코팅(810))의 두께는 각각의 발광 영역(1910a-1910c)에서 방출되는 광의 색상 및/또는 방출 스펙트럼에 따라 달라질 수 있다. **도 38d 및 도 38e**에 도시된 바와 같이, 제1 CPL(3610a)은 제1 CPL 두께(t_{n1})를 가질 수 있고, 제2 CPL(3610b)은 제2 CPL 두께(t_{n2})를 가질 수 있고/있거나 제3 CPL(3610c)은 제3 CPL 두께(t_{n3})를 가질 수 있다. 일부 비제한적인 예에서, 제1 CPL 두께(t_{n1})는 제2 CPL 두께(t_{n2})와 동일, 초과, 및/또는 미만일 수 있다. 일부 비제한적인 예에서, 제1 CPL 두께(t_{n1})는 제3 CPL 두께(t_{n3})와 동일, 초과, 및/또는 미만일 수 있다. 일부 비제한적인 예에서, 제2 CPL 두께(t_{n2})는 제3 CPL 두께(t_{n3})와 동일, 초과, 및/또는 미만일 수 있다.

[0834] 일부 비제한적인 예에서, 특히 제1 CPL(3610a), 제2 CPL(3610b), 및/또는 제3 CPL(3610c)이 패턴화 코팅(810)

으로서 작용하는 경우에는, 제1 발광 영역(1910a), 제2 발광 영역(1910b), 및/또는 제3 발광 영역(1910c) 위에 각각 증착된 제1 CPL 두께(t_{n1}), 제2 CPL 두께(t_{n2}), 및/또는 제3 CPL 두께(t_{n3})를 변경하는 것이 유리할 수 있다.

[0835] 제1 발광 영역(1910a)의 제2 전극(140a), 제2 발광 영역(1910b)의 제2 전극(140b), 및/또는 제3 발광 영역(1910c)의 제2 전극(140c) 각각의 제1 두께(t_{c1}), 제2 두께(t_{c2}), 및/또는 제3 두께(t_{c3})에 추가하여 제1 발광 영역(1910a), 제2 발광 영역(1910b), 및/또는 제3 발광 영역(1910c) 위에 각각 증착된 제1 CPL 두께(t_{n1}), 제2 CPL 두께(t_{n2}), 및/또는 제3 CPL 두께(t_{n3})를 조정함으로써, 제1 발광 영역(1910a), 제2 발광 영역(1910b), 및/또는 제3 발광 영역(1910c) 각각의 광학 미세공동 효과는 서브 픽셀 대 서브 픽셀 기반으로 변조될 수 있다. 비제한적인 예로서, B(청색) 서브-픽셀(2643) 위에 배치된 CPL(3610a, 3610b, 3610c)의 두께는 G(녹색) 서브-픽셀(2642) 위에 배치된 CPL(3610a, 3610b, 3610c)의 두께 미만일 수 있다. 비제한적인 예로서, G(녹색) 서브-픽셀(2642) 위에 배치된 CPL(3610a, 3610b, 3610c)의 두께는 R(적색) 서브-픽셀(2641) 위에 배치된 CPL(3610a, 3610b, 3610c)의 두께 미만일 수 있다.

[0836] 당업자는 다른 서브-픽셀(264x)의 다른 발광 영역(1910a, 1910b, 1910c)의 CPL(3610a, 3610b, 3610c)의 두께, 조성, 총 광로 길이, 및/또는 굴절률을 제한 없이 포함하는 적어도 하나의 광학 특성에 대한 소정의 서브-픽셀(264x)의 하나의 발광 영역(1910a, 1910b, 1910c)의 CPL(3610a, 3610b, 3610c)의 두께, 조성, 총 광로 길이, 및/또는 굴절률을 제한 없이 포함하는 적어도 하나의 광학 특성을 변조하는 것 외에도 다른 서브-픽셀(264x)의 다른 발광 영역(1910a, 1910b, 1910c)의 제2 전극(140a, 140b, 140c)의 두께, 조성, 총 광로 길이, 및/또는 굴절률을 제한 없이 포함하는 적어도 하나의 광학 특성에 대한 소정의 서브-픽셀(264x)의 하나의 발광 영역(1910a, 1910b, 1910c)의 제2 전극(140a, 140b, 140c)의 두께, 조성, 총 광로 길이, 및/또는 굴절률을 제한 없이 포함하는 적어도 하나의 광학 특성을 변조하기 위하여 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 및/또는 제2 전도성 코팅(830b)의 두께, 조성, 총 광로 길이, 및/또는 굴절률을 제한 없이 포함하는 적어도 하나의 광학 특성을 변조함으로써 제1 발광 영역(1910a), 제2 발광 영역(1910b), 및/또는 제3 발광 영역(1910c) 각각의 광학 미세공동 효과가 훨씬 더 큰 범위로 제어될 수 있다는 것을 이해할 것이다.

[0837] 일부 비제한적인 예에서, 디바이스(3800)는 또한 임의의 수의 발광 영역(1910a-1910c) 및/또는 그의 (서브-) 픽셀(들)(340/264x)을 포함할 수 있다. 일부 비제한적인 예에서, 디바이스는 복수의 픽셀(340)을 포함할 수 있으며, 여기서 각각의 픽셀(340)은 2개, 3개 또는 그 이상의 서브-픽셀(들)(264x)을 포함한다.

[0838] 당업자는 (서브-) 픽셀(들)(340/264x)의 특정 배열이 디바이스 설계에 따라 달라질 수 있다는 것을 이해할 것이다. 일부 비제한적인 예에서, 서브-픽셀(들)(264x)은 RGB side-by-side, 다이아몬드 및/또는 PenTile®을 제한 없이 포함하는 공지된 배열 방식에 따라 배열될 수 있다.

[0839] 이제 **도 38f**를 참조하면, 단계(3830)가 방금 발생했다고 가정하는 디바이스(3800)의 제조 단계(3835)가 도시된다.

[0840] 단계(3835) 이후, 추가의 CPL(3850), TFE, 및/또는 유리 캡을 제한 없이 포함하는 추가의 층이 디바이스(3800) 위에 증착될 수 있다. 일부 비제한적인 예에서, CPL(3850)은 오픈 마스크 및/또는 마스크 없는 증착 공정을 사용하여 증착될 수 있다. 일부 비제한적인 예에서, 이러한 증착은 디바이스(3800)의 전체 노출된 층 표면(111)을 CPL 물질의 증기상 플럭스에 노출시켜 디바이스(3800)의 노출된 층 표면(111)의 실질적으로 모두에 걸쳐 CPL(3850)을 증착시킴으로써 수행될 수 있다.

[0841] 일부 비제한적인 예에서, CPL(3850)은 전형적으로 공통 CPL 물질로 형성되고, 일부 비제한적인 예에서는, 실질적으로 공통 두께를 갖는, 내부의 모든 발광 영역(1910)을 제한 없이 포함하여 실질적으로 디바이스(100)의 모든 측면 양태 전체에 걸쳐 연장하는 층을 포함하는 통상적인 CPL과 유사하다.

[0842] 일부 비제한적인 예에서, CPL(3850)을 증착하기 위한 CPL 물질은: 제1 CPL(3810a)을 증착하기 위한 CPL 물질, 제2 CPL(3810b)을 증착하기 위한 CPL 물질, 제3 CPL(3810c)을 증착하기 위한 CPL 물질 및/또는 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 및/또는 3810d)을 증착하기 위한 CPL 물질과 동일하고/하거나 상이할 수 있다.

[0843] 일부 비제한적인 예에서, CPL(3850)은, 하부 표면의 노출된 층 표면(111)에 대해 추가의 전도성 코팅 물질(831)(도시되지 않음)에 대한 상대적으로 낮은 초기 고착 계수를 나타내고, 예시적인 디바이스(3800)의 이러한 하부 표면의 노출된 층 표면(111)의 제1 부분 위에 선택적으로 증착되어 그 위에 추가의 전도성 코팅 물질(83

1)이 증착되는 것을 억제한다는 점에서 패턴화 코팅(810)으로서 추가로 작용할 수 있다.

[0844] 일부 비제한적인 예에서, 특정 물질 특성을 갖는 전도성 코팅(830)을 이러한 전도성 코팅(830)이 용이하게 증착되지 않는 기판(110)의 노출된 층 표면(111) 상에 증착하는 것이 고려되는 시나리오가 있을 수 있다. 비제한적인 예로서, 순수한 Mg 및/또는 실질적으로 순수한 Mg는 다양한 유기 표면 상에서의 Mg의 낮은 고착 계수로 인하여 전형적으로 유기 표면 상에 용이하게 증착되지 않는다. 따라서, 일부 비제한적인 예에서, 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 제2 전도성 코팅(830b), 및/또는 적어도 하나의 보조 전극(1750)이 증착될 노출된 층 표면(111)을 전도성 코팅 물질(831)의 증착 이전에 처리하여, 일부 비제한적인 예에서, NPC(1120)일 수 있는 패턴화 코팅(1120)을 증착시킴으로써 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 제2 전도성 코팅(830b), 및/또는 적어도 하나의 보조 전극(1750)을 형성할 수 있다.

[0845] 일부 비제한적인 예에서, 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 제2 전도성 코팅(830b), 및/또는 적어도 하나의 보조 전극(1750) 중 적어도 하나를 제한 없이 포함하는 전도성 코팅(830)을 위한 전도성 코팅 물질(831)의 증착을 촉진하기 위한 패턴화 코팅(1120)의 증착은 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 3810d), 제1 CPL(3610a), 제2 CPL(3610b), 및/또는 제3 CPL(3610c)을 제한 없이 포함하는 PDL(3610)의 사전 증착 전 및/또는 후에 각각 발생할 수 있다.

[0846] 일부 비제한적인 예에서, 이러한 패턴화 코팅(1120)은 기판(110), 적어도 하나의 반도체 층(130), 적어도 하나의 PDL(440a, 440b, 440c, 440d), 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 및/또는 제2 전도성 코팅(830b)을 제한 없이 포함하는, 적어도 하나의 PDL CPL(3810a, 3810b, 3810c, 3810d), 제1 CPL(3610a), 제2 CPL(3610b), 및/또는 제3 CPL(3610c)을 제한 없이 포함하는 CPL(3610)이 실질적으로 없는 하부 노출된 층 표면(111)의 일부분 위에 증착될 수 있다.

[0847] 일부 비제한적인 예에서, 이러한 패턴화 코팅(1120)은 제1 CPL(3610a), 제2 CPL(3610b), 및/또는 제3 CPL(3610c)을 제한 없이 포함하는 CPL(3610)과 제 1 전도성 코팅(830a), 제 2 전도성 코팅(830b), 및/또는 제 3 전도성 코팅(830c)을 제한 없이 포함하는 하부 전도성 코팅(830) 사이의 계면에서 증착될 수 있다.

[0848] **도 38a 내지 도 38f에서**, CPL(3610)은 단지 하나의 발광 영역(1910)의 측방향 범위(410)만을 가로질러 실질적으로 연장하는 것으로 도시되어 있다. 이러한 구성은 하나 이상의 전도성 코팅(830)이 증착 시에 CPL(3610)이 실질적으로 없는 영역에 증착되도록 하여 FMM을 사용하지 않고서도 전도성 코팅(830)의 패턴화된 증착을 가능하게 한다. 일부 비제한적인 예에서, 다시 **도 38a 내지 도 38f**에 도시된 바와 같이, 후속 CPL(3610)의 증착은 CPL(3610) 층이 중첩되지 않도록 이전 CPL(3610)의 발광 영역과 상이한 발광 영역(1910)의 측면 범위(410)를 가로질러 차례로 증착된다.

[0849] 이러한 구성은 **도 39a**의 단순화된 예시도에 도시되어 있다.

[0850] 제1 CPL(3610a)은 (단지 실질적으로) 제1 발광 영역(1910a)의 측방향 범위(410)를 가로질러, 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)일 수 있는 하부 물질의 노출된 층 표면(111) 상에 증착된다.

[0851] 제1 전도성 코팅(830a)은 제1 CPL(3610a)의 증착 이후에 증착되고, 이에 의해 초기 전도성 코팅(830_0)의 노출된 층 표면(111)의 나머지 부분 상에 패턴화된다.

[0852] 제2 CPL(3610b)은 (단지 실질적으로) 제2 발광 영역(1910b)의 측방향 범위(410)를 가로질러 제1 전도성 코팅(830a)의 노출된 층 표면(111) 상에 증착된다.

[0853] 제2 전도성 코팅(830b)은 제2 CPL(3610b)의 증착 이후에 증착되고, 이에 의해 제1 전도성 코팅(830a)의 노출된 층 표면(111)의 나머지 부분 상에 패턴화된다.

[0854] 제3 CPL(3610c)은 (단지 실질적으로) 제3 발광 영역(1910c)의 측방향 범위(410)를 가로질러 제2 전도성 코팅(830b)의 노출된 층 표면(111) 상에 증착된다.

[0855] 제3 전도성 코팅(830c)은 제3 CPL(3610c)의 증착 이후에 증착되고, 이에 의해 제2 전도성 코팅(830b)의 노출된 층 표면(111) 상에 패턴화된다.

[0856] 제4 CPL(3610d)은 (단지 실질적으로) 제4 발광 영역(1910d)의 측방향 범위(410)를 가로질러 제3 전도성 코팅(830c)의 노출된 층 표면(111) 상에 증착된다.

[0857] 제4 전도성 코팅(830d)은 제4 CPL(3610d)의 증착 이후에 증착되고, 이에 의해 제3 전도성 코팅(830c)의 노출된 층 표면(111) 상에 패턴화된다.

[0858] 따라서, 제1 발광 영역(1910a)과 제2 발광 영역(1910b) 사이, 제2 발광 영역(1910b)과 제3 발광 영역(1910c) 사이, 및 제3 발광 영역(1910c)과 제4 발광 영역(1910d) 사이에서 각각 연장하는 각각의 비-발광 영역(1920a, 1920b, 1930c)은 그 위에 초기 전도성 코팅(830_0), 제1 전도성 코팅(830a), 제2 전도성 코팅(830b), 제3 전도성 코팅(830c), 및 제4 전도성 코팅(830d)을 포함하는 5개의 전도성 코팅(830) 층이 도시되어 있는 반면, 제4 발광 영역(1910d), 제3 발광 영역(1910c), 제2 발광 영역(1910b), 및 제1 발광 영역(1910a) 각각은 전도성 코팅(830)의 층을 점진적으로 더 적게 가지며, 최상부는 단일의 CPL(3610)에 의해 덮인다.

[0859] 당업자는 CPL(3610)의 증착을 포함하는 다른 구성이 또한 사용될 수 있다는 것을 이해할 것이다. 비제한적인 예로서, 일부 비제한적인 예에서, 후속 CPL(3610)은 대응하는 발광 영역의 측방향 범위(410)를 가로지를 뿐만 아니라 후속 발광 영역(1910)의 측방향 범위(410)를 가로질러 이전 CPL(3610) 위에 증착되어 완전히 중첩될 수 있으며, 일부 비제한적인 예에서는, 그들 사이에서 연장하는 비-발광 영역(1920)의 측방향 범위(420)의 적어도 일부에 걸쳐 있다.

[0860] 이러한 구성은 **도 39b**의 단순화된 예시도에 도시되어 있다.

[0861] 제1 CPL(3610a)은 (단지 실질적으로) 제1 발광 영역(1910a)의 측방향 범위(410)를 가로질러, 일부 비제한적인 예에서, 초기 전도성 코팅(830_0)일 수 있는 하부 물질의 노출된 층 표면(111) 상에 증착된다.

[0862] 제1 전도성 코팅(830a)은 제1 CPL(3610a)의 증착 이후에 증착되고, 이에 의해 제1 전도성 코팅(830a)의 노출된 층 표면(111)의 나머지 부분 상에 패턴화된다.

[0863] 제2 CPL(3610b)은 제2 발광 영역(1910b)의 측방향 범위(410)를 가로질러 제1 전도성 코팅(830a)의 노출된 층 표면(111) 상에 증착된다. 그러나, 또한, 제2 CPL(3610b)은 제1 발광 영역(1910a)과 제2 발광 영역(1910b) 사이에서 연장하는 제1 비-발광 영역(1920a)의 측방향 범위(420)(의 적어도 일부)를 가로질러 제1 전도성 코팅(830a)의 노출된 층 표면(111) 상에 증착될 뿐만 아니라 제1 CPL(3610a)의 노출된 층 표면(111) 상에 증착된다.

[0864] 제2 전도성 코팅(830b)은 제2 CPL(3610b)의 증착 이후에 증착되고, 이에 의해 제1 전도성 코팅(830a)의 노출된 층 표면(111)의 나머지 부분 상에 패턴화된다.

[0865] 제3 CPL(3610c)은 제3 발광 영역(1910c)의 측방향 범위를 가로질러 제2 전도성 코팅(830b)의 노출된 층 표면(111) 상에 증착된다. 그러나, 또한, 제3 CPL(3610c)은 제2 발광 영역(1910b)과 제3 발광 영역(1910c) 사이에서 연장하는 제2 비-발광 영역(1920b)의 측방향 범위(420)(의 적어도 일부)를 가로질러 제2 전도성 코팅(830b)의 노출된 층 표면(111) 상에 증착되고, 뿐만 아니라 제1 발광 영역(1910a)의 측방향 범위(410), 제2 발광 영역(1910b), 및 그들 사이의 제1 비-발광 영역(1920a)의 측방향 범위(420)를 가로질러 연장하는 제2 CPL(3610b)의 노출된 층 표면(111) 상에 증착된다.

[0866] 제3 전도성 코팅(830c)은 제3 CPL(3910c)의 증착 이후에 증착되고, 이에 의해 제2 전도성 코팅(830b)의 노출된 층 표면(111)의 나머지 부분 상에 패턴화된다.

[0867] 제4 CPL(3610d)은 제4 발광 영역(1910d)의 측방향 범위를 가로질러 제3 전도성 코팅(830c)의 노출된 층 표면(111) 상에 증착된다. 그러나, 또한, 제4 CPL(3610d)은 제3 발광 영역(1910c)과 제4 발광 영역(1910d) 사이에서 연장하는 제3 비-발광 영역(1920c)의 측방향 범위(420)(의 적어도 일부)를 가로질러 제3 전도성 코팅(830c)의 노출된 층 표면(111) 상에 증착되고, 뿐만 아니라 제1 발광 영역(1910a)의 측방향 범위(410), 제2 발광 영역(1910b), 및 제1 발광 영역(1910a)과 제2 발광 영역(1910b) 사이의 제1 비-발광 영역(1920a) 및 제2 발광 영역(1910b)과 제3 발광 영역(1910c) 사이의 제2 비-발광 영역(1920b)의 측방향 범위(420)를 가로질러 연장하는 제3 CPL(3610c)의 노출된 층 표면(111) 상에 증착된다.

[0868] 따라서, 제4 발광 영역(1910d), 제3 발광 영역(1910c), 제2 발광 영역, 및 제1 발광 영역(1910a), 뿐만 아니라 제3 비-발광 영역(1920c), 제2 비-발광 영역(1920b), 및 제1 비-발광 영역(1920a) 각각은 전도성 코팅(830)의 층을 점차적으로 더 적게 가지며, 그의 최상부는 점진적으로 더 많은 수의 CPL(3610)의 층으로 덮여 있으므로 각각의 영역은 전도성 코팅(830) 또는 CPL(3610)의 여부와 관계없이 그 위에 동일한 수의 층을 갖는다.

[0869] 일부 비제한적인 예에서, 후속 CPL(3610)은 이전 CPL(3610) 위에 증착되지만 단지 부분적으로만 중첩될 수 있다. 일부 비제한적인 예에서, 각각의 CPL(3610)은 복수의 발광 영역(1910)의 측방향 범위(410), 및 그들 사이

의 적어도 하나의 비-발광 영역(1920)의 측면 양태(420)를 가로질러 연장할 수 있다.

[0870] 이러한 구성은 **도 39c**의 단순화된 예시도에 도시되어 있다.

[0871] 제1 CPL(3610a)은, 일부 비제한적인 예에서, 제1 발광 영역(1910a)의 측방향 범위(410)를 가로지르고, 일부 비제한적인 예에서는, 그를 넘어 연장하는 초기 전도성 코팅(830_0)일 수 있는 하부 물질의 노출된 층 표면(111) 상에 증착된다. 도시된 예에서, 제1 CPL(3610a)은 제1 발광 영역(1910a)과 제2 발광 영역(1910b) 둘 모두의 측방향 범위(410)뿐만 아니라 그들 사이의 제1 비-발광 영역(1920a)의 측방향 범위(420)를 가로질러 연장한다.

[0872] 제1 전도성 코팅(830a)은 제1 CPL(3610a)의 증착 이후에 증착되고, 이에 의해 초기 전도성 코팅(830_0)의 노출된 층 표면(111)의 나머지 부분 상에 패턴화된다.

[0873] 제2 CPL(3610b)은 제2 발광 영역(1910b)의 측방향 범위(410)를 가로지르고, 일부 비제한적인 예에서, 그를 넘어 연장하는 제1 전도성 코팅(830a) 및 제1 CPL(3610a) 모두의 일부분의 노출된 층 표면(111) 상에 증착된다. 도시된 예에서, 제2 CPL(3610b)은 제2 발광 영역(1910b)과 제3 발광 영역(1910c) 둘 모두의 측방향 범위(410)뿐만 아니라 그들 사이의 제2 비-발광 영역(1920b)의 측방향 범위(420)를 가로질러 연장한다.

[0874] 제2 전도성 코팅(830c)은 제2 CPL(3610b)의 증착 이후에 증착되고, 이에 의해 제1 전도성 코팅(830a)의 노출된 층 표면(111)의 나머지 부분 상에 패턴화된다.

[0875] 제3 CPL(3610c)은 제3 발광 영역(1910c)의 측방향 범위(410)를 가로지르고, 일부 비제한적인 예에서, 그를 넘어 연장하는 제2 전도성 코팅(830b) 및 제2 CPL(3610b) 모두의 일부분의 노출된 층 표면(111) 상에 증착된다. 도시된 예에서, 제3 CPL(3610c)은 제3 발광 영역(1910c)과 제4 발광 영역(1910d) 둘 모두의 측방향 범위(410)뿐만 아니라 그들 사이의 제3 비-발광 영역(1920c)의 측방향 범위(420)를 가로질러 연장한다.

[0876] 따라서, 제2 발광 영역(1910b) 및 제3 발광 영역(1910c)을 제한 없이 포함하는 발광 영역(1910)의 일부는 각각 전도성 코팅(830)의 점진적으로 더 많은 수의 층을 덮는 복수의 CPL(3610) 층을 갖는다.

[0877] NPC

[0878] 특정 이론에 얽매이려는 것은 아니지만, NPC(1120)를 제공하면 특정 표면 상에 전도성 코팅(830)의 증착을 용이하게 할 수 있다고 가정된다.

[0879] NPC(1120)를 형성하기에 적합한 물질의 비제한적인 예는 알칼리 금속, 알칼리 토금속, 전이 금속 및/또는 전이 후 금속(post-transition metal), 금속 불화물, 금속 산화물 및/또는 풀러렌을 제한 없이 포함하는 금속 중 적어도 하나를 포함하지만, 이에 제한되지 않는다.

[0880] 본 개시내용에서, 용어 "풀러렌"은 일반적으로 탄소 분자를 포함하는 물질을 지칭할 수 있다. 풀러렌 분자의 비제한적인 예는 폐쇄된 쉘을 형성하고 비제한적으로 구형 및/또는 반구형 형상일 수 있는 다중 탄소 원자들을 포함하는 3차원 골격을 제한 없이 포함하는 탄소 케이지 분자를 포함한다. 일부 비제한적인 예에서, 풀러렌 분자는 C_n으로 지정될 수 있으며, 여기서 n은 풀러렌 분자의 탄소 골격 내에 포함된 탄소 원자의 수에 해당하는 정수이다. 풀러렌 분자의 비제한적인 예는 C_n을 포함하며, 여기서 n은 C_{70}, C_{70}, C_{72}, C_{74}, C_{76}, C_{78}, C_{80}, C_{82}, 및 C_{84}와 같이 50 내지 250의 범위이지만, 이에 제한되지 않는다. 풀러렌 분자의 추가의 비제한적인 예는 단일-벽 탄소 나노튜브 및/또는 다중-벽 탄소 나노튜브를 제한 없이 포함하는 튜브 및/또는 원통형 형상의 탄소 분자를 포함한다.

[0881] 이러한 물질의 비제한적인 예는 Ca, Ag, Mg, Yb, ITO, IZO, ZnO, 불화 이테르븀(YbF_3), 불화 마그네슘(MgF_2), 및 불화 세슘(CsF)을 포함한다.

[0882] 발견 및 실험적 관찰에 기초하여, 본원에서 추가로 논의되는 바와 같이, 풀러렌, Ag 및/또는 Yb를 제한 없이 포함하는 금속, 및/또는 ITO 및/또는 IZO를 제한 없이 포함하는 금속 산화물을 제한 없이 포함하는 핵 생성 촉진 물질은 Mg를 제한 없이 포함하는 전도성 코팅(830)의 증착을 위한 핵 생성 부위로서 작용할 수 있다고 가정된다.

[0883] 일부 비제한적인 예에서, NPC(1120)는 적어도 하나의 반도체 층(130)의 부분에 의해 제공될 수 있다. 비제한적인 예로서, EIL(139)을 형성하기 위한 물질은 오픈 마스크 및/또는 마스크 없는 공정을 사용하여 증착시켜 디바이스(100)의 발광 영역(1910) 및/또는 비-발광 영역(1920) 모두에서 이러한 물질의 증착을 유발할 수 있다. 일부 비제한적인 예에서, EIL(139)을 제한 없이 포함하는 적어도 하나의 반도체 층(130)의 부분을 증착시켜 보호

된 영역(3065)에서 하나 이상의 표면을 코팅할 수 있다. EIL(139)을 형성하기 위한 이러한 물질의 비제한적인 예는 알칼리 금속, 예를 들어 Li, 알칼리 토금속, 알칼리 토금속의 불화물, 예를 들어 MgF_2, 풀러렌, Yb, YbF_3, 및/또는 CsF 중 하나 이상을 포함하지만, 이에 제한되지 않는다.

[0884] 일부 비제한적인 예에서, NPC(1120)는 제2 전극(140) 및/또는 그의 일부, 층 및/또는 물질에 의해 제공될 수 있다. 일부 비제한적인 예에서, 제2 전극(140)은 보호된 영역(3065) 내에 배열된 층 표면(3111)을 덮도록 측방향으로 연장될 수 있다. 일부 비제한적인 예에서, 제2 전극(140)은 그의 하부 층 및 그의 제2 층을 포함할 수 있으며, 여기서 제2 층은 그의 하부 층 상에 증착된다. 일부 비제한적인 예에서, 제2 전극(140)의 하부 층은 제한 없이 ITO, IZo 및/또는 ZnO와 같은 산화물을 포함할 수 있다. 일부 비제한적인 예에서, 제2 전극(140)의 상부 층은 Ag, Mg, Mg:Ag, Yb/Ag, 다른 알칼리 금속 및/또는 다른 알칼리 토금속 중 적어도 하나와 같은 금속을 포함할 수 있지만, 이에 제한되지는 않는다.

[0885] 일부 비제한적인 예에서, 제2 전극(140)의 하부 층은 보호된 영역(3065)의 표면을 덮도록 측방향으로 연장되어 NPC(1120)를 형성할 수 있다. 일부 비제한적인 예에서, 보호된 영역(3065)을 정의하는 하나 이상의 표면이 처리되어 NPC(1120)를 형성할 수 있다. 일부 비제한적인 예에서, 이러한 NPC(1120)는 보호된 영역(3065)의 표면(들)을 플라즈마, UV 및/또는 UV 오존 처리하는 것을 제한 없이 포함하는 화학적 및/또는 물리적 처리에 의해 형성될 수 있다.

[0886] 임의의 특정 이론에 얽매이려는 것은 아니지만, 이러한 처리는 이러한 표면을 화학적 및/또는 물리적으로 변화시켜 그들의 적어도 하나의 특성을 개질할 수 있다고 가정된다. 비제한적인 예로서, 이러한 표면(들)의 처리는 이러한 표면(들) 상의 C-O 및/또는 C-OH 결합의 농도를 증가시키고, 이러한 표면(들)의 거칠기를 증가시키고/시키거나 이후에 NPC(1120)로서 작용하는 할로겐, 질소-함유 작용기 및/또는 산소-함유 작용기를 제한 없이 포함하는 특정 종 및/또는 작용기의 농도를 증가시킨다.

[0887] 일부 비제한적인 예에서, 파티션(3221)은 NPC(1120)를 포함하고/하거나 NPC(1120)에 의해 형성된다. 비제한적인 예로서, 보조 전극(1750)은 NPC(1120)로서 작용할 수 있다.

[0888] 일부 비제한적인 예에서, NPC(1120)를 형성하는 데 사용하기에 적합한 물질은 전도성 코팅(830)의 물질에 대해 적어도 약 0.4(또는 40%), 적어도 약 0.5, 적어도 약 0.6, 적어도 약 0.7, 적어도 약 0.75, 적어도 약 0.8, 적어도 약 0.9, 적어도 약 0.93, 적어도 약 0.95, 적어도 약 0.98, 및/또는 적어도 약 0.99의 초기 고착 확률(S_0)을 나타내거나 또는 갖는 것을 특징으로 하는 것들을 포함할 수 있다.

[0889] 비제한적인 예로서, 풀러렌 처리된 표면 상의 증발 공정을 제한 없이 사용하여 Mg를 증착시키는 시나리오에서, 일부 비제한적인 예에서, 풀러렌 분자는 Mg 증착을 위한 안정한 핵의 형성을 촉진할 수 있는 핵 생성 부위로 작용할 수 있다.

[0890] 일부 비제한적인 예에서, 풀러렌을 제한 없이 포함하는 단층 미만의 NPC(1120)가 처리된 표면 상에 제공되어 Mg의 증착을 위한 핵형성 부위로 작용할 수 있다.

[0891] 일부 비제한적인 예에서, NPC(1120)의 여러 단층을 그 위에 증착하여 표면을 처리하면 더 많은 수의 핵 생성 부위가 생성될 수 있으며, 따라서 더 높은 초기 고착 확률(S_0)이 발생할 수 있다.

[0892] 당업자는 표면 상에 증착된 풀러렌을 제한 없이 포함하는 물질의 양이 하나의 단층보다 많거나 적을 수 있다는 것을 이해할 것이다. 비제한적인 예로서, 이러한 표면은 0.1 단층, 1 단층, 10 단층, 또는 그 이상의 핵 생성 촉진 물질 및/또는 핵 생성 억제 물질을 증착함으로써 처리될 수 있다.

[0893] 일부 비제한적인 예에서, 하부 물질(들)의 노출된 층 표면(111) 상에 증착된 NPC(1120)의 두께는 약 1 nm 내지 약 5 nm 및/또는 약 1 nm 내지 약 3 nm일 수 있다.

[0894] 본 개시내용은, 적어도 하나의 층 및/또는 코팅과 관련하여, 기상 증착의 관점에서 박막 형성을 논의하지만, 당업자는, 일부 비제한적인 예에서, 전자 발광 디바이스의 다양한 구성요소(100)는, 이에 제한되는 것은 아니지만, 증발(열 증발 및/또는 전자빔 증발을 포함하지만 이에 제한되지 않음), 포토리소그래피, 프린팅(잉크젯 및/또는 증기 젯 프린팅, 릴-투-릴 프린팅 및/또는 마이크로-접촉 전사 프린팅을 포함하지만 이에 제한되지 않음), PVD(스퍼터링을 포함하지만 이에 제한되지 않음), CVD(플라즈마 강화 CVD(PECVD) 및/또는 OVPD를 포함하지만 이에 제한되지 않음), 레이저 어닐링, LITI 패터닝, ALD, 코팅(스핀 코팅, 딥 코팅, 라인 코팅 및/또는 스프레이 코팅을 포함하지만 이에 제한되지 않음), 및/또는 이들 중 임의의 둘 이상의 조합을 포함하는 매우 다양

한 기술을 사용하여 선택적으로 증착시킬 수 있다는 것을 이해할 수 있을 것이다. 이러한 공정은 다양한 패턴을 달성하기 위해 섀도우 마스크와 조합하여 사용될 수 있다.

[0895] NIC

[0896] 특정 이론에 얽매이려는 것은 아니지만, 기판(110)의 노출된 층 표면(111)과 NIC(810) 사이의 계면에서 및/또는 계면 근처에서 박막 핵 생성 및 성장 동안, 필름의 에지와 기판(110) 사이의 비교적 높은 접촉각(θ_c)이 NIC(810)에 의한 박막의 고체 표면의 "디웨팅(dewetting)"으로 인해 관찰될 것이라고 가정된다. 이러한 디웨팅 특성은 기판(110), 박막, 증기(7) 및 NIC(810) 층 사이의 표면 에너지를 최소화시킴으로써 구동될 수 있다. 따라서, NIC(810) 및 그의 특성의 존재는 일부 비제한적인 예에서 전도성 코팅(830)의 에지의 핵 형성 및 성장 모드에 영향을 미칠 수 있다고 가정될 수 있다.

[0897] 특정 이론에 얽매이려는 것은 아니지만, 일부 비제한적인 예에서 전도성 코팅(830)의 접촉각(θ_c)은 전도성 코팅(830)이 형성되는 영역에 인접하게 배치된 NIC(810)의 특성(초기 고착 확률(S_0)을 포함하지만, 이에 제한되지 않음)에 적어도 부분적으로 기초하여 결정될 수 있다고 가정된다. 따라서, 상대적으로 높은 접촉각(θ_c)을 나타내는 전도성 코팅(830)의 선택적 증착을 가능하게 하는 NIC(810) 물질이 어느 정도의 이점을 제공할 수 있다.

[0898] 특정 이론에 얽매이려는 것은 아니지만, 일부 비제한적인 예에서 핵 생성 및 성장 동안 존재하는 다양한 계면 장력 사이의 관계는 모세관 이론에서 Young의 방정식에 따라 지시될 수 있다고 가정된다:

[0899] $$\gamma_{sv} = \gamma_{fs} + \gamma_{vf} \cos\theta$$

[0900] 상기 식에서, γ_{sv}는 기판(110)과 증기 사이의 계면 장력에 해당하고, γ_{fs}는 박막과 기판(110) 사이의 계면 장력에 해당하고, γ_{vf}는 증기와 필름 사이의 계면 장력에 해당하며, θ는 필름 핵 접촉각이다. **도 40**은 상기 방정식에서 제시된 다양한 파라미터들 사이의 관계를 도시한다.

[0901] Young 방정식에 기초하여, 섬 성장의 경우 필름 핵 접촉각(θ)이 0보다 크므로 관계식 $\gamma_{sv} < \gamma_{fs} + \gamma_{vf}$ 가 유도될 수 있다.

[0902] 증착된 필름이 기판(110)을 "습윤"시키는 층 성장의 경우, 핵 접촉각 $\theta = 0$이므로, 따라서 $\gamma_{sv} = \gamma_{fs} + \gamma_{vf}$ 이다.

[0903] 필름 과성장의 단위 면적당 변형 에너지가 증기와 필름 사이의 계면 장력에 대해 큰 스트란스키-크라스타노프(Stranski-Krastanov)(S-K) 성장의 경우, 관계식은 다음과 같다: $\gamma_{sv} > \gamma_{fs} + \gamma_{vf}$.

[0904] NIC(810)와 기판(110)의 노출된 층 표면(111) 사이의 계면에서 전도성 코팅(830)의 핵 생성 및 성장 모드는 아일랜드 성장 모델을 따를 수 있다고 가정될 수 있으며, 여기서 $\theta > 0$이다. 특히, NIC(810)가 전도성 코팅(830)을 형성하는 데 사용되는 물질에 대해 상대적으로 낮은 친화도 및/또는 낮은 초기 고착 확률(S_0)(즉, 디웨팅)을 나타내는 경우, 전도성 코팅(830)의 상대적으로 높은 박막 접촉각을 초래한다. 반대로, 전도성 코팅(830)이 NIC(810)를 사용하지 않고 표면에 선택적으로 증착되는 경우, 비제한적인 예로서 섀도우 마스크를 사용함으로써 전도성 코팅(830)의 핵 생성 및 성장 모드가 상이할 수 있다. 특히, 섀도우 마스크 패터닝 공정을 사용하여 형성된 전도성 코팅(830)은 적어도 일부 비제한적인 예에서 약 10° 미만의 비교적 작은 박막 접촉각을 나타낼 수 있는 것으로 관찰되었다.

[0905] 당업자는, 명시적으로 예시되지는 않았지만, NIC(810)를 형성하는 데 사용되는 물질이 또한 전도성 코팅(830)과 하부 표면(NPC(1120) 층 및/또는 기판(110)의 표면을 제한 없이 포함함) 사이의 계면에 어느 정도 존재할 수 있다는 것을 이해할 것이다. 이러한 물질은 증착된 패턴이 마스크의 패턴과 동일하지 않고 일부 비제한적인 예에서는 일부 증발된 물질이 타겟 표면(111)의 마스킹된 부분 상에 증착되는 섀도잉 효과의 결과로 증착될 수 있다. 비제한적인 예로서, 이러한 물질은 섬 및/또는 단절된 클러스터로서, 및/또는 NIC(810)의 평균 두께보다 실질적으로 더 작을 수 있는 두께를 갖는 박막으로서 형성될 수 있다.

[0906] 일부 비제한적인 예에서, 탈착을 위한 활성화 에너지(E_{des} 631)가 열 에너지(k_BT)의 약 2배 미만, 열 에너지(k_BT)의 약 1.5배 미만, 열 에너지(k_BT)의 약 1.3배 미만, 열 에너지(k_BT)의 약 1.2배 미만, 열 에너지(k_BT)의 미만, 열 에너지(k_BT)의 약 0.8배 미만, 및/또는 열 에너지(k_BT)의 약 0.5배 미만인 것이 바람직할 수 있다. 일부 비제한적인 예에서, 표면 확산을 위한 활성화 에너지(E_s 621)는 열 에너지(k_BT)의 초과, 열 에너지(k_BT)의 약

1.5배 초과, 열 에너지(k_BT)의 약 1.8배 초과, 열 에너지(k_BT)의 약 2배 초과, 열 에너지(k_BT)의 약 3배 초과, 열 에너지(k_BT)의 약 5배 초과, 열 에너지(k_BT)의 약 7배 초과, 및/또는 열 에너지(k_BT)의 약 10배 초과인 것이 바람직할 수 있다.

[0907] 일부 비제한적인 예에서, NIC(810)를 형성하는 데 사용하기에 적합한 물질은 약 0.3(또는 30%) 이하 및/또는 미만, 약 0.2 이하 및/또는 미만, 약 0.1 이하 및/또는 미만, 약 0.05 이하 및/또는 미만, 약 0.03 이하 및/또는 미만, 약 0.02 이하 및/또는 미만, 약 0.01 이하 및/또는 미만, 약 0.08 이하 및/또는 미만, 약 0.005 이하 및/또는 미만, 약 0.003 이하 및/또는 미만, 약 0.001 이하 및/또는 미만, 약 0.0008 이하 및/또는 미만, 약 0.0005 이하 및/또는 미만, 및/또는 약 0.0001 이하 및/또는 미만의 전도성 코팅(830)의 물질에 대한 초기 고착 확률(S_0)을 나타내고/내거나 갖는 것을 특징으로 하는 것들을 포함할 수 있다.

[0908] 일부 비제한적인 예에서, NIC(810)를 형성하는 데 사용하기에 적합한 물질은 약 0.03 내지 약 0.0001, 약 0.03 내지 약 0.0003, 약 0.03 내지 약 0.0005, 약 0.03 내지 약 0.0008, 약 0.03 내지 약 0.001, 약 0.03 내지 약 0.005, 약 0.03 내지 약 0.008, 약 0.03 내지 약 0.01, 약 0.02 내지 약 0.0001, 약 0.02 내지 약 0.0003, 약 0.02 내지 약 0.0005, 약 0.02 내지 약 0.0008, 약 0.02 내지 약 0.0005, 약 0.02 내지 약 0.0008, 약 0.02 내지 약 0.001, 약 0.02 내지 약 0.005, 약 0.02 내지 약 0.008, 약 0.02 내지 약 0.01, 약 0.01 내지 약 0.0001, 약 0.01 내지 약 0.0003, 약 0.01 내지 약 0.0005, 약 0.01 내지 약 0.0008, 약 0.01 내지 약 0.001, 약 0.01 내지 약 0.005, 약 0.01 내지 약 0.008, 약 0.008 내지 약 0.0001, 약 0.008 내지 약 0.0003, 약 0.008 내지 약 0.0005, 약 0.008 내지 약 0.0008, 약 0.008 내지 약 0.001, 약 0.008 내지 약 0.005, 약 0.005 내지 약 0.0001, 약 0.005 내지 약 0.0003, 약 0.005 내지 약 0.0005, 약 0.005 내지 약 0.0008, 및/또는 약 0.005 내지 약 0.001의 전도성 코팅(830)의 물질에 대한 초기 고착 확률(S_0)을 나타내고/내거나 갖는 것을 특징으로 하는 것들을 포함한다.

[0909] 일부 비제한적인 예에서, NIC(810)를 형성하는 데 사용하기에 적합한 물질은 저분자(small molecule) 유기 물질 및/또는 유기 중합체와 같은 유기 물질을 포함할 수 있다. 적합한 유기 물질의 비제한적인 예는 선택적으로 질소(N), 황(S), 산소(O), 인(P) 및/또는 Al을 제한 없이 포함하는 하나 이상의 헤테로원자를 제한 없이 포함하는 유기 분자를 제한 없이 포함하는 폴리사이클릭 방향족 화합물을 제한 없이 포함한다. 일부 비제한적인 예에서, 폴리사이클릭 방향족 화합물은 코어 모이어티 및 코어 모이어티에 결합된 적어도 하나의 말단 모이어티를 각각 포함하는 유기 분자를 포함할 수 있으나, 이에 제한되지 않는다. 말단 모이어티의 비제한적인 수는 1개 이상, 2개 이상, 3개 이상, 및/또는 4개 이상일 수 있다. 전술한 내용의 일반성을 제한하려는 것은 아니지만, 2개 이상의 말단 모이어티의 경우, 말단 모이어티는 동일하고/하거나 상이할 수 있고, 및/또는 말단 모이어티의 서브세트는 동일할 수 있지만 적어도 하나의 나머지 모이어티와 상이할 수 있다.

[0910] 적합한 핵 생성 억제 물질은 저분자(small molecule) 유기 물질 및 유기 중합체와 같은 유기 물질을 포함한다.

[0911] NIC(810)를 형성하는 데 사용하기에 적합한 물질의 비제한적인 예는 미국 특허 제10,270,033호, PCT 국제 출원 PCT/IB2018/052881호, PCT 국제 출원 PCT/IB2019/053706호 및/또는 PCT 국제 출원 PCT/IB2019/050839호 중 적어도 하나에 기재된 적어도 하나의 물질을 포함한다.

[0912] 일부 비제한적인 예에서, NIC(810)는 광학 코팅으로 작용할 수 있다. 일부 비제한적인 예에서, NIC(810)는 디바이스(100)의 적어도 하나의 발광 영역(1910)으로부터 방출된 광의 특성 및/또는 특징을 수정할 수 있다. 일부 비제한적 예에서, NIC(810)는 방출된 광의 산란을 야기하는 헤이즈 정도를 나타낼 수 있다. 일부 비제한적인 예에서, NIC(810)는 이를 통해 투과된 광의 산란을 야기하는 결정질 물질을 포함할 수 있다. 이러한 광의 산란은 일부 비제한적인 예에서 디바이스로부터의 광의 아웃커플링의 향상을 촉진할 수 있다. 일부 비제한적인 예에서, NIC(810)는 초기에 실질적으로 비정질인 비결정질 코팅으로서 증착될 수 있지만, 증착 후, NIC(810)는 결정화될 수 있고 그 후에 광학 커플링으로서 역할을 할 수 있다.

[0913] 앞에서 논의된 바와 같이, 일부 비제한적인 예에서, CPL(3610) 중 하나 이상은 NIC(810)로서 작용할 수 있으며, 일부 비제한적인 예에서는, 본원에서 기술되는 거동을 나타낼 수 있다.

[0914] 본 개시내용의 특징 또는 양태가 Markush 그룹의 관점에서 설명되는 경우, 당업자는 본 개시내용이 또한 Markush 그룹의 하위 그룹의 멤버 중 임의의 개별 멤버의 관점에서도 설명된다는 것을 이해할 것이다.

[0915] 용어 해설

[0916] 단수 형태의 언급은 달리 명시되지 않는 한 복수를 포함하고 그 반대의 경우도 마찬가지이다.

[0917] 본원에서 사용된 바와 같이, "제1" 및 "제2"와 같은 관계 용어, 및 "a", "b" 등과 같은 넘버링 방법은 하나의 엔티티 또는 요소를 다른 엔티티 또는 그러한 엔티티 또는 요소 간의 물리적 또는 논리적 관계 또는 순서를 반드시 요구하거나 암시하지 않는 요소이다.

[0918] "포함하는" 및 "구성하는"이라는 용어는 광범위하고 개방적인 방식으로 사용되며, 따라서 "포함하지만 이에 제한되지 않는"을 의미하는 것으로 해석되어야 한다. "예" 및 "예시적"이라는 용어는 단순히 예시적 목적을 위한 경우를 식별하기 위해 사용되며 본 발명의 범위를 명시된 경우로 제한하는 것으로 해석되어서는 안 된다. 특히, "예시적"이라는 용어는 디자인, 성능 또는 다른 측면에서 사용되는 표현에 어떤 찬사, 유익성 또는 기타 품질을 나타내거나 부여하는 의미로 해석되어서는 안 된다.

[0919] "결합하다" 및 "통신하다"라는 용어는 어떤 형태로든 광학적, 전기적, 기계적, 화학적, 또는 기타 다른 방식으로 일부의 인터페이스, 디바이스, 중간 구성요소 또는 연결을 통한 직접적인 연결 또는 간접적인 연결을 의미하도록 의도된다.

[0920] 다른 구성요소에 대한 제1 구성요소의 언급시에 사용될 때 "~상에" 또는 "~위에"라는 용어 및/또는 다른 구성요소를 "덮고 있는" 또는 "덮는"이라는 용어는 제1 구성요소가 다른 구성 요소 상에 직접적으로 위치(물리적으로 접촉하는 것을 포함하지만 이에 제한되지는 않음)하는 상황뿐만 아니라 하나 이상의 중간 구성 요소가 제1 구성요소와 다른 구성요소 사이에 위치하는 상황을 포함할 수 있다.

[0921] 양, 비율 및/또는 기타 수치 값은 때로는 본원에서 범위 형식으로 표시된다. 이러한 범위 형식은 편의성, 예시 및 간결성을 위해 사용되며, 범위의 한계로 명시적으로 지정된 수치 값, 뿐만 아니라 각각의 수치 값 및/또는 하위 범위가 명시적으로 지정된 경우에는 또한 모든 개별 수치 값 및/또는 해당 범위 내에 포함된 모든 하위 범위를 포함하는 것으로 유연하게 이해되어야 한다.

[0922] "상향", "하향", "좌측" 및 "우측"과 같은 방향 용어는 달리 언급되지 않는 한 참조되는 도면에서의 방향을 나타내는 데 사용된다. 유사하게, "내측으로" 및 "외측으로"와 같은 용어는 각각 디바이스의 기하학적 중심, 영역 또는 부피 또는 그의 지정된 부분을 향하거나 그로부터 멀어지는 방향을 나타내는 데 사용된다. 더욱이, 본원에서 기술되는 모든 치수는 특정 실시형태를 설명하기 위한 목적의 예로서만 의도되며, 본 개시내용의 범위가 다음과 같은 치수로부터 벗어날 수 있는 임의의 실시형태로 제한하도록 의도되지 않는다.

[0923] 본원에서 사용되는 용어 "실질적으로", "실질적인", "대략" 및/또는 "약"은 작은 변화를 나타내고 설명하는 데 사용된다. 사건이나 상황과 함께 사용되는 경우, 이러한 용어는 이벤트 또는 상황이 정확하게 발생하는 경우뿐만 아니라 사건 또는 상황이 근접한 근사치로 발생하는 경우를 나타낼 수 있다. 비제한적인 예로서 수치와 함께 사용될 때 이러한 용어는 해당 수치의 ±10% 이하의 편차 범위, 예를 들어, ±5% 이하, ±4% 이하, ±3% 이하, ±2% 이하, ±1% 이하, ±0.5% 이하, ±0.1% 이하, 또는 ±0.05% 이하의 편차 범위를 지칭할 수 있다.

[0924] 본원에서 사용되는 어구 "~로 실질적으로 이루어진"은 구체적으로 언급된 요소 및 기재된 기술의 기본 및 신규 특성에 실질적으로 영향을 미치지 않는 임의의 추가 요소는 포함하지만, 어구 "~로 이루어진"은 임의의 수정 없이 구체적으로 언급되지 않은 요소는 배제하는 것으로 이해될 것이다.

[0925] 당업자가 이해하는 바와 같이, 특히 서면 설명을 제공하는 관점에서, 임의의 및 모든 목적을 위해, 본원에 개시된 모든 범위는 또한 임의의 및 모든 가능한 하위범위 및 이들의 하위범위의 조합을 포함한다. 나열된 임의의 범위는 반, 3분의 1, 4분의 1, 5분의 1, 10분의 1 등을 포함하지만 이에 제한되지 않는 동일한 범위를 적어도 등분할 수 있도록 충분히 설명 및/또는 가능하게 하는 것으로 쉽게 인식될 수 있다. 비제한적인 예로서, 본원에서 논의되는 각각의 범위는 하부 1/3, 중간 1/3, 상부 1/3 등으로 용이하게 세분화될 수 있다.

[0926] 또한 당업자에 의해 이해되는 바와 같이, "최대", "적어도", "초과", "미만"등과 같은 모든 언어는 인용된 숫자를 포함하고, 인용된 범위를 포함 및/또는 참조할 수 있으며, 또한, 본 명세서에 논의된 바와 같이 후속적으로 하위 범위로 분류될 수 있는 범위를 지칭할 수 있다.

[0927] 관련 기술분야의 통상의 기술자가 이해하는 바와 같이, 범위는 인용된 범위의 각각의 개별적인 구성원을 포함한다.

[0928] 일반 원칙

[0929] 요약의 목적은 관련 특허청 또는 일반 대중, 특히 특허나 법률 용어 또는 어법에 익숙하지 않은 당업자가 피상

적인 조사에서 기술 공개의 성격을 신속하게 결정할 수 있도록 하려는 것이다. 요약은 본 개시의 범위를 정의하려는 것이 아니며, 어떤 식으로든 본 개시의 범위를 제한하려는 의도도 아니다.

[0930] 본원에서 개시되는 예시의 구조, 제조 및 사용은 상기에서 논의되었다. 논의된 특정 예는 단지 본원에서 개시된 개념을 구성하고 사용하는 특정 방식을 예시하는 것이며, 본 개시의 범위를 제한하지 않는다. 오히려, 본원에서 설명된 일반적인 원리는 단지 본 개시의 범위를 예시하는 것으로 간주된다.

[0931] 본 개시내용은 제공된 구현 세부사항이 아니라 청구범위에 의해 설명되고, 변경, 생략, 추가 또는 대체에 의해 및/또는 임의의 요소(들) 및/또는 대안 및/또는 동등한 기능 요소에 대한 제한(들)은 여기에 구체적으로 개시되었는지 여부에 관계없이 관련 기술 분야의 통상의 기술자에게 자명할 것이고, 본원에서 개시된 예에 대해 이루어질 수 있는 많은 것들을 제공할 수 있으며, 본 개시내용을 벗어나지 않으면서 매우 다양한 특정 맥락에서 구현될 수 있는 많은 적용 가능한 발명 개념을 제공할 수 있는 것으로 이해되어야 한다.

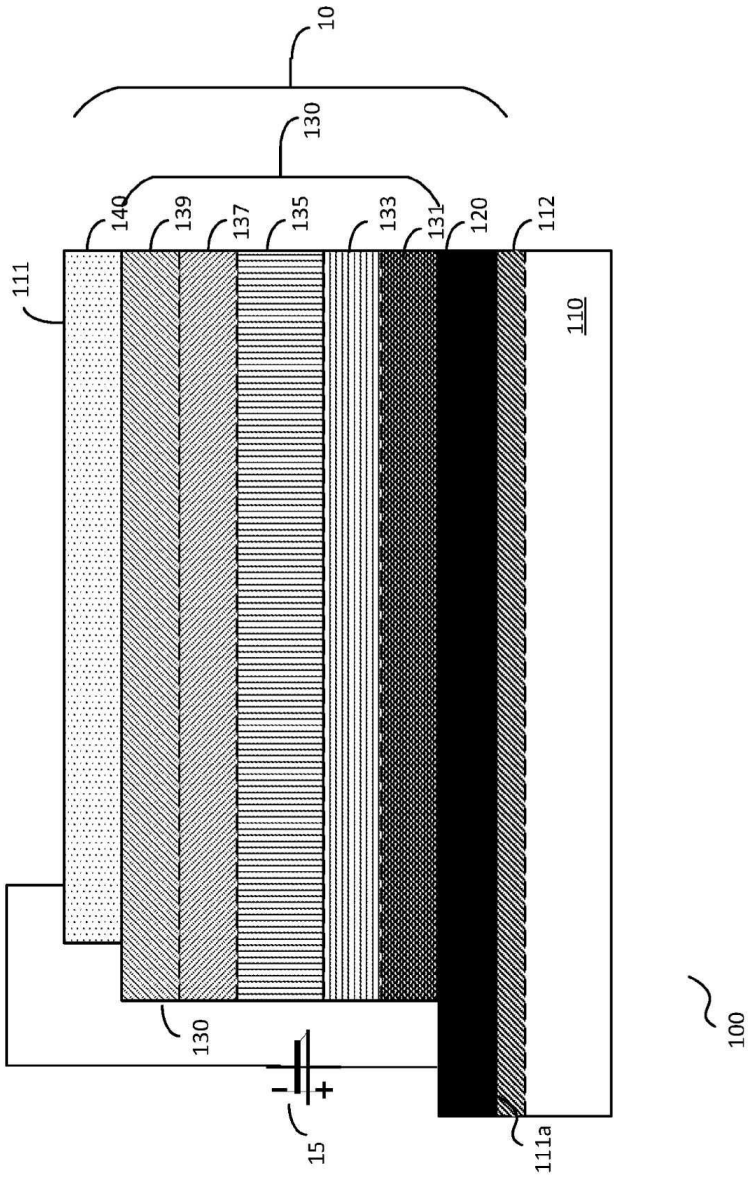
[0932] 특히, 하나 이상의 상술한 예들에서 기술되고 예시된 특징들, 기술들, 시스템들, 서브시스템들 및 방법들은, 이산적이거나 분리된 것으로 예시되어 기술되었는지 여부에 상관없이, 위에서 명시적으로 설명되지 않은 기능의 조합 또는 하위 조합으로 구성된 대안적인 예를 생성하기 위해 본 개시의 범위를 벗어나지 않고 다른 시스템에 결합 또는 통합될 수 있거나 특정 기능이 생략되거나 구현되지 않을 수 있다. 이러한 조합 및 하위 조합에 적합한 특징은 본 출원 전체를 검토할 때 당업자에게 용이하게 명백할 것이다. 변화, 대체 및 변경에 대한 다른 예는 쉽게 확인할 수 있으며 본원에서 개시된 진의 및 범위를 벗어나지 않고 이루어질 수 있다.

[0933] 본 개시내용의 원리, 측면 및 예, 뿐만 아니라 그의 특정 예를 인용하는 본원의 모든 진술은 그의 구조적 및 기능적 등가물을 모두 포함하고 기술의 모든 적합한 변경을 포괄하고 포함하도록 의도된다. 또한, 그러한 등가물은 현재 알려진 등가물뿐만 아니라 미래에 개발될 등가물, 즉 구조에 관계없이 동일한 기능을 수행하는 개발된 모든 요소를 모두 포함하는 것으로 의도된다.

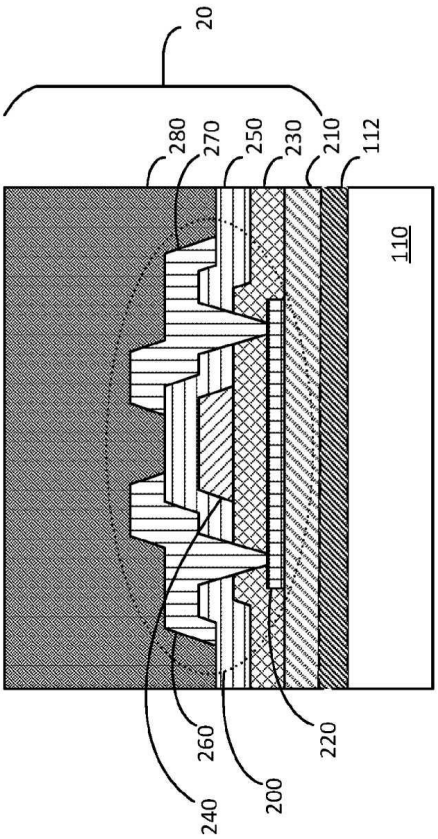
[0934] 따라서, 명세서 및 본원에서 개시되는 예들은 단지 예시적인 것으로 간주되어야 하며, 본 개시내용의 진정한 범위는 하기의 청구범위에 의해 개시되어야 한다.

도면

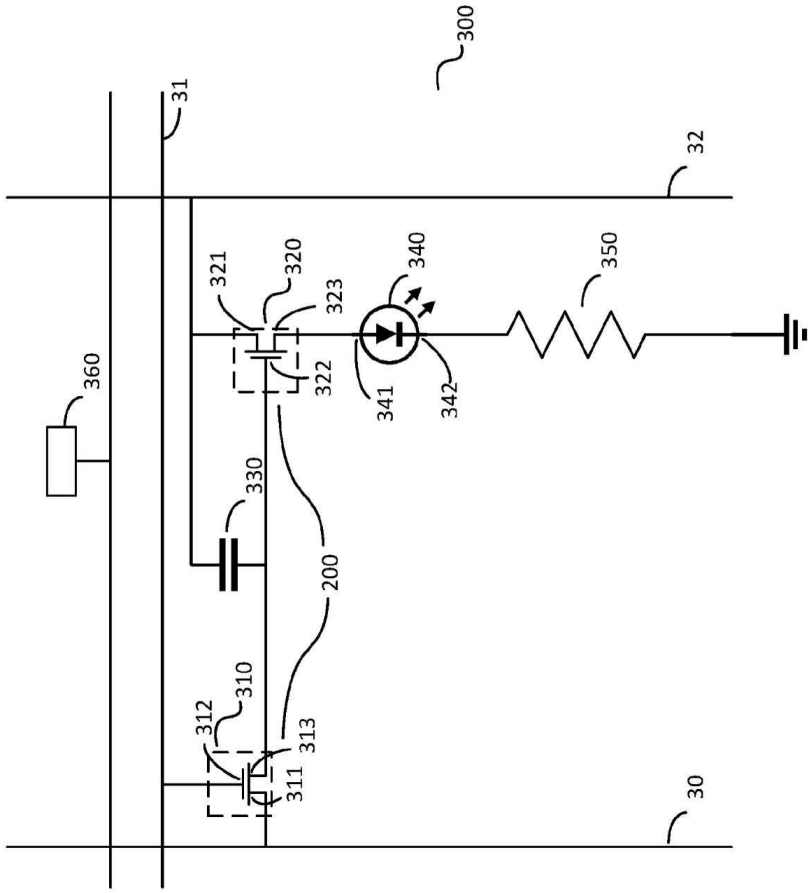
도면1



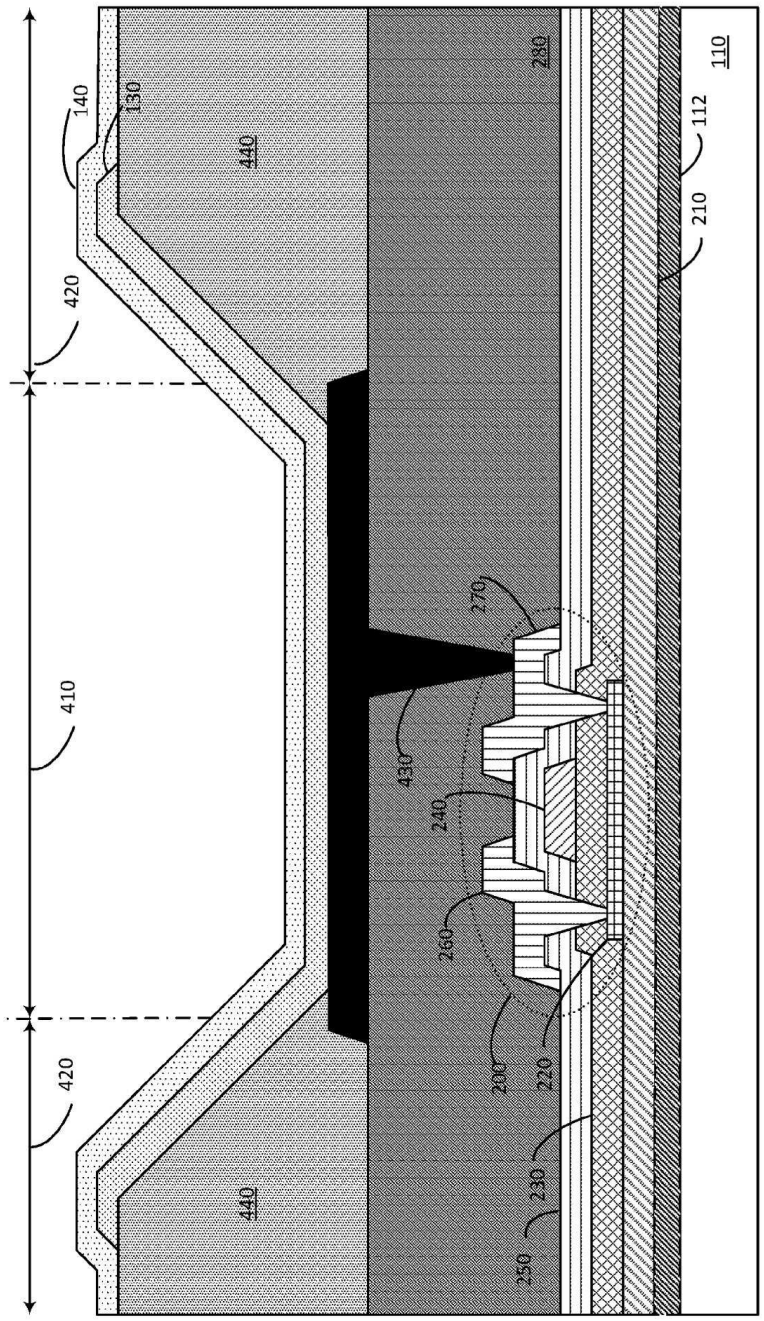
도면2



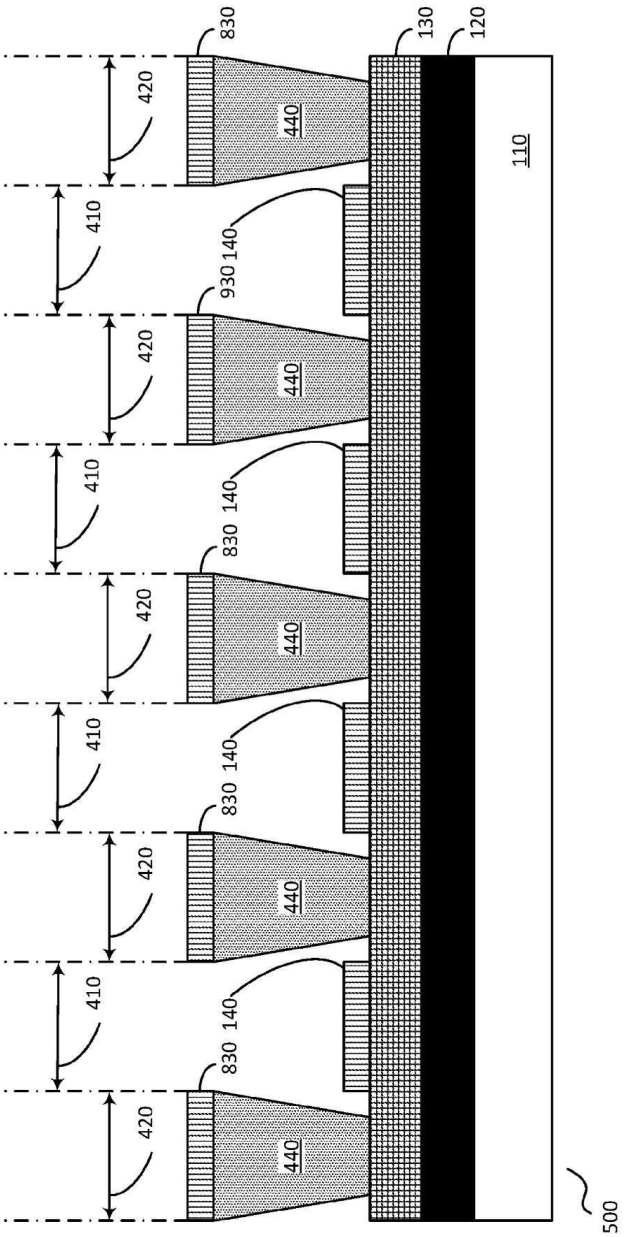
도면3


300
31
32
360
321
320
323
340
350
322
341
342
330
200
310
312
313
311
30

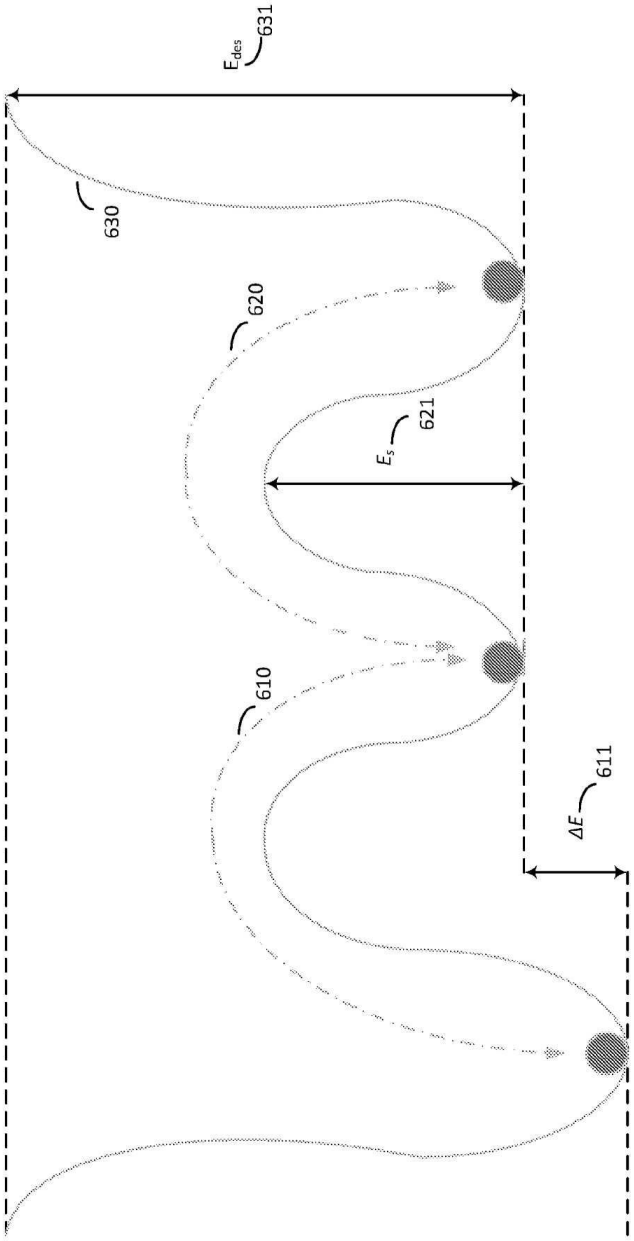
도면4


140
130
440
280
110
112
210
420
410
420
440
270
430
240
260
200
220
230
250

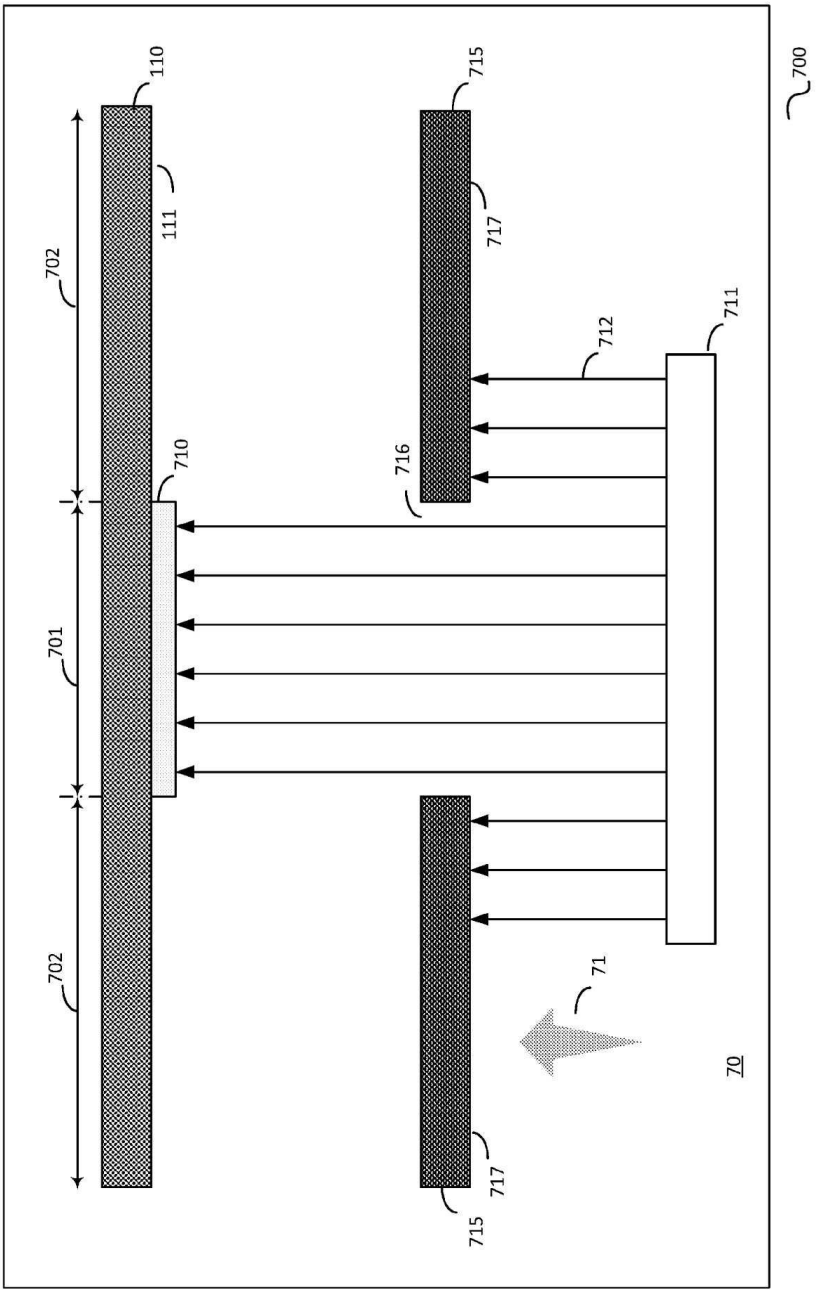
도면5


830
130
120
420
440
110
410
140
930
420
440
410
140
830
420
440
410
140
830
420
440
410
140
830
420
440
500

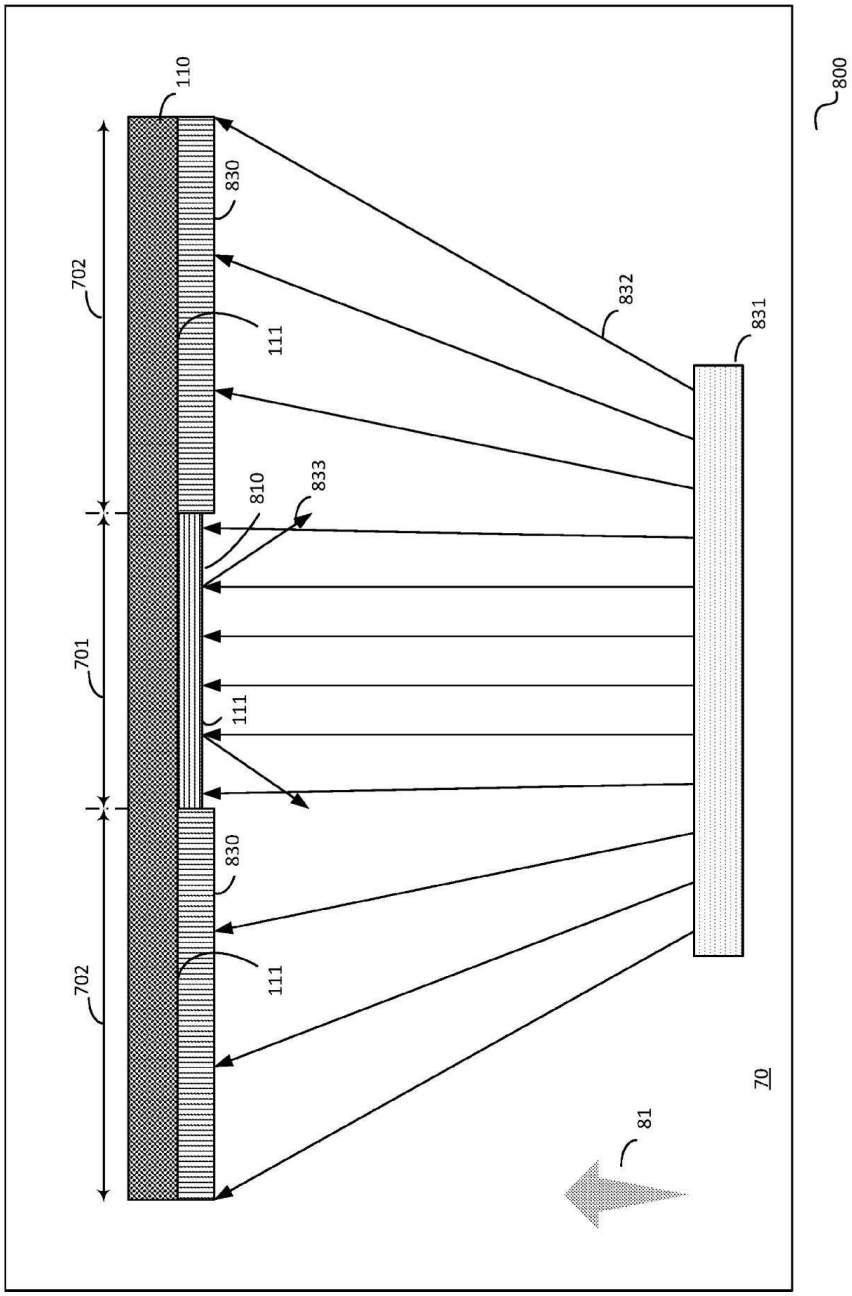
도면6



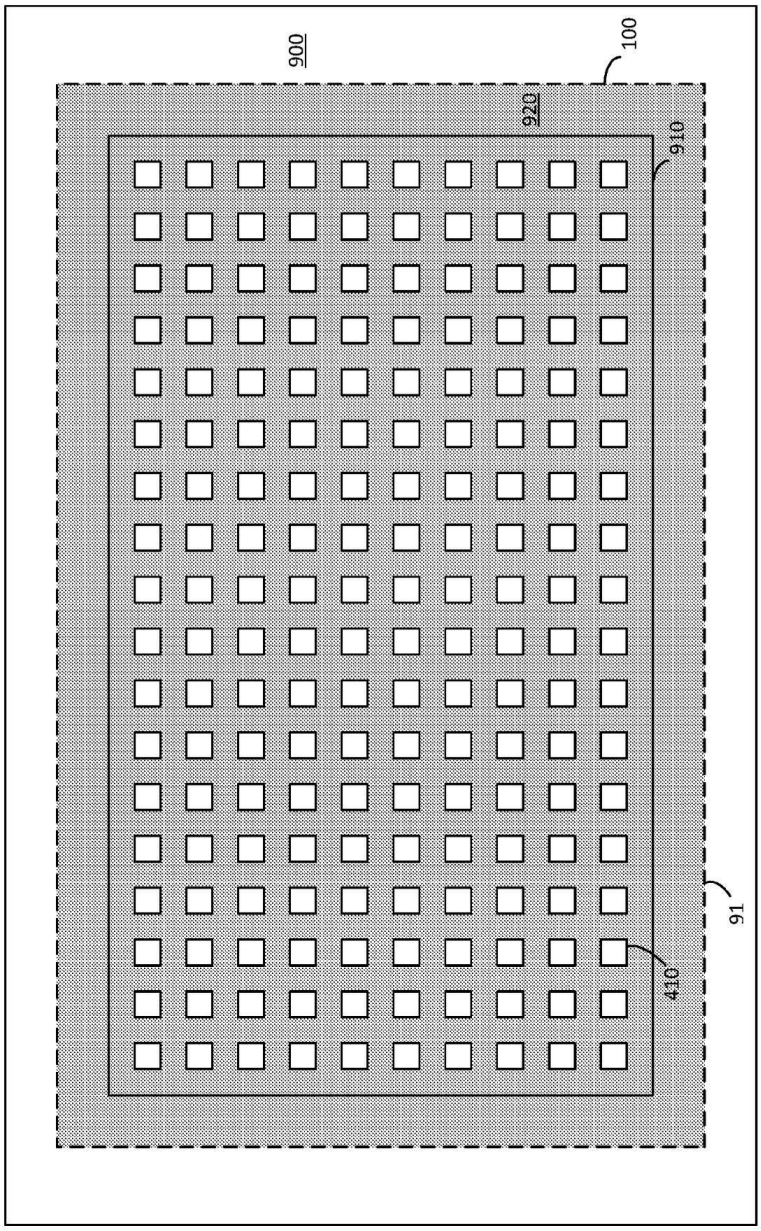
도면7



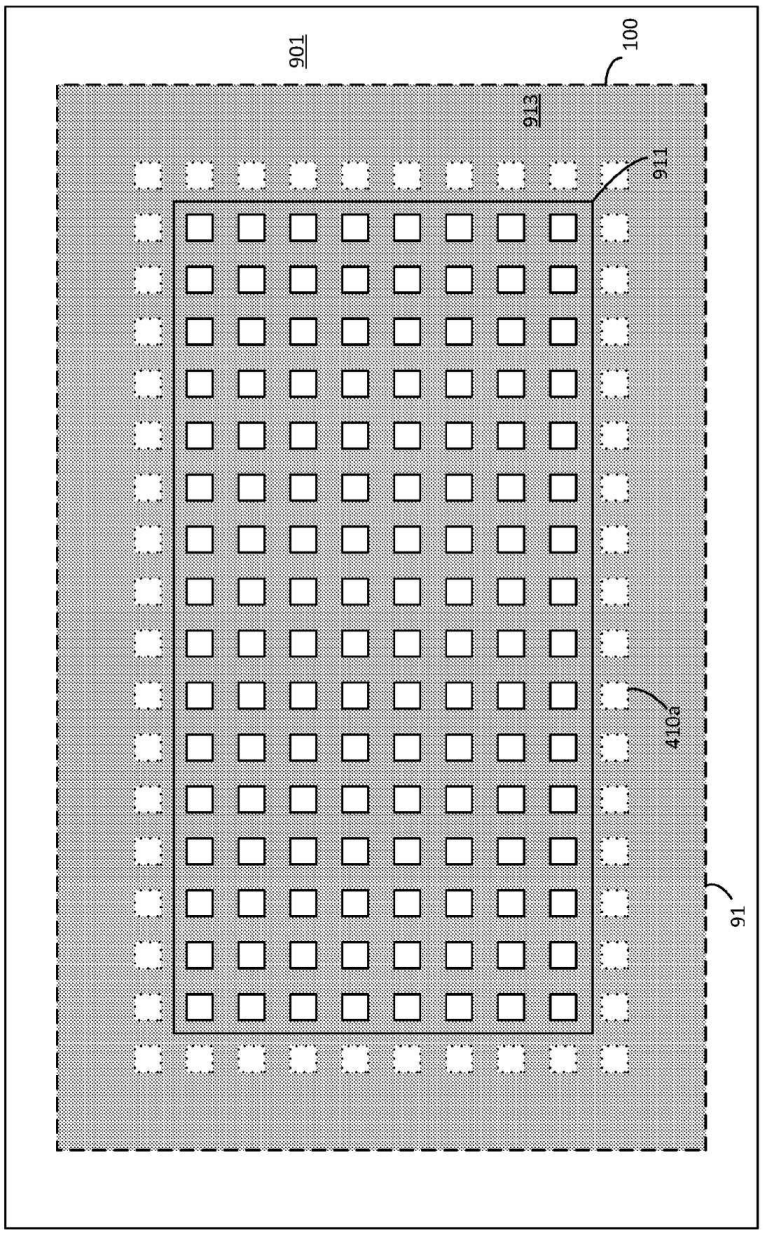
도면8



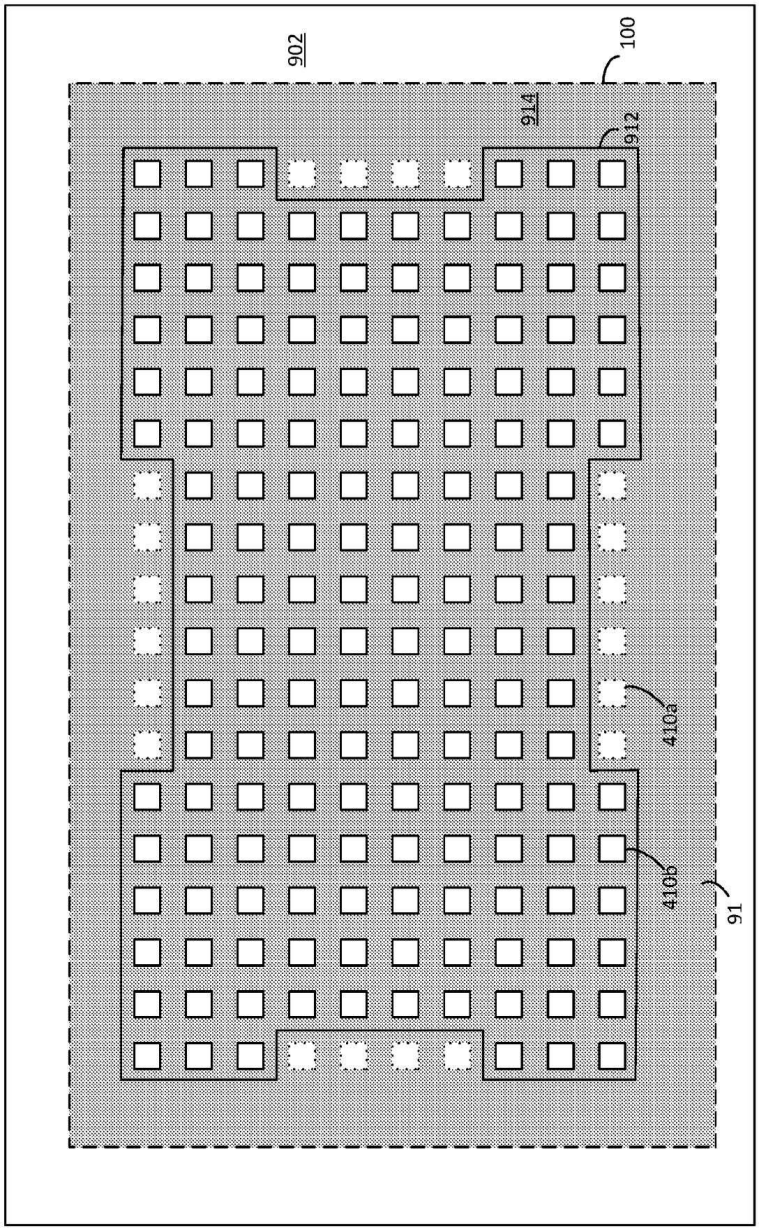
도면9a



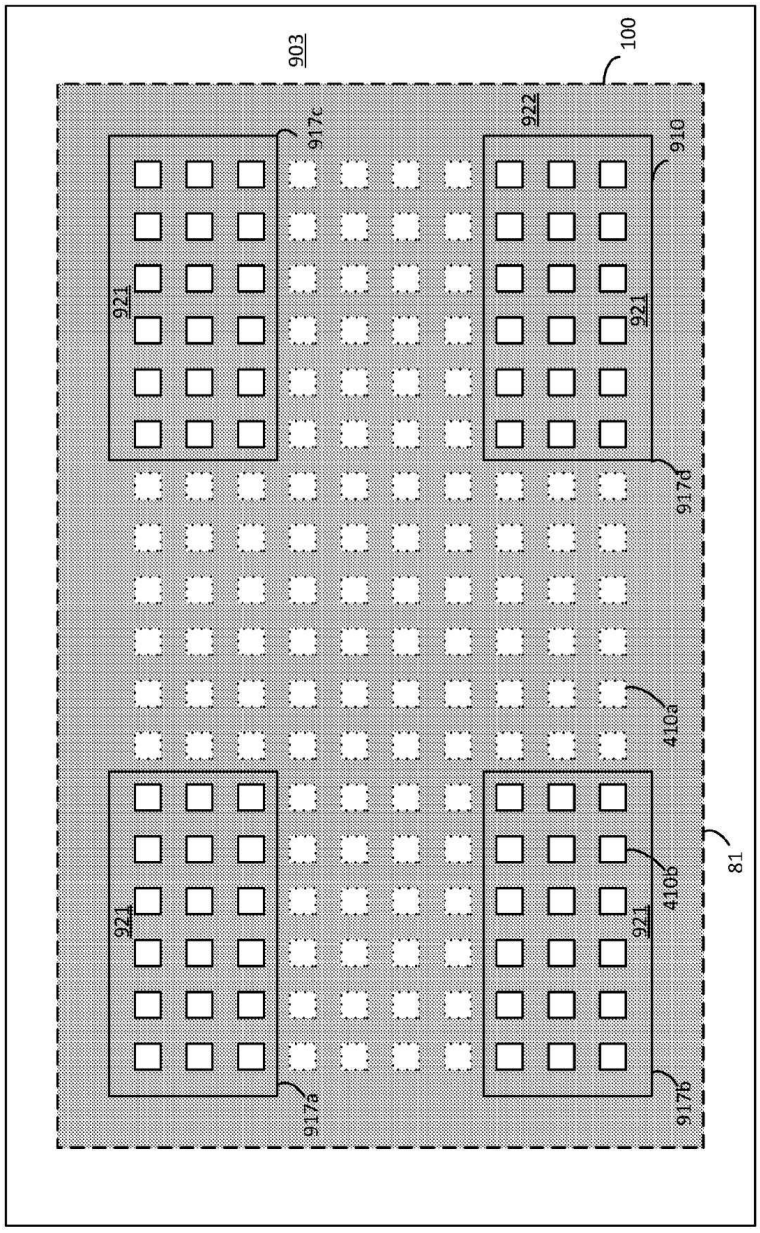
도면9b



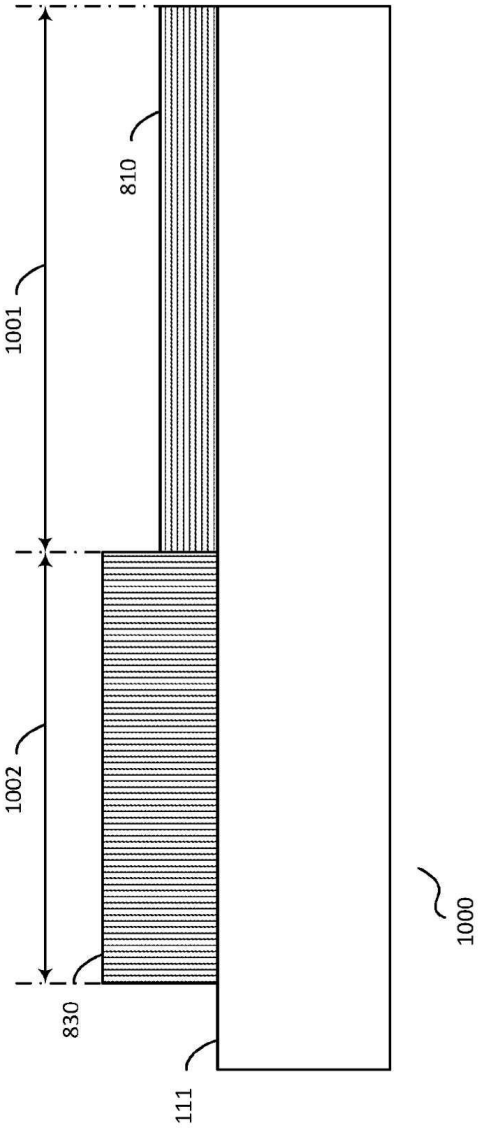
도면9c



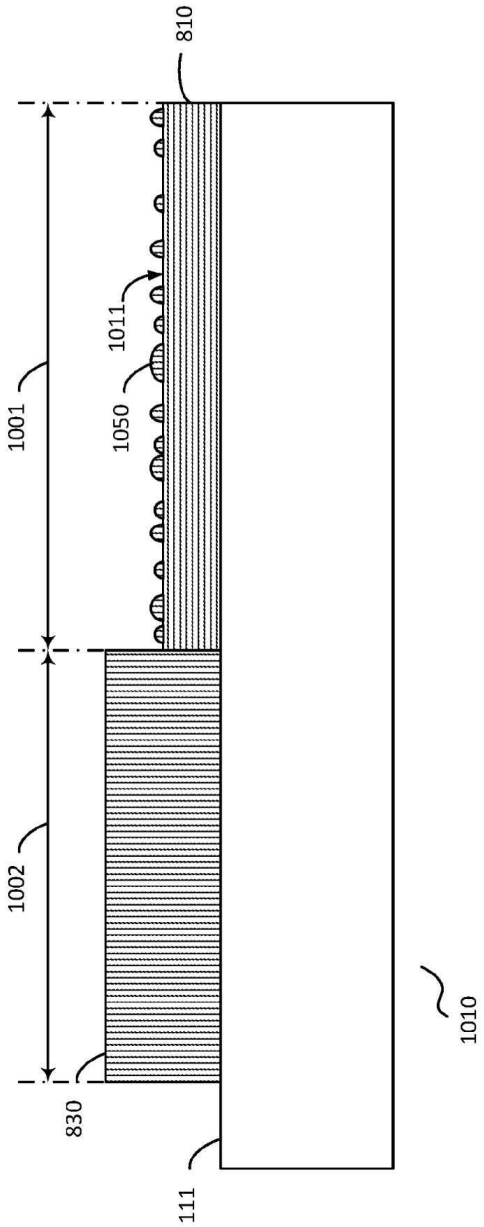
도면9d


903
100
922
917c
910
921
921
917d
410a
410b
81
921
921
917a
917b

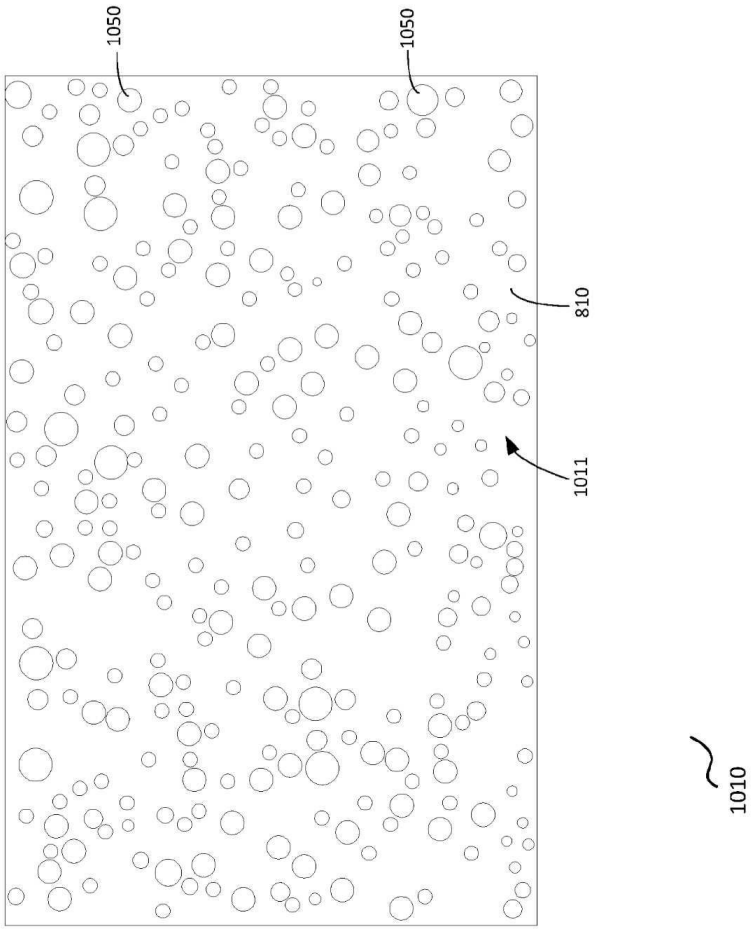
도면10a



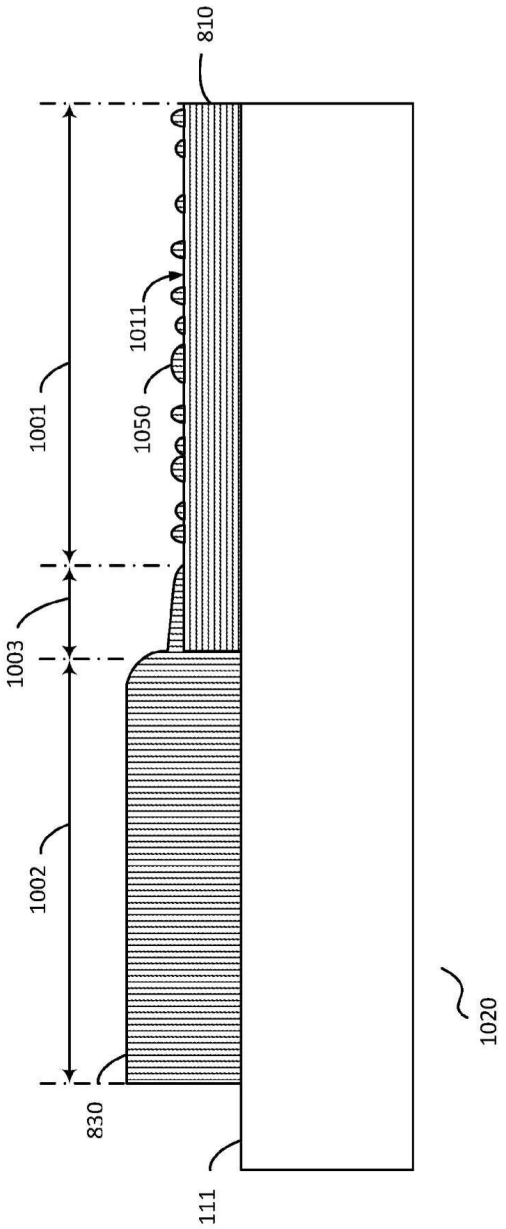
도면10b



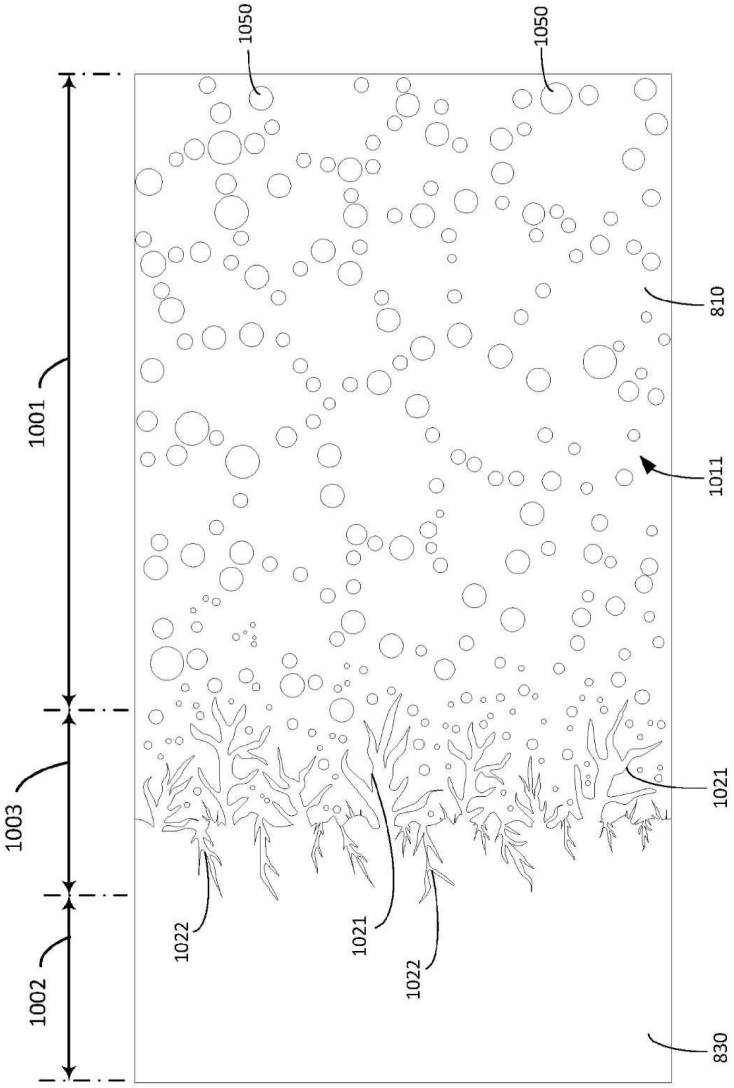
도면10c



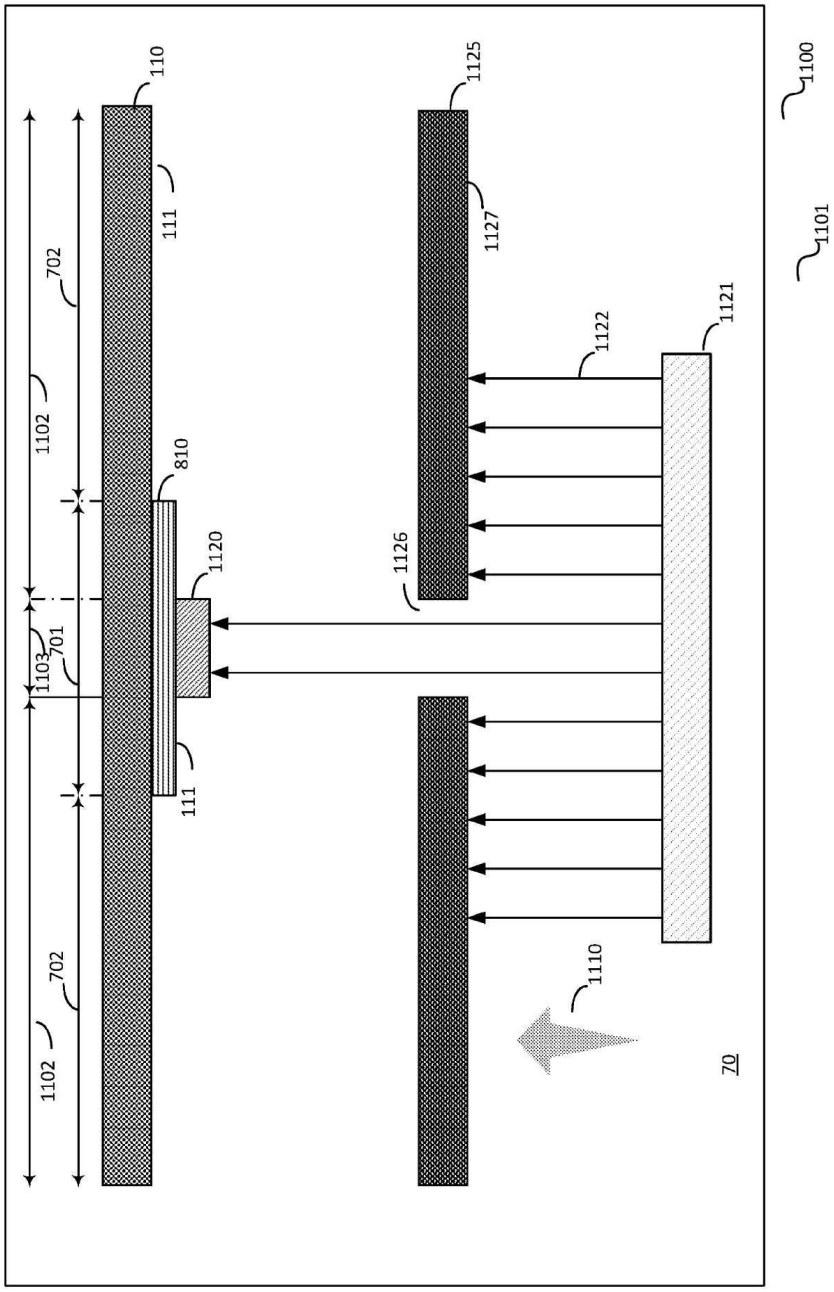
도면10d



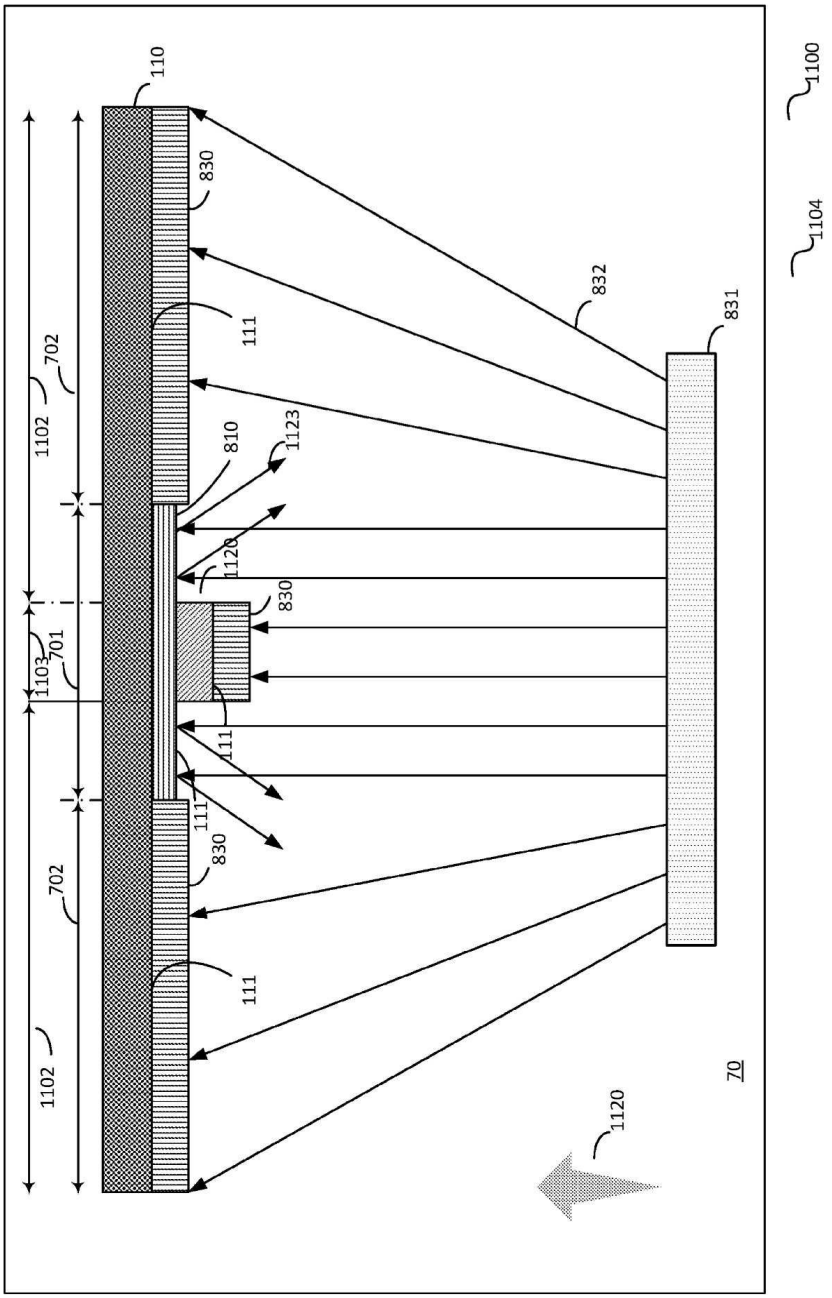
도면10e



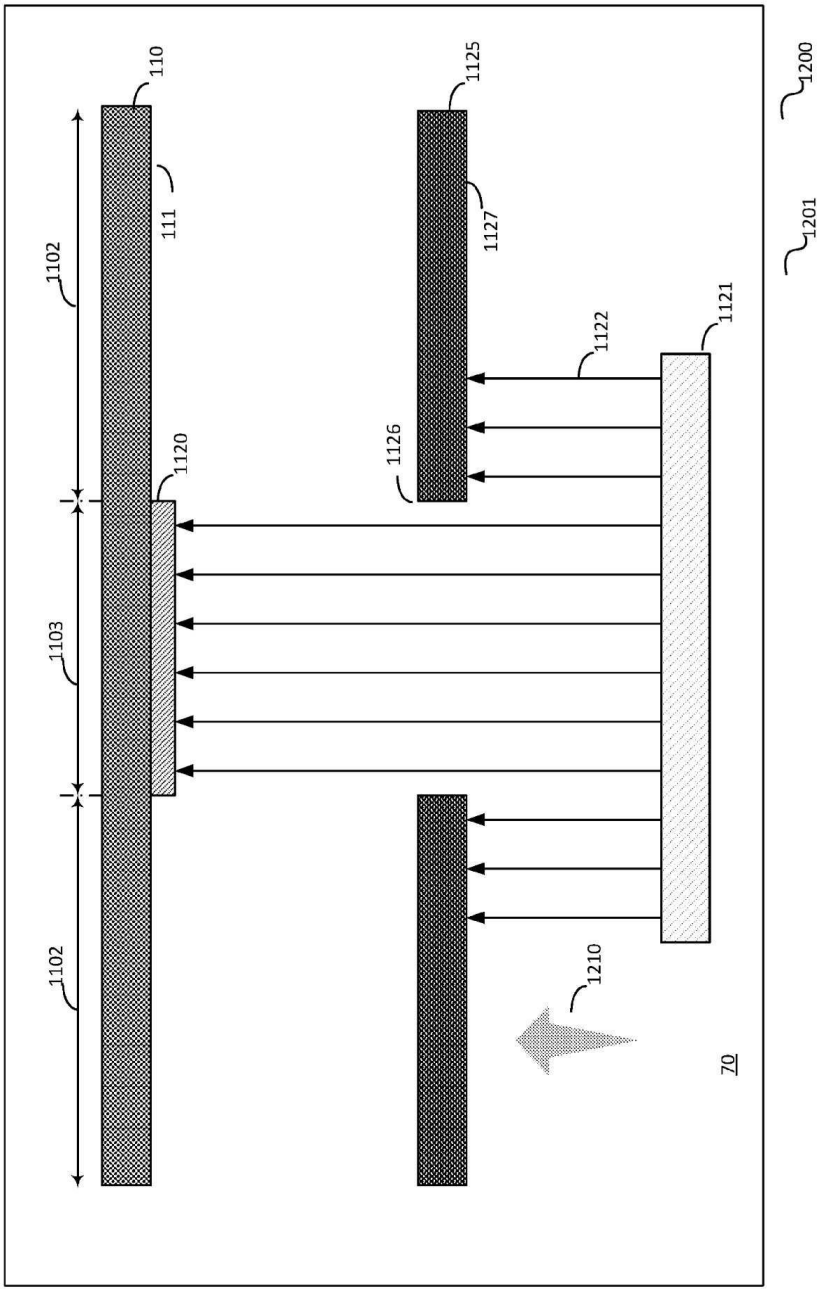
도면11a


110
111
702
1102
810
1120
1103
701
111
702
1102
1125
1127
1126
1122
1121
1100
1101
1110
70

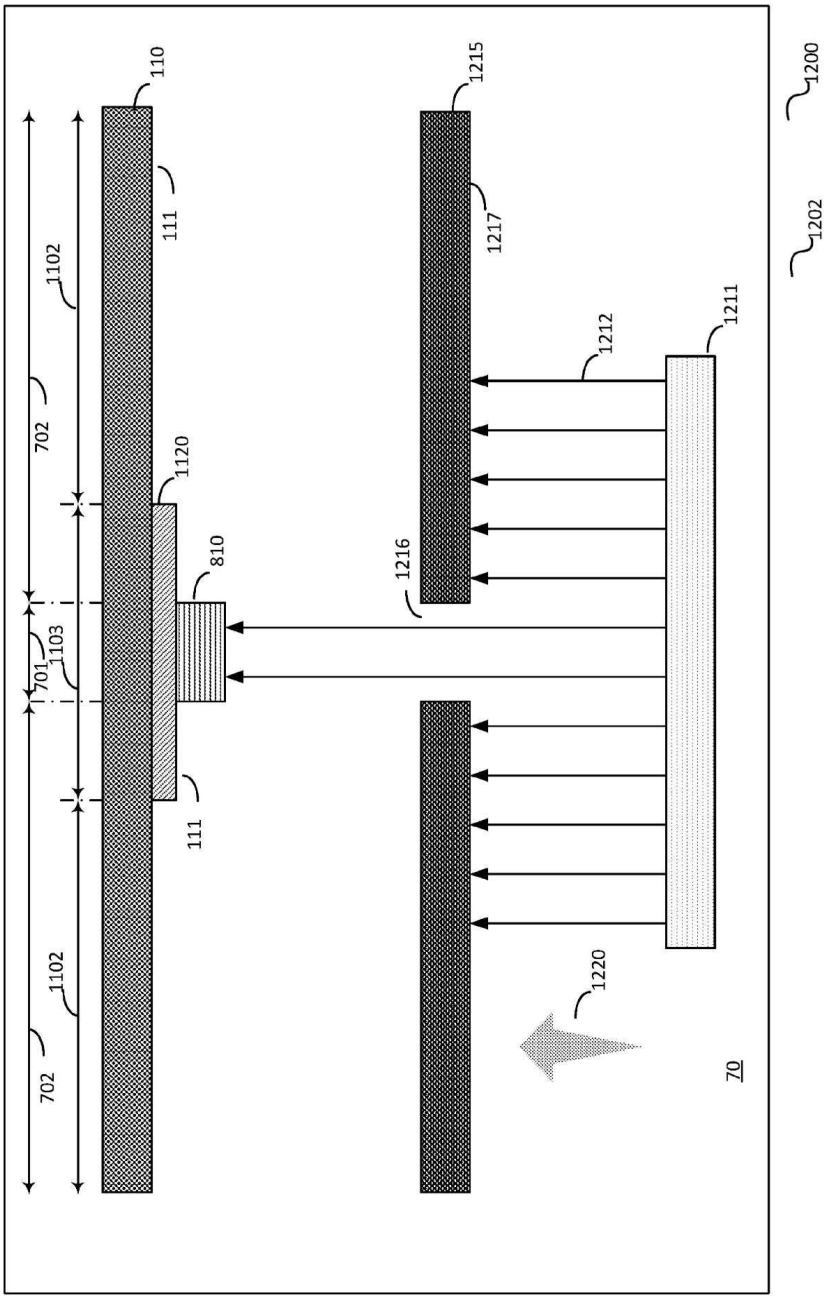
도면11b


110
1100
830
1104
832
831
111
702
1102
810
1123
1120
830
1103
701
111
111
830
702
111
1102
1120
Z0

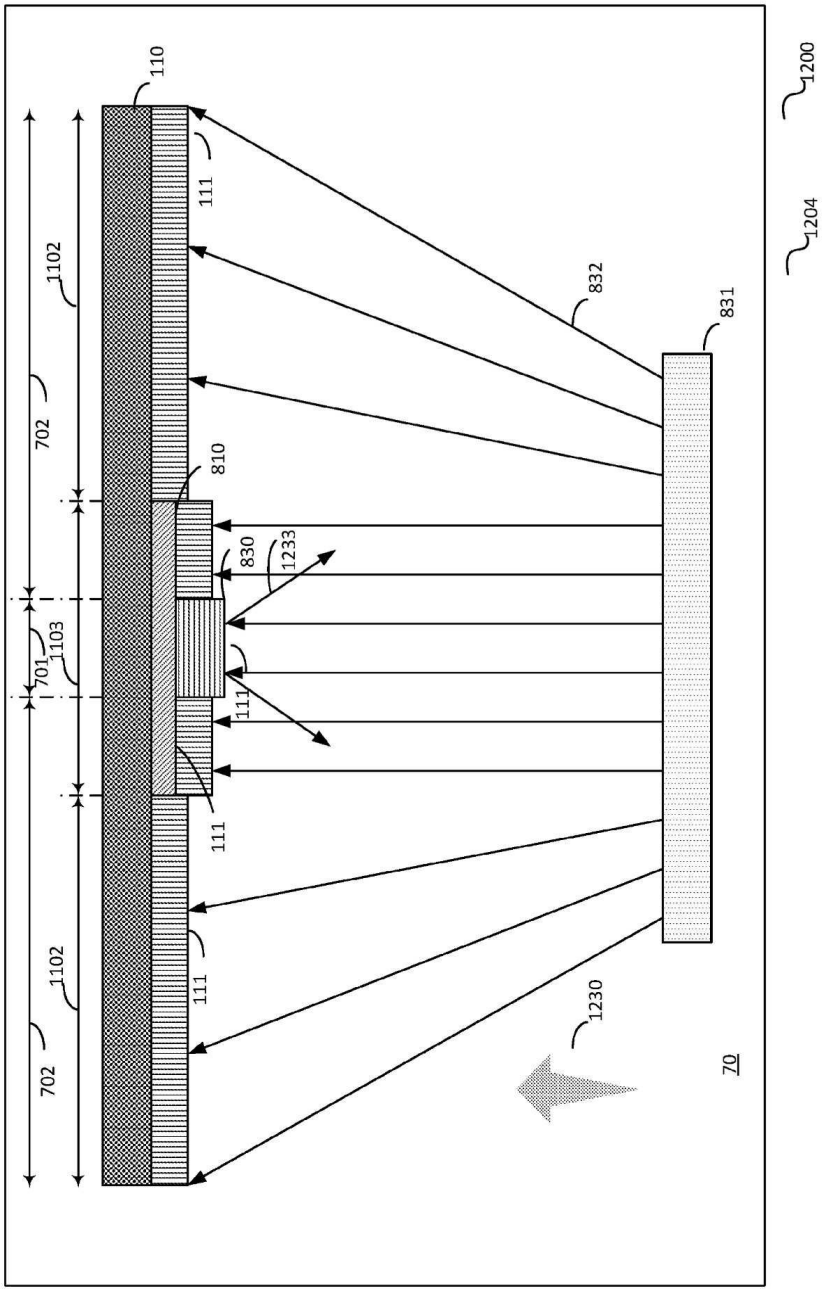
도면12a


110
111
1102
1103
1102
1120
1125
1127
1126
1122
1121
1200
1201
1210
70

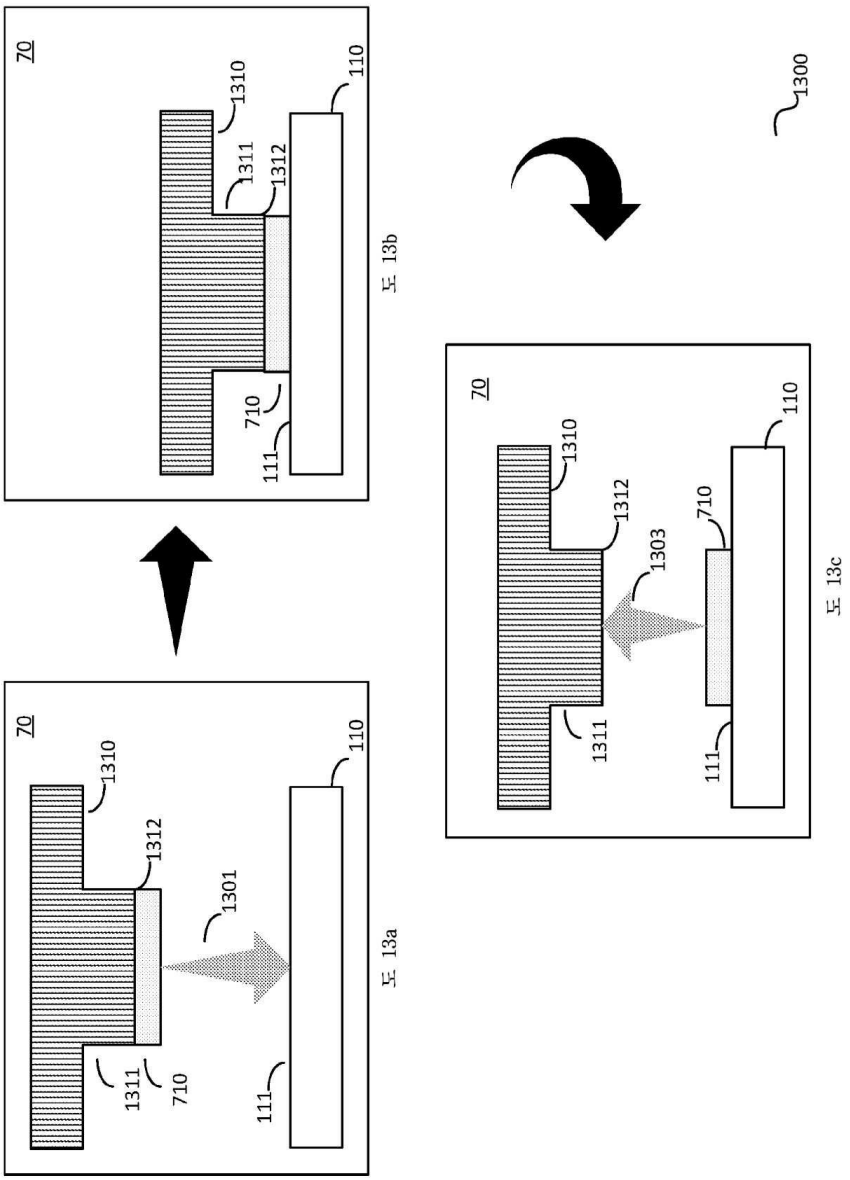
도면12b


110
111
1102
702
1120
810
1103
701
111
1102
702
1215
1217
1212
1211
1216
1220
Z0
1200
1202

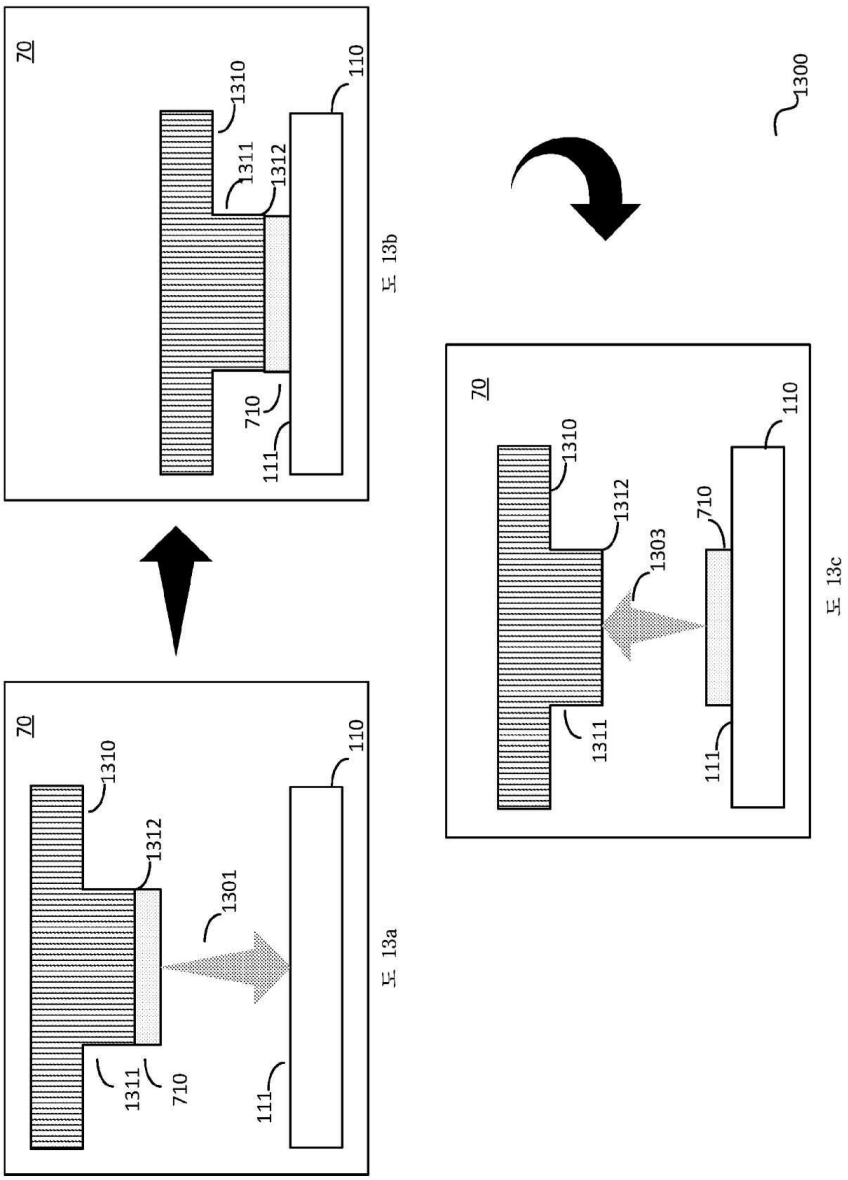
도면12c


110
1200
111
1204
1102
832
831
702
810
830
1233
1103
701
111
111
1102
111
1230
702
70

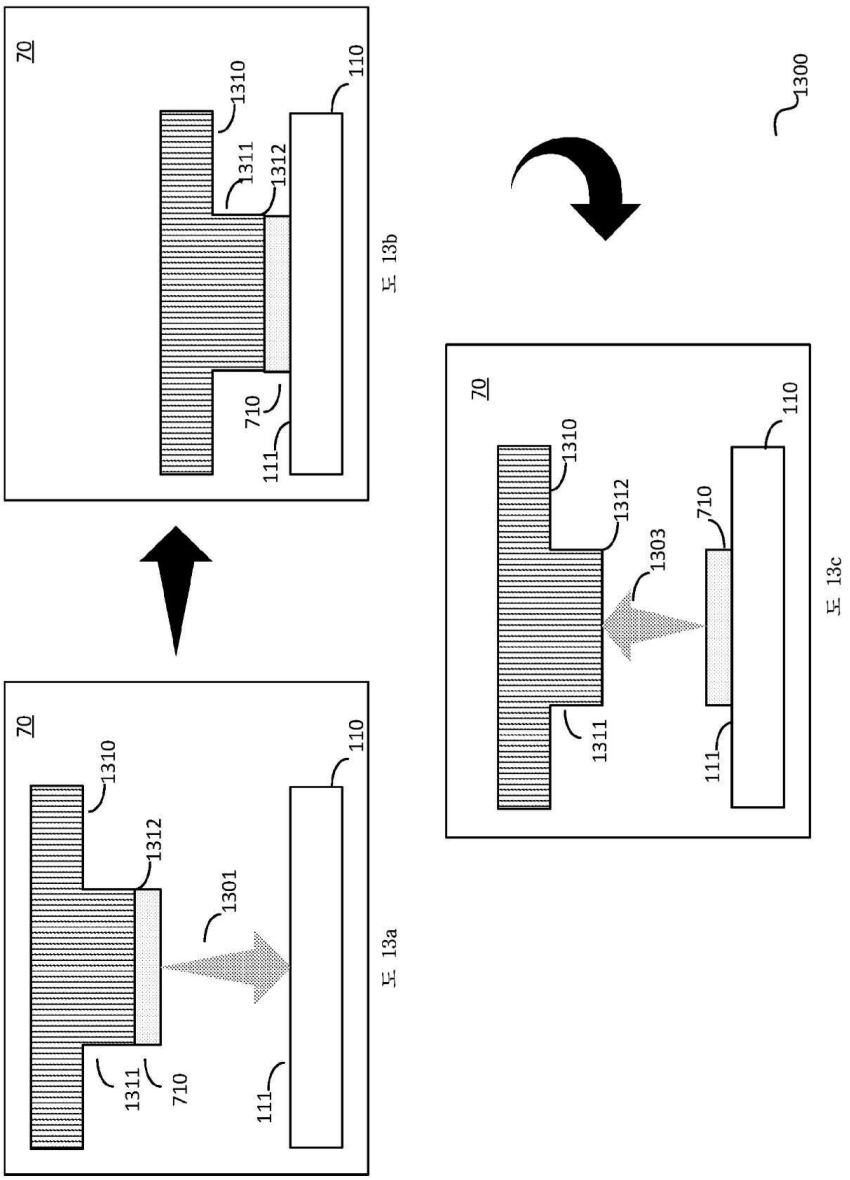
도면13a


70
1310
1312
1301
1311
710
111
110
도 13a
70
1310
1311
1312
710
111
110
도 13b
1300
70
1310
1312
1303
1311
710
111
110
도 13c

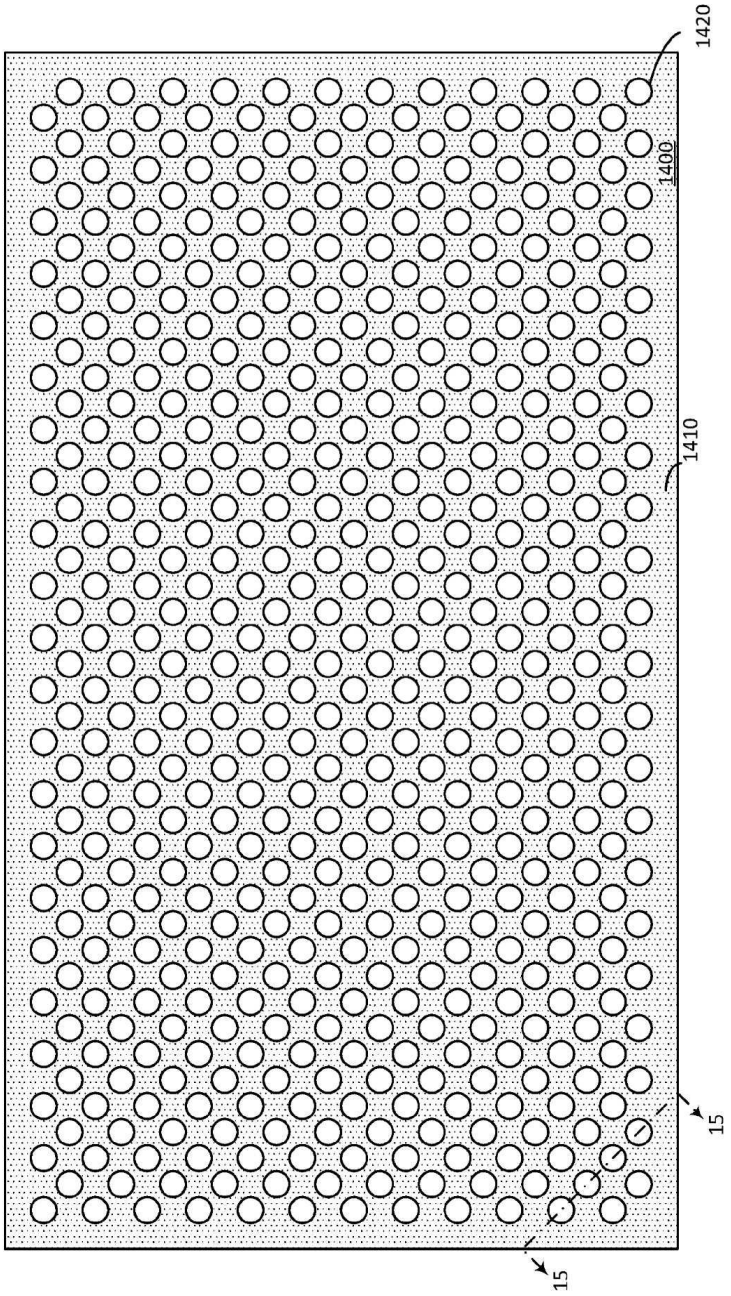
도면13b


70
1310
1311
1312
110
710
111
도 13b
1300
70
1310
1312
1303
710
110
1311
111
도 13c
70
1310
1312
1301
110
1311
710
111
도 13a

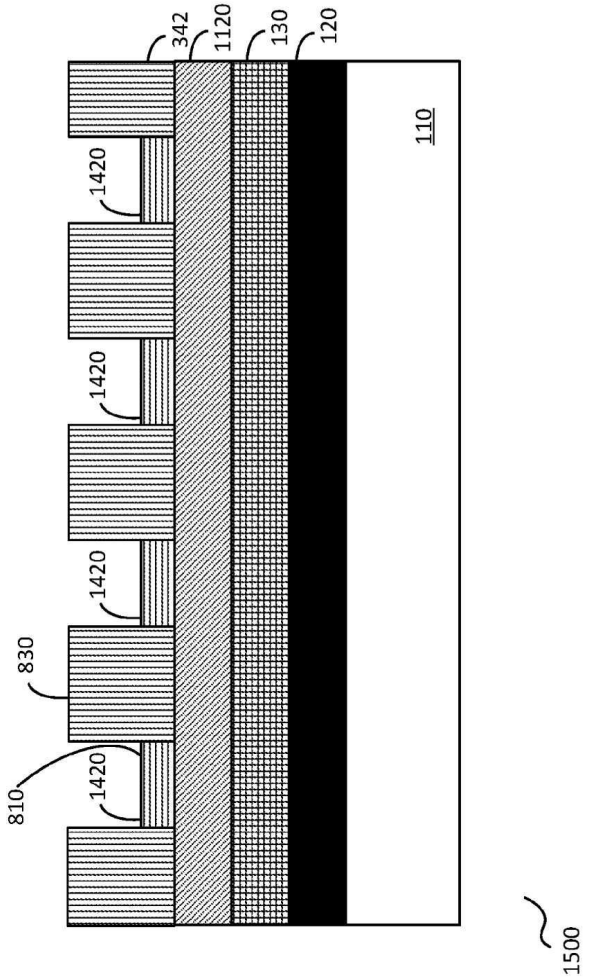
도면13c


70
1310
1311
1312
1301
710
111
110
도 13a
70
1310
1311
1312
710
111
110
도 13b
1300
70
1310
1312
1303
710
1311
111
110
도 13c

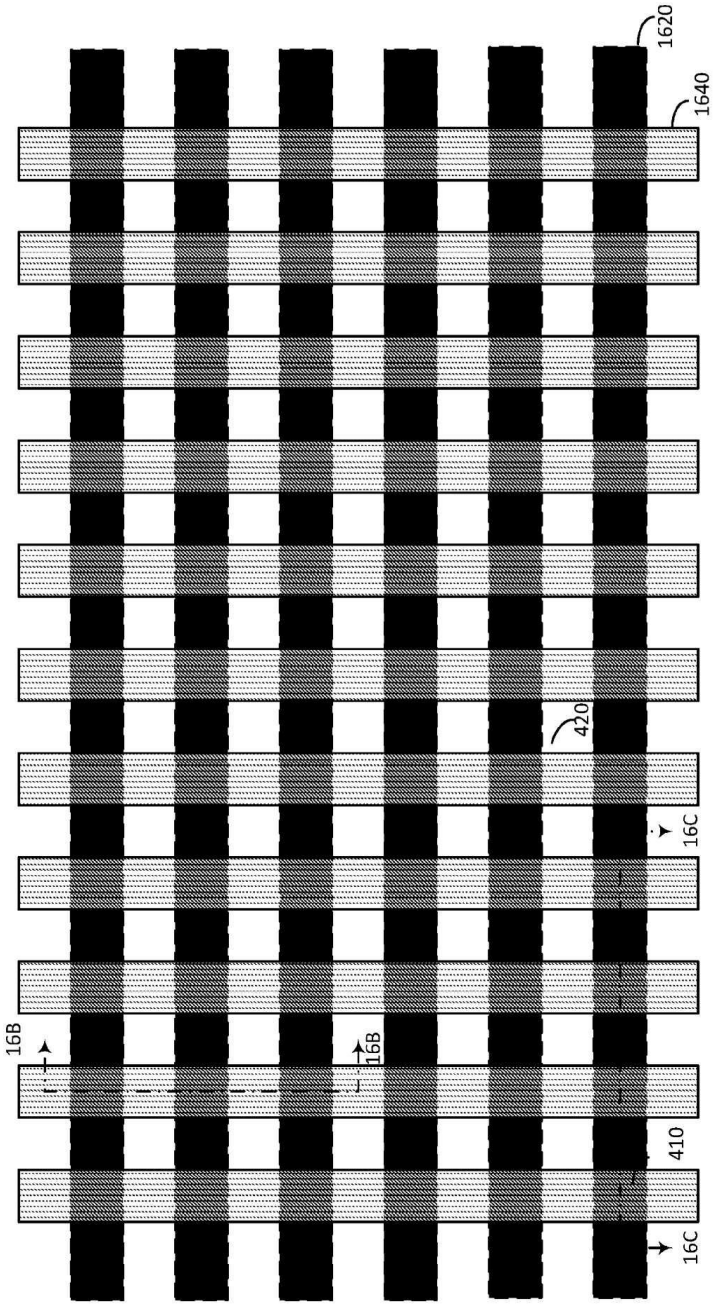
도면14



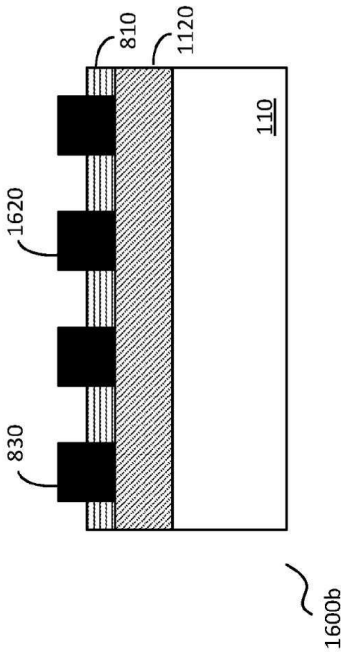
도면15



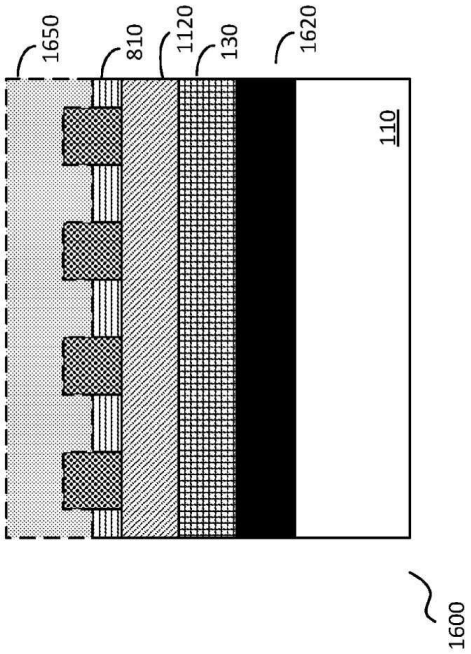
도면16a



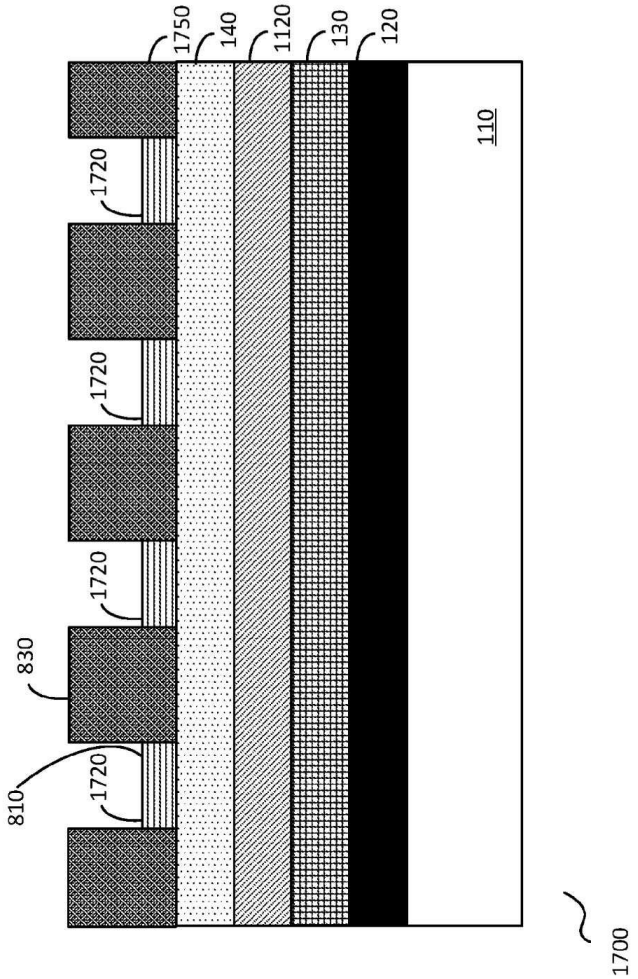
도면16b



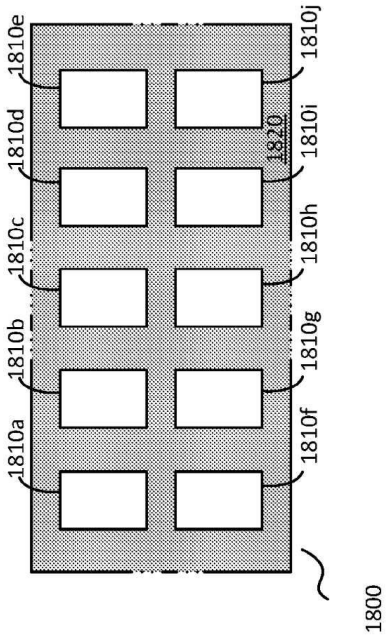
도면16c



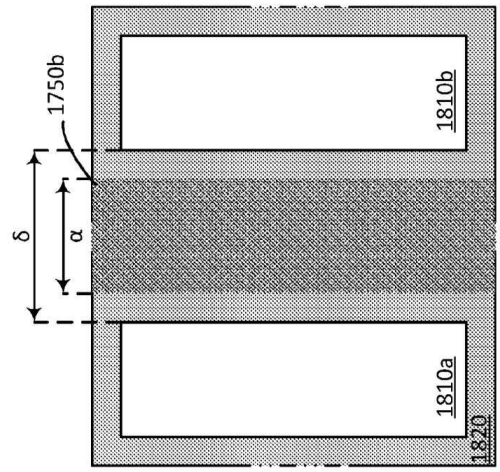
도면17


1750
140
1120
130
120
110
1720
1720
1720
830
810
1720
1700

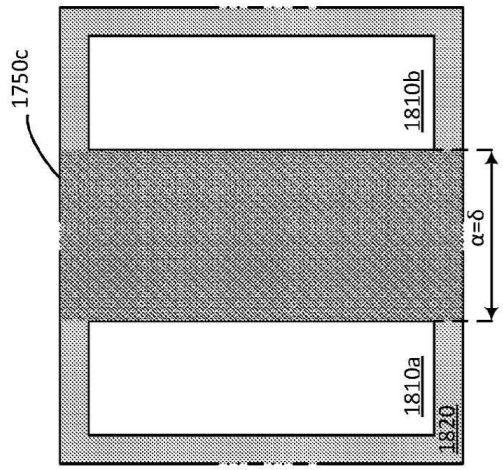
도면18a


1810e
1810j
1810d
1820
1810i
1810c
1810h
1810b
1810g
1810a
1810f
1800

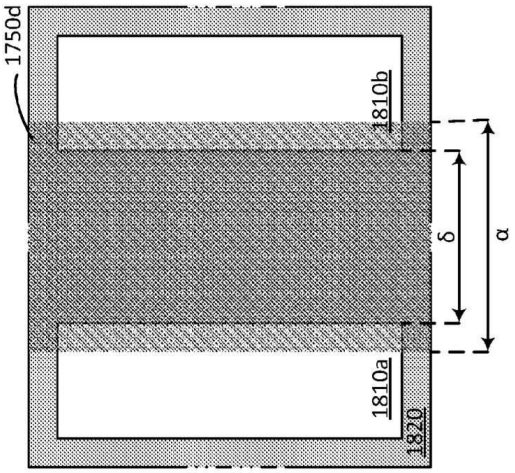
도면18b



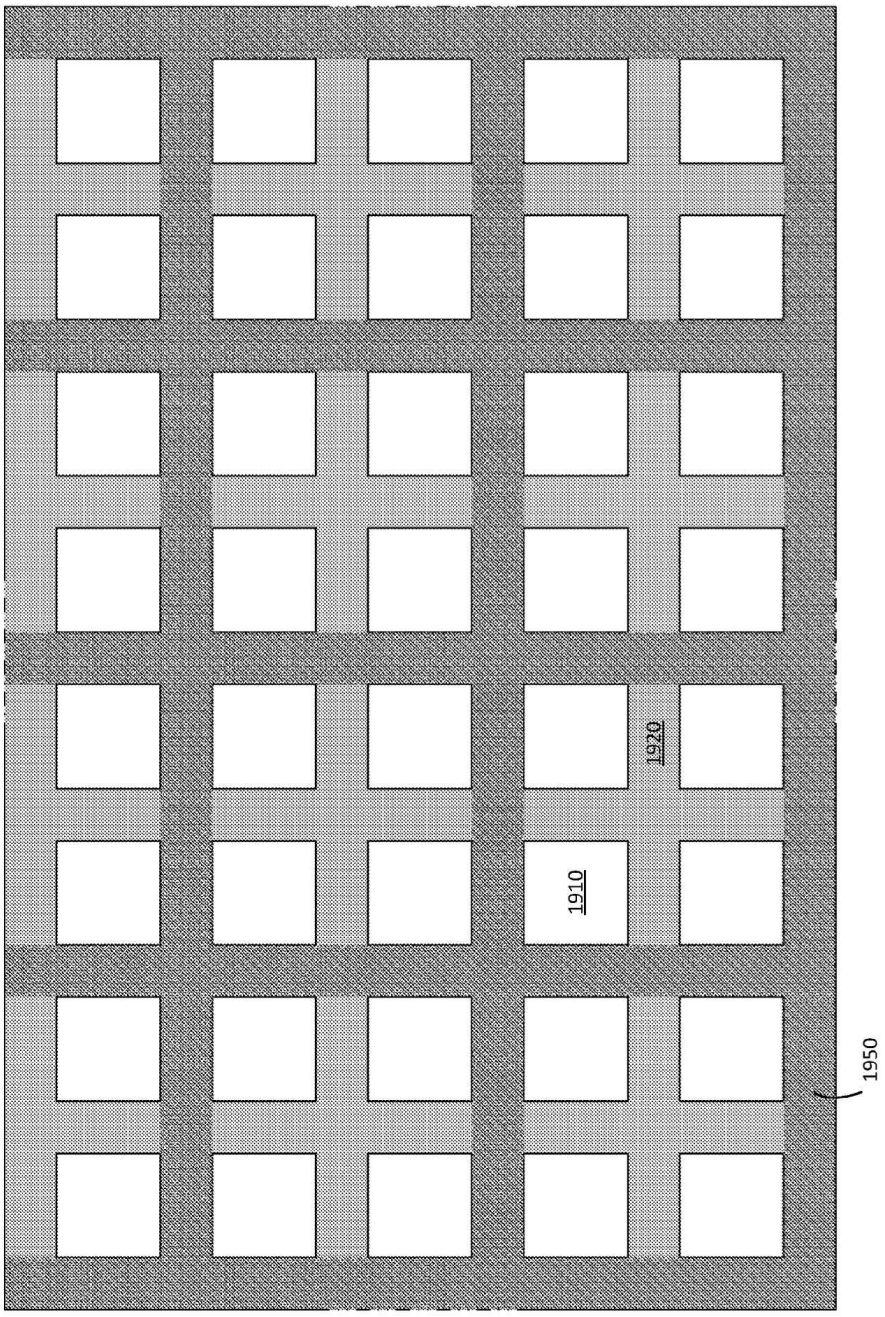
도면18c



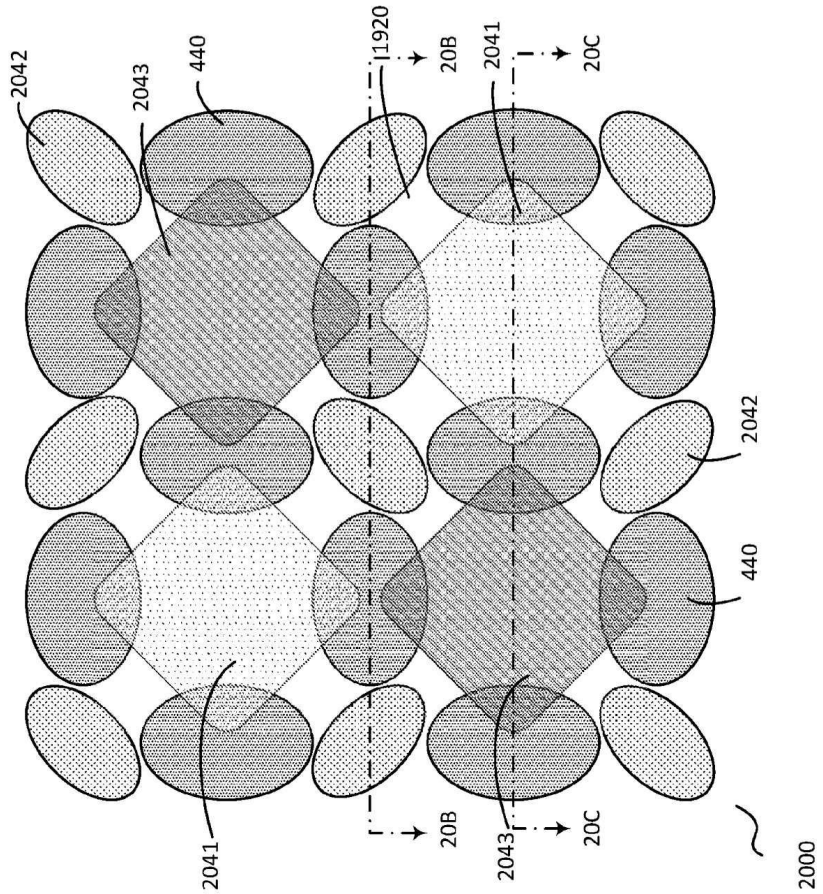
도면18d



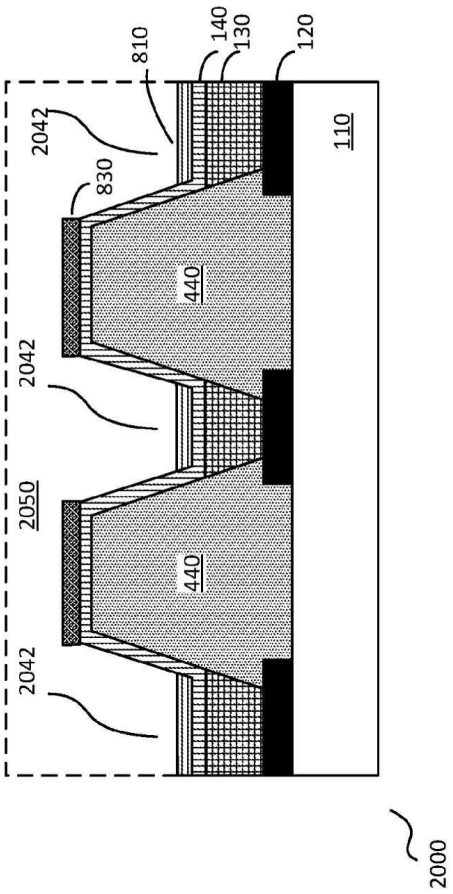
도면19



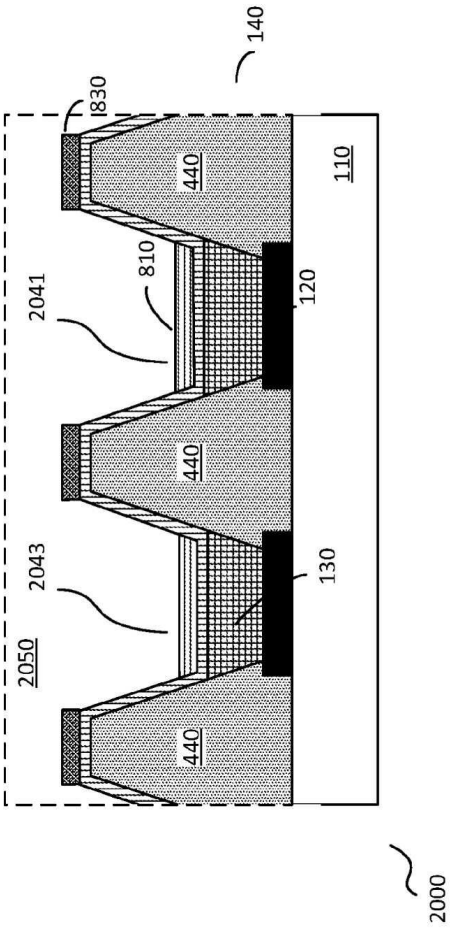
도면20a


2042
2043
440
1920
20B
2041
20C
2042
440
2041
20B
2043
20C
2000

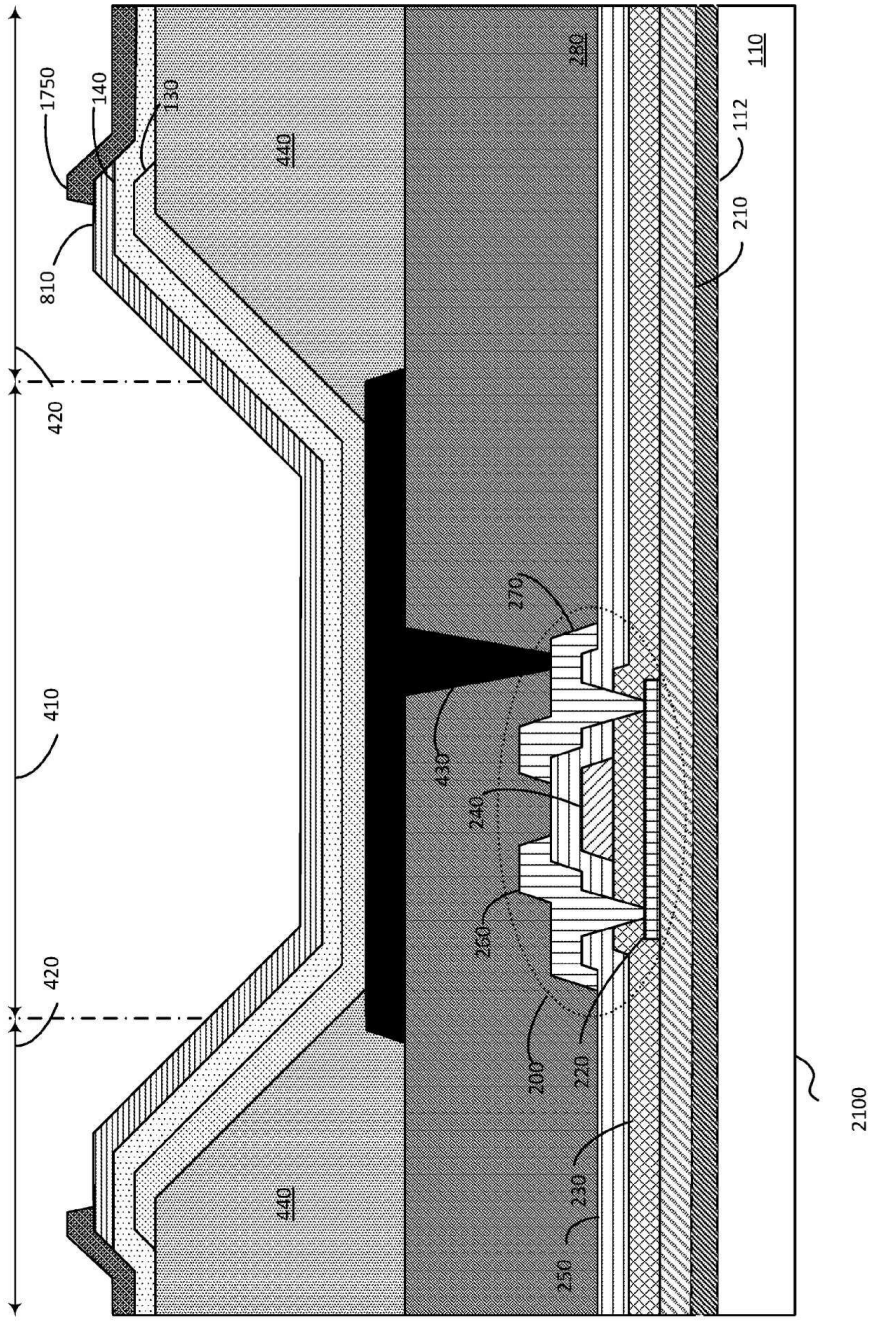
도면20b



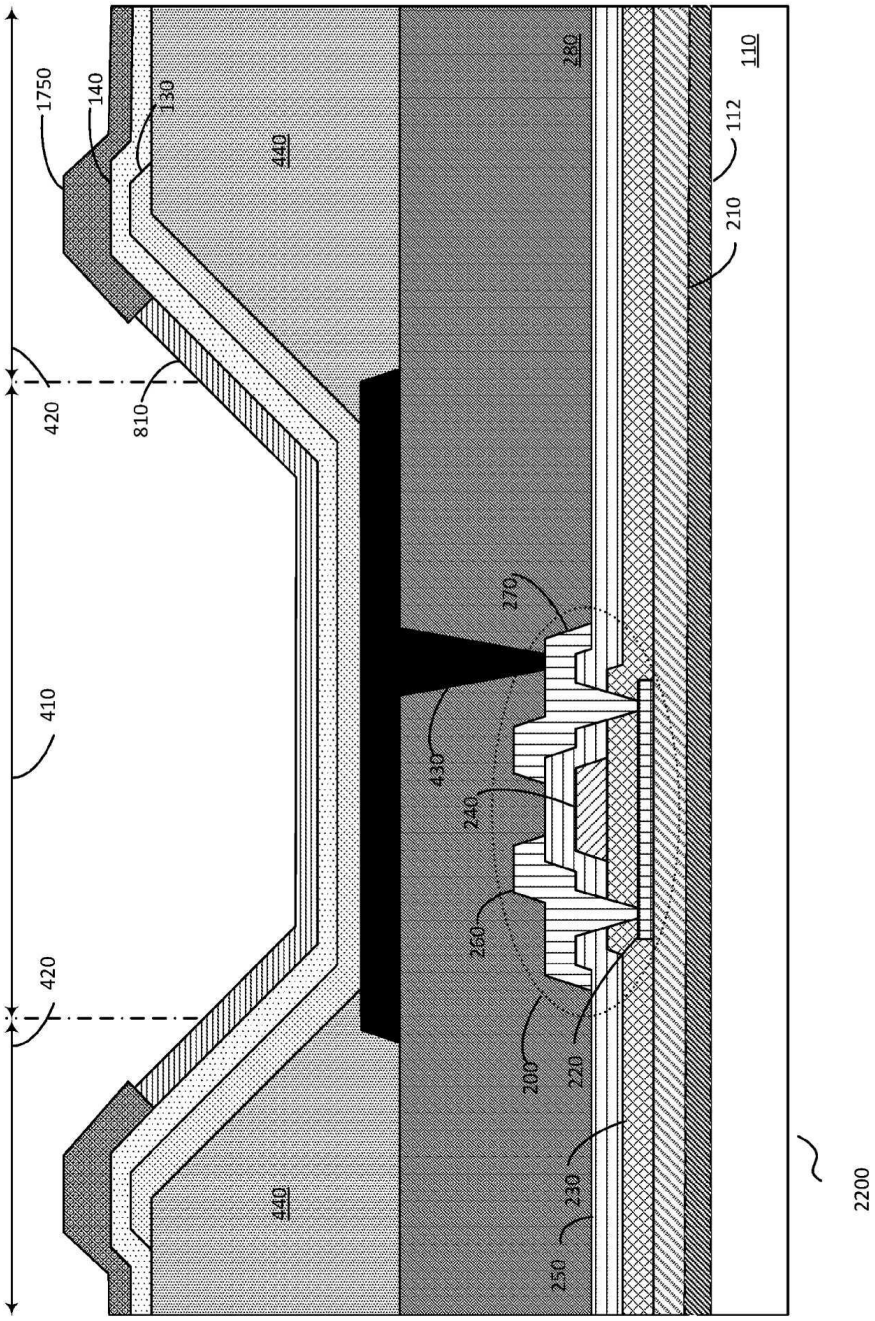
도면20c



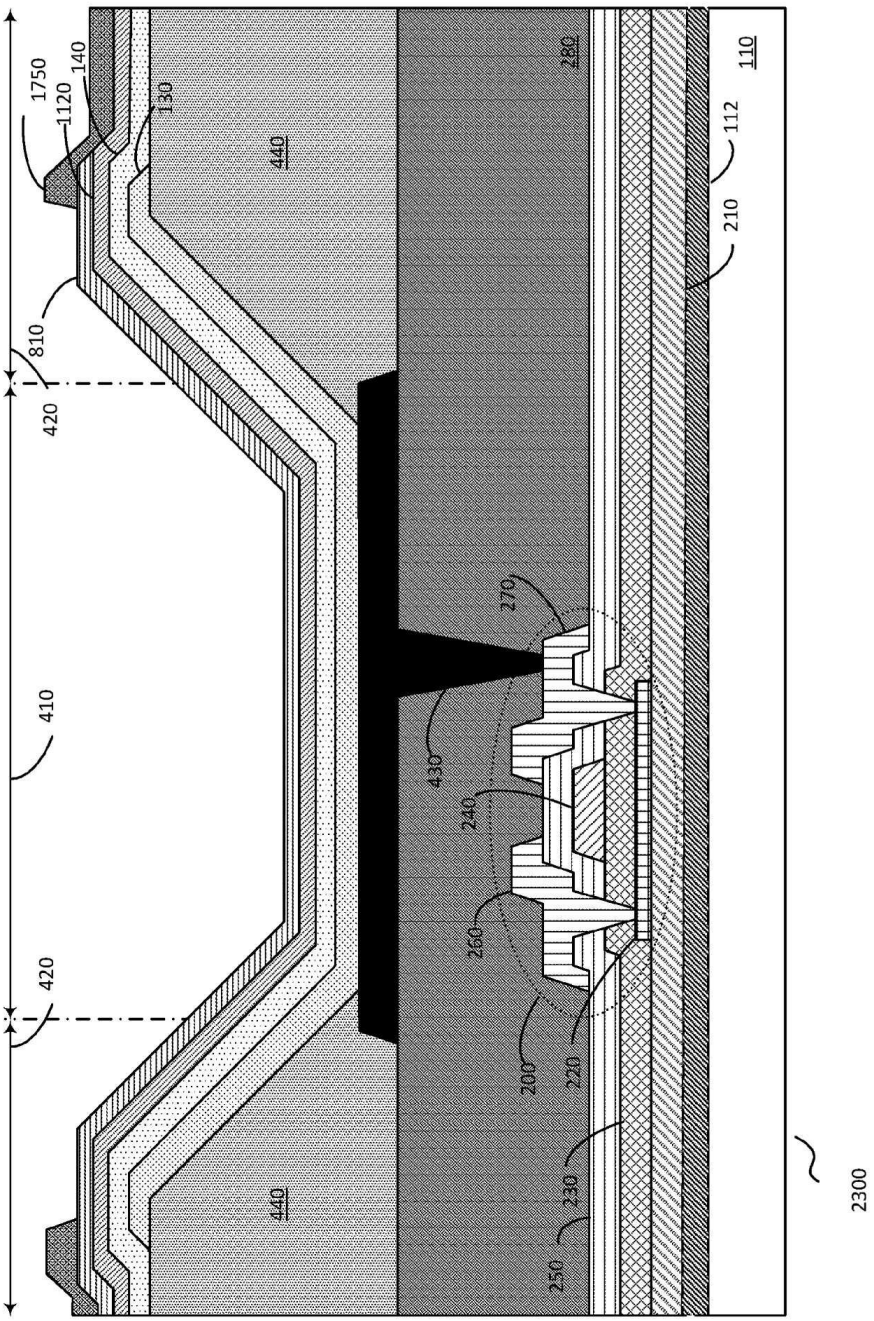
도면21


1750
140
130
440
280
110
112
210
810
420
410
420
270
430
240
260
220
200
230
250
440
2100

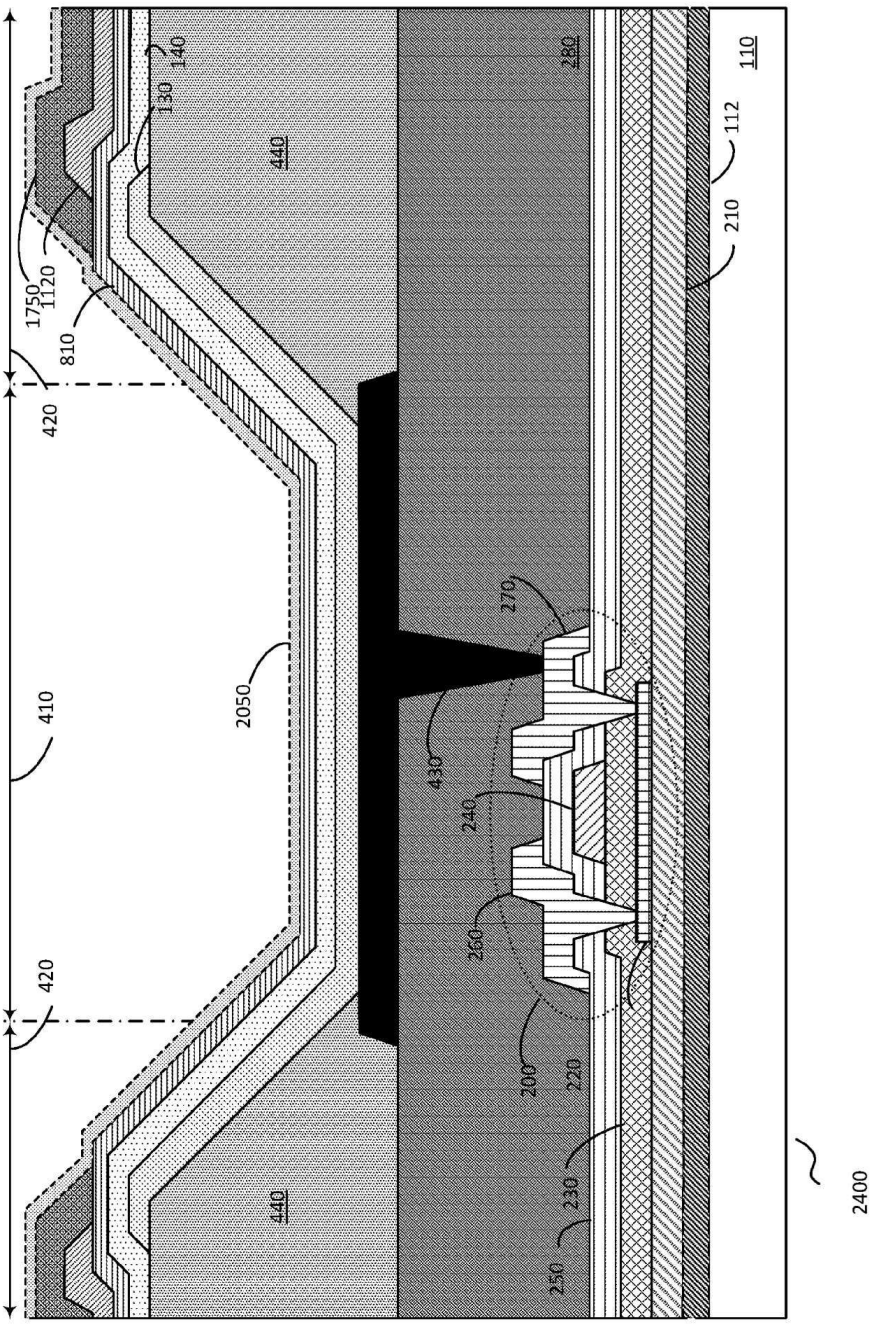
도면22


1750
140
130
440
280
110
112
210
420
810
410
270
430
240
250
200
220
230
250
420
440
2200

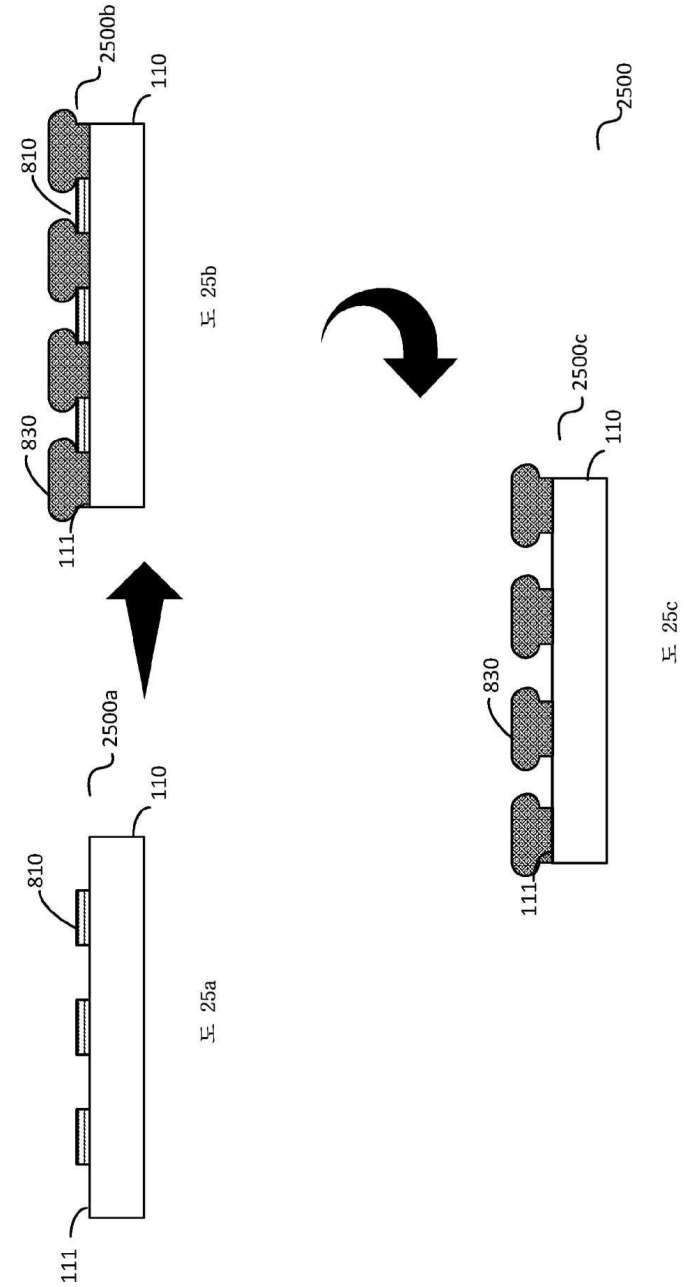
도면23


1750
140
1120
130
440
280
110
112
210
810
420
410
420
440
170
430
240
260
200
220
230
250
2300

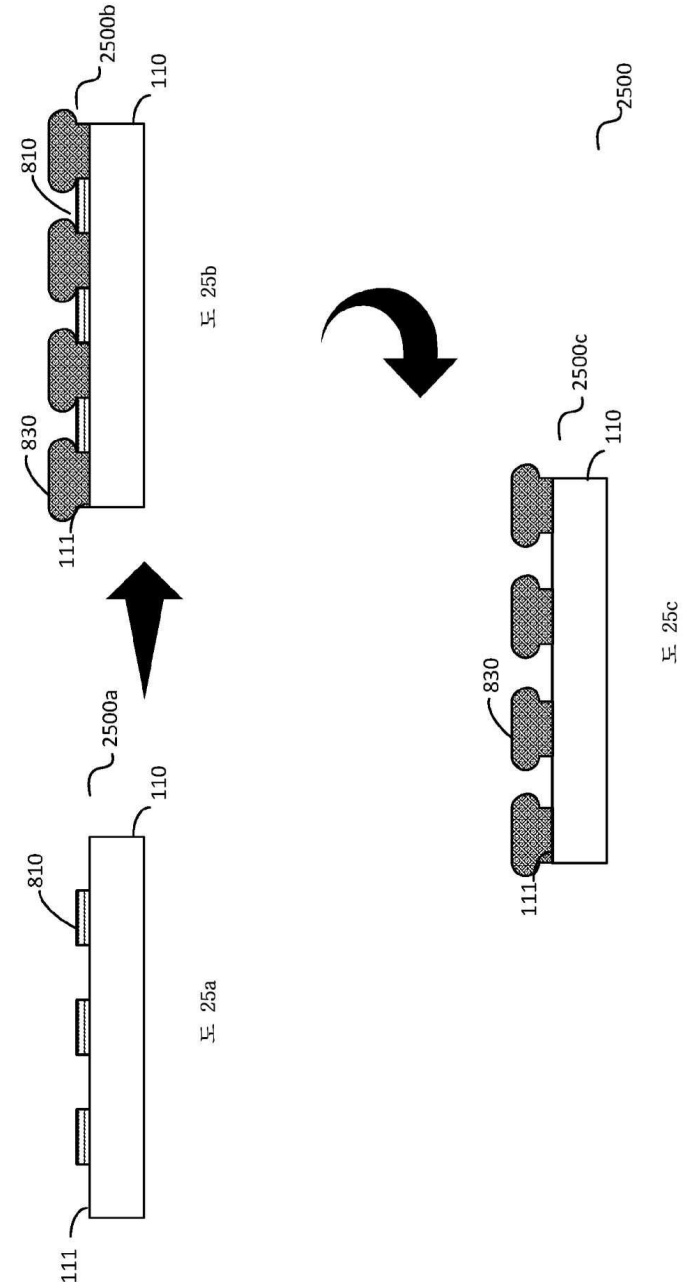
도면24


140
130
440
280
110
112
210
1750
1120
810
420
410
2050
270
430
240
260
200
220
230
250
420
440
2400

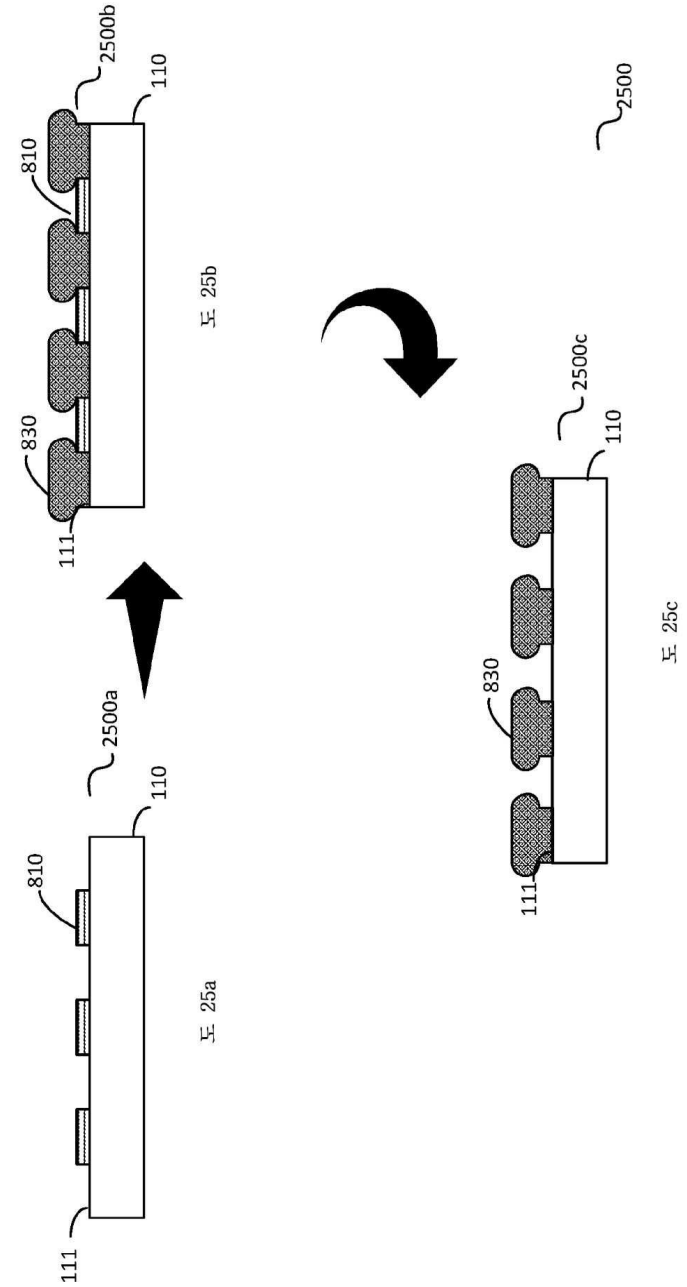
도면25a


2500b
110
810
830
111
도 25b
2500
2500c
110
830
111
도 25c
2500a
110
810
111
도 25a

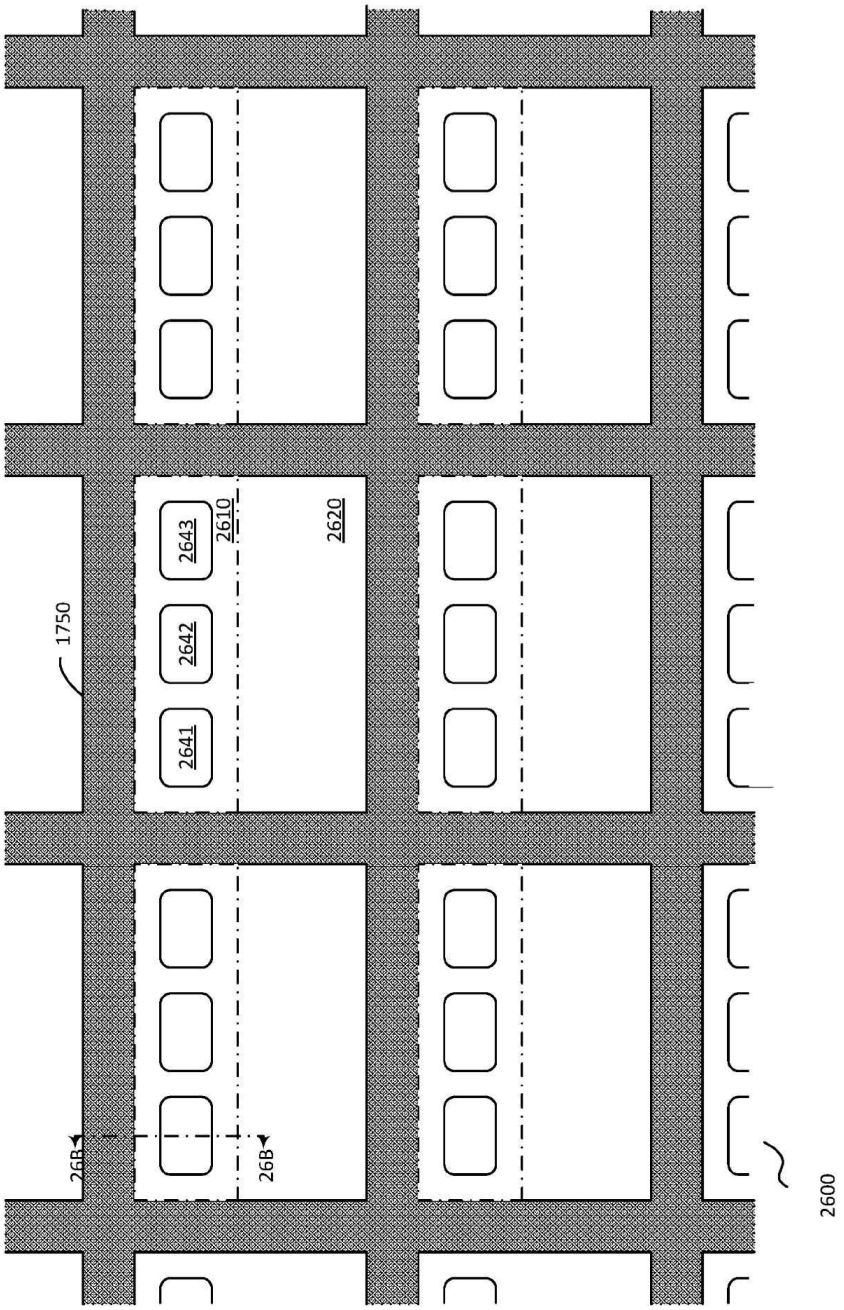
도면25b


2500b
110
810
830
111
도 25b
2500
2500c
110
830
111
도 25c
2500a
110
810
111
도 25a

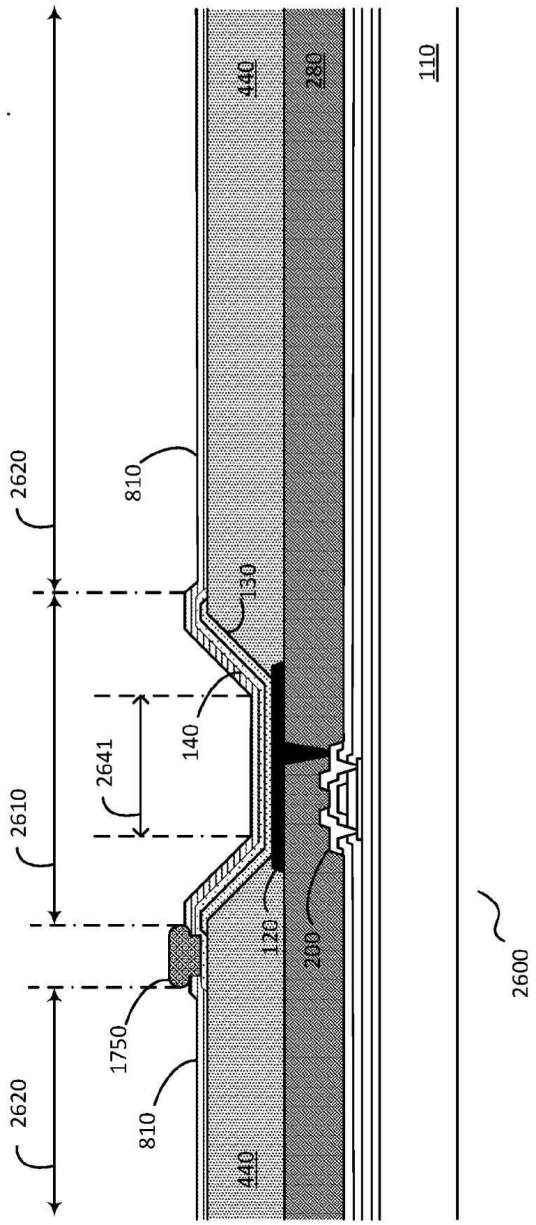
도면25c


2500b
110
810
830
111
도 25b
2500
2500c
110
830
111
도 25c
2500a
110
810
111
도 25a

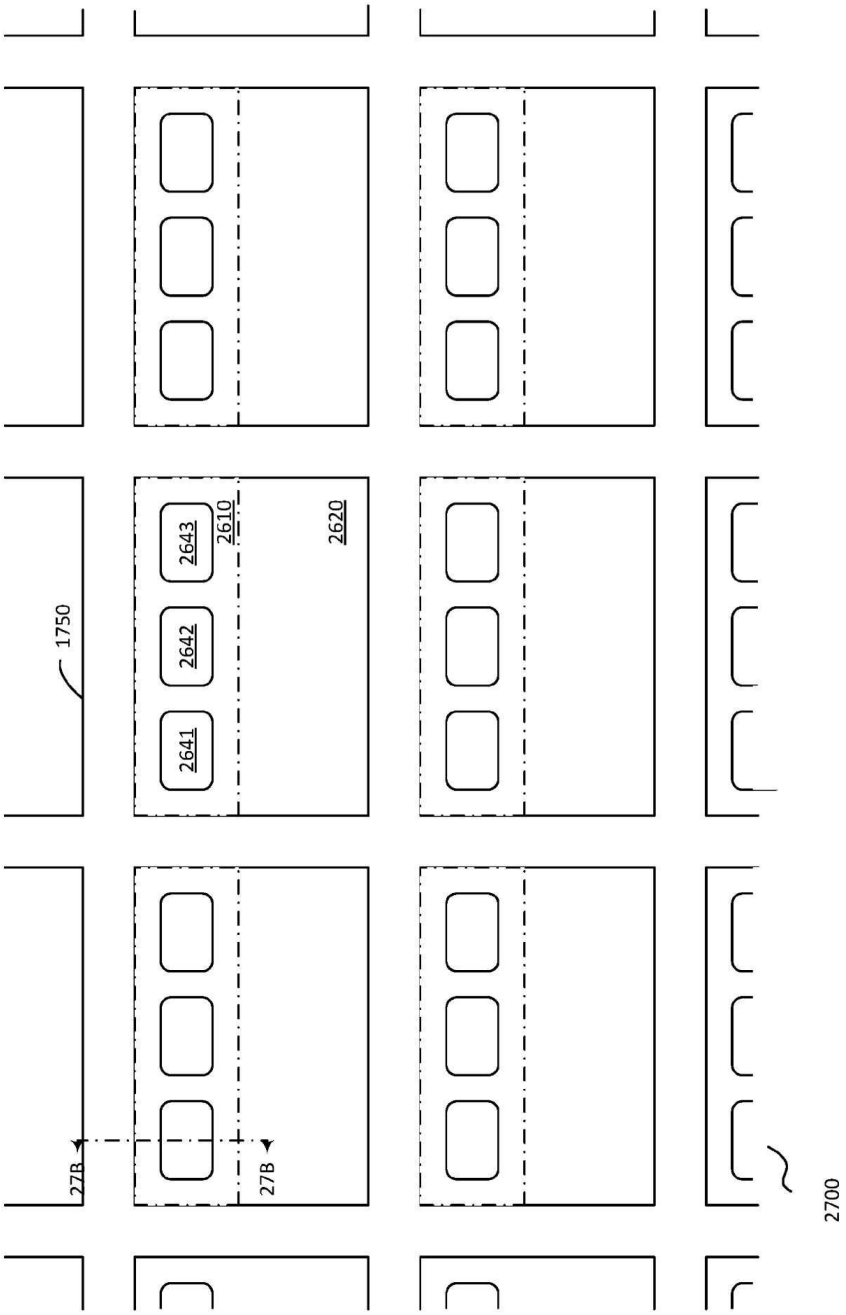
도면26a



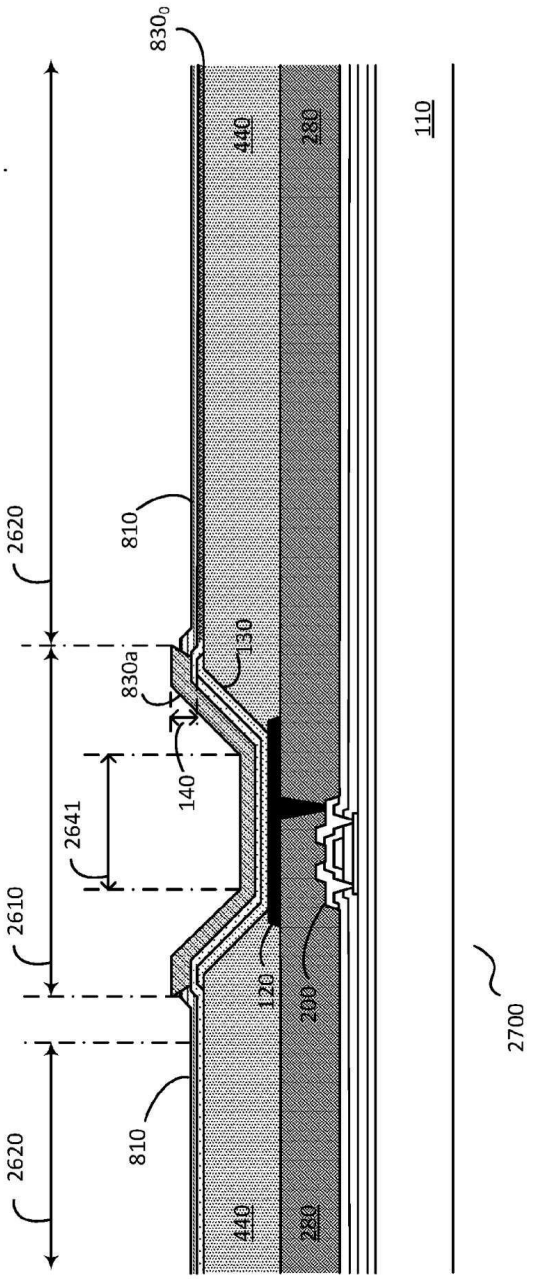
도면26b


2620
810
440
280
110
130
140
2641
2610
120
200
2600
1750
810
2620
440

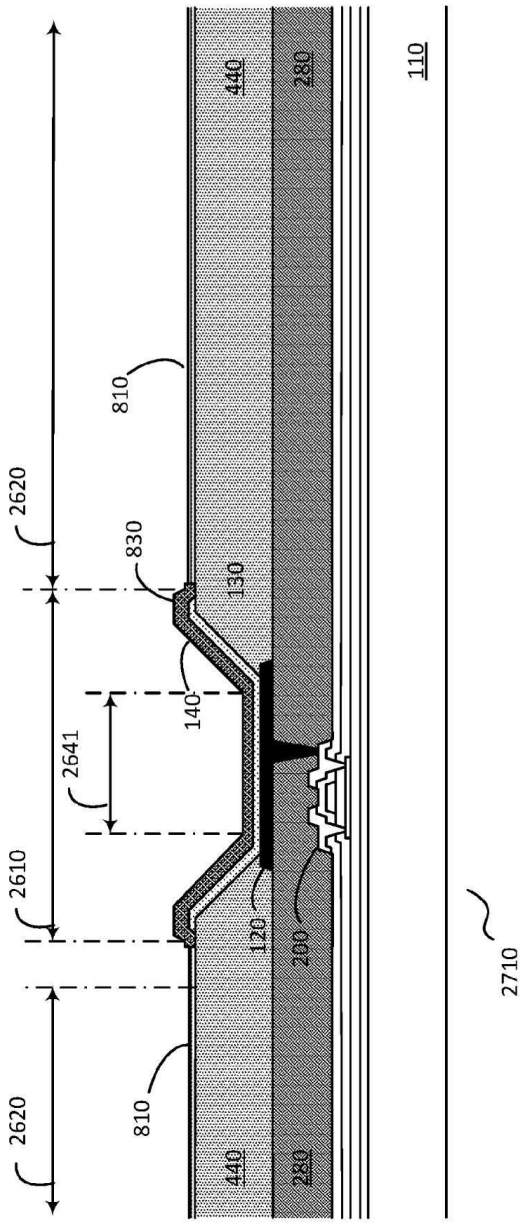
도면27a



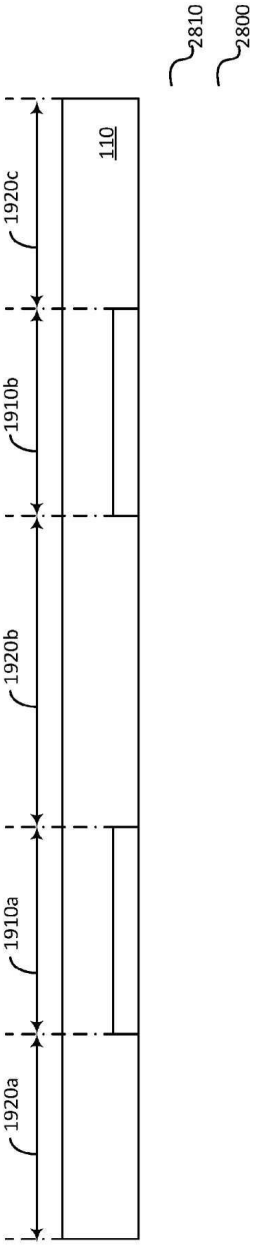
도면27b


830o
440
280
110
2620
810
130
830a
140
2641
2610
120
200
2700
2620
810
440
280

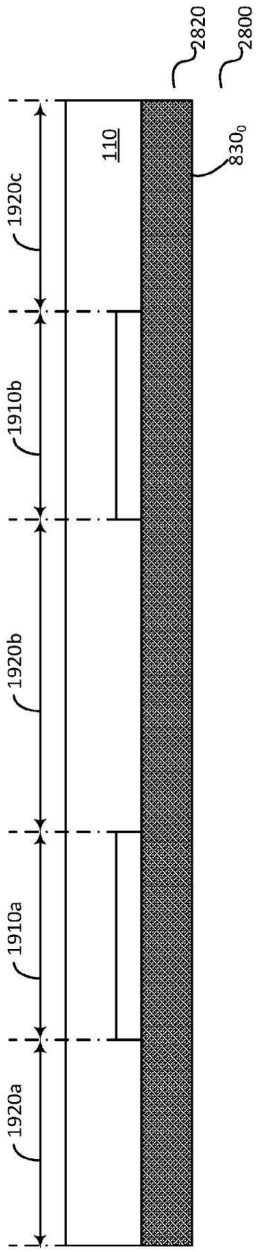
도면27c


440
280
110
810
2620
830
130
140
2641
2610
120
200
2710
810
2620
440
280

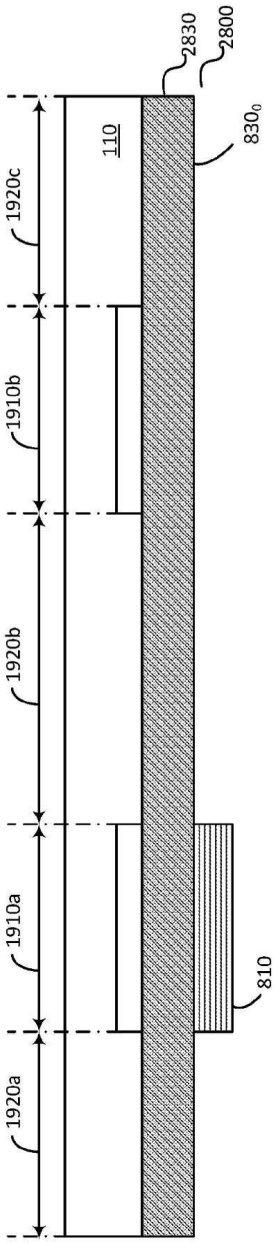
도면28a



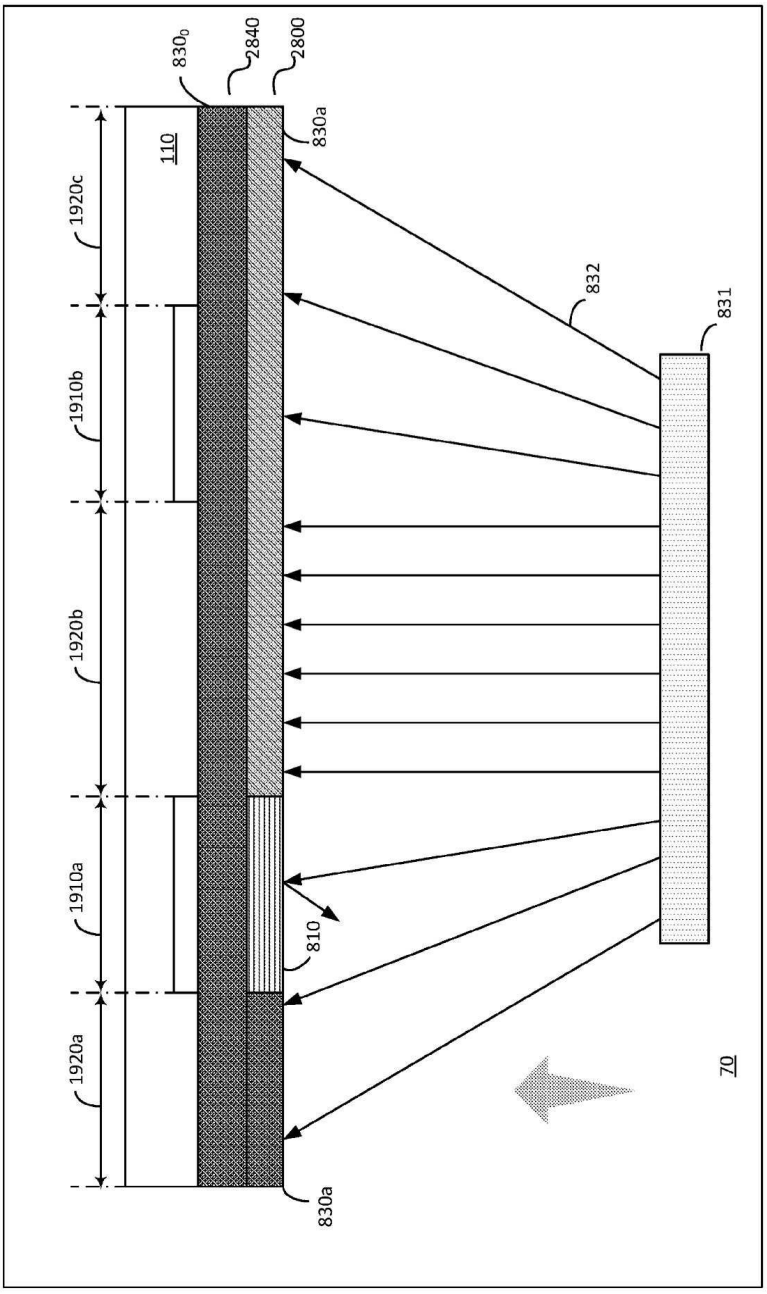
도면28b



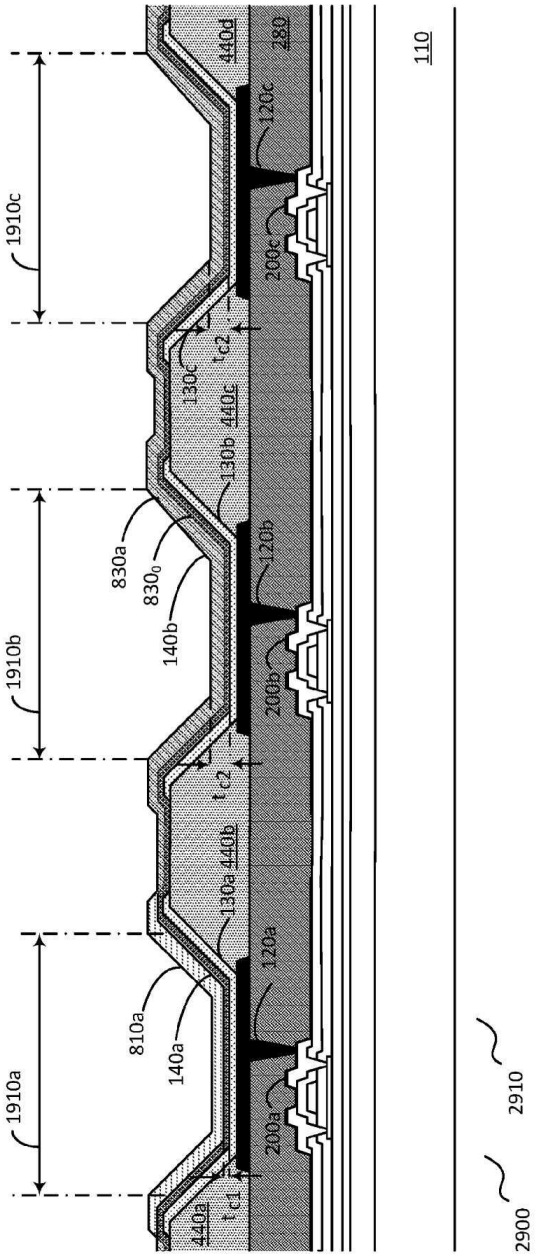
도면28c



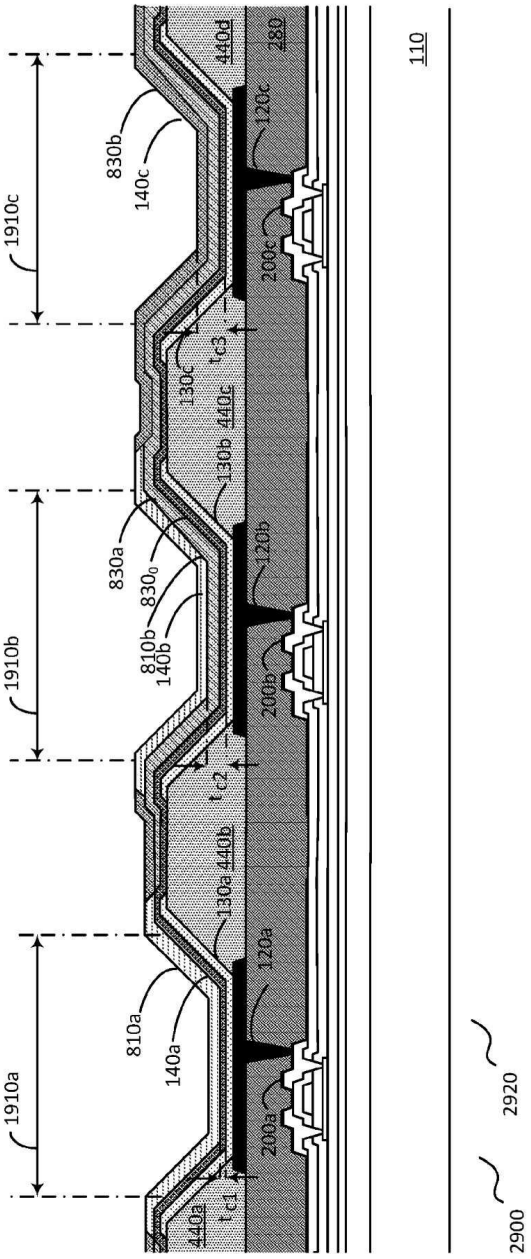
도면28d


830₀
2840
2800
830a
110
1920c
1910b
1920b
1910a
1920a
832
831
810
70
830a

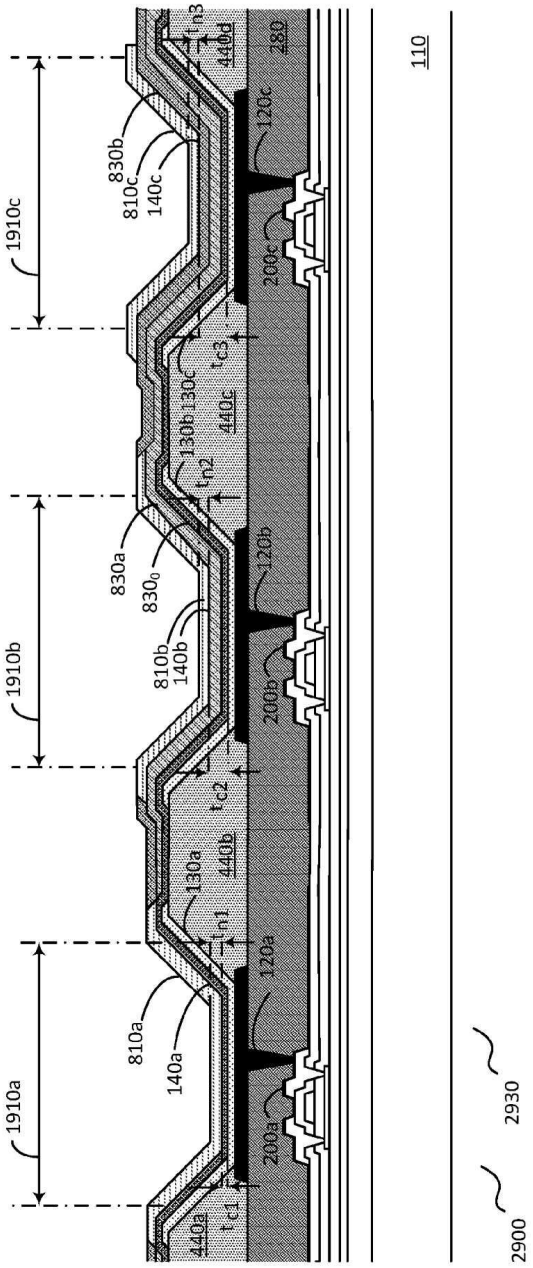
도면29a


1910c
1910b
1910a
440d
280
120c
200c
130c
440c
130b
120b
200b
830a
830o
140b
440b
130a
120a
810a
140a
200a
440a
tc1
tc2
110
2910
2900

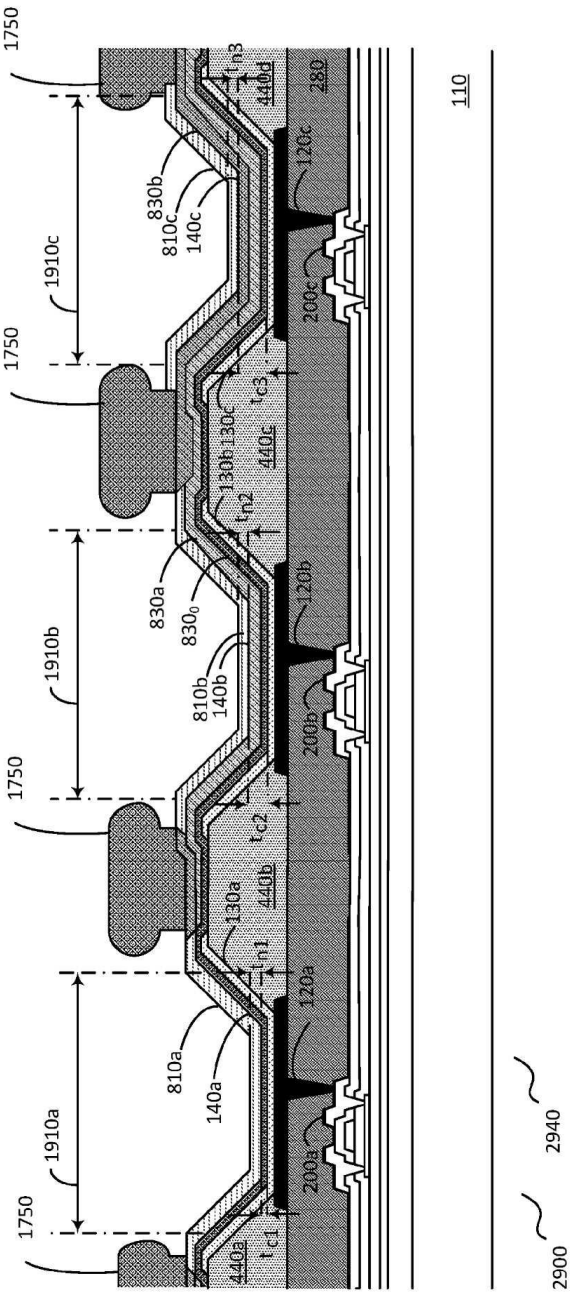
도면29b


1910a
1910b
1910c
810a
140a
830a
830b
140c
810b
140b
440a
440b
440c
440d
280
110
2900
2920
120a
120b
120c
130a
130b
130c
200a
200b
200c
t_{c1}
t_{c2}
t_{c3}

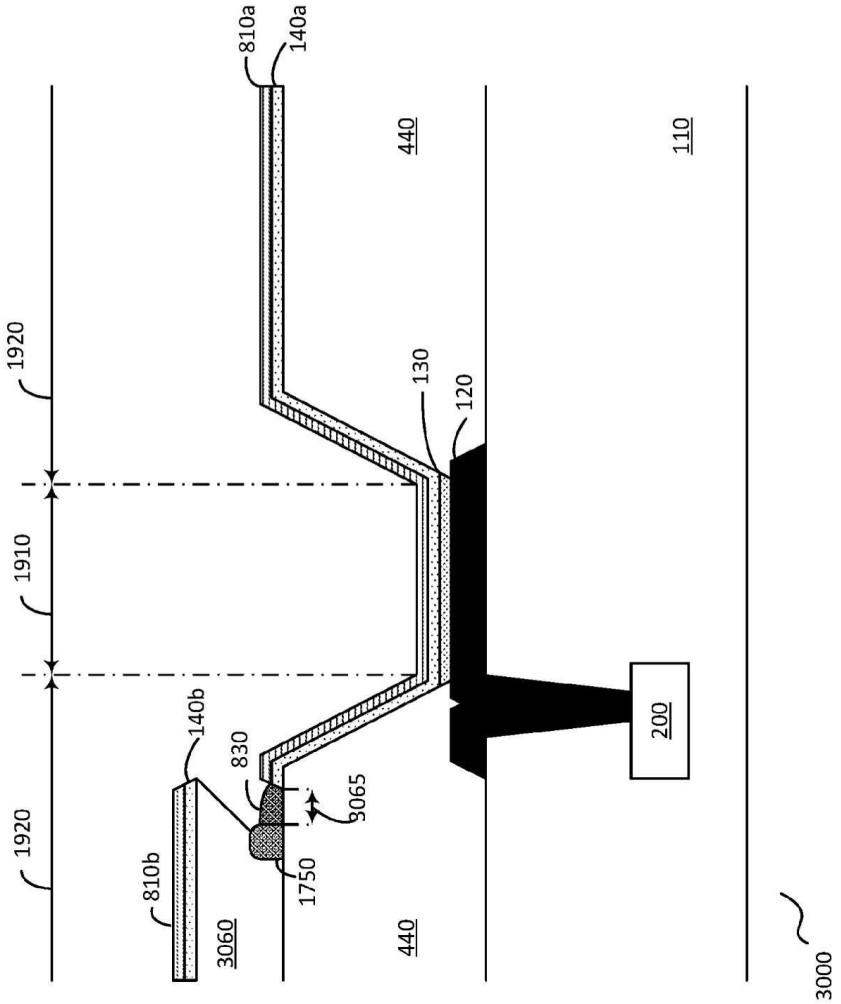
도면29c


1910a
1910b
1910c
810a
140a
120a
200a
130a
440b
tc1
tn1
810b
140b
120b
200b
830a
830₀
130b
130c
440c
tc2
tn2
810c
140c
120c
200c
tc3
tn3
440d
280
110
2930
2900

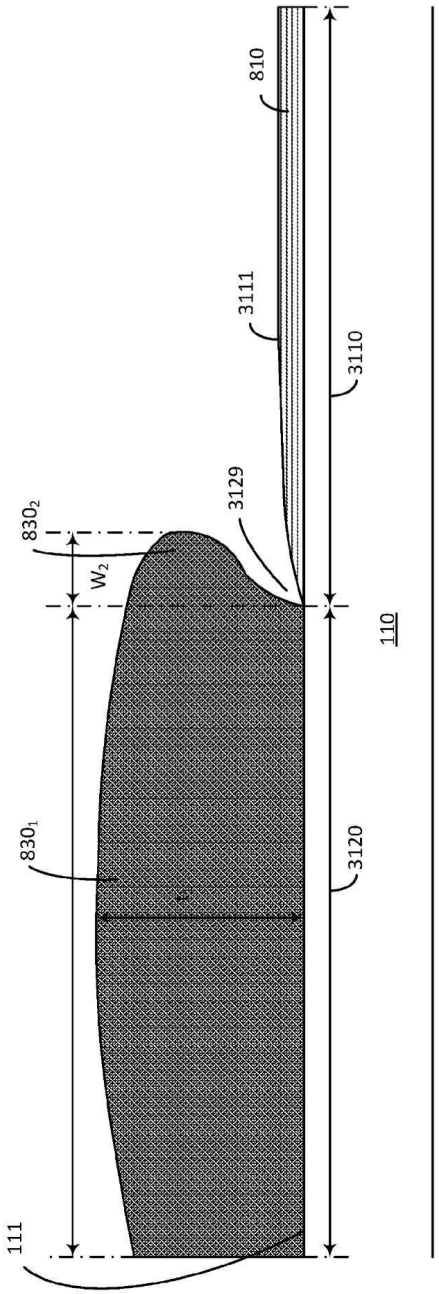
도면29d


1750
1910a
1910b
1910c
810a
810b
810c
830a
830b
140a
140b
140c
120a
120b
120c
200a
200b
200c
130a
130b
130c
440a
440b
440c
440d
280
110
2900
2940

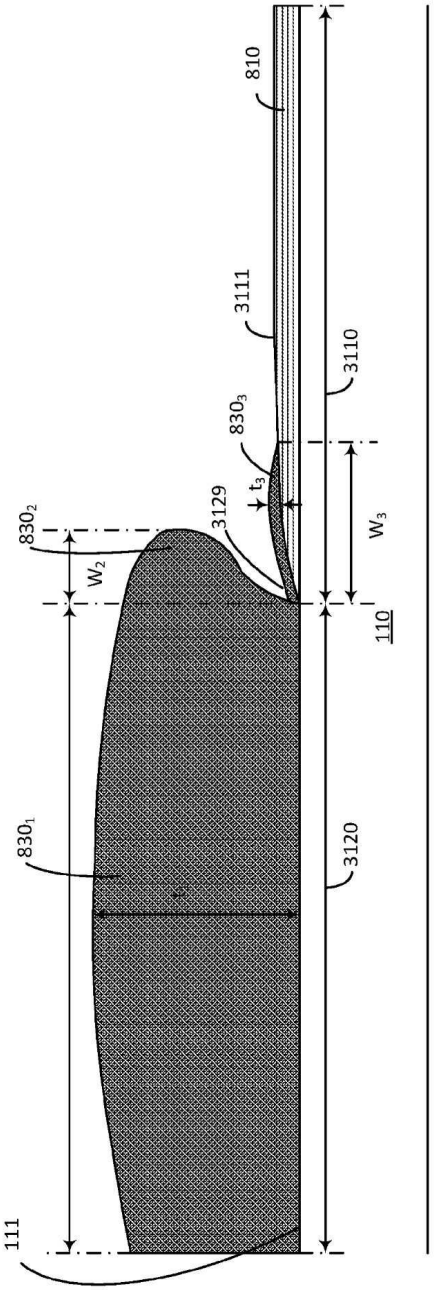
도면30


810a
140a
440
110
1920
130
120
1910
140b
830
3065
200
1920
810b
1750
3060
440
3000

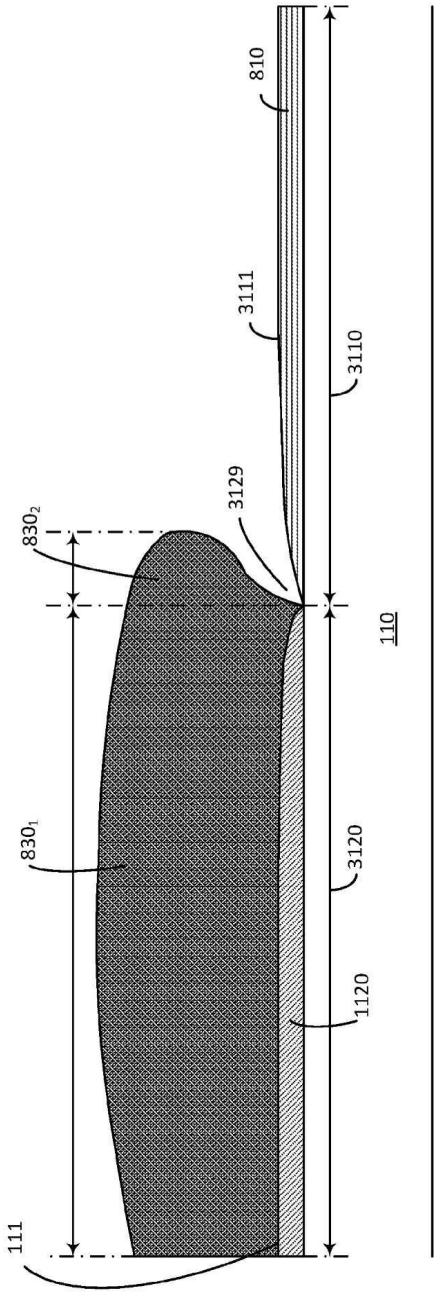
도면31a



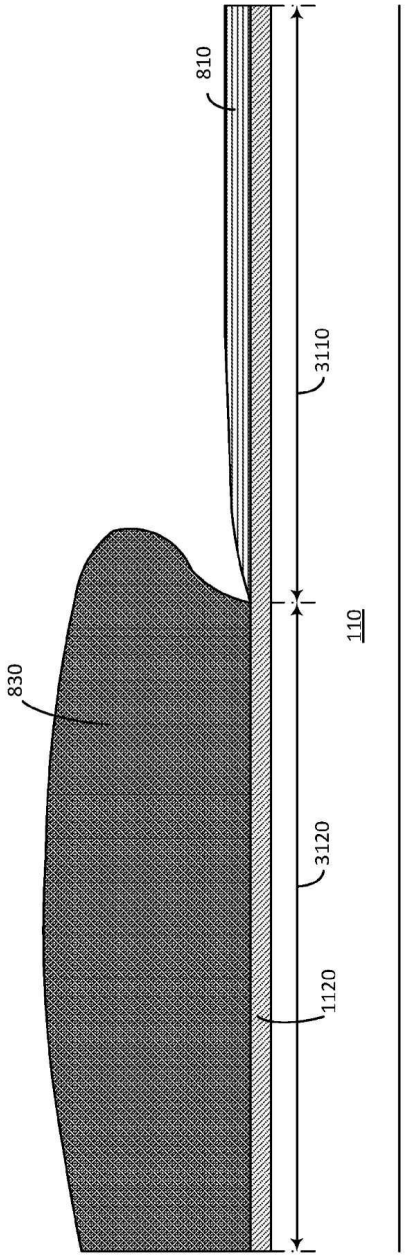
도면31b



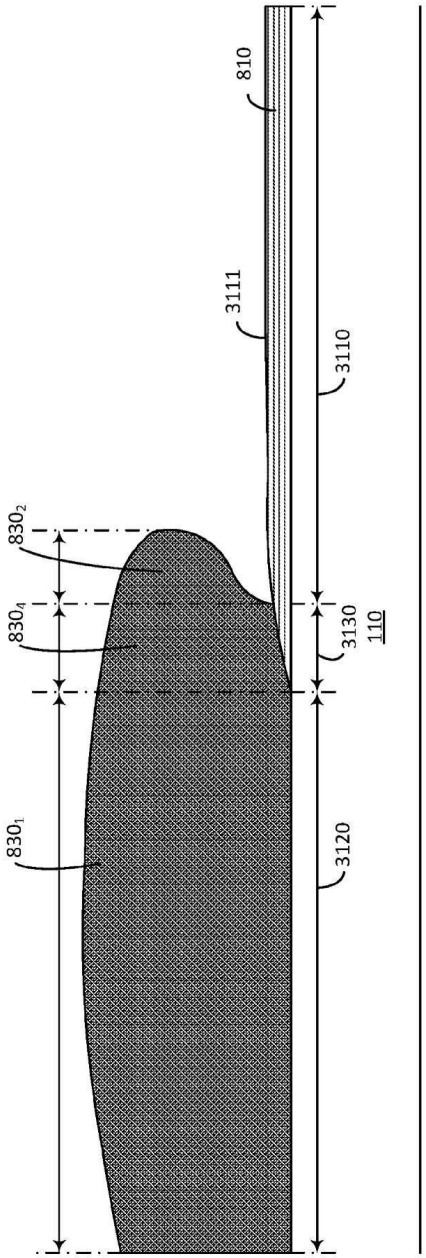
도면31c



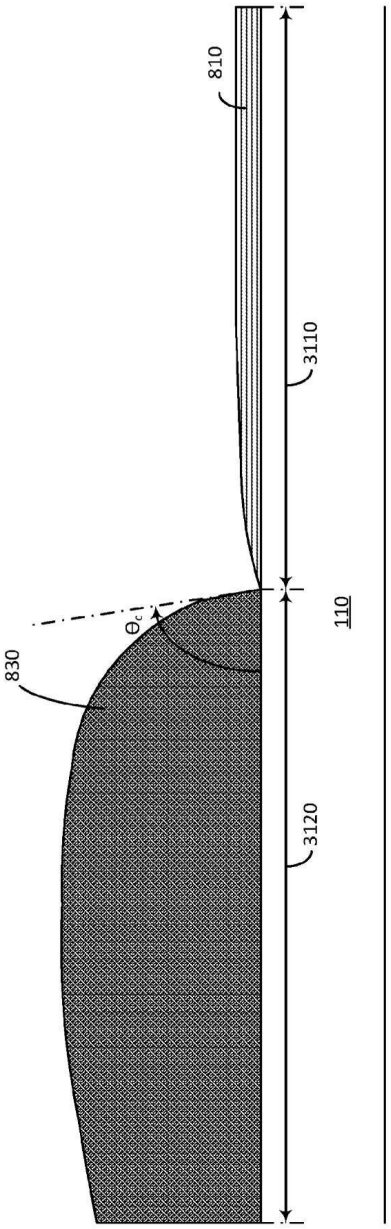
도면31d



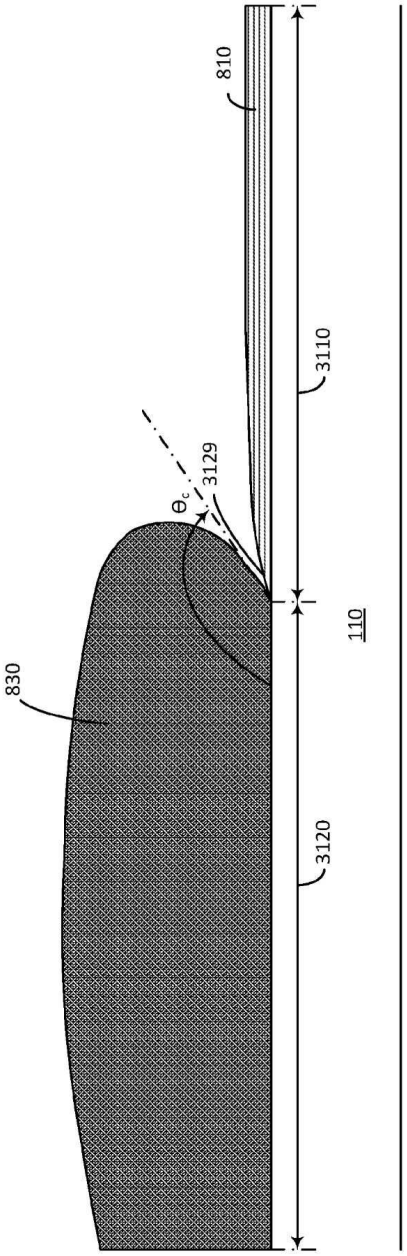
도면31e



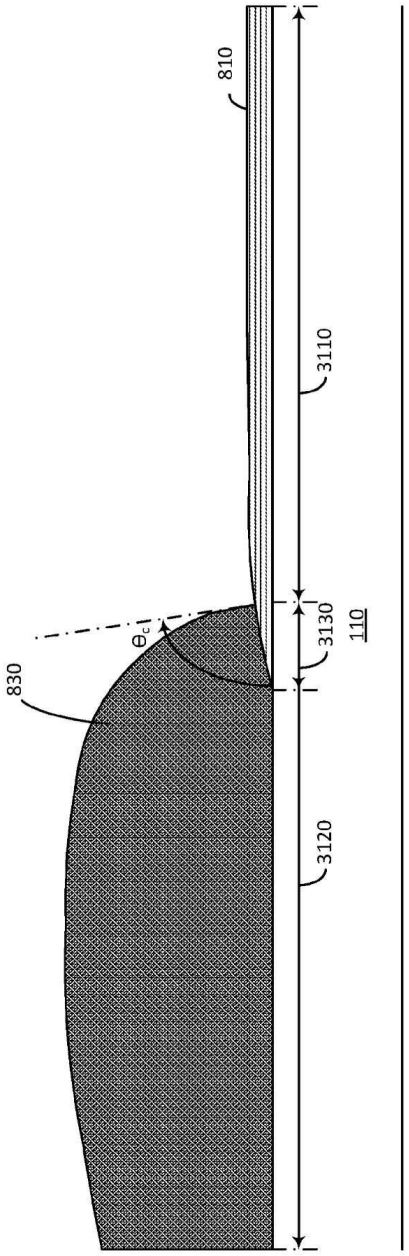
도면31f



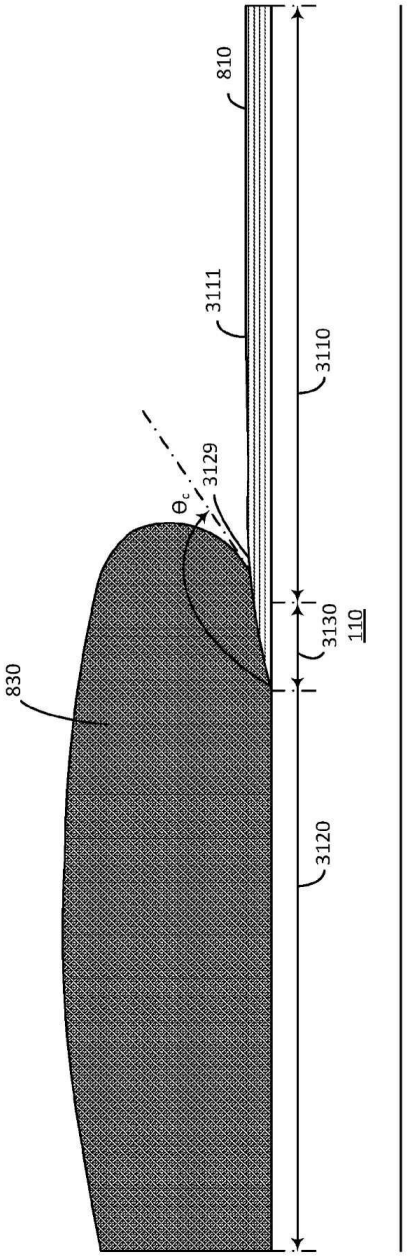
도면31g



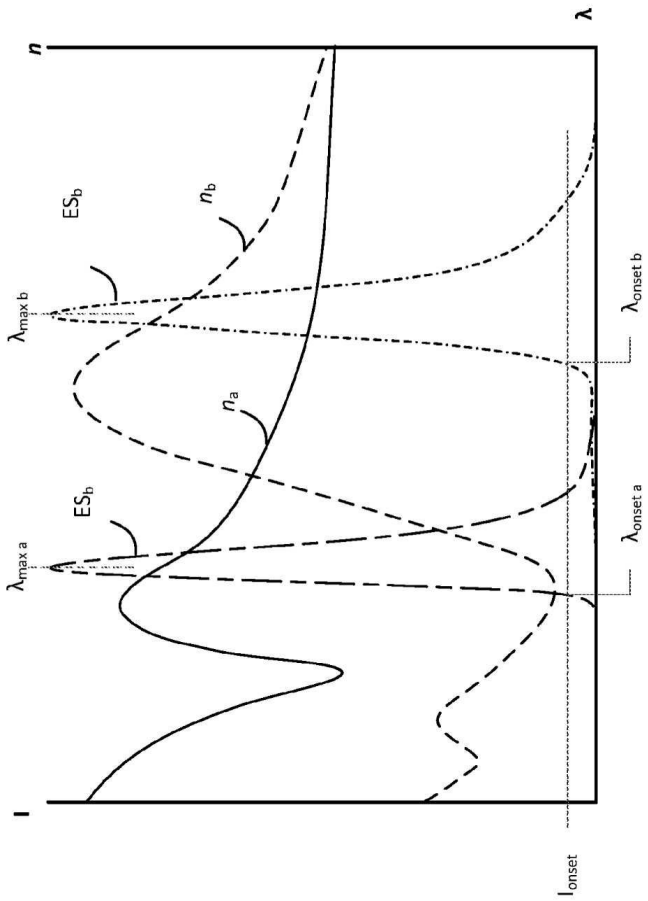
도면31h



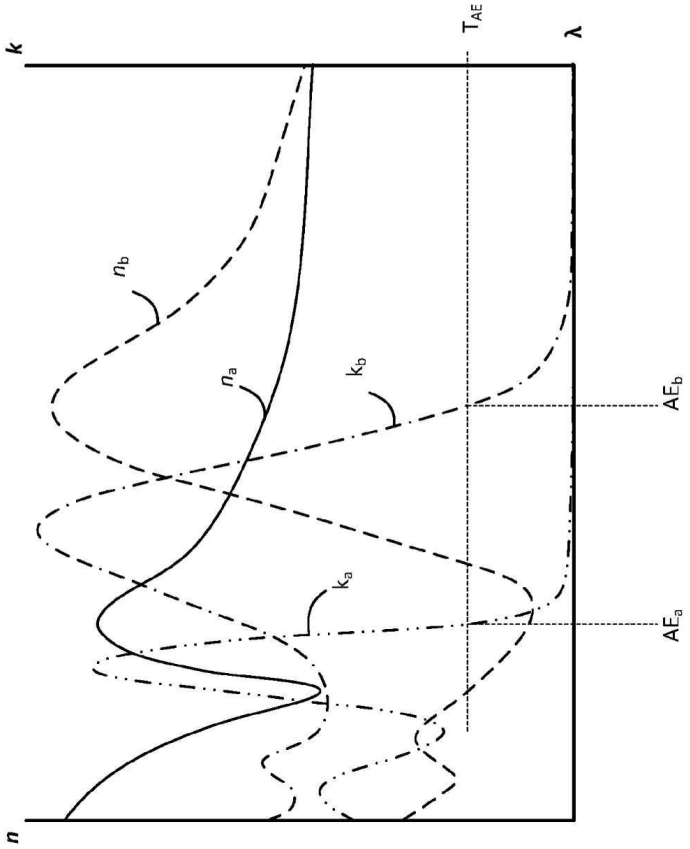
도면31i



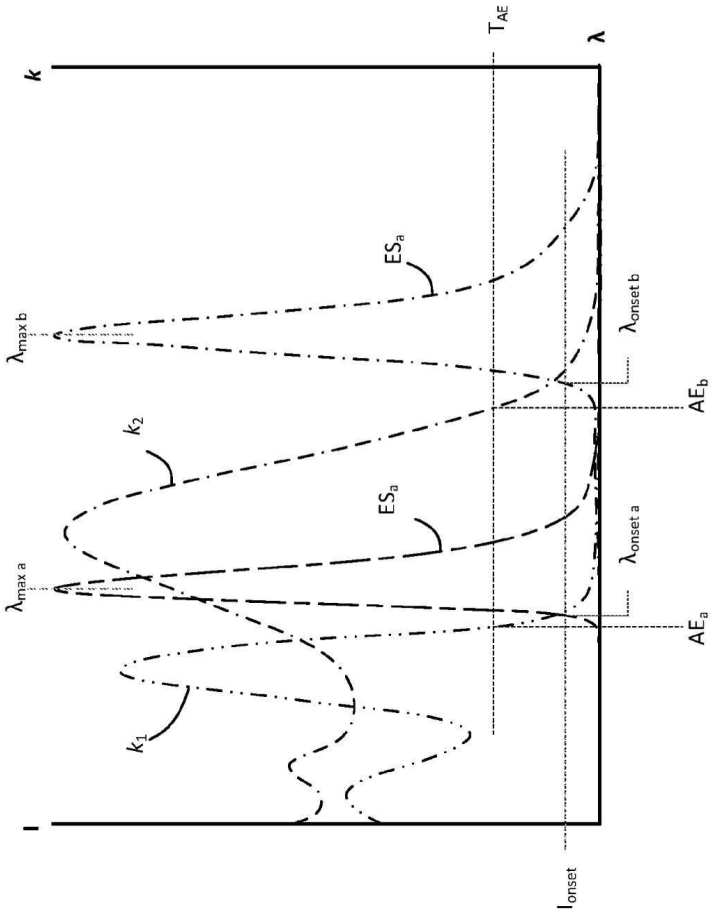
도면32



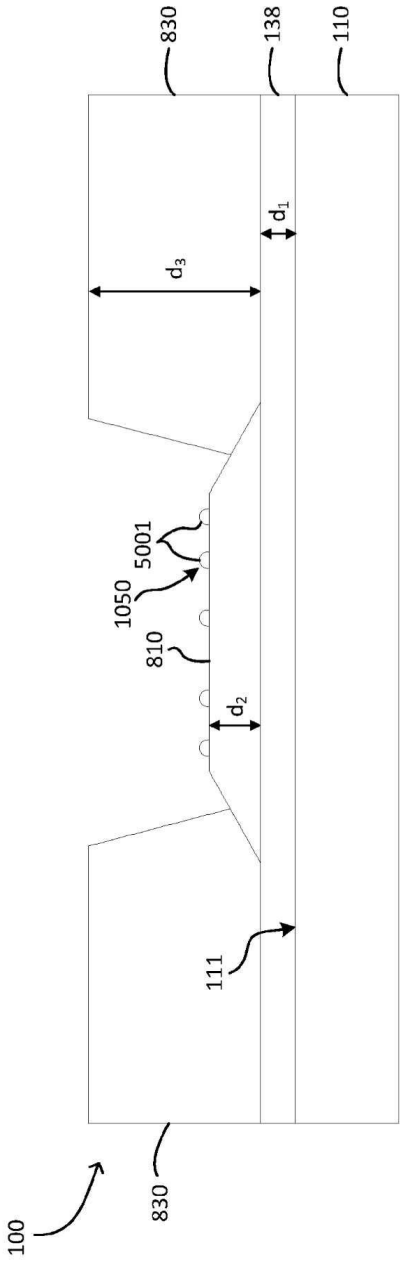
도면33



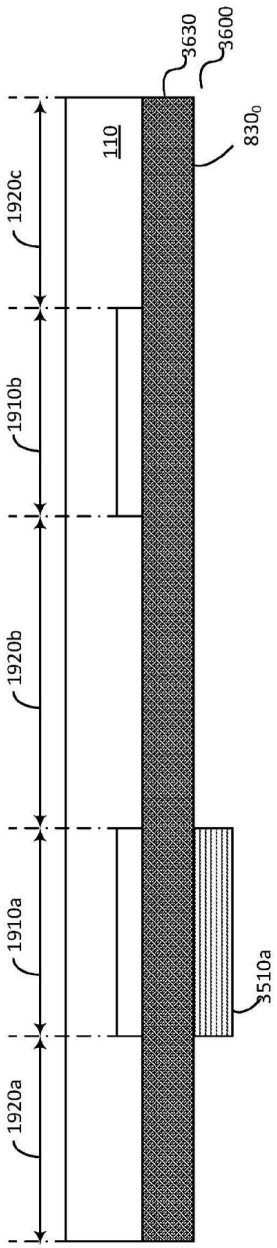
도면34


k
λ
T_AE
ES_a
λ_max b
λ_onset b
AE_b
k_2
ES_a
λ_onset a
λ_max a
AE_a
k_1
I_onset

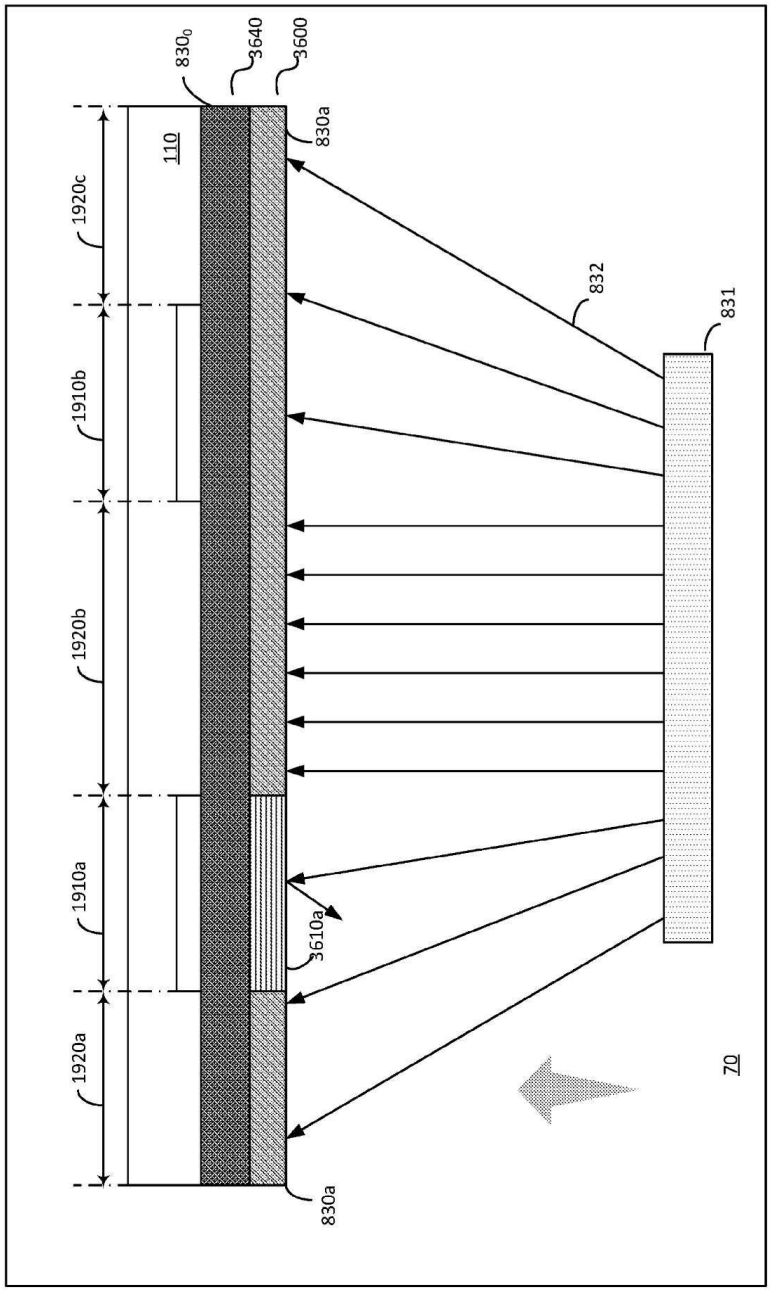
도면35



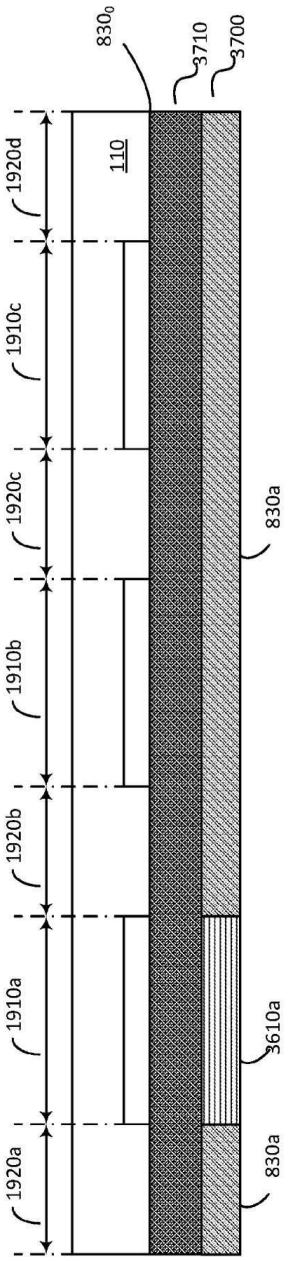
도면36a



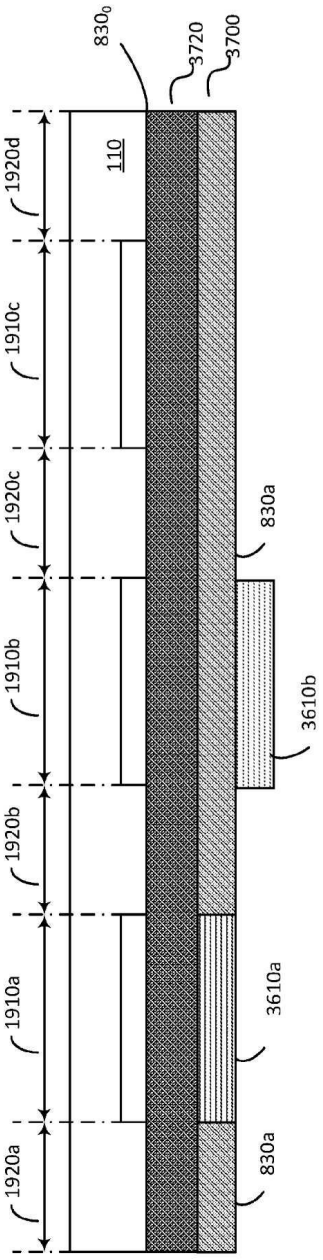
도면36b


830₀
3640
3600
830a
110
1920c
1910b
1920b
1910a
1920a
832
831
3610a
70
830a

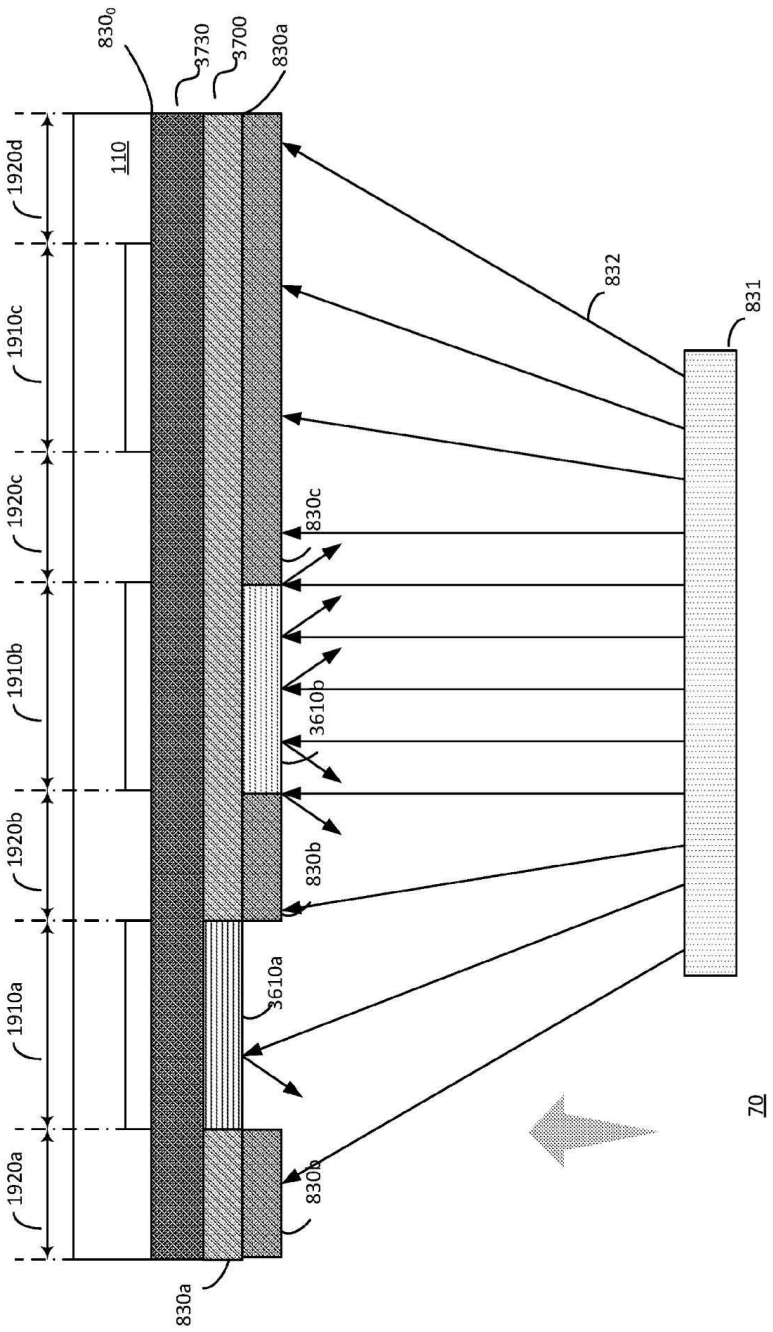
도면37a


830₀
3710
3700
110
1920d
1910c
1920c
1910b
1920b
1910a
1920a
830a
3610a
830a

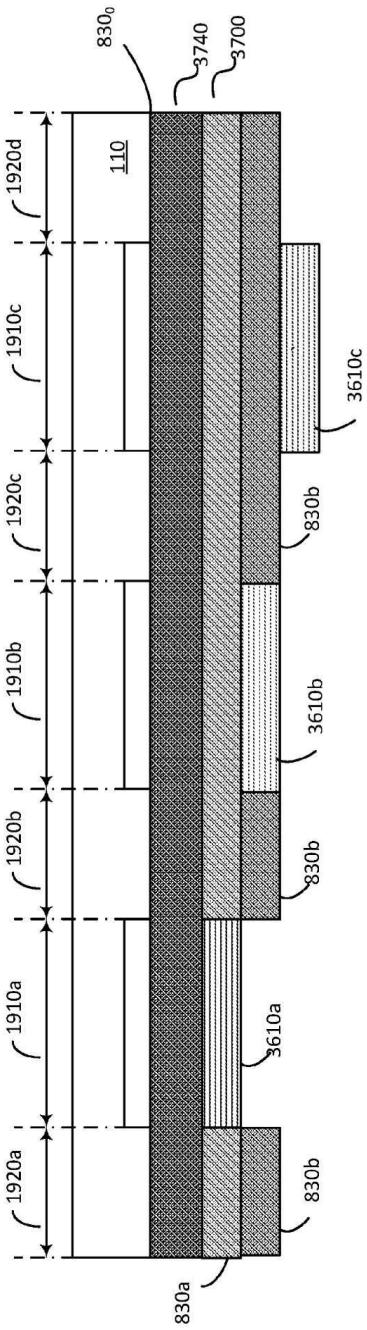
도면37b


830₀
3720
3700
110
1920d
1910c
1920c
830a
1910b
3610b
1920b
1910a
3610a
1920a
830a

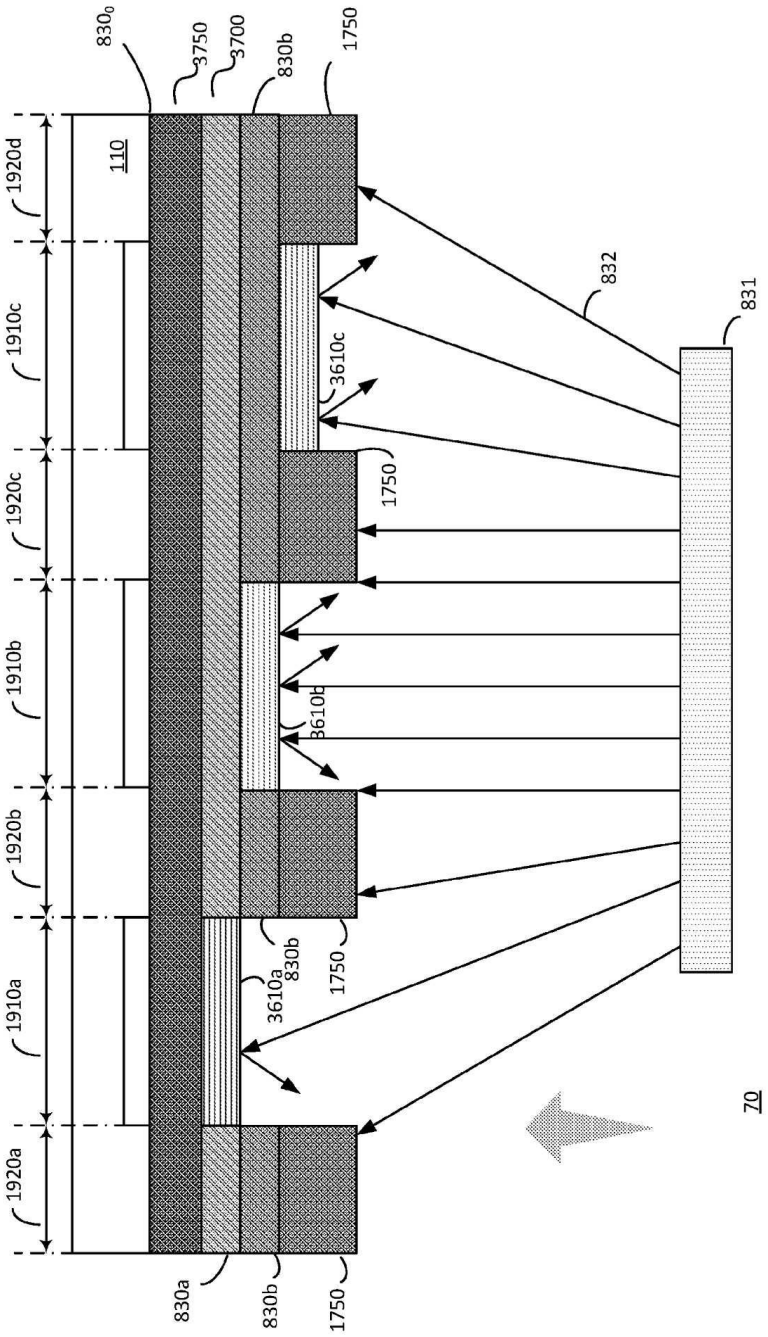
도면37c


830₀
3730
3700
830a
110
1920d
1910c
1920c
1910b
1920b
1910a
1920a
832
831
830c
3610b
830b
3610a
830b
830a
70

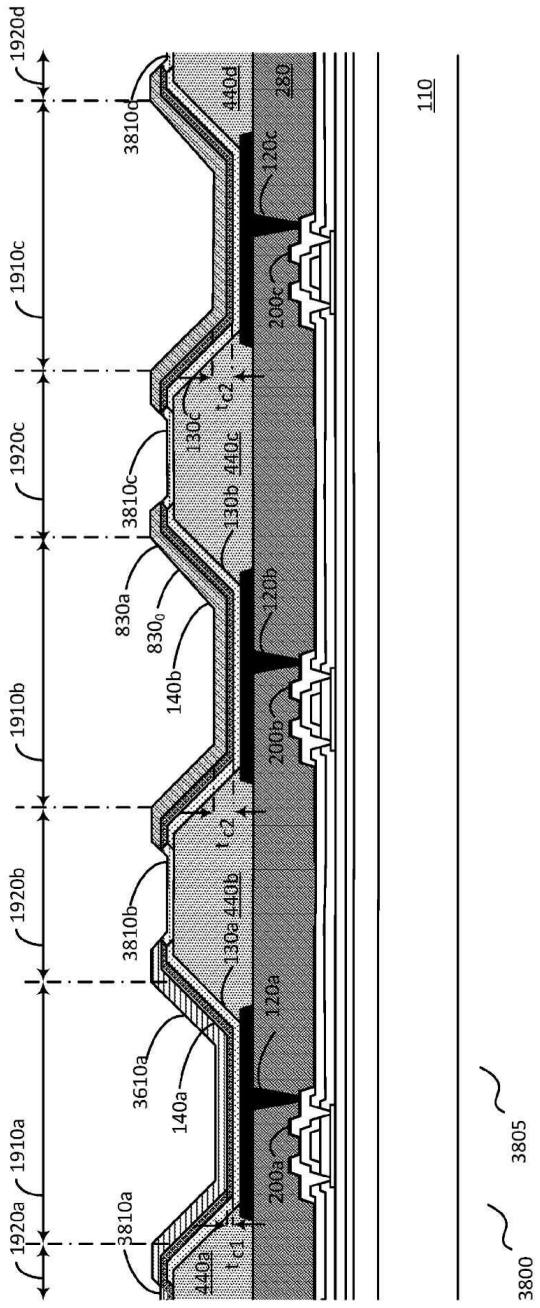
도면37d


830b
3740
3700
110
1920d
1910c
1920c
1910b
1920b
1910a
1920a
3610c
830b
3610b
830b
3610a
830b
830a

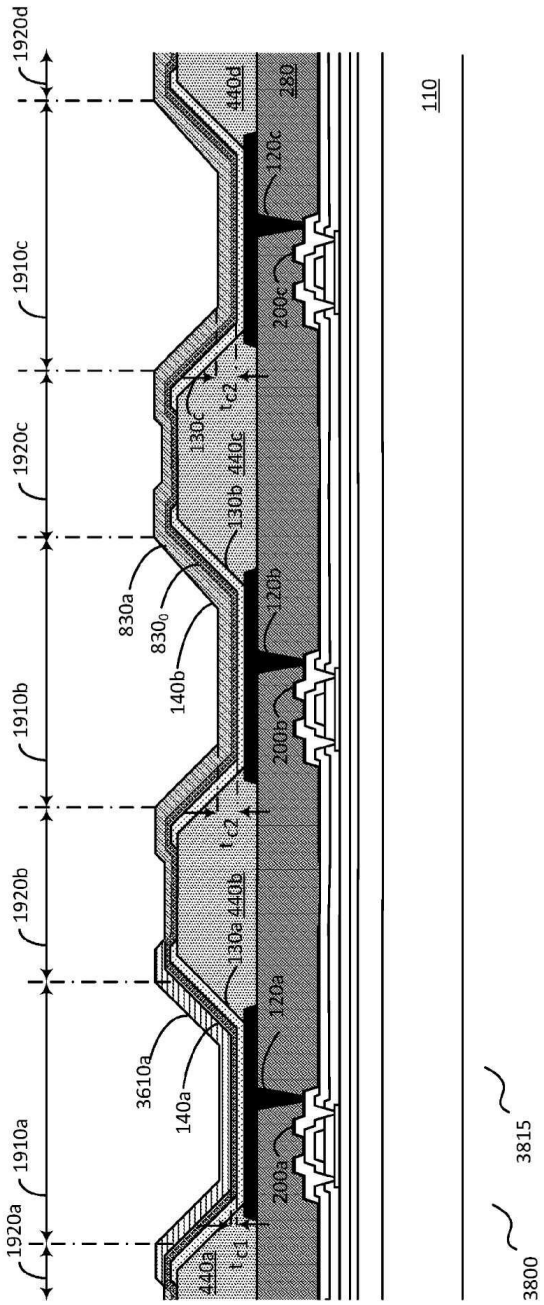
도면37e


830₀
3750
3700
830b
1750
110
1920d
1910c
1920c
1910b
1920b
1910a
1920a
832
831
3610c
1750
3610b
830b
1750
3610a
830a
830b
1750
70

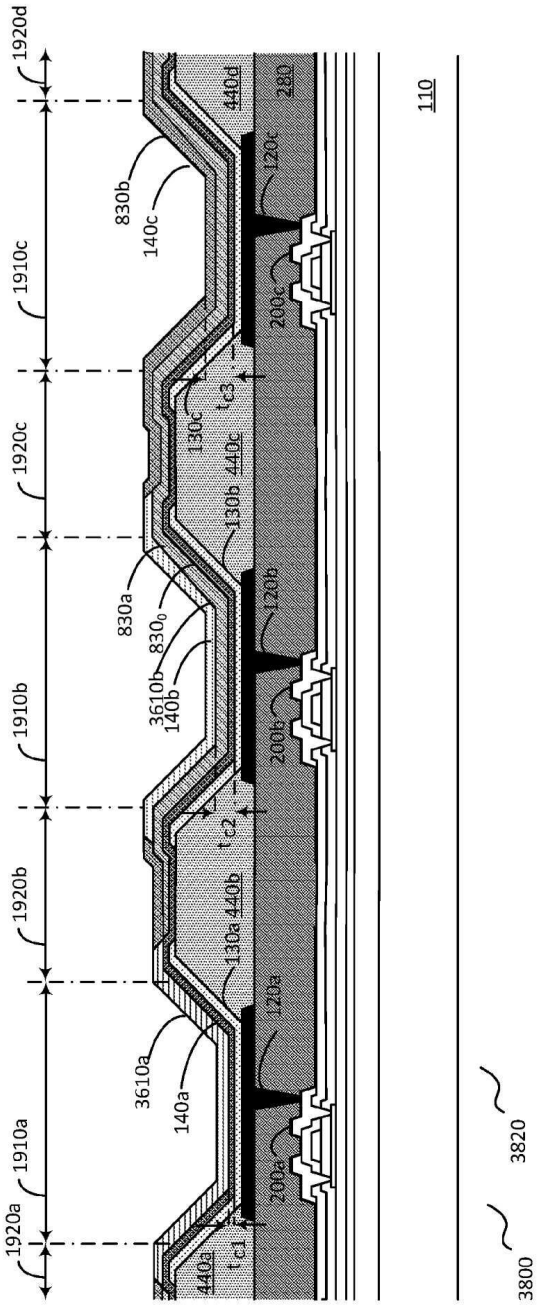
도면38a


1920d
1910c
1920c
1910b
1920b
1910a
1920a
3810d
3810c
3810b
3810a
3610a
440d
440c
440b
440a
280
120c
120b
120a
200c
200b
200a
130c
130b
130a
140b
140a
830a
830₀
110
3805
3800

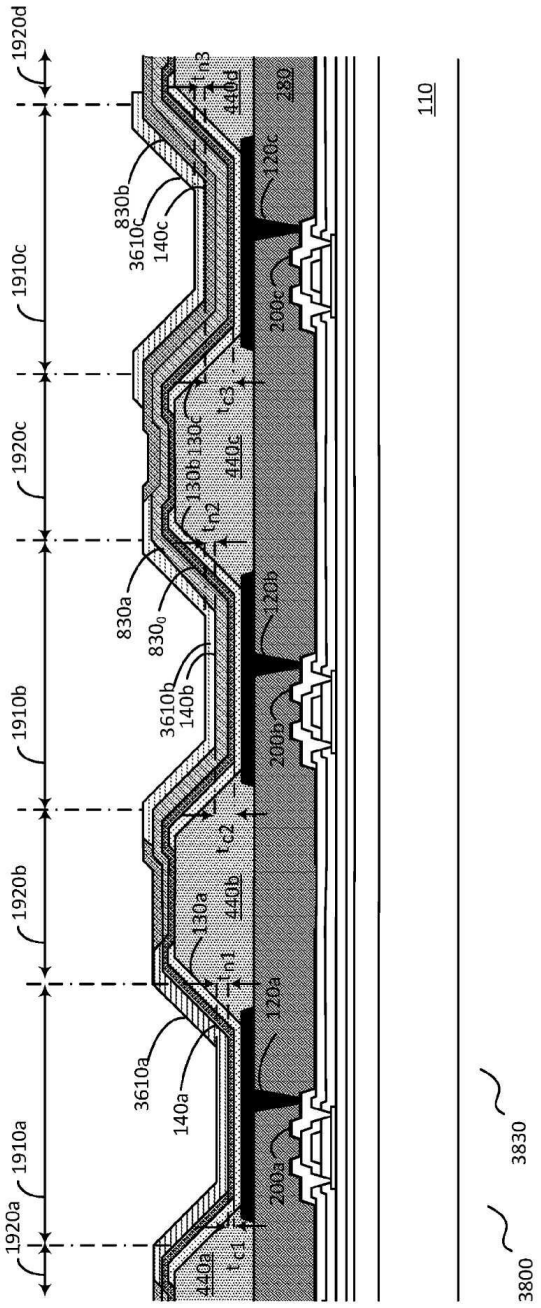
도면38b


1920d
1910c
1920c
1910b
1920b
1910a
1920a
440d
280
120c
200c
130c
440c
130b
120b
200b
130a
440b
120a
200a
440a
110
3815
3800
830a
830₀
140b
3610a
140a
t_{c2}
t_{c1}

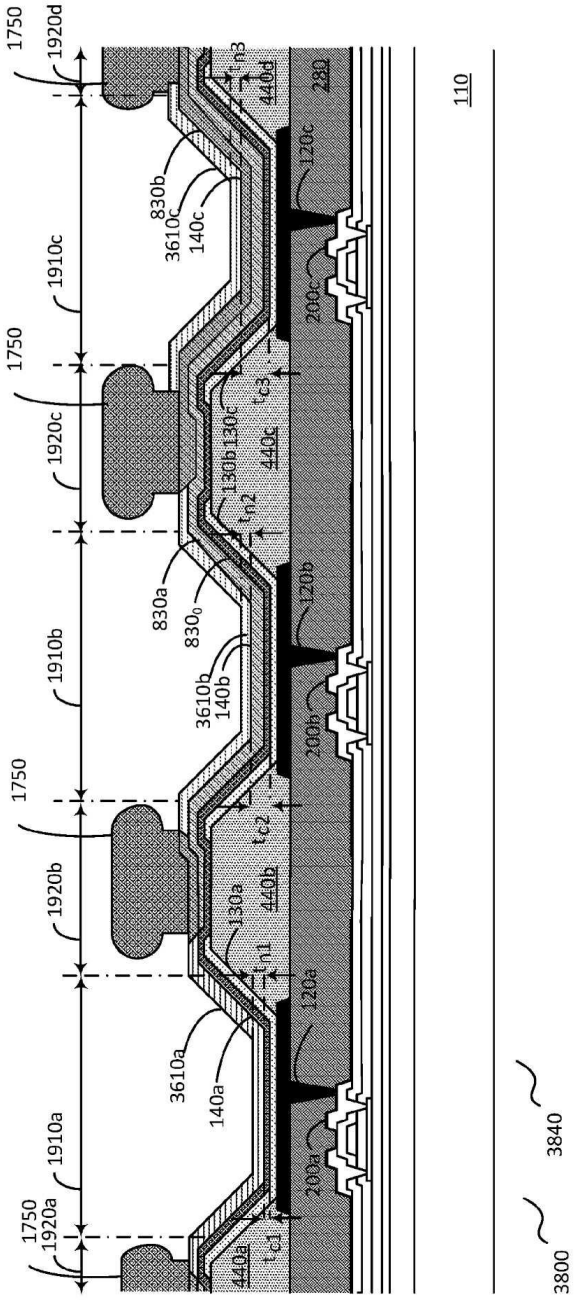
도면38c


1920d
1910c
1920c
1910b
1920b
1910a
1920a
830b
140c
440d
280
120c
200c
130c
tc3
440c
130b
830a
830o
3610b
140b
120b
200b
tc2
130a
440b
121a
3610a
140a
200a
tc1
440a
110
3820
3800

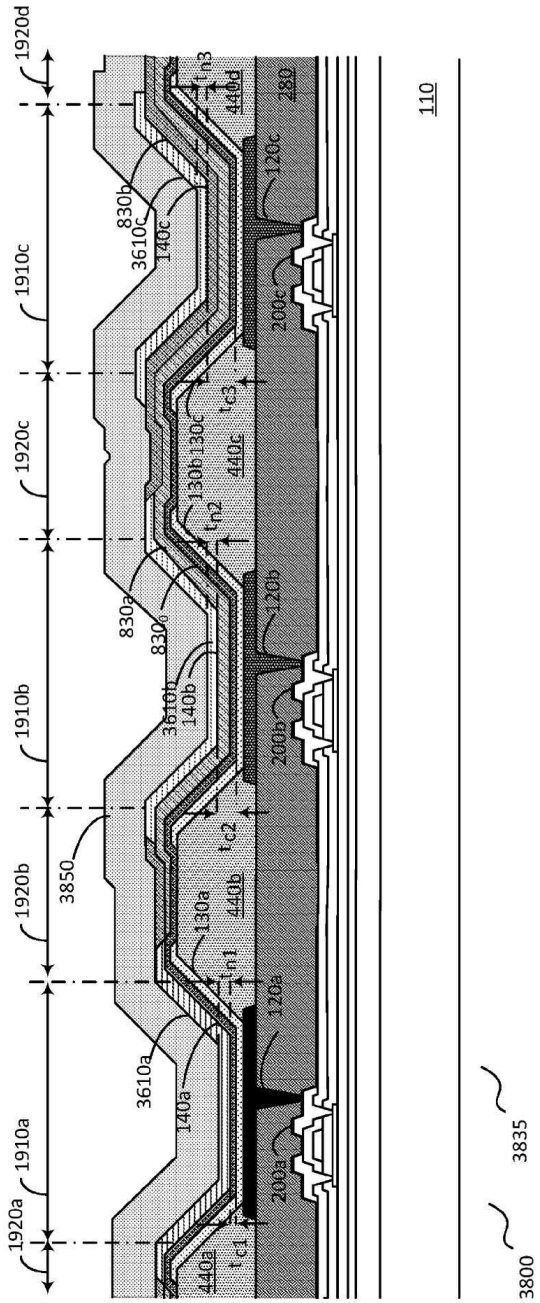
도면38d


1920d
1910c
1920c
1910b
1920b
1910a
1920a
830b
3610c
140c
830a
830₀
3610b
140b
3610a
140a
130b
130c
130a
440a
440b
440c
440d
120a
120b
120c
200a
200b
200c
280
110
3830
3800

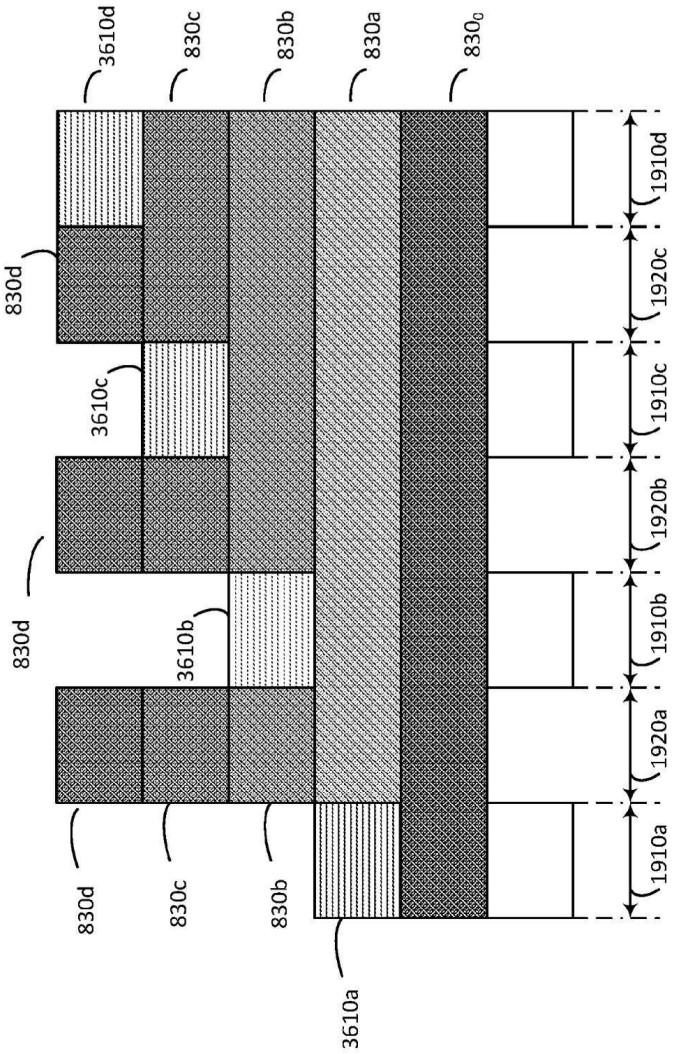
도면38e


1750
1920d
1910c
1920c
1910b
1920b
1910a
1920a
3610a
140a
120a
200a
130a
440b
tc2
tn1
3610b
140b
830a
830₀
120b
200b
130b
130c
440c
tc3
tn2
3610c
140c
830b
120c
200c
440d
tn3
280
110
3840
3800

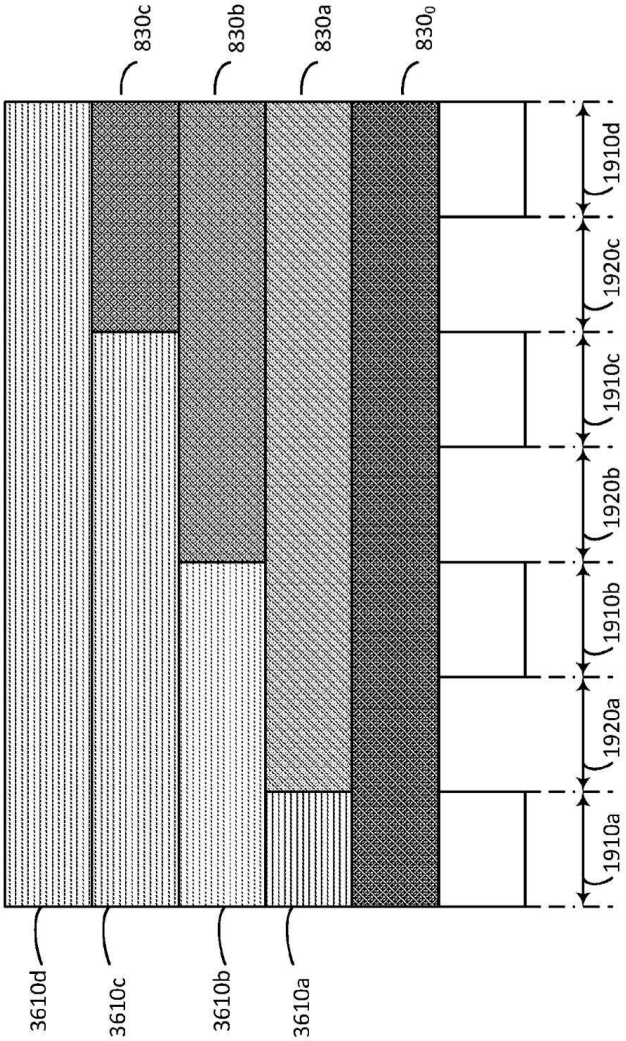
도면38f


1920d
1910c
1920c
1910b
1920b
1910a
1920a
3850
3610a
3610b
3610c
140a
140b
140c
130a
130b
130c
120a
120b
120c
200a
200b
200c
440a
440b
440c
440d
280
830a
830b
830c
110
3835
3800

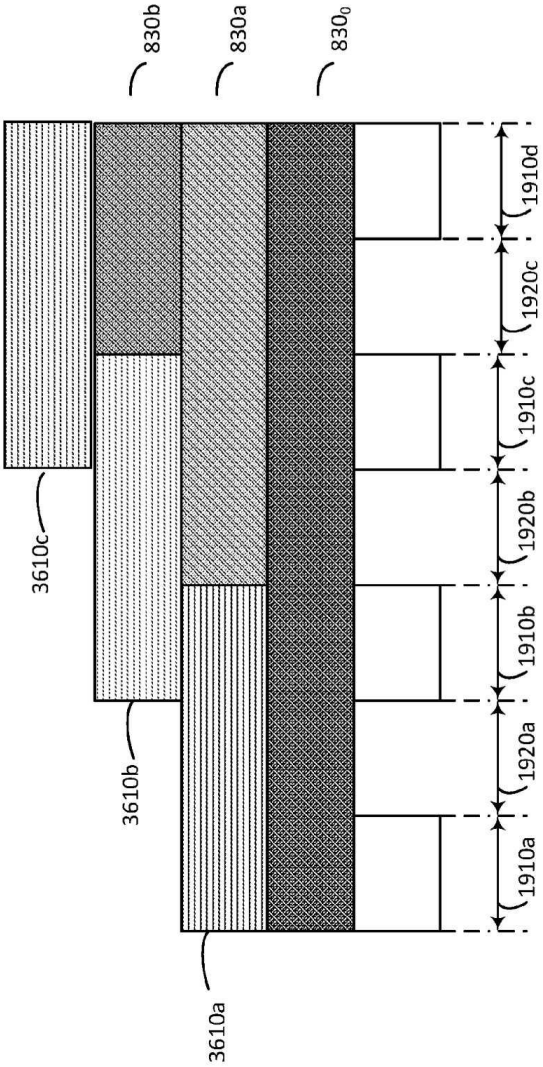
도면39a


3610d
830c
830b
830a
830_0
830d
3610c
830d
3610b
830d
830c
830b
3610a
1910d
1920c
1910c
1920b
1910b
1920a
1910a

도면39b


830c
830b
830a
830_0
1910d
1920c
1910c
1920b
1910b
1920a
1910a
3610d
3610c
3610b
3610a

도면39c


830b
830a
830₀
1910d
1920c
1910c
1920b
1910b
1920a
1910a
3610c
3610b
3610a

도면40