

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-190636

(P2010-190636A)

(43) 公開日 平成22年9月2日(2010.9.2)

(51) Int.Cl.

G01P 15/125 (2006.01)
G01P 15/18 (2006.01)
H01L 29/84 (2006.01)

F 1

G01P 15/125
G01P 15/00
H01L 29/84

Z
K
Z

テーマコード (参考)

4M112

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号
(22) 出願日

特願2009-33605 (P2009-33605)
平成21年2月17日 (2009.2.17)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅善
(74) 代理人 100107261
弁理士 須澤 修
(74) 代理人 100127661
弁理士 宮坂 一彦
(72) 発明者 押尾 政宏
長野県諏訪市大和3丁目3番5号 セイコ
エプソン株式会社内
F ターム (参考) 4M112 AA02 BA07 CA21 CA24 CA31
DA03 DA04 DA06 DA08 DA09
EA02 EA06 EA11 EA18 FA20

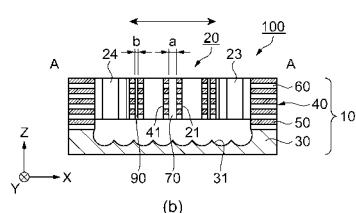
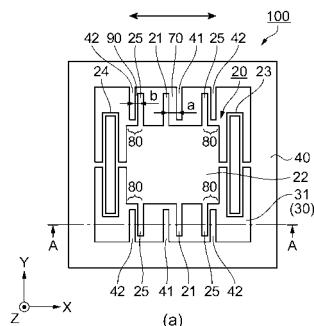
(54) 【発明の名称】 加速度センサー

(57) 【要約】

【課題】耐衝撃性に優れ、加速度の検出特性の低下が抑えられた加速度センサーを得ること。

【解決手段】固定電極41および可動電極21以外にダンピング用構造体80を設けるので、固定電極41と可動電極21との電極間隙70を狭くすることなく、ダンピング用構造体80によってダンピングの調整ができる。したがって、可動部20と支持体10との衝突破壊が低減して耐衝撃性に優れ、固定電極41と可動電極21との衝突を避けながら加速度の検出が可能な、加速度の検出特性の低下の少ない加速度センサー100を得ることができる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

支持体と、

前記支持体に形成されている固定電極と、

前記支持体に形成されている第1ダンピング用構造体と、

可動部と、

前記可動部に設けられた可動電極と、

前記可動部に設けられた第2ダンピング用構造体とを備え、

前記固定電極と前記可動電極とは、第1間隙を隔てて対向配置されて容量を形成し、

前記第1ダンピング用構造体と前記第2ダンピング用構造体とは、第2間隙を隔てて対向配置されている

ことを特徴とする加速度センサー。

【請求項 2】

請求項1に記載の加速度センサーにおいて、

前記第2間隙は、前記第1間隙より狭い

ことを特徴とする加速度センサー。

【請求項 3】

請求項2に記載の加速度センサーにおいて、

前記第1間隙の変動方向と前記第2間隙の変動方向とが略一致している

ことを特徴とする加速度センサー。

【請求項 4】

請求項1～請求項3のいずれか一項に記載の加速度センサーにおいて、

前記第1ダンピング用構造体および前記第2ダンピング用構造体は、それぞれ複数形成されて、前記第1間隙の変動方向または前記可動部の重心に対して対称な位置に配置されている

ことを特徴とする加速度センサー。

【請求項 5】

請求項1～請求項4のいずれか一項に記載の加速度センサーにおいて、

前記固定電極、前記可動電極、前記可動部および前記第1ダンピング用構造体および前記第2ダンピング用構造体が、集積回路で用いられる積層構造を有している

ことを特徴とする加速度センサー。

【請求項 6】

請求項1～請求項4のいずれか一項に記載の加速度センサーにおいて、

前記固定電極、前記可動電極、前記可動部、前記第1ダンピング用構造体および前記第2ダンピング用構造体が、単結晶シリコンから形成されている

ことを特徴とする加速度センサー。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、固定電極と可動電極との間の容量変化に基づいて加速度を検出する加速度センサーに関する。

【背景技術】**【0002】**

加速度センサーとして、支持体に設けられた固定電極と可動電極との間の容量変化に基づいて加速度を検出する加速度センサーが知られている。可動電極は、錘を備えた可動部に形成され、可動部は、ばねによって支持体と連結されている。このような加速度センサーにおいては、固定電極と可動電極との間の容量が変化する方向の成分を持つ加速度の検出が可能である。

上述の構造を備えた加速度センサーの構造共振周波数は、可動部の質量m、ばね定数kから一義的に決まる。また、共振の鋭さを示すQ値は、可動部の質量m、ばね定数kに減

衰定数 c を加えた計算式から決まり、減衰定数 c に反比例する。

加速度センサーでは、過渡応答、耐衝撃特性の点から、低い Q 値が要求される。例えば $0.5 \sim 1.0$ 程度の Q 値が要求される。加速度センサーの構造共振周波数は、構造によって決まるため、 Q 値は、支持体、可動部等とそれらを取り巻く気体との相互作用による減衰定数 c で表されるダンピング（減衰力）を考慮して設計される。減衰定数 c が大きくなれば、 Q 値が低減する。

Q 値を低減させる方法として、可動部である可動体と支持体である支持基板との間隔を狭くし、可動体と支持基板とがずれる時に生じるスライドダンピングを利用し、減衰定数 c であるダンピング係数を大きくする方法が知られている（特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2004-286649 号公報（3～4 頁、図 1）

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、可動部と支持体との間隔を狭くすると、可動部と支持体との間隔を狭くした方向に対する衝撃で、可動部と支持体との衝突破壊が起こり、耐衝撃性が低下する。

また、固定電極と可動電極との間隙を利用したダンピングでは、固定電極と可動電極との間隙を狭くする必要がある。この場合、静電力により固定電極と可動電極とが接触してくっついてしまったり、静電力による線形性の確保が困難になったりして、加速度の検出特性が低下する。

【課題を解決するための手段】

【0005】

本発明は、上述の課題の少なくとも一つを解決するためになされたものであり、以下の形態または適用例として実現することが可能である。

【0006】

[適用例 1]

支持体と、前記支持体に形成されている固定電極と、前記支持体に形成されている第 1 ダンピング用構造体と、可動部と、前記可動部に設けられた可動電極と、前記可動部に設けられた第 2 ダンピング用構造体とを備え、前記固定電極と前記可動電極とは、第 1 間隙を隔てて対向配置されて容量を形成し、前記第 1 ダンピング用構造体と前記第 2 ダンピング用構造体とは、第 2 間隙を隔てて対向配置されていることを特徴とする加速度センサー。

【0007】

この適用例によれば、固定電極および可動電極以外に第 1 ダンピング用構造体と第 2 ダンピング用構造体とからなるダンピング用構造体を設けるので、第 1 間隙を狭くすることなく、ダンピング用構造体の第 2 間隙によってダンピングの調整ができる。したがって、可動部と支持体との衝突破壊が低減して耐衝撃性に優れ、固定電極と可動電極との衝突を避けながら加速度の検出が可能な、加速度の検出特性の低下の少ない加速度センサーが得られる。

【0008】

[適用例 2]

上記加速度センサーであって、前記第 2 間隙は、前記第 1 間隙より狭いことを特徴とする加速度センサー。

この適用例では、第 2 間隙を、第 1 間隙より狭くして、ダンピングをより大きくできる。

【0009】

[適用例 3]

上記加速度センサーであって、前記第 1 間隙の変動方向と前記第 2 間隙の変動方向とが

10

20

30

40

50

略一致していることを特徴とする加速度センサー。

この適用例では、第1間隙の変動方向と第2間隙の変動方向が略一致しているので、減衰力が固定電極と可動電極との間の第2間隙の変動に効率よく働く。

【0010】

[適用例4]

上記加速度センサーであって、前記第1ダンピング用構造体および前記第2ダンピング用構造体は、それぞれ複数形成されて、前記第1間隙の変動方向または前記可動部の重心に対して対称な位置に配置されていることを特徴とする加速度センサー。

この適用例では、第1ダンピング用構造体および第2ダンピング用構造体が、第1間隙の変動方向または可動部の重心に対して対称に配置されているので、第1間隙の変動方向に対して均等に減衰力が働き、他方向への感度が押さえられる。

10

【0011】

[適用例5]

上記加速度センサーであって、前記固定電極、前記可動電極、前記可動部および前記第1ダンピング用構造体および前記第2ダンピング用構造体が、集積回路で用いられる積層構造を有していることを特徴とする加速度センサー。

この適用例では、固定電極、可動電極、可動部、第1ダンピング用構造体および第2ダンピング用構造体が積層構造であるので、集積回路が形成された基板上に加速度センサーが形成できる。

20

【0012】

[適用例6]

上記加速度センサーであって、前記固定電極、前記可動電極、前記可動部、前記第1ダンピング用構造体および前記第2ダンピング用構造体が、単結晶シリコンから形成されていることを特徴とする加速度センサー。

この適用例では、固定電極、可動電極、可動部、第1ダンピング用構造体および第2ダンピング用構造体が、単結晶シリコンから形成されているので、熱応力による変形が少なく、厚い構造体の形成も容易になる。

30

【図面の簡単な説明】

【0013】

【図1】第1実施形態における(a)は加速度センサーの概略平面図、(b)は(a)におけるA-A概略断面図。

30

【図2】CMOS集積回路および加速度センサーを基板に形成する場合の製造工程の概略断面図。

【図3】第2実施形態における(a)は加速度センサーの概略平面図、(b)は(a)におけるA-A概略断面図。

40

【図4】CMOS集積回路および加速度センサーを基板に形成する場合の製造工程の概略断面図。

【図5】変形例における加速度センサーの概略平面図。

【発明を実施するための形態】

【0014】

以下、実施形態を図面に基づいて詳しく説明する。

(第1実施形態)

図1に、本実施形態における加速度センサー100の概略図を示した。(a)は加速度センサー100の概略平面図、(b)は(a)におけるA-A概略断面図である。図中には、X、Y、Z軸方向を示している。また、図中の両矢印は、加速度検出方向を示し、本実施形態では、X軸方向が加速度検出方向である。

【0015】

図1において、加速度センサー100は、支持体10と可動部20とを備えている。

支持体10は、基板30と基板30上に形成された支持部40とを備えている。また、可動部20も基板30上に形成されている。

50

基板 3 0 は、シリコン基板からなり、可動部 2 0 との間に間隔を持たせるために、基板 3 0 の可動部 2 0 に対向する面には、凹部 3 1 が形成されている。凹部 3 1 の深さは、可動部 2 0 の Z 軸方向に衝撃が加わって、可動部 2 0 が基板 3 0 側に撓んでも衝突しない深さになっている。

【 0 0 1 6 】

可動部 2 0 および支持部 4 0 は、例えば、基板 3 0 上の他の領域に形成された後述する集積回路としての C M O S (Complementary Metal Oxide Semiconductor) 集積回路 4 0 0 を構成する配線層 5 0 、層間絶縁膜 6 0 等からなる積層構造を利用して形成されている。

配線層 5 0 としては、例えば、A l 、C u 、A l 合金、M o 、T i 、W 、P t 等を用いることができる。配線層 5 0 には、C M O S 集積回路 4 0 0 を形成する際に用いられる T i N 、T i 、T i W 、T a N 、W N 、V N 、Z r N 、N b N 等からなるバリア膜、T i N 、T i 等からなる反射防止膜も含まれる。また、配線層 5 0 には、C M O S のゲート電極も含む。ゲート電極は、不純物を含んだ多結晶シリコン、シリサイド、W 等からなる。

層間絶縁膜 6 0 としては、S i O₂ 、T E O S (Tetraethoxysilane) 、B P S G (Boro phosphosilicate Glass) 、N S G (Non-doped silicon glass) 、S O G (Spin on glass) 等を用いることができる。また、積層構造には、C M O S 集積回路 4 0 0 の最表面に形成されるS i N 、S i O₂ 等からなる保護膜を含んでいてもよい。

【 0 0 1 7 】

A l 等の配線層 5 0 は、スパッタ、真空蒸着、C V D (Chemical Vapor Deposition) 等で形成でき、S i O₂ 等の層間絶縁膜 6 0 は、C V D 、熱酸化、スピンドルコートおよび焼成等で形成することができる。

なお、可動部 2 0 および支持部 4 0 は、C M O S 集積回路 4 0 0 の積層構造を利用して形成されるものに限らず、独自に積層構造を形成したものであってもよい。

【 0 0 1 8 】

支持部 4 0 は、基板 3 0 上に略矩形の枠体として形成されている。支持部 4 0 は、固定電極 4 1 を備えている。固定電極 4 1 は、支持部 4 0 の一つの対向する内面の略中央に、枠体の内側に向かって形成されている。固定電極 4 1 の形状は、板状の直方体である。

可動部 2 0 は、可動電極 2 1 と錐部 2 2 とばね部 2 3 , 2 4 を備えている。錐部 2 2 の形状は、略直方体に形成されている。可動部 2 0 は、固定電極 4 1 が形成されていない残りの一対の支持体の内面と 2 つのばね部 2 3 , 2 4 を介して、略矩形の枠体である支持部 4 0 で囲まれた略中心に 2 カ所で保持されている。

ばね部 2 3 , 2 4 は、対向する 2 つの板ばねを向かい合わせて、両端で固定した構造となっている。2 つの板ばねのうち、一方の板ばねは支持部 4 0 と接続され、他方の板ばねは錐部 2 2 に接続されている。

【 0 0 1 9 】

可動電極 2 1 は、錐部 2 2 の固定電極 4 1 に対向する位置に形成されている。可動電極 2 1 は固定電極 4 1 と同様に板状の直方体である。

可動電極 2 1 と固定電極 4 1 とは、電極間で容量が得られるように、間隔 a の第 1 間隙としての電極間隙 7 0 を介して対向している。

【 0 0 2 0 】

加速度センサー 1 0 0 は、ダンピング用構造体 8 0 を備えている。本実施形態では、対向する可動電極 2 1 と固定電極 4 1 とを挟むように、両側にダンピング用構造体 8 0 が設けられ、計 4 カ所にダンピング用構造体 8 0 が設けられている。ダンピング用構造体 8 0 は、電極間隙 7 0 の変動方向に対して対称な位置に配置されている。

【 0 0 2 1 】

ダンピング用構造体 8 0 は、第 1 ダンピング構造体としての固定体 4 2 と第 2 ダンピング構造体としての可動体 2 5 を備えている。

可動体 2 5 は、錐部 2 2 の可動電極 2 1 の両側で、支持部 4 0 に向かって形成されている。一方、固定体 4 2 は、支持部 4 0 の固定電極 4 1 の両側で、可動体 2 5 に対向する位

10

20

30

40

50

置に、間隔 b の第 2 間隙としての間隙 9 0 を隔てて形成されている。ここで、間隔 a は間隔 b より大きく設定されている。

【0022】

C M O S 集積回路 4 0 0 とともに、基板 3 0 上に加速度センサー 1 0 0 を形成する場合の各構成要素の大きさは特に限定されないが、例えば、以下の通りである。

可動部 2 0 および支持部 4 0 の積層構造の厚さは、数 μm 程度で、支持部 4 0 は、数 mm 角程度の枠体である。積層構造の各層は、 $1 \mu\text{m}$ 程度である。可動電極 2 1 と固定電極 4 1 との電極間距離である電極間間隙 7 0 の間隔 a は数 μm 程度である。また、錐部 2 2 の質量は、 $\text{数} \times 10^{-6} \text{g}$ 程度である。

【0023】

可動部 2 0 と支持部 4 0 は、配線層 5 0 および層間絶縁膜 6 0 からなる積層構造の表面側からの異方性エッティングと等方性エッティングを組み合わせることで形成できる。

図 2 (a) ~ (c) に、例として、C M O S 集積回路 4 0 0 と加速度センサー 1 0 0 を基板 3 0 に形成する場合の製造工程の簡略断面図を示した。

図 2 (a) は、C M O S 集積回路 4 0 0 とエッティング前の加速度センサー部 1 1 0 を形成する工程を、(b) は層間絶縁膜 6 0 等の異方性エッティング工程を、(c) は基板 3 0 の等方性エッティング工程を示している。

【0024】

図 2 (a) において、基板 3 0 にトランジスター 4 1 0 を構成する不純物拡散層 4 1 1 、ソース 4 1 2 、ドレイン 4 1 3 、L O C O S (Local Oxidation of Silicon) 4 1 4 、ゲート酸化膜 4 1 5 、ゲート 4 1 6 等を形成後、トランジスター 4 1 0 上にプラグ 4 2 0 、配線層 5 0 、層間絶縁膜 6 0 、保護膜 4 3 0 等を積層、エッティングを繰り返し C M O S 集積回路 4 0 0 を周知の方法で形成する。

このとき、エッティング前の加速度センサー部 1 1 0 には、L O C O S 4 1 4 、ゲート酸化膜 4 1 5 、ゲート 4 1 6 等を形成し、その上に、層間絶縁膜 6 0 、配線層 5 0 、保護膜 4 3 0 等を積層する。

【0025】

図 2 (b) において、保護膜 4 3 0 側から層間絶縁膜 6 0 等の異方性エッティングを行う。異方性エッティングは、例えば、I C P (Inductively Coupled Plasma) エッティングによって行う。エッティングガスとしては、C F₄、C H₃、H e 等の混合ガスを用い、圧力を 1 0 ~ 2 0 P a 、R F パワーを 6 0 0 ~ 8 0 0 W で行う。エッティング時間は、保護膜 4 3 0 と層間絶縁膜 6 0 の合計膜厚が $4 \sim 6 \mu\text{m}$ の場合、1 0 ~ 2 0 分である。

【0026】

図 2 (c) において、保護膜 4 3 0 側からシリコンの基板 3 0 の等方性エッティングを行い、凹部 3 1 を形成する。等方性エッティングは、例えば、I C P (Inductively Coupled Plasma) エッティングによって行う。エッティングガスとしては、S F₆、O₂ の混合ガスを用い、圧力を 1 ~ 1 0 0 P a 、R F パワーを 1 0 0 W 程度で行う。エッティング時間は、凹部 3 1 の深さが $2 \sim 3 \mu\text{m}$ の場合、数分である。このエッティングにより、可動部 2 0 等が基板 3 0 から切り離される。

【0027】

加速度センサー 1 0 0 では、X 軸方向に加速度が加わると、固定電極 4 1 と可動電極 2 1 との間の距離が変化し容量が変化する。この容量の変化を検出することによって加速度を測定することができる。

【0028】

このような本実施形態によれば、以下の効果がある。

(1) 固定電極 4 1 および可動電極 2 1 以外にダンピング用構造体 8 0 を設けるので、固定電極 4 1 と可動電極 2 1 との電極間間隙 7 0 を狭くすることなく、ダンピング用構造体 8 0 によってダンピングの調整ができる。したがって、可動部 2 0 と支持部 1 0 との衝突破壊が低減して耐衝撃性に優れ、固定電極 4 1 と可動電極 2 1 との衝突を避けながら加速度の検出が可能な、加速度の検出特性の低下の少ない加速度センサー 1 0 0 を得ること

ができる。

【0029】

(2) ダンピング用構造体80の可動体25と固定体42との間の間隙90の間隔bを、固定電極41と可動電極21との電極間間隙70の間隔aより狭くして、ダンピングをより大きくできる。

【0030】

(3) 間隙90の変動方向と電極間間隙70の変動方向が略一致しているので、減衰力が固定電極41と可動電極21との間の電極間間隙70の変動に効率よく働くようにできる。

【0031】

(4) ダンピング用構造体80が、間隙90の変動方向または可動部20の重心に対し対称に配置されているので、間隙90の変動方向に対して均等に減衰力が働き、他方向への感度を押さえることができる。

【0032】

(5) 固定電極41、可動電極21、可動部20およびダンピング用構造体80が積層構造であるので、CMOS集積回路400が形成された基板30上に加速度センサー100を形成できる。

【0033】

(第2実施形態)

図3に本実施形態における加速度センサー200の概略図を示した。(a)は加速度センサー200の概略平面図、(b)は(a)におけるA-A概略断面図である。図中には、軸方向を示している。図中の両矢印は、加速度検出方向を示し、本実施形態では、X軸方向が加速度検出方向である。

第1実施形態と同じ構成要素には同じ符号を付した。以下には、第1実施形態と異なる点を中心に説明する。

【0034】

図3において、加速度センサー200の構造は、第1実施形態で示した加速度センサー100と略同様である。構造で異なる点は、ダンピング用構造体80を対向する可動電極21と固定電極41との両側でなく片側にだけ設けた点である。

ダンピング用構造体80は、可動部20の重心221に対して点対称の位置に21カ所配置されている。

【0035】

第1実施形態と第2実施形態とでは、以下の点で大きく異なる。

第1実施形態では、基板30は、シリコン基板からなり、支持部40と可動部20とは、基板30上の他の領域に形成されたCMOS集積回路400を構成する配線層50および層間絶縁膜60を利用した積層構造となっている。一方、第2実施形態では、SOI(Silicon On Insulator)構造の半導体基板35を利用する。SOI構造は、酸化シリコンからなる埋め込み酸化膜210を挟んで、埋め込み酸化膜上に形成された単結晶シリコン層220を備えている。

【0036】

可動部20および支持部40は、単結晶シリコン層220をエッチングすることによって得られる。また、基板30の貫通部32は、単結晶シリコン層220が形成された面に対向する面からエッチングすることによって形成できる。

図4(a)～(c)に、例として、CMOS集積回路400と加速度センサー200とをSOI構造の半導体基板35に形成する場合の製造工程を簡略化して示した。

図4(a)は、CMOS集積回路400を形成する工程を、(b)は単結晶シリコン層220のCMOS集積回路400形成面側からの異方性エッチング工程を、(c)は基板30の基板30側からの異方性エッチング工程を示している。

【0037】

図4(a)において、第1実施形態と同様に、単結晶シリコン層220にCMOS集積

10

20

30

40

50

回路 400 を周知の方法で形成する。このとき、加速度センサー部 110 には、何も形成しない。

【0038】

図 4 (b)において、単結晶シリコン層 220 の CMOS 集積回路 400 形成面側から異方性エッティングを行う。異方性エッティングは、SiO₂等で加速度センサー 200 の形状に応じてマスクを施し、KOHによるウェットエッティングで行うことができる。

【0039】

図 4 (c)において、基板 30 側から基板 30 および埋め込み酸化膜 210 をエッティングし、貫通部 32 を形成した後、基板 30 側から異方性エッティングを行う。異方性エッティングは、単結晶シリコン層 220 の CMOS 集積回路 400 形成面側から行った方法と同様の方法で行うことができる。10

【0040】

このような本実施形態によれば、以下の効果がある。

(6) 固定電極 41、可動電極 21、可動部 20 およびダンピング用構造体 80 が、単結晶シリコンから形成されているので、熱応力による変形を少なくでき、厚い構造体の形成を容易にできる。

【0041】

(変形例)

図 5 に変形例における加速度センサー 300 の概略平面図を示した。

図 5において、第 1 実施形態および第 2 実施形態と異なる点は、X 軸方向への加速度を検出する可動電極 21 および固定電極 41 の他に、Y 軸方向への加速度を検出する可動電極 26 および固定電極 43 を設け、これらの電極の両側にもダンピング用構造体 80 を設けた点が異なる。また、可動電極 21 および固定電極 41 と、可動電極 26 および固定電極 43 とは、差動検出タイプとはなっていない。20

上記以外の構造および製造方法については、第 1 実施形態と同様の積層構造、第 2 実施形態と同様の構造および第 1、第 2 実施形態と同様の製造方法を用いることができる。

変形例では、2 方向の加速度の測定が可能になる。

【0042】

上述した実施形態以外にも、種々の変更を行うことが可能である。

ばね部 23、24 の構造は、どのようなものであってもよい。例えば、一つの板ばねの両端が支持部 40 に接続され、中央部が錐部 22 に接続された構造であってもよい。30

【0043】

実施形態では、可動電極 21 と固定電極 41 とは 2 対しか示されていないが、3 対以上でくし歯が入り込んだ状態の構成としてもよい。また、可動電極 21 および固定電極 41 は、矩形状の電極が向かい合う構造になっていたが、矩形状以外の形状であってもよい。

また、加速度の印加によって電極同士が衝突しなければ、平行平板でなくてもよい。

【0044】

さらに、気体は空気以外の He、Ne 等の希ガス、窒素ガス等であってもよい。空気よりも粘性係数の大きな媒体を用いることで、より大きな減衰定数 c が得られる。

【0045】

ダンピング用構造体 80 は、可動体 25 と固定体 42 との間の間隙 90 の間隔 b を変えるだけでなく、可動体 25 および固定体 42 の形状を変えててもよい。また、可動体 25 と固定体 42 とは 2 対および 4 対しか示されていないが、6 対以上でくし歯が入り込んだ状態の構成としてもよい。40

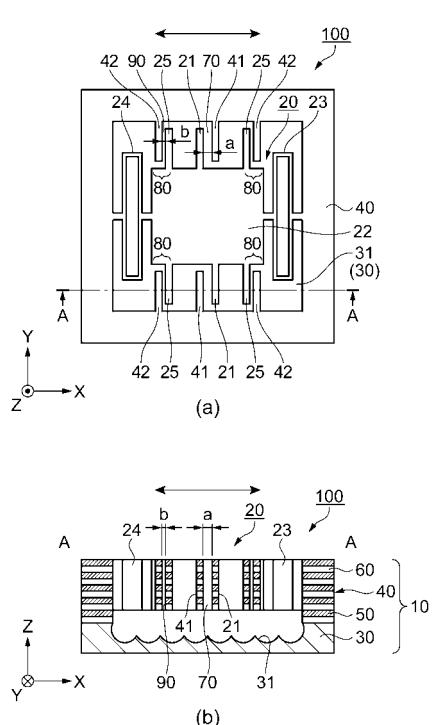
【符号の説明】

【0046】

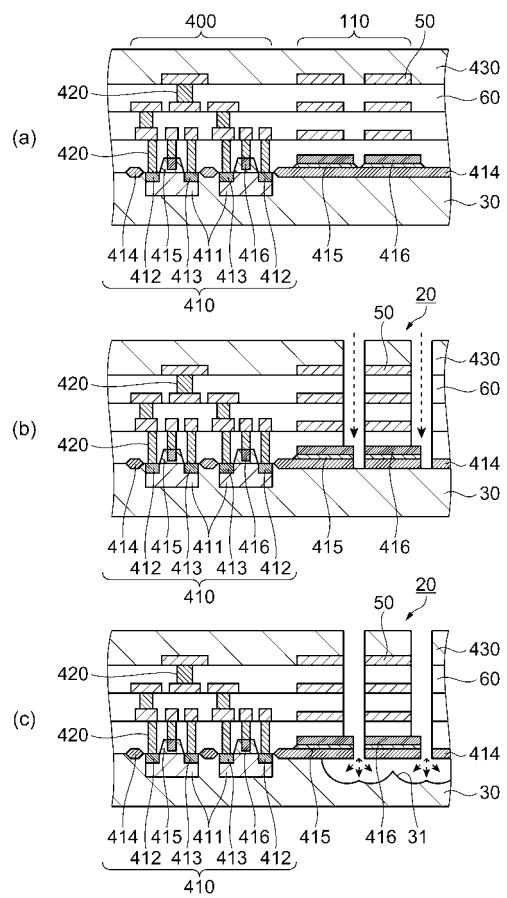
10 ... 支持体、20 ... 可動部、21 ... 可動電極、25 ... 第 2 ダンピング用構造体としての可動体、41 ... 固定電極、42 ... 第 1 ダンピング用構造体としての固定体、70 ... 第 1 間隙としての電極間隙、90 ... 第 2 間隙としての間隙、100, 200, 300 ... 加速度センサー、400 ... CMOS 集積回路、220 ... 単結晶シリコンとしての単結晶シリコ50

ン層、221…重心。

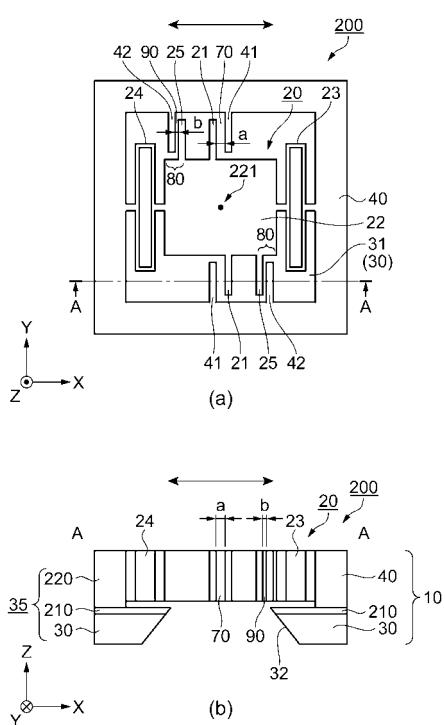
【図1】



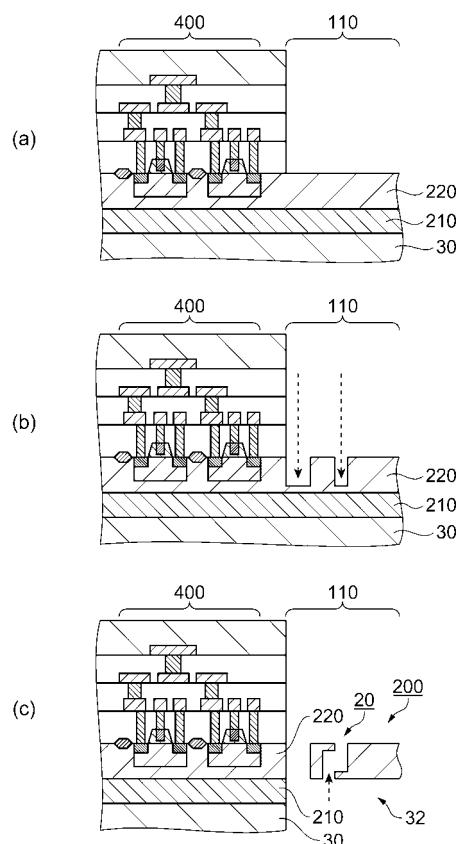
【図2】



【図3】



【図4】



【図5】

