

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/78

H01L 21/52



[12] 发明专利说明书

[21] ZL 专利号 00807283.3

[45] 授权公告日 2004 年 7 月 14 日

[11] 授权公告号 CN 1157779C

[22] 申请日 2000.5.4 [21] 申请号 00807283.3

[30] 优先权

[32] 1999.5.7 [33] DE [31] 19921230.9

[86] 国际申请 PCT/EP2000/003988 2000.5.4

[87] 国际公布 WO2000/068990 德 2000.11.16

[85] 进入国家阶段日期 2001.11.7

[71] 专利权人 德国捷德有限公司

地址 德国慕尼黑

[72] 发明人 托马斯·格拉斯尔

亚亚·哈吉里-泰拉尼

审查员 刘天飞

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李晓舒 魏晓刚

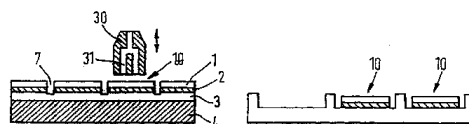
权利要求书 3 页 说明书 8 页 附图 5 页

[54] 发明名称 一种处理装入智能插卡的削薄的芯片的方法

[57] 摘要

说明了各种用于处理各削薄的芯片以便装在各智能插卡之中的方法。一晶片在任何情况下借助于一粘接层以其前侧首先胶接于一载体衬底。然后此晶片从后侧被削薄并通过从后侧锯开而达到粘接层来被分割成为各个芯片。粘接层然后被溶解而各个芯片用一吸头提起而离开载体衬底并被投放在一特制托盘之内用于进一步加工处理。另外,从晶片锯出的各芯片借助于一第二粘接层以一连续的载体薄膜胶接在后侧上而第一粘接层然后用一种不会破坏第二粘接层的方法加以溶解。由载体薄膜接合起来的各芯片因而可以一起被提起而离开载体衬底而在溶解第二粘接层之后分别地被从载体薄膜上取出。晶片可以另外在锯切之前借助于一第二粘接层用一连续的载体薄膜胶接在后侧上。在此情况下,同样,第一粘接层被溶解而保持第二粘

接层,而由载体薄膜加强的各个芯片然后被提起而离开载体衬底。



1. 一种用于处理装在各智能插卡(20)之中的各削薄芯片(10)的方法, 包括以下各方法步骤:

- 5 借助于一粘接层(3)将一晶片(1)以其前侧粘接于一载体衬底(4),
 从后侧削薄晶片(1),
 借助于一第二粘接层(6)在晶片(1)后侧上粘接一连续的载体薄膜(5).
 通过从晶片(1)的后侧锯切载体薄膜(5)粘接其上的晶片(1)至或进入
 第一粘接层(3)或进入载体衬底(4)而把晶片(1)分割成为各个芯片(10),
10 用一种不会破坏第二粘接层(6)的方法溶解第一粘接层(3),
 将各个芯片(10)连同载体薄膜(5)一起提离载体衬底(4)。

2. 按照权利要求1所述的方法, 其特征在于, 第一粘接层(3)由一种在一定波长范围的光作用下分解的粘接剂构成, 而第二粘接层(6)由一种在所述光作用下固化的粘接剂构成。

- 15 3. 按照权利要求1所述的方法, 其特征在于, 第一粘接层(3)由一种在热作用下分解的粘接剂构成, 而第二粘接层(6)由一种在热作用下固化的粘接剂构成。

4. 按照权利要求1所述的方法, 其特征在于, 第一粘接层(3)由一种水溶性粘接剂构成, 以及/或者第二粘接层(6)由一种抗溶剂的粘接剂构成。

- 20 5. 按照权利要求1所述的方法, 其特征在于, 第一粘接层(3)由一种在氧等离子体作用下或在某一气体环境中分解的粘接剂构成, 而第二粘接层(6)由一种阻抗所述条件的粘接剂构成。

6. 按照权利要求1至5中任一项所述的方法, 其特征在于, 载体衬底
(4)与晶片(1)和载体衬底(4)之间的粘接层(3)一起以及/或者代替所述粘
25 接层(3)溶解。

7. 按照权利要求6所述的方法, 其特征在于, 载体衬底(4)由一种在等离子体中和/或在气体作用下和/或在高温下分解的材料构成和/或是水溶性的。

8. 按照权利要求1至5中任一项所述的方法, 其特征在于, 一些位置
30 标记(8)施用在各芯片(10)和/或载体薄膜(5)的后侧。

9. 按照权利要求1至5中任一项所述的方法, 其特征在于, 各芯片(10)

以其各前侧装接于一设置有各导电通路(11)的第一智能插卡箔片(21)。

10. 按照权利要求1至5中任一项所述的方法,其特征不在于,各芯片(10)以其各后侧装接于一第一智能插卡箔片(21)并接触于各导电通路(11)。

5 11. 按照权利要求9所述的方法,其特征不在于,第一智能插卡箔片(21)在对置于芯片(10)的表面上设置有经由各导电通路(11)连接于芯片(10)的各接触区域(23),以及如此制作的芯片模块各接触区域(23)朝外地装进一智能插卡(20)的凹穴(24)。

12. 按照权利要求9所述的方法,其特征不在于,带有芯片(10)的第一智能插卡箔片(21)用一第二智能插卡箔片(22)盖住,而两个智能插卡箔片(21, 22)叠合在一起。

13. 按照权利要求12所述的方法,其特征不在于,第一智能插卡箔片(21)经过预先处理,以致芯片(10)粘接于第一智能插卡箔片(21)直至它被第二智能插卡箔片(22)盖住。

15 14. 按照权利要求13所述的方法,其特征不在于,第一智能插卡箔片(21)印刷有一种导电粘接膏剂,以致芯片(10)粘接于第一智能插卡箔片(21)直至它被第二智能插卡箔片(22)盖住,以及同时在电气上保持接触。

15. 按照权利要求1至5中任一项所述的方法,其特征不在于,各芯片(10)以其后侧装接于一第一智能插卡箔片(21),而带有芯片(10)的第一智能插卡箔片(21)用一在相应各位置处配设有各导电通路(11)的第二智能插卡箔片(22)盖住,以及两个智能插卡箔片(21, 22)叠合在一起。

16. 一种按照权利要求1至5中任一项所述的用于处理装在各智能插卡(20)之中的各削薄芯片(10)的方法,其特征不在于,芯片(10)从外部装接于智能插卡(20)的一个表面。

25 17. 按照权利要求16所述的方法,其特征不在于,芯片(10)以其前侧指向外面地装接于智能插卡(20)的表面并配置一些导电通路(11)。

18. 按照权利要求16所述的方法,其特征不在于,芯片(10)装进智能插卡(20)表面上的一凹穴(27)。

30 19. 按照权利要求16所述的方法,其特征不在于,芯片(10)在热作用下被齐平地压入智能插卡(20)的表面。

20. 按照权利要求16所述的方法,其特征不在于,位于智能插卡(20)表

面上的芯片(10)涂有防护漆(12)。

21. 按照权利要求 16 所述的方法, 其特征在于, 各导电通路(11)借助于一种印刷或模压方法予以施加。

22. 按照权利要求 16 所述的方法, 其特征在于, 芯片(10)被提离载体薄膜(5)并装在智能插卡箔片(21)或智能插卡(20)的表面上。

23. 按照权利要求 22 所述的方法, 其特征在于, 芯片(10)借助于已溶解的第二粘接层(6)的粘接剂粘接在插卡箔片(20)上。

24. 按照权利要求 23 所述的方法, 其特征在于, 芯片(10)用一吸头(30)提离载体箔片(5)并装接于插卡箔片(20), 第二粘接层(6)在热量作用下被溶解。

25. 一种智能插卡(20), 带有至少一个削薄的芯片(10), 其中, 所述至少一个削薄的芯片(10)按照权利要求 1 至 5 中任一项所述的方法装在各智能插卡(20)之中, 所述至少一个削薄的芯片(10)设置在智能插卡(20)一表面上。

26. 按照权利要求 25 所述的智能插卡, 其特征在于, 芯片(10)以其前侧向外地设置在智能插卡(20)上, 而各导电通路(11)在外侧上施加于智能插卡(20)和芯片(10)。

27. 按照权利要求 25 所述的智能插卡, 其特征在于, 各导电通路(11)是印制的。

28. 按照权利要求 25 所述的智能插卡, 其特征在于, 芯片(10)设置在智能插卡(20)表面上的一凹穴(27)之中。

29. 按照权利要求 25 所述的智能插卡, 其特征在于, 芯片(10)被齐平地压入智能插卡(20)的表面。

30. 按照权利要求 25 所述的智能插卡, 其特征在于, 芯片(10)涂有一种防护漆(12)。

一种处理装入智能插卡
的削薄的芯片的方法

5

技术领域

本发明涉及一种处理削薄的芯片以便装入智能插卡的方法。

背景技术

10 削薄的晶片一段时间内一直用于制作直立集成电路结构(VIC)。

DE 4433846 A1 说明了这样一种 VIC 的制作, 其中一晶片, 在此是一所谓的顶部衬底, 首先以其前侧, 亦即各层元件位置所在的有效的或起作用的 IC 区域, 借助于一粘接层被胶接于一所谓的处理衬底, 而后从后侧被削薄。削薄是比如通过湿式化学蚀刻或者通过机械式或化学-机械式研磨予以完成的。这样一个顶部衬底然后设置一粘接层, 以经过精确调节的方式
15 装在一所谓的底部衬底上并与之连接。然后取下处理衬底。

EP 0531723 B 阐述了一种类似的方法, 其中一第一电路元件以其有效区域固紧于一载体, 而后从后侧削薄。然后另一电路元件装在削薄的芯片的后侧上并借助于先前制作在削薄的芯片后侧上的各接触焊点与之连接。
20 然后装好的电路元件同样从后侧削薄, 配置各接触焊点和装上的另一电路元件。这一步骤重复几次直至所需要的多元件装置最终从叠置的各元件建成。

所有这些方法只是说明了在一方法阶段上各芯件的处理, 在此阶段上, 各芯片或是尚未削薄或是已经组装到一稳定的装置里面。没有提供任何
25 一些方法用于处理各个削薄的芯片以便把它们装入各智能插卡。在至今用于智能插卡制作之中的各种方法和工具的情况下, 这一点尤其是不可能的。不过, 由于削薄的芯片在智能插卡中的特有挠性, 而插卡经受很高的弯曲和扭转应力, 所以很希望使用削薄的芯片。

30 发明内容

因此本发明基于提供一种用于分别地处理削薄芯片并把它们装入各智

能插卡的方法这一问题。

本发明提供一种用于处理装在各智能插卡之中的各削薄芯片的方法，包括以下各方法步骤：借助于一粘接层将一晶片以其前侧粘接于一载体衬底，从后侧削薄晶片，借助于一第二粘接层在晶片后侧上粘接一连续的载体薄膜，通过从晶片的后侧锯切载体薄膜粘接其上的晶片至或进入第一粘接层或进入载体衬底而把晶片分割成为各个芯片，用一种不会破坏第二粘接层的方法溶解第一粘接层，将各个芯片连同载体薄膜一起提离载体衬底。

任何情况下的起点是，一晶片借助一粘接层以其前侧，即各元件位置所在处，胶接于一载体衬底。此晶片然后从后侧削薄。削薄之后，晶片通过从后侧锯进晶片而分割成为各个芯片。锯切可以进行得达到或进入粘接层或甚至进入载体衬底。

按照本发明，有多种方式提起各芯片而离开载体衬底并使它们单独分开。

优选，粘接层被溶解，而各个芯片用一吸头提起而离开载体衬底。它们然后最好是投放在一特制托盘之中用于进一步加工处理。在此方法中，各芯片横放在特制托盘之中，以其后侧朝向。另外，各芯片当然也可以立即处理，比如立即装在一智能插卡或智能插卡箔片上。

本发明提供了另一方法步骤，其中仍然位于载体衬底上的各个芯片在锯切之后借助于一第二粘接层用一连续的载体薄膜胶接在后侧上。第一粘接层然后用一种保留第二粘接层的方法予以溶解。各芯片然后可以在由载体薄膜接合起来之后被一起提起而离开载体衬底。然后有可能通过溶解第二粘接层而从载体薄膜上取下各个芯片。在此也可以借助于一吸头或类似器具完成取下步骤。在此方法中，芯片的有效前侧因此是在顶部的。

按照本发明提供的是，所述载体薄膜在削薄晶片之后直接胶接上，而晶片只在此时被锯成小片而成为各个芯片。此薄膜在装入智能插卡时仍然留在各别芯片上；芯片因而由载体薄膜予以增强并也可以用通常的各种方法和工具予以处理。适当的比如粘塑性材料用于载体箔片允许后者保持较薄而确保芯片-箔片组件具有充分的稳定性。

各芯片当然也可以在后面两种方法的进一步加工处理过程中暂时储放在一托盘之中。

具有不同的方式溶解第一粘接层而同时保留第二粘接层，各自取决于

所用各类粘接剂的性质。一些优先的方法在附属权利要求中予以说明。

另外，基本上，载体衬底本身也可能和晶片与载体衬底之间的粘接层一起，或代替所述粘接层，予以溶解。自不待言，为此目的要选择一种不会破坏第二粘接层的方法。

- 5 可以用本发明的各种方法安全和轻易地处理的较薄芯片是比较柔软的并需要比通常的芯片较小的空间。这就为容放芯片在智能插卡之中开辟了新的可能性。

- 10 在此，必须在两类方法之间作出区别，一类方法是，各芯片以其前侧装在一比如已经配有各导电通路的智能插卡箔片上或装在智能插卡上(倒装技术)，而另一类方法是，各芯片以其后侧装在智能插卡箔片或智能插卡上，而后各导电通路连接于芯片。哪一种方法比较有利，除了其他因素之外，取决于采用哪一种以前提及的、用于从载体衬底上取下削薄的各芯片的方法，亦即各芯片已经指向哪一个方向。

- 15 在各芯片必须从后侧予以处理的一些方法中，如果各位置标记施加于各芯片的后侧或施加于载体薄膜，则是有利的。这样的标记可使芯片精确地对正在智能插卡上。一种可荐用的位置标记是应当重现芯片的电路结构。

- 20 一种装入方法是把芯片装于一设置在对置于芯片的后侧上的智能插卡箔片，芯片带有一些接触区域，其本身又经由各导电通路穿过箔片连接于芯片。如此制成的芯片模块然后可以装入一带有外部各接触区域的智能插卡的一凹穴，一如智能插卡通常结构的情况。

一种替代方法是当两个智能插卡箔片被成层在一起时把各芯片装在两个箔片之间。

- 25 在一种特别优选的装入方法中，芯片迳直地装于一智能插卡的表面，此芯片最好是安装得以其前侧指向外部，而智能插卡连同芯片一起随后配置各导电通路。

各导电通路在此可以通过一种模压或印刷方法，最好是通过网板印刷予以施加。由于削薄的芯片尺寸很小，所以它在智能插卡表面上几乎不显笨大。不过，当然也可能把芯片在一浅浅的凹穴之中装在智能插卡表面上。用一种防护漆涂敷外露在表面上的各芯片，是很有利的。

- 30 这种带有一外部削薄芯片的智能插卡可以以与通常的智能插卡相比显著较少的方法步骤来予以制作，此方法中一通常的芯片容放在一芯片模块

中的一特制的凹穴之中。

在所有的装入方法中，有可能既把各外部接触区域装在智能插卡上，也压印出各线圈或各类似元件以便可使无接触数据传出和传向智能插卡。一种两个界面的综合解决办法同样是可能的(双重界面)。

5

附图说明

本发明的各种方法将参照所附各简图通过各范例在下面较为详细地予以说明，各图中：

- 图 1 表明一晶片，在其有源区域上借助于一粘接层与一载体衬底连接。
10 图 2a 表明在削薄和分割成为各个芯片之后的符合图 1 的一晶片，
图 2b 表明在一特制托盘之中的符合图 2 的晶片的两个芯片，
图 3a 表明一带有一载体薄膜的经过削薄和锯切的晶片，
图 3b 表明由载体薄膜接合起来的各个芯片，
图 4a 表明按照图 1 的被固紧于一载体衬底并在分割成为各个芯片之前
15 被削薄的一晶片，
图 4b 表明按照图 4a 制成的一芯片在一智能插卡上，
图 5 表明带有一芯片模块的一智能插卡，
图 6 表明一带有各位置标记的削薄芯片的透视图，
图 7-9 表明一智能插卡的各变体，此插卡表面上施加有一削薄的芯片
20 以及随后施加接头区域，
图 10/11 表明通过将两个插卡箔片叠合在一起而制成一智能插卡，
图 12/13 一智能插卡的各变体，此插卡表面上施加有一削薄的芯片，
而各接头区域业已存在。

25 具体实施方式

在实施此方法时，晶片 1 首先以其具有各组件(component) 2 的前侧胶接于载体衬底 4。所用的载体衬底可以比如是另一晶片、一金属箔片或可磁化箔片，或者另一种在智能插卡制作中常用的箔片，诸如 PVC、ABS、PC 或类似物。

- 30 为此目的，粘接层 3 敷在或是晶片 1 或是载体衬底 4 上，而两部分随后接合起来。

晶片以通常方式包含若干并列设置的电路，后者可以各自构成一标准智能插卡芯片或者另外一存储芯片。

固紧于载体衬底 4 的晶片 1 然后从后侧削薄到一预定厚度，一如图 1 之中由虚线 9 所示。削薄可以采用通常的各种方法予以实现，比如蚀刻或机械研磨。这样有可能把晶片 1 或由其制作出来的各芯片 10 削薄到低于 100 微米、最好是大约 20 微米的厚度。

按照示于图 2a 和 2b 之中的方法，然后在晶片 1 上从后侧做出锯口 7 而达到粘接层 3，晶片 1 因而被分割为各个芯片 10。粘接层 3 随后被溶解或部分溶解，而各芯片 10 用吸头 30 提离载体衬底 4 并落放到特制的各托盘 40 之中，在那里等候进一步加工处理。用于取下各薄芯片 10 的吸头 30 是比较平的并在抽吸表面上具有几个小孔 31，可以按需要经由一条管线在抽吸空气或压缩空气作用下用于吸起或落放芯片 10。各芯片 10 在插卡制作期间用一机器人以同样方式自各特制托盘 40 中取出并安放就位。

溶解载体衬底 4 的粘接层 3 可以通过热效应予以实现。为此目的，可以采用比如可加热的吸头 30 或一如图 4 之中的单独的热辐射源 34。

图 3a 和 3b 表明另一方法，借此方法，带有各芯片 10 的各组件 2 的有源表面最终位于顶部。为此目的，载体薄膜 5 借助于第二粘接层 6 装放在削薄并锯开的晶片 1 上。所述载体薄膜 5 当然也可以是一种已经配有一粘接层的自粘接箔片。

在把载体薄膜 5 粘贴于晶片 1 后侧之后，第一粘接层 3 可以用一种不会侵袭第二粘接层 6 的方法予以溶解。

具有不同的方式做到这一点。在第一优选方法中，第一粘接层 3 由一种在一定波长范围的光线，比如 UV 光线，作用下分解的粘接剂构成，而第二粘接剂 6 只在所述辐射作用下固化。在第二方法中，第一粘接层 3 由一种在热量作用下分解的粘接剂构成，而第二粘接层 6 只在热量作用下固化。另外，有可能第一粘接层 3 由一种水溶性粘接剂构成而第二粘接剂 6 是非水溶性的，或者第二粘接层 6 是抗溶剂性的而第一粘接层 3 溶解于相应溶剂。其次，有可能第一粘接层 3 由一种在氧等离子体作用下或在一定气体比如臭氧环境中分解的粘接剂构成，而第二粘接剂 6 耐所述各种条件。

另一方式是采用一种方法，借此方法，载体衬底 4 本身与粘接层 3 一起或代替粘接层 3 溶解。载体衬底 4 为此目的可以由泡沫聚苯乙烯或可在

等离子体中或在腐蚀气体作用下或在高温下分解的另一材料。或者，所用的载体衬底 4 由纸板或类似的水溶性材料制成。

在溶解第一粘接层 3 或载体衬底 4 之后，由载体薄膜 5 接合起来的各芯片 10 的整个组合体然后可以一起取下，各芯片 10 的有源区域指向外面。

5 各个芯片 10 然后通过溶解第二粘接层 6 而从载体薄膜 5 上取下。

图 4a 和 4b 表明一可能的第三方法，借此方法，一种优选地是粘塑性材料，诸如聚碳酸酯、酰胺、铜、铝、钢或类似材料的载体薄膜 5，首先借助于粘接层 6 胶接于晶片 1 的后侧。只是此时，晶片 1 才通过做出各锯齿 7 而被分割成为各个芯片 10。最后，各个芯片 10 通过溶解第一粘接层 3 或载体衬底 4 被再次取下，在此也应用了一种不会破坏与载体薄膜 5 粘合的粘接剂的方法。在此所用的各方法对应前所提及的各方法。图 4a 示意性地表明各个芯片 10 如何用吸头 30 从载体衬底 4 上取下，粘接层 3 用热辐射器 34 溶解而第二粘接层 6 同时固化。在此方法中，载体薄膜 5 留在各个薄芯片 10 的后侧上。

15 图 5 至 10 表明削薄的各芯片 10 如何可以容放在智能插卡 20 之内或以上的不同变体。

取决于按照图 2、3 或 4 的制作方法的选择，合适地是以前侧或其后侧将各芯片 10 装放在智能插卡 20 或智能插卡箔片 21 上。如果芯片 10 以前侧装放在智能插卡 20 或智能插卡箔片 21 上，有益的是，首先装设用于使芯片 10 接触插卡 20 或箔片 21 的各导电通路 11，而后把芯片 10 定位在上面。为此目的，芯片 10 在其后侧上具有一些位置标记 8，一如图 6 之中所示，它们比如印制或蚀刻在芯片 10 或载体箔片 5 上。

图 5 表明一项类似于传统各芯片模块的已知结合方法的结合实例。芯片 10 首先装放在第一智能插卡箔片 21 上。在智能插卡箔片 21 的对置的后侧上是各接触区域 23，借助于导电粘接剂经由穿过智能插卡箔片 21 的各导电通路 11 连接于芯片 10。在芯片 10 与第一智能插卡箔片 21 之间可以有分层(subdivision)15。这样构成的芯片模块被插进智能插卡 20 的相应凹穴 24 并用适当的粘接剂 25 四处胶接起来。

图 10 和 11 表明不同的叠层方法，其中芯片 10 设置在智能插卡 20 中的两个智能插卡箔片 21 与 22 之间。智能插卡箔片 21、22 的特性是具有一 100-300 微米的厚度。在按照图 10a 的方法中，芯片 10 装接于智能插卡箔

片 21, 而各导电通路 11 位于另一智能插卡箔片 22 上。芯片 12 以其后侧装于智能插卡箔片 21。两个智能插卡箔片然后彼此叠置以便配装, 并且叠合在一起, 以致芯片 10 接触于各导电通路 11 (图 10b)。

5 在按照图 11a 的方法中, 各导电通路 11 首先装接于一个智能插卡箔片 21 上。然后芯片 10 以其前侧向下地安放在各导电通路 11 上, 以致接触同时发生, 第二智能插卡箔片 22 然后叠合在它上面 (图 11b)。

各导电通路在任何情况下引向一外部接触区域或一允许非接触数据传输 (contactless data transfer) 的接口元件, 或者它们本身构成这样一个元件。为了把芯片 10 固定在第一智能插卡箔片 21 上直至它在叠合期间由第二智能插卡箔片 22 盖住, 第一智能插卡箔片 21 的表面可以用一种氧或氯等离子体加以预处理, 以致芯片 10 粘合于此表面直至盖住或叠合处理。在按照图 11a 和 11b 的方法中, 表面也可以印刷一种导电银膏而同时构成各导电通路 11, 以致芯片 10 粘接于智能插卡箔片 21 直至盖住和叠合处理, 并同时在电气上保持接触。

15 当然也可以把一种粘接剂涂于削薄的芯片 10 或使用一种涂敷粘接剂的箔片作为智能插卡箔片 21。特别是当各芯片 10 按照示于图 3a 和 3b 之中的方法制作时, 可以通过部分地溶解粘接剂把芯片 10 直接提离载体薄膜 5, 并把它用所述粘接剂胶接于智能插卡箔片 21, 在此, 粘接剂然后可以再次凝固。

20 图 7、8 和 9 表明一种全新的方法, 其中削薄的芯片径直地装在一智能插卡的表面上, 而后印刷各导电通路 11。芯片 10 还涂敷有防护漆 12。为了印刷各导电通路 11, 优先采用一种网板印刷方法。当然也可以应用状为一金属箔片的各导电通路 11。

图 12a 至 12c 表明一些实施例, 其中各导电通路首先设于表面, 然后以前侧向下的方式把芯片安放在各接头区域 11 上。在图 12b 中, 另外的漆和/或粘接层 13 设置在集成电路 10 与智能插卡 20 的表面之间, 而在图 12c 中, 芯片/导电通路总成 10、11 用加热的模具 14 压进插卡表面。

在图 8 和 9 中, 薄芯片 10 同样直接位于智能插卡 20 的表面上, 但是在微小凹穴 27 之内。凹穴 27 或是模压或是铣制在智能插卡 20 上的, 或在制作智能插卡 20 期间就已经注射模制出来。另外, 凹穴 27 是通过相应地印刷防护漆 26 或通过装设一带窗口的防护箔片而制成 (图 9)。

相应的一些组件，其中各接触区域 11 首先设置在智能插卡 20 表面的各间隙之中，芯片 10 被而后安放在上面，示于图 13a 至 13c 之中。

在示于图 13c 之中的实例中，芯片在热量的作用下被齐平地压入智能插卡 20 的表面。在一符合图 7 (尚不存在各接头区域 11) 的实施例中，芯片
5 与表面齐平的箔片可以比如刷以银膏、进行涂敷和可能地同时予以接触。

所有这些后面的结合实例，使一芯片外露在智能插卡的表面上，包含一种新颖和特别有利的结构，与通常的各种方法相比，能够以较少的方法步骤制作出来。

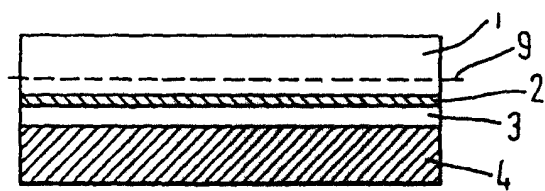


图 1

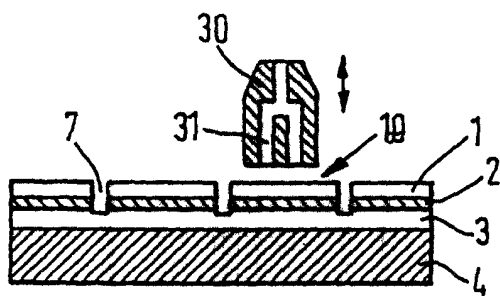


图 2a

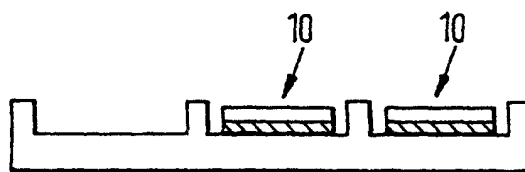


图 2b

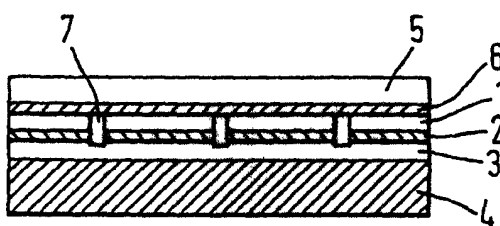


图 3a

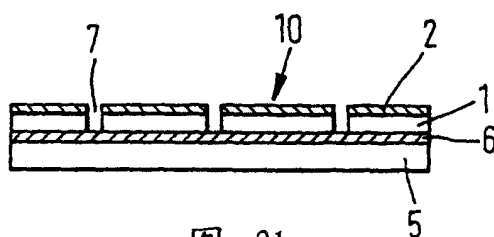


图 3b

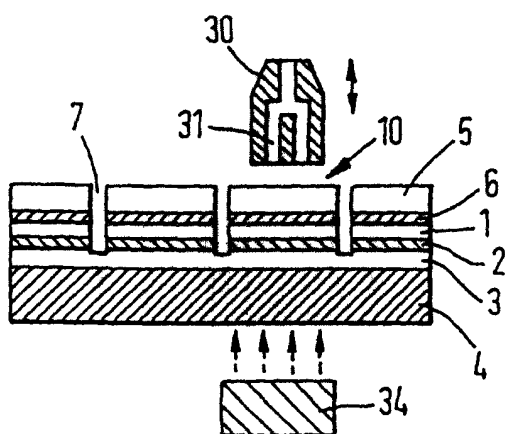


图 4a

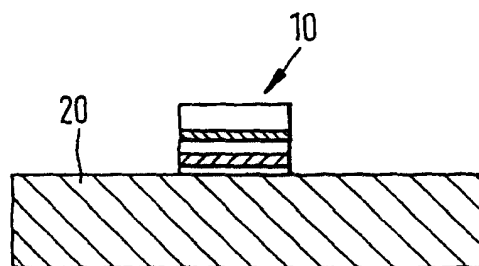


图 4b

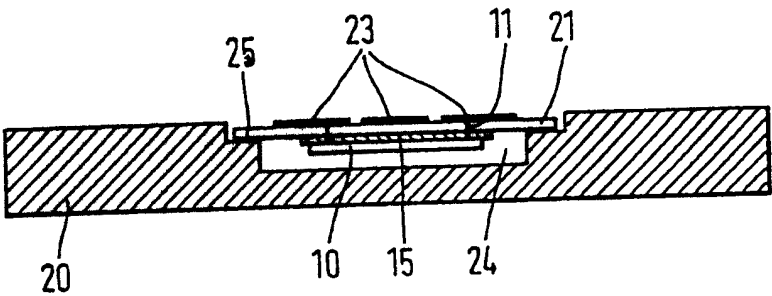


图 5

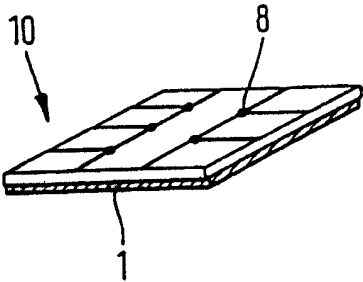


图 6

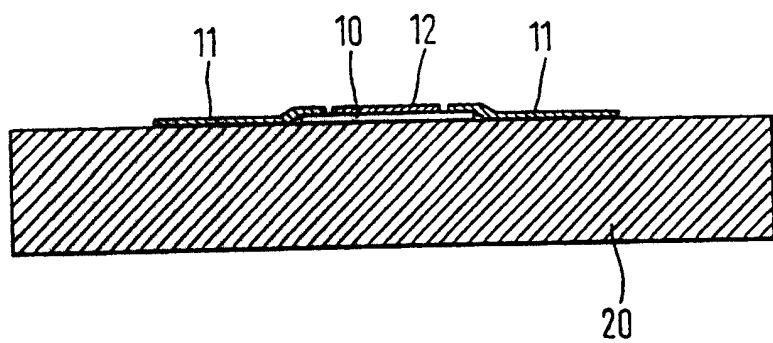


图 7

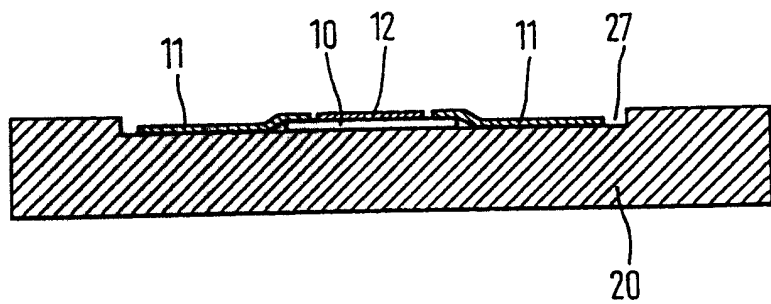


图 8

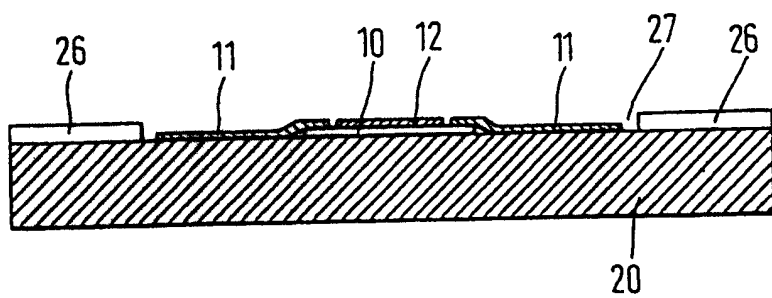


图 9

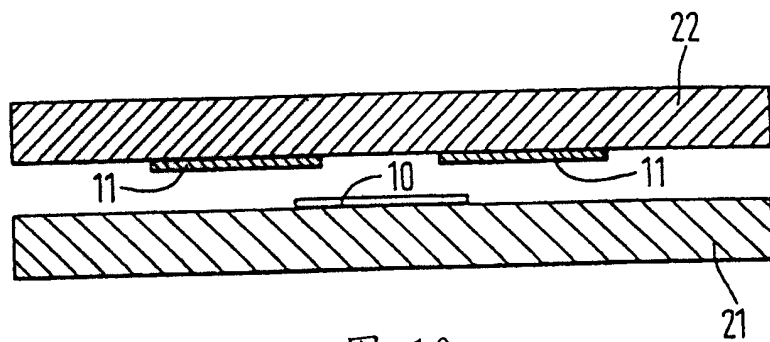


图 10a

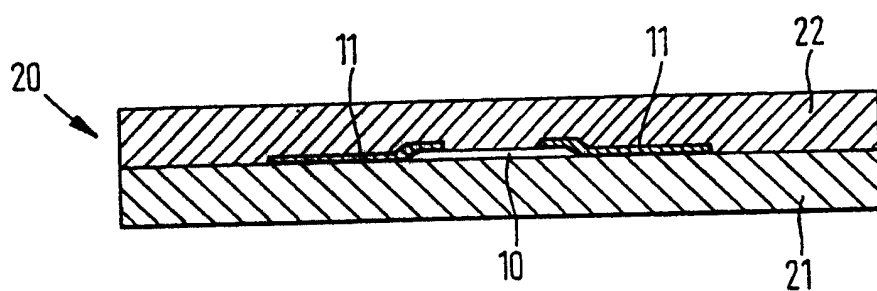


图 10b

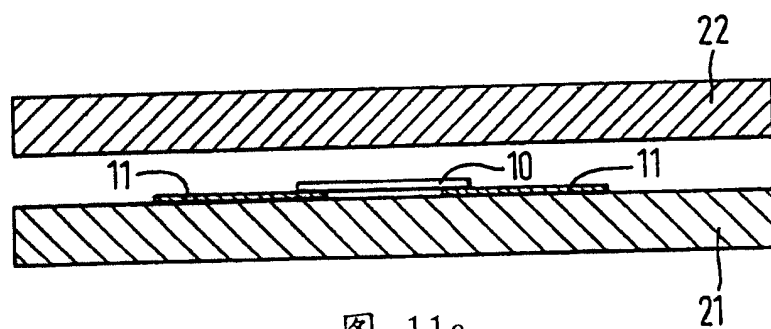


图 11a

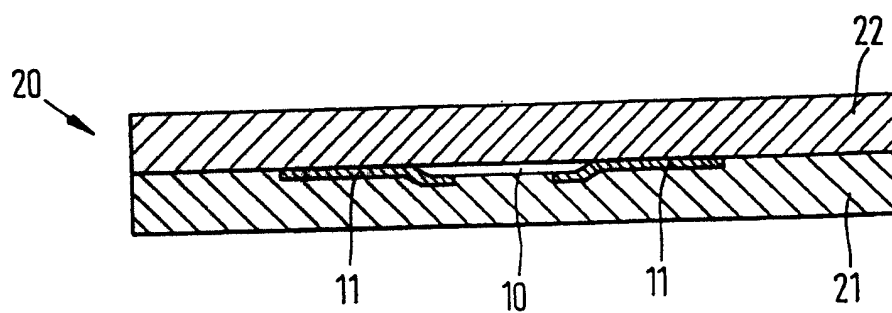


图 11b

