

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成30年1月25日 (2018.1.25)

【公表番号】特表2017-509217(P2017-509217A)

【公表日】平成29年3月30日 (2017.3.30)

【年通号数】公開・登録公報2017-013

【出願番号】特願2016-548263(P2016-548263)

【国際特許分類】

H 0 3 L 7/085 (2006.01)

H 0 3 L 7/081 (2006.01)

H 0 3 K 5/14 (2014.01)

H 0 3 K 5/26 (2006.01)

【F I】

H 0 3 L 7/085

H 0 3 L 7/081 1 2 0

H 0 3 K 5/14

H 0 3 K 5/26 P

【手続補正書】

【提出日】平成29年12月8日 (2017.12.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

位相検出回路であって、  
基準信号のための第 1 の入力と、  
前記基準信号と比較される入力信号のための第 2 の入力と、  
セット入力、リセット入力、第 1 の出力、および第 2 の出力を有するセット - リセット (S - R) ラッチと、  
論理入力、クロック入力、リセット入力、および論理出力を有する遅延 (D) フリップフロップと

を備え、ここにおいて、前記入力信号が前記基準信号より先行しているか遅れているかを前記 D フリップフロップの前記論理出力が示すように、前記第 1 の入力は、前記 S - R ラッチの前記リセット入力と接続され、前記第 2 の入力は、前記 S - R ラッチの前記セット入力と接続され、前記 S - R ラッチの前記第 1 の出力は、前記 D フリップフロップの前記クロック入力と接続され、前記 S - R ラッチの前記第 2 の出力は、前記 D フリップフロップの前記リセット入力と接続される、位相検出回路。

【請求項 2】

前記 D フリップフロップの前記論理入力は、論理高レベルに保持される、請求項 1 に記載の回路。

【請求項 3】

前記 S - R ラッチの前記第 1 の出力と前記 D フリップフロップの前記クロック入力との間に接続された第 1 のインバータをさらに備える、請求項 1 に記載の回路。

【請求項 4】

前記 S - R ラッチの前記第 2 の出力と前記 D フリップフロップの前記リセット入力との間に接続された第 2 のインバータをさらに備える、請求項 3 に記載の回路。

**【請求項 5】**

前記第 1 の入力と前記 S - R ラッチの前記リセット入力との間に接続された第 1 の論理 AND ゲートをさらに備える、請求項 1 に記載の回路。

**【請求項 6】**

前記第 2 の入力と前記 S - R ラッチの前記セット入力との間に接続された第 2 の論理 AND ゲートをさらに備える、請求項 5 に記載の回路。

**【請求項 7】**

イネーブル入力をさらに備え、前記イネーブル入力は、前記第 1 の論理 AND ゲートにおいて前記第 1 の入力と論理的に AND 演算され、前記第 2 の論理 AND ゲートにおいて前記第 2 の入力と論理的に AND 演算される、請求項 6 に記載の回路。

**【請求項 8】**

前記 S - R ラッチは、前記位相検出回路が完全差動であるように、前記第 1 の入力および第 2 の入力と接続される、請求項 1 に記載の回路。

**【請求項 9】**

前記 S - R ラッチは、前記基準信号および前記入力信号の立ち上がりエッジに応答するように構成される、請求項 1 に記載の回路。

**【請求項 10】**

前記 S - R ラッチは、2 つの相互結合された論理 NAND ゲートを備える、請求項 1 に記載の回路。

**【請求項 11】**

遅延ロックスループ (DLL) であって、  
基準信号のための入力と、  
前記基準信号に対して遅延した信号のための出力と、  
前記遅延した信号を生成するための 1 つまたは複数の遅延ゲートを備えた遅延チェーンと、  
ここにおいて、前記遅延ゲートのうちの最後のゲートは、前記 DLL の前記出力と接続される、  
前記 DLL の前記出力と接続され、また前記遅延した信号に基づいて選択信号を出力するように構成された選択論理と、  
前記遅延チェーンにおける前記遅延ゲートのうちの第 1 のゲートに出力するための前記基準信号か前記遅延した信号かを選択するように前記選択信号によって制御されるマルチプレクサと、  
前記遅延した信号を前記基準信号と比較するための請求項 1 の前記位相検出回路と  
を備え、ここにおいて、前記第 1 の入力は、前記 DLL の前記入力に接続され、前記第 2 の入力は、前記 DLL の前記出力に接続される、DLL。

**【請求項 12】**

前記 DLL は、前記 DLL の前記出力における前記遅延した信号が、乗率で乗算された前記基準信号の周波数に等しい周波数を有するように構成された乗算 DLL (MDLL) である、請求項 11 に記載の DLL。

**【請求項 13】**

前記選択論理は、前記遅延した信号の各立ち下がりエッジで 1 だけ値を増分するカウンタを備え、前記選択論理は、前記カウンタの前記値が前記乗率に等しくなった後に論理高レベルで前記選択信号を出力し、前記遅延した信号の次の立ち上がりエッジで、前記カウンタの前記値は 0 にリセットされ、前記選択論理は、論理低レベルで前記選択信号を出力する、請求項 12 に記載の DLL。

**【請求項 14】**

前記 D フリップフロップの前記論理入力は、論理高レベルに保持される、請求項 11 に記載の DLL。

**【請求項 15】**

ワイヤレス通信のための装置であって、  
少なくとも 1 つのアンテナと、

前記少なくとも１つのアンテナを介して信号を受信するための受信機または信号を送信するための送信機のうちの少なくとも１つと

を備え、ここにおいて、前記受信機または前記送信機のうちの前記少なくとも１つは、請求項１１の前記DLLを備える、装置。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】００５８

【補正方法】変更

【補正の内容】

【００５８】

〔0062〕 本願の特許請求の範囲が、上に例示された構成およびコンポーネントそのものに限定されないことが理解されるべきである。様々な修正、変更、および変形が、本願の特許請求の範囲から逸脱せずに、上述された方法および装置の配列、動作、および詳細でなされ得る。

以下に、本願の出願当初の特許請求の範囲に記載された発明を付記する。

〔Ｃ１〕

位相検出回路であって、

基準信号のための第１の入力と、

前記基準信号と比較される入力信号のための第２の入力と、

セット入力、リセット入力、第１の出力、および第２の出力を有するセット - リセット（Ｓ - Ｒ）ラッチと、

論理入力、クロック入力、リセット入力、および論理出力を有する遅延（Ｄ）フリップフロップと

を備え、ここにおいて、前記入力信号が前記基準信号より先行しているか遅れているかを前記Ｄフリップフロップの前記論理出力が示すように、前記第１の入力は、前記Ｓ - Ｒラッチの前記リセット入力と接続され、前記第２の入力は、前記Ｓ - Ｒラッチの前記セット入力と接続され、前記Ｓ - Ｒラッチの前記第１の出力は、前記Ｄフリップフロップの前記クロック入力と接続され、前記Ｓ - Ｒラッチの前記第２の出力は、前記Ｄフリップフロップの前記リセット入力と接続される、位相検出回路。

〔Ｃ２〕

前記Ｄフリップフロップの前記論理入力は、論理高レベルに保持される、Ｃ１に記載の回路。

〔Ｃ３〕

前記Ｓ - Ｒラッチの前記第１の出力と前記Ｄフリップフロップの前記クロック入力との間に接続された第１のインバータをさらに備える、Ｃ１に記載の回路。

〔Ｃ４〕

前記Ｓ - Ｒラッチの前記第２の出力と前記Ｄフリップフロップの前記リセット入力との間に接続された第２のインバータをさらに備える、Ｃ３に記載の回路。

〔Ｃ５〕

前記第１の入力と前記Ｓ - Ｒラッチの前記リセット入力との間に接続された第１の論理ＡＮＤゲートをさらに備える、Ｃ１に記載の回路。

〔Ｃ６〕

前記第２の入力と前記Ｓ - Ｒラッチの前記セット入力との間に接続された第２の論理ＡＮＤゲートをさらに備える、Ｃ５に記載の回路。

〔Ｃ７〕

イネーブル入力をさらに備え、前記イネーブル入力は、前記第１の論理ＡＮＤゲートにおいて前記第１の入力と論理的にＡＮＤ演算され、前記第２の論理ＡＮＤゲートにおいて前記第２の入力と論理的にＡＮＤ演算される、Ｃ６に記載の回路。

〔Ｃ８〕

前記Ｓ - Ｒラッチは、前記位相検出回路が完全差動であるように、前記第１の入力およ

び第 2 の入力と接続される、C 1 に記載の回路。

[ C 9 ]

前記 S - R ラッチは、前記基準信号および前記入力信号の立ち上がりエッジに応答するように構成される、C 1 に記載の回路。

[ C 1 0 ]

前記 S - R ラッチは、2 つの相互結合された論理 N A N D ゲートを備える、C 1 に記載の回路。

[ C 1 1 ]

遅延ロックループ ( D L L ) であって、

基準信号のための入力と、

前記基準信号に対して遅延した信号のための出力と、

前記遅延した信号を生成するための 1 つまたは複数の遅延ゲートを備えた遅延チェーンと、ここにおいて、前記遅延ゲートのうちの最後のゲートは、前記 D L L の前記出力と接続される、

前記 D L L の前記出力と接続され、また前記遅延した信号に基づいて選択信号を出力するように構成された選択論理と、

前記遅延チェーンにおける前記遅延ゲートのうちの第 1 のゲートに出力するための前記基準信号か前記遅延した信号かを選択するように前記選択信号によって制御されるマルチプレクサと、

前記遅延した信号を前記基準信号と比較するための位相検出回路と

を備え、前記位相検出回路は、

セット入力、リセット入力、第 1 の出力、および第 2 の出力を有するセット - リセット ( S - R ) ラッチと、

論理入力、クロック入力、リセット入力、および論理出力を有する遅延 ( D ) フリップフロップと

を備え、ここにおいて、前記遅延した信号が前記基準信号より先行しているか遅れているかを前記 D フリップフロップの前記論理出力が示すように、前記 D L L の前記入力は、前記 S - R ラッチの前記リセット入力と接続され、前記 D L L の前記出力は、前記 S - R ラッチの前記セット入力と接続され、前記 S - R ラッチの前記第 1 の出力は、前記 D フリップフロップの前記クロック入力と接続され、前記 S - R ラッチの前記第 2 の出力は、前記 D フリップフロップの前記リセット入力と接続される、D L L。

[ C 1 2 ]

前記 D L L は、前記 D L L の前記出力における前記遅延した信号が、乗率で乗算された前記基準信号の周波数に等しい周波数を有するように構成された乗算 D L L ( M D L L ) である、C 1 1 に記載の D L L。

[ C 1 3 ]

前記選択論理は、前記遅延した信号の各立ち下がりエッジで 1 だけ値を増分するカウンタを備え、前記選択論理は、前記カウンタの前記値が前記乗率に等しくなった後に論理高レベルで前記選択信号を出力し、前記遅延した信号の次の立ち上がりエッジで、前記カウンタの前記値は 0 にリセットされ、前記選択論理は、論理低レベルで前記選択信号を出力する、C 1 2 に記載の D L L。

[ C 1 4 ]

前記 D フリップフロップの前記論理入力は、論理高レベルに保持される、C 1 1 に記載の D L L。

[ C 1 5 ]

前記 S - R ラッチの前記第 1 の出力と前記 D フリップフロップの前記クロック入力との間に接続された第 1 のインバータと、

前記 S - R ラッチの前記第 2 の出力と前記 D フリップフロップの前記リセット入力との間に接続された第 2 のインバータと

をさらに備える、C 1 1 に記載の D L L。

[ C 1 6 ]

前記 D L L の前記入力と前記 S - R ラッチの前記リセット入力との間に接続された第 1 の論理 A N D ゲートと、

前記 D L L の前記出力と前記 S - R ラッチの前記セット入力との間に接続された第 2 の論理 A N D ゲートと

をさらに備える、C 1 1 に記載の D L L。

[ C 1 7 ]

前記選択信号は、前記第 1 の論理 A N D ゲートにおいて前記 D L L の前記入力と論理的に A N D 演算され、前記第 2 の論理 A N D ゲートにおいて前記 D L L の前記出力と論理的に A N D 演算される、C 1 6 に記載の D L L。

[ C 1 8 ]

前記 S - R ラッチは、前記位相検出回路が完全差動であるように、前記 D L L の前記入力および前記 D L L の前記出力と接続される、C 1 1 に記載の D L L。

[ C 1 9 ]

前記 S - R ラッチは、前記基準信号および前記遅延した信号の立ち上がりエッジに応答するように構成される、C 1 1 に記載の D L L。

[ C 2 0 ]

ワイヤレス通信のための装置であって、

少なくとも 1 つのアンテナと、

前記少なくとも 1 つのアンテナを介して信号を受信するための受信機または信号を送信するための送信機のうちの少なくとも 1 つと

を備え、ここにおいて、前記受信機または前記送信機のうちの前記少なくとも 1 つは、遅延ロックスループ ( D L L ) を備え、前記 D L L は、

基準信号のための入力と、

前記基準信号に対して遅延した信号のための出力と、

前記遅延した信号を生成するための 1 つまたは複数の遅延ゲートを備えた遅延チェーンと、ここにおいて、前記遅延ゲートのうちの最後のゲートは、前記 D L L の前記出力と接続される、

前記 D L L の前記出力と接続され、また前記遅延した信号に基づいて選択信号を出力するように構成された選択論理と、

前記遅延チェーンにおける前記遅延ゲートのうちの第 1 のゲートに出力するための前記基準信号か前記遅延した信号かを選択するように前記選択信号によって制御されるマルチプレクサと、

前記遅延した信号を前記基準信号と比較するための位相検出回路と

を備え、前記位相検出回路は、

セット入力、リセット入力、第 1 の出力、および第 2 の出力を有するセット - リセット ( S - R ) ラッチと、

論理入力、クロック入力、リセット入力、および論理出力を有する遅延 ( D ) フリップフロップと

を備え、ここにおいて、前記遅延した信号が前記基準信号より先行しているか遅れているかを前記 D フリップフロップの前記論理出力が示すように、前記 D L L の前記入力は、前記 S - R ラッチの前記リセット入力と接続され、前記 D L L の前記出力は、前記 S - R ラッチの前記セット入力と接続され、前記 S - R ラッチの前記第 1 の出力は、前記 D フリップフロップの前記クロック入力と接続され、前記 S - R ラッチの前記第 2 の出力は、前記 D フリップフロップの前記リセット入力と接続される、装置。