

【特許請求の範囲】

【請求項 1】

回路の低電圧部に接続された駆動入力を有し、第 1 の導電性の金属、合金、又は金属混合体から形成された少なくとも 1 つの駆動電極と、

前記回路の高電圧部に接続された感知出力を備え、第 2 の導電性の金属、合金、又は金属混合体から形成された少なくとも 1 つの感知電極と、

電氣的絶縁層によって前記駆動電極及び前記感知電極から間隔を空けて配置された導電性グラウンド面基板と、

前記低電圧部の一部を形成すると共に前記高電圧駆動回路に与えられる入力信号を受信するように構成され、前記駆動入力に動作可能に接続されかつ前記入力信号に基づいて駆動信号を送信するように構成された駆動回路と、

前記高電圧部の一部を形成すると共に前記感知出力に動作可能に接続され、前記駆動電極と前記感知電極との間に送信された前記駆動信号を受信するようにかつ絶縁ゲートバイポーラトランジスタ (I G B T) を駆動するに十分な振幅と電力とを有する少なくとも 1 つのゲート駆動出力信号を提供するように構成された受信回路と、
を具備し、

前記駆動電極と前記感知電極とは、実質的に 1 つの面内に配置され、容量性手段によって前記電極間で駆動信号を送信するように動作可能に構成されかつ互いに関して関連付けられ、前記ゲート駆動回路は非シリコン・オン・インシュレータ C M O S 集積回路であり、かつ前記回路の前記低電圧部と前記高電圧部との間の高電圧アイソレーションは、前記駆動電極と前記感知電極とによって提供される、高電圧駆動回路。

【請求項 2】

前記低電圧部が、入力信号をフィルタ処理するように構成されたグリッチ・フィルタをさらに備えている、請求項 1 に記載の高電圧駆動回路。

【請求項 3】

前記低電圧部が、出力発振器信号を提供するように構成された発振器回路をさらに備えている、請求項 1 に記載の高電圧駆動回路。

【請求項 4】

前記出力発振器信号の電圧を増大し、これにより前記駆動信号を増幅するように構成されたチャージポンプ回路をさらに備えている、請求項 3 に記載の高電圧駆動回路。

【請求項 5】

前記少なくとも 1 つの駆動電極と前記少なくとも 1 つの感知電極とが、複数の駆動チャンネルを形成する、駆動電極と感知電極との複数の対を備えている、請求項 1 に記載の高電圧駆動回路。

【請求項 6】

前記少なくとも 1 つの駆動電極と前記少なくとも 1 つの感知電極とが、第 1 及び第 2 の駆動チャンネルを形成する、駆動電極と感知電極との第 1 及び第 2 の対を備えている、請求項 1 に記載の高電圧駆動回路。

【請求項 7】

前記低電圧部が、駆動電極と感知電極との前記第 1 及び第 2 の対を駆動するように構成された一対の論理ドライバ回路をさらに備えている、請求項 6 に記載の高電圧駆動回路。

【請求項 8】

前記論理ドライバ回路が相補形であり、かつ電極の前記第 1 及び第 2 の対を交互に駆動するようにさらに構成されている、請求項 7 に記載の高電圧駆動回路。

【請求項 9】

前記相互に駆動される相補形の論理ドライバ回路が、前記第 1 の駆動チャンネルと前記第 2 の駆動チャンネルとの間の同相モード除去を増大するように構成されている、請求項 8 に記載の高電圧駆動回路。

【請求項 10】

前記高電圧部が、前記電極の第 1 及び第 2 の対によって提供される第 1 及び第 2 の感知

10

20

30

40

50

電極の出力をそれぞれ受信するように構成された第 1 及び第 2 の整流器をさらに備えている、請求項 6 に記載の高電圧駆動回路。

【請求項 1 1】

前記第 1 及び第 2 の整流器の少なくとも 1 つが、少なくとも 1 つの MOSFET のソース・フォロワを備えている、請求項 1 0 に記載の高電圧駆動回路。

【請求項 1 2】

前記少なくとも 1 つの MOSFET のソース・フォロワによって提供される出力信号をフィルタ処理するように構成された低域通過フィルタをさらに備え、前記出力信号の中に存在するリップルを除去又は低減する、請求項 1 1 に記載の高電圧駆動回路。

【請求項 1 3】

前記第 1 及び第 2 の整流器に動作可能に接続されて、それぞれ第 1 及び第 2 の整流器出力を受信する第 1 及び第 2 の比較器をさらに備えている、請求項 1 0 に記載の高電圧駆動回路。

【請求項 1 4】

前記第 1 及び第 2 の比較器が、前記発振器の出力信号を基準電圧と比較するための手段をそれぞれ備えている、請求項 1 3 に記載の高電圧駆動回路。

【請求項 1 5】

前記第 1 及び第 2 の比較器によって提供される出力状態が、前記発振器の出力信号と前記基準電圧との間の比較に基づいてトグルする又はトグルしないように構成されている、請求項 1 4 に記載の高電圧駆動回路。

【請求項 1 6】

前記第 1 及び第 2 の比較器からの第 1 及び第 2 の比較器出力を受信するように構成された RS ラッチをさらに備えている、請求項 1 3 に記載の高電圧駆動回路。

【請求項 1 7】

前記第 1 及び第 2 の比較器の出力が、前記 RS ラッチのセット入力とリセット入力とを駆動する、請求項 1 6 に記載の高電圧駆動回路。

【請求項 1 8】

前記受信回路が、出力ゲート・ドライバ段をさらに備えている、請求項 1 に記載の高電圧駆動回路。

【請求項 1 9】

ブートストラップ形電源回路をさらに備えている、請求項 1 に記載の高電圧駆動回路。

【請求項 2 0】

前記少なくとも 1 つの駆動電極と前記少なくとも 1 つの感知電極との間の第 1 のブレイクダウン電圧が、約 1 分間加えられたとき、約 2,000 ボルト RMS を超える、請求項 1 に記載の高電圧駆動回路。

【請求項 2 1】

前記第 1 のブレイクダウン電圧が、約 1 分間加えられたとき、約 2,500 ボルト RMS を超える、請求項 2 0 に記載の高電圧駆動回路。

【請求項 2 2】

前記第 1 のブレイクダウン電圧が、約 1 分間加えられたとき、約 3,000 ボルト RMS を超える、請求項 2 0 に記載の高電圧駆動回路。

【請求項 2 3】

前記第 1 のブレイクダウン電圧が、前記駆動電極と前記グラウンド面基板との間の第 2 のブレイクダウン電圧以上である、請求項 2 0 に記載の高電圧駆動回路。

【請求項 2 4】

前記駆動電極と前記感知電極との間の電極間間隔 T_d が、電気的絶縁層の厚さ d よりも少なくとも約 1.5 倍よりも大きい、請求項 1 に記載の高電圧駆動回路。

【請求項 2 5】

前記第 1 及び第 2 の金属、合金、又は金属混合体が、金、銀、銅、タンゲステン、スズ、アルミニウム、及びアルミニウム - 銅のうちの一つ以上を含む、請求項 1 に記載の高電

10

20

30

40

50

圧駆動回路。

【請求項 26】

前記電氣的絶縁層が、半導体誘電材料、酸化シリコン、窒化シリコン、及び厚い酸化物のうちの1つ以上を含む、請求項1に記載の高電圧駆動回路。

【請求項 27】

前記導電性グラウンド面基板が、半導体誘電材料又はシリコンから形成される、請求項1に記載の高電圧駆動回路。

【請求項 28】

前記電氣的絶縁材料が、半導体誘電材料、酸化シリコン、窒化シリコン、及び厚い酸化物のうちの1つ以上を含む、請求項14に記載の高電圧駆動回路。

10

【請求項 29】

前記駆動及び感知電極、前記電氣的絶縁層、及び前記グラウンド面基板が、CMOSプロセス、バイポーラ-CMOSプロセス、及び組み合わせられたバイポーラ-CMOS-DMOS(BCD)プロセスのうちの1つ以上を用いて製造される、請求項1に記載の高電圧駆動回路。

【請求項 30】

前記回路が、ポリイミド又はプラスチックの中に少なくとも部分的にカプセル化される、請求項1に記載の高電圧駆動回路。

【請求項 31】

前記駆動回路及び受信回路が集積回路の中に組み込まれる、請求項1に記載の高電圧駆動回路。

20

【請求項 32】

前記受信回路が、同相モード除去(CMR)回路をさらに備えている、請求項1に記載の高電圧駆動回路。

【請求項 33】

前記装置が、前記駆動回路と前記受信回路との間でデータを最大約300メガビット/秒の速度で転送するように構成されている、請求項1に記載の高電圧駆動回路。

【請求項 34】

高電圧駆動回路を作製する方法であって、

前記回路の低電圧部に接続された駆動入力をも有し、第1の導電性の金属、合金、又は金属混合体から形成された少なくとも1つの駆動電極を設けるステップと、

30

前記回路の高電圧部に接続された感知出力をも有し、第2の導電性の金属、合金、又は金属混合体から形成された少なくとも1つの感知電極を設けるステップと、

電氣的絶縁層によって前記駆動電極及び前記感知電極から間隔を空けて配置された導電性グラウンド面基板を設けるステップと、

前記低電圧部の一部を形成すると共に前記高電圧駆動回路に提供される入力信号を受信するように構成され、前記駆動入力に動作可能に接続されかつ前記入力信号に基づいて駆動信号を送信するように構成された駆動回路を設けるステップと、

前記高電圧部の一部を形成すると共に前記感知出力に動作可能に接続され、前記駆動電極と前記感知電極との間で送信される駆動信号を受信するようにかつ絶縁ゲートバイポーラトランジスタ(IGBT)を駆動するに十分な振幅と電力とを有する少なくとも1つのゲート駆動出力信号を提供するように構成され受信回路を設けるステップと、

40

を含み、

前記駆動電極と前記感知電極とは、実質的に1つの面内に配置され、容量性手段によって前記電極間で駆動信号を転送するように動作可能に構成されかつ互いに関して関連付けられ、前記ゲート駆動回路は、非シリコン・オン・インシュレータCMOS集積回路であり、かつ前記回路の前記低電圧部と前記高電圧部との間の高電圧アイソレーションは、前記駆動電極と前記感知電極とによって提供される、方法。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

(関連出願)

本願は、2008年2月12日に出願されたFun Kok Chowらの「High Voltage Isolation Semiconductor Capacitor Digital Communication Device and Corresponding Package」という名称の米国特許出願第12/032,165号の一部継続出願であり、優先権及びそこから生じる他の利点を主張する。この特許出願の全体は、参照することにより本願に組み込まれる。

【 0 0 0 2 】

(発明の分野)

本願で説明される本発明の種々の実施形態は、高電圧駆動回路に関する。

10

【 背景技術 】

【 0 0 0 3 】

従来技術で周知の高電圧アイソレーション通信装置には、光学装置、磁気装置、及び容量性装置が含まれる。従来技術の光学装置は一般に、光信号を送信及び受信するためにLED及び対応するフォトダイオードを使用することによって、高電圧アイソレーションを実現しており、通常は高電力レベルが必要であり、また複数の通信チャネルが必要な場合は、動作上及び設計上の制約を受ける。従来技術の磁気装置は一般に、対向する誘導結合コイルを用いることによって高電圧アイソレーションを実現し、通常（特に、高いデータ転送速度が要求される場合）高電力レベルを必要とし、一般に少なくとも3つの別個の集積回路又はチップを使用することが必要であり、また電磁妨害（「EMI」）の影響を受け易い。従来技術の容量性装置は一般に、複数の送信電極と受信電極の対を使用することによって高電圧アイソレーションを実現する。この場合、例えば、第1の電極の対がデータを送受信するために使用され、第2の電極の対が送信された信号をリフレッシュ又は保持するために使用される。

20

【 0 0 0 4 】

一般に電力システムの中で使用される幾つかの高電圧アイソレーション通信装置は、高電圧集積回路（HVIC）の中で実現され、高電位側絶縁ゲートバイポーラトランジスタ（IGBT）に対してレベルシフト及びゲート駆動を提供するように構成されている。従来のHVICのゲート駆動装置は、高電圧のレベルシフト機能を行うために、高電圧トランジスタを使用する必要がある。そのようなHVICゲート駆動装置は、シリコン・オン・インシュレータ（SOI）技術などの複雑で高価な高電圧製造工程を必要とする。この技術は、半導体製造工程の中で従来のシリコン基板に対して、階層化シリコン・絶縁体・シリコン基板を使用する。SOI技術の大きな欠点は、製造する場合に複雑になること、また基板の価格が著しく増加することである。さらに、SOI技術を使用する費用は、ゲート駆動装置の低電圧側と高電圧側との間の高電圧ストレスの程度に対応し、これにより費用はさらに増大される。

30

【 0 0 0 5 】

必要なことは、高電圧アイソレーション通信装置が小型で、電力の消費が低減され、比較的高い転送速度でデータを転送することができ、改良された高電圧ブレイクダウン特性を有し、動作中は高電圧アイソレーション特性が維持され、安価に作ることができ、かつ従来のCMOS工程を使用して製造することができることである。

40

【 0 0 0 6 】

幾つかの従来技術の装置及び方法の様々な態様に関連したさらに別の詳細は、1997年12月2日付けの、「Combined trench and field isolation structure for semiconductor devices」という名称のGonzalesに対する米国特許第5,693,971号、2000年12月26日付けの、「Data transfer method/engine for pipelining shared memory bus accesses」という名称のCarrに対する米国特許第6,167,475号、2001年4月10日付けの、「Low cost wideband RF port structure for microwave circuit packages using coplanar waveguide and BGA I/O format」という名称のDourietに対する米国特許第6,215,377号、2001年11月20日付けの、「Low power

50

radar level transmitter having reduced ground loop errors」という名称のDiedeに対する米国特許第6,320,532号、2002年12月3日付けの、「Crosstalk suppression in differential AC coupled multichannel IC amplifiers」という名称のHeinekeらに対する米国特許第6,489,850号、2003年3月25日付けの、「IC package with integral substrate capacitor」という名称のSmithに対する米国特許第6,538,313号、2003年6月3日付けの、「Multi-plate capacitor structure」という名称のHeinekeらに対する米国特許第6,574,091号、2003年12月9日付けの、「Semiconductor-based spiral capacitor」という名称のBikulciusに対する米国特許第6,661,079号、2005年9月13日付けの、「Ultra broadband capacitor assembly」という名称のNguyenらに対する米国特許第6,944,009号、2007年1月30日付けの、「Data storage device and refreshing method for use with such device」という名称のFazanらに対する米国特許第7,170,807号、2007年6月14日付けの、「Enhanced coplanar waveguide and optical communication module using the same」という名称のHoonに対する米国特許公開第2007/0133,933号、2007年7月12日付けの、「Communication system for data transfer between on-chip circuits」という名称のHanに対する米国特許公開第2007/0162645号、2005年11月1日付けの、「Structures and methods for proximity communication using bridge chips」という名称のGueninらへの米国特許出願第11/264,956号、及び2005年6月1日付の、「Capacitor-related systems for addressing package/motherboard resonance」という名称のHesterらへの国際特許出願第WO/2005/001928号の中に記載されている。前述の特許及び特許出願は、参照することによってそれぞれ完全に本願に組み込まれるものとする。

【発明の概要】

【0007】

幾つかの実施形態では、回路の低電圧部に接続された駆動入力を備え、第1の導電性の金属、合金、又は金属混合体から形成された少なくとも1つの駆動電極と、回路の高電圧部に接続された感知出力を備え、第2の導電性の金属、合金、又は金属混合体から形成された少なくとも1つの感知電極と、電気的絶縁層によって駆動電極及び感知電極から間隔を空けて配置された導電性グラウンド面基板と、低電圧部の一部を形成すると共に高電圧駆動回路に与えられる入力信号を受信するように構成され、駆動入力に動作可能に接続されかつ入力信号に基づいて駆動信号を送信するように構成された駆動回路と、高電圧部の一部を形成すると共に感知出力に動作可能に接続され、感知電極と駆動電極との間に送信された駆動信号を受信するようにかつ絶縁ゲートバイポーラトランジスタ(IGBT)を駆動するのに十分な振幅と電力とを有する少なくとも1つのゲート駆動出力信号を提供するように構成された受信回路と、を具備した高電圧駆動回路が提供される。この駆動電極と感知電極は実質的に1つの面内に配置され、容量性手段によってそれらの電極間で駆動信号を送信するように動作可能に構成されかつ互いに関して関連付けられ、ゲート駆動回路は非シリコン・オン・インシュレータCMOS集積回路であり、また回路の低電圧部と高電圧部との間の高電圧アイソレーションは、容量性手段を介した駆動電極と感知電極とによって提供される。

【0008】

別の実施形態では、回路の低電圧部に接続された駆動入力を備え、第1の導電性の金属、合金、又は金属混合体から形成された少なくとも1つの駆動電極を設けるステップと、回路の高電圧部に接続された感知出力を備え、第2の導電性の金属、合金、又は金属混合体から形成された少なくとも1つの感知電極を設けるステップと、電気的絶縁層によって駆動電極及び感知電極から間隔を空けて配置された導電性グラウンド面基板を設けるステップと、低電圧部の一部を形成すると共に高電圧駆動回路に与えられる入力信号を受信するように構成され、駆動入力に動作可能に接続されかつ入力信号に基づいて駆動信号を送信するように構成された駆動回路を設けるステップと、高電圧部の一部を形成すると共に感知回路に動作可能に接続され、感知電極と駆動電極との間に送信された駆動信号を受信

するようにかつ絶縁ゲートバイポーラトランジスタ（IGBT）を駆動するのに十分な振幅と電力とを有する少なくとも1つのゲート駆動出力信号を提供するように構成された受信回路を設けるステップと、を含む高電圧駆動回路を作製する方法が提供される。この駆動電極と感知電極は実質的に1つの面内に配置され、容量性手段によってそれらの電極間で駆動信号を送信するように動作可能に構成されかつ互いに関して関連付けられ、ゲート駆動回路は非シリコン・オン・インシュレータCMOS集積回路であり、また回路の低電圧部と高電圧部との間の高電圧アイソレーションは、容量性手段を介した駆動電極と感知電極とによって提供される。

【0009】

さらに別の実施形態が本願で開示されるか、又は明細書及び図面を読んで理解すれば、当業者には明らかになるであろう。

10

【0010】

本発明の種々の実施形態の様々な態様は、下記の明細書、図面及び請求の範囲から明らかになるであろう。

【0011】

これらの図面は、必ずしも縮尺通りには描かれていない。同じ番号は、特に断りのない限り、図面全体を通して同じ部品又はステップを指している。

【図面の簡単な説明】

【0012】

【図1】水平及び垂直のコンデンサ構造体を示す図である。

20

【図2】1つの平面内に配置された共面形駆動電極と感知電極を有する高電圧アイソレーション半導体通信装置の実施形態を概略的に示す図である。

【図3】螺旋状に巻かれた電極を有する高電圧アイソレーション半導体通信装置の1つの実施形態を示す図である。

【図4】交互配置された駆動電極及び感知電極を有する高電圧アイソレーション半導体通信装置の別の実施形態を示す図である。

【図5】高電圧アイソレーション半導体通信装置の中の駆動器及び受信器用の機能ブロック図の1つの実施形態を示す図である。

【図6】データ出力信号がデフォルトでハイ状態になる場合に、図5の回路が発生する波形を示す図である。

30

【図7】データ出力信号がデフォルトでロー状態になる場合に、図5の回路が発生する波形を示す図である。

【図8】従来技術の高電圧集積回路のゲート駆動回路を示す図である。

【図9】従来技術のブートストラップ形電源回路を示す図である。

【図10】高電圧ゲート駆動回路の1つの実施形態を示す図である。

【図11】整流回路及び感知回路の1つの実施形態を示す図である。

【発明を実施するための形態】

【0013】

本発明の幾つかの実施形態では、実質的に1つの平面内に配置された共面内に感知電極と駆動電極を有する相互キャパシタンス・システムが提供される。本発明の別の実施形態では、非シリコン・オン・インシュレータ（非SOI）CMOS装置の中に組み込まれた高電圧駆動回路が提供される。

40

【0014】

1つの実施形態によれば、1つの平面内に形成された共面形通信駆動電極及び感知電極を備えた半導体デジタル通信装置が提供される。この場合、電極の側壁は比較的高い。この比較的高い側壁により、動作中に小さい電界密度が感知電極及び駆動電極の中で得られ、またさらに極めて高いブレイクダウン電圧が電極間及び駆動電極と下側のグラウンド面基板との間で得られる。この装置は、駆動回路と受信回路との間で容量性手段によって駆動電極および感知電極を通して通信を行い、好ましい実施形態では、比較的高い通信速度のデジタル通信を行うことができる。この装置は、CMOS及び他の半導体製造及び

50

パッケージング工程を用いて、小型のチップ又はパッケージの中で形成することができる。

【0015】

図1は、それぞれ、共面形水平コンデンサ構造体及び積重ねた垂直のコンデンサ構造体10及び20を示している。共面形水平コンデンサ構造体10は、距離が d だけ離れた電極A及びCを含み、それらの間がキャパシタンス C_1 により特徴付けられており、電極Cとグラウンド面基板Dは距離 d だけ離れており、寄生キャパシタンス C_{p1} で特徴付けられている。垂直コンデンサ構造体20は、距離が d_1 だけ離れた電極A及びBを具備し、それらの間のキャパシタンスは C_2 であり、また電極Bとグラウンド面基板Dは距離 d_2 だけ離れており、寄生キャパシタンス C_{p2} で特徴付けられている。図1に示されているように、電極A、B、及びCの幅、高さ、及び長さは全て等しく k であり、これにより以下に記述された式1~6の導出が簡単になる。電極A及びCは、水平コンデンサ構造体10内の上側金属層の中で形成され、また電極Bは垂直コンデンサ構造体20内の下側金属層の中で形成される。図1で例示された水平及び垂直なコンデンサ構造体10及び20では、キャパシタンスは電極A、B、及びCによって与えられた表面領域のみから発生し、かつ周辺キャパシタンス(fringe capacitance)はゼロであると仮定する。

10

【0016】

前述の仮定に基づいて、キャパシタンス C_1 及び C_2 、寄生キャパシタンス C_{p1} 及び C_{p2} 、及び、結合効率 C_{1eff} 及び C_{2eff} は、下記のように計算することができる。

20

$$C_1 = k^2 / d \quad \text{式(1)}$$

$$C_{p1} = k^2 / d \quad \text{式(2)}$$

$$C_{1eff} = C_1 / (C_1 + C_{p1}) = 1 / 2 \quad \text{式(3)}$$

$$C_2 = k^2 / d_1 \quad \text{式(4)}$$

$$C_{p2} = k^2 / d_2 \quad \text{式(5)及び、}$$

$$C_{2eff} = C_2 / (C_2 + C_{p2}) = d_2 / (d_1 + d_2) \quad \text{式(6)}$$

ここで、 C_{1eff} = 電極A、B、C間、及び、それらの電極と基板Dとの間に配置された誘電体の誘電率である。図1で例示されたコンデンサ構造体10及び20では、電極Aが駆動電極であり、電極B及びCが感知電極であることに注意されたい。

30

【0017】

上記の式6を参照すると、 $d_1 = d_2$ の場合、 $C_{2eff} = 1 / 2$ であることが分かる。これは、 C_{1eff} によって与えられた結合効率と同じである。しかしながら、電極Aと電極Bとの間の C_{2eff} に対するブレイクダウン電圧は、 d_1 が d よりも短いため、電極Aと電極Cとの間の C_{1eff} に対するブレイクダウン電圧よりも小さい。

【0018】

上記の式6の参照を続けると、 $d_1 < d_2$ の場合、 $C_{2eff} > 1 / 2$ であることが分かるであろう。これは、 C_{1eff} の結合効率よりもさらに大きい。しかしながら、電極Aと電極Bとの間の C_{2eff} に対するブレイクダウン電圧は、 d_1 が d よりも遙かに短いため、電極Aと電極Cとの間の C_{1eff} に対するブレイクダウン電圧よりもさらに小さい。

40

【0019】

上記の式6をさらに参照すると、 $d_1 > d_2$ の場合、 $C_{2eff} < 1 / 2$ であることが分かるであろう。これは、 C_{1eff} の結合効率よりも小さい。電極Aと電極Bとの間の C_{2eff} に対するブレイクダウン電圧は、前述された2つの場合よりも大きい、 d_1 が d よりも小さいため、それは依然として電極Aと電極Cとの間の C_{1eff} に対するブレイクダウン電圧よりも小さい。

【0020】

上記の計算は、高電圧アイソレーション半導体デジタル通信装置に対するコンデンサの設計に当たっては、結合効率、寄生キャパシタンス、ブレイクダウン電圧、幾何学的配置及び他の要素の間で種々のトレードオフを行わなければならないことを例証している。

50

これを受けて、図1に例示されている水平コンデンサ構造体10が、図1の垂直コンデンサ構造体20と比較すると、高電圧アイソレーション、高いブレイクダウン電圧、及び良好な結合効率が必要な装置において最も優れた全体的な動作特性を提供することが見出されている。さらに、図1の水平コンデンサ構造体10では、水平コンデンサ構造体10の上部金属層において電極A及びCの厚さが増加すると、キャパシタンス C_1 が電極A及びCの厚さが増加することに応じて増加し、寄生キャパシタンス C_{p1} が一定の状態を保つため、結合効率 C_{1eff} が増加する。図1に示されているように、電極A及びCが同じ水平面内に配置されているため、電極A及びCの間、又は電極Aとグラウンド面基板Dとの間のブレイクダウン電圧は、電極Aと電極Bとの間のブレイクダウン電圧よりも常に大きい。このため、本発明の高電圧アイソレーション半導体通信装置の1つの実施形態では、1つの水平に向けられた面30の中で共面上に感知電極と駆動電極が配置され、高いブレイクダウン電圧を保ちながら、結合効率が向上される。そのような高い結合効率により直接的に、回路の性能が向上され、パッケージ又はチップの領域が小型化され、電力消費が低くなり、またデータ送信速度が高速にされる。

10

20

30

40

50

【0021】

図2は、高電圧アイソレーション半導体通信装置の図式的な実施形態を示しており、この装置は、グラウンド面基板60の上方に位置付けされた実質的に1つの水平面30内に配置された通信駆動電極40a及び40b、及び通信感知電極50a及び50bを有している。図2に示されているように、図1の電極A及びCについてと同じように、電極40a、40b、50a、及び50bは互いに共面上にあり、また全て概ね水平面30の中に配置されている。グラウンド面基板60と電極40a、40b、50a、及び50bの下面との間の距離は、図1及び図2を参照すればさらに示されているように、ほぼdに等しい。好ましい実施形態では、駆動電極及び感知電極40a、40b、50a、及び50bは、電氣的絶縁層70によって厚さdの導電性グラウンド面基板60から分離されている。図2に示されているように、それぞれの電極40a、40b、50a、及び50bは対向するほぼ垂直の側壁41a及び41a'、41b及び41b'、51a及び51a'及び51b及び51b'を有し、それぞれの側壁の高さは T_n である。側壁の高さ T_n がx倍に増加すると、電極間の間隔 T_d が一定の場合、駆動電極と感知電極40及び50の間の電界密度は事実上、最大x分の1に減少することに注意されたい。例えば、全ての他の条件が一定であるとして、 T_n が1ミクロンから3ミクロンに増加すると、対向する駆動電極と感知電極との間の電界密度は1/2~1/3に減少する。駆動電極及び感知電極40a、40b、50a、及び50bの側壁の高さ T_n は約1ミクロンよりも大きいので、増加された表面積は、そのような側壁上で、そこから放射する又はそこで受け取られる電界線に関し、利用可能である。その結果、本発明は電界密度が減少することによりブレイクダウン電圧が増加した駆動電極及び感知電極を提供するという利点を有する。1つの実施形態では、駆動電極及び感知電極は、駆動電極及び感知電極に加わる電圧が約2,000ボルトRMSと約3,000ボルトRMSとの間の範囲にある場合、約400ボルト/ミクロンを超えない電界密度を有する。

【0022】

駆動回路(図2には図示されていない)が、駆動電極40a及び40bの駆動入力に動作可能に接続され、一方受信回路が感知又は受信電極50a及び50bの受信出力に動作可能に接続される。駆動回路は、通信駆動信号を駆動電極40a及び40bを通して送信するように構成され、そして一方、受信回路は、駆動電極40a及び40bと感知電極50a及び50bとの間で送信される通信駆動信号を受信するように構成される。

【0023】

図2への参照を続けると、駆動及び感知通信電極40a、40b、50a、及び50bがほぼ1つの平面30の中に配置され、容量性手段によってそれらの電極間でデジタル通信信号を送信するように動作可能に構成されかつ互いに関して関連付けられていることが分かる。好ましい実施形態では、電極の側壁の高さ T_n が約1ミクロンを超え、感知電極及び駆動電極40a、40b、50a、及び50bが約1ミクロンを超える電極間の間

隔 T_d によって分離され、かつこの電極間の間隔 T_d が厚さ d 以上である。幾つかの実施形態では、電極間の間隔 T_d が、電氣的絶縁層 70 の厚さ d よりも約 1.5 倍又は約 2.0 倍大きくすることができる。側壁の高さ T_n は、約 1 ミクロンと約 6 ミクロンとの間、又は約 1 ミクロンと約 3 ミクロンの間に収まることができる。電極間の間隔 T_d も、約 1 ミクロンと約 15 ミクロンとの間に入ることができる。

【0024】

通信駆動電極 40 と通信感知電極 50 との間の第 1 のブレイクダウン電圧は、約 1 分間加えた場合、約 2,000 ボルト RMS、約 2,500 ボルト RMS、又は約 3,000 ボルト RMS を超える。この第 1 のブレイクダウン電圧は、駆動電極とグラウンド面基板との間の第 2 のブレイクダウン電圧以上にする事もできる。UL (UNDERWRITERS LABORATORIES (商標)) 規格 1577 によれば、装置の絶縁性能又は能力に関する主要な試験は、ブレイクダウンすることなく高電圧の印加に耐える装置の能力である。UL 1577 で規定された試験では、装置の入力端子と出力端子との間に電圧 (ac RMS 又は DC) が 1 分間加えられる試験が行われる。耐電圧定格が約 2,500 V_{rms} と約 5,000 V_{rms} との間に入ることは、そのような試験条件のもとでは極めて望ましい。

10

【0025】

駆動電極及び感知電極 40a、40b、50a、及び 50b は、導電性の金属、合金、又は金属混合体から形成されることが好ましい。駆動電極及び感知電極 40a、40b、50a、及び 50b を形成するために使用される金属、合金、又は金属混合体は同じものとする、又は互いに異なるものとする事ができ、また金、銀、銅、タングステン、スズ、アルミニウム及びアルミニウム - 銅の中の任意の 1 つ以上の金属を含むことができる。好ましい実施形態では、駆動電極 40a 及び 40b、及び感知電極又は受信電極 50a 及び 50b は、当業者には周知の CMOS 金属蒸着技術を用いて形成され、また電極間の間隔 T_d が、例えば高密度プラズマエッチング技術を用いて隣接する電極間の金属を制御してエッチングで取り除き、次にこの電極間の間隔 T_d によって定義された空間を半導体誘電材料、酸化シリコン、窒化シリコン、及び / 又は厚い酸化物の中の 1 つ以上で充填することによって提供される。半導体誘電材料の中には空所は形成されないこと、またエッチング処理の間に金属層が不均等にエッチング除去されることに注意する必要がある。周知の高密度プラズマ (「HDP」)、オルトケイ酸テトラエチル (「TEOS」)、及びプラズマ助長窒化シリコン (Plasma Enhanced Silicon Nitride) (「PESEN」) パシベーション技術も、構造体 10 を製造する場合に使用できる。

20

30

【0026】

電氣的絶縁層 70 は、従来の CMOS 技術及び半導体誘電材料、酸化シリコン、窒化シリコン、及び / 又は厚い酸化物の中の 1 つ以上の材料を用いて形成することができる。下側のグラウンド面基板 60 (又は図 1 の D) も、周知の CMOS 技術を用いて形成されることが好ましく、また導電性であり、1 つの実施形態では、シリコンなどの半導体の誘電材料から形成される。

【0027】

本発明は、CMOS 技術に限定されることはないことに注意されたい。それどころか、バイポーラ - CMOS プロセス、組み合わされたバイポーラ - CMOS - DMOS (BCD) プロセス、及び共面形電極 40 及び 50、絶縁層 70、及びグラウンド面基板 60 を形成するために使用できる任意の他の適当な半導体製造技術などの他の技術も検討され、そして本発明の範囲の中に含まれる。本発明の装置 5 及び 10 を、少なくとも部分的に、ポリイミド、プラスチック又は任意の他の適当なパッケージング又はモールドイング材料の中にカプセル化することもできることに注意されたい。

40

【0028】

ここで図 3 を参照すると、螺旋状に巻かれた電極の高電圧アイソレーション形の共面形水平コンデンサ構造体 10 の 1 つの実施形態が示されている。この実施形態では、駆動電極 40 が対応する感知電極 50 の周りに螺旋状に巻かれており、また駆動電極 40 がパッ

50

ド 4 5 に電氣的に接続されている（このパッド 4 5 は次に、図 3 には示されていない駆動回路（ドライバ回路）8 0 に接続される）。高電圧アイソレーション用シールド 6 5 は、螺旋状に巻かれた電極 4 0 及び 5 0 を取り巻いて、それらの電極に対してある程度の E M I 保護を行い、またさらに、他の電子部品に対して水平コンデンサ構造体 1 0 が発生した電界からの保護すなわちシールドを行う。2 つ以上の水平コンデンサ構造体 1 0 を 1 つのパッケージ又はチップ 5 の中で使用して、完全差動式通信信号を駆動回路 8 0 によって送信しかつ受信器回路 9 0 によって受信することができ（図 3 には図示されていない）、また不要なノイズ及びアーチファクトの同相モード除去（「C M R」）機能を最大にすることができる。図 2 に示された実施形態におけるように、従来の C M O S 技術は、図 3 の螺旋状に巻かれた電極の高電圧アイソレーション形の共面形水平コンデンサ構造体 1 0 を形成するために最も好適に使用することができる。

【 0 0 2 9 】

ここで図 4 を参照すると、交互配置された電極の高電圧アイソレーション形の共面形水平コンデンサ構造体 1 0 の 1 つの実施形態が示されている。この実施形態では、駆動電極 4 0 は、感知電極 5 0 の対応するフィンガと交互配置されたフィンガを有する。駆動電極 4 0 は、パッド 4 5 に電氣的に接続されている（このパッド 4 5 は次に、図 4 には示されていない駆動回路 8 0 に接続される）。高電圧アイソレーション用シールド 6 5 は、交互配置された電極 4 0 及び 5 0 を取り囲んで、それらの電極に対してある程度の E M I 保護を行い、またさらに、他の電子部品又は装置に対して構造体 1 0 が発生した電界からの保護すなわちシールドを行う。2 つ以上の装置 1 0 を 1 つのパッケージ又はチップ 5 の中で使用して、完全差動通信信号を駆動回路 8 0 によって送信しかつ受信器回路 9 0 によって受信することができ（図 4 には図示されていない）、また不要なノイズ及びアーチファクトの同相モード除去（「C M R」）機能を最大にすることができることに注意されたい。図 2 に示された実施形態におけるように、従来の C M O S 技術は、図 4 の交互配置された電極の高電圧アイソレーション形の共面形水平コンデンサ構造体 1 0 を形成するために最も好適に使用することができる。図 4 の水平コンデンサ構造体 1 0 は、それぞれの電極は互いに電氣的に並列に接続されているが、複数の感知電極 5 0 と交互配置された複数の駆動電極 4 0 を具備していることに更に注意されたい。

【 0 0 3 0 】

図 5 は、高電圧アイソレーション半導体通信装置 5 の中で駆動回路 8 0 及び受信器回路 9 0 に関する機能的ブロック図の 1 つの実施形態を示している。図 5 では、入力通信信号が駆動回路 8 0 の入力 $D_{i n}$ に与えられる。この駆動回路では、入力通信信号は入力フィルタ回路 8 2 によってフィルタ処理され、ドライバ・ウォッチドッグ 8 4 が提供する出力に加算され、ワイヤーボンダ 8 7 及び 8 9 を通り境界 8 8 を超えて水平コンデンサ構造体 1 0 a 及び 1 0 b に伝送される。駆動回路（ドライバ回路）8 6 は、境界 8 8 を超えて通信信号を受信器回路 9 0 に送信する。C M R 回路 9 2 によって提供される出力は、利得増幅器回路 9 3 にむけられ、この利得増幅器回路 9 3 は出力を比較器 / R S フリップフロップ 9 4 及び 9 5 に送る。このフリップフロップの出力は次に遅延フィルタ回路 9 6 に向けられる。受信器回路 9 0 からの最終的な出力信号は、 $R_{o u t 1 0 1}$ において出力バッファ 9 9 によって提供される。

【 0 0 3 1 】

図 5 に示されている実施形態では、駆動回路 8 0 及び受信器回路 9 0 は完全差動構成で動作し、この構成は、信号経路に存在する可能性がある望ましくない同相モード信号を除去する利点がある。図 5 に示されている実施形態は、高い同相モード除去性能を実現している。駆動回路 8 0 で発生された入力信号は、信号が進むに従ってアイソレーション境界 8 8（これは機能的な観点からすると、図 5 には明確に図示していないが、隣接する駆動電極と感知電極との間に配置された電氣的絶縁材料を含んでいる）を横切って送信され、好ましい実施形態では、完全差動形式で送信され、受信器回路 9 0 で復号される。水平コンデンサ構造体 1 0 a 及び 1 0 b 内の感知電極で受信される完全差動信号は、同相モード除去（「C M R」）回路 9 2 に向けられ、C M R 抵抗 9 8 a 及び 9 8 b を通る。図 5 に例

示された実施形態では、CMR回路92は、水平コンデンサ構造体10a及び10bからの完全差動入力信号の同相モードレベルを調整する。しかしながら、本発明はその請求の範囲の中に、CMR回路92を持たない又はその回路に与えられる完全差動入力信号を有しない実施形態も含むことに注意されたい。

【0032】

幾つかの実施形態は、デジタル通信データを送信及び受信するために、また駆動電極及び感知電極40及び50の間の信号の転送を維持するために、一对の分離された共面形水平コンデンサ構造体10のみを備えることを特徴としていて、別個のデータリフレッシュコンデンサ回路を必要としない。図5に示されている受信器回路90は、駆動回路80から受信された信号を正確に復号し、かつ入力79に与えられた入力信号の忠実でまた極めて正確な再生バージョンを出力101に送るように構成されている。

10

【0033】

図6は、データ出力信号がデフォルトでハイの状態になるときに、図5の回路80及び90が発生する波形を示し、一方図7は、データ出力信号がデフォルトでローの状態になるときに、図5の回路80及び90が発生する波形を示している。ここで図5～図7を参照すると、比較器/RSフリップフロップ94及び95の出力は、回路93によって与えられた出力に基づいてセット及びリセットされる。駆動回路86は、ドライバ・ウォッチドッグ(ドライバ監視)回路84に動作可能に接続される。このドライバ・ウォッチドッグ回路84はパルスを受信器回路90に送信して、境界88を横切って送信された信号を保持するように構成され、それにより、受信器回路90によって受信された信号に関し、受信器回路90のDC状態が適切に保持される。図5に例示された実施形態では、受信器回路90内のDC状態が約 $2\mu\text{s}$ より長く維持される場合、「キープアライブ(keep alive)」パルスが駆動回路80のドライバ・ウォッチドッグ回路84から受信器回路90に送信される。図6及び図7で例示されているように、 R_{out} において受信器回路90によって与えられる出力は、駆動回路がパワーアップされず、その結果「キープアライブ」パルスが駆動回路80から受信器回路90によって受信されない場合は、 $5\mu\text{s}$ 後にデフォルトでハイの状態又はローの状態になる。

20

【0034】

図5～図7の参照を続けると、駆動回路80の送信機能は、入力フィルタ回路82、加算ブロック回路83、ドライバ・ウォッチドッグ回路84、及びシングル-差動駆動回路86によって行われることが分かる。入力フィルタ回路82は、受信器回路90の状態機械を混乱させないように、最小パルス幅が3ナノ秒のパルスを実験的なものにするために使用される。駆動回路86によって行われるシングルエンドから差動への変換動作は、最小のスキューを用いて実行されることが好ましい。「キープアライブ」パルスを受信器回路90に送信することに加えて、ドライバ・ウォッチドッグ回路84は到来するデータ信号をモニタするために使用することもできる。

30

【0035】

駆動回路80から境界88を通過して送信されたデータは、利得増幅器93によって受信される場合に微分される。微分は、水平コンデンサ構造体10a及び10bの中の駆動電極及び感知電極40及び50の送信及び受信特性、及び受信器の同相モード抵抗98a及び98bの特性に基づいて発生する。受信器回路90によって最初に受信される信号の振幅は、水平コンデンサ構造体10a及び10b内の結合コンデンサ C_1 と、それに関連したそれぞれの寄生容量(C_{para})との比率によって設定される。受信器回路の入力の同相モードは、CMR回路92によって規定される。通常動作では、CMR回路92はゼロ電流を同相モード抵抗98a及び98bに送る。CMR動作の間は、大きな同相モード電流が増幅器91の出力端子に与えられたり引かれたりする。大きな dV/dT 電流が、結合コンデンサ C_1 によって生成され、それとともに、駆動回路80と受信器回路90との間に生じるグラウンド電位差を変化させる。これらの回路は、好ましい実施形態では、それぞれ別個の集積回路(IC)から構成される。増幅器91の入力端子において適当な同相モード電圧を保持するためには、CMR回路92はCMR抵抗98a及び98bに補

40

50

償電流を与える必要がある。

【0036】

C M R回路92がない場合は、C M Rの動作によっては、受信器回路90の感知電極における電圧をグラウンドまたは V_{DD} に駆動することがある。そのようなシナリオでは、感知電極は、例えば結合コンデンサ C_1 の背面に接続されたダイオードによってクランプされることがある。入力がクランプされると、結果として全てのデータが失われることがある。

【0037】

1つの実施形態では、C M R回路92は、 $25\text{ kV} / \mu\text{s}$ 以下の値によって特徴付けられたC M Rの動作を補償するように設計される。これは、電流を強制的に受信器入力に入れる又はそこから取り出すことによって実現される。結果として、 $25\text{ kV} / \mu\text{s}$ を超えないC M R動作が存在する中でデータを回復するように、受信器回路90を構成することができる。C M Rの動作がそのようなしきい値を超えると、結果としてデータの損失又はエラーが生じる可能性がある。幾つかの実施形態では、装置10によって達成されるデータ通信速度は、最大約300メガビット/秒に達するか又はそれを超えることができる。この装置10では、デジタルデータは、駆動回路80と受信器回路90との間を容量性手段によって転送される。

10

【0038】

前述したように、H V I Cは、電力システム及び他の用途の中で、高電圧側の絶縁ゲートバイポーラトランジスタ(I G B T)に対してレベルシフト及びゲート駆動機能を提供するために使用される。従来技術のH V I Cによるゲート駆動は一般に、そのような高電圧のレベルシフト機能を実現するために、高電圧トランジスタを使用することを必要としている。図8は、こうした従来技術のゲート駆動回路の1つの実施例を示している。このH V I Cは浮動(フローティング)電源から離れて動作し、P側すなわち高電圧側のI G B T 134に対してレベルシフト及びゲート駆動を行う。低電圧集積回路(L V I C) 120のゲート駆動回路は、低電圧側の電源 V_{CC} から離れて動作し、N側すなわち低電圧側のI G B T 123にゲート駆動信号を与える。 V_{CC} は一般に+15ボルトであるが、特定の用途や当面の回路に基づいて、任意の適当な又は好適な値にすることができることは無論である。図8に例示されたH V I Cが動作している間は、P側の入力信号は、ワンショットパルス発生器131を通るように向けられる。このパルス発生器131は、138における高電圧レベルシフトM O S F E TのH V N 1及びH V N 2に対してターンオン・パルスを発生するように構成されている。次に、トランジスタH V N 1及びH V N 2は、高電圧側のドライバ・ラッチ136への入力をローに引いて、P側I G B T 134に対するゲート駆動信号をセットおよびリセットする。

20

30

【0039】

図8に示されている回路に関する1つの欠点は、138における高電圧トランジスタH V N 1及びH V N 2がレベルシフト動作に使用されるため、S O I技術を使用して行われる高電圧の製造工程が必要とされることである。そのような工程は複雑で高価であるため、従来のゲート・ドライバはコストが非経済的な技術になる。その上、ゲート・ドライブの低電圧側と高電圧側との間の高い電圧ストレスのレベルが増加するため、対応するより高い電圧工程への移行が必要なため、結果として製造費用がさらに高くなる。

40

【0040】

図9に示されているように、幾つかの従来技術のゲート駆動回路では、高電圧側のゲート・ドライブに対する浮動電源が、外部のブートストラップ回路140によって与えられる。この種の回路は通常、ピーク充電電流を制限するための小さい直列抵抗141が付いた急速回復ブートストラップ・ダイオード142と、浮動電源を保持するためのリザーバ・コンデンサ143を備えている。低電圧側I G B Tがオンに切り換えられると、浮動電源用のリザーバ・コンデンサ143がブートストラップ・ダイオード142を通して充電される。低電圧側のI G B Tがオフに切り換えられると、リザーバ・コンデンサ143に蓄えられたエネルギーが高電圧側のゲート・ドライブ134に対して電力を供給する。電

50

力消費を減らすために、ゲート・ドライブ 146 及びその関連するレベルシフト・トランジスタと論理回路に与えられる電流は、浮動電源から供給される電流を低く保つために制限され、これは今度は、ゲート・ドライブの速度を損なうことになる。その結果、それらを製造するために一般的に使用される高価で複雑な SOI 製造技術に加えて、従来技術の HVIC ゲート駆動回路の性能特性は最適なものではない。

【0041】

前述された従来技術の回路及び方法に対する代案は、高電圧ゲート駆動回路に容量性アイソレーション技術を用いることである。この技術では、信号が入力の低電圧側から容量性アイソレーション障壁を通して、IGBT のゲート電圧を制御する高電圧側のゲート・ドライブに送られる。そのような代案では、レベルシフト機能を与える手段として高価な又は遅い高電圧トランジスタを使用する必要性が取り除かれる。1つの実施形態によれば、容量性アイソレーション回路は、単純でかつ費用効果が高い標準的な CMOS 工程又は関連する製造工程を用いて提供される。このことは、高価で複雑な処理を必要とする SOI などの高電圧工程を用いて製造された従来ゲート駆動回路を用いてレベルシフト機能を提供するような、従来技術の方法とは対照的である。

10

【0042】

容量性アイソレーションを使用する高電圧ゲート駆動回路 150 の 1つの実施形態が、図 10 に示されている。この実施形態では、高電圧アイソレーションが、標準的な CMOS 工程を用いて製造された金属対金属層を用いて構成されたコンデンサ 10a ~ 13b によって提供される。上記で詳細に説明されたように、共面キャパシタンスが、隣接する金属層の側壁間の水平結合によって提供される。金属がコンデンサを構成するために上層のみに使用される場合、金属層から基板への寄生容量が最小にされ、これにより信号がアイソレーション障壁を通して送信されるときに結合が最大にされる。そのような容量性アイソレーション障壁の構成は、信号を障壁を越えて転送するための幾つかの技術と同様に、上記に詳細に説明されている。

20

【0043】

図 10 の参照を続けると、1つの実施形態では、システムの低電圧側 80 は、入力グリッチ・フィルタ 82、低電力発振器 81、及び一对の論理ドライバ 84a 及び 84b を備えている。入力信号は最初、グリッチ、スパイク、又は他の入力信号に含まれる可能性のある、望まれていない異常を除くために、グリッチ・フィルタ 82 を通るように向けられる。次に、フィルタ処理された信号は、相補的な方法で論理ドライバ 84a 及び 84b のそれぞれの入力を駆動する。それぞれの論理ドライバの別の入力は、発振器 81 によって駆動される。回路 80 の中で使用される特定の入力論理によって決まるが、発振器の出力は、論理ゲートの 1つだけの出力に現れる。論理ゲートの 1つだけの出力がイネーブルにされるため、いつでも上側対のコンデンサ（すなわち、10a / 10b 及び 11a / 11b）又は下側対のコンデンサ（すなわち、12a / 12b 及び 13a / 13b）の 1つだけが駆動される。その結果、容量性アイソレーション障壁 88 を横切って結合された信号は、入力の論理レベルに基づいて微分される。各チャネルの信号結合に一对のコンデンサを使用することによって、優れた同相モード除去特性が提供される。

30

【0044】

図 10 に示された回路の実施形態では、システムの高電圧側 90 は、整流器 101a / 101b 及び比較器 104a / 104b の対、R-S ラッチ 105、出力ゲート・ドライバ段 106、及び基準バイアスブロック 103 から構成される。アイソレーション障壁 88 を通して接続された発振器の出力信号は、整流及びフィルタ処理される。それぞれの比較器 104a 及び 104b は、結合された信号を基準レベル電圧と比較する。結合された信号の振幅が十分に高くなり、そして所定の基準レベルを超えると、比較器が動作して、その出力状態が切り換えられる。次に、それぞれの比較器の出力は、ラッチ 105 のリセット入力およびセット入力を駆動する。RS フリップフロップ 105 の出力は次に、出力ゲート駆動段 106 を駆動する。

40

【0045】

50

図11は、高電圧側90に接続される信号に対する整流及び感知回路の1つの実施形態を示している。発振が発生されないとき、同相モードの基準レベルがVGSNに設定されるため、VSENSEは0ボルト近くにバイアスされる。これにより、消費される電流が減少される。同時に、比較器の出力は、論理ローのデフォルト状態になる。発振が行われると、ソース・フォロワとして構成されたMOSFET161及び162は、入力された発振が全波整流されたバージョンになるようにVSENSEを駆動する。抵抗163とコンデンサ164は単純な低域通過フィルタを形成して、信号比較を行うためにVSENSE信号をフィルタ処理する。この低域通過フィルタは、リップルを比較器104a又は104bのヒステリシスレベル以下にフィルタ処理するように構成され、これにより、チャタリングを避けることが最も好ましい。フィルタ処理されたVSENSE電圧レベルが基準レベルを超えると、比較器の出力は状態を変化するように構成される。次に比較器の出力は、R-Sラッチ105の状態をセットまたはリセットする。このラッチ105は続いて、ゲート・ドライブを駆動する。高電圧及び低電圧状態を符号化するために2つのチャネルを使用するので、DC情報がアイソレーション障壁を通して保存されるため、DCリフレッシュ回路は必要ではない。ゲート・ドライバが主に低い周波数で動作するため、高周波の同相モードの過渡現象が注入されても、システムに対する同相モードの妨害が自然にフィルタ処理される。その結果、同相モードの増幅器の設計に対する要求事項をかなり楽にすることができ、このことは今度は、低電力回路を受信器側で使用できるようにする。1つの重要な設計目標は、回路の高電圧側における電流消費を低く保ち、ゲート・ドライブの高電圧側用のブートストラップ電力回路の単純でしかも効率的な設計を実現可能にすることである。

10

20

【0046】

前述された容量性アイソレーション回路及び方法は、従来のゲート駆動回路及び方法を超越した重要な利点を提供する。第1に、コンデンサ構造の選択が、全体的なシステム設計に対して重要である。どのようなモノリシックコンデンサ構造体も、コンデンサの底板と基板との間に寄生容量があることを特徴にしている。寄生容量が信号損失の原因になるため、対応する寄生容量が小さい構造を使用することが望ましい。上部金属層のみを有する共面コンデンサ構造の場合は、寄生容量が上レベルの金属層と基板との間で最も重要である。これに反して、幾つかの縦方向に重ねられた金属層を含む積層コンデンサでは、寄生容量は主に最低部の金属層と基板との間に生ずる。共面コンデンサ内の上部金属層と基板との間の距離が、縦方向の積層コンデンサ内の最低部の金属層と基板との間の距離よりも相当に大きいため、本願で開示された構造の共面の寄生容量は非常に小さい。結果として、共面コンデンサは、縦方向に積層されたコンデンサに比べて優れた信号伝送利得を提供する。信号伝送利得が高いことにより、受信器回路の設計を単純化することができ、このことは次に電力消費を減少させ、また任意の関連したブートストラップ電力回路の設計も単純化するのに役立つ。

30

【0047】

第2は、回路の高電圧側の電力損失をさらに減少するために、高電圧側に送信される駆動信号の強度を改善することができる。これは、チャージポンプ回路を通して発振器の電圧を増大する電圧によって実現することができる。そうすることで、アイソレーション障壁を通して送られる駆動信号は、 n 倍に増大される。ここで、 n はチャージポンプ回路の電圧利得であり、1よりも大きい。高電圧側でより高い信号レベルを有することは、回路の受信器側の信号処理回路を単純にすると共に、これにより受信器回路を低電力にすることができることを意味する。より高い信号レベルにより、ブートストラップ電力回路の設計も単純にすることができる。

40

【0048】

第3は、2つの通信チャネルが図10に示されているが、1つ以上の付加的な通信チャネルを最小の増分費用で加えることができるため、1つ以上の付加的な論理状態をアイソレーション障壁を超えて送信することができる。例えば、この付加的な論理状態を使用して、高電圧側でHiZ状態を符号化することができる。従来のゲート駆動回路の中でその

50

ような付加的な論理状態を実行する場合、高電圧トランジスタの追加の対が必要であり、このことは次には回路の領域が増加した製造費用がより高くなる。

【0049】

第4は、アイソレーション・キャパシタンス回路が、高電圧のレベルシフト・トランジスタではなく信号転送媒体として使用されるため、反対方向に、すなわち、回路の高電圧側から低電圧側に戻るよう信号を転送することが可能である。例えば、フィードバック及び/又は故障状態を示す信号を、関連した回路の高電圧側から回路の低電圧側に戻るよう転送することができる。コンデンサが双方向トランスジューサとして動作できるため、そのようなフィードバック構成は、回路の高電圧側に順方向に信号を送信するために使用されたものと同じ対の信号コンデンサを共有することができる。別の方法では、付加的な対のコンデンサを最小の費用で回路に加えて、回路の高電圧側からフィードバック情報を提供することができる。そのような機能は、従来のゲート駆動回路において実行することは不可能であるか又は極めて困難である。何故なら、高電圧トランジスタによって与えられる従来のレベルシフト機能は一方向のみ(すなわち、低電圧側から高電圧側)に働くからである。

10

【0050】

本願で開示された発明の種々の実施形態により、これらに限定されることはないが、回路の性能が改良されたこと、パッケージ又はチップが一層小型にされたこと、消費電力が小さくなったこと、データ送信速度がより速くなったこと、及び性能を犠牲にすることなく製造費用を著しく低下させたことを含む幾つかの利点が提供されることは、ここで当業者には明らかになるであろう。

20

【0051】

本願で使用される「垂直」又は「水平」という用語は、コンデンサの面が下側又は上側のグラウンド面基板60に関係するとき、そのコンデンサの面の相対的な向きを指すつもりであることに注意されたい。このため、本発明の教義に基づいて作られた装置が、実際に、1つの面内に配置された共面デジタルデータ通信電極を有し、またこの1つの面の向きが垂直であるが、グラウンド面基板に対しては平行であるかほぼ平行である場合は、そのような装置は本発明の範囲に含まれるものとする。

【0052】

本願で説明された種々の部品、装置及びシステムを作る方法及びそれらを作った方法が、本発明の請求の範囲の中に含まれることにさらに注意されたい。

30

【0053】

前述された実施形態は、本発明の範囲を限定するものではなく、本発明の実施例として考えるべきである。本発明の前述の実施形態に加えて、詳細な説明及び添付した図面を見直すと、本発明の別の実施形態が存在することが分かるであろう。従って、明示的に本願に記載されていない本発明の前述した実施形態の多くの組合せ、置き換え、変更、及び修正は、本発明の範囲の中に含まれるものとする。

【符号の説明】

【0054】

- 5 高電圧アイソレーション半導体通信装置
- 10 a、10 b 水平コンデンサ構造体
- 79 入力
- 80 駆動回路
- 82 入力フィルタ回路
- 83 加算ブロック回路
- 84 ドライバ・ウォッチドッグ回路
- 86 駆動回路
- 88 境界
- 90 受信器回路
- 91 増幅器

40

50

- 9 2 C M R 回 路
- 9 3 利 得 増 幅 器 回 路
- 9 4、9 5 比 較 器 / R S フ リ ッ プ フ ロ ッ プ
- 9 6 遅 延 フ ィ ル タ 回 路
- 9 8 a、9 8 b C M R 抵 抗
- 9 9 出 力 バ ッ フ ァ
- 1 0 1 R o u t

【 図 1 】

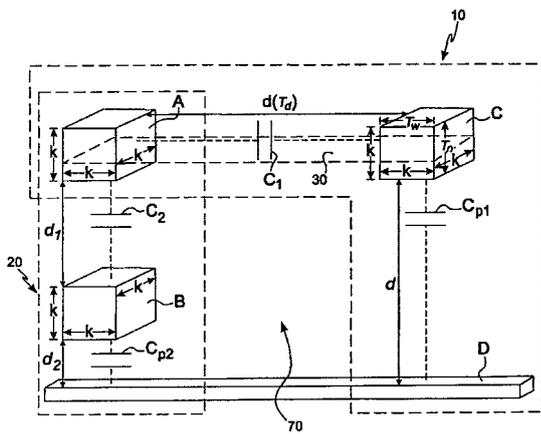


FIG. 1

【 図 2 】

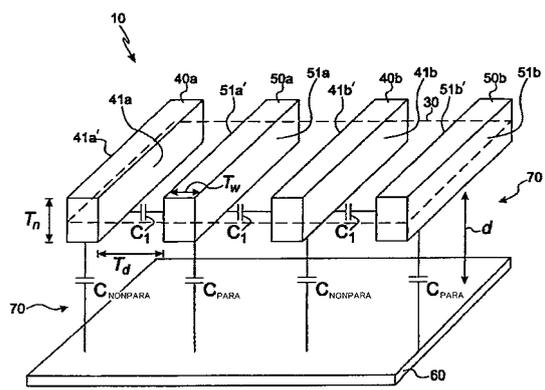


FIG. 2

【 図 8 】

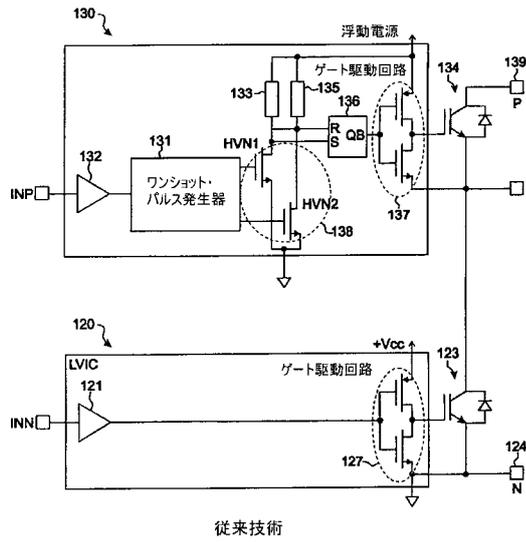
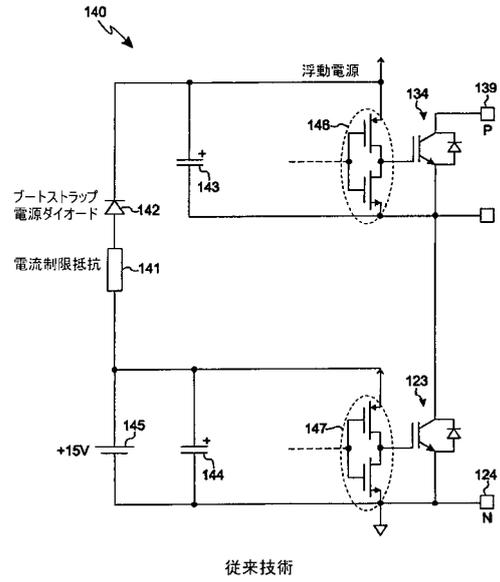


FIG. 8

【 図 9 】



従来技術

FIG. 9

【 図 10 】

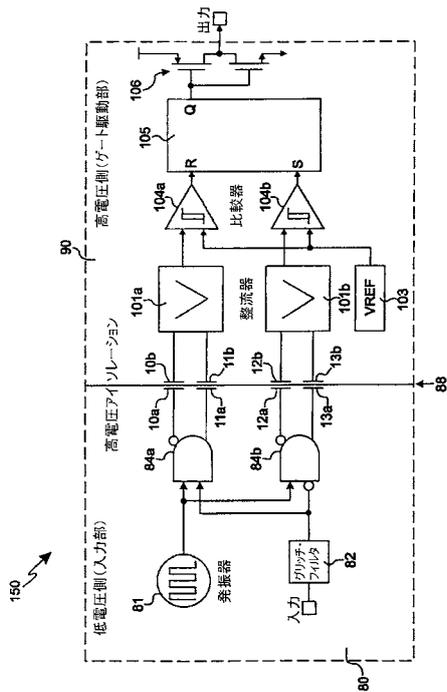


FIG. 10

【 図 11 】

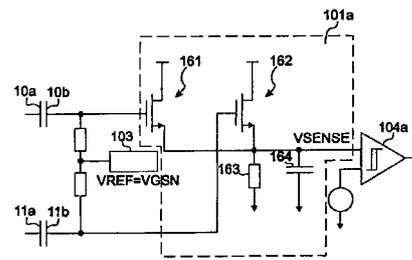


FIG. 11

フロントページの続き

| (51) Int.Cl. | F I | テーマコード(参考) |
|---|---------------|------------|
| | H 0 3 K 19/00 | 1 0 1 F |
| | H 0 3 K 19/00 | 1 0 1 K |
| | | |
| (74)代理人 100118407 | | |
| 弁理士 吉田 尚美 | | |
| (74)代理人 100125380 | | |
| 弁理士 中村 綾子 | | |
| (74)代理人 100125036 | | |
| 弁理士 深川 英里 | | |
| (74)代理人 100142996 | | |
| 弁理士 森本 聡二 | | |
| (74)代理人 100154298 | | |
| 弁理士 角田 恭子 | | |
| (74)代理人 100156443 | | |
| 弁理士 松崎 隆 | | |
| (74)代理人 100162330 | | |
| 弁理士 広瀬 幹規 | | |
| (72)発明者 ゲク・ヨン・ワン | | |
| シンガポール国シンガポール5 1 0 2 3 1 , パシール・リス・ドライブ・4 , ブロック・2 3 1 , | | |
| ナンバー 1 1 - 4 5 8 | | |
| (72)発明者 ファン・コク・チョウ | | |
| シンガポール国シンガポール5 5 7 9 8 6 , クリクトン・クローズ・6 | | |
| (72)発明者 リチャード・コク・ケオン・ラム | | |
| シンガポール国シンガポール6 4 0 6 2 7 , ジュロン・ウエスト・ストリート・6 5 , ブロック・ | | |
| 6 2 7 , ナンバー 1 5 - 3 8 0 | | |
| F ターム(参考) 5J055 AX02 AX07 AX12 BX16 CX12 DX09 DX22 DX62 DX72 DX83 | | |
| EX02 EX29 EY01 EY10 EY16 EZ05 EZ10 EZ14 EZ32 EZ37 | | |
| EZ50 FX04 FX05 FX18 FX31 GX02 GX04 GX08 GX09 | | |
| 5J056 AA01 AA04 BB02 BB14 BB17 CC05 CC06 CC09 CC14 DD01 | | |
| DD13 EE06 FF06 FF08 GG07 KK01 KK02 | | |

【 外国語明細書 】

1. Title of Invention

**High Voltage Drive Circuit Employing Capacitive Signal Coupling
and Associated Devices and Methods**

2. Detailed Explanation of the Invention

Related Application

This application is a continuation-in-part of U.S. Patent Application Serial Number 12/032,165 filed February 12, 2008 entitled "High Voltage Isolation Semiconductor Capacitor Digital Communication Device and Corresponding Package" to Fun Kok Chow et al. and claims priority and other benefits therefrom, the entirety of which is hereby incorporated by reference herein.

Field of the Invention

Various embodiments of the invention described herein relate to the field high voltage drive circuits.

Background

High voltage isolation communication devices known in the prior art include optical devices, magnetic devices and capacitive devices. Prior art optical devices typically achieve high voltage isolation by employing LEDs and corresponding
5 photodiodes to transmit and receive light signals, usually require high power levels, and suffer from operational and design constraints when multiple communication channels are required. Prior art magnetic devices typically achieve high voltage isolation by employing opposing inductively-coupled coils, also usually require high power levels (especially when high data rates required),
10 typically require the use of at least three separate integrated circuits or chips, and are susceptible to electromagnetic interference ("EMI"). Prior art capacitive devices typically achieve high voltage isolation by employing multiple pairs of transmitting and receiving electrodes, where for example a first pair of electrodes is employed to transmit and receive data, and a second pair of electrodes is
15 employed to refresh or maintain the transmitted signals.

Some high voltage isolation communication devices, typically employed in power systems, are implemented in high voltage integrated circuits (HVICs) and are configured to provide level shifting and gate drives for high side insulated-gate bipolar transistors (IGBTs). Conventional HVIC gate drives require the use of high
20 voltage transistors to implement high voltage level shift functionality. Such HVIC gate drives usually require the use of complex and expensive high voltage manufacturing processes, such as silicon-on-insulator (SOI) technology, which substitutes a layered silicon-insulator-silicon substrate for a conventional silicon substrate in the semiconductor manufacturing process. The major disadvantages
25 of SOI implementation are increased manufacturing complexity and a significant

increase in substrate cost. Furthermore, the cost of using SOI technology scales with the level of high voltage stress between the low and high side of the gate drive, which further increases cost.

5 What is needed is a high voltage isolation communication device that is small, consumes reduced power, permits data to be communicated at relatively high data rates, has improved high voltage breakdown capabilities, maintains high voltage isolation characteristics during operation, may be built at lower cost, and that is susceptible to being manufactured using conventional CMOS processes.

10 Further details concerning various aspects of some prior art devices and methods are set forth in U.S. Patent No. 5,693,971 to Gonzales entitled "Combined trench and field isolation structure for semiconductor devices" dated December 2, 1997; U.S. Patent No. 6,167,475 to Carr entitled "Data transfer method/engine for pipelining shared memory bus accesses " dated December 26, 2000; U.S. Patent No. 6,215,377 to Douriet entitled "Low cost wideband RF port structure for microwave circuit packages using coplanar waveguide and BGA I/O format" dated April 10, 2001; U.S. Patent No. 6,320,532 to Diede entitled "Low power radar level transmitter having reduced ground loop errors" dated November 20, 2001; U.S. Patent No. 6,489,850 to Heineke et al. entitled "Crosstalk suppression in differential AC coupled multichannel IC amplifiers" dated 20 December 3, 2002; U.S. Patent No. 6,538,313 to Smith entitled "IC package with integral substrate capacitor " dated March 25, 2003; U.S. Patent No. 6,574,091 to Heineke et al. entitled "Multi-plate capacitor structure" dated June 3, 2003; U.S. Patent No. 6,661,079 to Bikulcius entitled "Semiconductor-based spiral capacitor" dated Dec. 9, 2003; U.S. Patent No. 6,944,009 to Nguyen et al. entitled "Ultra 25 broadband capacitor assembly" dated September 13, 2005; U.S. Patent No.

7,170,807 to Fazan et al. entitled "Data storage device and refreshing method for use with such device" dated January 30, 2007; U.S. Patent Publication No. 2007/0133,933 to Hoon entitled "Enhanced coplanar waveguide and optical communication module using the same" dated June 14, 2007; U.S. Patent
5 Publication No. 2007/0162645 to Han entitled "Communication system for data transfer between on-chip circuits" dated July 12, 2007, U.S. Patent Application Serial No. 11/264,956 to Guenin et al. entitled "Structures and methods for proximity communication using bridge chips" dated Nov. 1, 2005, and
10 WO/2005/001928 to Hester et al. entitled "Capacitor-related systems for addressing package/motherboard resonance" dated June 1, 2005. The foregoing patents and patent applications are hereby incorporated by reference herein, each in its respective entirety.

Summary

In some embodiments, there is provided a high voltage drive circuit comprising at least one drive electrode comprising a drive input connected to a low
5 voltage portion of the circuit, the drive electrode being formed of a first electrically conductive metal, metal alloy or metal mixture, at least one sense electrode comprising a sense output connected to a high voltage portion of the circuit, the sense electrode being formed of a second electrically conductive metal, metal alloy or metal mixture, an electrically conductive ground plane substrate spaced
10 apart from the drive and sense electrodes by an electrically insulative layer, a drive circuit forming a portion of the low voltage portion and configured to receive an input signal provided to the high voltage drive circuit, the drive circuit being operably coupled to the drive input and configured to transmit a drive signal based on the input signal therethrough, and a receive circuit forming a portion of the high
15 voltage portion and operably coupled to the sense output, the receiver circuit being configured to receive the drive signal transmitted between the sense and drive electrodes and to provide at least one gate drive output signal having power and amplitude sufficient to drive an insulated-gate bipolar transistor (IGBT). The drive and sense electrodes are substantially disposed in a single plane and are operably
20 configured and associated in respect of one another to effect the transfer of drive signals therebetween by capacitive means, the gate drive circuit is a non-silicon-on-insulator CMOS integrated circuit, and high voltage isolation between the low and high voltage portions of the circuit is provided by the drive and sense electrodes through capacitive means.

In other embodiments, there is provided a method of making a high voltage drive circuit comprising providing at least one drive electrode comprising a drive input connected to a low voltage portion of the circuit, the drive electrode being formed of a first electrically conductive metal, metal alloy or metal mixture, providing at least one sense electrode comprising a sense output connected to a high voltage portion of the circuit, the sense electrode being formed of a second electrically conductive metal, metal alloy or metal mixture, providing an electrically conductive ground plane substrate spaced apart from the drive and sense electrodes by an electrically insulative layer, providing a drive circuit forming a portion of the low voltage portion and configured to receive an input signal provided to the high voltage drive circuit, the drive circuit being operably coupled to the drive input and configured to transmit a drive signal based on the input signal therethrough, and providing a receive circuit forming a portion of the high voltage portion and operably coupled to the sense output, the receiver circuit being configured to receive the drive signal transmitted between the sense and drive electrodes and to provide at least one gate drive output signal having power and amplitude sufficient to drive an insulated-gate bipolar transistor (IGBT). The drive and sense electrodes are substantially disposed in a single plane and are operably configured and associated in respect of one another to effect the transfer of drive signals therebetween by capacitive means, the gate drive circuit is a non-silicon-on-insulator CMOS integrated circuit, and high voltage isolation between the low and high voltage portions of the circuit is provided by the drive and sense electrodes through capacitive means.

Further embodiments are disclosed herein or will become apparent to those skilled in the art after having read and understood the specification and drawings hereof.

Brief Description of the Drawings

Different aspects of the various embodiments of the invention will become apparent from the following specification, drawings and claims in which:

Fig. 1 shows horizontal and vertical capacitor structures;

5 Fig. 2 shows a schematic embodiment of a high voltage isolation semiconductor communication device with co-planar drive and sense electrodes disposed in a single plane;

Fig. 3 shows one embodiment of a spirally wound electrode high voltage isolation semiconductor communication device;

10 Fig. 4 shows another embodiment of a high voltage isolation semiconductor communication device with interleaved drive and sense electrodes;

Fig. 5 shows one embodiment of a functional block diagram for driver and receiver circuits in a high voltage isolation semiconductor communication device;

15 Fig. 6 shows waveforms produced by the circuits of Fig. 5 when a data-out signal defaults to a high state;

Fig. 7 shows waveforms produced by the circuits of Fig. 5 when a data-out signal defaults to a low state;

Fig. 8 shows a prior art high voltage integrated circuit gate drive circuit;

Fig. 9 shows a prior art bootstrap power supply circuit;

20 Fig. 10 shows one embodiment of a high voltage gate drive circuit, and

Fig. 11 shows one embodiment of a rectification and sensing circuit.

The drawings are not necessarily to scale. Like numbers refer to like parts or steps throughout the drawings, unless otherwise noted.

Detailed Descriptions of Some Preferred Embodiments

In some embodiments of the invention, a mutual-capacitance system is provided having co-planar sense and drive electrodes disposed substantially in a single plane. In other embodiments of the invention, there is provided a high voltage drive circuit which is incorporated into a non-silicon-on-insulator (non-SOI) CMOS device.

According to one embodiment, there is provided a semiconductor digital communication device comprising co-planar communication drive and sense electrodes formed in a single plane, where the electrodes have relatively high sidewalls. The relatively high sidewalls permit low electrical field densities to be obtained in the sense and drive electrodes during operation, and further permit very high breakdown voltages to be obtained between the electrodes, and between the drive electrode and an underlying ground plane substrate. The device effects communications between drive and receive circuits through the drive and sense electrodes by capacitive means, and in a preferred embodiment is capable of effecting relatively high-speed digital communications. The device may be formed in a small chip or package employing CMOS and other semiconductor fabrication and packaging processes.

Fig. 1 shows co-planar horizontal and stacked vertical capacitor structures 10 and 20, respectively. Co-planar horizontal capacitor structure 10 comprises electrodes A and C separated by distance d and characterized by capacitance C_1 therebetween, and electrode C and ground plane substrate D separated by distance d and characterized by parasitic capacitance C_{p1} . Vertical capacitor structure 20 comprises electrodes A and B separated by distance d_1 and characterized by capacitance C_2 therebetween, and electrode B and ground plane

substrate D separated by distance d_2 and characterized by parasitic capacitance C_{p2} . As shown in Fig. 1, electrodes A, B and C have widths, heights and lengths all equalling k , which simplifies the derivation of equations 1 through 6 set forth below. Electrodes A and C are formed in an upper metal layer in horizontal capacitor structure 10, and electrode B is formed in a lower metal layer in vertical capacitor structure 20. In horizontal and vertical capacitor structures 10 and 20 illustrated in Fig. 1, it is assumed that capacitance arises from the surface areas presented by electrodes A, B and C only, and that fringe capacitance is zero.

In accordance with the foregoing assumptions, capacitances C_1 and C_2 , parasitic capacitances C_{p1} and C_{p2} , coupling efficiencies $C_{1\text{eff}}$ and $C_{2\text{eff}}$ may be calculated as follows:

$$C_1 = \epsilon k^2/d \quad \text{eq. (1),}$$

$$C_{p1} = \epsilon k^2/d \quad \text{eq. (2),}$$

$$C_{1\text{eff}} = C_1/(C_1 + C_{p1}) = 1/2 \quad \text{eq. (3),}$$

$$C_2 = \epsilon k^2/d_1 \quad \text{eq. (4),}$$

$$C_{p2} = \epsilon k^2/d_2 \quad \text{eq. (5), and}$$

$$C_{2\text{eff}} = C_2/(C_2 + C_{p2}) = d_2/(d_1 + d_2) \quad \text{eq. (6),}$$

25

where ϵ = the permittivity of a dielectric material disposed between electrodes A, B and C, and between such electrodes and substrate D. Note that in capacitor structures 10 and 20 illustrated in Fig. 1, electrode A is a drive electrode, and electrodes B and C are sense electrodes.

5 Referring to equation 6 above, it will be seen that if $d_1 = d_2$, then $C_{2\text{eff}} = \frac{1}{2}$, which is the same coupling efficiency provided by $C_{1\text{eff}}$. However, the breakdown voltage between electrode A and electrode B for $C_{2\text{eff}}$ is lower than the breakdown voltage between electrode A and electrode C for $C_{1\text{eff}}$, since d_1 is less than d .

Continuing to refer to equation 6 above, it will be seen that if $d_1 < d_2$, then
10 $C_{2\text{eff}} > \frac{1}{2}$, which is an even greater coupling efficiency provided by $C_{1\text{eff}}$. However, the breakdown voltage between electrode A and electrode B for $C_{2\text{eff}}$ in this case is now even lower than the breakdown voltage between electrode A and electrode C for $C_{1\text{eff}}$, since d_1 is much less than d .

Still referring to equation 6 above, it will be seen that if $d_1 > d_2$, then $C_{2\text{eff}} <$
15 $\frac{1}{2}$, which is lower than the coupling efficiency provided by $C_{1\text{eff}}$. While the breakdown voltage between electrode A and electrode B for $C_{2\text{eff}}$ is better than in the two cases described above, it is still lower than the breakdown voltage between electrode A and electrode C for $C_{1\text{eff}}$, since d_1 is less than d .

The above calculations illustrate that in a capacitor design for a high voltage
20 isolation semiconductor digital communication device various tradeoffs must be made between coupling efficiency, parasitic capacitance, breakdown voltage, geometry and other factors. To that end, it has been discovered that horizontal capacitor structure 10 illustrated in Fig. 1, in comparison to vertical capacitor structure 20 of Fig. 1, provides the best overall performance characteristics in a
25 device where high voltage isolation, high breakdown voltages and good coupling

efficiencies are required. Moreover, in horizontal capacitor structure 10 of Fig. 1, if the thickness of electrodes A and C in the top metal layer of horizontal capacitor structure 10 is increased, coupling efficiency $C_{1\text{eff}}$ increases because as capacitance C_1 increases in response to the thickness of electrodes A and C being increased, parasitic capacitance C_{p1} remains constant. As shown in Fig. 1, electrodes A and C are disposed in the same horizontal plane 30, and thus the breakdown voltage between electrodes A and C, or between electrode A and ground plane substrate D, is always greater than the breakdown voltage between electrode A and electrode B. Thus, in one embodiment of the high voltage isolation semiconductor communication device of the invention, where co-planar sense and drive electrodes are disposed in a single horizontally-oriented plane 30, coupling efficiency is improved while maintaining a high breakdown voltage. Such high coupling efficiency translates directly into improved circuit performance, smaller package or chip area, lower power consumption, and faster data transmission rates.

Fig. 2 shows a schematic embodiment of a high voltage isolation semiconductor communication device with communication drive electrodes 40a and 40b, and communication sense electrodes 50a and 50b disposed substantially in a single horizontal plane 30 positioned above ground plane substrate 60. As shown in Fig. 2, and as in respect of electrodes A and C in Fig. 1, electrodes 40a, 40b, 50a and 50b are co-planar respecting one another and are all disposed substantially within horizontal plane 30. The distance between ground plane substrate 60 and the underside of any of electrodes 40a, 40b, 50a and 50b is approximately equal to d , as further shown by referring to Figs. 1 and 2. In a preferred embodiment, drive and sense electrodes 40a, 40b, 50a and 50b are

separated from electrically conductive ground plane substrate 60 by an electrically insulative layer 70 of thickness d . As shown in Fig. 2, each of electrodes 40a, 40b, 50a, and 50b has opposing substantially vertical sidewalls 41a and 41a', 41b and 41b', 51a and 51a', and 51b and 51b', each such sidewall having a height T_n .

5 Note that as sidewall height T_n increases by a factor of x , the electric field density between drive and sense electrodes 40 and 50 may effectively be decreased by a factor of up to x , assuming that inter-electrode spacing T_d remains constant. For example, with all other conditions being constant, if T_n is increased from 1 micron to 3 microns, the electric field density between opposing drive and sense
10 electrodes is reduced by a factor of 2 to 3. Because sidewall heights T_n of drive and sense electrodes 40a, 40b, 50a and 50b are greater than about 1 micron, increased surface area is available on such sidewalls for the electrical field lines emanating therefrom or received thereon. Consequently, the invention has the advantage of providing drive and sense electrodes having reduced electrical field
15 density, which increases the breakdown voltage. In one embodiment, the drive and sense electrodes have an electric field density not exceeding about 400 volts/micron when a voltage placed across the sense and drive electrode ranges between about 2,000 volts RMS and about 3,000 volts RMS.

A drive circuit (not shown in Fig. 2) is operably connected to a drive input of
20 drive electrodes 40a and 40b, while a receive circuit is operably connected to a receive output of sense or receive electrodes 50a and 50b. The drive circuit is configured to transmit a communication drive signal through drive electrodes 40a and 40b, while the receive circuit is configured to receive the communication drive signal transmitted between drive electrodes 40a and 40b and sense electrodes
25 50a and 50b.

Continuing to refer to Fig. 2, it will be seen that drive and sense communication electrodes 40a, 40b, 50a and 50b are disposed substantially in single plane 30 and are operably configured and associated in respect of one another to effect the transfer of digital communication signals therebetween by capacitive means. In a preferred embodiment, electrode sidewall height T_n exceeds about 1 micron, sense and drive electrodes 40a, 40b, 50a and 50b are separated by an inter-electrode spacing T_d exceeding about 1 micron, and the inter-electrode spacing T_d is greater than or equal to the thickness d . In some embodiments, inter-electrode spacing T_d may be about 1.5 times greater or about 2.0 times greater than the thickness d of electrically insulative layer 70. The sidewall height T_n may range between about 1 micron and about 6 microns, or between about 1 micron and about 3 microns. Inter-electrode spacing T_d may also range between about 1 micron and about 15 microns.

A first breakdown voltage between communication drive electrode 40 and communication sense electrode 50 exceeds about 2,000 volts RMS when applied over a time period of about one minute, about 2,500 volts RMS when applied over a time period of about one minute, or about 3,000 volts RMS when applied over a time period of about one minute. The first breakdown voltage may also be greater than or equal to a second breakdown voltage between the drive electrode and the ground plane substrate. According to UL (UNDERWRITERS LABORATORIES™) Standard 1577, the primary test of a device's insulation performance or capability is the device's ability to withstand the application of high voltages without breaking down. In the test specified in UL 1577, a test is performed where a voltage (ac RMS or DC) is applied between the input and output terminals of a device for one minute. Withstand voltage ratings ranging between about 2,500 V_{rms} and about

5,000 V_{rms} are highly desirable under such test conditions.

Drive and sense electrodes 40a, 40b, 50a and 50b are preferably formed of an electrically conductive metal, a metal alloy or a metal mixture. The metals, metal alloys or metal mixtures employed to form drive and sense electrodes 40a, 40b, 50a and 50b may be the same, or may be different from one another, and may comprise any one or more of gold, silver, copper, tungsten, tin, aluminium, and aluminium-copper. In a preferred embodiment, drive electrodes 40a and 40b, and sense or receive electrodes 50a and 50b, are formed using CMOS metal deposition techniques well known to those skilled in the art, and inter-electrode spacing T_d is provided by controllably etching away metal between adjoining electrodes using, for example, a high density plasma etching technique, and then filling the space defined by inter-electrode spacing T_d with one or more of a semiconductor dielectric material, silicon oxide, silicon nitride, and/or a thick oxide. Care must be taken that voids in the semiconductor dielectric material are not formed, and that the metal layers are etched out anisotropically during the etching process. Well known High Density Plasma ("HDP"), Tetraethylorthosilicate ("TEOS"), and Plasma Enhanced Silicon Nitride ("PESN") passivation techniques may also be employed advantageously when fabricating structure 10.

Electrically insulative layer 70 may be formed using conventional CMOS techniques and materials such as one or more of a semiconductor dielectric material, silicon oxide, silicon nitride, and/or a thick oxide. Underlying ground plane substrate 60 (or D in Fig. 1) is also preferably formed using well-known CMOS techniques, is electrically conductive, and in one embodiment is formed of a semiconductor dielectric material such as silicon.

Note that the invention is not restricted to CMOS techniques. Instead, other

techniques are also contemplated and included in the scope of the invention such as Bipolar-CMOS processes, combined Bipolar-CMOS-DMOS (BCD) processes, and indeed any other suitable semiconductor fabrication technique that may be employed to form the co-planar electrodes 40 and 50, insulative layer 70, and ground plane substrate 60. Note also that devices 5 and 10 of the present invention may be encapsulated at least partially in polyimide, plastic or any other suitable packaging or molding material.

Referring now to Fig. 3, there is shown one embodiment of a spirally wound electrode high voltage isolation co-planar horizontal capacitor structure 10, where drive electrode 40 is spirally wound around corresponding sense electrode 50, and drive electrode 40 is electrically connected to pad 45 (which in turn is connected to driver circuit 80, not shown in Fig. 3). High voltage isolation shield 65 surrounds and provides some degree of EMI protection for spirally wound electrodes 40 and 50, and further serves to protect or shield other electronic components or devices from the electrical fields generated by horizontal capacitor structure 10. Note that two or more horizontal capacitor structures 10 can be utilized in a single package or chip 5 so that fully differential communication signals can be transmitted by driver circuit 80 and received by receiver circuit 90 (not shown in Fig. 3), and so that common mode rejection ("CMR") of undesired noise and artifacts can be maximized. As in the embodiment illustrated in Fig. 2, conventional CMOS techniques are most advantageously employed to form spirally wound electrode high voltage isolation co-planar horizontal capacitor structure 10 of Fig. 3.

Referring now to Fig. 4, there is shown one embodiment of a interleaved

electrode high voltage isolation co-planar horizontal capacitor structure 10, where drive electrode 40 has fingers interleaved with corresponding fingers of sense electrode 50,. Drive electrode 40 is electrically connected to pad 45 (which in turn is connected to driver circuit 80, not shown in Fig. 4). High voltage isolation shield 5 65 surrounds and provides some degree of EMI protection for interleaved electrodes 40 and 50, and further serves to protect or shield other electronic components or devices from the electrical fields generated by structure 10. Note that two or more devices 10 can be utilized in a single package or chip 5 so that fully differential communication signals can be transmitted by driver circuit 80 and 10 received by receiver circuit 90 (not shown in Fig. 4), and so that common mode rejection ("CMR") of undesired noise and artifacts can be maximized. As in the embodiment illustrated in Fig. 2, conventional CMOS techniques are most advantageously employed to form interleaved electrode high voltage isolation co-planar horizontal capacitor structure 10 of Fig. 4. Note further that horizontal 15 capacitor structure 10 of Fig. 4 includes a plurality of drive electrodes 40 interleaved with a plurality of sense electrodes 50, although the respective electrodes are connected electrically in parallel with one another.

Fig. 5 shows one embodiment of a functional block diagram for driver and receiver circuits 80 and 90 in high voltage isolation semiconductor communication 20 device 5. In Fig. 5, input communication signals are provided to input D_{in} 79 of driver circuit 80, where they are filtered by input filter circuit 82, summed according to an output provided by driver watchdog 84, and transmitted across boundary 88 through wirebonds 87 and 89 to horizontal capacitor structures 10a and 10b. Driver circuit 86 effects the transmission of communication signals across 25 boundary 88 to receiver circuit 90. The output provided by CMR circuit 92 is

routed to gain amplifier circuit 93, which provides outputs to comparator/RS flip-flops 94 and 95, whose outputs in turn are routed to delay filter circuit 96. A final output signal from receiver circuit 90 is provided by output buffer 99 at R_{out} 101.

In the embodiment shown in Fig. 5, driver circuit 80 and receiver circuit 90
5 operate in a fully differential configuration, which has the advantage of rejecting undesirable common mode signals such as noise that may be present in the signal path. The embodiment shown in Fig. 5 achieves high common mode rejection performance. Input signals originating at driver circuit 80 are transmitted across isolation boundary 88 (which from a functional perspective includes electrically
10 insulative material disposed between adjoining drive and sense electrodes, not shown explicitly in Fig. 5) as signal transitions, which in a preferred embodiment are transmitted fully differentially and decoded by receiver circuit 90. Fully differential signals received by sense electrodes in horizontal capacitor structures 10a and 10b are routed through common mode rejection ("CMR") circuit 92
15 through CMR resistors 98a and 98b. In the embodiment illustrated in Fig. 5, CMR circuit 92 regulates the common mode level of the fully differential inputs from horizontal capacitor structures 10a and 10b. Note, however, that the invention includes within its scope embodiments not having CMR circuit 92 or not having fully differential inputs provided thereto.

20 Some embodiments feature only one pair of isolated co-planar horizontal capacitor structures 10 to transmit and receive digital communication data, as well as to maintain signal transfer between drive and sense electrodes 40 and 50, and do not require a separate data refresh capacitor circuit. Receiver circuit 90 shown in Fig. 5 may also be configured to correctly decode signals received from driver
25 circuit 80 and provide faithfully and highly accurately reproduced versions of input

signals provided to input 79 at output 101.

Fig. 6 shows waveforms produced by circuits 80 and 90 of Fig. 5 when a data-out signal defaults to a high state, while Fig. 7 shows waveforms produced by circuits 80 and 90 of Fig. 5 when a data-out signal defaults to a low state.

5 Referring now to Figs. 5 through 7, output comparator/RS flip-flops 94 and 95 are set and reset according to outputs provided by circuit 93. Driver circuit 86 is operably connected to driver watchdog circuit 84, which is configured to transmit pulses to receiver circuit 90 to maintain signals transmitted across boundary 88, which properly maintains the DC state of receiver circuit 90 in respect of signals
10 received thereby. In the embodiment illustrated in Fig. 5, if a DC state in receiver circuit 90 is to be maintained longer than about 2 μ sec. a "keep alive" pulse is transmitted from driver watchdog circuit 84 of driver circuit 80 to receiver circuit 90. As illustrated in Figs. 6 and 7, the output provided by receiver circuit 90 at R_{out} 101 defaults to a high or a low state after 5 μ sec. when driver circuit 80 is no
15 longer powered up and in consequence "keep alive" pulses are no longer received by receiver circuit 90 from driver circuit 80.

Continuing to refer to Figs. 5 through 7, it will be seen that the transmit function of driver circuit 80 is effected by input filter circuit 82, summation block circuit 83, driver watchdog circuit 84 and single-to-differential driver circuit 86.
20 Input filter circuit 82 is employed to ensure a pulse having a minimum width of 3 nanoseconds is filtered so as not to confuse the state machine of receiver circuit 90. The single ended to differential conversion effected by driver circuit 86 is preferably implemented with minimal skew. In addition to sending "keep alive" pulses to receiver circuit 90, driver watchdog circuit 84 may also be employed to
25 monitor incoming data signals.

Data transmitted across boundary 88 from driver circuit 80 are differentiated when received by gain amplifier 93. Differentiation occurs due to the transmission and reception characteristics of drive and sense electrodes 40 and 50 in horizontal capacitor structures 10a and 10b, as well as those of receiver common mode resistors 98a and 98b. The amplitudes of signals initially received by receiver circuit 90 are set by the ratios of coupling capacitors C_1 in horizontal capacitor structures 10a and 10b, and the respective parasitic capacitances (C_{para}) associated therewith. The receiver circuit's input common mode is established by CMR circuit 92. In normal operation, CMR circuit 92 drives zero current into common mode resistors 98a and 98b. During a CMR event, large common mode currents are pushed or pulled into the output terminals of amplifier 91. Large dV/dT currents are created by coupling capacitors C_1 in conjunction with changing ground potential differences arising between driver circuit 80 and receiver circuit 90, which in a preferred embodiment each comprise separate integrated circuits (ICs). To maintain a proper common mode voltage at the input terminals of amplifier 91, CMR circuit 92 must apply a compensating current to CMR resistors 98a and 98b.

Note that without CMR circuit 92, some CMR events would drive the voltage at the sense electrodes of the receiver circuit 90 to ground or V_{DD} . In such a scenario, the sense electrodes would be clamped by diodes, for example, connected to the backsides of coupling capacitors C_1 . The clamped inputs would result in all data being lost.

In one embodiment, CMR circuit 92 is designed to compensate for CMR events characterized by values less than or equal to 25 kV/ μ sec., which may be accomplished by forcing current into or away from the receiver inputs. As a result, receiver circuit 90 may be configured to recover data in the presence of CMR events which do not exceed 25 kV/ μ sec. CMR events that exceed such a threshold may result in data loss or errors. In some embodiments, data communication rates achieved by device 10, where digital data are transferred by capacitive means between driver circuit 80 and receiver circuit 90, may range up to or even exceed about 300 Megabits per second.

As mentioned above, HVICs may be employed in power systems and other applications to provide level shifting and gate drive functionality for high side insulated-gate bipolar transistors (IGBTs). A conventional prior art HVIC gate drive typically requires the use of high voltage transistors to implement such high voltage level shift functionality. Fig. 8 shows one example of such a prior art gate drive circuit. The HVIC operates off a floating power supply and provides the level shift and gate drive for the P-side or high side IGBT 134. Low voltage integrated circuit (LVIC) 120 gate drive circuit operates off the low side supply of V_{cc} and provides the gate drive for the N-side or low side IGBT 123. V_{cc} is typically +15 volts, but of course may assume any appropriate or suitable value, depending on the particular application and circuitry at hand. During operation of the HVIC illustrated in Fig. 8, the P-side input is routed through one-shot pulse generator 131 configured to generate turn-on pulses for high voltage level shift MOSFETs HVN1 and HVN2 at 138. Transistors HVN1 and HVN2 then pull the inputs to high side driver latch 136 low to set and reset the gate drive for P-side IGBT 134.

25

One disadvantage of the circuit shown in Fig. 8 is that that high voltage transistors HVN1 and HVN2 at 138 are used for level shifting, and as a result a high voltage manufacturing process such as that provided by using SOI technology is required. The complexity and high cost of such processes render conventional gate drivers as uneconomic cost solutions. Besides, as the level of high voltage stress between the low and high side of the gate drive increases, migration to a correspondingly higher voltage process is necessary, resulting in even higher manufacturing costs.

As shown in Fig. 9, in some prior art gate drive circuits a floating power supply for the high side gate drive is supplied by an external bootstrap circuit 140. This type of circuit usually includes a fast recovery bootstrap diode 142 with a small series resistor 141 to limit the peak charging current, and a reservoir capacitor 143 to hold the floating power supply. When the low side IGBT is turned on, reservoir capacitor 143 for the floating supply is charged through bootstrap diode 142. When the low side IGBT is turned off, the energy stored in reservoir capacitor supplies 143 the power for high side gate drive 134. To reduce power consumption, the current provided to gate drive 146 and its associated level shift transistors and logic circuit is limited to keep the current drawn from the floating supply low, which in turn compromises the speed of the gate drive. As a result, and in addition to the expensive and elaborate SOI manufacturing techniques typically employed to fabricate them, the performance characteristics of prior art HVIC gate drive circuits may be less than optimal.

An alternative to the above-described prior art circuits and methods is to employ capacitive isolation techniques in high voltage gate drive circuits, where a signal is sent from an input low voltage side across a capacitive isolation barrier to a high side gate drive, which controls the gate voltage of an IGBT. Such an alternative eliminates the need to use expensive or slow high voltage transistors as a means of providing level shift functionality. According to one embodiment, capacitive isolation circuitry is provided using a standard CMOS or related manufacturing process, which is simple and highly cost effective. This stands in contrast to prior art methods of providing shift level functionality with conventional gate drive circuitry manufactured using high voltage processes such as SOI, which is expensive and requires complex processing.

One embodiment of a high voltage gate drive circuit 150 which employs capacitive isolation is depicted in Fig. 10, where high voltage isolation is provided by capacitors 10a through 13b constructed using metal-to-metal layers fabricated using a standard CMOS process. As discussed in detail above, coplanar capacitance is provided by horizontal coupling between the sidewalls of adjoining metal layers. If metal is used to construct the capacitor in the top layer only, parasitic capacitance from the metal layer to the substrate is minimized, thereby maximizing coupling when a signal is transmitted across the isolation barrier. The construction of such a capacitive isolation barrier, as well as some of the techniques for transferring signals across the barrier, are described in detail above.

Continuing to refer to Fig. 10, in one embodiment the low voltage side 80 of the system includes an input glitch filter 82, a low power oscillator 81, and a pair of logic drivers 84a and 84b. The input signal is first routed through glitch filter 82 to remove any glitches, spikes or other undesired anomalies that may be present in the input signal. The filtered signal then drives one input of each of the logic drivers 84a and 84b in a complementary manner. The other input of each of the logic drivers is driven by oscillator 81. Depending on the particular input logic employed in circuit 80, the oscillator output will appear at the output of only one of the logic gates. Since the output of only one of the logic gates is enabled, at any given moment in time only one of the upper pair of capacitors (*i.e.*, 10a/10b and 11a/11b) or the lower pair of capacitors (*i.e.*, 12a/12b and 13a/13b) is driven. Consequently, the signal coupled across capacitive isolation barrier 88 is differentiated according to the input logic level. By using a single pair of capacitors for signal coupling in each channel, excellent common mode rejection characteristics are provided.

In the embodiment of the circuit shown in Fig. 10, the high voltage side 90 of the system consists of pairs of rectifiers 101a/101b and comparators 104a/104b, an R-S latch 105, an output gate driver stage 106, and a reference bias block 103. The oscillator output signal coupled through isolation barrier 88 is rectified and filtered. Each of comparators 104a and 104b compares the coupled signal to a reference level voltage. When the amplitude of the coupled signal becomes sufficiently high and crosses a predetermined reference level, the comparator is tripped and its output state is toggled. The output of each of the comparators then drives the reset and set inputs of latch 105. The output of the RS flip-flop 105 then drives the output gate drive stage 106.

Fig. 11 shows one embodiment of a rectification and sensing circuit for signals coupled to the high voltage side 90. When oscillation is not occurring, VSENSE will be biased close to 0 volts because the common mode reference level is set at VGSN. This reduces the current dissipated. Concurrently, the output of the comparator is in a default state of logic low. When oscillation is occurring, MOSFETs 161 and 162 configured as source followers drive VSENSE to become a full wave rectified version of the incoming oscillation. Resistor 163 and capacitor 164 form a simple low-pass filter to filter the VSENSE signal to permit signal comparison. The low-pass filter is most preferably configured to filter ripple below the hysteresis level of comparator 104a or 104b and thereby avoid chattering. When the filtered VSENSE voltage level crosses the reference level, the comparator output is configured to change state. The comparator output then sets or resets the state of R-S latch 105, which subsequently drives the gate drive. Since DC information is preserved across the isolation barrier owing to the use of two channels to encode high and low voltage states, DC refresh circuitry is not required. Since gate drivers operate primarily at low frequencies, common mode disturbance to the system in the event a high frequency common mode transient is injected therein is naturally filtered out. As a result, common mode amplifier design requirements can be relaxed substantially, which in turn permits low power circuitry to be employed on the receiver side. One important design objective is to keep current consumption on the high side of the circuit low so that simple yet efficient design of a bootstrap supply circuit for the high side of the gate drive can be achieved.

The capacitive isolation circuits and methods described above provide important advantages over conventional gate drive circuits and methods. First, the choice of the capacitor structure is significant to the overall system design. Any monolithic capacitor structure features parasitic capacitance between the bottom plate of the capacitor and the substrate. Because parasitic capacitance contributes to signal loss, it is desirable to employ a structure having a small associated parasitic capacitance. In the case of a coplanar capacitor structure comprising only a top metal layer, parasitic capacitance is most significant between the top level metal layer and the substrate. Contrariwise, in a stacked capacitor comprising several vertically-stacked metal layers, parasitic capacitance arises primarily between the bottom-most metal layer and the substrate. Since the distance between the top metal layer and the substrate in a co-planar capacitor is substantially greater than the distance that the bottom-most metal layer and the substrate in a vertically stacked capacitor, the parasitic capacitance of the coplanar disclosed herein structure is much lower. As a result, the coplanar capacitor provides superior signal transfer gain compared to a vertically stacked capacitor. High signal transfer gain permits simplification of the design of the receiver circuit, which in turn reduces power consumption and also helps simplify the design of any associated bootstrap supply circuitry.

Second, to further reduce power dissipation on the high side of the circuit, the strength of the drive signal transmitted to the high side can be improved. This can be achieved by voltage multiplying the oscillator voltage through a charge pump circuit. In doing so, the drive signal sent across the isolation barrier is increased by a factor n , where n is the voltage gain of the charge pump circuit, and $n > 1$. Having a higher signal level on the high side means the signal processing

circuit on the receiver side of the circuit can be simplified, thereby leading to a lower power receiver circuit. Higher signal levels also permit the design of the bootstrap supply circuit to be simplified.

Third, although two communication channels are shown in Fig. 10, one or
5 more additional communication channels may be added at minimal incremental cost so that one or more additional logic states can be transmitted across the isolation barrier. For example, an additional logic state can be used to encode a HiZ state on the high side. Implementing such an additional logic state in a conventional gate drive circuit would require an extra pair of high voltage
10 transistors, which in turn would require increased area for the circuit and higher manufacturing costs.

Fourth, since isolation capacitance circuitry is employed as a signal transfer medium rather than high voltage level shift transistors, it is possible to transfer signals in the opposite direction, *i.e.*, from the high side back to the low side of the
15 circuit. For example, signals indicative of feedback and/or fault conditions from the high side of the circuit associated therewith can be transmitted back to the low side of the circuit. Since a capacitor can operate as a bi-directional transducer, such a feedback configuration can share the same pair of signal capacitors as those employed to transmit signals in the forward direction to the high side of the
20 circuit. Alternatively, an additional pair of capacitors can be added to the circuit at minimal cost to provide feedback information from the high side of the circuit. Such functionality is impossible or very difficult to implement in a conventional gate drive circuit because the level shift functionality provided by high voltage transistors works in one direction only (namely, from the low side to the high side).

25

It will now become apparent to those skilled in the art that the various embodiments of the invention disclosed herein provide several advantages, including, but not limited to providing improved circuit performance, smaller packages or chips, lower power consumption, faster data transmission rates, and significantly lower manufacturing cost without sacrificing performance.

Note that the terms "vertical" and "horizontal" employed herein are intended to refer to the relative orientations of capacitor planes as they relate to underlying or overlying ground plane substrates 60. Thus, while a device made in accordance with the teachings of the invention might, in fact, have co-planar digital data communication electrodes disposed in a single plane, and the single plane is vertically oriented but is parallel or substantially parallel to the ground plane substrate, such a device would nevertheless fall within the scope of the invention.

Note further that included within the scope of the present invention are methods of making and having made the various components, devices and systems described herein.

The above-described embodiments should be considered as examples of the present invention, rather than as limiting the scope of the invention. In addition to the foregoing embodiments of the invention, review of the detailed description and accompanying drawings will show that there are other embodiments of the invention. Accordingly, many combinations, permutations, variations and modifications of the foregoing embodiments of the invention not set forth explicitly herein will nevertheless fall within the scope of the invention.

Claims

We claim:

1. A high voltage drive circuit, comprising:
 - 5 at least one drive electrode comprising a drive input connected to a low voltage portion of the circuit, the drive electrode being formed of a first electrically conductive metal, metal alloy or metal mixture;
 - at least one sense electrode comprising a sense output connected to a high voltage portion of the circuit, the sense electrode being formed of a second
10 electrically conductive metal, metal alloy or metal mixture;
 - an electrically conductive ground plane substrate spaced apart from the drive and sense electrodes by an electrically insulative layer;
 - a drive circuit forming a portion of the low voltage portion and configured to receive an input signal provided to the high voltage drive circuit, the drive circuit
15 being operably coupled to the drive input and configured to transmit a drive signal based on the input signal therethrough, and
 - a receive circuit forming a portion of the high voltage portion and operably coupled to the sense output, the receiver circuit being configured to receive the drive signal transmitted between the sense and drive electrodes and to provide at
20 least one gate drive output signal having power and amplitude sufficient to drive an insulated-gate bipolar transistor (IGBT);
 - wherein the drive and sense electrodes are substantially disposed in a single plane and are operably configured and associated in respect of one another to effect the transfer of drive signals therebetween by capacitive means, the gate
25 drive circuit is a non-silicon-on-insulator CMOS integrated circuit, and high voltage

isolation between the low and high voltage portions of the circuit is provided by the drive and sense electrodes.

2. The high voltage drive circuit of claim 1, wherein the low voltage portion
5 further comprises a glitch filter configured to filter the input signal.
3. The high voltage drive circuit of claim 1, wherein the low voltage portion
further comprises an oscillator circuit configured to provide an output oscillator
signal.
10
4. The high voltage drive circuit of claim 3, further comprising a charge pump
circuit configured to voltage multiply the output oscillator signal thereby to amplify
the drive signal.
- 15 5. The high voltage drive circuit of claim 1, wherein the at least one drive
electrode and the at least one sense electrode comprise a plurality of pairs of drive
and sense electrodes forming a plurality of driver channels.
6. The high voltage drive circuit of claim 1, wherein the at least one drive
20 electrode and the at least one sense electrode comprise first and second pairs of
drive and sense electrodes forming first and second driver channels.
7. The high voltage drive circuit of claim 6, wherein the low voltage portion
further comprises a pair of logic driver circuits configured to drive the first and
25 second pairs of sense and drive electrodes.

8. The high voltage drive circuit of claim 7, wherein the logic driver circuits are complementary and are further configured to drive the first and second pairs of electrodes alternately.

5

9. The high voltage drive circuit of claim 8, wherein the alternately driven and complementary logic driver circuits are configured to increase common mode rejection between the first and second driver channels.

10 10. The high voltage drive circuit of claim 6, wherein the high voltage portion further comprises first and second rectifiers configured to receive, respectively, first and second sense electrode outputs provided by the first and second pairs of electrodes.

15 11. The high voltage drive circuit of claim 10, wherein at least one of the first and second rectifiers comprises at least one MOSFET source follower.

12. The high voltage drive circuit of claim 11, further comprising a low pass filter configured to filter an output signal provided by the at least one MOSFET source follower and remove or reduce ripple present therein.

20

13. The high voltage drive circuit of claim 10, further comprising first and second comparators operably connected to the first and second rectifiers and to receive first and second rectifier outputs therefrom, respectively.

25

14. The high voltage drive circuit of claim 13, wherein the first and second comparators each comprise means for comparing the oscillator output signal to a reference voltage.
- 5 15. The high voltage drive circuit of claim 14, wherein output states provided by the first and second comparators are configured to toggle or not to toggle on the basis of the comparison between the oscillator output signal and the reference voltage.
- 10 16. The high voltage drive circuit of claim 13, further comprising an RS latch configured to receive first and second comparator outputs from the first and second comparators, respectively.
- 15 17. The high voltage drive circuit of claim 16, wherein outputs of the first and second comparators drive set and reset inputs of the RS latch.
18. The high voltage drive circuit of claim 1, wherein the receive circuit further comprises an output gate driver stage.
- 20 19. The high voltage drive circuit of claim 1, further comprising a bootstrap supply circuit.

20. The high voltage drive circuit of claim 1, wherein a first breakdown voltage between the at least one drive electrode and the at least one sense electrode exceeds about 2,000 volts RMS when applied over a time period of about one minute.

5

21. The high voltage drive circuit of claim 20, wherein the first breakdown voltage exceeds about 2,500 volts RMS when applied over a time period of about one minute.

10

22. The high voltage drive circuit of claim 20, wherein the first breakdown voltage exceeds about 3,000 volts RMS when applied over a time period of about one minute.

15

23. The high voltage drive circuit of claim 20, wherein the first breakdown voltage is greater than or equal to a second breakdown voltage between the drive electrode and the ground plane substrate.

20

24. The high voltage drive circuit of claim 1, wherein an inter-electrode spacing T_d between the drive electrode and the sense electrode is at least about 1.5 times greater than a thickness d of the electrically insulative layer.

25

25. The high voltage drive circuit of claim 1, wherein the first and second metals, metal alloys or metal combinations comprise one or more of gold, silver, copper, tungsten, tin, aluminium, and aluminium-copper.

26. The high voltage drive circuit of claim 1, wherein the electrically insulative layer comprises one or more of a semiconductor dielectric material, silicon oxide, silicon nitride and thick oxide.

5 27. The high voltage drive circuit of claim 1, wherein the electrically conductive ground plane substrate is formed of a semiconductor dielectric material or silicon.

28. The high voltage drive circuit of claim 14, wherein the electrically insulative material comprises one or more of a semiconductor dielectric material, silicon
10 oxide, silicon nitride and thick oxide.

29. The high voltage drive circuit of claim 1, wherein the drive and sense electrodes, the electrically insulative layer, and the ground plane substrate are fabricated using one or more of a CMOS process, a Bipolar-CMOS process, and a
15 combined Bipolar-CMOS-DMOS (BCD) process.

30. The high voltage drive circuit of claim 1, wherein the circuit is encapsulated at least partially in polyimide or plastic.

20 31. The high voltage drive circuit of claim 1, wherein the drive and receive circuits are incorporated into an integrated circuit.

32. The high voltage drive circuit of claim 1, wherein the receive circuit further comprises a common mode rejection (CMR) circuit.

25

33. The high voltage drive circuit of claim 1, wherein the device is configured to transfer data between the drive and receive circuits at a rate of up to about 300 Megabits per second.

- 5 34. A method of making a high voltage drive circuit, comprising:
- providing at least one drive electrode comprising a drive input connected to a low voltage portion of the circuit, the drive electrode being formed of a first electrically conductive metal, metal alloy or metal mixture;
 - providing at least one sense electrode comprising a sense output
10 connected to a high voltage portion of the circuit, the sense electrode being formed of a second electrically conductive metal, metal alloy or metal mixture;
 - providing an electrically conductive ground plane substrate spaced apart from the drive and sense electrodes by an electrically insulative layer;
 - providing a drive circuit forming a portion of the low voltage portion and
15 configured to receive an input signal provided to the high voltage drive circuit, the drive circuit being operably coupled to the drive input and configured to transmit a drive signal based on the input signal therethrough, and
 - providing a receive circuit forming a portion of the high voltage portion and operably coupled to the sense output, the receiver circuit being configured to
20 receive the drive signal transmitted between the sense and drive electrodes and to provide at least one gate drive output signal having power and amplitude sufficient to drive an insulated-gate bipolar transistor (IGBT);
- 25 wherein the drive and sense electrodes are substantially disposed in a single plane and are operably configured and associated in respect of one another to effect the transfer of drive signals therebetween by capacitive means, the gate drive circuit is a non-silicon-on-insulator CMOS integrated circuit, and high voltage isolation between the low and high voltage portions of the circuit is provided by the drive and sense electrodes.

1. Abstract

According to one embodiment, there is provided a high voltage drive circuit comprising drive and sense electrodes formed substantially in a single plane. The device effects signal transfer between drive and receive circuits through the drive and sense electrodes by capacitive means, and permits high voltage devices, such as IGBTs, to be driven thereby without the use of high voltage transistors, thereby eliminating the need to use expensive fabrication processes such as SOI when manufacturing high voltage gate drive circuits and ICs. The device may be formed in a small package using, by way of example, using CMOS or other conventional low-cost semiconductor fabrication and packaging processes.

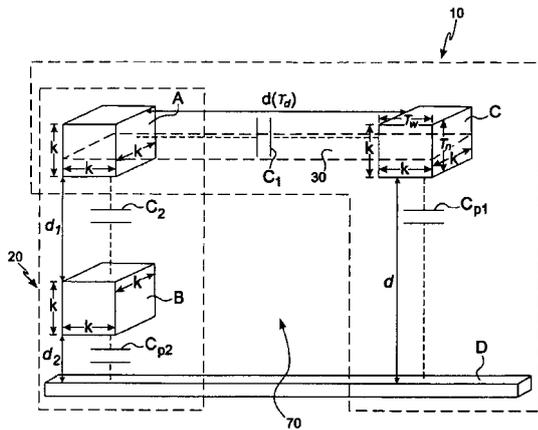


FIG. 1

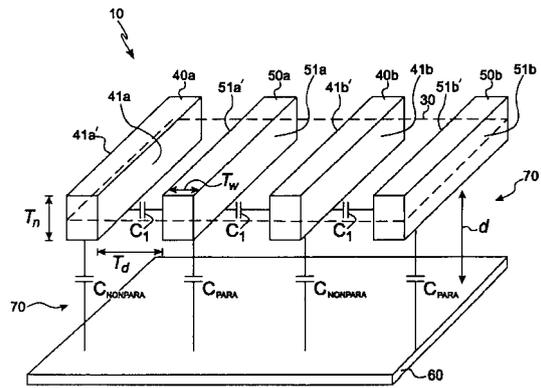


FIG. 2

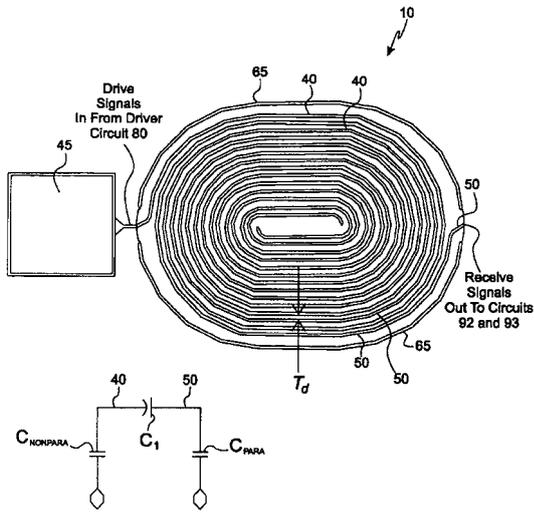


FIG. 3

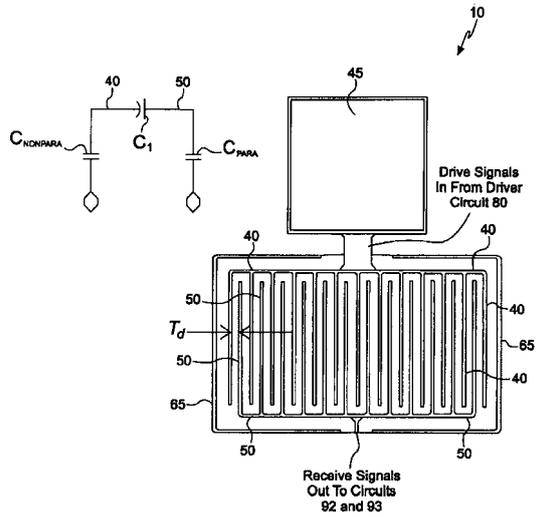


FIG. 4

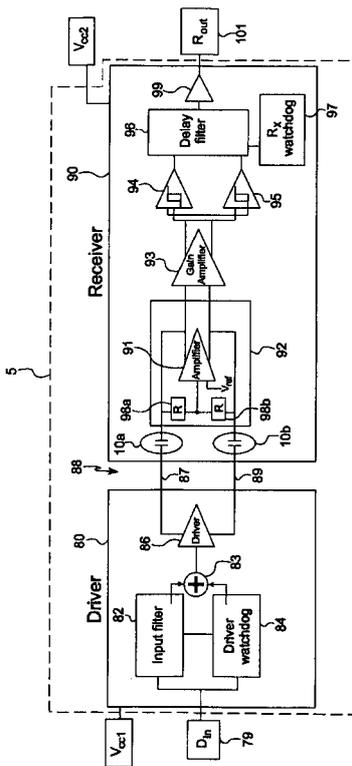


FIG. 5

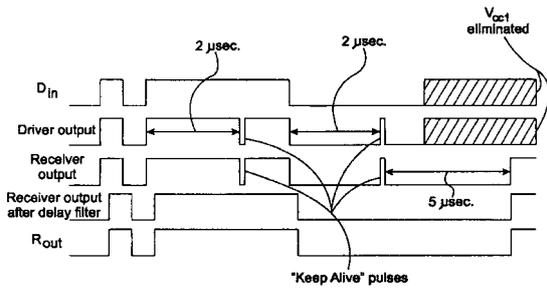


FIG. 6

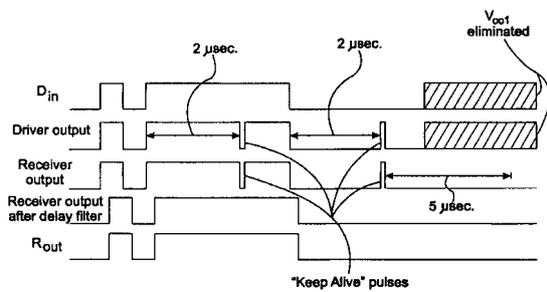
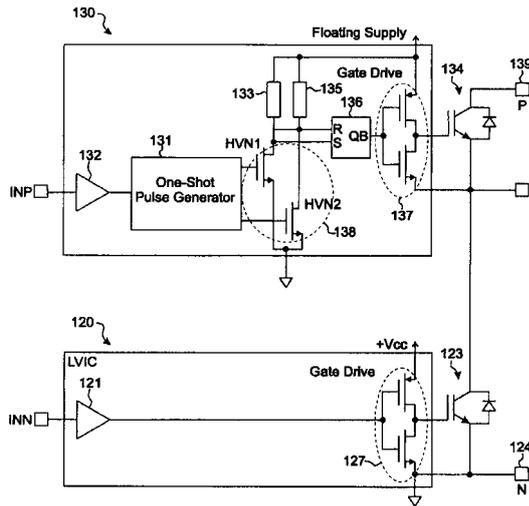
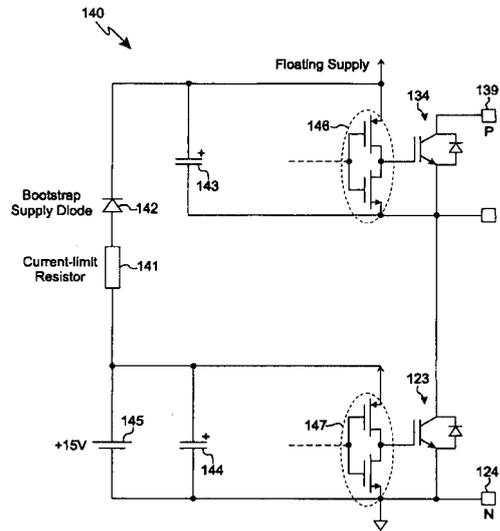


FIG. 7



Prior Art

FIG. 8



Prior Art

FIG. 9

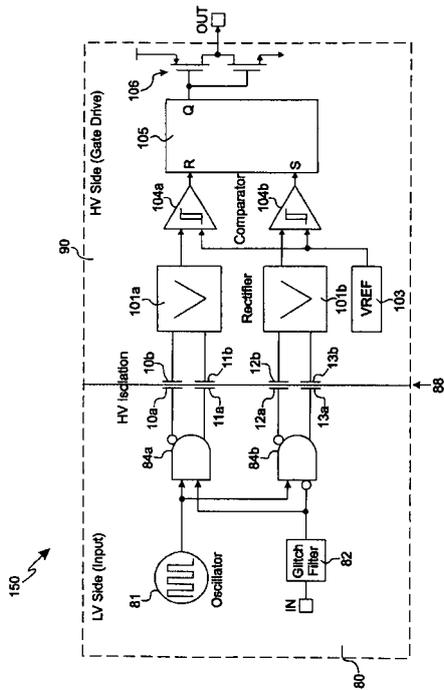


FIG. 10

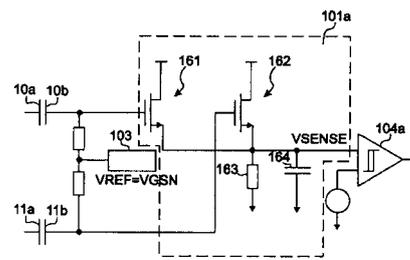


FIG. 11