

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-294675  
(P2006-294675A)

(43) 公開日 平成18年10月26日(2006.10.26)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 6 C	4 M 1 0 8
HO 1 L 21/76 (2006.01)	HO 1 L 27/12 F	5 F 0 3 2
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 S	5 F 1 1 0
HO 1 L 21/762 (2006.01)	HO 1 L 29/78 6 1 5	
HO 1 L 21/316 (2006.01)	HO 1 L 21/76 D	

審査請求 未請求 請求項の数 8 O L (全 18 頁) 最終頁に続く

(21) 出願番号	特願2005-109624 (P2005-109624)	(71) 出願人	000000295 沖電気工業株式会社
(22) 出願日	平成17年4月6日(2005.4.6)	(74) 代理人	100085419 弁理士 大垣 孝
		(72) 発明者	春日 正彦 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		Fターム(参考)	4M108 AA20 AB04 AB09 AB13 AB22 AB24 AB26 AC01 AC14 AC21 AC31 AC34 AC39 AD01 AD13 5F032 AA10 AA13 AA34 AA46 AA54 BA01 BB01 CA09 CA17 DA03 DA13 DA23 DA33 DA53 DA78

最終頁に続く

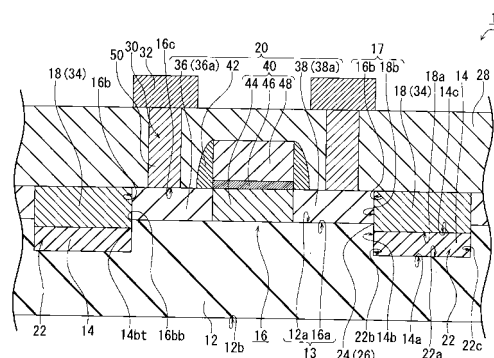
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 SOS基板において単結晶シリコン層にかかる圧縮応力を緩和すること。

【解決手段】 剛体である基板12と、基板の第1主面12aに形成された凹部22を充填して形成された応力緩和層14と、第1主面の一部を被覆して、基板に形成された素子形成層16とを備える。基板は、応力緩和層および素子形成層よりも熱膨張係数の大きな材料からなる。素子形成層の側面16bは、応力緩和層の上面14cと、この上面に形成された絶縁性応力伝達層18を介して電氣的に非導通の状態に接続されている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

絶縁性の基板と、  
該基板の主面から該基板の厚みの一部分にわたって、それぞれ対向して設けられている凹部と、

該凹部に充填して設けられていて、前記主面と平行な上面を有する応力緩和層と、  
一方の凹部の外縁から他方の凹部の外縁に至る前記主面の領域部分を被覆する素子形成層と、

前記応力緩和層の上面と、前記素子形成層の側面とに接合して設けられている絶縁性の応力伝達層と、

10

前記素子形成層を用いて構成されているトランジスタ等の素子とを備え、

前記基板は、前記応力緩和層および前記素子形成層よりも熱膨張係数の大きな材料で形成されており、および、

前記基板および前記応力伝達層は、前記応力緩和層および前記素子形成層よりも高い剛性を有していることを特徴とする半導体装置。

## 【請求項 2】

前記基板は、サファイア基板であり、前記応力緩和層および素子形成層は、シリコン層であり、前記応力伝達層は、 $SiO_2$ 層であることを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

20

前記応力緩和層の上面が、前記主面よりも低くなるように、前記凹部に前記応力緩和層が充填されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

## 【請求項 4】

前記応力緩和層の上面の高さと、前記主面の高さとが同一となるように、前記凹部に前記応力緩和層が充填されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

## 【請求項 5】

前記凹部の前記素子側の壁面における深さが最も深くなっていることを特徴とする請求項 2 ~ 4 のいずれか一項に記載の半導体装置。

## 【請求項 6】

前記素子形成層に、前記素子として n チャネル型 MOS 電界効果トランジスタが形成されており、

30

前記凹部は、前記 n チャネル型 MOS 電界効果トランジスタのゲート幅以上の長さを有し、前記 n チャネル型 MOS 電界効果トランジスタのゲート長方向に沿って、該 n チャネル型 MOS 電界効果トランジスタを挟んで一対設けられていることを特徴とする請求項 5 に記載の半導体装置。

## 【請求項 7】

前記  $SiO_2$  層は、フィールド酸化膜を兼ねていることを特徴とする請求項 2 に記載の半導体装置。

## 【請求項 8】

40

サファイア基板を準備する工程と、

該サファイア基板の一方の主面に、一対の凹部を形成する工程と、

一対の前記凹部に、前記主面と同一面位置の高さにまで、第 1 シリコン層からなる応力緩和前駆体をエピタキシャル成長させる工程と、

前記応力緩和前駆体の上面および前記一方の主面を連続して覆うように第 2 シリコン層をエピタキシャル成長させる工程と、

前記応力緩和前駆体上の前記第 2 シリコン層の領域部分と、該応力緩和前駆体の上面から、該応力緩和前駆体の厚みの一部分にわたる深さまでの領域部分とを、酸化膜に変えて応力伝達層とするとともに、

酸化されないで応力緩和前駆体として残存した領域部分を応力緩和層とし、かつ、酸化されないで、第 2 シリコン層として残存した領域部分を素子形成層とする工程と、

50

該素子形成層を利用して、トランジスタ等の素子を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、SOS (silicon on sapphire) 基板上に形成される半導体装置およびその製造方法に関する。

【背景技術】

【0002】

従来より、絶縁物上に単結晶シリコン層を積層したSOI (silicon on insulator) 基板を用い、この単結晶シリコン層にトランジスタ等の素子を形成した、いわゆるSOI集積回路が知られている(たとえば、特許文献1参照)。

【0003】

SOI集積回路は、単体のシリコン基板に作成される集積回路(以下、シリコン集積回路と称する)に比べて、(1)寄生容量が少なく高速性に優れている、(2)ソフトエラーに強い、(3)ラッチアップがない、および(4)ウエル工程を省略できるなどの点で優れている。

【0004】

SOI集積回路の一種として、いわゆるSOS集積回路が知られている。SOS集積回路は、絶縁物としてのサファイア基板上に単結晶シリコン層をエピタキシャル成長させたSOS基板に形成された集積回路であり、上述したSOI集積回路の有する利点のほかに、サファイア基板が厚いことから、基板を通じてのノイズが少ないなどの利点を有している(たとえば、特許文献2参照)。

【0005】

しかし、SOS集積回路は、その構造に由来する本質的な問題点を抱えている。第1の点は、常温においてサファイア単結晶の格子定数とシリコン単結晶の格子定数との間に約10%の格子不整合が存在することである。第2の点は、サファイア単結晶のほうがシリコン単結晶よりも熱膨張係数が約60%大きいことである。

【0006】

そのため、単結晶シリコン層のエピタキシャル成長時の温度(約1000)においては、シリコン単結晶とサファイア単結晶の結晶格子の原子間距離は、同程度であるが、エピタキシャル成長後の冷却にともなって、サファイア単結晶は、シリコン単結晶よりも大きな度合いで収縮する。その結果、単結晶シリコン層に大きな圧縮応力が発生してしまう。

【0007】

この圧縮応力により、単結晶シリコン層中での応力方向における電子移動度が、30~40%の割合で低下してしまう。このため、単結晶シリコン層に、電子をキャリアとするnチャネル型MOS電界効果トランジスタが形成されている場合、ソース-ドレイン間電流(飽和ドレイン電流)が低下してしまう。

【0008】

SOS基板において、単結晶シリコン層にかかる圧縮応力の問題を解決するために応用できるいくつかの技術が開示されている。

【0009】

第1の従来技術は、サファイア基板上に単結晶GaN層を成長させる技術に関するものである。シリコン単結晶の場合と同様に、GaN単結晶も、サファイア単結晶よりも熱膨張係数が小さく、また、常温において両者の格子定数に13%程度の違いがある。そのため、サファイア基板上に成膜された単結晶GaN層には、常温において強い圧縮応力が発生する。第1の従来技術は、サファイア基板の裏面(単結晶GaN層が成膜されていない側の面)に、GaN等からなる層を応力相殺層として成膜するものである(たとえば、特許文献3参照)。

## 【0010】

第2の従来技術は、シリコン集積回路に関するものであり、 $n$ -MOSFETのチャネル領域にかかる基板面に平行な方向における圧縮応力を緩和するために、 $n$ -MOSFET全体を、引張応力を有するSiN膜で被覆する(たとえば、特許文献4参照)。

【特許文献1】特開平5-326692号公報

【特許文献2】特表平8-512432号公報

【特許文献3】特開2003-113000号公報(図1)

【特許文献4】特開2003-60076号公報(図1)

【発明の開示】

【発明が解決しようとする課題】

10

## 【0011】

この発明は、このような背景の下になされたものである。したがって、この発明の目的は、第1および第2の従来技術とは全く異なる原理に基づいて、上述した、SOS基板において単結晶シリコン層にかかる圧縮応力を緩和することができる半導体装置、およびこの半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

## 【0012】

上述した課題を解決するために、この発明の半導体装置は、基板と、凹部と、応力緩和層と、素子形成層と、応力伝達層と、素子とを備えている。

## 【0013】

20

基板は絶縁性である。凹部は、基板の主面から基板の厚みの一部分にわたって、それぞれ対向して設けられている。応力緩和層は、凹部に充填して設けられていて、主面と平行な上面を有している。素子形成層は、一方の凹部の外縁から他方の凹部の外縁に至る主面の領域部分を被覆している。応力伝達層は、絶縁性であり、応力緩和層の上面と、素子形成層の側面とに接合して設けられている。素子は、トランジスタ等であり、素子形成層を用いて構成されている。そして、基板は、応力緩和層および素子形成層よりも熱膨張係数の大きな材料で形成されている。さらに、基板および応力伝達層は、応力緩和層および素子形成層よりも高い剛性を有している。

## 【0014】

この発明の半導体装置において、素子形成層は、基板よりも熱膨張係数が小さくかつ剛性が低い材料からなるので、基板から、基板の主面に対して平行な方向(以下、平行方向と称する)の圧縮応力を受ける。

30

## 【0015】

応力緩和層は、基板よりも熱膨張係数が小さくかつ剛性が低い材料からなるとともに、その上面以外の表面が、凹部の側面と接合しているため、基板から、主面に対して垂直な方向(以下、垂直方向と称する)に圧縮応力を受ける。

## 【0016】

したがって、応力緩和層の凹部から露出した上面と、素子形成層の側面とを、応力伝達層を介在させて接続することにより、素子形成層の側面に垂直方向の応力を作用させることができる。

40

## 【0017】

応力伝達層と素子形成層との界面(以下、伝達層側界面と称する)において、応力伝達層を構成する原子と結合している素子形成層を構成する原子(以下、伝達層側界面近傍原子と称する)に着目すると、応力緩和層が受ける垂直方向の応力は、応力伝達層を介して、素子形成層の側面へと伝えられる。この垂直方向の応力の作用により、伝達層側界面近傍原子は垂直方向に変位する。この変位に伴い、素子形成層の内側に存在し、伝達層側界面近傍原子と結合している原子(以下、内部原子と称する)と、伝達層側界面近傍原子との間の原子間距離が長くなる。つまり、素子形成層において、伝達層側界面近傍原子と内部原子との間の原子間距離が長くなる。

## 【0018】

50

これにより、伝達層側界面近傍原子と内部原子との原子間距離が、水平方向圧縮応力が作用していない状態に近づくこととなり、素子形成層が受けている圧縮応力が緩和される。

#### 【0019】

また、この発明の、半導体装置の製造方法は、サファイア基板を準備する工程と、サファイア基板の一方の主面に、一对の凹部を形成する工程と、一对の凹部に、主面と同一面位置の高さにまで、第1シリコン層からなる応力緩和前駆体をエピタキシャル成長させる工程と、応力緩和前駆体の上面および一方の主面を連続して覆うように第2シリコン層をエピタキシャル成長させる工程と、応力緩和前駆体上の第2シリコン層の領域部分と、応力緩和前駆体の上面から、応力緩和前駆体の厚みの一部分にわたる深さまでの領域部分とを、酸化膜に変えて応力伝達層とするとともに、酸化されないで応力緩和前駆体として残存した領域部分を応力緩和層とし、かつ、酸化されないで、第2シリコン層として残存した領域部分を素子形成層とする工程と、素子形成層を利用して、トランジスタ等の素子を形成する工程とを含む。

10

#### 【0020】

この発明の半導体装置の製造方法によれば、サファイア基板に一对の凹部を形成し、この凹部内に、応力緩和層を形成する。そして、応力緩和層の上面と素子形成層の側面とを接続するように応力伝達層を形成する。このように、応力伝達層を形成することにより、素子形成層に作用する水平方向の圧縮応力を緩和することができる。これにより、素子形成層に形成されたnチャンネル型MOS電界効果トランジスタにおいて、キャリアである電子の移動度の低下を抑制することができる。

20

#### 【発明の効果】

#### 【0021】

このように、この発明の半導体装置および半導体装置の製造方法によれば、nチャンネル型MOS電界効果トランジスタが形成された素子形成層に、垂直方向の応力を作用させるという、第1および第2の従来技術とは全く異なる原理に基づいて、上述した、SOS基板において単結晶シリコン層にかかる水平方向の圧縮応力を緩和することができる。よって、nチャンネル型MOS電界効果トランジスタにおいて、キャリアである電子の移動度の低下を抑制することができる。

30

#### 【発明を実施するための最良の形態】

#### 【0022】

以下、図を参照して、この発明の実施の形態につき説明する。尚、各図は、各構成要素の形状、大きさ及び配置関係については、この発明が理解できる程度に概略的に示したものに過ぎない。また、以下、この発明の好適な構成例について説明するが、各構成要素の材質及び数値的条件などは、単なる好適例に過ぎない。従って、この発明は、以下の実施の形態に何ら限定されない。

#### 【0023】

図1は、この実施の形態の半導体装置の構成例の説明に供する断面図である。図2および図3は、この実施の形態の半導体装置において、応力緩和のメカニズムの説明に供する模式図である。図4～図6は、この実施の形態の半導体装置の製造工程を説明するための工程断面図である。図7および図8は、この実施の形態の半導体装置の変形例を説明するための要部拡大断面図である。

40

#### 【0024】

図1を参照して、この実施の形態の半導体装置の構造の一好適例につき説明する。

#### 【0025】

半導体装置10は、基板12、応力緩和層14、素子形成層16、および応力伝達層18を備えている。さらに、半導体装置10は、一方の導電型たとえばn型のMOSFET20(以下、n-MOSFET20と称する)、中間絶縁膜28、コンタクトホール30、および配線32を備えている。なお、以下の説明では、n-MOSFET20は、応力伝達層18を挟んで両側に形成されているが、1つのn-MOSFET20に着目して説

50

明する。

【0026】

基板12は、互いに平行な第1主面12aおよび第2主面12bを備えた平板である。第1主面12aには、後述のn-MOSFET20を挟んで、ゲート長方向の両側に一对の凹部22, 22が形成されている。ここで、ゲート長方向とは、n-MOSFET20において、チャンネル部44を移動する電荷の移動方向に沿った方向である。この凹部22は、基板12の主面と平行な底面22aと、底面22aに垂直でかつ互いに直交する4つの側壁を有している。図1中、特に、n-MOSFET20側の側面を22bと、および側面22bに対向する側面を22cでそれぞれ示す。凹部22は、n-MOSFET20のゲート長方向に沿った断面切り口が直角四辺形であり、また、ゲート幅方向(第1主面12a内において、ゲート長方向に対して垂直な方向)には、ゲート幅以上の幅を有している。

10

【0027】

基板12は、素子形成層16および応力緩和層14に対して実質的に剛体とみなせる、つまり実質的に変形しないとみなせる材料で形成されたものとする。基板12は、熱膨張係数が素子形成層16および応力緩和層14よりも大きい(熱膨張係数:素子形成層16および応力緩和層14<基板12)、絶縁性の単結晶基板とする。なお、ここで、熱膨張係数とは、体積の変化の割合を示す体膨張係数のことを意味する。この実施の形態では、基板12は、好ましくは、たとえば、厚みが約600 $\mu\text{m}$ のサファイア基板(熱膨張係数:約 $5.0 \times 10^{-6} / ^\circ\text{C}$ )を用いるが、なんら、これに限定されず、設計に応じて任意好適な材料を用いることができる。

20

【0028】

また、凹部22は、好ましくは、たとえば、深さが約100nm、ゲート長方向に沿った長さが約1 $\mu\text{m}$ 、およびゲート幅方向に沿った長さが、10 $\mu\text{m}$ とするが、なんら、これに限定されず、設計に応じて任意好適な寸法とすることができる。

【0029】

素子形成層16は、第1主面12aの、凹部22, 22を除外した領域を被覆して設けられている。このため、当然ながら、素子形成層16は、後述のn-MOSFET20が形成される第1主面12aの領域を被覆している。素子形成層16の凹部22側の側面16bは、凹部22の側壁と連続して当該側壁の延長線上にある。換言すれば、素子形成層16の側面16bと、凹部22の側面22bとは、同一平面上に形成されていて、段差なく接続されている。したがって、素子形成層16は、凹部22に対応する箇所に開口部を有するパターンで形成されている。

30

【0030】

なお、凹部22の側面22bと第1主面12aとが交わる稜のことを、凹部22の外縁26と称する。

【0031】

素子形成層16は、基板12の第1主面12aにエピタキシャル成長された他方の導電型、たとえば、p型の半導体単結晶からなる。ここで、基板12の第1主面12aと素子形成層16の下面16aとの接合面を基板側界面13と称する。この実施の形態では、素子形成層16は、好ましくは、たとえば、基板12の熱膨張係数未満の熱膨張係数を有するp型単結晶シリコン(熱膨張係数:約 $2.5 \times 10^{-6} / ^\circ\text{C}$ )とする。素子形成層16は、基板12の熱膨張係数未満の熱膨張係数を有する半導体単結晶であれば、p型、n型を問わず、また、単結晶シリコンに限らず、設計に応じた任意好適な導電型の材料を用いることができる。また、素子形成層16の厚みは、好ましくは、たとえば、約100nmとするが、なんら、これに限定されず、設計に応じた任意好適な厚みとすることができる。

40

【0032】

この素子形成層16は、高温(1000程度)の温度で基板12の第1主面12a上にエピタキシャル成長される。上述のように、基板12は、素子形成層16に比べて熱膨張係数が大きいので、素子形成層16の成膜終了後の冷却過程で、素子形成層16よりも

50

基板 1 2 の方が、より大きな度合いで体積収縮する。基板 1 2 と素子形成層 1 6 とが、常温まで冷却されると、素子形成層 1 6 には、基板 1 2 との接合面、すなわち基板側界面 1 3 を介して、第 1 主面 1 2 a に対して平行な方向（以下、平行方向と称する）の圧縮応力が作用する。

【 0 0 3 3 】

なお、上述の常温とは、第 1 主面 1 2 a に成膜後の素子形成層 1 6 に平行方向の圧縮応力が作用する温度範囲のことを示し、たとえば、室温（0 ~ 25 ）はもとより、n - M O S F E T 2 0 の動作に伴う発熱温度（約 1 0 0 ）に相当する温度以下の温度を含む。

【 0 0 3 4 】

応力緩和層 1 4 , 1 4 は、凹部 2 2 , 2 2 の深さの一部分にわたって、凹部 2 2 , 2 2 を隙間なく充填するように形成されている。基板 1 2 の第 1 主面 1 2 a と直交する方向における、応力緩和層 1 4 の表面の高さは、凹部 2 2 の底面 2 2 a から第 1 主面 1 2 a までの距離、すなわち深さよりも約 1 0 n m 低く形成されている。つまり、応力緩和層 1 4 の上面 1 4 c は、第 1 主面 1 2 a よりも僅かに凹んでいる。応力緩和層 1 4 の下面 1 4 a は、凹部 2 2 の底面 2 2 a と接合している。また、応力緩和層 1 4 の n - M O S F E T 2 0 側の側面 1 4 b は、対応する凹部 2 2 の側面 2 2 b と接合している。また、応力緩和層 1 4 の上面 1 4 c は、基板 1 2 の第 1 主面 1 2 a 側で、凹部 2 2 に露出している。

10

【 0 0 3 5 】

この実施の形態では、応力緩和層 1 4 は、好ましくは、たとえば、基板 1 2 の熱膨張係数未満の熱膨張係数を有する単結晶シリコンとする。応力緩和層 1 4 は、基板 1 2 の熱膨張係数未満の熱膨張係数を有する単結晶であれば、単結晶シリコンに限らず、設計に応じた任意好適な材料を用いることができる。

20

【 0 0 3 6 】

この応力緩和層 1 4 は、高温（1 0 0 0 程度）の温度で凹部 2 2 内にエピタキシャル成長される。上述のように、基板 1 2 は、応力緩和層 1 4 に比べて熱膨張係数が大きいので、応力緩和層 1 4 の成膜終了後の冷却過程で、応力緩和層 1 4 よりも基板 1 2 の方が、より大きな度合いで体積収縮する。よって、常温まで冷却されると、応力緩和層 1 4 には、側面 2 2 b , 2 2 c を介して第 1 主面 1 2 a に対して垂直な方向（以下、垂直方向と称する）の圧縮応力、および底面 2 2 a を介して第 1 主面 1 2 a に対して平行方向の圧縮応力が作用する。

30

【 0 0 3 7 】

既に説明したとおり、応力緩和層 1 4 の上面 1 4 c は、基板 1 2 の第 1 主面 1 2 a よりも低い位置にある。よって、そのままでは、応力緩和層 1 4 の上面 1 4 c と凹部 2 2 の両側面 2 2 b , 2 2 c とで囲まれた領域に空隙が生じてしまう。そこで、この空隙と、素子形成層 1 6 に形成されている開口部とを埋め込んで、表面が素子形成層 1 6 の上面 1 6 c と同一面位置となる応力伝達層 1 8 を設けている。

【 0 0 3 8 】

応力伝達層 1 8 の下面 1 8 a は、応力緩和層 1 4 の上面 1 4 c と接合している。また、応力伝達層 1 8 の一方の側面、すなわち n - M O S F E T 2 0 側の側面 1 8 b は、凹部 2 2 の側面 2 2 b と、素子形成層 1 6 の側面 1 6 b とに接合している。ここで、側面 1 6 b と側面 1 8 b との接合面を伝達層側界面 1 7 と称する。

40

【 0 0 3 9 】

応力伝達層 1 8 は、素子形成層 1 6 および応力緩和層 1 4 から見ると、実質的に剛体とみなせる。つまり、応力伝達層 1 8 は、変形しないとみなせる絶縁体から形成されている。この実施の形態では、応力伝達層 1 8 を構成する材料として、好ましくは、たとえば、S i O<sub>2</sub>を用いるが、実質的に剛体とみなせる絶縁体であれば、なんら、これに限定されず、設計に応じた任意好適な材料を用いることができる。また、応力伝達層 1 8 の厚みは、凹部 2 2 の上端部を充填している分だけ、素子形成層 1 6 よりも厚く、好ましくは、たとえば、1 1 0 n m とする。

【 0 0 4 0 】

50

この応力伝達層 18 は、素子形成層 16 の側面 16 b と、応力緩和層 14 の上面 14 c との間を剛体的に接続している。つまり、応力伝達層 18 は、応力緩和層 14 の上面 14 c から素子形成層 16 の側面 16 b へと応力を伝達することができるように、両者 14 および 16 を接続している。また、応力伝達層 18 は、好ましくは、後述する n - M O S F E T 20 と、この n - M O S F E T 20 に隣接する他の素子とを電氣的に分離するフィールド酸化膜 34 を兼ねているのがよい。

【0041】

よって、応力伝達層 18 を介して応力緩和層 14 の上面 14 c と素子形成層 16 の側面 16 b とを接続することにより、基板 12 から応力緩和層 14 に作用する垂直方向の圧縮応力を素子形成層 16 に作用させることができる。

10

【0042】

n - M O S F E T 20 は、一对の凹部 22, 22 で挟まれた素子形成層 16 に形成されている。n - M O S F E T 20 の第 1 主電極領域としてのソース領域 36、チャンネル部 44、および第 2 主電極領域としてのドレイン領域 38 は、素子形成層 16 の部分領域にそれぞれ形成されている。従来と同様に、ゲート酸化膜 46 は、チャンネル部 44 上に形成されており、ゲート電極 48 は、ゲート酸化膜 46 上に形成されており、さらに、サイドウォール 42 は、ゲート酸化膜 46 およびゲート電極 48 の側壁に、素子形成層 16 と接して設けられている。なお、チャンネル部 44、ゲート酸化膜 46 およびゲート電極 48 を含む領域をゲート領域 40 と称する。

【0043】

20

n - M O S F E T 20 においては、一方の凹部 22 (図面左側) から他方の凹部 22 (図面右側) にかけて、ソース領域 36、ゲート領域 40、およびドレイン領域 38 がこの順序で直列に配置されている。つまり、n - M O S F E T 20 は、そのゲート長方向が、2つの応力伝達層 18 と 18 とを最短で結ぶ直線に平行な方向に沿うように形成されている。

【0044】

ソース領域 36 およびドレイン領域 38 は、それぞれ対応する素子形成層 16 の領域部分に、公知の方法で n 型不純物を導入することにより、導電型が n 型に変更された n 型不純物層 36 a, 38 a として形成されている。ここで、n 型不純物としては、好ましくは、たとえば、P (リン) を用いるが、なんらこれに限定されるものではなく、設計に応じた任意好適な不純物を用いることができる。

30

【0045】

ゲート領域 40 は、ソース領域 36 とドレイン領域 38 との間の領域である。チャンネル部 44 は、2つの n 型不純物層 36 a と 38 a とに挟まれた素子形成層 16 の領域である。この領域には n 型不純物が導入されていないので、チャンネル部 44 の導電型は、元来の素子形成層 16 の導電型である p 型である。

【0046】

ここで、ゲート酸化膜 46 は、好ましくは、たとえば、ウエット O<sub>2</sub> 酸化法により形成された、厚み約 10 nm の S i O<sub>2</sub> 膜とするのがよい。また、ゲート電極 48 は、好ましくは、たとえば C V D 法により形成された、厚み約 400 nm のポリシリコン膜とするのがよい。サイドウォール 42 は、好ましくは、たとえば、熱酸化法により形成された S i O<sub>2</sub> 膜とするのがよい。

40

【0047】

n - M O S F E T 20 は、フィールド酸化膜 34 として残存する応力伝達層 18 により、隣接する他の素子との間で電氣的絶縁が確保されている。より詳細には、ソース領域 36 を構成している素子形成層 16 の領域部分の側面 16 b、およびドレイン領域 38 に対応する素子形成層 16 の領域部分の側面 16 b は、それぞれ対応するフィールド酸化膜 34 (応力伝達層 18) の側面 18 b, 18 b に接続されている。これにより、隣接する他の素子との間に、フィールド酸化膜 34 が介在することとなり、他の素子との間の電氣的絶縁が達成される。

50



## 【0048】

また、応力緩和層14は、単結晶シリコンからなるので、 $n$ -MOSFET20と隣接する他の素子との間で、応力緩和層14を介して電流リークが発生する虞がある。応力緩和層14の高さを凹部22の深さより、たとえば約10nm低くして段差を形成したのは、この虞を除くためである。これにより、応力緩和層14の側面14bの上端部14btと、素子形成層16（ソース領域36およびドレイン領域38）の側面16bの下端部16bbとの間に、絶縁性の基板12およびフィールド酸化膜34を介在させ、応力緩和層14と素子形成層16との間の電氣的絶縁性を確保している。

## 【0049】

$n$ -MOSFET20およびフィールド酸化膜34（応力伝達層18）からなる構造体上には、中間絶縁膜28が積層されている。つまり、基板12の上側全面に渡って、 $n$ -MOSFET20を覆うように、中間絶縁膜28が成膜されている。この中間絶縁膜28を、好ましくは、たとえば、厚みが約1.5 $\mu$ mの、BPSG（boron-phosphosilicate glass）膜とする。そして、中間絶縁膜28の、ソース領域36およびドレイン領域38の上側に対応する箇所には、素子形成層16の上面16cを露出させる深さのコンタクトホール30が設けられている。コンタクトホール30は、埋込電極50により埋め込まれている。この埋込電極50によって、ソース領域36およびドレイン領域38との電氣的導通が確保されている。この埋込電極50の上端部に電氣的に接続して配線32が形成されている。ここで、埋込電極50は、好ましくは、たとえば、CVD法により形成されたAl層とするのがよい。また、配線32は、好ましくは、たとえば、CVD法により形成されたAl層とするのがよい。

## 【0050】

このように、半導体装置10は、サファイア基板（基板12）上に単結晶シリコンからなる層（素子形成層16）が形成されたいわゆるSOS基板を用いて、形成されている。

## 【0051】

つぎに、半導体装置10の応力緩和のメカニズムにつき図2および図3を参照して説明する。

## 【0052】

図2(A)に、素子形成層16を構成する原子の結合状態を示す模式図である。なお、図2(A)は、素子形成層16に、応力が作用していない状態、つまり、基板12と素子形成層16とが接合されていない状態を模式的に示す。図2(B)は、素子形成層16に平行方向の圧縮応力が作用している状態、つまり、基板12と素子形成層16とがエピタキシャルに接合された状態を模式的に示す図である。図3は、素子形成層16に平行方向の圧縮応力とともに、垂直方向の応力が作用している状態、つまり、素子形成層16が基板12とエピタキシャルに接合されており、かつ、素子形成層16が、応力緩和層14と応力伝達層18を介して接続された状態を模式的に示す図である。なお、図2および図3はいずれも常温における状態を示すものとする。

## 【0053】

図2(A)に示すように、素子形成層16を構成する原子a同士は、距離 $LA_0$ の原子間距離を保って規則的に配列している。この場合、素子形成層16には、いかなる方向からも応力が作用していないので、図2(A)に示した原子を含む平面内での左右方向（水平方向）およびこの平面に垂直な方向において、原子間距離 $LA_0$ に差は見られない。ここで、応力が作用していない状態、すなわち平常状態における原子a同士の原子間距離 $LA_0$ を、平常状態原子間距離 $LA_0$ と称する。

## 【0054】

図2(B)に示すように、素子形成層16が基板12と接合されると、基板側界面13を介して素子形成層16に、この界面13に対して平行な方向（水平方向）の圧縮応力が導入される（図2(B)中、白抜き矢印Aで示す）。すなわち、上述のように、基板12の熱膨張係数は、素子形成層16の熱膨張係数よりも大きいため、基板12は、常温において、素子形成層16より収縮した状態にある。よって、基板側界面13を介して、基板

原子と結合する原子 a t に着目すると、この原子 a t は、基板原子に引っ張られるようにして、第 1 主面 1 2 a に平行な方向に変位する。

【 0 0 5 5 】

その結果、基板原子と結合した原子 a t は、図 2 ( B ) 中に仮想線で示した平常状態の位置 E から、位置  $S_1$  へと平行方向に変位する ( 図 2 ( B ) 中、矢印 B で示す ) 。 よって、基板原子と結合した原子 a t 同士の、第 1 主面 1 2 a に平行な方向の原子間距離は、平常状態原子間距離  $L A_0$  よりも短い  $L A_1$  となる (  $L A_0 > L A_1$  ) 。 これが、素子形成層 1 6 に平行方向の圧縮応力が働く原因である。一方、垂直方向においては、応力が作用していないので、原子 a t の変位は生じない。

【 0 0 5 6 】

図 3 に示すように、素子形成層 1 6 は、基板 1 2 および応力伝達層 1 8 の双方と接合されている。これにより、図 2 ( B ) を参照して説明したように、素子形成層 1 6 は、平行方向圧縮応力 ( 図 3 中、白抜き矢印 A で示す ) を受け、基板側界面 1 3 付近の原子 a t の原子間距離が  $L A_1$  へと変化する。さらに、応力伝達層 1 8 の側面 1 8 b が素子形成層 1 6 の側面 1 6 b に接合されることにより、伝達層側界面 1 7 付近の原子 ( 以下、伝達層側界面近傍原子とも称する ) a t が、側面 1 6 b の全面に渡って垂直方向に変位する。

【 0 0 5 7 】

より詳細には、上述したように、応力緩和層 1 4 には垂直方向の圧縮応力が作用している。また、実質的に剛体とみなせる応力伝達層 1 8 が、応力緩和層 1 4 の上面 1 4 c と素子形成層 1 6 の側面 1 6 b とを接続している。これらの事実から、応力緩和層 1 4 に作用する垂直方向の圧縮応力は、応力伝達層 1 8 を介して素子形成層 1 6 の側面 1 6 b に、第 1 主面 1 2 a 方向を向いた応力として作用することになる。つまり、応力緩和層 1 4 に作用する垂直方向の圧縮応力が、応力伝達層 1 8 を介して、素子形成層 1 6 の側面 1 6 b へと作用する ( 図 3 中、矢印 C で示す ) 。 よって、伝達層側界面 1 7 付近に存在する原子 a t は、垂直方向に、第 1 主面 1 2 a に向かって変位する。

【 0 0 5 8 】

ここで、基板側界面 1 3 および伝達層側界面 1 7 付近に存在する原子 a t<sub>1</sub>、つまり、素子形成層 1 6 の下端部 ( 隅部 ) 1 6 b b 付近に存在する原子 a t<sub>1</sub> に注目する。原子 a t<sub>1</sub> は、図 3 中仮想線で示した、平行方向圧縮応力のみが作用する場合の位置  $S_1$  から、垂直方向に位置  $S_2$  まで変位する。このとき、この原子 a t<sub>1</sub> と平行方向に隣接する原子 a t<sub>2</sub> との間の原子間距離  $L A_2$  を考えると、 $L A_2$  は、 $L A_1$  よりも増加する (  $L A_2 > L A_1$  ) 。 つまり、垂直方向応力を作用させることにより、素子形成層 1 6 を構成する原子 a t<sub>1</sub> と a t<sub>2</sub> との原子間距離  $L A_2$  が、平常状態原子間距離  $L A_0$  へと近づくことになる。原子間距離が  $L A_0$  に近づくとは、平行方向の圧縮応力が作用していない状態に近づくこと、つまり、素子形成層 1 6 において平行方向の圧縮応力が緩和されたことを意味する。

【 0 0 5 9 】

このようにして、応力伝達層 1 8 を介して応力緩和層 1 4 に作用する圧縮応力を、素子形成層 1 6 の側面 1 6 b に作用させることにより、素子形成層 1 6 に作用する水平方向の圧縮応力を緩和することができる。

【 0 0 6 0 】

なお、応力緩和層 1 4 には、素子形成層 1 6 と同様に、平行方向の圧縮応力も作用する。しかしながら、この平行方向の圧縮応力は、いわば内力であるため、素子形成層 1 6 の平行方向の圧縮応力を緩和するためには役立たない。よって、上述の説明では、この応力緩和層 1 4 に作用する平行方向の圧縮応力を無視している。

【 0 0 6 1 】

つぎに、半導体装置 1 0 の製造方法につき、図 1 および図 4 ~ 図 6 を参照して説明する。

【 0 0 6 2 】

( 1 ) まず、図 4 ( A ) に示すように、まず、サファイア基板 1 2 を準備する。そして、このサファイア基板 1 2 の第 1 主面 1 2 a に、一对の凹部 2 2 , 2 2 の形成予定領域 5

10

20

30

40

50

1, 51 以外をフォトリソグ等のエッチング保護膜 52 で被覆する。

【0063】

(2) つぎに、図 4 (B) に示すように、サファイア基板 12 を、その第 1 主面 12 a 側から、スパッタリング等により物理的にエッチングして、第 1 主面 12 a からの深さが、約 100 nm の一対の凹部 22, 22 を形成する。その後、エッチング保護膜 52 を公知の方法で除去する。

【0064】

(3) つぎに、図 4 (C) に示すように、凹部 22 を含む第 1 主面 12 a の全面に第 1 シリコン層 54 をエピタキシャル成長させる。具体的には、好ましくは、温度を約 1000 に保った反応容器中に凹部 22, 22 が形成された基板を載置し、原料ガスとして  $\text{SiH}_4$  を供給しながら CVD 法 (熱分解法) により第 1 シリコン層 54 をエピタキシャル成長させる。この第 1 シリコン層 54 は、少なくとも凹部 22 の内部が、全て、第 1 シリコン層 54 で満たされるだけの厚みに渡って成長される。換言すれば、第 1 シリコン層 54 を、少なくとも開口面 22 s まで凹部 22 を埋め込むような厚みで成長させる。

【0065】

(4) つぎに、図 4 (D) に示すように、第 1 シリコン層 54 が形成された基板 12 に対し、CMP (化学的機械的研磨: chemical mechanical polishing) をサファイア基板 12 の第 1 主面 12 a が再び露出するまで行う。より詳細には、シリカ系スラリを適宜供給しつつ、第 1 主面 12 a をポリッシングパッドに押圧しながら、基板 12 を自公転させることで、凹部 22, 22 以外の領域において、第 1 シリコン層 54 を除去する。これにより、凹部 22 内の第 1 シリコン層 54 は、応力緩和前駆体 58 として残存する。CMP により、応力緩和前駆体 58 の上面 58 c (開口面 22 s からの露出面) と、第 1 主面 12 a とは同一面に位置することとなる。すなわち、上面 58 c と第 1 主面 12 a とは、段差なく接続している平坦化面となる。

【0066】

(5) つぎに、図 5 (A) に示すように、サファイア基板 12 の第 1 主面 12 a および応力緩和前駆体 58 の上面 58 c を連続して覆うように、第 2 シリコン層 56 をエピタキシャル成長させる。この具体的な手順は、工程 (3) と同様である。この第 2 シリコン層 56 は、その上面が平坦面であって、後の工程で素子形成層 16 となるので、ここでは、その導電性を p 型とする。そのため、原料ガスである  $\text{SiH}_4$  に、ドーパントガスとして所定濃度の  $\text{B}_2\text{H}_6$  を混合してある。第 2 シリコン層 56 を、膜厚が、たとえば、約 100 nm となるまで成長させる。

【0067】

(6) つぎに、図 5 (B) に示すように、フィールド酸化膜 34 (応力伝達層 18) を形成することで、素子分離を行う。この目的のため、まず、第 2 シリコン層 56 の全面に、フィールド酸化のための下地膜として約 35 nm 程度の薄い  $\text{SiO}_2$  膜 60 を形成する。その後、一対の応力緩和前駆体 58, 58 に挟まれた領域上に、酸化防止膜としての、好ましくは、約 100 nm の  $\text{Si}_3\text{N}_4$  膜 62 を低圧熱 CVD 法により成膜する。より具体的には、好ましくは、圧力が約 13.3322 Pa (0.1 torr)、温度が約 800 の雰囲気、 $\text{SiH}_2\text{Cl}_2$  と  $\text{NH}_3$  とを反応させることで、 $\text{Si}_3\text{N}_4$  膜 62 を成膜する。

【0068】

しかる後、この  $\text{Si}_3\text{N}_4$  膜 62 をマスクとして、第 2 シリコン層 56 の熱酸化を行い、フィールド酸化膜 34 (応力伝達層 18) を形成する。より具体的には、好ましくは、温度が約 1000 の水蒸気雰囲気下で酸化を行う。なお、この際、第 2 シリコン層 56 の全厚みに渡る酸化が終了した後も所定時間、酸化を続けることにより、応力緩和前駆体 58 の上面 58 c よりも深い深さ、つまり、上面 58 c から、好ましくは、約 10 nm の厚みに渡って応力緩和前駆体 58 を酸化する。この酸化処理により、底面 (下面 18 a) 側の領域部分が、凹部 22 の上側に嵌り込むような形態のフィールド酸化膜 34 (応力伝達層 18)、応力緩和前駆体 58 の非酸化領域部分として残存している応力緩和層 14、お

10

20

30

40

50

よび、フィールド酸化膜 3 4 ( 応力伝達層 1 8 ) で区画された第 2 シリコン層 5 6 の領域である素子形成層 1 6 が形成される。

【 0 0 6 9 】

また、これにより、応力緩和層 1 4 の上面 1 4 c と素子形成層 1 6 の側面 1 6 b とが、フィールド酸化膜 3 4 ( 応力伝達層 1 8 ) を介在させて接続され、素子形成層 1 6 に作用する平行方向圧縮応力が緩和される。

【 0 0 7 0 】

なお、この酸化処理によって、フィールド酸化膜 3 4 ( 応力伝達層 1 8 ) の側面 1 8 b が、応力緩和層 1 4 の側面 1 4 b に対して歪んで形成されることで、側面 1 4 b と側面 1 8 b との平坦性が、若干低下することがあるが、実質的には、側面 1 4 b と側面 1 8 b とは連続した垂直な壁面とみなせる。

10

【 0 0 7 1 】

( 7 ) つぎに、図 5 ( C ) に示すように、 $Si_3N_4$  膜 6 2 および  $SiO_2$  膜 6 0 を除去し、素子形成層 1 6 の所定位置に、好ましくは、厚みが約 1 0 nm およびゲート長方向に沿った長さが約 0 . 2 5  $\mu m$  のゲート酸化膜 4 6 をウエット  $O_2$  酸化法で形成する。このゲート酸化膜 4 6 上に、好ましくは、厚みが約 2 0 0 nm のポリシリコン膜を C V D 法を用いて、ゲート電極 4 8 として成膜する。

【 0 0 7 2 】

( 8 ) つぎに、図 6 ( A ) に示すように、ゲート酸化膜 4 6 およびゲート電極 4 8 とからなる積層体の、ソースおよびドレイン領域 3 6 , 3 8 側の両側面を熱酸化法を用いて酸化してサイドウォール 4 2 を形成する。

20

【 0 0 7 3 】

( 9 ) つぎに、図 6 ( B ) に示すように、図 6 ( A ) の構造体のゲート電極 4 8 側の上面のソース領域 3 6 およびドレイン領域 3 8 に対応する領域以外をフォトリソ等によるイオン注入保護膜 6 6 で被覆する。しかる後、素子形成領域 1 6 に対して、n 型不純物である P のイオン注入を行う。これにより、イオン注入された領域は、導電型が n 型のソース領域 3 6 およびドレイン領域 3 8 となる。これにより、素子形成層 1 6 に、チャンネル部 4 4 と電極領域とを有する n - M O S F E T 2 0 が形成される。

【 0 0 7 4 】

( 1 0 ) 最後に、図 1 に示すように、イオン注入保護膜 6 6 を除去した後に、n - M O S F E T 2 0 の上側全面に C V D 法により、好ましくは、厚み約 1 . 5  $\mu m$  の B P S G 膜からなる中間絶縁膜 2 8 を成膜する。そして、中間絶縁膜 2 8 のソース領域 3 6 およびドレイン領域 3 8 に対応する箇所に、素子形成層 1 6 の上面 1 6 c を露出させる深さのコンタクトホール 3 0 をそれぞれ設ける。このコンタクトホール 3 0 を、C V D 法により成膜された A l により埋め込んで、埋込電極 5 0 を形成する。最後に、埋込電極 5 0 に接続する A l からなる配線 3 2 を C V D 法により形成して、半導体装置 1 0 を得る。

30

【 0 0 7 5 】

このように、この実施の形態の半導体装置 1 0 は、応力緩和層 1 4 の凹部 2 2 から露出した上面 1 4 c と、素子形成層 1 6 の側面 1 6 b とを応力伝達層 1 8 を介在させて接続することにより、素子形成層 1 6 に垂直方向の応力を作用させることができる。すなわち、熱収縮により応力緩和層 1 4 が受ける垂直方向の応力は、応力伝達層 1 8 を介して、素子形成層 1 6 の側面 1 6 b へと伝えられる。この垂直方向の応力の作用により、応力伝達層 1 8 内の、伝達層側界面 1 7 の近傍に存在する原子 ( 以下、伝達層側界面近傍原子と称する ) は垂直方向に変位する。この変位に伴い、素子形成層 1 6 の内部側に存在し、伝達層側界面近傍原子と結合している原子 ( 以下、内部原子と称する ) と、伝達層側界面近傍原子との間の原子間距離が長くなる。

40

【 0 0 7 6 】

これにより、伝達層側界面近傍原子と内部原子との原子間距離が平常状態に近づくこととなり、素子形成層が受けている圧縮応力が緩和される。

【 0 0 7 7 】

50

また、これにより、従来SOS集積回路で問題とされてきた、単結晶シリコン層（素子形成層16）にかかる圧縮応力を緩和することができ、したがって、圧縮応力が作用している方向における単結晶シリコン層（素子形成層16）中での電子移動度の低下が抑えられる。この結果、単結晶シリコン層に形成されたn-MOSFET20において、飽和ドレイン電流の低下を抑制することができる。

【0078】

また、この実施の形態の半導体装置10は、応力緩和層14の上面14cを基板12の第1主面12aよりも低くなるように形成しているので、ソース領域36およびドレイン領域38と応力緩和層14との間の電氣的絶縁性が確保される。

【0079】

また、この実施の形態の半導体装置10は、ゲート長方向に沿って形成された一对の凹部22、22、すなわち一对の応力緩和層14、14に挟まれた領域においては、素子形成層16が受けるゲート長方向の圧縮応力が緩和されている。よって、この領域に形成されたn-MOSFET20では、応力緩和層14、14を設けない場合に比べて、ゲート長方向における電子移動度の低下が抑えられる。

【0080】

また、この実施の形態の半導体装置10は、応力伝達層18がフィールド酸化膜34を兼ねているので、応力伝達層18とは別に、フィールド酸化膜を設ける必要がない。よって、半導体装置10のサイズが従来に比べて大型化することがない。

【0081】

なお、この実施の形態においては、応力緩和層14は、素子形成層16に、応力伝達層18を介して垂直方向圧縮応力、つまり、第1主面12a方向に向かう応力を作用させたが、応力緩和層14として、基板12よりも熱膨張係数が大きな材料を用いることで、素子形成層16に第1主面12aから遠ざかる方向の応力、つまり、引張応力を作用させてもよい。このようにすることでも、素子形成層16に作用する水平方向圧縮応力を緩和することができる。

【0082】

また、この実施の形態においては、応力伝達層18がフィールド酸化膜34を兼ねる構成であるために、応力伝達層18としてSiO<sub>2</sub>層を用いているが、別の方法により、素子形成層16の絶縁性が確保できるのであれば、応力伝達層18として、素子形成層16および応力緩和層14に対して実質的に剛体とみなせる種々の材料を用いることができる。たとえば、単結晶シリコン層やSiN層等を用いることができる。

【0083】

また、凹部22の形状は、ゲート長方向に沿った断面切り口が直角四角形状のものを用いているが、凹部22の形状に特に制限はなく、応力緩和層14が、応力伝達層18を介して十分な大きさ（伝達層側界面近傍原子を垂直方向に変位させることができるだけの大きさ）の垂直方向圧縮応力を素子形成層16の側面16bに作用させることができれば、設計に応じて任意好適な形状とすることができる。たとえば、図7(A)に示すように、垂直な側面64aと、この側面64aの下端部64bから第1主面12a方向に斜めに延在する斜面64cとからなる断面くさび型の凹部64でもよい。このようにすることにより、凹部64は、ゲート電極48側の側壁面における深さが最も深くなるような形状となるので、凹部64に充填される応力緩和層14は、素子形成層16の側面16bに大きな垂直方向応力を作用させることができる。ただし、図7(A)の構成例は、凹部64の最も深い側の素子形成層16にn-MOSFET20が形成される場合に適用して好適である。

【0084】

また、素子形成層16の側面16bに作用させる垂直方向応力の大きさは小さくなるものの、たとえば、凹部64の断面切り口の形状として、図7(B)に示すようなメサ形状、図7(C)に示すような三角形形状、図7(D)に示すような、半球状の凹部64を用いてもよい。このように、対称形の断面切り口の形状を有する凹部64の場合には、この凹

10

20

30

40

50

部 6 4 の両側に、n - M O S F E T が形成される場合にも適用して好適である。

【 0 0 8 5 】

また、この実施の形態においては、素子形成層 1 6 の電氣的絶縁性を考慮して、応力緩和層 1 4 の高さを、凹部 2 2 の深さよりも低く形成しているが、素子形成層 1 6 との電氣的絶縁性が、リーク電流の発生を防止できる程度に確保されているならば、図 8 ( A ) に示すように、応力緩和層 1 4 の高さを凹部 2 2 の深さと等しくしてもよい。つまり、応力緩和層 1 4 の上面 1 4 c の高さと第 1 主面 1 2 a との高さが同一であってもよい。このようにすることにより、応力緩和層 1 4 の高さを、この実施の形態の場合よりも高くできるので、素子形成層 1 6 に作用する平行方向圧縮応力をより一層効果的に緩和することができる。

10

【 0 0 8 6 】

また、この実施の形態では、より効果的に素子形成層 1 6 に作用する平行方向圧縮応力を緩和するために、素子形成層 1 6 の側面 1 6 b の全面が、応力伝達層 1 8 の側面 1 8 b と接合されていたが、たとえば、図 8 ( B ) に示すように、素子形成層 1 6 の側面の一部（たとえば、下半分）を応力伝達層 1 8 の側面と接合するようにしてもよい。このようにすることにより、全面で接合した場合と比較して程度は若干落ちるものの、実用上十分なレベルで、素子形成層 1 6 に作用する平行方向圧縮応力を緩和することができる。

【 図面の簡単な説明 】

【 0 0 8 7 】

【 図 1 】 実施の形態の半導体装置の断面切り口を示す図である。

20

【 図 2 】 実施の形態の半導体装置において、応力緩和のメカニズムの説明に供する模式図である。

【 図 3 】 実施の形態の半導体装置において、応力緩和のメカニズムの説明に供する模式図である。

【 図 4 】 実施の形態の半導体装置の製造工程を説明するための、主要工程段階での断面切り口を示す図である。

【 図 5 】 実施の形態の半導体装置の製造工程を説明するための、主要工程段階での断面切り口を示す図である。

【 図 6 】 実施の形態の半導体装置の製造工程を説明するための、主要工程段階での断面切り口を示す図である。

30

【 図 7 】 実施の形態の半導体装置の変形例を説明するための、要部拡大断面図である。

【 図 8 】 実施の形態の半導体装置の変形例を説明するための、要部拡大断面図である。

【 符号の説明 】

【 0 0 8 8 】

1 0 半導体装置

1 2 基板

1 2 a 第 1 主面

1 2 b 第 2 主面

1 3 基板側界面

1 4 応力緩和層

40

1 4 a , 1 6 a , 1 8 a 下面

1 4 b , 1 6 b , 1 8 b , 2 2 b , 2 2 c , 6 4 a 側面

1 4 b t 上端部

1 4 c , 1 6 c , 5 8 c 上面

1 6 素子形成層

1 6 b b , 6 4 b 下端部

1 7 伝達層側界面

1 8 応力伝達層

2 0 n - M O S F E T

2 2 , 6 4 凹部

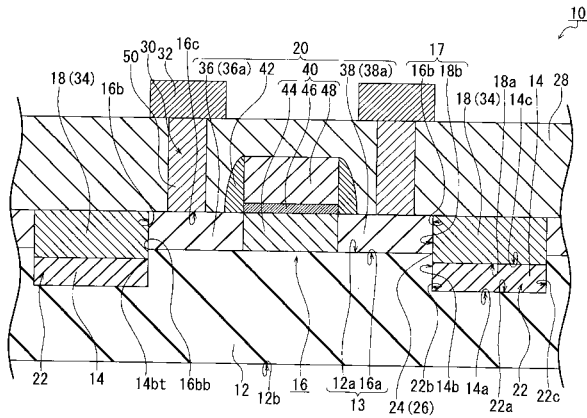
50

- 2 2 a 底面
- 2 2 s 開口面
- 2 6 外縁
- 2 8 中間絶縁膜
- 3 0 コンタクトホール
- 3 2 配線
- 3 4 フィールド酸化膜
- 3 6 ソース領域
- 3 6 a , 3 8 a n型不純物層
- 3 8 ドレイン領域
- 4 0 ゲート領域
- 4 2 サイドウォール
- 4 4 チャネル部
- 4 6 ゲート酸化膜
- 4 8 ゲート電極
- 5 0 埋込電極
- 5 1 形成予定領域
- 5 2 エッチング保護膜
- 5 4 第1シリコン層
- 5 6 第2シリコン層
- 5 8 応力緩和前駆体
- 6 0 SiO<sub>2</sub>膜
- 6 2 Si<sub>3</sub>N<sub>4</sub>膜
- 6 4 c 斜面

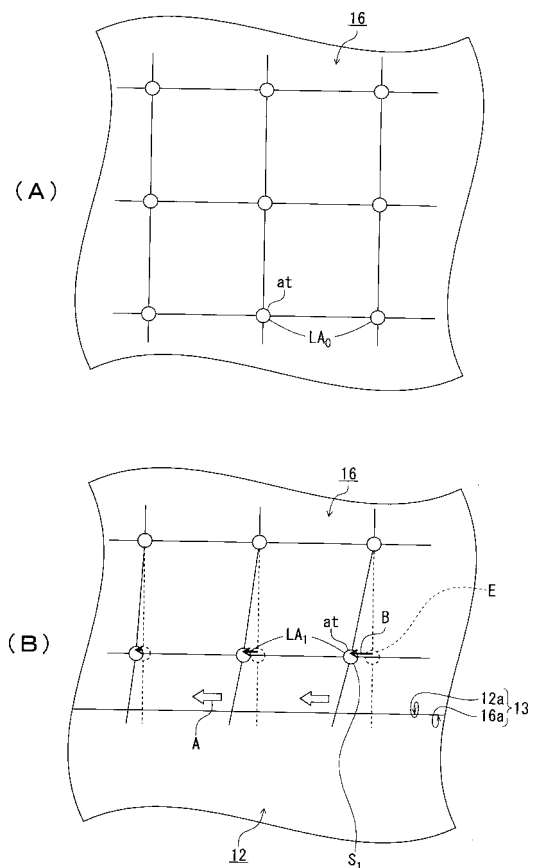
10

20

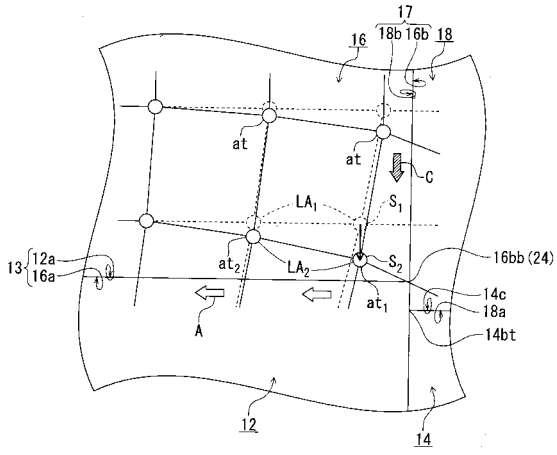
【図1】



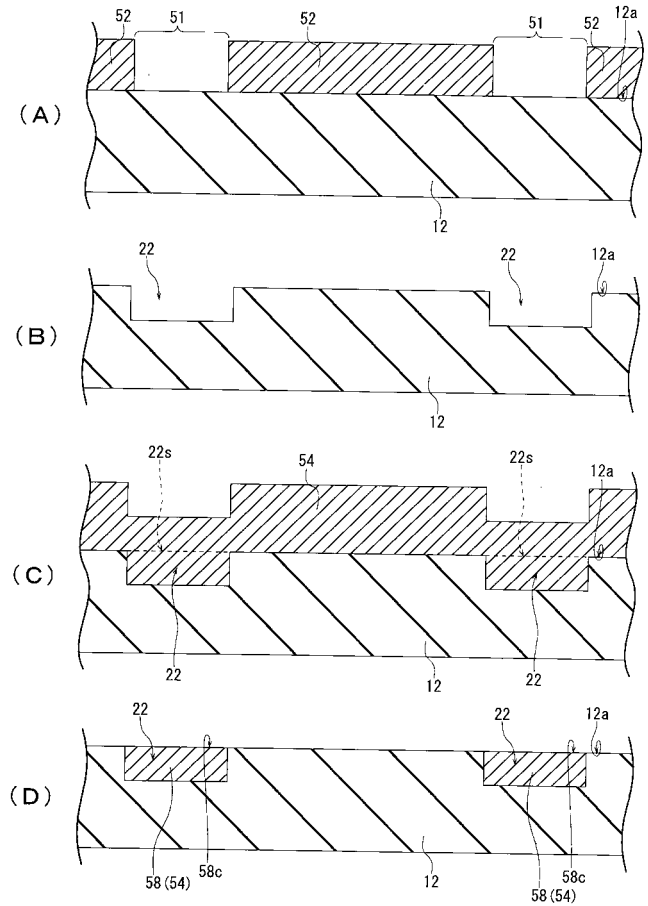
【図2】



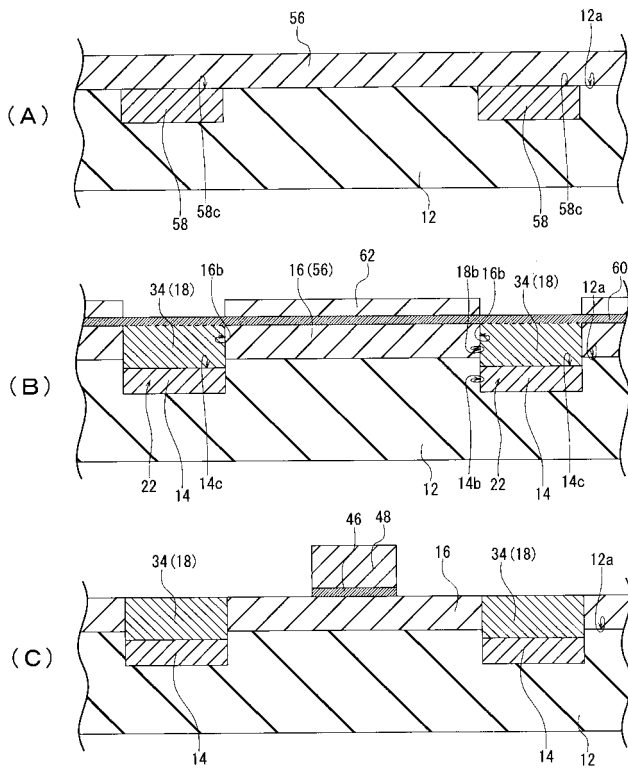
【 図 3 】



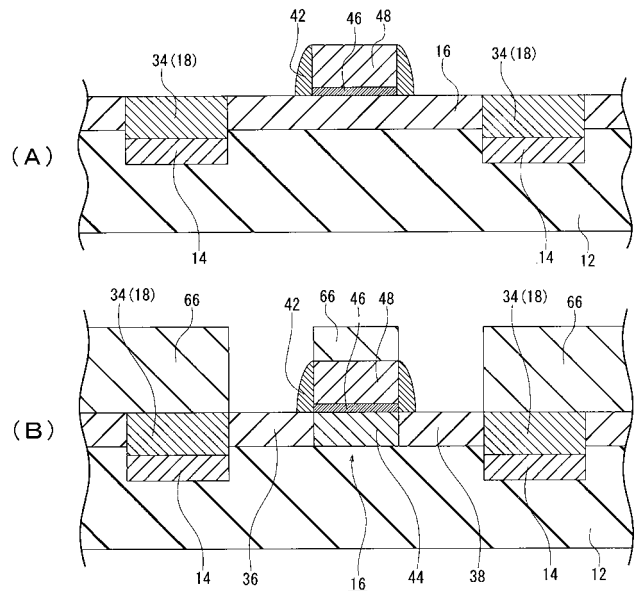
【 図 4 】



【 図 5 】

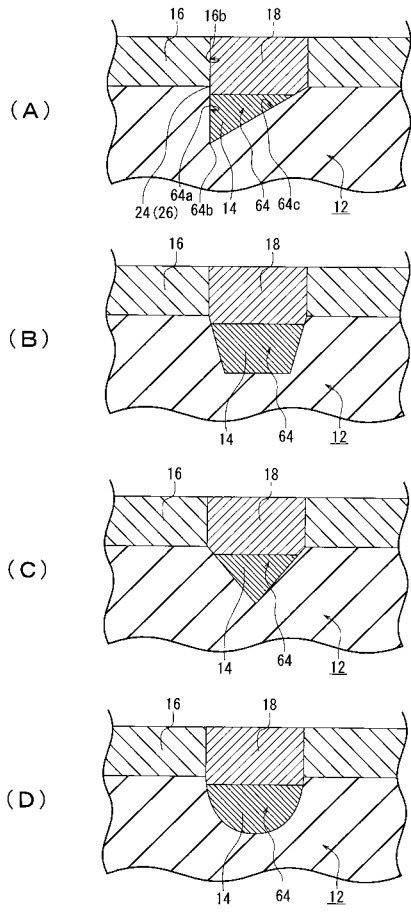


【 図 6 】

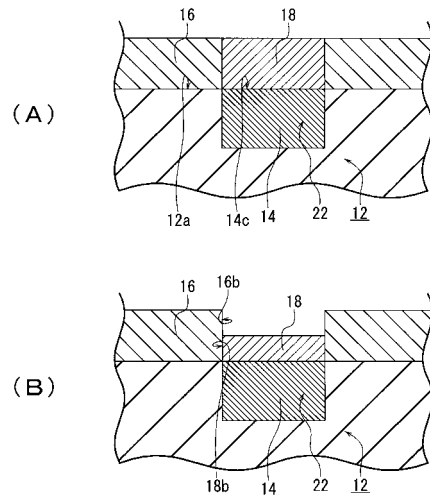




【 図 7 】



【 図 8 】



---

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/76

M

H 0 1 L 21/94

A

Fターム(参考) 5F110 AA01 AA26 CC02 DD04 DD21 EE09 EE33 EE45 FF02 FF23  
GG02 GG06 GG12 GG25 GG32 GG44 GG55 HJ01 HJ13 HL03  
HL11 HL24 HM17 NN04 NN22 NN35 NN62 NN66 QQ19