



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

196556

(11)

(B1)

(22) Přihlášeno 13 06 75
(21) (PV 4171-75)

(51) Int. Cl.³
G 06 F 3/04

(40) Zveřejněno 31 07 79
(45) Vydáno 30 06 82

75

Autor vynálezu JURA STANISLAV ing. CSc.,
KOLÁČEK VOJTĚCH ing., PRAHA A
SECHOVSKÝ HYNEK ing., HOROMĚŘICE

(54) Přenosový kanál univerzálního číslicového počítače

1

Předmětem předloženého vynálezu je přenosový kanál univerzálního číslicového počítače, určený pro komunikaci s přídatnými zařízeními počítače.

Způsoby provozu kanálů a kanály samy o sobě jsou známy, ať jde o kanál multiplexní, selektorový nebo blokový multiplexní. Blokový multiplexní kanál se může například skládat ze sedmi funkčních bloků, jimiž jsou funkční blok styku s hlavní pamětí počítače, blok vyrovnávací paměti blokového multiplexního kanálu, blok místní paměti blokového multiplexního kanálu, blok styku s přídatnými zařízeními, řídicí blok, blok styku s procesorem počítače a diagnostický blok.

Řídicí blok v běžném zapojení použitý pro přenosový kanál je značně objemný, složitý, a proto i nákladný.

Tuto nevýhodu odstraňuje přenosový kanál univerzálního číslicového počítače, sestávající z funkčního bloku pro styk s hlavní pamětí, z funkčního bloku vyrovnávací paměti, z funkčního bloku místní paměti, z funkčního bloku styku s přídatnými zařízeními, z funkčního bloku styku s procesorem počítače, z funkčního bloku diagnostiky a z řídicího funkčního bloku, které jsou napojeny na centrální sběrnici, skládající se ze svazku vodičů řídicích signálů, na svazek vodičů pro rozvod synchronizačních hodinových pulsů a na druhý svazek vodičů pro obvody vyhodnocování priority, podle vynálezu, jehož podstatou je, že řídicí blok je tvořen mikroprocesorem, který je propojen ponocnou sběrnici s pracovní pamětí a pracovními registry a svazkem vodičů s pevnou řídicí pamětí, přičemž na vstup řídicího bloku je napojen svazek vodičů pro rozvod synchronizačních hodinových pulsů, a dále řídicí blok je oboustranně propojen s centrální sběrnici, tvořenou svazkem vodičů řídicích signálů a svazkem vodičů informačních signálů a konečně je řídicí blok oboustranně propojen s druhým svazkem vodičů pro obvody vyhodnocení priority a s řadičem bloku místní paměti.

Jedním z předních úkolů výpočetní techniky je zmenšování velikosti počítače. K tomu přispívá právě přenosový kanál univerzálního číslicového počítače podle vynálezu, kde použití mikroprocesoru v řídicím bloku znamená značné zmenšení rozměrů, zjednodušení, s tím spojenou menší poruchovost, a proto i zlevnění počítače.

Jedno z možných provedení přenosového kanálu podle vynálezu představují připojená vyobrazení, kde obr. 1 je celkovým blokovým schématem přenosového kanálu univerzálního číslicového počítače a obr.

2 je znázornění součásti tohoto kanálu, a to řídicího bloku s mikroprocesorem a s uspořádáním jeho zapojení do celého schematu kanálu.

Přenosový kanál univerzálního číslicového počítače podle obr. 1 se skládá z funkčního bloku 1 pro styk s hlavní pamětí 9 svazkem vodičů 17, z funkčního bloku 2 vyrovnávací paměti, z funkčního bloku 3 místní paměti, z funkčního bloku 4 styky s přídatnými zařízeními 11; z funkčního bloku 6 styku s procesorem 12 počítače, z funkčního bloku 7 diagnostiky a z řídicího funkčního bloku 5, které jsou napojeny na centrální sběrnici 21, skládající se ze svazku vodičů 13 řídicích signálů, na svazek vodičů 15 pro rozvod synchronizačních hodinových pulsů ze zdroje 8 hodinových pulsů a na druhý svazek vodičů 16 pro obvody vyhodnocování priority. Blok 10, který může být také součástí blokového multiplexorového kanálu je adaptér kanál-kanál.

Řídicí blok 5 podle obr. 2 je tvořen mikroprocesorem 51, který je propojen pomocnou sběrnicí 51' s pracovní pamětí 53 a pracovními registry 54 a svazkem vodičů 52' s pevnou řídicí pamětí 52, přičemž na vstup řídicího bloku 5 je napojen svazek vodičů 15 pro rozvod synchronizačních hodinových pulsů, a dále je řídicí blok 5 oboustranně propojen s centrální sběrnicí 21, tvořenou svazkem vodičů 13 řídicích signálů a svazkem vodičů 14 informačních signálů, a konečně je řídicí blok 5 oboustranně propojen s druhým svazkem vodičů 16 pro obvody vyhodnocení priority a s řadičem bloku 3 místní paměti.

Řídicí blok 5 je uvažován jako mikroprocesor s pevnou řídicí pamětí, s pracovní pamětí s kapacitou například 128 slabik a s pracovními registry s šířkou jedné až dvou slabik. Řídicí blok přebírá od funkčního bloku 6 styku s procesorem instrukci, pokud funkční blok 6 negeneruje podmínkový kód CC přímo, čte řídicí informace z operační paměti 9 prostřednictvím funkčního bloku 1 pro styk s hlavní pamětí, analyzuje jejich obsah a na jejich základě řídí funkční bloky 1, 2, 3 a 4, generuje podmínkový kód CC a předává ho do funkčního bloku 6, vytváří stavové slovo kanálu CSW a Logout a ukládá je do funkčního bloku 3 místní paměti, respektive do operační paměti 9, žádá o přerušení, povoluje a řídí vyřízení.

Funkční blok 3 místní paměti obsahuje autonomní řadič komunikující s řídicím blokem 5 přes centrální sběrnici 21 a vlastní místní paměť, s kapacitou například 1024 bytů. Přístup k vlastní paměti sdílí řadič funkčního bloku 3 s řadičem řídicího bloku 5, a toto sdílení je uskutečněno prostřednictvím svazku vodičů 20 pro přímé spojení. Řídicí blok 5 má v tomto styku prioritu. Řadič bloku 3 místní paměti na základě příkazů z bloku 5 provádí autonomně tyto funkce: přidělování subkanálů, z nichž například 8 je s ílených a 56 nesdílených a tyto jsou přidělovány přídatným zařízením s adresami, například v rozsahu 64 až 255 dynamiky. Kanál se při tomto způsobu dynamického přiřazování projevuje vůči procesoru 12 počítače jako kanál s nesdílenými subkanály pro adresy 64 až 255 za předpokladu, že v pracovní paměti řídicího bloku 5 je volný, tak zvaný záložní subkanál, který je obsazen pouze v případě, že jsou obsazeny všechny dynamicky přiřazované subkanály. Počet sdílených subkanálů, počet adres přídatných zařízení přiřazených sdílenému subkanálu a režim sdílených subkanálů – selektorový nebo blokově komplexní jsou určeny kódem semipermanentní paměti umístěné v řídicím bloku 5.

Řídicí blok 5 rychle reaguje na instrukce z procesoru, a to přes funkční blok 6 styku s procesorem i při probíhajícím přenosu dat. Realizace funkčních bloků 1, 2, 4 a 6 je jednoduchá, nejsložitější operace provádí řídicí blok 5 s mikroprocesorovým řadičem.

Předložený vynález se týká přenosového kanálu univerzálního číslicového počítače a byl popsán na případě blokově multiplexního kanálu. Je však aplikovatelný i na selektorový a multiplexní kanál a jeho širší aplikací mohou být i jiná číslicová zařízení.

PŘEDMĚT VYNÁLEZU

Přenosový kanál univerzálního číslicového počítače sestávající z funkčního bloku pro styk s hlavní pamětí, z funkčního bloku vyrovnávací paměti, z funkčního bloku místní paměti, z funkčního bloku styku s přídatnými zařízeními, z funkčního bloku styku s procesorem počítače, z funkčního bloku diagnostiky a z řídicího funkčního bloku, které jsou napojeny na centrální sběrnici skládající se ze svazku vodičů řídicích signálů, na svazek vodičů pro rozvod synchronizačních hodinových pulsů a na druhý svazek vodičů pro obvody vyhodnocování priority, vyznačující se tím, že řídicí blok (5) je tvořen mikroprocesorem (51), který je propojen pomocnou sběrnicí (51') s pracovní pamětí (53) a pracovními registry (54) a svazkem vodičů (52') s pevnou řídicí pamětí (52), přičemž na vstup řídicího bloku (5) je napojen svazek vodičů (15) pro rozvod synchronizačních hodinových pulsů, a dále je řídicí blok (5) oboustranně propojen s centrální sběrnicí (21), tvořenou svazkem vodičů (13) řídicích signálů a svazkem vodičů (14) informačních signálů a konečně je řídicí blok (5) oboustranně propojen s druhým svazkem (16) vodičů pro obvody vyhodnocení priority a s řadičem bloku (3) místní paměti.



