

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-142002

(P2010-142002A)

(43) 公開日 平成22年6月24日 (2010.6.24)

(51) Int.Cl.		F I		テーマコード (参考)
H02M 3/28 (2006.01)		H02M 3/28	B	5H730
H02M 3/155 (2006.01)		H02M 3/155	B	

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願2008-314868 (P2008-314868)
 (22) 出願日 平成20年12月10日 (2008.12.10)

(71) 出願人 000134109
 株式会社デジタル
 大阪府大阪市住之江区南港東8丁目2番5
 2号
 (74) 代理人 100085501
 弁理士 佐野 静夫
 (74) 代理人 100128842
 弁理士 井上 温
 (74) 代理人 100124132
 弁理士 渋谷 和俊
 (72) 発明者 侯 建国
 大阪府大阪市住之江区南港東8-2-52
 株式会社デジタル内

最終頁に続く

(54) 【発明の名称】 電源起動回路及びスイッチング電源装置

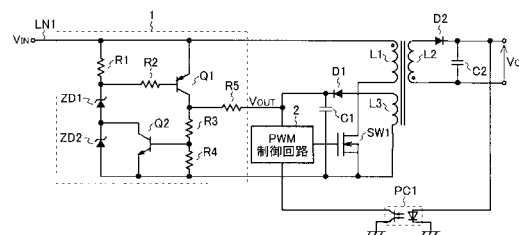
(57) 【要約】

【課題】 2つのツェナーダイオードが並列接続されている構成を採用せずにヒステリシスを持たすことができる電源起動回路を提供する。

【解決手段】

ツェナーダイオードZD1およびツェナーダイオードZD1の直列回路と、入力電圧が所定値を超え、ツェナーダイオードZD1およびZD2がオン状態になると、オン状態になるPNPトランジスタQ1と、PNPトランジスタQ1がオン状態になると、オン状態になるNPトランジスタQ2を有し、NPトランジスタQ2がオン状態になると、ツェナーダイオードZD2をバイパスするバイパス回路とを備え、前記バイパス回路の電圧降下がツェナーダイオードZD2の電圧降下よりも小さい電源起動回路。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の定電圧降下手段および第 2 の定電圧降下手段の直列回路と、

入力電圧が所定値を超え、前記第 1 の定電圧降下手段及び前記第 2 の定電圧降下手段がオン状態になると、オン状態になる第 1 トランジスタと、

前記第 1 トランジスタがオン状態になると、オン状態になる第 2 トランジスタを有し、前記第 2 トランジスタがオン状態になると、前記第 2 の定電圧降下手段をバイパスするバイパス回路とを備え、

前記バイパス回路の電圧降下が前記第 2 の定電圧降下手段の電圧降下よりも小さいことを特徴とする電源起動回路。

10

【請求項 2】

前記第 1 の定電圧降下手段及び前記第 2 の定電圧降下手段がそれぞれツェナーダイオードである請求項 1 に記載の電源起動回路。

【請求項 3】

前記第 1 トランジスタが PNP トランジスタ又は P チャネル電界効果トランジスタである請求項 1 または 2 のいずれか 1 項に記載の電源起動回路。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の電源起動回路を備えることを特徴とするスイッチング電源装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、電源起動回路及びそれを備えたスイッチング電源装置に関する。

【背景技術】

【0002】

ヒステリシスを有する電源起動回路（例えば特許文献 1 ~ 3 参照）は、入力電圧が立ち上がって所定値を越えると、動作を開始してスイッチング電源装置を起動させる。スイッチング電源装置が起動して負荷への電力供給を開始する際には、消費電力が急激に増えることにより電力供給ラインの電圧ドロップが生じる。しかしながら、ヒステリシスを有する電源起動回路は、この電圧ドロップのために自己の動作が停止してしまうことを、ヒステリシスを持たせることで防止している。

30

【0003】

ここで、従来のヒステリシスを有する電源起動回路の構成を図 5 に示す。図 5 に示す従来のヒステリシスを有する電源起動回路は、ツェナーダイオード ZD11 及び ZD12 と、抵抗 R11 ~ R14 と、PNP トランジスタ Q11 と、NPN トランジスタ Q12 とを備えている。

【0004】

入力電圧 V_{IN} が供給されるライン LN11 にツェナーダイオード ZD11 のカソードが接続され、ツェナーダイオード ZD11 のアノードが抵抗 R14 の一端に接続される。

【0005】

40

また、NPN トランジスタ Q12 のベースが抵抗 R13 を介してツェナーダイオード ZD11 と抵抗 R14 との接続ノードに接続される。そして、ライン LN11 に抵抗 R11 の一端が接続され、抵抗 R11 の他端が抵抗 R12 の一端に接続され、抵抗 R12 の他端が NPN トランジスタ Q12 のコレクタに接続され、NPN トランジスタ Q12 のエミッタと抵抗 R14 の他端とが共通接続される。

【0006】

また、PNP トランジスタ Q11 のベースが抵抗 R11 と抵抗 R12 との接続ノードに接続される。そして、ライン LN11 に PNP トランジスタ Q11 のエミッタが接続され、PNP トランジスタ Q11 のコレクタがツェナーダイオード ZD12 のカソードに接続され、ツェナーダイオード ZD12 のアノードがツェナーダイオード ZD11 と抵抗 R1

50

4 との接続ノードに接続される。なお、ツェナーダイオード Z D 1 1 のツェナー電圧が、オン状態であるときの P N P トランジスタ Q 1 1 のコレクタ・エミッタ間電圧とツェナーダイオード Z D 1 2 のツェナー電圧との合計値より大きくなるように、ツェナーダイオード Z D 1 1 及び Z D 1 2 をそれぞれ選定する。

【 0 0 0 7 】

上記のような構成の図 5 に示す従来のヒステリシスを有する電源起動回路は、以下のよう

【 0 0 0 8 】

入力電圧 V_{IN} がツェナーダイオード Z D 1 1 のツェナー電圧未満である場合、ツェナーダイオード Z D 1 1、N P N トランジスタ Q 1 2、P N P トランジスタ Q 1 1、及びツェ

10

【 0 0 0 9 】

一方、入力電圧 V_{IN} が立ち上がってツェナーダイオード Z D 1 1 のツェナー電圧を越えると、ツェナーダイオード Z D 1 1 がオン状態になり、ツェナーダイオード Z D 1 1 及び抵抗 R 1 4 の直列回路が、抵抗 R 1 3 を介して N P N トランジスタ Q 1 2 のベースにバイアス電圧を供給し、N P N トランジスタ Q 1 2 をオン状態にする。そして、N P N トランジスタ Q 1 2 がオン状態になると、抵抗 R 1 1、抵抗 R 1 2、及び N P N トランジスタ Q 1 2 の直列回路が、P N P トランジスタ Q 1 1 のベースにバイアス電圧を供給し、P N P トランジスタ Q 1 1 をオン状態にする。

20

【 0 0 1 0 】

P N P トランジスタ Q 1 1 がオン状態になると、P N P トランジスタ Q 1 1 のコレクタ・エミッタ間電圧とツェナーダイオード Z D 1 2 のツェナー電圧との合計値がツェナーダイオード Z D 1 1 のツェナー電圧より小さくなるので、ツェナーダイオード Z D 1 2 がオン状態になり、ツェナーダイオード Z D 1 1 がオフ状態になる。そして、P N P トランジスタ Q 1 1、ツェナーダイオード Z D 1 2 及び抵抗 R 1 4 の直列回路が、抵抗 R 1 3 を介して N P N トランジスタ Q 1 2 のベースにバイアス電圧を供給し、N P N トランジスタ Q 1 2 のオン状態を維持する。N P N トランジスタ Q 1 2、P N P トランジスタ Q 1 1、ツェナーダイオード Z D 1 2 のオン状態は、P N P トランジスタ Q 1 1 のコレクタ・エミッタ間電圧とツェナーダイオード Z D 1 2 のツェナー電圧との合計値を入力電圧 V_{IN} が下回

30

【 0 0 1 1 】

P N P トランジスタ Q 1 1 がオン状態である場合、P N P トランジスタ Q 1 1 とツェナーダイオード Z D 1 2 との接続ノードの電圧である出力電圧 V_{OUT} が H i g h レベルとなり、図 5 に示す従来のヒステリシスを有する電源起動回路が動作状態となる。

【 0 0 1 2 】

上記の通り、図 5 に示す従来のヒステリシスを有する電源起動回路は、オン状態であるときの P N P トランジスタ Q 1 1 のコレクタ・エミッタ間電圧とツェナーダイオード Z D 1 2 のツェナー電圧との合計値をツェナーダイオード Z D 1 1 のツェナー電圧から差分して得られる電圧値によってヒステリシス量が決まる回路となっている。

40

【 0 0 1 3 】

【特許文献 1】特開平 1 1 - 1 8 7 6 4 4 号公報（第 3 図）

【特許文献 2】特公平 4 - 6 5 6 3 3 号公報（第 2 図）

【特許文献 3】特開昭 6 1 - 1 0 9 4 5 8 号公報（第 1 図）

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 4 】

従来のヒステリシスを有する電源起動回路は、2 つのツェナーダイオードが並列接続されている構成しか提案されていなかった。

【 0 0 1 5 】

50

本発明は、上記の状況に鑑み、２つのツェナーダイオードが並列接続されている構成を採用せずにヒステリシスを持たすことができる電源起動回路及びスイッチング電源装置を提供して技術の豊富化を図ることを目的とする。

【課題を解決するための手段】

【００１６】

上記目的を達成するために本発明に係る電源起動回路は、第１の定電圧降下手段および第２の定電圧降下手段の直列回路と、入力電圧が所定値を超え、前記第１の定電圧降下手段及び前記第２の定電圧降下手段がオン状態になると、オン状態になる第１トランジスタと、前記第１トランジスタがオン状態になると、オン状態になる第２トランジスタを有し、前記第２トランジスタがオン状態になると、前記第２の定電圧降下手段をバイパスするバイパス回路とを備え、前記バイパス回路の電圧降下が前記第２の定電圧降下手段の電圧降下よりも小さい構成とする。

10

【００１７】

このような構成によると、第１の定電圧降下手段と第２の定電圧降下手段との直列回路を備えるので、２つのツェナーダイオードが並列接続されている構成を採用せずにすむ。また、このような構成によると、前記トランジスタがオン状態になると、前記第２の定電圧降下手段をバイパスするバイパス回路とを備えるので、ヒステリシスを持たすことができる。

【００１８】

また、前記第１の定電圧降下手段及び前記第２の定電圧降下手段をそれぞれツェナーダイオードとすることが好ましい。これにより、前記第１の定電圧降下手段及び前記第２の定電圧降下手段を少ない部品点数で実現することができる。

20

【００１９】

また、前記トランジスタをPNPトランジスタ又はPチャネル電界効果トランジスタとしてもよい。これにより、電源起動回路の出力を反転させるためのトランジスタを別途設ける必要がなくなる。

【００２０】

また、上記目的を達成するために本発明に係るスイッチング電源装置は、上記いずれかの構成の電源起動回路を備える構成とする。

【発明の効果】

30

【００２１】

本発明によると、２つのツェナーダイオードが並列接続されている構成を採用せずにヒステリシスを持たすことができる電源起動回路及びスイッチング電源装置を実現することができる。技術の豊富化を図ることができる。

【発明を実施するための最良の形態】

【００２２】

本発明の実施形態について図面を参照して以下に説明する。本発明に係るスイッチング電源装置の一構成例を図１に示す。図１に示す本発明に係るスイッチング電源装置は、本発明に係る電源起動回路１と、PWM制御回路２と、一次巻線Ｌ１、二次巻線Ｌ２、及び補助巻線Ｌ３を有するトランスと、スイッチング素子ＳＷ１と、整流ダイオードＤ１及びＤ２と、平滑コンデンサＣ１及びＣ２と、フォトカブラＰＣ１とを備えている。

40

【００２３】

入力電圧 V_{IN} が立ち上がって所定値を超えると、本発明に係る電源起動回路１が動作を開始して、PWM制御回路２に電力を供給し、PWM制御回路２を起動させる。起動後のPWM制御回路２は、フォトカブラＰＣ１を介して送られてくる出力電圧 V_O の情報に応じてPWM(Pulse Width Modulation)信号を生成し、その生成したPWMをスイッチング素子ＳＷ１の制御端子に供給し、スイッチング素子ＳＷ１をオン/オフ制御する。

【００２４】

スイッチング素子ＳＷ１がオン状態のとき、入力電圧 V_{IN} がトランスの一次巻線Ｌ１に供給され、トランスの一次巻線Ｌ１に励磁エネルギーが蓄積される。一方、スイッチング素

50

子SW1がオフ状態のとき、トランスの一次巻線L1に蓄積された励磁エネルギーがトランスの二次巻線L2及び補助巻線L3から取り出される。したがって、トランスの二次巻線L2及び補助巻線L3から出力される電圧は矩形波状の交流電圧となる。

【0025】

トランスの二次巻線L2から出力される矩形波状の交流電圧は整流ダイオードD2及び平滑コンデンサC2からなる整流平滑回路によって整流且つ平滑されて出力電圧 V_o となる。そして、この出力電圧 V_o が負荷（不図示）に供給される。

【0026】

また、トランスの補助巻線L3から出力される矩形波状の交流電圧は整流ダイオードD1及び平滑コンデンサC1からなる整流平滑回路によって整流且つ平滑されてPWM制御回路2に供給される。したがって、平滑コンデンサC1の充電完了後は、整流ダイオードD1及び平滑コンデンサC1からなる整流平滑回路からPWM制御回路2の電源電圧をとることができる。

【0027】

次に、本発明に係る電源起動回路1について説明する。本発明に係る電源起動回路1は、ツェナーダイオードZD1及びZD2と、抵抗R1～R5と、PNPトランジスタQ1と、NPNトランジスタQ2とを備えている。

【0028】

入力電圧 V_{IN} が供給されるラインLN1に抵抗R1の一端が接続され、抵抗R1の他端にツェナーダイオードZD1のカソードが接続され、ツェナーダイオードZD1のアノードがツェナーダイオードZD2のカソードに接続される。

【0029】

また、PNPトランジスタQ1のベースが抵抗R2を介して抵抗R1とツェナーダイオードZD1との接続ノードに接続される。そして、ラインLN1にPNPトランジスタQ1のエミッタが接続され、PNPトランジスタQ1のコレクタが抵抗R3の一端に接続され、抵抗R3の他端が抵抗R4の一端に接続される。

【0030】

また、NPNトランジスタQ2のベースが抵抗R3と抵抗R4との接続ノードに接続される。そして、NPNトランジスタQ2のコレクタがツェナーダイオードZD1とツェナーダイオードZD2との接続ノードに接続され、NPNトランジスタQ2のエミッタとツェナーダイオードZD2のアノードと抵抗R4の他端とが共通接続される。なお、ツェナーダイオードZD2のツェナー電圧が、オン状態であるときのNPNトランジスタQ2のコレクタ・エミッタ間電圧より大きくなるように、ツェナーダイオードZD2を選定する。

【0031】

上記のような構成の本発明に係る電源起動回路1は、以下のように動作する。

【0032】

入力電圧 V_{IN} が立ち上がりの初期の状態で、入力電圧 V_{IN} がツェナーダイオードZD1のツェナー電圧（以下、第1ツェナー電圧という）とツェナーダイオードZD2のツェナー電圧（以下、第2ツェナー電圧という）との合計値未満である場合、抵抗R1の両端に電位差が生じないため、ツェナーダイオードZD1、ツェナーダイオードZD2、PNPトランジスタQ1、及びNPNトランジスタQ2がいずれもオフ状態となり、本発明に係る電源起動回路1は非動作状態である。

【0033】

一方、入力電圧 V_{IN} が立ち上がって、入力電圧 V_{IN} が第1ツェナー電圧と第2ツェナー電圧との合計値を越えると、ツェナーダイオードZD1及びZD2がオン状態になり、抵抗R1の両端に電位差が生じる。それにより、抵抗R1並びにツェナーダイオードZD1及びZD2の直列回路が、抵抗R2を介してPNPトランジスタQ1のベースにバイアス電圧を供給し、PNPトランジスタQ1をオン状態にする。そして、PNPトランジスタQ1がオン状態になると、PNPトランジスタQ1、抵抗R3、及び抵抗R4の直列回路

が、NPNトランジスタQ2のベースにバイアス電圧を供給し、NPNトランジスタQ2をオン状態にする。

【0034】

NPNトランジスタQ2がオン状態になると、NPNトランジスタQ2のコレクタ・エミッタ間電圧が第2ツェナー電圧より小さくなるので、ツェナーダイオードZD2がオフ状態になる。そして、抵抗R1、ツェナーダイオードZD1、及びNPNトランジスタQ2の直列回路が、抵抗R2を介してPNPトランジスタQ1のベースにバイアス電圧を供給し、PNPトランジスタQ1のオン状態を維持する。NPNトランジスタQ2、PNPトランジスタQ1、ツェナーダイオードZD1のオン状態は、第1ツェナー電圧とNPNトランジスタQ2のコレクタ・エミッタ間電圧との合計値を入力電圧 V_{IN} が下回らない限り、維持される。

10

【0035】

PNPトランジスタQ1がオン状態である場合、PNPトランジスタQ1と抵抗R3の接続ノードの電圧を抵抗R5によって降圧した電圧 V_{OUT} がHighレベルとなり、本発明に係る電源起動回路1が動作状態となる。

【0036】

上記の通り、本発明に係る電源起動回路1は、第2ツェナー電圧からオン状態であるときのNPNトランジスタQ2のコレクタ・エミッタ間電圧を差分して得られる電圧値によってヒステリシス量が決まるヒステリシスを有する電源起動回路となっている。

【0037】

20

ツェナーダイオードZD1を正の温度特性を有するツェナーダイオード（ツェナー電圧が5.6Vより大きいツェナーダイオード）とし、ツェナーダイオードZD2を負の温度特性を有するツェナーダイオード（ツェナー電圧が5.6Vより小さいツェナーダイオード）とすることが望ましい。本発明に係る電源起動回路は、2つのツェナーダイオードが直列接続されている構成であるので、ツェナーダイオードZD1の正の温度特性とツェナーダイオードZD2の負の温度特性とが互いに低減し合うように作用し、電源起動回路が動作を開始する入力電圧 V_{IN} の値の温度によるばらつきが小さくなり、電源起動回路が動作を開始する入力電圧 V_{IN} の値が安定する。

【0038】

なお、本発明は上述した実施形態に限らず、発明の主旨を逸脱しない範囲で種々の変更を加えて実行することができる。

30

【0039】

例えば、上述した実施形態では、本発明に係る電源起動回路で用いるトランジスタをバイポーラトランジスタとしていたが、バイポーラトランジスタの代わりに電界効果トランジスタを用いても構わない。すなわち、本発明に係る電源起動回路1において、PNPトランジスタQ1をPチャネル電界効果トランジスタに置換し、NPNトランジスタQ2をNチャネル電界効果トランジスタに置換して、図2に示すような構成にしてもよい。

【0040】

また、本発明に係る電源起動回路1では、抵抗R1並びにツェナーダイオードZD1及びZD2の直列回路において、ツェナーダイオードZD1及びZD2が抵抗R1よりも低電位側に配置され、抵抗R1並びにツェナーダイオードZD1及びZD2の直列回路から供給されるバイアス電圧を制御端子に入力するトランジスタをPNPトランジスタQ1としていたが、抵抗及び2つのツェナーダイオードの直列回路において、2つのツェナーダイオードが抵抗よりも高電位側に配置され、抵抗及び2つのツェナーダイオードの直列回路から供給されるバイアス電圧を制御端子に入力するトランジスタをNPNトランジスタ又はNチャネル電界トランジスタとしても構わない。かかる構成の一例を図3に示す。

40

【0041】

図3に示す本発明に係る電源起動回路1'は、ツェナーダイオードZD1'及びZD2'と、抵抗R1'～R5'と、抵抗R6及びR7と、NPNトランジスタQ1'と、PNPトランジスタQ2'と、NPNトランジスタQ3と、抵抗R6及びR7とを備えている

50

。なお、NPNトランジスタ $Q1'$ 及び $Q3$ はそれぞれNチャネル電界トランジスタとの置き換えが可能であり、PNPトランジスタ $Q2'$ はPチャネル電界トランジスタとの置き換えが可能である。

【0042】

入力電圧 V_{IN} が供給されるライン $LN1$ にツェナーダイオード $ZD2'$ のカソードが接続され、ツェナーダイオード $ZD2'$ のアノードがツェナーダイオード $ZD1'$ のカソードに接続され、ツェナーダイオード $ZD1'$ のアノードが抵抗 $R1'$ の一端に接続される。

【0043】

また、NPNトランジスタ $Q1'$ のベースが抵抗 $R2'$ を介してツェナーダイオード $ZD1'$ と抵抗 $R1'$ との接続ノードに接続される。そして、ライン $LN1$ に抵抗 $R3'$ の一端が接続され、抵抗 $R3'$ の他端に抵抗 $R4'$ の一端が接続され、抵抗 $R4'$ の他端がNPNトランジスタ $Q1'$ のコレクタに接続される。

【0044】

また、ライン $LN1$ にPNPトランジスタ $Q2'$ のエミッタが接続され、PNPトランジスタ $Q2'$ のコレクタがツェナーダイオード $ZD2'$ とツェナーダイオード $ZD1'$ との接続ノードに接続され、PNPトランジスタ $Q2'$ のベースが抵抗 $R3'$ と抵抗 $R4'$ との接続ノードに接続される。

【0045】

さらに、ライン $LN1$ に抵抗 $R6$ の一端が接続され、抵抗 $R6$ の他端がNPNトランジスタ $Q3$ のコレクタに接続され、NPNトランジスタ $Q3$ のベースが抵抗 $R5'$ を介して抵抗 $R4'$ とNPNトランジスタ $Q1'$ との接続ノードに接続され、抵抗 $R1'$ の他端とNPNトランジスタ $Q1'$ のエミッタとNPNトランジスタ $Q3$ のエミッタとが共通接続される。なお、ツェナーダイオード $ZD2'$ のツェナー電圧（以下、第2'ツェナー電圧という）が、オン状態であるときのPNPトランジスタ $Q2'$ のコレクタ・エミッタ間電圧より大きくなるように、ツェナーダイオード $ZD2'$ を選定する。

【0046】

上記のような構成の本発明に係る電源起動回路1'は、以下のように動作する。

【0047】

入力電圧 V_{IN} が立ち上がりの初期の状態、入力電圧 V_{IN} がツェナーダイオード $ZD1'$ のツェナー電圧（以下、第1'ツェナー電圧という）と第2'ツェナー電圧との合計値未満である場合、ツェナーダイオード $ZD1'$ 、ツェナーダイオード $ZD2'$ 、NPNトランジスタ $Q1'$ 、及びPNPトランジスタ $Q2'$ がいずれもオフ状態となり、NPNトランジスタ $Q3$ のみがオン状態となり、本発明に係る電源起動回路1は非動作状態である。

【0048】

一方、入力電圧 V_{IN} が立ち上がって、入力電圧 V_{IN} が第1'ツェナー電圧と第2'ツェナー電圧との合計値を越えると、ツェナーダイオード $ZD1'$ 及び $ZD2'$ がオン状態になり、抵抗 $R1'$ 並びにツェナーダイオード $ZD1'$ 及び $ZD2'$ の直列回路が、抵抗 $R2'$ を介してNPNトランジスタ $Q1'$ のベースにバイアス電圧を供給し、NPNトランジスタ $Q1'$ をオン状態にする。そして、NPNトランジスタ $Q1'$ がオン状態になると、NPNトランジスタ $Q1'$ 、抵抗 $R3'$ 、及び抵抗 $R4'$ の直列回路が、PNPトランジスタ $Q2'$ のベースにバイアス電圧を供給し、PNPトランジスタ $Q2'$ をオン状態にする。

【0049】

PNPトランジスタ $Q2'$ がオン状態になると、PNPトランジスタ $Q2'$ のコレクタ・エミッタ間電圧が第2'ツェナー電圧より小さくなるので、ツェナーダイオード $ZD2'$ がオフ状態になる。そして、抵抗 $R1'$ 、ツェナーダイオード $ZD1'$ 、及びPNPトランジスタ $Q2'$ の直列回路が、抵抗 $R2'$ を介してNPNトランジスタ $Q1'$ のベースにバイアス電圧を供給し、NPNトランジスタ $Q1'$ のオン状態を維持する。PNPトラ

10

20

30

40

50

ンジスタ $Q2'$ 、NPNトランジスタ $Q1'$ 、ツェナーダイオード $ZD1'$ のオン状態は、第1'ツェナー電圧とPNPトランジスタ $Q2'$ のコレクタ・エミッタ間電圧との合計値を入力電圧 V_{IN} が下回らない限り、維持される。

【0050】

NPNトランジスタ $Q1'$ がオン状態である場合、NPNトランジスタ $Q1'$ と抵抗 $R3'$ の接続ノードの電圧を抵抗 $R5'$ によって降圧した電圧 V_{OUT} がLowレベルとなり、NPNトランジスタ $Q3$ がオフ状態になる。これにより、本発明に係る電源起動回路1'の出力電圧 V_{OUT} がHighレベルになり、本発明に係る電源起動回路1'が動作状態となる。

【0051】

上記の通り、本発明に係る電源起動回路1'は、第2'ツェナー電圧からオン状態であるときのPNPトランジスタ $Q2'$ のコレクタ・エミッタ間電圧を差分して得られる電圧値によってヒステリシス量が決まるヒステリシスを有する電源起動回路となっている。

【0052】

ツェナーダイオード $ZD1'$ を正の温度特性を有するツェナーダイオード(ツェナー電圧が5.6Vより大きいツェナーダイオード)とし、ツェナーダイオード $ZD2'$ を負の温度特性を有するツェナーダイオード(ツェナー電圧が5.6Vより小さいツェナーダイオード)とすることが望ましい。本発明に係る電源起動回路は、2つのツェナーダイオードが直列接続されている構成であるので、ツェナーダイオード $ZD1'$ の正の温度特性とツェナーダイオード $ZD2'$ の負の温度特性とが互いに低減し合うように作用し、電源起動回路が動作を開始する入力電圧 V_{IN} の値の温度によるばらつきが小さくなり、電源起動回路が動作を開始する入力電圧 V_{IN} の値が安定する。

【0053】

また、上述した実施形態では、定電圧降下手段としてツェナーダイオードを用いたが、ツェナーダイオードの代わりに、他の定電圧降下手段を用いても構わない。例えば、定電圧の精度はさほど高くないが、ダイオードを縦続接続したものを定電圧降下手段として用いてもよい。図5に示す従来のヒステリシスを有する電源起動回路では、ツェナーダイオード $ZD11$ 及び $ZD12$ のツェナー電圧がいずれも大きいため、ツェナーダイオード $ZD11$ の代わりにダイオードを縦続接続したものに用いる場合も、ツェナーダイオード $ZD12$ の代わりにダイオードを縦続接続したものに用いる場合も縦続数を多くする必要がある。これに対して、本発明に係る電源起動回路では、ヒステリシス量に依存するが、通常ツェナーダイオード $ZD2$ のツェナー電圧は2V程度に設定するので、ツェナーダイオード $ZD2$ の代わりにダイオードを縦続接続したものに用いる場合は、縦続数を3個程度に抑えることができる。

【0054】

また、上述した実施形態では、トランスを有するスイッチング電源装置を例示したが、本発明に係るスイッチング電源装置はトランスを有するスイッチング電源装置に限定されることはなく、いわゆるトランスレス型スイッチング電源装置であっても構わない。つまり、本発明はスイッチング電源装置全般に適用することができる。

【0055】

ここで、本発明に係るトランスレス型スイッチング電源装置の一構成例を図4に示す。なお、図4において図1と同一の部分には同一の符号を付し、詳細な説明を省略する。

【0056】

入力電圧 V_{IN} が立ち上がって所定値を越えると、本発明に係る電源起動回路1が動作を開始して、PWM制御回路3に電力を供給し、PWM制御回路3を起動させる。起動後のPWM制御回路3は、送られてくる出力電圧 V_O の情報に応じてPWM信号を生成し、その生成したPWMをスイッチング素子 $SW2$ の制御端子に供給し、スイッチング素子 $SW2$ をオン/オフ制御する。

【0057】

スイッチング素子 $SW2$ がオン状態のときには、ライン $LN1$ からスイッチング素子 S

10

20

30

40

50

W 2 を介してコイル L 4 に電流が流れる。これにより、コイル L 4 にエネルギーが蓄えられ、かつ負荷（不図示）にエネルギーが供給される。一方、スイッチング素子 S W 2 がオフ状態のときには、コイル L 4 に蓄えられたエネルギーがダイオード D 3 を通じて負荷（不図示）に供給される。

【図面の簡単な説明】

【 0 0 5 8 】

【図 1】は、本発明に係るスイッチング電源装置の一構成例を示す図である。

【図 2】は、本発明に係るスイッチング電源装置の他の構成例を示す図である。

【図 3】は、本発明に係るスイッチング電源装置の更に他の構成例を示す図である。

【図 4】は、本発明に係るトランスレス型スイッチング電源装置の一構成例を示す図である。 10

【図 5】は、従来のヒステリシスを有する電源起動回路の構成を示す図である。

【符号の説明】

【 0 0 5 9 】

1、1' 本発明に係る電源起動回路

2、3 PWM 制御回路 2

C 1、C 2 平滑コンデンサ

C 3 コンデンサ

D 1、D 2 整流ダイオード

D 3 ダイオード 20

L 1 トランスの一次巻線

L 2 トランスの二次巻線

L 3 トランスの補助巻線 L 3

L 4 コイル

L N 1 入力電圧が供給されるライン

P C 1 フォトカブラ

Q 1、Q 2' P N P トランジスタ

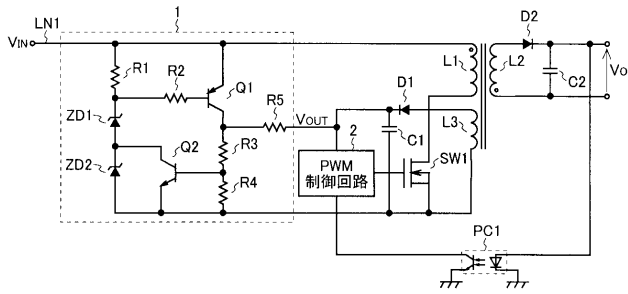
Q 2、Q 1'、Q 3 N P N トランジスタ

R 1 ~ R 5、R 1' ~ R 5'、R 6、R 7 抵抗

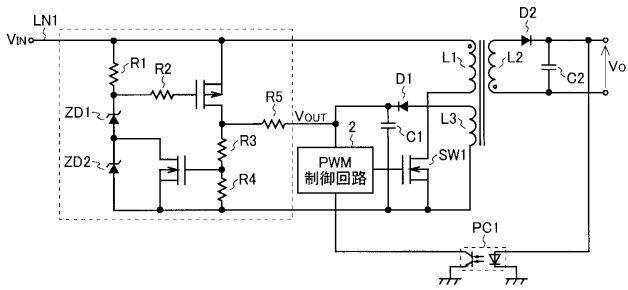
S W 1、S W 2 スwitching 素子 30

Z D 1、Z D 2、Z D 1'、Z D 2' ツェナーダイオード

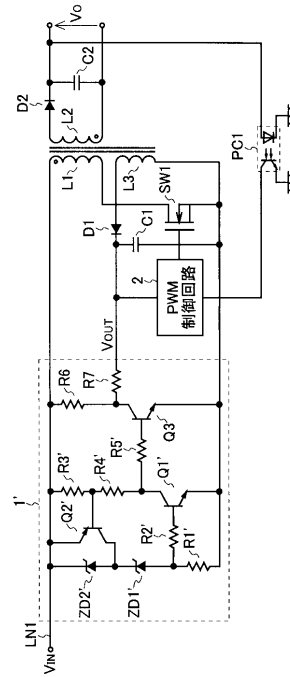
【図 1】



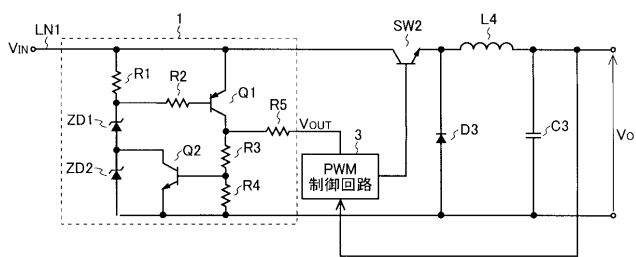
【図 2】



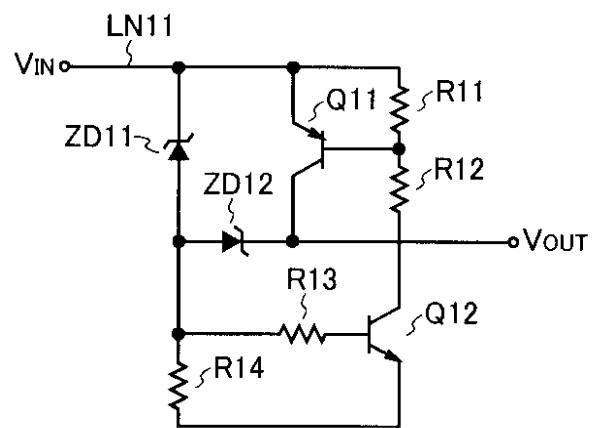
【図 3】



【図 4】



【図 5】



フロントページの続き

F ターム(参考) 5H730 AS01 AS05 BB13 BB43 BB57 DD04 EE02 EE07 EE59 FD01
FD11 FF19 FG05 VV01 VV06 XC01