



## 【特許請求の範囲】

## 【請求項 1】

第1の定電圧降下手段および第2の定電圧降下手段の直列回路と、  
入力電圧が所定値を超えると、前記第1の定電圧降下手段及び前記第2の定電圧降下手段が  
オン状態になると、オン状態になる第1トランジスタと、  
前記第1トランジスタがオン状態になると、オン状態になる第2トランジスタを有し、  
前記第2トランジスタがオン状態になると、前記第2の定電圧降下手段をバイパスするバ  
イパス回路とを備え、  
前記バイパス回路の電圧降下が前記第2の定電圧降下手段の電圧降下よりも小さいこと  
を特徴とする電源起動回路。

10

## 【請求項 2】

前記第1の定電圧降下手段及び前記第2の定電圧降下手段がそれぞれツェナーダイオ  
ードである請求項1に記載の電源起動回路。

## 【請求項 3】

前記第1トランジスタがPNPトランジスタ又はPチャネル電界効果トランジスタである  
請求項1または2のいずれか1項に記載の電源起動回路。

## 【請求項 4】

請求項1～3のいずれか1項に記載の電源起動回路を備えることを特徴とするスイッチ  
ング電源装置。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、電源起動回路及びそれを備えたスイッチング電源装置に関する。

## 【背景技術】

## 【0002】

ヒステリシスを有する電源起動回路（例えば特許文献1～3参照）は、入力電圧が立ち  
上がって所定値を越えると、動作を開始してスイッチング電源装置を起動させる。スイッ  
チング電源装置が起動して負荷への電力供給を開始する際には、消費電力が急激に増える  
ことにより電力供給ラインの電圧ドロップが生じる。しかしながら、ヒステリシスを有する  
電源起動回路は、この電圧ドロップのために自己の動作が停止してしまうことを、ヒス  
テリシスを持たせることで防止している。

30

## 【0003】

ここで、従来のヒステリシスを有する電源起動回路の構成を図5に示す。図5に示す従  
来のヒステリシスを有する電源起動回路は、ツェナーダイオードZD11及びZD12と  
、抵抗R11～R14と、PNPトランジスタQ11と、NPNトランジスタQ12とを備  
えている。

## 【0004】

入力電圧V<sub>IN</sub>が供給されるラインLN11にツェナーダイオードZD11のカソードが  
接続され、ツェナーダイオードZD11のアノードが抵抗R14の一端に接続される。

40

## 【0005】

また、NPNトランジスタQ12のベースが抵抗R13を介してツェナーダイオードZ  
D11と抵抗R14との接続ノードに接続される。そして、ラインLN11に抵抗R11  
の一端が接続され、抵抗R11の他端が抵抗R12の一端に接続され、抵抗R12の他端  
がNPNトランジスタQ12のコレクタに接続され、NPNトランジスタQ12のエミッタ  
と抵抗R14の他端とが共通接続される。

## 【0006】

また、PNPトランジスタQ11のベースが抵抗R11と抵抗R12との接続ノードに  
接続される。そして、ラインLN11にPNPトランジスタQ11のエミッタが接続され  
、PNPトランジスタQ11のコレクタがツェナーダイオードZD12のカソードに接続  
され、ツェナーダイオードZD12のアノードがツェナーダイオードZD11と抵抗R1

50

4との接続ノードに接続される。なお、ツェナーダイオードZD11のツェナー電圧が、オン状態であるときのPNPトランジスタQ11のコレクタ・エミッタ間電圧とツェナーダイオードZD12のツェナー電圧との合計値より大きくなるように、ツェナーダイオードZD11及びZD12をそれぞれ選定する。

## 【0007】

上記のような構成の図5に示す従来のヒステリシスを有する電源起動回路は、以下のように動作する。

## 【0008】

入力電圧 $V_{IN}$ がツェナーダイオードZD11のツェナー電圧未満である場合、ツェナーダイオードZD11、NPNトランジスタQ12、PNPトランジスタQ11、及びツェナーダイオードZD12がいずれもオフ状態となり、図5に示す従来のヒステリシスを有する電源起動回路は非動作状態である。

10

## 【0009】

一方、入力電圧 $V_{IN}$ が立ち上がってツェナーダイオードZD11のツェナー電圧を越えると、ツェナーダイオードZD11がオン状態になり、ツェナーダイオードZD11及び抵抗R14の直列回路が、抵抗R13を介してNPNトランジスタQ12のベースにバイアス電圧を供給し、NPNトランジスタQ12をオン状態にする。そして、NPNトランジスタQ12がオン状態になると、抵抗R11、抵抗R12、及びNPNトランジスタQ12の直列回路が、PNPトランジスタQ11のベースにバイアス電圧を供給し、PNPトランジスタQ11をオン状態にする。

20

## 【0010】

PNPトランジスタQ11がオン状態になると、PNPトランジスタQ11のコレクタ・エミッタ間電圧とツェナーダイオードZD12のツェナー電圧との合計値がツェナーダイオードZD11のツェナー電圧より小さくなるので、ツェナーダイオードZD12がオン状態になり、ツェナーダイオードZD11がオフ状態になる。そして、PNPトランジスタQ11、ツェナーダイオードZD12及び抵抗R14の直列回路が、抵抗R13を介してNPNトランジスタQ12のベースにバイアス電圧を供給し、NPNトランジスタQ12のオン状態を維持する。NPNトランジスタQ12、PNPトランジスタQ11、ツェナーダイオードZD12のオン状態は、PNPトランジスタQ11のコレクタ・エミッタ間電圧とツェナーダイオードZD12のツェナー電圧との合計値を入力電圧 $V_{IN}$ が下回らない限り、維持される。

30

## 【0011】

PNPトランジスタQ11がオン状態である場合、PNPトランジスタQ11とツェナーダイオードZD12との接続ノードの電圧である出力電圧 $V_{OUT}$ がHighレベルとなり、図5に示す従来のヒステリシスを有する電源起動回路が動作状態となる。

## 【0012】

上記の通り、図5に示す従来のヒステリシスを有する電源起動回路は、オン状態であるときのPNPトランジスタQ11のコレクタ・エミッタ間電圧とツェナーダイオードZD12のツェナー電圧との合計値をツェナーダイオードZD11のツェナー電圧から差分して得られる電圧値によってヒステリシス量が決まる回路となっている。

40

## 【0013】

【特許文献1】特開平11-187644号公報(第3図)

【特許文献2】特公平4-65633号公報(第2図)

【特許文献3】特開昭61-109458号公報(第1図)

## 【発明の開示】

【発明が解決しようとする課題】

## 【0014】

従来のヒステリシスを有する電源起動回路は、2つのツェナーダイオードが並列接続されている構成しか提案されていなかった。

## 【0015】

50

本発明は、上記の状況に鑑み、2つのツエナーダイオードが並列接続されている構成を採用せずにヒステリシスを持たすことができる電源起動回路及びスイッチング電源装置を提供して技術の豊富化を図ることを目的とする。

**【課題を解決するための手段】**

**【0016】**

上記目的を達成するために本発明に係る電源起動回路は、第1の定電圧降下手段および第2の定電圧降下手段の直列回路と、入力電圧が所定値を超えると、前記第1の定電圧降下手段及び前記第2の定電圧降下手段がオン状態になると、オン状態になる第1トランジスタと、前記第1トランジスタがオン状態になると、オン状態になる第2トランジスタを有し、前記第2トランジスタがオン状態になると、前記第2の定電圧降下手段をバイパスするバイパス回路とを備え、前記バイパス回路の電圧降下が前記第2の定電圧降下手段の電圧降下よりも小さい構成とする。  
10

**【0017】**

このような構成によると、第1の定電圧降下手段と第2の定電圧降下手段との直列回路を備えるので、2つのツエナーダイオードが並列接続されている構成を採用せずにすむ。また、このような構成によると、前記トランジスタがオン状態になると、前記第2の定電圧降下手段をバイパスするバイパス回路とを備えるので、ヒステリシスを持たすことができる。

**【0018】**

また、前記第1の定電圧降下手段及び前記第2の定電圧降下手段をそれぞれツエナーダイオードとすることが好ましい。これにより、前記第1の定電圧降下手段及び前記第2の定電圧降下手段を少ない部品点数で実現することができる。  
20

**【0019】**

また、前記トランジスタをPNPトランジスタ又はPチャネル電界効果トランジスタとしてもよい。これにより、電源起動回路の出力を反転させるためのトランジスタを別途設ける必要がなくなる。

**【0020】**

また、上記目的を達成するために本発明に係るスイッチング電源装置は、上記いずれかの構成の電源起動回路を備える構成とする。

**【発明の効果】**

**【0021】**

本発明によると、2つのツエナーダイオードが並列接続されている構成を採用せずにヒステリシスを持たすことができる電源起動回路及びスイッチング電源装置を実現することができ、技術の豊富化を図ることができる。  
30

**【発明を実施するための最良の形態】**

**【0022】**

本発明の実施形態について図面を参照して以下に説明する。本発明に係るスイッチング電源装置の一構成例を図1に示す。図1に示す本発明に係るスイッチング電源装置は、本発明に係る電源起動回路1と、PWM制御回路2と、一次巻線L1、二次巻線L2、及び補助巻線L3を有するトランスと、スイッチング素子SW1と、整流ダイオードD1及びD2と、平滑コンデンサC1及びC2と、フォトカプラP C1とを備えている。  
40

**【0023】**

入力電圧V<sub>IN</sub>が立ち上がって所定値を越えると、本発明に係る電源起動回路1が動作を開始して、PWM制御回路2に電力を供給し、PWM制御回路2を起動させる。起動後のPWM制御回路2は、フォトカプラP C1を介して送られてくる出力電圧V<sub>O</sub>の情報に応じてPWM(Pulse Width Modulation)信号を生成し、その生成したPWMをスイッチング素子SW1の制御端子に供給し、スイッチング素子SW1をオン/オフ制御する。

**【0024】**

スイッチング素子SW1がオン状態のとき、入力電圧V<sub>IN</sub>がトランスの一次巻線L1に供給され、トランスの一次巻線L1に励磁エネルギーが蓄積される。一方、スイッチング素

子 SW1 がオフ状態のとき、トランスの一次巻線 L1 に蓄積された励磁エネルギーがトランスの二次巻線 L2 及び補助巻線 L3 から取り出される。したがって、トランスの二次巻線 L2 及び補助巻線 L3 から出力される電圧は矩形波状の交流電圧となる。

#### 【0025】

トランスの二次巻線 L2 から出力される矩形波状の交流電圧は整流ダイオード D2 及び平滑コンデンサ C2 からなる整流平滑回路によって整流且つ平滑されて出力電圧 V<sub>o</sub> となる。そして、この出力電圧 V<sub>o</sub> が負荷（不図示）に供給される。

#### 【0026】

また、トランスの補助巻線 L3 から出力される矩形波状の交流電圧は整流ダイオード D1 及び平滑コンデンサ C1 からなる整流平滑回路によって整流且つ平滑されて PWM 制御回路 2 に供給される。したがって、平滑コンデンサ C1 の充電完了後は、整流ダイオード D1 及び平滑コンデンサ C1 からなる整流平滑回路から PWM 制御回路 2 の電源電圧をとることができる。

#### 【0027】

次に、本発明に係る電源起動回路 1 について説明する。本発明に係る電源起動回路 1 は、ツエナーダイオード ZD1 及び ZD2 と、抵抗 R1 ~ R5 と、PNP トランジスタ Q1 と、NPN トランジスタ Q2 を備えている。

#### 【0028】

入力電圧 V<sub>IN</sub> が供給されるライン LN1 に抵抗 R1 の一端が接続され、抵抗 R1 の他端にツエナーダイオード ZD1 のカソードが接続され、ツエナーダイオード ZD11 のアノードがツエナーダイオード ZD2 のカソードに接続される。

#### 【0029】

また、PNP トランジスタ Q1 のベースが抵抗 R2 を介して抵抗 R1 とツエナーダイオード ZD1との接続ノードに接続される。そして、ライン LN1 に PNP トランジスタ Q1 のエミッタが接続され、PNP トランジスタ Q1 のコレクタが抵抗 R3 の一端に接続され、抵抗 R3 の他端が抵抗 R4 の一端に接続される。

#### 【0030】

また、NPN トランジスタ Q2 のベースが抵抗 R3 と抵抗 R4 との接続ノードに接続される。そして、NPN トランジスタ Q2 のコレクタがツエナーダイオード ZD1 とツエナーダイオード ZD2 との接続ノードに接続され、NPN トランジスタ Q2 のエミッタとツエナーダイオード ZD2 のアノードと抵抗 R4 の他端とが共通接続される。なお、ツエナーダイオード ZD2 のツエナー電圧が、オン状態であるときの NPN トランジスタ Q2 のコレクタ・エミッタ間電圧より大きくなるように、ツエナーダイオード ZD2 を選定する。

#### 【0031】

上記のような構成の本発明に係る電源起動回路 1 は、以下のように動作する。

#### 【0032】

入力電圧 V<sub>IN</sub> が立ち上がりの初期の状態で、入力電圧 V<sub>IN</sub> がツエナーダイオード ZD1 のツエナー電圧（以下、第 1 ツエナー電圧という）とツエナーダイオード ZD2 のツエナー電圧（以下、第 2 ツエナー電圧という）との合計値未満である場合、抵抗 R1 の両端に電位差が生じないため、ツエナーダイオード ZD1、ツエナーダイオード ZD2、PNP トランジスタ Q1、及び NPN トランジスタ Q2 がいずれもオフ状態となり、本発明に係る電源起動回路 1 は非動作状態である。

#### 【0033】

一方、入力電圧 V<sub>IN</sub> が立ち上がって、入力電圧 V<sub>IN</sub> が第 1 ツエナー電圧と第 2 ツエナー電圧との合計値を越えると、ツエナーダイオード ZD1 及び ZD2 がオン状態になり、抵抗 R1 の両端に電位差が生じる。それにより、抵抗 R1 並びにツエナーダイオード ZD1 及び ZD2 の直列回路が、抵抗 R2 を介して PNP トランジスタ Q1 のベースにバイアス電圧を供給し、PNP トランジスタ Q1 をオン状態にする。そして、PNP トランジスタ Q1 がオン状態になると、PNP トランジスタ Q1、抵抗 R3、及び抵抗 R4 の直列回路

10

20

30

40

50

が、NPNトランジスタQ2のベースにバイアス電圧を供給し、NPNトランジスタQ2をオン状態にする。

【0034】

NPNトランジスタQ2がオン状態になると、NPNトランジスタQ2のコレクタ・エミッタ間電圧が第2ツエナー電圧より小さくなるので、ツエナーダイオードZD2がオフ状態になる。そして、抵抗R1、ツエナーダイオードZD1、及びNPNトランジスタQ2の直列回路が、抵抗R2を介してPNPトランジスタQ1のベースにバイアス電圧を供給し、PNPトランジスタQ1のオン状態を維持する。NPNトランジスタQ2、PNPトランジスタQ1、ツエナーダイオードZD1のオン状態は、第1ツエナー電圧とNPNトランジスタQ2のコレクタ・エミッタ間電圧との合計値を入力電圧V<sub>IN</sub>が下回らない限り、維持される。10

【0035】

PNPトランジスタQ1がオン状態である場合、PNPトランジスタQ1と抵抗R3の接続ノードの電圧を抵抗R5によって降圧した電圧V<sub>OUT</sub>がHighレベルとなり、本発明に係る電源起動回路1が動作状態となる。

【0036】

上記の通り、本発明に係る電源起動回路1は、第2ツエナー電圧からオン状態であるときのNPNトランジスタQ2のコレクタ・エミッタ間電圧を差分して得られる電圧値によってヒステリシス量が決まるヒステリシスを有する電源起動回路となっている。

【0037】

ツエナーダイオードZD1を正の温度特性を有するツエナーダイオード（ツエナー電圧が5.6Vより大きいツエナーダイオード）とし、ツエナーダイオードZD2を負の温度特性を有するツエナーダイオード（ツエナー電圧が5.6Vより小さいツエナーダイオード）とすることが望ましい。本発明に係る電源起動回路は、2つのツエナーダイオードZD1の正の温度特性とツエナーダイオードZD2の負の温度特性とが互いに低減し合うように作用し、電源起動回路が動作を開始する入力電圧V<sub>IN</sub>の値の温度によるばらつきが小さくなり、電源起動回路が動作を開始する入力電圧V<sub>IN</sub>の値が安定する。20

【0038】

なお、本発明は上述した実施形態に限らず、発明の主旨を逸脱しない範囲で種々の変更を加えて実行することができる。30

【0039】

例えば、上述した実施形態では、本発明に係る電源起動回路で用いるトランジスタをバイポーラトランジスタとしていたが、バイポーラトランジスタの代わりに電界効果トランジスタを用いても構わない。すなわち、本発明に係る電源起動回路1において、PNPトランジスタQ1をPチャネル電界効果トランジスタに置換し、NPNトランジスタQ2をNチャネル電界効果トランジスタに置換して、図2に示すような構成にしてもよい。

【0040】

また、本発明に係る電源起動回路1では、抵抗R1並びにツエナーダイオードZD1及びZD2の直列回路において、ツエナーダイオードZD1及びZD2が抵抗R1よりも低電位側に配置され、抵抗R1並びにツエナーダイオードZD1及びZD2の直列回路から供給されるバイアス電圧を制御端子に入力するトランジスタをPNPトランジスタQ1としていたが、抵抗及び2つのツエナーダイオードの直列回路において、2つのツエナーダイオードが抵抗よりも高電位側に配置され、抵抗及び2つのツエナーダイオードの直列回路から供給されるバイアス電圧を制御端子に入力するトランジスタをNPNトランジスタ又はNチャネル電界トランジスタとしても構わない。かかる構成の一例を図3に示す。40

【0041】

図3に示す本発明に係る電源起動回路1'は、ツエナーダイオードZD1'及びZD2'、抵抗R1'～R5'、抵抗R6及びR7と、NPNトランジスタQ1'、PNPトランジスタQ2'、NPNトランジスタQ3と、抵抗R6及びR7とを備えている50

。なお、NPNトランジスタQ1'及びQ3はそれぞれNチャネル電界トランジスタとの置き換えが可能であり、PNPトランジスタQ2'はPチャネル電界トランジスタとの置き換えが可能である。

#### 【0042】

入力電圧V<sub>IN</sub>が供給されるラインLN1にツェナーダイオードZD2'のカソードが接続され、ツェナーダイオードZD2'のアノードがツェナーダイオードZD1'のカソードに接続され、ツェナーダイオードZD1'のアノードが抵抗R1'の一端に接続される。

#### 【0043】

また、NPNトランジスタQ1'のベースが抵抗R2'を介してツェナーダイオードZD1'と抵抗R1'との接続ノードに接続される。そして、ラインLN1に抵抗R3'の一端が接続され、抵抗R3'の他端に抵抗R4'の一端が接続され、抵抗R4'の他端がNPNトランジスタQ1'のコレクタに接続される。

#### 【0044】

また、ラインLN1にPNPトランジスタQ2'のエミッタが接続され、PNPトランジスタQ2'のコレクタがツェナーダイオードZD2'、ツェナーダイオードZD1'との接続ノードに接続され、PNPトランジスタQ2'のベースが抵抗R3'、抵抗R4'との接続ノードに接続される。

#### 【0045】

さらに、ラインLN1に抵抗R6の一端が接続され、抵抗R6の他端がNPNトランジスタQ3のコレクタに接続され、NPNトランジスタQ3のベースが抵抗R5'を介して抵抗R4'、NPNトランジスタQ1'との接続ノードに接続され、抵抗R1'の他端とNPNトランジスタQ1'のエミッタとNPNトランジスタQ3のエミッタとが共通接続される。なお、ツェナーダイオードZD2'のツェナー電圧（以下、第2'ツェナー電圧という）が、オン状態であるときのPNPトランジスタQ2'のコレクタ・エミッタ間電圧より大きくなるように、ツェナーダイオードZD2'を選定する。

#### 【0046】

上記のような構成の本発明に係る電源起動回路1'は、以下のように動作する。

#### 【0047】

入力電圧V<sub>IN</sub>が立ち上がりの初期の状態で、入力電圧V<sub>IN</sub>がツェナーダイオードZD1'のツェナー電圧（以下、第1'ツェナー電圧という）と第2'ツェナー電圧との合計値未満である場合、ツェナーダイオードZD1'、ツェナーダイオードZD2'、NPNトランジスタQ1'、及びPNPトランジスタQ2'がいずれもオフ状態となり、NPNトランジスタQ3のみがオン状態となり、本発明に係る電源起動回路1'は非動作状態である。

#### 【0048】

一方、入力電圧V<sub>IN</sub>が立ち上がって、入力電圧V<sub>IN</sub>が第1'ツェナー電圧と第2'ツェナー電圧との合計値を越えると、ツェナーダイオードZD1'及びZD2'がオン状態になり、抵抗R1'並びにツェナーダイオードZD1'及びZD2'の直列回路が、抵抗R2'を介してNPNトランジスタQ1'のベースにバイアス電圧を供給し、NPNトランジスタQ1'をオン状態にする。そして、NPNトランジスタQ1'がオン状態になると、NPNトランジスタQ1'、抵抗R3'、及び抵抗R4'の直列回路が、PNPトランジスタQ2'のベースにバイアス電圧を供給し、PNPトランジスタQ2'をオン状態にする。

#### 【0049】

PNPトランジスタQ2'がオン状態になると、PNPトランジスタQ2'のコレクタ・エミッタ間電圧が第2'ツェナー電圧より小さくなるので、ツェナーダイオードZD2'がオフ状態になる。そして、抵抗R1'、ツェナーダイオードZD1'、及びPNPトランジスタQ2'の直列回路が、抵抗R2'を介してNPNトランジスタQ1'のベースにバイアス電圧を供給し、NPNトランジスタQ1'のオン状態を維持する。PNPト

10

20

30

40

50

ンジスタQ2'、NPNトランジスタQ1'、ツエナーダイオードZD1'のオン状態は、第1'ツエナー電圧とPNPトランジスタQ2'のコレクタ・エミッタ間電圧との合計値を入力電圧V<sub>IN</sub>が下回らない限り、維持される。

#### 【0050】

NPNトランジスタQ1'がオン状態である場合、NPNトランジスタQ1'、と抵抗R3'の接続ノードの電圧を抵抗R5'によって降圧した電圧V<sub>OUT</sub>がLowレベルとなり、NPNトランジスタQ3がオフ状態になる。これにより、本発明に係る電源起動回路1'の出力電圧V<sub>OUT</sub>がHighレベルになり、本発明に係る電源起動回路1'が動作状態となる。

#### 【0051】

上記の通り、本発明に係る電源起動回路1'は、第2'ツエナー電圧からオン状態であるときのPNPトランジスタQ2'のコレクタ・エミッタ間電圧を差分して得られる電圧値によってヒステリシス量が決まるヒステリシスを有する電源起動回路となっている。

#### 【0052】

ツエナーダイオードZD1'を正の温度特性を有するツエナーダイオード（ツエナー電圧が5.6Vより大きいツエナーダイオード）とし、ツエナーダイオードZD2'を負の温度特性を有するツエナーダイオード（ツエナー電圧が5.6Vより小さいツエナーダイオード）とすることが望ましい。本発明に係る電源起動回路は、2つのツエナーダイオードが直列接続されている構成であるので、ツエナーダイオードZD1'の正の温度特性とツエナーダイオードZD2'の負の温度特性とが互いに低減し合うように作用し、電源起動回路が動作を開始する入力電圧V<sub>IN</sub>の値の温度によるばらつきが小さくなり、電源起動回路が動作を開始する入力電圧V<sub>IN</sub>の値が安定する。

#### 【0053】

また、上述した実施形態では、定電圧降下手段としてツエナーダイオードを用いたが、ツエナーダイオードの代わりに、他の定電圧降下手段を用いても構わない。例えば、定電圧の精度はさほど高くないが、ダイオードを縦続接続したものを定電圧降下手段として用いてもよい。図5に示す従来のヒステリシスを有する電源起動回路では、ツエナーダイオードZD11及びZD12のツエナー電圧がいずれも大きいため、ツエナーダイオードZD11の代わりにダイオードを縦続接続したものに用いる場合も、ツエナーダイオードZD12の代わりにダイオードを縦続接続したものに用いる場合も縦続数を多くする必要がある。これに対して、本発明に係る電源起動回路では、ヒステリシス量に依存するが、通常ツエナーダイオードZD2のツエナー電圧は2V程度に設定するので、ツエナーダイオードZD2の代わりにダイオードを縦続接続したものに用いる場合は、縦続数を3個程度に抑えることができる。

#### 【0054】

また、上述した実施形態では、トランスを有するスイッチング電源装置を例示したが、本発明に係るスイッチング電源装置はトランスを有するスイッチング電源装置に限定されることはなく、いわゆるトランスレス型スイッチング電源装置であっても構わない。つまり、本発明はスイッチング電源装置全般に適用することができる。

#### 【0055】

ここで、本発明に係るトランスレス型スイッチング電源装置の一構成例を図4に示す。なお、図4において図1と同一の部分には同一の符号を付し、詳細な説明を省略する。

#### 【0056】

入力電圧V<sub>IN</sub>が立ち上がって所定値を越えると、本発明に係る電源起動回路1が動作を開始して、PWM制御回路3に電力を供給し、PWM制御回路3を起動させる。起動後のPWM制御回路3は、送られてくる出力電圧V<sub>O</sub>の情報に応じてPWM信号を生成し、その生成したPWMをスイッチング素子SW2の制御端子に供給し、スイッチング素子SW2をオン／オフ制御する。

#### 【0057】

スイッチング素子SW2がオン状態のときには、ラインLN1からスイッチング素子S

10

20

30

40

50

W<sub>2</sub>を介してコイルL<sub>4</sub>に電流が流れる。これにより、コイルL<sub>4</sub>にエネルギーが蓄えられ、かつ負荷(不図示)にエネルギーが供給される。一方、スイッチング素子SW<sub>2</sub>がオフ状態のときには、コイルL<sub>4</sub>に蓄えられたエネルギーがダイオードD<sub>3</sub>を通じて負荷(不図示)に供給される。

【図面の簡単な説明】

【0058】

【図1】は、本発明に係るスイッチング電源装置の一構成例を示す図である。

【図2】は、本発明に係るスイッチング電源装置の他の構成例を示す図である。

【図3】は、本発明に係るスイッチング電源装置の更に他の構成例を示す図である。

【図4】は、本発明に係るトランスレス型スイッチング電源装置の一構成例を示す図である。  
10

【図5】は、従来のヒステリシスを有する電源起動回路の構成を示す図である。

【符号の説明】

【0059】

1、1' 本発明に係る電源起動回路

2、3 PWM制御回路2

C<sub>1</sub>、C<sub>2</sub> 平滑コンデンサ

C<sub>3</sub> コンデンサ

D<sub>1</sub>、D<sub>2</sub> 整流ダイオード

D<sub>3</sub> ダイオード

L<sub>1</sub> トランスの一次巻線

L<sub>2</sub> トランスの二次巻線

L<sub>3</sub> トランスの補助巻線 L<sub>3</sub>

L<sub>4</sub> コイル

L<sub>N</sub>1 入力電圧が供給されるライン

P<sub>C</sub>1 フォトカプラ

Q<sub>1</sub>、Q<sub>2</sub>' PNPトランジスタ

Q<sub>2</sub>、Q<sub>1</sub>'、Q<sub>3</sub> NPNトランジスタ

R<sub>1</sub>～R<sub>5</sub>、R<sub>1</sub>'～R<sub>5</sub>'、R<sub>6</sub>、R<sub>7</sub> 抵抗

SW<sub>1</sub>、SW<sub>2</sub> スイッチング素子

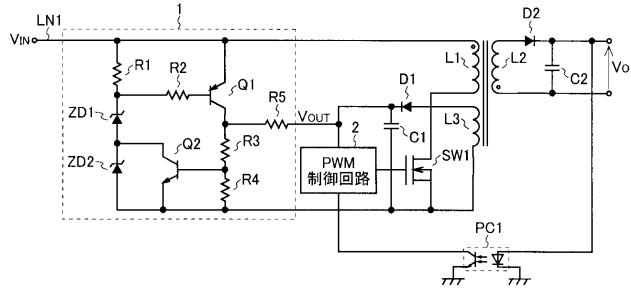
Z<sub>D</sub>1、Z<sub>D</sub>2、Z<sub>D</sub>1'、Z<sub>D</sub>2' ツェナーダイオード

20

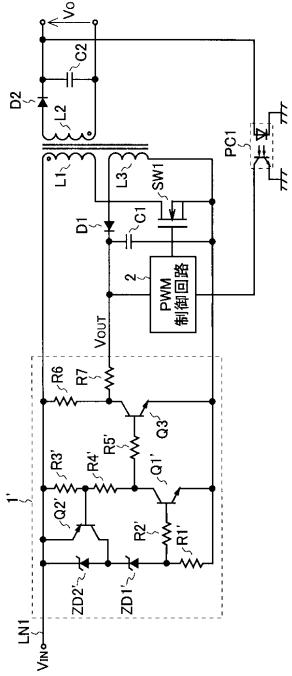
30

30

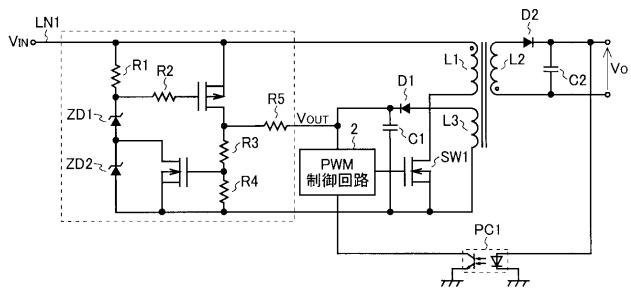
【図1】



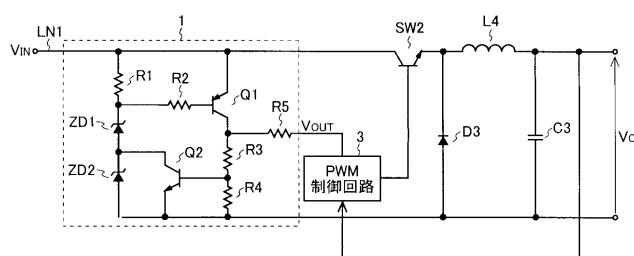
【図3】



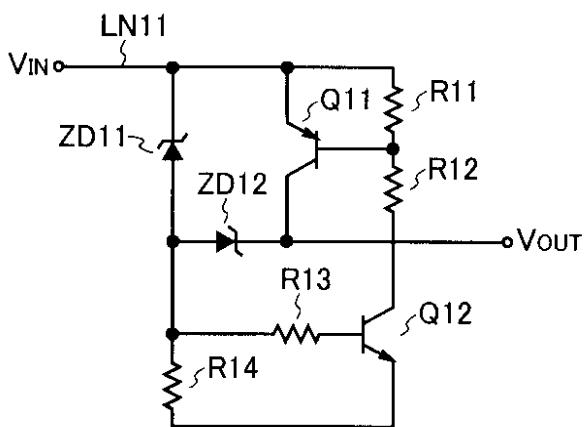
【図2】



【図4】



【図5】



---

フロントページの続き

F ターム(参考) 5H730 AS01 AS05 BB13 BB43 BB57 DD04 EE02 EE07 EE59 FD01  
FD11 FF19 FG05 WV01 VV06 XC01