

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6232594号
(P6232594)

(45) 発行日 平成29年11月22日 (2017.11.22)

(24) 登録日 平成29年11月2日 (2017.11.2)

(51) Int.Cl.	F I				
G09G 3/30 (2006.01)	G09G	3/30		J	
G09G 3/3208 (2016.01)	G09G	3/3208			
G09G 3/3233 (2016.01)	G09G	3/3233			
G09G 3/3291 (2016.01)	G09G	3/3291			
G09G 3/3266 (2016.01)	G09G	3/3266			

請求項の数 5 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2016-505947 (P2016-505947)	(73) 特許権者	514188173 株式会社 J O L E D 東京都千代田区神田錦町三丁目2 3 番地
(86) (22) 出願日	平成26年12月19日 (2014.12.19)	(74) 代理人	100189430 弁理士 吉川 修一
(86) 国際出願番号	PCT/JP2014/006352	(74) 代理人	100190805 弁理士 傍島 正朗
(87) 国際公開番号	W02015/132834	(72) 発明者	徳永 勉 日本国東京都千代田区神田錦町三丁目2 3 番地 株式会社 J O L E D 内
(87) 国際公開日	平成27年9月11日 (2015.9.11)	(72) 発明者	岩倉 紀行 日本国大阪府門真市松生町1 番 1 5 号 A V C テクノロジー株式会社内
審査請求日	平成28年8月15日 (2016.8.15)		
(31) 優先権主張番号	特願2014-44326 (P2014-44326)		
(32) 優先日	平成26年3月6日 (2014.3.6)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 有機 E L 表示装置

(57) 【特許請求の範囲】

【請求項 1】

有機 E L 素子と、前記有機 E L 素子の発光を駆動する駆動トランジスタと、第 1 電極に前記駆動トランジスタのゲート電位が印加され第 2 電極に前記駆動トランジスタのドレイン及びソースの一方の電位が印加される容量素子とを有する画素が行列状に配置された表示部と、

電源電圧を生成する電源部と、

前記電源部と前記表示部との間の電気経路上に配置され、前記第 1 電極及び前記第 2 電極の少なくとも一方に前記電源電圧に対応した固定電圧を印加するとともに、映像信号を反映したデータ信号及び前記データ信号を供給すべき画素を選択する選択信号を出力する信号駆動部と、

10

前記電源部と前記信号駆動部との間の電気経路上に配置され、前記電源部から出力される前記電源電圧を前記信号駆動部へ伝達するとともに、前記データ信号及び前記選択信号を出力するタイミングを前記信号駆動部に指示するタイミング制御部とを備え、

前記信号駆動部は、

前記電源部から伝達された前記電源電圧の変動成分を抑制し前記第 1 電極及び前記第 2 電極の少なくとも一方に、前記電源電圧に対応した安定化された前記固定電圧を供給するバッファアンプ回路を有し、

前記固定電圧は、前記容量素子において前記駆動トランジスタの閾値電圧を保持するための前記第 1 電極に印加される参照電源電圧及び前記第 2 電極に印加される初期化電源電

20

圧の少なくとも一方であり、

前記信号駆動部は、

前記選択信号を出力するゲート駆動部と、

前記データ信号を出力するデータ駆動部とを備え、

前記ゲート駆動部は、複数のゲートドライバＩＣと、当該複数のゲートドライバＩＣ及び前記タイミング制御部を接続するゲートドライバ基板とを含み、

前記データ駆動部は、複数のソースドライバＩＣと、当該複数のソースドライバＩＣ及び前記タイミング制御部を接続するソースドライバ基板とを含み、

前記表示部は、表示パネルの表面に配置され、

前記電源部、前記タイミング制御部、前記タイミング制御部と前記信号駆動部とを電気接続する配線、及び前記バッファアンプ回路は、前記表示パネルの裏面に配置されており

10

前記ゲートドライバ基板には、前記電源電圧の変動成分を抑制して安定化された前記参照電源電圧を前記複数のゲートドライバＩＣに出力する第１のバッファアンプ回路が搭載され、

前記ソースドライバ基板には、前記電源電圧の変動成分を抑制して安定化された前記初期化電源電圧を前記複数のソースドライバＩＣに出力する第２のバッファアンプ回路が搭載されている

有機ＥＬ表示装置。

【請求項２】

20

前記ゲート駆動部は、

前記表示パネルの左側端部に配置され、複数のゲートドライバＩＣと、当該複数のゲートドライバＩＣ及び前記タイミング制御部を接続する第１のゲートドライバ基板と、

前記表示パネルの右側端部に配置され、複数のゲートドライバＩＣと、当該複数のゲートドライバＩＣ及び前記タイミング制御部を接続する第２のゲートドライバ基板とを含む

請求項１に記載の有機ＥＬ表示装置。

【請求項３】

前記データ駆動部は、

前記表示パネルの上側端部に配置され、複数のソースドライバＩＣと、当該複数のソースドライバＩＣ及び前記タイミング制御部を接続する第１のソースドライバ基板と、

前記表示パネルの下側端部に配置され、複数のソースドライバＩＣと、当該複数のソースドライバＩＣ及び前記タイミング制御部を接続する第２のソースドライバ基板とを含む

請求項１または２に記載の有機ＥＬ表示装置。

30

【請求項４】

前記タイミング制御部は、前記ゲート駆動部に行順次に画素選択させている間に、前記ゲート駆動部及び前記データ駆動部に、それぞれ、前記参照電源電圧及び前記初期化電源電圧を前記容量素子の前記第１電極及び前記第２電極に印加させることにより、前記駆動トランジスタの閾値電圧を行順次に前記容量素子に保持させる

請求項１～３のいずれか１項に記載の有機ＥＬ表示装置。

【請求項５】

40

前記第１のバッファアンプ回路は、前記タイミング制御部を介して伝達された前記電源電圧が正電源端子に入力され、前記タイミング制御部が生成した所定の正電圧が正入力端子に入力され、負入力端子と出力端子とが短絡された第１増幅素子を備え、

前記第２のバッファアンプ回路は、前記タイミング制御部を介して伝達された前記電源電圧が負電源端子に入力され、前記タイミング制御部が生成した所定の負電圧が正入力端子に入力され、負入力端子と出力端子とが短絡された第２増幅素子を備える

請求項１～４のいずれか１項に記載の有機ＥＬ表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

50

本開示は、有機EL表示装置に関し、特に、有機EL素子を用いたアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

一般に、表示パネルに配置された有機EL素子の輝度は、当該素子に供給される駆動電流に比例して大きくなる。よって、特に、アクティブマトリクス型の有機ELディスプレイでは、表示パネルの大型化にともない、有機EL発光素子に電流供給するための電源線の局所的な電圧変動、ならびに、有機EL発光素子及び駆動トランジスタの特性ばらつきにより表示ムラが顕著となり、表示品質を低下させてしまう。

【0003】

特許文献1には、有機EL素子を有する表示装置において、画素選択信号を各画素へ伝達する走査線と電源供給ラインとが、当該走査線に画素選択信号を出力する出力回路のPchトランジスタを介して接続されている構成が開示されている。ここで、Pchトランジスタを介して走査線と電源供給ラインとが接続されていることにより発生する走査線電位の低下を回避すべく、電源供給ラインに寄生容量よりも十分大きな容量を付加した構成が開示されている。これにより、走査線の画素選択信号であるHigh電圧とLow電圧との間の遷移時間に依存する移動度補正を確実に実行できるとしている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-145531号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に開示された表示装置の構成では、各画素が有する駆動トランジスタ及び当該駆動トランジスタのゲート及びソースに接続された容量素子に直接印加される初期化電源電圧及び参照電源電圧などの電源電圧の変動を抑制することはできない。ここで、初期化電源電圧及び参照電源電圧とは、例えば、駆動トランジスタの閾値電圧検出時における容量素子の両電極の初期電位を規定する固定電圧であり、閾値電圧補正の精度を決定する電源電圧である。このため、当該電源電圧が変動すると横帯状の輝度ムラなどが発生してしまう。

【0006】

また、薄型及び狭額縁の有機EL表示パネルでは、表示パネル裏面に配置された電源基板と表示パネル表面に配置された各画素とは、タイミング制御回路、ソースドライバ及びゲートドライバなどを介して接続されている。このため、大画面化が進展していくにつれ配線距離が大きくなっていく。これに伴い配線抵抗が増大し、各画素に印加される上記電源電圧の変動が大きくなる。

【0007】

そこで、本開示は、安定化された電源電圧を各画素に供給することが可能な有機EL表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記の課題を解決するために、本開示の一態様に係る有機EL表示装置は、有機EL素子と、前記有機EL素子の発光を駆動する駆動トランジスタと、第1電極に前記駆動トランジスタのゲート電位が印加され第2電極に前記駆動トランジスタのドレイン及びソースの一方の電位が印加される容量素子とを有する画素が行列状に配置された表示部と、電源電圧を生成する電源部と、前記電源部と前記表示部との間の電気経路上に配置され、前記第1電極及び前記第2電極の少なくとも一方に前記電源電圧に対応した固定電圧を印加するとともに、映像信号を反映したデータ信号及び前記データ信号を供給すべき画素を選択する選択信号を出力する信号駆動部と、前記電源部と前記信号駆動部との間の電気経路上

10

20

30

40

50

に配置され、前記電源部から出力される前記電源電圧を前記信号駆動部へ伝達するとともに、前記データ信号及び前記選択信号を出力するタイミングを前記信号駆動部に指示するタイミング制御部とを備え、前記信号駆動部は、前記電源部から伝達された前記電源電圧の変動成分を抑制し前記第1電極及び前記第2電極の少なくとも一方に、前記電源電圧に対応した安定化された前記固定電圧を供給するバッファアンプ回路を有することを特徴とする。

【発明の効果】

【0009】

本開示の有機EL表示装置によれば、信号駆動部にバッファアンプ回路が配置されることにより、各画素の容量素子に印加される電源電圧を安定化できるので、表示ムラを抑制することが可能となる。

10

【図面の簡単な説明】

【0010】

【図1】図1は、実施の形態に係る有機EL表示装置の基本構成を示すブロック図である。

【図2A】図2Aは、実施の形態に係る有機EL表示装置の画素回路構成の一例を示す図である。

【図2B】図2Bは、実施の形態に係る有機EL表示装置の画素回路の動作タイミングチャートの一例である。

【図3A】図3Aは、初期化期間における画素回路の状態を表す図である。

20

【図3B】図3Bは、V_{th}検出期間における画素回路の状態を表す図である。

【図3C】図3Cは、書込み期間における画素回路の状態を表す図である。

【図3D】図3Dは、発光期間における画素回路の状態を表す図である。

【図4】図4は、実施の形態に係る有機EL表示装置の表示パネル裏面構成図である。

【図5A】図5Aは、実施の形態に係るゲートドライバ基板上のバッファアンプ回路の構成を説明する図である。

【図5B】図5Bは、実施の形態に係るソースドライバ基板上のバッファアンプ回路の構成を説明する図である。

【図6A】図6Aは、実施の形態に係る有機EL表示装置における電源電圧変動の抑制要因を説明する図である。

30

【図6B】図6Bは、従来の表示装置における電源電圧変動要因を説明する図である。

【図7】図7は、有機EL表示装置における参照電源電圧変動の抑制効果を比較する図である。

【図8】図8は、実施の形態に係る有機EL表示装置を内蔵した薄型フラットTVの外観図である。

【発明を実施するための形態】

【0011】

本実施の形態に係る表示EL表示装置は、有機EL素子と、前記有機EL素子の発光を駆動する駆動トランジスタと、第1電極に前記駆動トランジスタのゲート電位が印加され第2電極に前記駆動トランジスタのドレイン及びソースの一方の電位が印加される容量素子とを有する画素が行列状に配置された表示部と、電源電圧を生成する電源部と、前記電源部と前記表示部との間の電気経路上に配置され、前記第1電極及び前記第2電極の少なくとも一方に前記電源電圧に対応した固定電圧を印加するとともに、映像信号を反映したデータ信号及び前記データ信号を供給すべき画素を選択する選択信号を出力する信号駆動部と、前記電源部と前記信号駆動部との間の電気経路上に配置され、前記電源部から出力される前記電源電圧を前記信号駆動部へ伝達するとともに、前記データ信号及び前記選択信号を出力するタイミングを前記信号駆動部に指示するタイミング制御部とを備え、前記信号駆動部は、前記電源部から伝達された前記電源電圧の変動成分を抑制し前記第1電極及び前記第2電極の少なくとも一方に、前記電源電圧に対応した安定化された前記固定電圧を供給するバッファアンプ回路を有することを特徴とする。

40

50

【 0 0 1 2 】

この構成によれば、電源部及びタイミング制御部よりも表示部に近い位置に配置されている信号駆動部にバッファアンプ回路が配置される。よって、電源部、タイミング制御部及び信号駆動部を電気接続する配線の抵抗に影響されない安定化された固定電圧を画素に供給できるので、表示パネルの表示ムラを抑制することが可能となる。

【 0 0 1 3 】

また、例えば、前記固定電圧は、前記容量素子において前記駆動トランジスタの閾値電圧を保持するための前記第 1 電極に印加される参照電源電圧及び前記第 2 電極に印加される初期化電源電圧の少なくとも一方であってもよい。

【 0 0 1 4 】

これにより、駆動トランジスタの閾値電圧検出期間において、正確な閾値電圧を容量素子に保持することが可能となる。よって、駆動トランジスタの特性ばらつきによる表示ムラを高精度に解消することが可能となる。

【 0 0 1 5 】

また、例えば、前記信号駆動部は、前記選択信号を出力するゲート駆動部と、前記データ信号を出力するデータ駆動部とを備え、前記ゲート駆動部は、複数のゲートドライバ IC と、当該複数のゲートドライバ IC 及び前記タイミング制御部を接続するゲートドライバ基板とを含み、前記データ駆動部は、複数のソースドライバ IC と、当該複数のソースドライバ IC 及び前記タイミング制御部を接続するソースドライバ基板とを含み、前記表示部は、表示パネルの表面に配置され、前記電源部、前記タイミング制御部、前記タイミング制御部と前記信号駆動部とを電気接続する配線、及び前記バッファアンプ回路は、前記表示パネルの裏面に配置されており、前記ゲートドライバ基板には、前記電源電圧の変動成分を抑制して安定化された前記参照電源電圧を、前記複数のゲートドライバ IC に出力する第 1 のバッファアンプ回路が搭載され、前記ソースドライバ基板には、前記電源電圧の変動成分を抑制して安定化された前記初期化電源電圧を、前記複数のソースドライバ IC に出力する第 2 のバッファアンプ回路が搭載されていてもよい。

【 0 0 1 6 】

これにより、電源部及びタイミング制御部よりも表示部に近い位置に配置されているドライバ基板上にバッファアンプ回路が配置される。よって、表示パネル裏面に配置された電源部、タイミング制御部及びドライバ基板を電気接続する配線の抵抗に影響されない安定化された参照電源電圧及び初期化電源電圧を画素に供給できるので、表示パネルの表示ムラを抑制することが可能となる。

【 0 0 1 7 】

また、例えば、前記ゲート駆動部は、前記表示パネルの左側端部に配置され、複数のゲートドライバ IC と、当該複数のゲートドライバ IC 及び前記タイミング制御部を接続する第 1 のゲートドライバ基板と、前記表示パネルの右側端部に配置され、複数のゲートドライバ IC と、当該複数のゲートドライバ IC 及び前記タイミング制御部を接続する第 2 のゲートドライバ基板とを含んでもよい。

【 0 0 1 8 】

これにより、表示部上に配置された、参照電源電圧を伝達する参照電源線の抵抗成分により、画素での参照電源電圧が変動することを低減することが可能となる。

【 0 0 1 9 】

また、例えば、前記データ駆動部は、前記表示パネルの上側端部に配置され、複数のソースドライバ IC と、当該複数のソースドライバ IC 及び前記タイミング制御部を接続する第 1 のソースドライバ基板と、前記表示パネルの下側端部に配置され、複数のソースドライバ IC と、当該複数のソースドライバ IC 及び前記タイミング制御部を接続する第 2 のソースドライバ基板とを含んでもよい。

【 0 0 2 0 】

これにより、表示部上に配置された、初期化電源電圧を伝達する初期化電源線の抵抗成分により、画素での初期化電源電圧が変動することを低減することが可能となる。

10

20

30

40

50

【 0 0 2 1 】

また、例えば、前記タイミング制御部は、前記ゲート駆動部に行順次に画素選択させている間に、前記ゲート駆動部及び前記データ駆動部に、それぞれ、前記参照電源電圧及び前記初期化電源電圧を前記容量素子の前記第 1 電極及び前記第 2 電極に印加させることにより、前記駆動トランジスタの閾値電圧を行順次に前記容量素子に保持させてもよい。

【 0 0 2 2 】

これにより、閾値電圧が補正されるので、駆動トランジスタの特性ばらつきに影響されない高精度な発光動作が実現される。

【 0 0 2 3 】

また、例えば、前記第 1 のバッファアンプ回路は、前記タイミング制御部を介して伝達された前記電源電圧が正電源端子に入力され、前記タイミング制御部が生成した所定の正電圧が正入力端子に入力され、負入力端子と出力端子とが短絡された第 1 増幅素子を備え、前記第 2 のバッファアンプ回路は、前記タイミング制御部を介して伝達された前記電源電圧が負電源端子に入力され、前記タイミング制御部が生成した所定の負電圧が正入力端子に入力され、負入力端子と出力端子とが短絡された第 2 増幅素子を備えてもよい。

10

【 0 0 2 4 】

これにより、低背性を有するバッファアンプ回路がドライバ基板に配置されるので、ドライバ基板の入力端子までに電源電圧が変動したとしても、表示パネルの厚みを増加させることなく当該変動が抑制された固定電圧を画素へ供給することが可能となる。

【 0 0 2 5 】

以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

20

【 0 0 2 6 】

また、各図面は理解を容易するために、また、作図を容易にするために、省略、拡大あるいは縮小した箇所がある。また、同一番号または、記号等を付した箇所は、同一もしくは類似の形態もしくは材料あるいは機能もしくは動作、あるいは関連する事項、作用などを有している。

30

【 0 0 2 7 】

(実施の形態)

[有機 EL 表示装置の基本構成]

本実施の形態に係る有機 EL 表示装置の構成について、図 1 を用いて説明する。

【 0 0 2 8 】

図 1 は、実施の形態に係る有機 EL 表示装置の基本構成を示すブロック図である。本実施の形態に係る有機 EL 表示装置 1 は、制御部 10 と、電源部 20 と、データ駆動部 30 と、ゲート駆動部 40 と、表示部 50 とを備える。表示部 50 は、複数の画素 51 が行列状に配置された表示領域である。なお、各画素 51 とデータ駆動部 30 とは、画素列ごとに配置されたデータ線及び初期化電源線を介して接続されている。一方、各画素 51 とゲート駆動部 40 とは、画素行ごとに配置された走査線及び参照電源線を介して接続されている。

40

【 0 0 2 9 】

電源部 20 は、電源電圧を生成する。より具体的には、電源部 20 は、画素 51 の回路構成要素である容量素子の第 1 電極に印加される参照電源電圧（第 1 電源電圧）及び当該容量素子の第 2 電極に印加される初期化電源電圧（第 2 電源電圧）の少なくとも一方に対応した電源電圧を生成する。

【 0 0 3 0 】

制御部 10 は、電源部 20 とデータ駆動部 30 及びゲート駆動部 40 との電気経路上に配置され、電源部 20 からの電源電圧をデータ駆動部 30 及びゲート駆動部 40 へ伝達す

50

る。また、制御部 10 は、映像信号を反映したデータ信号を出力するタイミングをデータ駆動部 30 に指示し、データ信号を供給すべき画素を選択する選択信号を出力するタイミングをゲート駆動部 40 に指示するタイミング制御部である。

【0031】

データ駆動部 30 は、電源部 20 と表示部 50 との電気経路上に配置され、初期化電源線を介して画素 51 が有する容量素子の第 2 電極に初期化電源電圧を印加する。また、データ駆動部 30 は、制御部 10 の指示に基づき、データ線を介して階調信号に対応したデータ電圧を画素 51 へ出力する。具体的には、データ駆動部 30 は、複数のソースドライバ基板 31 と、1 つのソースドライバ基板 31 に対応して複数配置された COF (Chip on Film, Chip on Flexible) 32 とで構成され、映像信号及び水平同期信号に基づいて、各画素にデータ電圧を出力する。COF 32 は、ソースドライバ IC を構成している。ソースドライバ基板 31 は、COF 32 と制御部 10 とを接続するプリント基板である。

10

【0032】

ゲート駆動部 40 は、電源部 20 と表示部 50 との電気経路上に配置され、参照電源線を介して画素 51 の回路構成要素である容量素子の第 1 電極に参照電源電圧を印加するとともに、制御部 10 の指示に基づき、走査線を介して上記選択信号を画素 51 へ出力する。具体的には、ゲート駆動部 40 は、複数のゲートドライバ基板 41 と、1 つのゲートドライバ基板 41 に対応して複数配置された COF 42 とで構成され、垂直同期信号及び水平同期信号に基づいて、各画素に選択信号を画素行単位で出力する。COF 42 は、ゲートドライバ IC を構成している。ゲートドライバ基板 41 は、COF 42 と制御部 10 とを接続するプリント基板である。

20

【0033】

[表示部の構成及び動作]

以下、表示部 50 の構成及び動作について説明する。

【0034】

図 2 A は、実施の形態に係る有機 EL 表示装置の画素回路構成の一例を示す図である。図 2 A には、表示パネル上に行列状に配置された複数の画素 51 のうちの一画素における回路が示されている。画素 51 は、有機 EL 素子 501 と、駆動トランジスタ 502 と、スイッチ 503 ~ 506 と、容量素子 510 とを備える。また、画素 51 には、参照電源線 560 と、EL アノード電源線 581 (V_{tft}) と、EL カソード電源線 582 (V_{el}) と、初期化電源線 593 (V_{ini}) と、走査線 591 と、参照電圧制御線 592 と、初期化制御線 594 と、発光制御線 596 と、データ線 595 とが配線されている。

30

【0035】

有機 EL 素子 501 は、発光素子の一例であり、駆動トランジスタ 502 の駆動電流により発光する。有機 EL 素子 501 は、カソードが EL カソード電源線 582 に接続され、アノードが駆動トランジスタ 502 のソースに接続されている。

【0036】

駆動トランジスタ 502 は、有機 EL 素子 501 への電流の供給を制御する電圧駆動の駆動素子である。駆動トランジスタ 502 は、ゲートが容量素子 510 の第 1 電極と接続され、ソースが容量素子 510 の第 2 電極及び有機 EL 素子 501 のアノードに接続されている。駆動トランジスタ 502 は、スイッチ 504 がオフ状態及びスイッチ 505 がオン状態である場合に、データ信号電圧に応じた電流である駆動電流を有機 EL 素子 501 に流すことにより有機 EL 素子 501 を発光させる。ここで、EL アノード電源線 581 に供給されている電圧 V_{tft} は、例えば 19 V である。また、駆動トランジスタ 502 は、スイッチ 504 がオフ状態及びスイッチ 505 がオフ状態である場合に、駆動電流を有機 EL 素子 501 に流さないことで有機 EL 素子 501 を発光させない。さらに、駆動トランジスタ 502 の閾値電圧は、スイッチ 504 がオン状態、スイッチ 503 がオフ状態、スイッチ 506 がオフ状態、及びスイッチ 505 がオン状態である間に、容量素子 510 にて検出される。

40

50

【0037】

容量素子510は、駆動トランジスタ502に流す電流量を決める電圧を保持する。容量素子510の第1電極は、駆動トランジスタ502のゲートに接続され、さらに、参照電源線560(Vref)とスイッチ504を介して接続されている。また、参照電源線560は、COF42と接続されている。これにより、容量素子510の第1電極は参照電源電圧に設定される。容量素子510は、例えば、スイッチ504がオフ状態となった後も、印加された参照電源電圧Vrefを維持し、継続して駆動トランジスタ502のゲートにその参照電源電圧Vrefを供給する。また、容量素子510は、スイッチ503がオン状態となった場合に、データ電圧が印加され、スイッチ504がオフ状態になった後、そのデータ電圧を保持する。そして、スイッチ505がオン状態となった後の駆動トランジスタ502に駆動電流を供給させる。

10

【0038】

スイッチ503は、データ電圧を供給するためのデータ線595と容量素子510の第1電極との導通及び非導通を切り換えるスイッチ素子であり、例えばNMOSトランジスタである。

【0039】

スイッチ504は、参照電源電圧Vrefを供給する参照電源線560と容量素子510の第1電極との導通及び非導通を切り換えるスイッチ素子であり、例えばNMOSトランジスタである。

【0040】

スイッチ506は、容量素子510の第2電極と初期化電源線593との導通及び非導通を切り換えるスイッチングトランジスタであり、容量素子510の第2電極に対して初期化電源電圧Viniを与える機能を有する。なお、初期化電源線593は、COF32と接続されている。

20

【0041】

スイッチ505は、ELアノード電源線581と駆動トランジスタ502のドレインとの導通及び非導通を切り換えるスイッチ素子であり、例えばNMOSトランジスタである。スイッチ505は、駆動トランジスタ502のドレインに電位Vtftを与える機能と、駆動トランジスタ502の閾値電圧Vthの検出を行わせる機能を有する。

【0042】

なお、スイッチ503~506は、n型TFTとして説明を行うが、p型TFTであってもよく、また、n型TFTとp型TFTとが混在して用いられてもよい。

30

【0043】

参照電源線560は、COF42と複数の画素51とを電氣的に接続し、容量素子510の第1電極の電圧値を規定する参照電源電圧Vref(第1電源電圧)を伝達する。初期化電源線593は、COF32と複数の画素51とを電氣的に接続し、駆動トランジスタ502のソース及び容量素子510の第2電極を初期化する初期化電源電圧Vini(第2電源電圧)を伝達する。

【0044】

ELアノード電源線581は、駆動トランジスタ502のドレインに駆動電位を供給するための駆動電源線である。ELカソード電源線582は、有機EL素子501のカソードに接続された低電圧側電源線である。

40

【0045】

また、駆動トランジスタ502の閾値電圧を検出する観点から、参照電源電圧Vrefと初期化電源電圧Viniとの電位差は、駆動トランジスタ502の最大閾値電圧よりも大きな電圧に設定される。

【0046】

なお、有機EL表示装置1は、例えば、CPU(Central Processing Unit)、制御プログラムを格納したROM(Read Only Memory)などの記憶媒体、RAM(Random Access Memory)などの作業用

50

メモリ、及び通信回路を有してもよい。

【 0 0 4 7 】

次に、本実施の形態に係る有機 E L 表示装置の駆動方法について、図 2 B 及び図 3 A ~ 図 3 D を参照しながら説明する。

【 0 0 4 8 】

図 2 B は、実施の形態に係る有機 E L 表示装置の画素回路の動作タイミングチャートの一例である。なお、本実施の形態に係る有機 E L 表示装置 1 は、行順次走査するシーケンスにより駆動される。より具体的には、有機 E L 表示装置 1 では、図 2 B に示すように、初期化動作、V t h (閾値電圧) 検出動作、書込み動作、及び発光動作がそれぞれ行順次に実行される。以下、図 2 B に示された期間 a ~ j に従って説明していく。図 2 B において、横軸は時間を表している。また、縦軸方向には、表示パネルを構成する画素のうち対応する行の画素 5 1 に対する初期化制御線 5 9 4、参照電圧制御線 5 9 2、発光制御線 5 9 6、走査線 5 9 1、及びデータ線 5 9 5 に発生する電圧の波形図が示されている。

10

【 0 0 4 9 】

上記駆動方法は、画素 5 1 の上記構成により期間 a から期間 j を実施することで実現される。

【 0 0 5 0 】

[期間 a]

期間 a では、スイッチ 5 0 6 のみを導通状態として、駆動トランジスタ 5 0 2 のソース電位を安定させる (駆動トランジスタ 5 0 2 のソース電位を初期化電源電圧 V i n i に設定する) 。

20

【 0 0 5 1 】

[期間 b]

期間 b では、後続する期間 d において駆動トランジスタ 5 0 2 の閾値電圧検出を行うべくドレイン電流を流すのに必要な電圧を、予め容量素子 5 1 0 の第 1 電極及び駆動トランジスタ 5 0 2 のゲートに印加する。

【 0 0 5 2 】

図 3 A は、初期化期間における画素回路の状態を表す図である。具体的には、参照電圧制御線 5 9 2 の電圧レベルを L O W から H I G H に変化させてスイッチ 5 0 4 を導通状態とする。これにより、参照電源線 5 6 0 の参照電源電圧 V r e f が、容量素子 5 1 0 に印加される。ここで、電源部 2 0 及びゲート駆動部 4 0 により、参照電源電圧 V r e f は、例えば 3 . 1 V に設定されている。また、電源部 2 0 及びデータ駆動部 3 0 により、初期化電源電圧 V i n i は、例えば - 3 . 3 V に設定されている。さらに、E L カソード電圧 V e l は、例えば 1 . 3 V に設定されている。上記電圧設定により、期間 b では、参照電源線 5 6 0 から初期化電源線 5 9 3 に向け、容量素子 5 1 0 への充電電流が流れる。これにより、駆動トランジスタ 5 0 2 のゲート - ソース間電圧は、閾値電圧検出動作を行うのに必要な初期ドレイン電流を確保できる電圧に設定される。

30

【 0 0 5 3 】

[期間 c]

期間 c は、スイッチ 5 0 5 及び 5 0 6 が同時に導通状態となる期間を排除するための期間である。後続する期間 d ではスイッチ 5 0 5 を導通状態とするが、仮にこのときスイッチ 5 0 6 が導通状態であれば、スイッチ 5 0 5、駆動トランジスタ 5 0 2 及びスイッチ 5 0 6 を介して、E L アノード電源線 5 8 1 と初期化電源線 5 9 3 との間に貫通電流が流れてしまう。これに対して、期間 c の設定により、スイッチ 5 0 5 が導通状態のときにはスイッチ 5 0 6 は非導通状態となっているので、V t h 検出期間の最初において上記貫通電流が流れるのを防止することができる。

40

【 0 0 5 4 】

期間 a ~ c は、駆動トランジスタ 5 0 2 の V t h 検出期間においてドレイン電流を流すのに必要な電圧を容量素子 5 1 0 に充電する初期化期間である。

【 0 0 5 5 】

50

[期間 d]

期間 d では、駆動トランジスタ 5 0 2 の閾値電圧が容量素子 5 1 0 にて検出される。

【 0 0 5 6 】

図 3 B は、V t h 検出期間における画素回路の状態を表す図である。具体的には、走査線 5 9 1 及び初期化制御線 5 9 4 の電圧レベルを L O W、ならびに、参照電圧制御線 5 9 2 の電圧レベルを H I G H に維持し、発光制御線 5 9 6 の電圧レベルを L O W から H I G H に変化させる。すなわち、スイッチ 5 0 3 及び 5 0 6 をオフ状態とし、スイッチ 5 0 4 及び 5 0 5 をオン状態とする。

【 0 0 5 7 】

このとき、初期化期間での電圧設定 (V e l = 1 . 3 V) により有機 E L 素子 5 0 1 に
10
は電流が流れない状態でドレイン電流が流れ、駆動トランジスタ 5 0 2 のソース電位が変化する。言い換えると、E L アノード電源線 5 8 1 の電圧 V t f t により供給されるドレイン電流が 0 となるまで駆動トランジスタ 5 0 2 のソース電位は変化する。このように、駆動トランジスタ 5 0 2 の閾値電圧検出動作が開始される。

【 0 0 5 8 】

そして、期間 d の終了時には、容量素子 5 1 0 の第 1 電極と第 2 電極との電位差 (駆動トランジスタ 5 0 2 のゲート - ソース間電圧) は、駆動トランジスタ 5 0 2 の閾値電圧 V t h に相当する電位差となっている。

【 0 0 5 9 】

[期間 e]

期間 e では、閾値電圧検出動作が終了する。具体的には、発光制御線 5 9 6 の電圧レベルを H I G H から L O W に変化させる。すなわち、スイッチ 5 0 3 及び 5 0 6 はオフ状態、ならびにスイッチ 5 0 4 はオン状態に維持されつつ、スイッチ 5 0 5 をオフ状態とする。これにより、ドレイン電流の供給が停止され、閾値電圧検出動作が完了する。

【 0 0 6 0 】

[期間 f]

期間 f は、スイッチ 5 0 4 をオフ状態にすることで、後続する書込み期間においてデータ線 5 9 5 供給されるデータ電圧と参照電源線 5 6 0 の参照電源電圧 V r e f とが同時に容量素子 5 1 0 の第 1 電極に印加されるのを防止するための期間である。具体的には、初期化制御線 5 9 4、発光制御線 5 9 6 及び走査線 5 9 1 の電圧レベルを L O W に維持しつつ、参照電圧制御線 5 9 2 の電圧レベルを H I G H から L O W に変化させる。すなわち、
30
スイッチ 5 0 3 ~ 5 0 6 を、全てオフ状態とする。

【 0 0 6 1 】

[期間 g]

期間 g では、スイッチ 5 0 3 をオン状態にすることで、書込み動作の準備がなされる。具体的には、走査線 5 9 1 の電圧レベルを L O W から H I G H へと変化させる。

【 0 0 6 2 】

[期間 h]

期間 h は、データ線 5 9 5 から表示階調に応じたデータ電圧を画素 5 1 に取り込み、容量素子 5 1 0 に書き込む書込み期間である。
40

【 0 0 6 3 】

図 3 C は、書込み期間における画素回路の状態を表す図である。具体的には、データ線 5 9 5 及びスイッチ 5 0 3 を介してデータ電圧 V d a t a (0 . 3 ~ 1 3 . 2 V) が容量素子 5 1 0 の第 1 電極に印加される。これにより、容量素子 5 1 0 には、V t h 検出期間で保持された駆動トランジスタ 5 0 2 の閾値電圧 V t h に加えて、データ電圧と参照電源電圧 V r e f との電圧差が、容量素子 5 1 0 の静電容量と有機 E L 素子 5 0 1 の寄生容量との比に応じて記憶 (保持) される。ここで、スイッチ 5 0 5 が非導通状態にあるため、駆動トランジスタ 5 0 2 はドレイン電流を流さない。

【 0 0 6 4 】

大画面化による画素数の増加に伴い、各画素に映像信号を書き込む期間 (水平走査期間
50

)は短くなる。一方、大画面化に伴い走査線591の時定数が増加するため、水平走査期間の短縮とあわせて、データ電圧を画素51に書き込むことが難しくなる。そこで、走査線591の波形なまりがあっても、正確なデータ電圧を、データ線595を介して書き込むことができるよう期間gが設けられている。つまり、データ電圧がデータ線595に印加される前に、走査線591の立ち上がりを完了させスイッチ503が完全にオン状態となるようにしている。また、期間hの終了時には、走査線591の電位を通常のLOWレベルよりも低く設定することにより走査線591の立ち下りを迅速に完了させている。

【0065】

これにより、走査線591の負荷(配線時定数)が大きく、立ち上がり及び立ち下がりに時間がかかるような大画面、高画素数の表示パネルであっても確実に書き込むことができる。

10

【0066】

[期間i]

期間iは、発光期間である。

【0067】

図3Dは、発光期間における画素回路の状態を表す図である。具体的には、走査線591、参照電圧制御線592及び初期化制御線594の電圧レベルをLOWに維持しつつ、発光制御線596の電圧レベルをLOWからHIGHに変化させる。すなわち、スイッチ503、504及び506をオフ状態に維持しつつ、スイッチ505をオン状態とする。

【0068】

このように、スイッチ505をオン状態とすることで、容量素子510に蓄えられた電圧に応じて有機EL素子501に電流を供給し発光させることができる。

20

【0069】

上述した動作シーケンスにおいて、閾値電圧が補正されることにより、駆動トランジスタの特性ばらつきに影響されない高精度な発光動作が実現される。

【0070】

しかしながら、従来の表示装置では、期間bにおいて容量素子510の第2電極へ初期化電源電圧を供給する際、及び、期間dにおいて容量素子510の第1電極へ参照電源電圧を供給する際に、各電源電圧が変動することが想定される。この電源電圧が変動すると、閾値電圧検出開始時において、容量素子510の両電極間に十分な電位差が確保されず、正確な閾値電圧検出が実行されない場合がある。また、上記閾値電圧検出動作は行順次に実行されるので、上記電源電圧の変動が所定の期間において発生した場合には、隣接する複数行において同様の誤差が閾値電圧検出に発生する。これにより、表示パネル上には、横帯状の表示ムラが発生してしまう。

30

【0071】

これに対して、本開示の有機EL表示装置1は、特に、上述した閾値電圧検出時における参照電源電圧及び初期化電源電圧の変動による横帯状の表示ムラを解消するものである。具体的には、後述するドライバ基板(ソースドライバ基板及びゲートドライバ基板)上に、電源電圧を伝達するバッファアンプ回路を配置することにより、上記表示ムラを解消することが可能となる。

40

【0072】

以下では、本開示の有機EL表示装置1の要部特徴であるドライバ基板の構成を中心に説明する。

【0073】

[ドライバ基板の構成]

以下、データ駆動部30及びゲート駆動部40が有するドライバ基板の構成について説明する。

【0074】

図4は、実施の形態に係る有機EL表示装置の表示パネル裏面構成図である。有機EL表示装置1において、ガラス基板100の表面である表示面(図4に図示せず)には、表

50

示部 50 が配置されている。また、図 4 に示すように、ガラス基板 100 の裏面である非表示面には、TCON 基板 11 と、電源基板 21 と、ソースドライバ基板 31 と、ゲートドライバ基板 41 と、COF 32 及び 42 と、バッファアンプ回路 33 及び 43 と、FFC (Flexible Flat Cable) 61 及び 71 と、中継用ハーネス 81 とが配置されている。

【0075】

ガラス基板 100 の表示面には、行列状に配置された画素 51 が形成され、画素列ごとにデータ線 595 及び初期化電源線 593 が配置され、画素行ごとに走査線 591、参照電圧制御線 592 及び発光制御線 596 が配置されている。

【0076】

TCON 基板 11 は、図 1 における制御部 10 に相当し、電源基板 21 は、図 1 における電源部 20 に相当する。電源基板 21 と TCON 基板 11 とは、低インピーダンスの中継用ハーネス 81 で接続されており、中継用ハーネス 81 を介して電源電圧が伝達される。また、TCON 基板 11 とソースドライバ基板 31 とは、FFC 61 で接続されており、FFC 61 を介して電源電圧に対応した電圧が伝達される。また、TCON 基板 11 とゲートドライバ基板 41 とは、FFC 71 で接続されており、FFC 71 を介して電源電圧に対応した電圧が伝達される。

【0077】

ソースドライバ基板 31 と COF 32 と バッファアンプ回路 33 とは、データ駆動部 30 を構成している。COF 32 は、非表示面に配置されたソースドライバ基板 31、表示面に形成されたデータ線 595 及び初期化電源線 593 に接続されており、ガラス基板 100 の側面を覆うように表示面から非表示面にわたり配置されている。

【0078】

1 つのソースドライバ基板 31 には、例えば、1 つのバッファアンプ回路 33 が搭載され、当該バッファアンプ回路 33 は FFC 61 を介して TCON 基板 11 と接続されている。また、バッファアンプ回路 33 は、ソースドライバ基板 31 と接続された複数の COF 32 に対して初期化電源電圧を出力する。ここで、バッファアンプ回路 33 は、電源基板 21 と TCON 基板 11 とを繋ぐ中継用ハーネス 81、及び、TCON 基板 11 とソースドライバ基板 31 とを繋ぐ FFC 61 などが有する配線抵抗に影響されない初期化電源電圧を出力する。言い換えれば、バッファアンプ回路 33 は、ソースドライバ基板 31 までの電圧伝達経路に起因する電源電圧の変動成分を、データ駆動部 30 においてキャンセル（相殺）する。そして、変動成分のキャンセルにより安定化された初期化電源電圧を、COF 32 を介して画素 51 の容量素子 510 の第 2 電極に印加する。つまり、バッファアンプ回路 33 は、TCON 基板 11 を介して伝達された電源電圧の変動成分を抑制して複数の画素 51 に対して安定化された固定電圧である初期化電源電圧を供給する。

【0079】

ゲートドライバ基板 41 と COF 42 と バッファアンプ回路 43 とは、ゲート駆動部 40 を構成している。COF 42 は、非表示面に配置されたゲートドライバ基板 41、表示面に形成された走査線 591、参照電圧制御線 592 及び発光制御線 596 に接続されており、ガラス基板 100 の側面を覆うように表示面から非表示面にわたり配置されている。

【0080】

1 つのゲートドライバ基板 41 には、例えば、1 つのバッファアンプ回路 43 が搭載され、当該バッファアンプ回路 43 は FFC 71 を介して TCON 基板 11 と接続されている。また、バッファアンプ回路 43 は、ゲートドライバ基板 41 と接続された複数の COF 42 に対して参照電源電圧を出力する。ここで、バッファアンプ回路 43 は、電源基板 21 と TCON 基板 11 とを繋ぐ中継用ハーネス 81、及び、TCON 基板 11 とゲートドライバ基板 41 とを繋ぐ FFC 71 などが有する配線抵抗に影響されない参照電源電圧を出力する。言い換えれば、バッファアンプ回路 43 は、ゲートドライバ基板 41 までの電圧伝達経路に起因する参照電源電圧の変動成分を、ゲート駆動部 40 においてキャンセ

10

20

30

40

50

ル（相殺）する。そして、変動成分のキャンセルにより安定化された参照電源電圧を、C O F 4 2 を介して画素 5 1 の容量素子 5 1 0 の第 1 電極に印加する。つまり、バッファアンプ回路 4 3 は、T C O N 基板 1 1 を介して伝達された電源電圧の変動成分を抑制して複数の画素 5 1 に対して安定化された固定電圧である参照電源電圧を供給する。

【 0 0 8 1 】

上記構成のように、ソースドライバ基板 3 1 にバッファアンプ回路 3 3 が搭載されることにより、中継用ハーネス 8 1 及び F F C 6 1 などの配線抵抗に影響されない安定化された初期化電源電圧を画素 5 1 に印加することが可能となる。また、ゲートドライバ基板 4 1 にバッファアンプ回路 4 3 が搭載されることにより、中継用ハーネス 8 1 及び F F C 7 1 などの配線抵抗に影響されない安定化された参照電源電圧を画素 5 1 に印加することが可能となる。よって、表示パネルの表示ムラを抑制することが可能となる。

10

【 0 0 8 2 】

また、ソースドライバ基板 3 1 は、表示パネル裏面の上下両端部に分かれて複数配置されていることが好ましい。これにより、初期化電源線 5 9 3 の抵抗成分による画素 5 1 での初期化電源電圧の電圧降下を低減することが可能となる。

【 0 0 8 3 】

また、ゲートドライバ基板 4 1 は、表示パネル裏面の左右両端部に分かれて複数配置されていることが好ましい。これにより、表示部 5 0 上に配置された参照電源線 5 6 0 の抵抗成分による参照電源電圧の電圧降下を低減することが可能となる。

20

【 0 0 8 4 】

画素 5 1 に印加される固定電圧を安定化するという観点からは、例えば、表示部 5 0 に近いドライバ基板近傍に電源相当のものを配置することが考えられる。しかしながら、有機 E L 表示装置は、大画面化、薄型化及び狭額縁化の方向に進展していくため、特に、表示パネル周辺の厚さは約 5 mm 以下とすることが望ましい。この制約により、表示パネル周辺に配置されるドライバ基板の近傍に電源そのものを配置することは困難である。本実施の形態に係る有機 E L 表示装置 1 は、画素 5 1 に印加される固定電圧の安定化と、表示パネルの薄型化及び狭額縁化とを両立させるため、薄型可能な電源相当のバッファアンプ回路をドライバ基板上に配置するものである。

【 0 0 8 5 】

なお、本実施の形態では、ソースドライバ基板 3 1 及びゲートドライバ基板 4 1 を、それぞれ、表示パネルの両端部に分配配置した構成を例示したが、ソースドライバ基板 3 1 及びゲートドライバ基板 4 1 の双方または片方を、表示パネルの一端に片側配置してもよい。

30

【 0 0 8 6 】

[バッファアンプ回路の構成]

以下では、ドライバ基板に搭載されたバッファアンプ回路の構成について説明する。

【 0 0 8 7 】

図 5 A は、実施の形態に係るゲートドライバ基板上のバッファアンプ回路の構成を説明する図である。同図には、表示パネル裏面の左側端部に配置されたゲートドライバ基板 4 1 L と、表示パネル裏面の右側端部に配置されたゲートドライバ基板 4 1 R と、ゲートドライバ基板 4 1 L 及び 4 1 R に電源電圧に対応した電圧を供給する T C O N 基板 1 1 と、T C O N 基板 1 1 に電源電圧を供給する電源基板 2 1 とが表されている。

40

【 0 0 8 8 】

ゲートドライバ基板 4 1 L 及び 4 1 R は、それぞれ、バッファアンプ回路 4 3 を有している。バッファアンプ回路 4 3 は、第 1 増幅素子であるアンプ素子を有している。電源基板 2 1 から出力された電源電圧は、T C O N 基板 1 1 が有する D C D C コンバータに入力される。アンプ素子において、正電源端子には、T C O N 基板 1 1 が有する D C D C コンバータから出力された第 1 電源電圧 (B U F _ P O W (+)) が入力される。また、正入力端子には、T C O N 基板 1 1 が有する D A 変換器 (D A C) が出力する所定の正基準電圧 (B U F _ S I G) が入力される。また、負入力端子と出力端子とは短絡されている。

50

上記アンプ素子は、例えば、OPアンプである。このように、低背性を有するバッファアンプ回路43をゲートドライバ基板41に配置した構成により、ゲートドライバ基板41L及び41Rの入力端子までに電源電圧及び第1電源電圧が変動したとしても、表示パネルの厚みを増加させることなく当該変動が抑制された参照電源電圧 V_{ref} を複数のCOF42へ供給することが可能となる。

【0089】

図5Bは、実施の形態に係るソースドライバ基板上のバッファアンプ回路の構成を説明する図である。同図には、表示パネル裏面の上側端部に配置されたソースドライバ基板31Uと、表示パネル裏面の下側端部に配置されたソースドライバ基板31Dと、ソースドライバ基板31U及び31Dに電源電圧に対応した電圧を供給するTCON基板11と、TCON基板11に電源電圧を供給する電源基板21とが表されている。

10

【0090】

ソースドライバ基板31U及び31Dは、それぞれ、バッファアンプ回路33を有している。電源基板21から出力された電源電圧は、TCON基板11が有するDCDCコンバータに入力される。バッファアンプ回路33は、第2増幅素子であるアンプ素子を有している。このアンプ素子において、負電源端子には、TCON基板11が有するDCDCコンバータから出力された第2電源電圧($BUF_POW(-)$)が入力される。また、正入力端子には、TCON基板11が有するDA変換器(DAC)が出力する所定の負基準電圧(BUF_SIG)が入力される。また、負入力端子と出力端子とは短絡されている。上記アンプ素子は、例えば、OPアンプである。このように、低背性を有するバッファアンプ回路33をソースドライバ基板31に配置した構成により、ソースドライバ基板31U及び31Dの入力端子までに電源電圧及び第2電源電圧が変動したとしても、表示パネルの厚みを増加させることなく当該変動が抑制された初期化電源電圧を複数のCOF32へ供給することが可能となる。

20

【0091】

なお、本実施の形態では、バッファアンプ回路33及び43を構成する増幅素子をOPアンプとして例示したが、これに限られない。入力された電源電圧に対して当該電源電圧の供給能力を高めることが可能な電源電圧安定回路であればよく、例えば、レギュレータであってもよい。

【0092】

[電源電圧の比較]

以下、上述した構成を有する本開示の有機EL表示装置1と従来の表示装置との電源電圧の安定度を比較する。

30

【0093】

図6Aは、実施の形態に係る有機EL表示装置における電源電圧変動の抑制要因を説明する図である。また、図6Bは、従来の表示装置における電源電圧変動要因を説明する図である。図6A及び図6Bは、電源基板21からガラス基板100上の画素51までに形成された配線の抵抗の構成を表している。いずれにおいても、TCON基板11内の配線抵抗 R_{tcn} (1.5~2)、FFCの抵抗 R_{ffc} (2~3)、COFの抵抗 R_{cof} (1)、及び表示部50内に配置された各電源線の配線抵抗 R_{pn1} が直列に接続されている。加えて、図6Bでは、 R_{ffc} と R_{cof} との間に、ドライバ基板内の抵抗 R_{drv} (0.2)が挿入されている。

40

【0094】

上記配線抵抗の構成比較において、図6Aに示された本実施の形態に係る有機EL表示装置1では、ソースドライバ基板31及びゲートドライバ基板41上にバッファアンプ回路33及び43が配置されているため、ドライバ基板までの配線抵抗による電圧降下を考慮する必要がない。よって、図6Aに示された本実施の形態に係る有機EL表示装置1では、ドライバ基板の出力端から画素51までの配線抵抗 $R_{cof} + R_{pn1}$ のみを考慮すればよい。一方、図6Bに示された従来の表示装置では、配線抵抗 $R_{cof} + R_{pn1}$ に加えて、ドライバ基板までの配線抵抗 R_{tcn} 及び R_{ffc} も考慮しなければならない。

50

【0095】

図7は、有機EL表示装置における参照電源電圧変動の抑制効果を比較する図である。同図には、実施の形態に係る有機EL表示装置1の画素51における参照電源電圧 V_{ref} の変動特性(図7のA)、及び、従来の表示装置の画素における参照電源電圧 V_{ref} の変動特性(図7のB及びC)が示されている。

【0096】

具体的には、電源基板21またはTCON基板11の近傍で所定の電源電圧の変動が発生した場合において、従来の表示装置では、 $51.6\mu\text{s}$ の間、画素における参照電源電圧 V_{ref} が変動している(図7のB)。この変動期間は、走査行に換算すると14走査行に相当する。つまり、 $51.6\mu\text{s}$ の間、参照電源電圧 V_{ref} が変動したことに対して、14画素行において閾値電圧検出精度が悪化し、最大で14画素行にわたり横帯状の表示ムラが発生する。

10

【0097】

これに対して、実施の形態に係る有機EL表示装置1では、 $3.7\mu\text{s}$ の間、画素における参照電源電圧 V_{ref} が変動している(図7のA)。この変動期間は、走査行に換算すると1走査行に相当する。つまり、 $3.7\mu\text{s}$ の間、参照電源電圧 V_{ref} が変動したことに対して、1画素行において閾値電圧検出精度が悪化する。しかし、これにより1行分の表示誤差が発生したとしても、当該表示誤差は視認されない程度のもものと判断される。

【0098】

なお、図7には、従来の表示装置において、FFCの配線抵抗 R_{ffc} を2~3から0.1へと低減させた場合には、最大変動電圧を低減できることが示されている(図7のC)。これにより、ドライバ基板にバッファアンプ回路が配置されない場合において、電源電圧を伝達する配線の抵抗が、画素における電源電圧の変動に大きく影響していることが理解できる。本実施の形態に係る有機EL表示装置1によれば、例えば、大画面化されたとしても、電源電圧を伝達する配線のレイアウトに影響されずに、電源電圧の変動に起因する表示ムラを抑制することが可能となる。

20

【0099】

(他の実施の形態)

以上、実施の形態に係る有機EL表示装置について説明したが、本開示の有機EL表示装置は、上述した実施の形態に限定されるものではない。上記実施の形態に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、有機EL表示装置1を内蔵した各種機器も本発明に含まれる。

30

【0100】

また、上記実施の形態では、本開示の有機EL表示装置が有する画素回路構成の一例を挙げたが、画素51の回路構成は上記回路構成に限定されない。例えば、上記実施の形態では、ELアノード電源線581とELカソード電源線582との間に、スイッチ505、駆動トランジスタ502及び有機EL素子501が、この順に配置されている構成を例示したが、これらの3素子が異なる順で配置されていてもよい。つまり、本開示の有機EL表示装置は、駆動トランジスタがn型であってもp型であっても、駆動トランジスタ502のドレイン電極及びソース電極、ならびに有機EL素子501のアノード電極及びカソード電極が、ELアノード電源線581とELカソード電源線582との間の電流径路上に配置されていればよく、駆動トランジスタ502及び有機EL素子501の配置順には限定されない。

40

【0101】

また、上記実施の形態では、スイッチ503~506は、ゲート電極、ソース電極及びドレイン電極を有するMOSFETであることを前提として説明してきたが、これらのトランジスタには、ベース、コレクタ及びエミッタを有するバイポーラトランジスタが適用されてもよい。この場合にも、本発明の目的が達成され同様の効果を奏する。

【0102】

50

また、上記実施の形態に係る有機EL表示装置に含まれる制御部（制御回路）は、典型的には集積回路であるLSIとして実現される。なお、上記有機EL表示装置に含まれる制御回路の一部を、表示部50と同一の基板上に集積することも可能である。また、専用回路又は汎用プロセッサで実現してもよい。また、LSI製造後にプログラムすることが可能なFPGA（Field Programmable Gate Array）、又はLSI内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。

【0103】

また、上記実施の形態に係る有機EL表示装置に含まれるゲート駆動部、データ駆動部、及び制御部の機能の一部を、CPU等のプロセッサがプログラムを実行することにより実現してもよい。

10

【0104】

また、上記実施の形態に係る有機EL表示装置1では、有機EL素子を用いた表示装置である場合を例に述べたが、有機EL素子以外の発光素子を用いた表示装置に適用してもよい。

【0105】

また、例えば、上記実施の形態に係る有機EL表示装置1は、図8に示されたような薄型フラットTVに内蔵される。上記実施の形態に係る有機EL表示装置1が内蔵されることにより、表示ムラが抑制された高精度な画像表示が可能な薄型フラットTVが実現される。

20

【産業上の利用可能性】

【0106】

本開示は、特に、アクティブ型の有機ELフラットパネルディスプレイに有用である。

【符号の説明】

【0107】

- 1 有機EL表示装置
- 10 制御部
- 11 TCON基板
- 20 電源部
- 21 電源基板
- 30 データ駆動部
- 31、31U、31D ソースドライバ基板
- 32、42 COF
- 33、43 バッファアンプ回路
- 40 ゲート駆動部
- 41、41L、41R ゲートドライバ基板
- 50 表示部
- 51 画素
- 61、71 FFC
- 81 中継用ハーネス
- 100 ガラス基板
- 501 有機EL素子
- 502 駆動トランジスタ
- 503、504、505、506 スイッチ
- 510 容量素子
- 560 参照電源線
- 581 ELアノード電源線
- 582 ELカソード電源線
- 591 走査線
- 592 参照電圧制御線

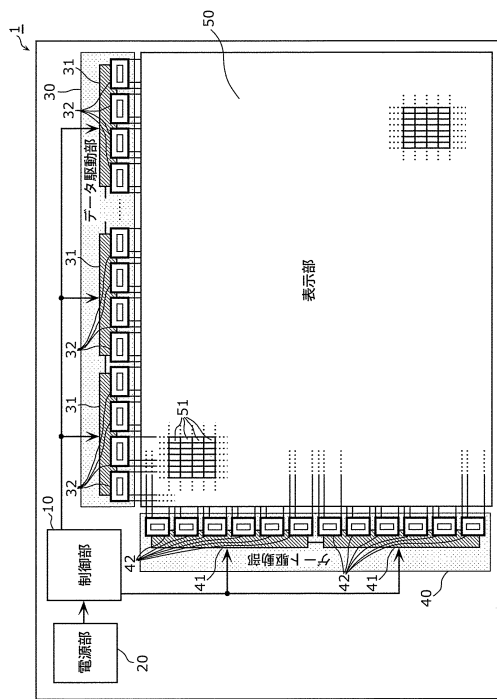
30

40

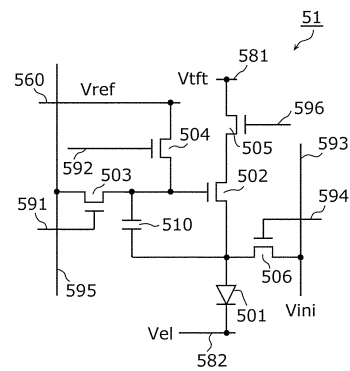
50

- 5 9 3 初期化電源線
- 5 9 4 初期化制御線
- 5 9 5 データ線
- 5 9 6 発光制御線

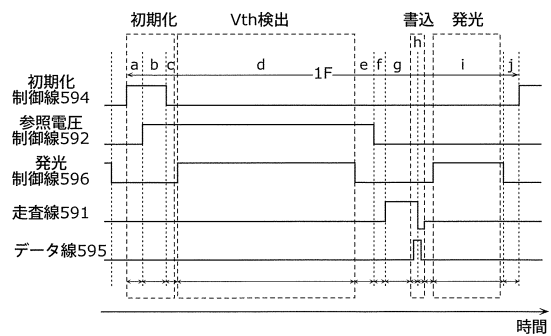
【図 1】



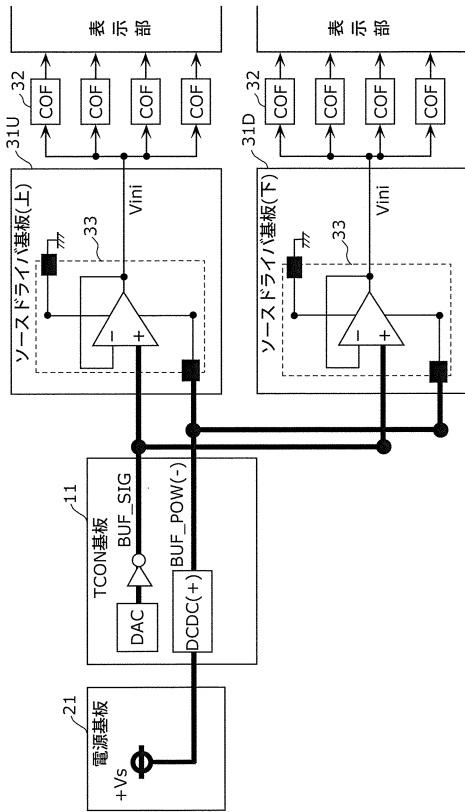
【図 2 A】



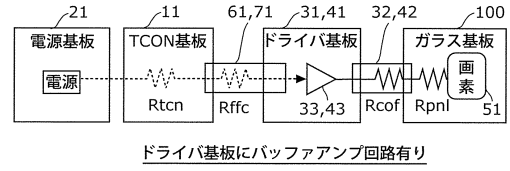
【図 2 B】



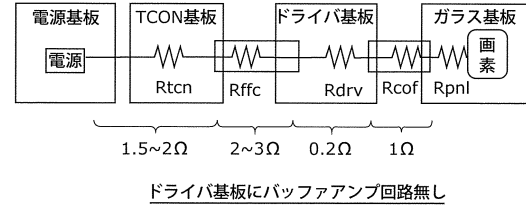
【図5B】



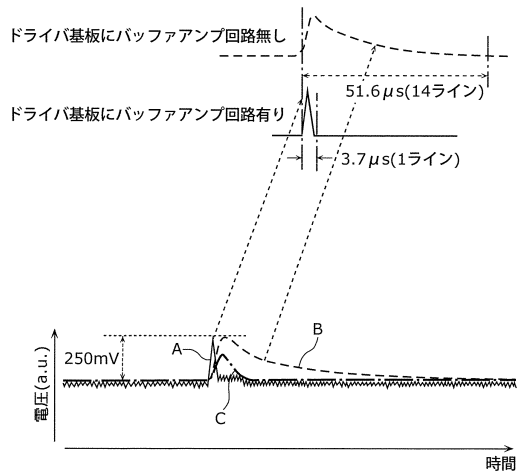
【図6A】



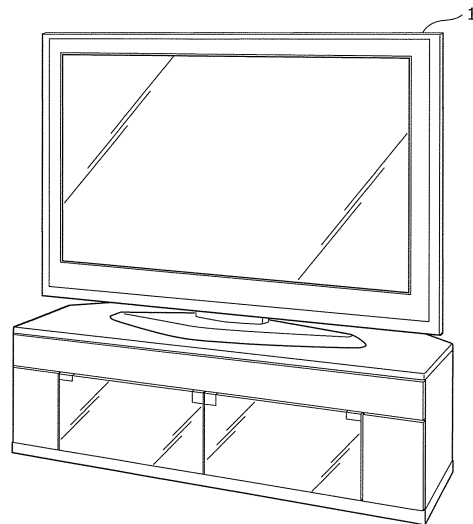
【図6B】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.		F I		
<i>G 0 9 G</i>	<i>3/20</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i> <i>6 2 4 B</i>
<i>G 0 9 F</i>	<i>9/30</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i> <i>6 1 2 A</i>
<i>G 0 9 F</i>	<i>9/00</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i> <i>6 1 2 E</i>
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i> <i>6 1 1 J</i>
			<i>G 0 9 G</i>	<i>3/20</i> <i>6 2 1 M</i>
			<i>G 0 9 G</i>	<i>3/20</i> <i>6 8 0 G</i>
			<i>G 0 9 G</i>	<i>3/20</i> <i>6 2 2 G</i>
			<i>G 0 9 G</i>	<i>3/20</i> <i>6 2 3 R</i>
			<i>G 0 9 G</i>	<i>3/20</i> <i>6 1 1 H</i>
			<i>G 0 9 G</i>	<i>3/20</i> <i>6 4 2 A</i>
			<i>G 0 9 F</i>	<i>9/30</i> <i>3 6 5</i>
			<i>G 0 9 F</i>	<i>9/30</i> <i>3 3 8</i>
			<i>G 0 9 F</i>	<i>9/00</i> <i>3 4 6 Z</i>
			<i>G 0 9 F</i>	<i>9/00</i> <i>3 4 8 Z</i>
			<i>H 0 5 B</i>	<i>33/14</i> <i>A</i>

(72)発明者 岩見 隆

日本国兵庫県姫路市飾磨区妻鹿日田町1 - 6 パナソニック液晶ディスプレイ株式会社内

審査官 山崎 仁之

(56)参考文献 特開2011-059683(JP,A)
 特開2007-140318(JP,A)
 特開2002-196314(JP,A)
 特開2010-020280(JP,A)
 米国特許出願公開第2011/0057913(US,A1)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G *3 / 3 0*
G 0 9 F *9 / 0 0*
G 0 9 F *9 / 3 0*
G 0 9 G *3 / 2 0*
G 0 9 G *3 / 3 2 0 8*
G 0 9 G *3 / 3 2 3 3*
G 0 9 G *3 / 3 2 6 6*
G 0 9 G *3 / 3 2 9 1*
H 0 1 L *5 1 / 5 0*