



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2004 060 170 A1 2005.07.28**

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2004 060 170.4**

(22) Anmeldetag: **14.12.2004**

(43) Offenlegungstag: **28.07.2005**

(51) Int Cl.7: **H01L 27/12**
H01L 21/84

(30) Unionspriorität:
2003-422762 19.12.2003 JP

(71) Anmelder:
Renesas Technology Corp., Tokio/Tokyo, JP

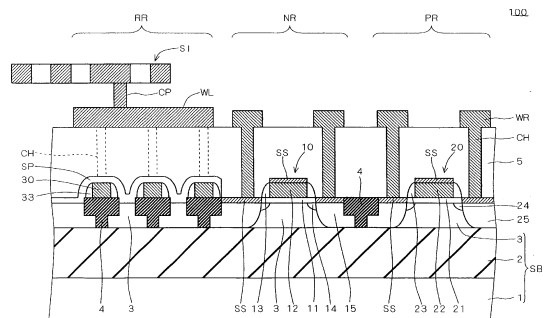
(74) Vertreter:
PRÜFER & PARTNER GbR, 81545 München

(72) Erfinder:
Iwamatsu, Toshiaki, Tokio/Tokyo, JP; Ipposhi, Takashi, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Halbleitervorrichtung und Verfahren zu ihrer Herstellung**

(57) Zusammenfassung: In einer Oberfläche einer SOI-Schicht (3) in einem Widerstandsbereich (RR), in dem eine Spiralinduktivität (SI) bereitgestellt werden soll, sind Grabtrennschichten (4) bereitgestellt, wobei Abschnitte einer SOI-Schicht (3) dazwischen liegen. Widerstandselemente (30) sind jeweils auf den Grabtrennschichten (4) ausgebildet. Jede der Grabtrennschichten (4) enthält einen Mittelabschnitt, der durch die SOI-Schicht (3) hindurch geht und eine vergrabene Oxidschicht (2) erreicht, um einen Vollgrabenrennaufbau zu enthalten, sowie einander gegenüberliegende Seitenabschnitte, von denen jeder lediglich einen Abschnitt der SOI-Schicht (3) durchdringt und auf der SOI-Schicht (3) gelegen ist, um einen Teilgrabenrennaufbau zu enthalten. Somit enthält jeder der Grabtrennschichten (4) einen Hybridgrabenrennaufbau.



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine Halbleitervorrichtung und auf ein Verfahren zu ihrer Herstellung, und insbesondere auf eine Halbleitervorrichtung, die eine Induktivität enthält, und ein Verfahren zu ihrer Herstellung.

[0002] Eine Halbleitervorrichtung, die auf einem SOI-Substrat (Silicon On Insulator = Silizium auf Isolator) gebildet ist, dass eine vergrabene Oxidschicht und eine SOI-Schicht enthält, die auf einem Siliziumsubstrat abgeschieden sind (eine solche Halbleitervorrichtung wird im folgenden als "SOI-Vorrichtung" bezeichnet), ist durch eine geringere parasitäre Kapazität, einen schnellen und zuverlässigen Betrieb und einen geringeren Leistungsverbrauch gekennzeichnet und wird in tragbaren Einrichtungen oder dergleichen verwendet.

Stand der Technik

[0003] Ein Beispiel für eine SOI-Vorrichtung ist eine SOI-Vorrichtung mit einem FTI-Aufbau (Full Trench Isolation = Vollgrabentrennung). In der SOI-Vorrichtung mit dem FTI-Aufbau wird in einer Oberfläche einer SOI-Schicht ein Graben gebildet, der die vergrabene Oxidschicht erreicht, und er wird mit einem Isolator gefüllt (der im folgenden auch als "Vollgrabentrennschicht" bezeichnet wird), um Elemente elektrisch voneinander zu trennen. In der SOI-Vorrichtung mit dem FTI-Aufbau neigen jedoch Träger (Löcher in einer NMOS-Vorrichtung), die aufgrund von Stoßionisation gebildet werden, dazu, sich in einem Kanalbereich (in dem der Kanal gebildet werden soll) anzusammeln. Somit hat die SOI-Vorrichtung mit dem FTI-Aufbau unter verschiedenen Problemen gelitten, die mit den Effekten eines schwebenden Körpers zusammenhängen. Aufgrund des unstabilen Potentials des Kanalbereichs tritt zum Beispiel ein Knick auf, eine Durchbruchspannung wird verringert oder eine Verzögerungszeit wird frequenzabhängig.

[0004] Um die obigen Probleme zu überwinden, wurde ein PTI-Aufbau (Partial Trench Isolation = Teilgrabentrennung) erfunden. Der PTI-Aufbau wird dadurch gebildet, dass in einer Oberfläche einer SOI-Schicht ein Graben gebildet wird, wobei zwischen einem Boden des Grabens und einer vergrabenen Oxidschicht ein Abschnitt der SOI-Schicht mit einer vorbestimmten Dicke belassen wird, und ein Isolator (Grabentrennschicht) in den Graben gefüllt wird.

[0005] Der PTI-Aufbau ermöglicht es Trägern, sich durch einen Wannenbereich unter der Grabentrennschicht zu bewegen. Dementsprechend kann ein Ansammeln von Trägern in einem Kanalbereich verhindert werden. Aufgrund der Existenz des Wannenbereichs kann auch das Potential des Kanalbereichs fi-

xiert werden, so dass die oben genannten, mit dem Effekt des schwebenden Körpers zusammenhängenden Probleme verhindert werden können.

[0006] Mittlerweile werden beim Bilden einer Hochfrequenzanalogschaltung oder dergleichen zusätzlich zu einem Transistor als aktivem Element eine Induktivität, ein Kondensator, ein Widerstand und dergleichen als passive Elemente verwendet.

[0007] Die japanische Patentoffenlegungsschrift Nr. 9-289324 (die im folgenden mit "JP 9-289324" bezeichnet wird) offenbart zum Beispiel das Bilden eines Polysiliziumwiderstands auf einer LO-COS-Oxidschicht (einer durch lokale Oxidation von Silizium gebildeten Oxidschicht) in der fünften und sechsten Spalte und **Fig. 2(g)**.

[0008] Wenn eine SOI-Vorrichtung mit dem PTI-Aufbau eine Spiralinduktivität enthält, wird in einer SOI-Schicht in einem Bereich, der unter der Induktivität liegt, eine Vollgrabentrennschicht gebildet. Dann werden auf der Vollgrabentrennschicht Widerstandselemente gebildet.

[0009] Die Spiralinduktivität hat einen rechteckförmigen Querschnitt mit Seiten, die jeweils eine Länge in einem Bereich zwischen einigen zehn Mikrometern und einigen hundert Mikrometern aufweisen. Das Bilden der Vollgrabentrennschicht unter der Spiralinduktivität bedeutet somit, dass sich die Vollgrabentrennschicht über einen weiten Bereich erstreckt, der einer Grundfläche der Spiralinduktivität entspricht.

[0010] Das Durchführen eines CMP-Vorgangs (Chemical Mechanical Polishing = chemisch-mechanisches Polieren) zum Fertigstellen der Vollgrabentrennschicht in der oben beschriebenen SOI-Vorrichtung würde bewirken, dass die Vollgrabentrennschicht überpoliert und in einem größeren Ausmaß als erforderlich entfernt würde. Demzufolge tritt ein sogenanntes "Dishing" (Einsenkung der Oberfläche) auf. Genauer gesagt sinkt die Dicke der Vollgrabentrennschicht mit sinkendem Abstand zu ihrer Mitte. Das Bilden von Widerstandselementen auf der Vollgrabentrennschicht, auf der eine Einsenkung auftritt, bewirkt eine unerwünschte Änderung der Abmessung oder Form einiger der Widerstandselemente, die in der Nähe eines Randes der Vollgrabentrennschicht angeordnet sind.

[0011] Eine mögliche Lösung für die obige unerwünschte Änderung besteht darin, das Bilden eines Widerstandselements in der Nähe des Rands der Vollgrabentrennschicht zu vermeiden. Diese Lösung erfordert jedoch eine Erhöhung der Fläche der Vollgrabentrennschicht, um die notwendige Anzahl von Widerstandselementen zu bilden. Demzufolge steigt eine Gesamtfläche der Vorrichtung.

[0012] Wenn bei dem CMP-Vorgang eine übermäßige Einsenkung auftritt, können darüber hinaus möglicherweise nicht nur die Trennschicht und die SOI-Schicht poliert werden, sondern auch eine darunterliegende vergrabene Oxidschicht. Weiterhin kann möglicherweise ein Siliziumsubstrat poliert werden.

[0013] Eine bekannte Lösung zum Vermeiden des Auftretens einer Einsenkung besteht darin, mehrere Dummy-Elementstellen getrennt voneinander in einem Bereich unter der Spiralinduktivität und ihrer Nachbarschaft zu bilden, wie es beispielsweise von der japanischen Patentoffenlegungsschrift Nr. 2002-110908 (die im folgenden als "JP 2002-110908" bezeichnet wird) in der sechsten Spalte und Fig. 3 und 4 offenbart ist.

[0014] Wie oben beschrieben muss man sich beim Bilden einer Grabentrennschicht mit einer großen Fläche dem Problem des Auftretens der Einsenkung stellen. In dieser Hinsicht würde der von der JP 2002-110908 offenbarte Aufbau, der das Auftreten einer Einsenkung durch Bilden mehrerer Dummy-Elementstellen vermeidet, die getrennt voneinander in einem Bereich gebildet sind, in dem die Grabentrennschicht gebildet werden soll, nicht das Bereitstellen der Widerstandselemente in dem entsprechenden Bereich ermöglichen. Daher ist der von der JP 2002-110908 offenbarte Aufbau für eine Hochfrequenzanalogschaltung oder dergleichen nicht geeignet.

Aufgabenstellung

[0015] Die Aufgabe der vorliegenden Erfindung besteht darin, eine SOI-Vorrichtung bereitzustellen, die das Auftreten einer Einsenkung vermeidet und für die Verringerung einer Parasitärkapazität eines Widerstandselements sorgt, um somit eine hohe Schaltungsleistungsfähigkeit zu erzielen.

[0016] Die Aufgabe wird gelöst durch eine Halbleitervorrichtung gemäß Anspruch 1.

[0017] Die Halbleitervorrichtung enthält ein SOI-Substrat, mehrere erste Trennschichten und mehrere Widerstandselemente. Das SOI-Substrat enthält ein als Grundlage dienendes Substrat, eine auf dem Substrat bereitgestellte Grabenoxidschicht und eine auf der vergrabenen Oxidschicht bereitgestellte SOI-Schicht. Die ersten Trennschichten sind in einer Hauptoberfläche der SOI-Schicht in einem auf dem SOI-Substrat definierten ersten Bereich bereitgestellt, wobei ein Abschnitt der SOI-Schicht dazwischen liegt. Die Widerstandselemente sind jeweils auf den ersten Trennschichten in dem ersten Bereich bereitgestellt. Zumindest ein Abschnitt jeder der Trennschichten geht durch die SOI-Schicht hindurch und erreicht die vergrabene Oxidschicht, um einen

Vollgrabentrennaufbau zu enthalten.

[0018] In der obigen Halbleitervorrichtung sind die ersten Trennschichten in der Hauptoberfläche der SOI-Schicht in dem auf dem SOI-Substrat definierten ersten Bereich bereitgestellt, wobei ein Abschnitt der SOI-Schicht dazwischen liegt. Dementsprechend enthält die Halbleitervorrichtung nicht eine einzelne Trennschicht, die sich über eine große Fläche erstreckt, wenn der erste Bereich eine ausgedehnte Fläche aufweist. Demzufolge kann das Auftreten einer Einsenkung, die bei der Bildung der Trennschichten leicht auftritt, verhindert werden. Da die Widerstandselemente jeweils auf den ersten Trennschichten in dem ersten Bereich bereitgestellt sind, kann der erste Bereich wirkungsvoll verwendet werden. Daher erfordert der Aufbau der obigen Halbleitervorrichtung kein Ansteigen seiner Fläche, und er ist daher geeignet zum Bilden einer Hochfrequenzanalogschaltung.

[0019] Die Aufgabe wird ebenfalls gelöst durch eine Halbleitervorrichtung gemäß Anspruch 2.

[0020] Die Halbleitervorrichtung enthält ein SOI-Substrat, mehrere erste Trennschichten und mehrere Widerstandselemente. Das SOI-Substrat enthält ein als Grundlage dienendes Substrat, eine auf dem Substrat bereitgestellte Grabenoxidschicht und eine auf der vergrabenen Oxidschicht bereitgestellte SOI-Schicht. Die ersten Trennschichten sind in einer Hauptoberfläche der SOI-Schicht in einem auf dem SOI-Substrat definierten ersten Bereich bereitgestellt, wobei Abschnitte der SOI-Schicht dazwischen liegen. Die Widerstandselemente sind jeweils über Isolierschichten auf den zwischen den ersten Trennschichten liegenden Abschnitten der SOI-Schicht bereitgestellt. Zumindest ein Abschnitt jeder der Trennschichten geht durch die SOI-Schicht hindurch und erreicht die vergrabene Oxidschicht, um einen Vollgrabentrennaufbau zu enthalten.

[0021] In der obigen Halbleitervorrichtung sind die ersten Trennschichten in der Hauptoberfläche der SOI-Schicht in dem auf dem SOI-Substrat definierten ersten Bereich bereitgestellt, wobei ein Abschnitt der SOI-Schicht dazwischen liegt. Dementsprechend enthält die Halbleitervorrichtung nicht eine einzelne Trennschicht, die sich über eine große Fläche erstreckt, wenn der erste Bereich eine ausgedehnte Fläche aufweist. Demzufolge kann das Auftreten einer Einsenkung, die bei der Bildung der Trennschichten leicht auftritt, verhindert werden. Da die Widerstandselemente jeweils über Isolierschichten auf den zwischen den ersten Trennschichten liegenden Abschnitten der SOI-Schicht bereitgestellt sind, kann der erste Bereich wirkungsvoll verwendet werden. Daher erfordert der Aufbau der obigen Halbleitervorrichtung kein Ansteigen seiner Fläche, und er ist daher geeignet zum Bilden einer Hochfrequenzanalog-

schaltung.

[0022] Die Aufgabe wird ebenfalls gelöst durch ein Verfahren gemäß Anspruch 12.

[0023] Das Verfahren wird verwendet zum Herstellen einer Halbleitervorrichtung mit: einem SOI-Substrat mit einem als Grundlage dienenden Substrat, einer auf dem Substrat bereitgestellten vergrabenen Oxidschicht und einer auf der vergrabenen Oxidschicht bereitgestellten SOI-Schicht; mehreren Trennschichten, die in einer Hauptoberfläche der SOI-Schicht in einem auf dem SOI-Substrat definierten ersten Bereich bereitgestellt sind, wobei Abschnitte der SOI-Schicht dazwischen liegen; mehreren Widerstandselementen, die jeweils auf den ersten Trennschichten in dem ersten Bereich oder auf den zwischen den ersten Trennschichten eingebetteten Abschnitten der SOI-Schicht bereitgestellt sind; und einen MOS-Transistor, der in einem von dem ersten Bereich verschiedenen zweiten Bereich bereitgestellt ist. Das Verfahren enthält die Schritte (a), (b), (c) und (d). Der Schritt (a) ist das Bilden der ersten Trennschichten in der Hauptoberfläche der SOI-Schicht in dem ersten Bereich. Der Schritt (b) ist das Durchführen einer Ionenimplantation einer Dotierung in die SOI-Schicht in dem zweiten Bereich, um eine Schwellenspannung des MOS-Transistors festzulegen. Der Schritt (c) ist das Bilden einer Polysiliziumschicht, die sich über den ersten und den zweiten Bereich erstreckt, nach dem Schritt (b). Der Schritt (d) ist das Strukturieren der Polysiliziumschicht auf dem ersten und dem zweiten Bereich, um die Widerstandselemente und eine Gateelektrode des MOS-Transistors zu bilden. Der Schritt (b) enthält einen Schritt zum Bedecken des ersten Bereichs mit einer Maske, um zu verhindern, dass die Dotierung in den ersten Bereich implantiert wird.

[0024] Durch das obige Herstellungsverfahren wird die Implantation der Dotierung in die SOI-Schicht in dem ersten Bereich während der Bildung eines Halbleiterelements verhindert. Dementsprechend kann ein Widerstandswert der SOI-Schicht in dem ersten Bereich hoch gehalten werden, und die SOI-Schicht in dem ersten Bereich kann auch abhängig von einer Spannung voll verarmt sein. Demzufolge kann eine parasitäre Kapazität jedes der Widerstandselemente verringert sein, wodurch eine Halbleitervorrichtung gewonnen wird, die für einen Hochfrequenzbetrieb geeignet ist.

[0025] Weiterbildungen der Erfindung sind jeweils in den Unteransprüchen gekennzeichnet.

[0026] Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der beigefügten Zeichnungen.

[0027] [Fig. 1](#) zeigt einen Aufbau auf eine Pufferschaltung.

[0028] [Fig. 2](#) ist eine Draufsicht auf einen Aufbau einer Halbleitervorrichtung gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung.

[0029] [Fig. 3](#), [Fig. 4](#) & [Fig. 5](#) sind Schnittansichten des Aufbaus der Halbleitervorrichtung gemäß der bevorzugten Ausführungsform der vorliegenden Erfindung.

[0030] [Fig. 6](#) bis [Fig. 13](#) sind Schnittansichten zum Erläutern eines Verfahrens zum Herstellen eines Widerstandsbereichs der Halbleitervorrichtung gemäß der bevorzugten Ausführungsform der vorliegenden Erfindung.

[0031] [Fig. 14](#) ist eine Draufsicht auf den Widerstandsbereich der Halbleitervorrichtung gemäß der bevorzugten Ausführungsform im Verlauf seiner Herstellung.

[0032] [Fig. 15](#) ist eine Draufsicht zum Erläutern einer Anordnung von Widerstandselementen und einer SOI-Schicht der Halbleitervorrichtung gemäß der bevorzugten Ausführungsform der vorliegenden Erfindung.

[0033] [Fig. 16](#) bis [Fig. 25](#) sind Schnittansichten zum Erläutern eines Verfahrens zum Herstellen des Widerstandsbereichs und eines Elementbereichs der Halbleitervorrichtung gemäß der bevorzugten Ausführungsform der vorliegenden Erfindung.

[0034] [Fig. 26](#), 27, [Fig. 28](#) & [Fig. 29](#) sind Schnittansichten zum Erläutern eines Verfahrens zum Herstellen eines Widerstandsbereichs einer Halbleitervorrichtung gemäß einer zweiten Abwandlung der bevorzugten Ausführungsform der vorliegenden Erfindung.

[0035] [Fig. 30](#) erläutert einen Unterschied zwischen den Dicken jeweiliger Trennschichten in dem Widerstandsbereich und dem Elementbereich der Halbleitervorrichtung gemäß einer dritten Abwandlung der bevorzugten Ausführungsform der vorliegenden Erfindung.

[0036] [Fig. 31](#) ist eine Draufsicht zum Erläutern einer Anordnung von Widerstandselementen und einer SOI-Schicht der Halbleitervorrichtung gemäß einer vierten Abwandlung der bevorzugten Ausführungsform der vorliegenden Erfindung.

[0037] [Fig. 32](#) ist eine Schnittansicht eines Aufbaus einer Halbleitervorrichtung gemäß einer fünften Abwandlung der bevorzugten Ausführungsform der vorliegenden Erfindung.

Beispiel einer Hochfrequenzanalogschaltung

[0038] [Fig. 1](#) zeigt einen Aufbau einer strombetriebenen Pufferschaltung BF als Beispiel für eine Hochfrequenzanalogschaltung. Die Pufferschaltung BF enthält Spiralinduktivitäten I1 und I2, die parallel zueinander mit einer Leistungsversorgung VCC zum Treiben verbunden sind; Widerstände R1 und R2, die jeweils mit den Spiralinduktivitäten I1 und I2 verbunden sind; n-Kanal-Transistoren T1 und T2, deren Drains jeweils mit den Widerständen R1 und R2 verbunden sind; und eine Stromquelle SC, mit der jeweils die Sourcen der n-Kanal-Transistoren D1 und D2 gemeinsam verbunden sind.

[0039] In der Pufferschaltung BF mit dem obigen Aufbau werden beim Zuführen von komplementären Signalen IN1 und IN2 jeweils zu den Gates der n-Kanal-Transistoren T1 und T2 von den jeweiligen Ausgangsanschlüssen OUT1 und OUT2 der n-Kanal-Transistoren T1 und T2 invertierte komplementäre Signale ausgegeben.

[0040] Eine Anstiegs- oder Abfallrate der Ausgangssignale hängt von einem Widerstandswert oder einem Kapazitätswert in der Schaltung ab. Um einen steilen Anstieg oder Abfall zu erhalten, ist es wirkungsvoll, eine parasitäre Kapazität jedes der Widerstände R1 und R2 zu verringern. Da jeder der Widerstände R1 und R2 mehrere Widerstandselemente enthält, ist es zum Erzielen einer verbesserten Schaltungsleistungsfähigkeit wichtig, diese mehreren Widerstandselemente wie entworfen aufzubauen.

A. Aufbau der Vorrichtung

[0041] Im folgenden wird als bevorzugte Ausführungsform einer Halbleitervorrichtung gemäß der vorliegenden Erfindung ein Aufbau einer SOI-Vorrichtung **100** beschrieben. Zunächst wird mit Bezug auf [Fig. 2](#), die eine Draufsicht auf die SOI-Vorrichtung **100** ist, ein Aufbau der SOI-Vorrichtung **100** beschrieben, wie er von oben gesehen ist.

[0042] Mit Bezug auf [Fig. 2](#) sind ein n-Kanal-MOS-Transistor **10** und ein p-Kanal-MOS-Transistor **20** nebeneinander so ausgebildet, dass ihre jeweiligen Gateelektroden **12** und **22** entlang ihrer Gateelängen angeordnet sind.

[0043] Weiterhin ist ein Körperpotentialfixierbereich BR1 zum Fixieren eines Potentials in einem Abstand von einer der Kanten der Gateelektrode **12** des MOS-Transistors **10** gebildet, die einander über eine Gatebreite der Gateelektrode **12** gegenüberliegen. In ähnlicher Weise ist ein Körperpotentialfixierbereich BR2 zum Fixieren eines Potentials in einem Abstand von einer der Kanten der Gateelektrode **22** des MOS-Transistors **20** gebildet, die einander über eine Gatebreite der Gateelektrode **22** gegenüberliegen.

Ein Bereich, in dem der MOS-Transistor **10** gebildet ist, und ein Bereich, in dem der MOS-Transistor **20** gebildet ist, sind elektrisch voneinander isoliert. Eine solche Isolierung ist in [Fig. 2](#) zum besseren Verständnis durch die gestrichelten Linien X angezeigt.

[0044] Weiterhin ist ein Bereich, in dem Widerstandselemente gebildet werden, in [Fig. 2](#) auf der linken Seite des MOS-Transistors **10** gelegen. Mehrere Widerstandselemente **30** sind parallel ausgebildet. Jedes der Widerstandselemente **30** ist länglich, und die Widerstandselemente **30** sind entlang ihrer kürzeren Längen angeordnet.

[0045] Als nächstes wird ein Schnittaufbau der SOI-Vorrichtung **100** beschrieben. [Fig. 3](#) ist eine Schnittansicht entlang einer Linie A-A in [Fig. 2](#), [Fig. 4](#) ist eine Schnittansicht entlang einer Linie B-B in [Fig. 2](#), und [Fig. 5](#) ist eine Schnittansicht entlang einer Linie C-C in [Fig. 2](#).

[0046] Mit Bezug auf [Fig. 3](#) ist die SOI-Vorrichtung **100** auf einem SOI-Substrat SB gebildet, die ein Siliziumsubstrat **1**, eine auf dem Siliziumsubstrat **1** gebildete vergrabene Oxidschicht **2** und eine auf der vergrabenen Oxidschicht **2** gebildete SOI-Schicht **3** enthält.

[0047] Ein Raum auf und über dem SOI-Substrat SB ist aufgeteilt in einen Widerstandsbereich RR (einen ersten Bereich), in dem die Widerstandselemente **30** aus gebildet sind, und einen Elementbereich (einen zweiten Bereich). Der Elementbereich enthält einen NMOS-Bereich NR, in dem der n-Kanal-MOS-Transistor **10** ausgebildet ist, und einen PMOS-Bereich PR, in dem der p-Kanal-MOS-Transistor **20** ausgebildet ist. Es sei angemerkt, dass auch wenn [Fig. 2](#) und [Fig. 3](#) zur Veranschaulichung einen NMOS-Transistor **10**, einen PMOS-Transistor **20** und drei Widerstandselemente **30** zeigen, die Anzahl dieser Elemente nicht die auf in [Fig. 2](#) und [Fig. 3](#) gezeigten Anzahlen eingeschränkt ist. Ebenfalls ist die vorliegende Erfindung, auch wenn die Widerstandselemente **30** in dem in [Fig. 2](#) und [Fig. 3](#) dargestellten Beispiel parallel zu den Gateelektroden **12** und **22** angeordnet ist, nicht auf dieses Beispiel eingeschränkt. Die Widerstandselemente **30** können alternativ so gebildet sein, dass ein Feld von Widerstandselementen **30** rechtwinklig zu einem Feld von Gateelektroden **12** und **22** ist.

[0048] In dem Widerstandsbereich RR sind in einer Oberfläche der SOI-Schicht **3** unter einer Spiralinduktivität SI mehrere Grabtrennschichten **4** ausgebildet, wobei Abschnitte der SOI-Schicht **3** dazwischen liegen. Die Widerstandselemente **30** sind jeweils auf den mehreren Grabtrennschichten **4** ausgebildet. Weiter ist eine Seitenwandisolierschicht **33** ausgebildet zum Bedecken jeder Seitenfläche der Widerstandselemente **30**.

[0049] Jede der Grabentrennschichten **4** enthält einen Mittelabschnitt, der die SOI-Schicht **3** durchdringt und die vergrabene Oxidschicht **2** erreicht, um eine vollständige Trennung bereitzustellen, und einander gegenüberliegende Seitenabschnitte, von denen jeder nur einen Abschnitt der SOI-Schicht **3** durchdringt und auf der SOI-Schicht **3** angeordnet ist, um eine teilweise Trennung bereitzustellen. Somit ist ein Querschnitt jeder der Grabentrennschichten **4** annähernd T-förmig. In der vorliegenden Beschreibung wird ein Aufbau des Mittelabschnitts, der eine vollständige Trennung bereitstellt, als FTI-Aufbau (Full Trench Isolation = Vollgrabentrennung) bezeichnet, und ein Aufbau jedes der einander gegenüberliegenden Seitenabschnitte, der eine teilweise Trennung bereitstellt, wird als PTI-Aufbau (Partial Trench Isolation = Teilgrabentrennung) bezeichnet. Weiter wird ein Aufbau jeder der Grabentrennschichten **4**, der sowohl den FTI-Aufbau als auch den PTI-Aufbau enthält, als HTI-Aufbau (Hybrid Trench Isolation = Hybridgrabentrennung) bezeichnet.

[0050] Es sei außerdem angemerkt, dass die Querschnittsform des Hybridgrabentrennaufbaus nicht auf ein angenähertes T eingeschränkt ist. Ein beliebiger Aufbau, der sowohl den Vollgrabtrennaufbau als auch den Teilgrabtrennaufbau enthält, kann unabhängig von seiner Querschnittsform als Hybridgrabtrennaufbau angesehen werden.

[0051] Mit Bezug zurück auf [Fig. 3](#) ist eine Silizidschutzschicht SP so ausgebildet, dass sie die Widerstandselemente **30** und die zwischen den Widerstandselementen liegenden Abschnitte der SOI-Schicht **3** bedeckt. Die Silizidschutzschicht SP, die eine Isolierschicht wie z.B. eine Siliziumoxidschicht enthält, ist in einem Bereich ausgebildet, in dem eine Silizidschicht nicht gebildet werden soll. Genauer gesagt bedeckt die Silizidschutzschicht SP, wie in [Fig. 4](#) dargestellt, die jeweiligen Mittelabschnitte der länglichen Widerstandselemente **30**, während Silizidschichten SS an Kantenabschnitten jedes der Widerstandselemente **30** gebildet werden, wobei die Kantenabschnitte einander in der größeren Länge jedes der Widerstandselemente **30** gegenüberliegen. Es sei angemerkt, dass in [Fig. 2](#) schraffierte Abschnitte die Stellen der Silizidschicht SS angeben.

[0052] Der MOS-Transistor **10** enthält eine selektiv auf der SOI-Schicht **3** ausgebildete Gateisolierschicht **11**, die auf der Gateisolierschicht **11** ausgebildete Gateelektrode **12**, die auf der Gateelektrode **12** ausgebildete Silizidschicht SS und Seitenwandisolierschichten **13**, die die jeweiligen Seitenflächen der Gateisolierschicht **11**, der Gateelektrode **12** und der Silizidschicht SS bedecken.

[0053] Weiterhin sind in der Oberfläche der SOI-Schicht **3** auf einander gegenüberliegenden Seiten der Seitenwandisolierschichten **13** des

MOS-Transistors **10** Source/Drain-Schichten **15** ausgebildet, und Erweiterungsschichten **14**, die flacher als die Source/Drain-Schichten **15** sind, sind ausgebildet. Darüber hinaus sind die Silizidschichten SS auch auf den Source/Drain-Schichten **15** ausgebildet.

[0054] Der MOS-Transistor **20** enthält eine selektiv auf der SOI-Schicht **3** ausgebildete Gateisolierschicht **21**, die auf der Gateisolierschicht **21** ausgebildete Gateelektrode **22**, die auf der Gateelektrode **22** ausgebildete Silizidschicht SS und Seitenwandisolierschichten **23**, die jeweils die Seitenflächen der Gateisolierschicht **21**, der Gateelektrode **22** und der Silizidschicht SS bedecken.

[0055] Weiterhin sind in der Oberfläche der SOI-Schicht **3** auf den Außenseiten der Seitenwandisolierschichten **23** Source/Drain-Schichten **25** gebildet, und Erweiterungsschichten **24**, die flacher sind als die Source/Drain-Schichten **25**, sind ausgebildet. Darüber hinaus sind die Silizidschichten SS auch auf den Source/Drain-Schichten **25** gebildet.

[0056] Jede der Erweiterungsschichten **14** und **24** ist eine Dotierungsschicht, die als Übergang dient, der flacher ist als die Source/Drain-Schichten. Jeder der Erweiterungsschichten **14** und **24** hat denselben Leitungstyp wie die Source/Drain-Schichten und wirkt als Source/Drain-Schicht. Somit könnte jede der Erweiterungsschichten **14** und **24** als Source/Drain-Erweiterungsschicht bezeichnet werden. In der vorliegenden Beschreibung wird jedoch der Einfachheit halber der Begriff "Erweiterungsschicht" verwendet.

[0057] Der NMOS-Bereich NR und der PMOS-Bereich PR sind durch die Grabtrennschicht **4** mit dem Hybridgrabtrennaufbau elektrisch voneinander getrennt.

[0058] Eine Zwischenlagenisolierschicht **5**, die beispielsweise eine Siliziumoxidschicht enthält, ist so ausgebildet, dass sie alle Bereiche auf dem SOI-Substrat SB bedeckt, und die Spiralinduktivität SI ist oberhalb der Zwischenlagenisolierschicht **5** ausgebildet.

[0059] Weiterhin sind mehrere Kontaktabschnitte CH ausgebildet, die die Zwischenlagenisolierschicht **5** durchdringen und jeweils mit den Silizidschichten SS auf den Source/Drain-Schichten **15** und **25** verbunden sind. Jede der Kontaktabschnitte CH ist mit einer Verdrahtungsschicht WR auf der Zwischenlagenisolierschicht **5** verbunden. Weitere Kontaktabschnitte CH sind ausgebildet, um die Widerstandselemente **30** und eine Verdrahtungsschicht WL auf der Zwischenlagenisolierschicht **5** zu verbinden. Die Verdrahtungsschicht WL ist über einen Kontaktabschnitt CP elektrisch mit der Spiralinduktivität SI verbunden.

[0060] Es sei zusätzlich angemerkt, dass, auch wenn mehrere Zwischenlagenisolierschichten auf der Zwischenlagenisolierschicht **5** gebildet sind, diese Zwischenlagenisolierschichten zur Vereinfachung in [Fig. 3](#) nicht dargestellt sind.

[0061] Mit Bezug auf [Fig. 5](#) sind in dem NMOS-Bereich NR, in dem der MOS-Transistor **10** ausgebildet ist, der Körperpotentialfixierbereich BR1 und ein Abschnitt der SOI-Schicht **3**, die unter der Gateelektrode **12** des MOS-Transistors **10** liegt, über die SOI-Schicht **3**, die unter einer Grabentrennschicht **4A** mit Teilgrabentrennaufbau liegt, elektrisch miteinander verbunden. Weiterhin sind auch der Körperpotentialfixierbereich BR2 und ein Abschnitt der SOI-Schicht **3**, die unter der Gateelektrode **22** des MOS-Transistors **20** in dem PMOS-Bereich PR liegt, in derselben Weise wie oben beschrieben elektrisch miteinander verbunden.

[0062] Demzufolge können sich Träger über den Abschnitt der SOI-Schicht **3**, der unter der Grabentrennschicht **4A** liegt, zwischen dem MOS-Transistor **10** und dem Körperpotentialfixierbereich BR1 bewegen. Dementsprechend kann eine Ansammlung von Trägern in einem Kanalbereich verhindert werden, und das Potential des Kanalbereichs kann fixiert werden. Demzufolge können Effekte eines schwebenden Körpers unterdrückt werden.

[0063] Weiterhin können aufgrund des Hybridgrabentrennaufbaus der Grabentrennschicht **4**, die wie in [Fig. 2](#) dargestellt zwischen dem NMOS-Bereich NR und dem PMOS-Bereich PR liegt, der NMOS-Bereich NR und der PMOS-Bereich PR vollständig elektrisch voneinander getrennt werden, so dass das Auftreten einer Latch-Up-Erscheinung verhindert werden kann.

[0064] Weiterhin enthält das Bilden des Hybridgrabentrennaufbaus unvermeidlich das Bilden des Teilgrabentrennaufbaus. Somit kann der Teilgrabentrennaufbau in dem Verlauf des Bildens des Hybridgrabentrennaufbaus gewonnen werden, was eine effiziente Herstellung ermöglicht. Wie aus der obigen Beschreibung klar ist, ist die Hybridgrabentrennung (HTI) ein idealer Vorrichtungsaufbau.

B. Herstellungsverfahren

B-1. Herstellung der Grabentrennschicht

[0065] Im folgenden wird mit Bezug auf [Fig. 6](#) bis [Fig. 13](#), die in der Reihenfolge des Auftretens Schritte zum Herstellen der Grabentrennschichten **4** zeigen, ein Verfahren zum Herstellen der Grabentrennschichten **4** beschrieben. Es sei angemerkt, dass jede der [Fig. 6](#) bis [Fig. 13](#) als Beispiel nur den Widerstandsbereich zeigt und den Elementbereich weglässt.

[0066] In dem in [Fig. 6](#) dargestellten Schritt wird das SOI-Substrat SB, das das Siliziumsubstrat **1**, die vergrabene Oxidschicht **2** und die SOI-Schicht **3** enthält, vorbereitet. Das SOI-Substrat SB kann unter Verwendung einer SIMOX-Technik, einer Bond-Technik oder dergleichen gebildet werden. Im allgemeinen liegt eine Dicke der SOI-Schicht **3** in einem Bereich von 50 bis 200 nm, und eine Dicke der vergrabenen Oxidschicht **2** liegt in einem Bereich von 100 bis 400 nm. Zusätzlich ist eine Dotierungskonzentration in der SOI-Schicht **3** in dieser Stufe kleiner als $1 \times 10^{16} \text{ cm}^{-3}$.

[0067] Durch Verwenden eines Hochwiderstandssubstrats (eines Substrats mit einem Widerstandswert von 1.000 Ωcm oder mehr) als Siliziumsubstrat **1** kann ein Übersprechen zwischen einer analogen Schaltung und einer digitalen Schaltung unterdrückt werden. Es kann auch eine Leistungsfähigkeit (ein Qualitätsfaktor) eines passiven Elements wie z.B. der Spiralinduktivität verbessert werden, wodurch ein für eine Hochfrequenzanalogschaltung geeigneter Aufbau gewonnen wird.

[0068] Nachdem das SOI-Substrat SB hergerichtet wurde, wird auf der SOI-Schicht **3** durch thermische Oxidation eine Padoxidschicht mit einer Dicke in einem Bereich von 5 bis 30 nm gebildet. Anschließend wird eine Siliziumnitridschicht SN mit einer Dicke in einem Bereich von 100 bis 200 nm durch ein CVD-Verfahren bei einer Temperatur in einem Bereich von 600 bis 800°C auf der Padoxidschicht PDX abgeschieden.

[0069] Anschließend wird eine Resistmaske RM1 durch Strukturieren auf der Siliziumnitridschicht SN gebildet. Die Resistmaske RM1 enthält Öffnungen, die für die Bildung von Gräben verwendet werden.

[0070] Als nächstes werden in dem in [Fig. 7](#) dargestellten Schritt die Siliziumnitridschicht SN, die Padoxidschicht PDX und die SOI-Schicht **3** unter Verwendung der Resistmaske RM1 als Maske zum Strukturieren einem Ätzen unterworfen. Als Ergebnis werden Teilgräben CR1 in der SOI-Schicht **3** gebildet. Zum Ätzen in diesem Schritt werden die Ätzbedingungen so eingestellt, dass ein Abschnitt der SOI-Schicht **3** mit einer vorbestimmten Dicke unter jedem der Teilgräben TR1 verbleibt. Die vergrabene Oxidschicht **2** wird also als Ergebnis des Ätzens in diesem Schritt nicht freigelegt.

[0071] Dann wird die Resistmaske RM1 entfernt, und die freigelegten Abschnitte der SOI-Schicht **3** werden in dem in [Fig. 8](#) dargestellten Schritt einer thermischen Oxidation bei einer Temperatur in einem Bereich von 700 bis 1100°C unterworfen. Als Ergebnis wird eine Siliziumoxidschicht OX1 mit einer Dicke in einem Bereich von 5 bis 30 nm gebildet.

[0072] Anschließend wird auf dem SOI-Substrat SB durch Strukturieren in dem in [Fig. 9](#) dargestellten Schritt einer Resistmaske RM2 gebildet. Die Resistmaske RM2 ist so strukturiert, dass sie Öffnungen enthält, die lediglich jeweils vorbestimmte Abschnitte der Teilgräben TR1 freilegen. Genauer gesagt sind die Öffnungen der strukturierten Resistmaske RM2 in Bereichen gelegen, in denen später jeweils die Abschnitte der Grabtrennschichten 4 mit dem Hybridgrabtrennaufbau ([Fig. 3](#)) gebildet werden sollen, von denen jede die SOI-Schicht 3 durchdringt und die vergrabene Oxidschicht 2 erreicht.

[0073] Dann wird in dem in [Fig. 10](#) dargestellten Schritt an den Teilgräben TR1 entsprechend dem Muster der Öffnungen in der Resistmaske RM2 ein Ätzen durchgeführt. Als Ergebnis werden Gräben TR2 gebildet, die die vergrabene Oxidschicht 2 freilegen. Danach wird die Resistmaske RM2 entfernt.

[0074] Eine Draufsicht (eine Sicht auf die Hauptoberfläche) des SOI-Substrats SB, nachdem die Resistmaske RM2 entfernt wurde, ist in [Fig. 14](#) dargestellt.

[0075] Wie in [Fig. 14](#) dargestellt, enthalten die Gräben TR2 eine Mehrzahl länglicher erster Bereiche P1, die mit Zwischenabständen entlang ihrer kürzeren Längen angeordnet sind, und länglicher zweiter Bereiche P2, die sich über Endabschnitte der mehreren ersten Bereiche P1 erstrecken, wobei die Endabschnitte einander über die größeren Längen der mehreren ersten Bereiche P1 gegenüberliegen. Zusätzlich sei angemerkt, dass in jedem der ersten Bereiche P1 und der zweiten Bereiche P2 die vergrabene Oxidschicht 2 freigelegt ist.

[0076] Nach dem in [Fig. 10](#) dargestellten Schritt wird in dem in

[0077] [Fig. 11](#) dargestellten Schritt eine Siliziumoxidschicht OX2 mit einer Dicke in einem Bereich von 150 bis 600 nm so gebildet, dass sie sich über das SOI-Substrat SB erstreckt, so dass die Gräben TR1 und TR2 vollständig mit der Siliziumoxidschicht OX2 gefüllt sind.

[0078] Die Siliziumoxidschicht OX2 wird z.B. durch ein Hochdichteplasma-CVD-Verfahren (HDP-CVD) gebildet. In dem HDP-CVD-Verfahren ist die Dichte des Plasmas um eine oder zwei Größenordnungen höher als die des bei einem allgemeinen Plasma-CVD-Verfahren verwendete Plasmas, und Sputtern und Abscheiden werden unter Verwendung eines solchen Hochdichteplasmas gleichzeitig durchgeführt, um eine Oxidschicht abzuscheiden. So kann eine Siliziumoxidschicht hoher Qualität gewonnen werden.

[0079] Die Siliziumoxidschicht OX2 wird über dem

Siliziumsubstrat SB so gebildet, dass sie dicker als die Gräben TR1 oder die Gräben TR2 ist. Die Siliziumoxidschicht OX2 wird durch ein CMP-Verfahren zumindest soweit poliert und eingeebnet, bis eine Oberfläche der Siliziumnitridschicht SN freigelegt ist. Dabei kann die Siliziumnitridschicht SN poliert werden, bis ihre Dicke halbiert ist.

[0080] Dann werden in dem in [Fig. 12](#) dargestellten Schritt die Siliziumnitridschicht SN und die Padoxidschicht PDX durch Nassätzen oder Trockenätzen entfernt, um die Grabtrennschichten 4 jeweils mit dem Hybridgrabtrennaufbau zu erzielen.

[0081] Das Bilden der Grabtrennschichten 4 erlaubt die elektrische Trennung zwischen den Abschnitten der SOI-Schicht 3, die jeweils zwischen zwei benachbarten Grabtrennschichten 4 liegen.

[0082] Es sei angemerkt, dass, während [Fig. 12](#) klar die Siliziumoxidschicht OX1 auf jedem der Abschnitte der SOI-Schicht 3 zeigt, der einem Abschnitt zugewandt ist, der den Teilgrabtrennaufbau in der Grabtrennschicht 4 bildet, die Siliziumoxidschicht OX1 und jeder der obigen Abschnitte der SOI-Schicht 3 als integraler Abschnitt angesehen werden und die Siliziumoxidschicht OX1 in [Fig. 2](#) nicht dargestellt ist.

[0083] Weiter werden in den oben beschriebenen Schritten auch die Grabtrennschicht 4 ([Fig. 2](#)) zum elektrischen Trennen des NMOS-Bereichs NR und des PMOS-Bereichs PR voneinander und die Grabtrennschichten 4A mit dem Teilgrabtrennaufbau ([Fig. 5](#)) gebildet.

[0084] Nach dem Bilden der Grabtrennschichten 4 wird eine Polysiliziumschicht so abgeschieden, dass sie das Siliziumsubstrat SB ganz bedeckt. Die abgeschiedene Polysiliziumschicht wird in dem in [Fig. 13](#) dargestellten Schritt strukturiert, um dadurch auf den Grabtrennschichten 4 die Widerstandselemente 30 zu bilden, von denen jedes einen gewünschten Aufbau hat. Einzelheiten der Bildung der Widerstandselemente 30 werden in einem späteren Abschnitt gegeben, der sich mit dem Herstellen eines Halbleiterelements beschäftigt.

[0085] Eine Draufsicht (Ansicht der Hauptoberfläche) des SOI-Substrats SB nach dem Bilden der Widerstandselemente 30 durch Strukturieren der Polysiliziumschicht ist in [Fig. 15](#) dargestellt.

[0086] Wie in [Fig. 15](#) dargestellt hat jedes der Widerstandselemente 30 in der Draufsicht die Form des Großbuchstabens I. Die jeweiligen länglichen Hauptabschnitte der Widerstandselemente 30 sind an Stellen angeordnet, an denen in der Draufsicht von [Fig. 14](#) die mehreren ersten Bereiche P1 angeordnet sind. Die jeweiligen Endabschnitte der Widerstandselemente 30, die relativ zu den Hauptabschnitten

verbreitert sind, sind dagegen an Stellen angeordnet, an denen in der Draufsicht von [Fig. 14](#) die mehreren zweiten Bereiche P2 angeordnet sind. Die Endabschnitte dienen als elektrische Kontakte.

[0087] Das Bilden der Gräben TR2 so, dass sie die in [Fig. 14](#) dargestellte Draufsicht aufweisen, ergibt das Bereitstellen von Abschnitten der SOI-Schicht **3**, von denen jede von den Grabentrennschichten **4** vollständig umrundet ist. Jeder der vollständig umrundeten Abschnitte der SOI-Schicht **3** kann elektrisch von anderen Elementen getrennt sein.

[0088] Während jeder der vollständig umrundeten Abschnitte der SOI-Schicht **3** elektrisch schwebend ist, kann ein Potential jedes dieser Abschnitte der SOI-Schicht **3** durch Verbinden eines Kontaktabschnitts fixiert werden.

[0089] Alternativ können die Trenngräben TR2 so gebildet sein, dass sie eine Draufsicht aufweisen, bei der jeder der in [Fig. 14](#) dargestellten zweiten Bereiche in kleinere Bereiche unterteilt ist, so dass die SOI-Schicht **3** nicht einen vollständig umrundeten Abschnitt enthält, anstelle der in [Fig. 14](#) dargestellten Draufsicht.

B-2. Herstellung des Halbleiterelements

[0090] Mit Bezug auf [Fig. 16](#) bis [Fig. 25](#), die in der Reihenfolge des Auftretens Schritte zum Herstellen eines Halbleiterelements zeigen, wird nun ein Verfahren zum Herstellen eines Halbleiterelements beschrieben. Es sei angemerkt, dass [Fig. 16](#) bis [Fig. 25](#) Beispiele des Widerstandsbereichs und des Elementbereichs zeigen.

[0091] In den oben beschriebenen in [Fig. 6](#) bis [Fig. 12](#) dargestellten Schritten werden die Grabentrennschichten **4**, von denen jede einen Abschnitt mit dem Teilgrabentrennaufbau enthält, in einer Oberfläche eines vorbestimmten Abschnitts der SOI-Schicht **3** gebildet. Dann wird auf der SOI-Schicht **3** durch thermische Oxidation eine Padoxidschicht PDX1 mit einer Dicke in einem Bereich von 5 bis 30 nm gebildet. Die Padoxidschicht PDX1 kann gewonnen werden, indem entweder eine Padoxidschicht neu gebildet wird oder die Padoxidschicht PDX, die in dem in [Fig. 6](#) dargestellten Schritt gebildet wurde, beibehalten wird.

[0092] Anschließend wird in dem in [Fig. 16](#) dargestellten Schritt auf dem SOI-Substrat SB eine Resistmaske RM11 gebildet, die so strukturiert ist, dass sie eine Öffnung enthält, die den NMOS-Bereich NR freilegt. Dann wird durch die Öffnung eine Ionenimplantation von p-Dotierungen wie z.B. Bor (B) in die SOI-Schicht **3** durchgeführt (Kanaldotierung). Die Ionenimplantation in dieser Stufe soll eine Schwellenspannung eines Transistors festlegen. Die Implanta-

tionsenergie für diese Implantation wird so festgelegt, dass sie die Bildung einer Dotierungsschicht in der Nähe der Hauptoberfläche der SOI-Schicht **3** ermöglicht.

[0093] Als nächstes wird die Resistmaske RM11 entfernt, und anschließend wird in dem in [Fig. 17](#) dargestellten Schritt eine Resistmaske RM12 gebildet, die so strukturiert ist, dass sie eine Öffnung enthält, die den PMOS-Bereich PR freilegt. Dann wird eine Ionenimplantation von n-Dotierungen wie z.B. Phosphor (P) oder Arsen (As) durch die Öffnung in die SOI-Schicht **3** durchgeführt (Kanaldotierung).

[0094] Bei jedem der vorigen Schritte zur Kanaldotierung wird keine Dotierung in die SOI-Schicht **3** in dem Widerstandsbereich RR implantiert. Somit wird ein Ansteigen der Dotierungskonzentration der SOI-Schicht **3** in dem Widerstandsbereich RR verhindert, so dass der Widerstandswert der SOI-Schicht **3** in dem Widerstandsbereich RR hoch gehalten werden kann. Abhängig von einer Spannung kann die SOI-Schicht **3** in dem Widerstandsbereich RR auch völlig verarmt sein, so dass eine parasitäre Kapazität jedes der Widerstandselemente **30** verringert sein kann.

[0095] Insbesondere hat ein Mittelabschnitt jeder der Grabentrennschichten **4** den Vollgrabentrennaufbau, und somit ist eine parasitäre Kapazität dieses Abschnitts klein. Dagegen hat jeder der einander gegenüberliegenden Seitenabschnitte jeder der Grabentrennschichten **4** den Teilgrabentrennaufbau und ist auf der SOI-Schicht **3** gelegen. Aufgrund einer kleinen Dicke der Siliziumoxidschicht, die die Seitenabschnitte der Schichten **4** bildet, sollte jeder der Seitenabschnitte jeder der Grabentrennschichten **4** einen hohen Kapazitätswert aufweisen. Wenn die SOI-Schicht **3** völlig verarmt ist, ist das jedoch im wesentlichen gleichwertig zu dem Erhöhen der Dicke der Siliziumoxidschicht. Demzufolge kann eine parasitäre Kapazität jeder der gegenüberliegenden Seitenabschnitte jeder der Grabentrennschichten **4** verringert sein.

[0096] Anschließend wird die Resistmaske RM12 entfernt, und die Padoxidschicht PDX1 wird vollständig entfernt. Anschließend wird in dem in [Fig. 18](#) dargestellten Schritt eine Siliziumoxidschicht OX11, die als Gateisolierschicht dienen soll, auf der frei liegenden Oberfläche der SOI-Schicht **3** gebildet. Danach wird eine Polysiliziumschicht PS1, die als Gateelektroden **12** und **22** und als Widerstandselemente **30** dienen soll, beispielsweise durch ein CVD-Verfahren so abgeschieden, dass sie das SOI-Substrat SB ganz bedeckt. Das Abscheiden der Polysiliziumschicht PS1 in diesem Schritt wird bei einer Temperatur in einem Bereich von 600 bis 800°C durchgeführt. Alternativ kann das Abscheiden der Polysiliziumschicht PS1 durch Sputtern bei einer Temperatur in

einem Bereich von 400 bis 600°C erreicht werden.

[0097] Dann wird auf der Polysiliziumschicht PS1 eine Resistmaske RM13 gebildet, die so strukturiert ist, dass sie eine Öffnung enthält, die den Widerstandsbereich RR frei legt, und die Ionenimplantation von Dotierungen in die Polysiliziumschicht PS1 wird durch die Öffnung durchgeführt. Für die Ionenimplantation in diesem Schritt können die Dotierungen entweder vom p-Typ (B) oder vom n-Typ (P, As) sein, und die Dosis wird in einem Bereich von $0, 2 \times 10^{15}$ bis $5 \times 10^{15}/\text{cm}^2$ gewählt. Diese Ionenimplantation soll einen Widerstandswert der Polysiliziumschicht PS1 bestimmen. Durch Verwenden von Polysilizium als Material für die Widerstandselemente **30** ist es somit möglich, den Widerstandswert beliebig zu bestimmen.

[0098] Es sei angemerkt, dass in dem Fall, in dem es wünschenswert ist, dass die Schwellenspannung verringert wird, Dotierungen in Abschnitte der Polysiliziumschicht PS1 implantiert werden, die als Gateelektroden des NMOS-Bereichs NR und des PMOS-Bereichs PR verwendet werden sollen (Gatedotierung). Diese Implantation von Dotierungen dient zum Verringern eines Unterschieds einer Arbeitsfunktion zwischen jeder der Gateelektroden und einer Siliziumschicht und zum Unterdrücken der Verarmung des Gates, um dadurch die Schwellenspannung zu verringern. Zu diesem Zweck wird anstelle der Resistmaske RM13 eine Resistmaske gebildet, die Öffnungen enthält, die den Widerstandsbereich RR und entweder den NMOS-Bereich NR oder den PMOS-Bereich PR freilegen, und die Ionenimplantation von Dotierungen wird unter Verwendung der Resistmaske durchgeführt. In diesem Fall werden n-Dotierungen verwendet, wenn die Ionenimplantation an den jeweiligen Abschnitten der Polysiliziumschicht PS1 durchgeführt wird, die in dem Widerstandsbereich RR und dem NMOS-Bereich NR liegen. Wenn dagegen die Ionenimplantation an den jeweiligen Abschnitten der Polysiliziumschicht PS1 durchgeführt wird, die in dem Widerstandsbereich RR und dem PMOS-Bereich PR liegen, werden p-Typ-Dotierungen verwendet.

[0099] Nach dem Entfernen der Resistmaske RM13 wird die Polysiliziumschicht PS1 in dem in [Fig. 19](#) gezeigten Schritt in dem NMOS-Bereich NR und dem PMOS-Bereich PR strukturiert, um die Gateelektroden **12** und **22** auf der Siliziumoxidschicht OX11 zu bilden. Die Polysiliziumschicht PS1 wird auch in dem Widerstandsbereich RR strukturiert, um die Widerstandselemente **30** auf den Grabtrennschichten **4** zu bilden.

[0100] Anschließend wird in dem in [Fig. 20](#) dargestellten Schritt eine Resistmaske RM14, die so strukturiert ist, dass sie eine Öffnung enthält, die den NMOS-Bereich NR freilegt, auf dem SOI-Substrat SB

gebildet, und Ionenimplantation von n-Dotierungen (z.B. P oder As) in die SOI-Schicht **3** wird durch die Öffnung durchgeführt, um die Erweiterungsschichten **14** zu bilden (Erweiterungsdotierung). Bei dieser Ionenimplantation wirkt die Gateelektrode **12** als Maske.

[0101] Anschließend wird die Resistmaske RM14 entfernt, und eine Resistmaske RM15, die so strukturiert ist, dass sie eine Öffnung enthält, die den PMOS-Bereich PR freilegt, wird in dem in

[0102] [Fig. 21](#) dargestellten Schritt auf dem SOI-Substrat SB gebildet. Dann wird eine Ionenimplantation von p-Dotierungen (z.B. B) in die SOI-Schicht **3** durch die Öffnung durchgeführt, um die Erweiterungsschichten **24** zu bilden (Erweiterungsdotierung). Bei dieser Ionenimplantation wirkt die Gateelektrode **22** als Maske.

[0103] In jedem der obigen Schritte zur Erweiterungsdotierung wird in die SOI-Schicht **3** in dem Widerstandsbereich RR keine Dotierung implantiert. Somit wird ein Erhöhen der Dotierungskonzentration der SOI-Schicht **3** in dem Widerstandsbereich RR verhindert, so dass der Widerstandswert der SOI-Schicht **3** in dem Widerstandsbereich RR hochgehalten werden kann. Abhängig von einer Spannung kann die SOI-Schicht **3** in dem Widerstandsbereich RR auch vollständig verarmt sein, so dass eine parasitäre Kapazität jedes der Widerstandselemente **30** verringert sein kann.

[0104] Nach dem Entfernen der Resistmaske RM15 werden die Seitenwandisolierschichten **13** und **23**, die beispielsweise jeweils eine Siliziumoxidschicht enthalten, jeweils an den Seitenflächen der Gateelektroden **12** und **22** gebildet. Ebenso wird die Seitenwandisolierschicht **33**, die beispielsweise eine Siliziumoxidschicht enthält, an jeder Seitenfläche der Widerstandselemente **30** gebildet. Während der Bildung der Seitenwandisolierschichten **13**, **23** und **33** wird ein überflüssiger Anteil der Siliziumoxidschicht OX11 entfernt, um die Gateisolierschichten **11** und **21** jeweils unter den Gateelektroden **12** und **22** zu bilden.

[0105] In dem in [Fig. 22](#) dargestellten Schritt wird eine Resistmaske RM16, die so strukturiert ist, dass sie eine Öffnung enthält, die den NMOS-Bereich NR freilegt, auf dem SOI-Substrat SB gebildet, und eine Ionenimplantation von n-Dotierungen (z.B. P oder As) in die SOI-Schicht **3** wird durch die Öffnung durchgeführt, um die Source/Drain-Schichten **15** zu bilden (Source/Drain-Dotierung). Bei dieser Ionenimplantation wirken die Gateelektrode **12** und die Seitenwandisolierschichten **13** als Maske.

[0106] Nach Entfernen der Resistmaske RM16 wird in dem in [Fig. 23](#) dargestellten Schritt eine Resist-

maske RM17, die so strukturiert ist, dass sie ein Öffnung enthält, die den PMOS-Bereich PR freilegt, auf dem SOI-Substrat SB gebildet. Dann wird eine Ionenimplantation von p-Dotierungen (z.B. B) in die SOI-Schicht **3** durch die Öffnung durchgeführt, um die Source/Drain-Schichten **25** zu bilden (Source/Drain-Dotierung). Bei dieser Ionenimplantation wirken die Gateelektrode **22** und die Seitenwandisolierschichten **23** als Maske.

[0107] Bei jedem der vorigen Schritte für die Source/Drain-Dotierung wird in die SOI-Schicht **3** in dem Widerstandsbereich RR keine Dotierung implantiert. Somit wird ein Ansteigen der Dotierungskonzentration der SOI-Schicht **3** in dem Widerstandsbereich RR verhindert, so dass der Widerstandswert der SOI-Schicht **3** in dem Widerstandsbereich RR hochgehalten werden kann. Abhängig von einer Spannung kann die SOI-Schicht **3** in dem Widerstandsbereich RR auch vollständig verarmt sein, so dass eine parasitäre Kapazität jedes der Widerstandselemente **30** verringert sein kann.

[0108] Zusätzlich kann ein weiterer Dotierungsbereich (Taschenbereich), der den entgegengesetzten Leitungstyp wie die Source/Drain-Schichten aufweist und seitlich von jeder der Erweiterungsschichten vorsteht, durch Ionenimplantation gebildet werden. Auch beim Bilden der Taschenschichten sollte jedoch darauf geachtet werden, dass ein Implantieren einer Dotierung in die SOI-Schicht **3** in dem Widerstandsbereich RR verhindert wird.

[0109] Nach dem Entfernen der Resistmaske RM17 wird in dem in [Fig. 24](#) dargestellten Schritt die Silizidschutzschicht SP mit einer Dicke in einem Bereich von 10 bis 100 nm durch ein CVD-Verfahren so gebildet, dass sie die Hauptoberfläche des SOI-Substrats SB ganz bedeckt. Die Silizidschutzschicht SP enthält eine Isolierschicht wie z.B. eine Siliziumoxidschicht oder eine Siliziumnitridschicht.

[0110] Die Silizidschutzschicht SP ist eine Schicht zum Schützen eines Bereichs, in dem eine Silizidschicht nicht gebildet werden soll. Daher wird eine Resistmaske RM18, die eine Öffnung enthält, die jeden Bereich frei legt, in dem das Bilden einer Silizidschicht erforderlich ist, auf der Silizidschutzschicht SP gebildet, und jeder Abschnitt der Silizidschutzschicht SP, der in der Öffnung frei liegt, wird durch Ätzen entfernt. Auch wenn es in [Fig. 24](#) so aussieht, dass der Widerstandsbereich RR ganz mit der Resistmaske RM18 bedeckt ist, sind Endabschnitte jedes der Widerstandselemente **30**, die einander über die größere Länge jedes der Widerstandselemente **30** gegenüberliegen und auf denen später wie oben mit Bezug auf [Fig. 2](#) und [Fig. 4](#) beschrieben die Silizidschicht SS gebildet werden soll, nicht mit der Resistmaske RM18 bedeckt.

[0111] Nach dem Entfernen der Resistmaske RM18 wird in dem in [Fig. 25](#) dargestellten Schritt eine schwerschmelzende Metallschicht wie z.B. Kobalt (Co) durch Sputtern so gebildet, dass sie das SOI-Substrat SB ganz bedeckt. Dann wird eine Wärmebehandlung durchgeführt, um zum Bilden der Silizidschichten SS eine Silizidierung zwischen dem Silizium und der Metallschicht zu bewirken. Da zwischen einer Isolierschicht und der Metallschicht keine Silizidierung auftritt, verbleiben Abschnitte der Metallschicht, die auf den Seitenwandisolierschichten **13** und **23** und der Silizidschutzschicht SP liegen, ohne Reaktion. Die nicht reagierenden Abschnitte der Metallschicht werden entfernt, wodurch die Silizidschichten SS selektiv auf den Gateelektroden **12** und **22** und den Source/Drain-Schichten **15** und **25** gebildet werden.

[0112] Ein Material für die Metallschicht mit einem hohen Schmelzpunkt ist nicht auf Co eingeschränkt. Alternativ kann ein beliebiges Metall verwendet werden, das eine Silizidierung bewirken und einen Kontaktwiderstand zu einem Kontaktabschnitt verringern kann, wie z.B. Titan (Ti), Wolfram (W), Molybdän (Mo) oder Nickel (Ni).

[0113] Anschließend wird die Zwischenlagenisolierschicht **5** so gebildet, dass sie die Hauptoberfläche des SOI-Substrats SB ganz bedeckt, und die Kontaktabschnitte CH, die die Zwischenlagenisolierschicht **5** durchdringen und die Silizidschichten SS erreichen, werden gebildet. Weiterhin werden die Verdrahtungsschichten WR und WL mit den Kontaktabschnitten CH verbunden. Dann wird oberhalb der Zwischenlagenisolierschicht **5** die Spiralinduktivität SI gebildet, um die in [Fig. 3](#) dargestellte SOI-Vorrichtung **100** zu vollenden.

C. Besondere Wirkungen

[0114] In der oben beschriebenen SOI-Vorrichtung **100** sind die Grabtrennschichten **4**, von denen jeder einen Hybridgrabtrennaufbau hat, in Abständen in einer Oberfläche der SOI-Schicht **3** in dem Widerstandsbereich RR bereitgestellt, der unter der Spiralinduktivität SI liegt, wobei Abschnitte der SOI-Schicht **3** zwischen ihnen liegen. Dementsprechend enthält die SOI-Vorrichtung **100** nicht eine einzelne Grabtrennschicht, die sich über eine große Fläche erstreckt. Daher tritt während eines CMP-Vorgangs zum Bilden der Grabtrennschichten **4** keine Einsenkung auf.

[0115] Wie oben erwähnt, tritt in dem Widerstandsbereich RR keine Einsenkung auf. Somit kann ein Bereich unter der Spiralinduktivität SI wirkungsvoll genutzt werden zum Bilden der Widerstandselemente **30**, was das Ansteigen einer Gesamtfläche der Vorrichtung verhindert.

[0116] Da die Widerstandselemente **30** unterhalb der Spiralinduktivität **SI** gebildet werden können, ist der Aufbau der SOI-Vorrichtung **100** auch geeignet für eine Hochfrequenzanalogschaltung oder dergleichen.

[0117] Weiterhin wird eine Dotierungsimplantation in die SOI-Schicht **3** in dem Widerstandsbereich **RR** während der Bildung des Halbleiterelements verhindert. Somit kann der Widerstandswert der SOI-Schicht **3** in dem Widerstandsbereich **RR** hoch gehalten werden. Abhängig von einer Spannung kann die SOI-Schicht **3** in dem Widerstandsbereich **RR** auch vollständig verarmt sein, so dass eine parasitäre Kapazität jedes der Widerstandselemente **30**, die auf den Grabtrennschichten **4** gebildet sind, verringert werden kann. Das erleichtert einen Hochfrequenzbetrieb.

[0118] Während der NMOS-Bereich **NR** und der PMOS-Bereich **PR** durch die Grabtrennschicht **4** elektrisch voneinander getrennt sind, sind darüber hinaus der Körperpotentialfixierbereich **BR1** und der unter der Gateelektrode **12** des MOS-Transistors **10** in dem NMOS-Bereich **NR** gelegene Abschnitt der SOI-Schicht **3** über den unter der Grabtrennschicht **4A** mit dem Teilgrabtrennaufbau gelegene Abschnitt der SOI-Schicht **3** wie oben mit Bezug auf [Fig. 5](#) beschrieben elektrisch miteinander verbunden (eine ähnliche elektrische Verbindung wird auch in dem PMOS-Bereich **PR** hergestellt). Demzufolge können Effekte eines schwebenden Körpers unterdrückt werden, so dass das Auftreten eines Knicks durch die Ansammlung von Trägern (Löchern in dem NMOS-Bereich **NR**) in dem Kanalbereich verhindert werden kann. Daher ist der Aufbau der SOI-Vorrichtung **100** geeignet für eine analoge Schaltung.

[0119] Weiterhin wird verhindert, dass eine Verzögerungszeit aufgrund eines unstabilen Potentials des Kanalbereichs frequenzabhängig wird. Das beseitigt die Notwendigkeit eines zusätzlichen Zeitablaufspielraums bei dem Schaltungsentwurf. Daher kann der Hochgeschwindigkeitsbetrieb höchst wirkungsvoll verwendet werden, und der Aufbau der SOI-Vorrichtung **100** ist geeignet für eine Digitalschaltung

D. Erste Abwandlung

[0120] Gemäß der oben beschriebenen bevorzugten Ausführungsform ist die Implantation von Dotierungen in die SOI-Schicht **3** in den Widerstandsbereich **RR** während der Bildung des Halbleiterelements verhindert. Dadurch kann der Widerstandswert der SOI-Schicht **3** in dem Widerstandsbereich **RR** hoch gehalten werden, und die SOI-Schicht **3** in dem Widerstandsbereich **RR** kann auch abhängig von einer Spannung völlig verarmt sein. Im Gegensatz dazu würde das Implantieren von Dotierungen in die Widerstandselemente **30** zur Zeit der Source/Drain-Dotierung beispielsweise die Verringerung eines Widerstandswerts jedes der Widerstandselemente **30** ermöglichen. Dazu wird nicht eine Resistmaske gebildet, die eine Öffnung enthält, die den gesamten Widerstandsbereich **RR** freilegt, sondern eine Resistmaske, die Öffnungen enthält, die nur jeweils die Widerstandselemente **30** in dem Widerstandsbereich **RR** freilegt, so dass eine Implantation von Dotierungen in Abschnitte der SOI-Schicht **30**, die zwischen den Grabtrennschichten **4** liegt, verhindert werden kann.

Bei der Bildung der Resistmaske, die Öffnungen enthält, die nur jeweils die Widerstandselemente **30** freilegen, ist es erwünscht, eine Breite jedes der Grabtrennschichten **4** in dem Widerstandsbereich **RR** so groß wie möglich festzulegen unter Berücksichtigung eines Spielraums zum Strukturieren in der Resistmaske.

[0121] Es ist jedoch möglich, dass die Breite jedes der Grabtrennschichten **4** in dem Widerstandsbereich **RR** aufgrund einer Flächenbegrenzung der Vorrichtung nicht erhöht werden kann, so dass eine Resistmaske, die Öffnungen enthält, die jeweils nur die Widerstandselemente **30** freilegen, nicht gebildet werden kann. Wenn der Verringerung des Widerstandswerts jedes der Widerstandselemente **30** eine größere Bedeutung zugemessen wird, ist auch in einem solchen Fall die Implantation von Dotierungen in die SOI-Schicht **3** in dem Widerstandsbereich **RR** während der Formung des Halbleiterelements erlaubt. Es sei angemerkt, dass auch wenn Dotierungen in die SOI-Schicht **3** in dem Halbleiterbereich implantiert werden, ein Mittelabschnitt jedes der Grabtrennschichten **4** den Vollgrabtrennaufbau enthält, so dass eine parasitäre Kapazität des entsprechenden Abschnitts klein ist. Dementsprechend würde ein gewisses Maß des Ansteigens der parasitären Kapazität an Seitenabschnitten jedes der Grabtrennschichten **4** nicht wesentlich beeinträchtigen.

[0122] Entsprechend der oben beschriebenen bevorzugten Ausführungsform sind die Grabtrennschichten, von denen jede den Hybridgrabtrennaufbau aufweist, in Abständen angeordnet, wobei Abschnitte der SOI-Schicht **3** dazwischen liegen, und die Widerstandselemente **30** sind jeweils auf den Grabtrennschichten **4** in dem Widerstandsbereich **RR** gebildet.

E. Zweite Abwandlung

[0123] Alternativ dazu können in dem Widerstandsbereich **RR** anstelle der Grabtrennschichten **4** Grabtrennschichten bereitgestellt sein, von denen jeder den Vollgrabtrennaufbau aufweist. Im folgenden werden mit Bezug auf [Fig. 26](#), [27](#), [Fig. 28](#) und [Fig. 29](#) ein Aufbau entsprechend einer zweiten Abwandlung, die die Grabtrennschichten in dem Wi-

derstandsbereich **RR** anstelle der Grabtrennschichten **4** Grabtrennschichten bereitgestellt sein, von denen jeder den Vollgrabtrennaufbau aufweist. Im folgenden werden mit Bezug auf [Fig. 26](#), [27](#), [Fig. 28](#) und [Fig. 29](#) ein Aufbau entsprechend einer zweiten Abwandlung, die die Grabtrennschichten in dem Wi-

derstandsbereich RR enthält, von denen jede den Vollgrabentrennaufbau aufweist, sowie dessen Herstellung beschrieben. [Fig. 26](#), [27](#), [Fig. 28](#) und [Fig. 29](#) zeigen in der Reihenfolge des Auftretens Schritte zum Herstellen der Grabtrennschichten entsprechend der zweiten Abwandlung.

[0125] Nachdem die in [Fig. 6](#), [Fig. 7](#) und [Fig. 8](#) dargestellten Schritte durchgeführt wurden, wird die Siliziumoxidschicht OX1 an einer Innenwand jedes Grabens TR1 gebildet. Anschließend werden in dem in [Fig. 26](#) dargestellten Schritt die Hälfte eines an einer Grenze zwischen dem NMOS-Bereich NR und dem Widerstandsbereich RR liegenden Grabens TR1, die näher an den NMOS-Bereich NR liegt, und ein vorbestimmter Bereich des NMOS-Bereichs NR mit einer Resistmaske RM21 bedeckt. Auf einem verbleibenden Bereich des Widerstandsbereichs RR wird keine Maske gebildet, so dass er freiliegt.

[0126] Als nächstes wird in dem in [Fig. 27](#) gezeigten Schritt an den Gräben TR1 unter Verwendung der Siliziumnitridschicht SN und der Resistmaske RM21 als Ätzmaske ein Ätzen durchgeführt, um die vergrabene Oxidschicht 2 freizulegen. Als Ergebnis dieses Ätzens wird jeder der Gräben TR1 in dem Widerstandsbereich RR außer dem Graben TR1, der an der Grenze zwischen dem NMOS-Bereich NR und dem Widerstandsbereich RR liegt, ein Vollgraben TR21, in dem die vergrabene Oxidschicht freiliegt. In dem Graben TR1, der an der Grenze zwischen dem NMOS-Bereich NR und dem Widerstandsbereich RR liegt, wird nur eine Hälfte ein Vollgraben TR21.

[0127] Nach dem Entfernen der Resistmaske RM21 wird in dem in [Fig. 28](#) dargestellten Schritt die Siliziumoxidschicht OX2 mit einer Dicke in einem Bereich von 15 bis 600 nm so gebildet, dass er sich über das SOI-Substrat SB erstreckt und die Gräben TR21 und TR1 vollständig mit der Siliziumoxidschicht OX2 gefüllt sind. Der in [Fig. 28](#) dargestellte Schritt ist identisch zu dem in

[0128] [Fig. 11](#) dargestellten Schritt, und somit unterbleibt seine detaillierte Beschreibung.

[0129] Dann werden in dem in [Fig. 29](#) dargestellten Schritt die Siliziumnitridschicht SN und die Padoxidschicht PDX durch Nassätzen oder Trockenätzen entfernt, um Grabtrennschichten 4B, von denen jede den Vollgrabentrennaufbau aufweist, und eine Grabtrennschicht 4C zu gewinnen, die eine Hälfte mit dem Teilgrabentrennaufbau und die andere Hälfte mit dem Vollgrabentrennaufbau enthält. Anschließend werden auf den Grabtrennschichten 4B und 4C jeweils Widerstandselemente 30 gebildet, von denen jedes wie gewünscht aufgebaut ist.

[0130] In dem oben beschriebenen Aufbau nach der zweiten Abwandlung hat jeder der Grabtrenn-

schichten 4B, auf denen die Widerstandselemente 30 ausgebildet sind, den Vollgrabentrennaufbau. Dementsprechend kann eine parasitäre Kapazität jedes der Widerstandselemente 30 weiter verringert werden.

[0131] Es wird auch überflüssig, eine Resistmaske in dem Widerstandsbereich RR zu strukturieren. Das beseitigt die Notwendigkeit, einen Spielraum für die Strukturierung zu berücksichtigen, so dass eine Breite jedes der Gräben TR1 oder ein Zwischenraum zwischen zwei benachbarten Gräben TR1 verringert werden kann. Demzufolge kann ein Zwischenraum zwischen zwei benachbarten Widerstandselementen 30 verringert werden, um ein viel höheres Maß an Integration zu ermöglichen.

F. Dritte Abwandlung

[0132] Entsprechend der oben beschriebenen bevorzugten Ausführungsform wird die Implantation von Dotierungen in die SOI-Schicht 3 in dem Widerstandsbereich RR während der Bildung des Halbleiterelement verhindert. Dadurch kann der Widerstandswert der SOI-Schicht 3 in dem Widerstandsbereich RR hoch gehalten werden, und die SOI-Schicht 3 kann in dem Widerstandsbereich RR abhängig von einer Spannung auch vollständig verarmt sein. In dieser Hinsicht sind nicht nur die SOI-Schicht 3 in dem Widerstandsbereich RR, sondern auch die Grabtrennschichten 4 in dem Widerstandsbereich RR keiner Implantation von Dotierungen unterworfen. Demzufolge kann eine Dicke jeder der Grabtrennschichten in dem Widerstandsbereich RR größer gemacht werden als in dem Elementbereich.

[0133] Insbesondere würde das Implantieren von Dotierungen in die Grabtrennschichten eine Ätzrate beim Flusssäureätzen (HF) erhöhen, das später zum Entfernen der Siliziumoxidschicht durchzuführen ist.

[0134] Zur Kanaldotierung wird z.B. wie oben mit Bezug auf [Fig. 16](#) beschrieben eine Ionenimplantation durch die Padoxidschicht PDX1 durchgeführt, und nach der Ionenimplantation wird die Padoxidschicht PDX1 entfernt. Wenn HF-Ätzen durchgeführt wird, um die Padoxidschicht PDX1 zu entfernen, schreitet das Ätzen in den Grabtrennschichten 4 in dem Elementbereich schneller voran als in den Grabtrennschichten 4 in dem Widerstandsbereich, so dass die Dicke jedes der Grabtrennschichten 4 in dem Elementbereich kleiner wird als die in dem Widerstandsbereich RR, da Dotierungen in jede der Grabtrennschichten 4 in dem NMOS-Bereich NR und dem PMOS-Bereich PR (dem Elementbereich) während der Kanaldotierung implantiert wurden. Das gleiche Phänomen tritt bei dem Schritt des Bildens der Gateisolierschichten 11 und 21 auf

[0135] [Fig. 30](#) ist eine Schnittansicht des NMOS-Bereichs NR und des Widerstandsbereichs RR, nachdem der n-Kanal-Transistor **10** gebildet wurde, entsprechend einer dritten Abwandlung. Wie in [Fig. 30](#) dargestellt ist die Dicke der Grabtrennschicht **4** in dem Widerstandsbereich RR (eine erste Grabtrennschicht) um eine Dicke L größer als die einer Grabtrennschicht **41** in dem NMOS-Bereich NR (einer zweiten Grabtrennschicht). Als Ergebnis eines solchen Aufbaus kann ein Ansteigen einer parasitären Kapazität jedes der Widerstandselemente **30** verhindert werden.

[0136] Die Dicke L entspricht einem Unterschied in einer Gesamtätzmenge zwischen den jeweiligen Grabtrennschichten in dem Widerstandsbereich und in dem Elementbereich, die sich aus den Schritten von dem Schritt des Entfernens der Padoxidschicht PDX1 bis zu dem Schritt des Bildens der Seitenwandisolierschicht ergibt.

[0137] Auch in anderen Situationen als den oben beschriebenen, z.B. in einer Situation, in der mehrere Transistoren mit jeweiligen Gateisolierschichten mit unterschiedlichen Dicken wie z.B. Transistoren, die als Eingangs/Ausgangsabschnitte verwendet werden, deren Leistungsversorgungsspannung 3,3V beträgt, bereitgestellt sind, wird das Entfernen und Bilden einer Siliziumoxidschicht (duale Oxidation) in dem Elementbereich wiederholt. Auch in so einer Situation ist es durch Schützen des Widerstandsbereichs-RR unter Verwendung einer Resistmaske vor dem Ätzen möglich, eine Verringerung der Dicke jeder der Grabtrennschichten in dem Widerstandsbereich zu verhindern, um somit ein Erhöhen der parasitären Kapazität zu verhindern.

G. Vierte Abwandlung

[0138] Entsprechend der oben beschriebenen bevorzugten Ausführungsform sind die Grabtrennschichten **4** mit dem Hybridgrabtrennaufbau in der Oberfläche der SOI-Schicht in dem Widerstandsbereich RR in Abständen bereitgestellt, wobei Abschnitte der SOI-Schicht **3** dazwischen liegen. Dieser Aufbau ermöglicht das Verhindern des Auftretens einer Einsenkung in einem CMP-Verfahren zum Bilden der Grabtrennschichten **4**. Die Lage der SOI-Schicht **3** ist jedoch nicht auf einen Zwischenraum zwischen zwei benachbarten Grabtrennschichten **4** eingeschränkt, oder anders ausgedrückt zwischen zwei benachbarten Widerstandselementen **30**. Die SOI-Schicht **3** kann beispielsweise auch wie in [Fig. 31](#) dargestellt außerhalb von Endabschnitten jedes der Widerstandselemente **30** bereitgestellt sein, wobei die Endabschnitte einander über eine größere Länge jedes der Widerstandselemente **30** gegenüberliegen.

[0139] Die in [Fig. 31](#) dargestellte Anordnung der

SOI-Schicht **3** verringert das Auftreten einer Einsenkung in den Grabtrennschichten **4** bei dem CMP-Vorgang weiter. Demzufolge wird die Gleichförmigkeit der Dicke der Grabtrennschichten **4** weiter verbessert.

H. Fünfte Abwandlung

[0140] Entsprechend der oben beschriebenen bevorzugten Ausführungsform und ihrer Abwandlungen sind die Widerstandselemente **30** auf den Grabtrennschichten **4** mit dem Hybridgrabtrennaufbau oder auf den Grabtrennschichten **4B** mit dem Vollgrabtrennaufbau bereitgestellt, die in der Oberfläche der SOI-Schicht **3** in dem Widerstandsbereich RR ausgebildet sind. Alternativ dazu können die Widerstandselemente auf der SOI-Schicht **3** bereitgestellt sein. Im folgenden wird mit Bezug auf [Fig. 32](#) ein Aufbau gemäß einer fünften Abwandlung beschrieben, bei dem Widerstandselemente auf der SOI-Schicht **3** bereitgestellt sind.

[0141] [Fig. 32](#) ist eine Schnittansicht des NMOS-Bereichs NR und des Widerstandsbereichs RR nach dem Bilden des n-Kanal-MOS-Transistors **10** entsprechend der fünften Abwandlung.

[0142] Wie in [Fig. 32](#) dargestellt sind Widerstandselemente **30A** über Isolierschichten **35** auf Abschnitten der SOI-Schicht **3** bereitgestellt, von denen jede zwischen zwei benachbarten Grabtrennschichten **4** in dem Widerstandsbereich RR liegt. Weiterhin sind die Seitenwandisolierschichten **33** bereitgestellt, um Seitenflächen der Isolierschichten **35** und der Widerstandselemente **30** zu bedecken.

[0143] Auch in dem obigen Aufbau nach der fünften Abwandlung können die Widerstandselemente **30A** unter der Spiralinduktivität SI angeordnet sein.

[0144] Weiter wird die SOI-Schicht **3** wie bei der oben beschriebenen Ausführungsform geschützt, so dass eine Implantation von Dotierungen in die SOI-Schicht **3** in den Widerstandsbereich RR während der Dotierungsimplantation in den Elementbereich verhindert wird.

[0145] Jede der Isolierschichten **35** kann gewonnen werden durch Belassen eines Abschnitts der in [Fig. 16](#) gezeigten Padoxidschicht PDX1, die in dem Widerstandsbereich RR liegt, und durch Bilden der Siliziumoxidschicht OX11 auf dem verbliebenen Abschnitt der Padoxidschicht PDX1 in dem in [Fig. 19](#) dargestellten Schritt. Dementsprechend kann eine Dicke jeder der Isolierschichten **35** gleich einer Gesamtdicke der Padoxidschicht PDX1 und der Siliziumoxidschicht OX11 gemacht werden. Das ermöglicht eine Verringerung einer parasitären Kapazität jedes der Widerstandselemente **30A**, die auf der Isolierschicht **35** ausgebildet sind.

[0146] Auch in anderen Situationen als den oben beschriebenen, z.B. in einer Situation, in der mehrere Transistoren mit jeweiligen Gateisolierschichten mit unterschiedlichen Dicken wie z.B. Transistoren, die als Eingangs/Ausgangsabschnitte verwendet werden, deren Leistungsversorgungsspannung 3,3V beträgt, bereitgestellt sind, werden in dem Elementbereich Gateisolierschichten mit unterschiedlichen Dicken gebildet. Dazu wird das Entfernen und Bilden einer Siliziumoxidschicht (duale Oxidation) in dem Elementbereich wiederholt. In einer solchen Situation wird, nachdem eine Siliziumoxidschicht SOI-Schicht **3** gebildet ist, ein in dem Widerstandsbereich RR liegender Abschnitt der Siliziumoxidschicht nicht entfernt, indem der Widerstandsbereich RR während des Entfernens des anderen Abschnitts der Siliziumoxidschicht in dem Elementbereich mit einer Resistmaske oder dergleichen abgedeckt wird. Demzufolge wird auf der SOI-Schicht **3** in dem Widerstandsbereich RR eine dicke Siliziumoxidschicht bereitgestellt. Somit kann jedes der auf der dicken Siliziumoxidschicht gebildeten Widerstandselementes **30A** eine beträchtlich verringerte parasitäre Kapazität aufweisen.

[0147] Auch wenn jeder der oben beschriebenen Grabentrennschichten eine Siliziumoxidschicht enthält, kann jeder der Grabentrennschichten alternativ auch eine Siliziumnitridschicht enthalten.

Patentansprüche

1. Halbleitervorrichtung mit einem SOI-Substrat (SB) mit einem als Grundlage dienenden Substrat (**1**), einer auf dem Substrat bereitgestellten vergrabenen Oxidschicht (**2**) und einer auf der vergrabenen Oxidschicht bereitgestellten SOI-Schicht (**3**), mehreren ersten Trennschichten (**4**), die in einer Hauptoberfläche der SOI-Schicht in einem auf dem SOI-Substrat definierten ersten Bereich (RR) bereitgestellt sind, wobei ein Abschnitt der SOI-Schicht dazwischen liegt, und mehreren Widerstandselementen (**30**), die jeweils auf den ersten Trennschichten in dem ersten Bereich bereitgestellt sind; wobei zumindest ein Abschnitt der Trennschichten durch die SOI-Schicht hindurchgeht und die vergrabene Oxidschicht erreicht, um einen Vollgrabentrennaufbau zu enthalten.

2. Halbleitervorrichtung mit einem SOI-Substrat (SB) mit einem als Grundlage dienenden Substrat (**1**), einer auf dem Substrat bereitgestellten vergrabenen Oxidschicht (**2**) und einer auf der vergrabenen Oxidschicht bereitgestellten SOI-Schicht (**3**), mehreren ersten Trennschichten (**4**), die in einer Hauptoberfläche der SOI-Schicht in einem auf dem SOI-Substrat definierten ersten Bereich (RR) bereit-

gestellt sind, wobei Abschnitte der SOI-Schicht dazwischen liegen, und mehreren Widerstandselementen (**30A**), die jeweils über Isolierschichten (**35**) auf den zwischen den ersten Trennschichten liegenden Abschnitten der SOI-Schicht bereitgestellt sind; wobei zumindest ein Abschnitt der Trennschichten durch die SOI-Schicht hindurchgeht und die vergrabene Oxidschicht erreicht, um einen Vollgrabentrennaufbau zu enthalten.

3. Halbleitervorrichtung nach Anspruch 1 oder 2, bei der jede der ersten Trennschichten (**4**) einen Hybridgrabentrennaufbau enthält, bei dem in einer Schnittansicht ein Mittelabschnitt den Vollgrabentrennaufbau enthält und jeder der einander gegenüberliegenden Seitenabschnitte auf der SOI-Schicht (**3**) angeordnet ist, so dass er einen Teilgrabentrennaufbau enthält.

4. Halbleitervorrichtung nach Anspruch 1 oder 2, bei der jede der ersten Trennschichten (**4B**) in einer Schnittansicht nur den Vollgrabentrennaufbau enthält.

5. Halbleitervorrichtung nach einem der Ansprüche 1 bis 4, bei der die SOI-Schicht (**3**) Dotierungen mit einer Konzentration enthält, die es ermöglicht, dass die SOI-Schicht in dem ersten Bereich (RR) voll verarmt sein kann.

6. Halbleitervorrichtung nach Anspruch 5, mit einer zweiten Trennschicht (**41**), die in der Hauptoberfläche der SOI-Schicht (**3**) in einem zweiten Bereich (NR, PR) bereitgestellt ist, in dem Halbleiterelemente bereitgestellt werden sollen, wobei eine Dicke jeder der ersten Trennschichten (**4**) größer ist als die der zweiten Trennschicht.

7. Halbleitervorrichtung nach einem der Ansprüche 1 bis 6, bei der jede der ersten Trennschichten (**4**) länglich ist und sich in einer Draufsicht in einer ersten Richtung erstreckt, die ersten Trennschichten parallel zueinander in einer zweiten Richtung senkrecht zu der ersten Richtung angeordnet sind, und die SOI-Schicht (**3**) zumindest zwischen den ersten Trennschichten in dem ersten Bereich (RR) bereitgestellt ist.

8. Halbleitervorrichtung nach Anspruch 7, bei der die SOI-Schicht (**3**) auch außerhalb von Endabschnitten jeder der ersten Trennschichten (**4**) in dem ersten Bereich (RR) bereitgestellt ist, wobei die Endabschnitte einander in der ersten Richtung gegenüberliegen.

9. Halbleitervorrichtung nach Anspruch 2, mit einem MOS-Transistor (**10, 20**), der in einem von dem ersten Bereich (RR) verschiedenen zweiten Bereich

(NR, PR) bereitgestellt ist, wobei der MOS-Transistor eine Gateisolierschicht (**11, 21**) enthält, die in dem zweiten Bereich auf der SOI-Schicht (**3**) bereitgestellt ist, und eine Dicke jeder der Isolierschichten (**35**) auf der SOI-Schicht in dem ersten Bereich größer ist als die der Gateisolierschicht.

10. Halbleitervorrichtung nach einem der Ansprüche 1 bis 9, bei der die Widerstandselemente (**30, 30A**) Polysilizium enthalten.

11. Halbleitervorrichtung nach einem der Ansprüche 1 bis 10 mit einer Induktivität (SI), die oberhalb des SOI-Substrats (SB) bereitgestellt ist, wobei der erste Bereich (RR) unter der Induktivität liegt.

12. Verfahren zum Herstellen einer Halbleitervorrichtung mit einem SOI-Substrat (SB) mit einem als Grundlage dienenden Substrat (**1**), einer auf dem Substrat bereitgestellten vergrabenen Oxidschicht (**2**) und einer auf der vergrabenen Oxidschicht; bereitgestellten SOI-Schicht (**3**), mehreren ersten Trennschichten (**4**), die in einer Hauptoberfläche der SOI-Schicht in einem auf dem SOI-Substrat definierten ersten Bereich (RR) bereitgestellt sind, wobei Abschnitte der SOI-Schicht dazwischen liegen, mehreren Widerstandselementen (**30**), die jeweils auf den ersten Trennschichten in dem ersten Bereich oder auf den zwischen den ersten Trennschichten eingebetteten Abschnitten der SOI-Schicht bereitgestellt sind, und einem MOS-Transistor (**10, 20**), der in einem von dem ersten Bereich verschiedenen zweiten Bereich (NR, PR) bereitgestellt ist; wobei das Verfahren die Schritte enthält:

(a) Bilden der ersten Trennschichten in der Hauptoberfläche der SOI-Schicht in dem ersten Bereich,

(b) Durchführen einer Ionenimplantation einer Dotierung in die SOI-Schicht in dem zweiten Bereich, um eine Schwellenspannung des MOS-Transistors festzulegen,

(c) Bilden einer Polysiliziumschicht (PS1), die sich über den ersten und den zweiten Bereich erstreckt, nach dem Schritt (b), und

(d) Strukturieren der Polysiliziumschicht auf dem ersten und zweiten Bereich, um die Widerstandselemente und eine Gateelektrode (**11, 21**) des MOS-Transistors zu bilden; wobei der Schritt (b) einen Schritt enthält, in dem der erste Bereich mit einer Maske abgedeckt wird, um zu verhindern, dass die Dotierung in den ersten Bereich implantiert wird.

13. Verfahren zum Herstellen einer Halbleitervorrichtung nach Anspruch 12, weiter mit einem Schritt (e) Durchführen einer Ionenimplantation einer Source/Drain-Dotierung in die SOI-Schicht (**3**) in dem zweiten Bereich (NR, PR) nach dem Schritt (d) zum

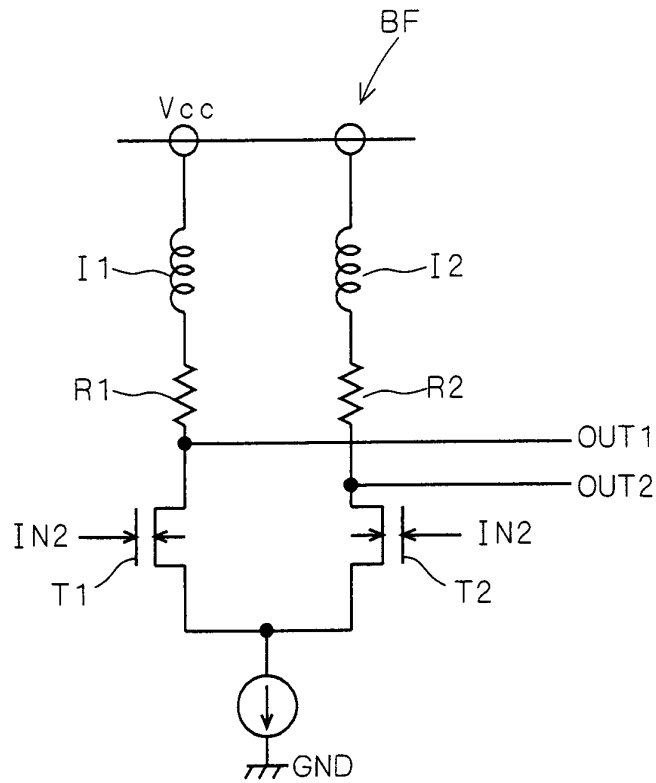
Bilden einer Source/Drain-Schicht (**15, 25**) des MOS-Transistors (**10, 20**); wobei der Schritt (e) einen Schritt enthält, in dem der erste Bereich (RR) mit einer Maske abgedeckt wird, um zu verhindern, dass die Source/Drain-Dotierung in den ersten Bereich implantiert wird.

14. Verfahren zum Herstellen einer Halbleitervorrichtung nach Anspruch 12 oder 13, wobei die Halbleitervorrichtung weiter eine Induktivität (SI) aufweist, die oberhalb der SOI-Schicht (**3**) bereitgestellt ist, und der erste Bereich (RR) unter der Induktivität angeordnet ist.

Es folgen 21 Blatt Zeichnungen

Anhängende Zeichnungen

F I G . 1



F I G . 2

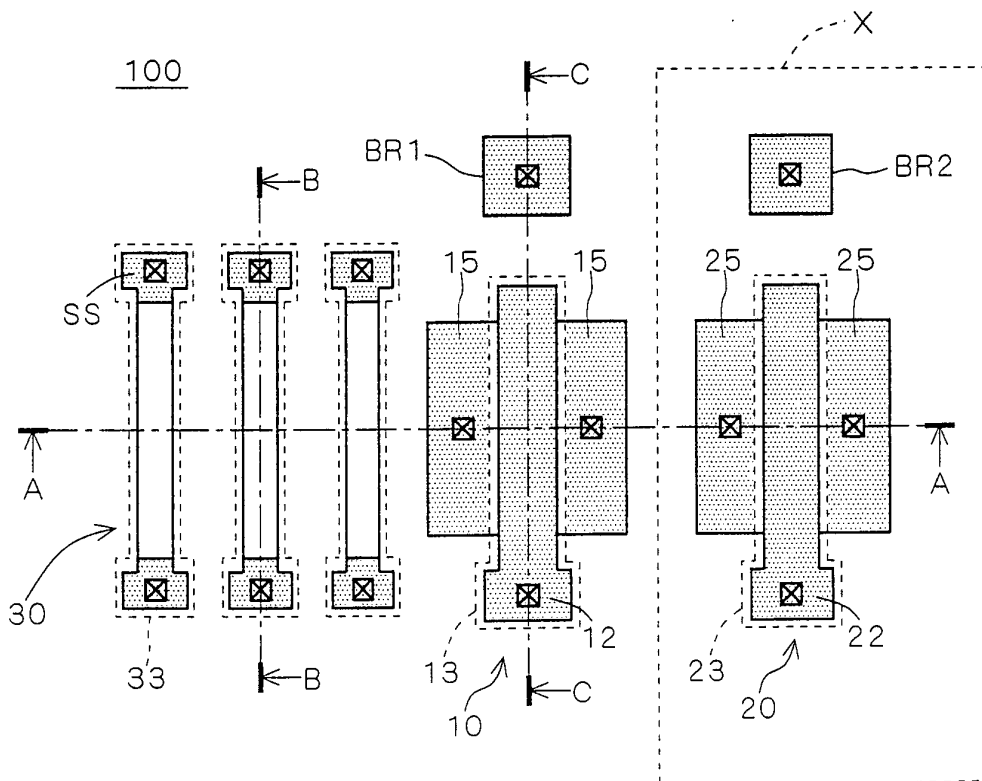


FIG. 3

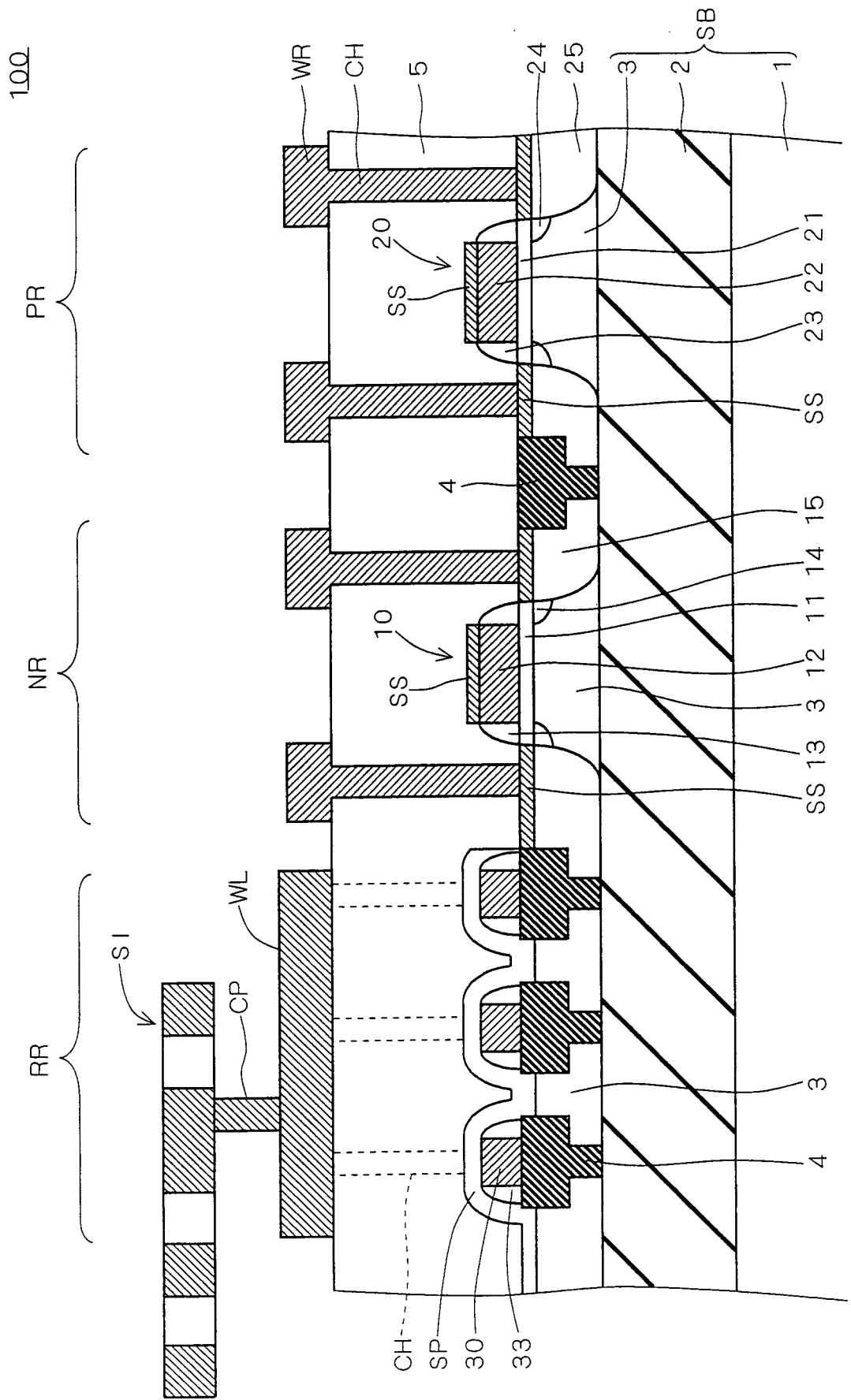


FIG. 4

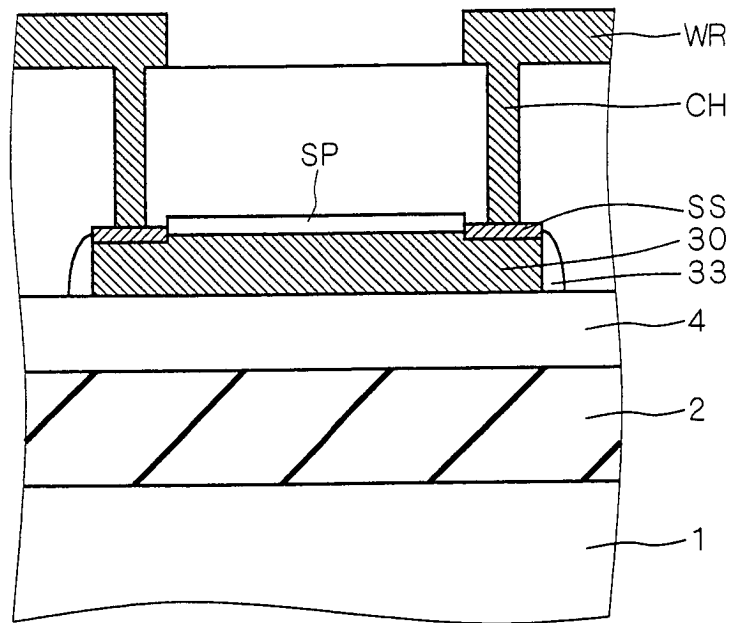
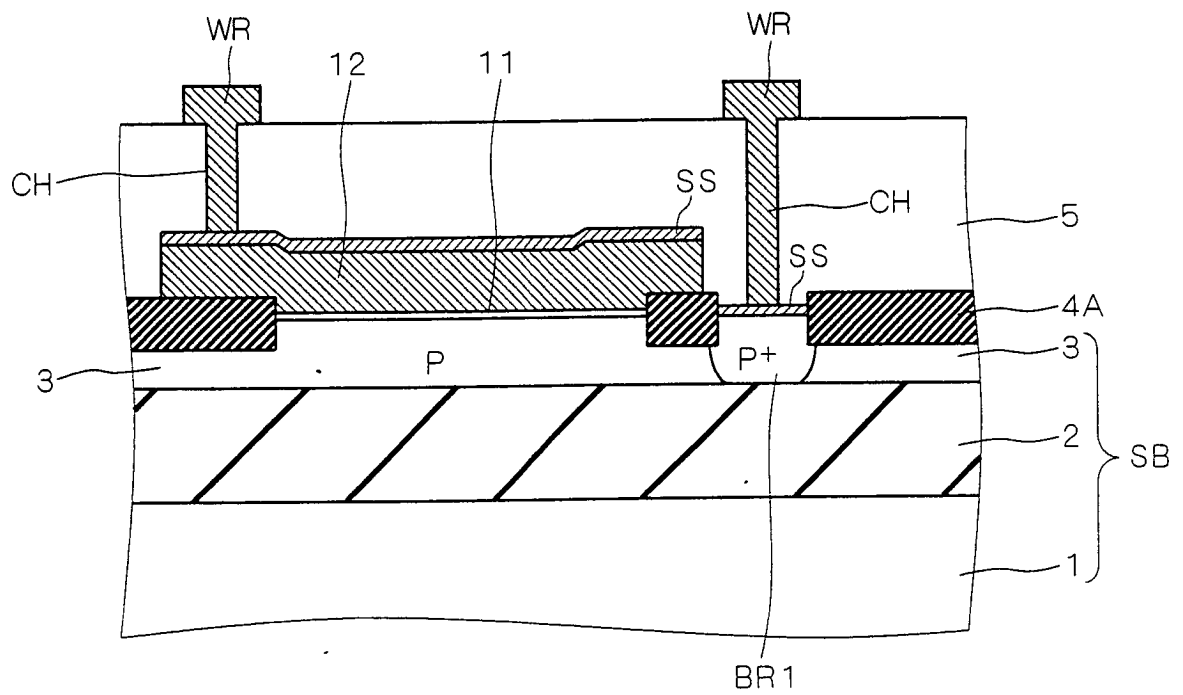
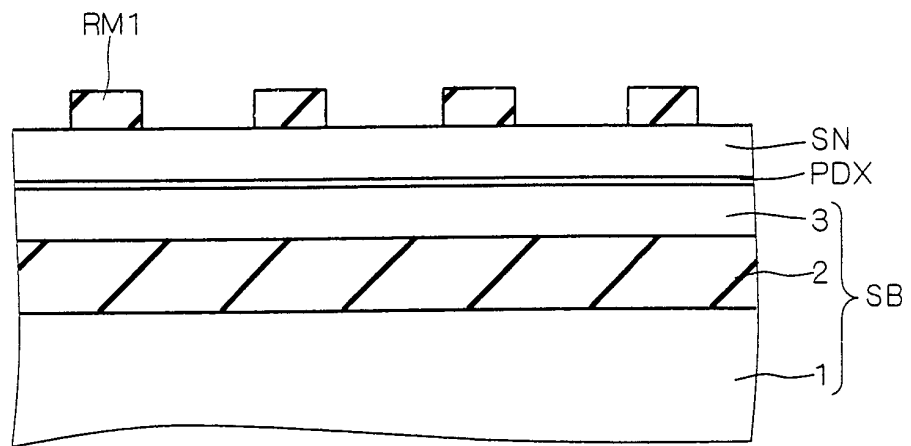


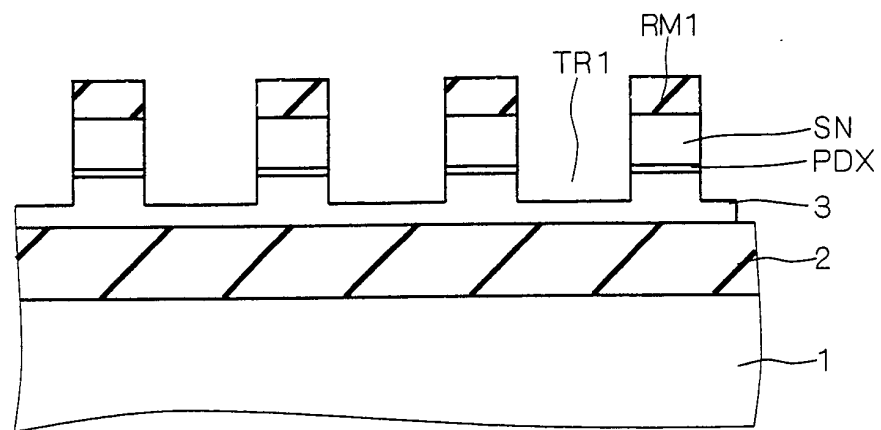
FIG. 5



F I G . 6



F I G . 7



F I G . 8

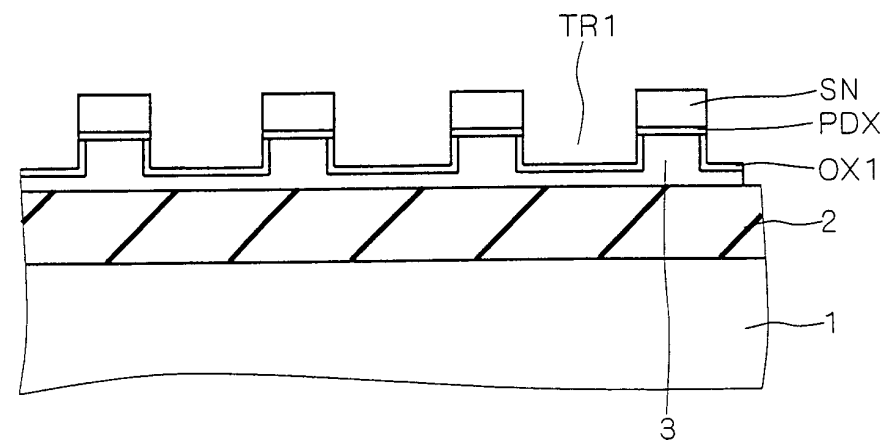


FIG. 9

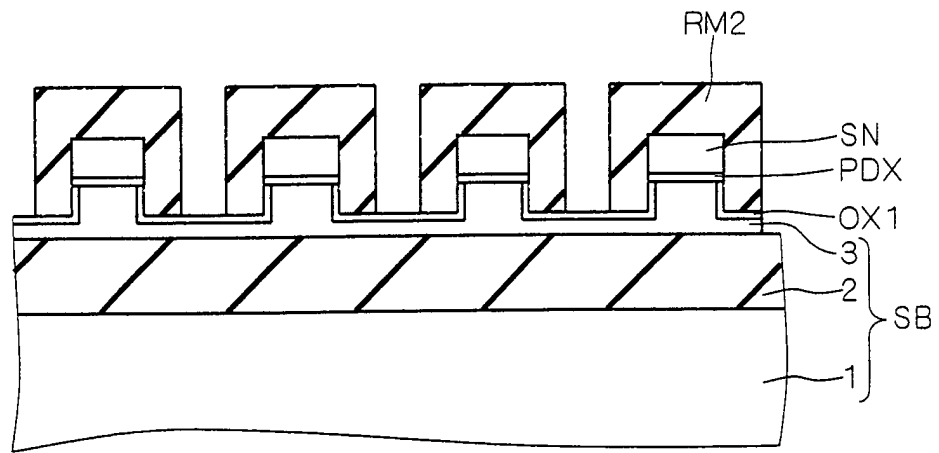


FIG. 10

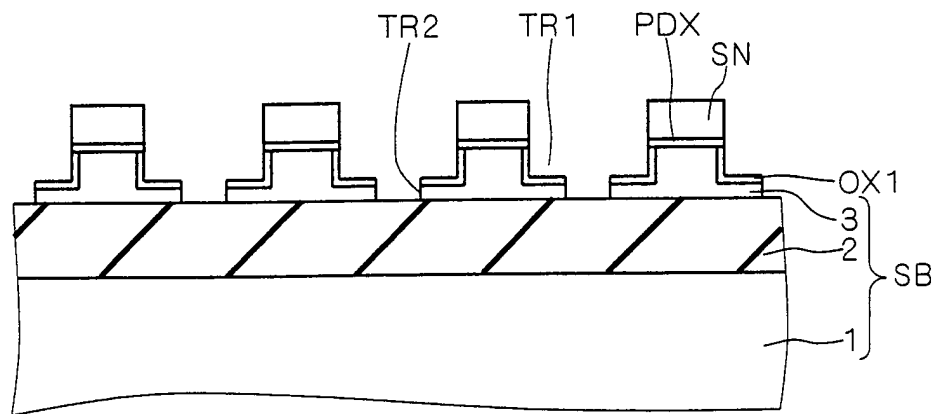
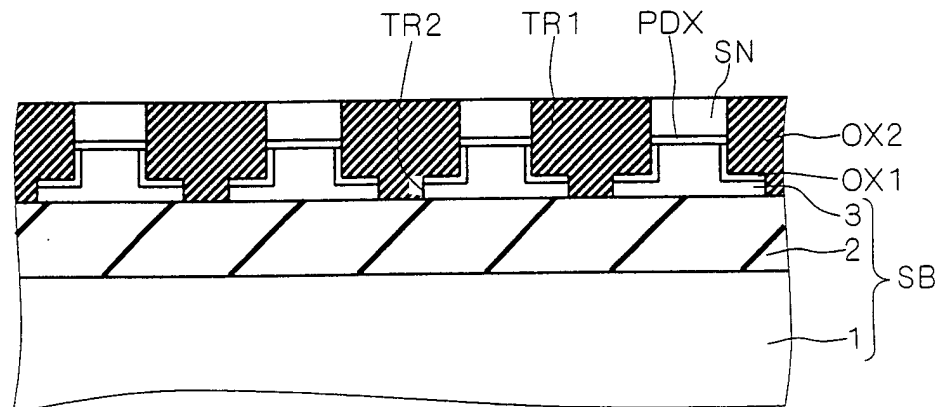
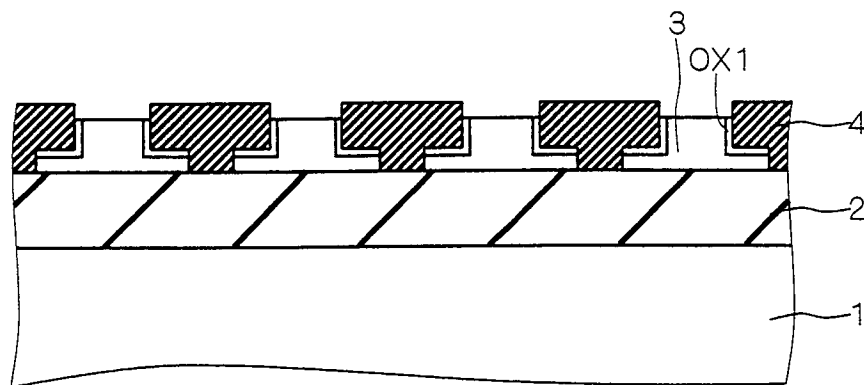


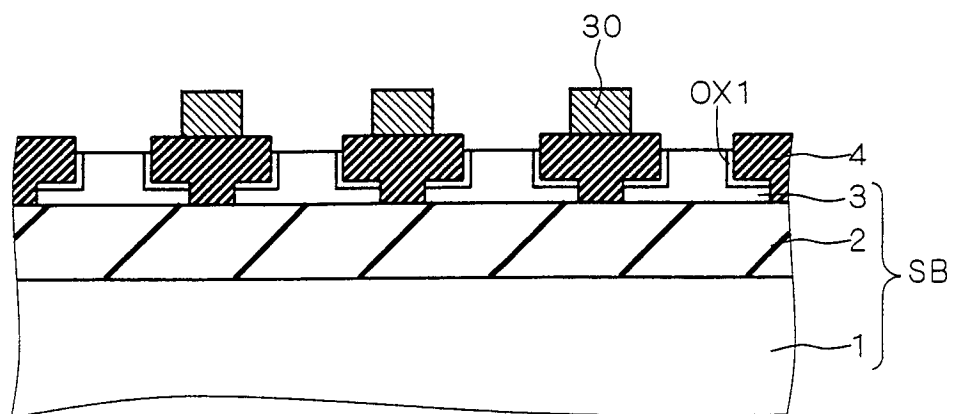
FIG. 11



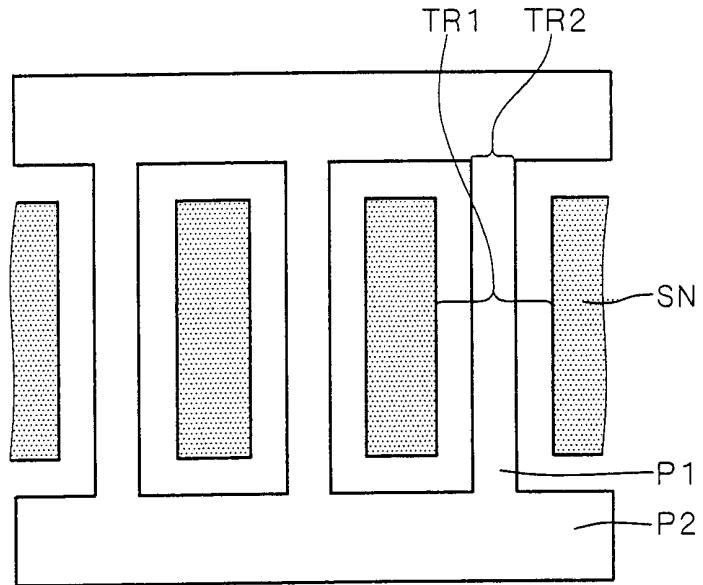
F I G . 1 2



F I G . 1 3



F I G . 1 4



F I G . 1 5

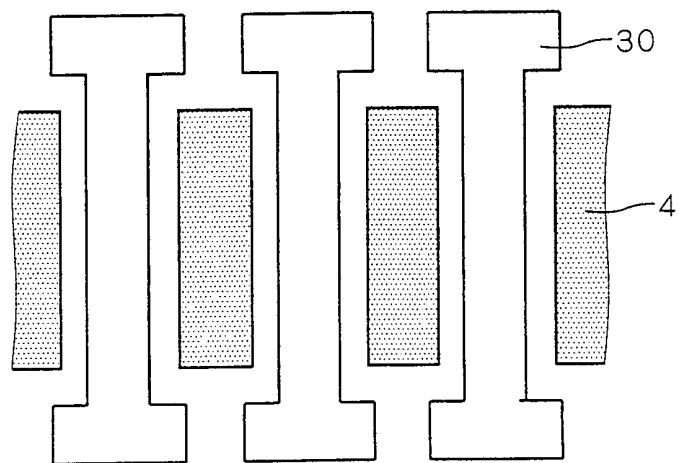


FIG. 16

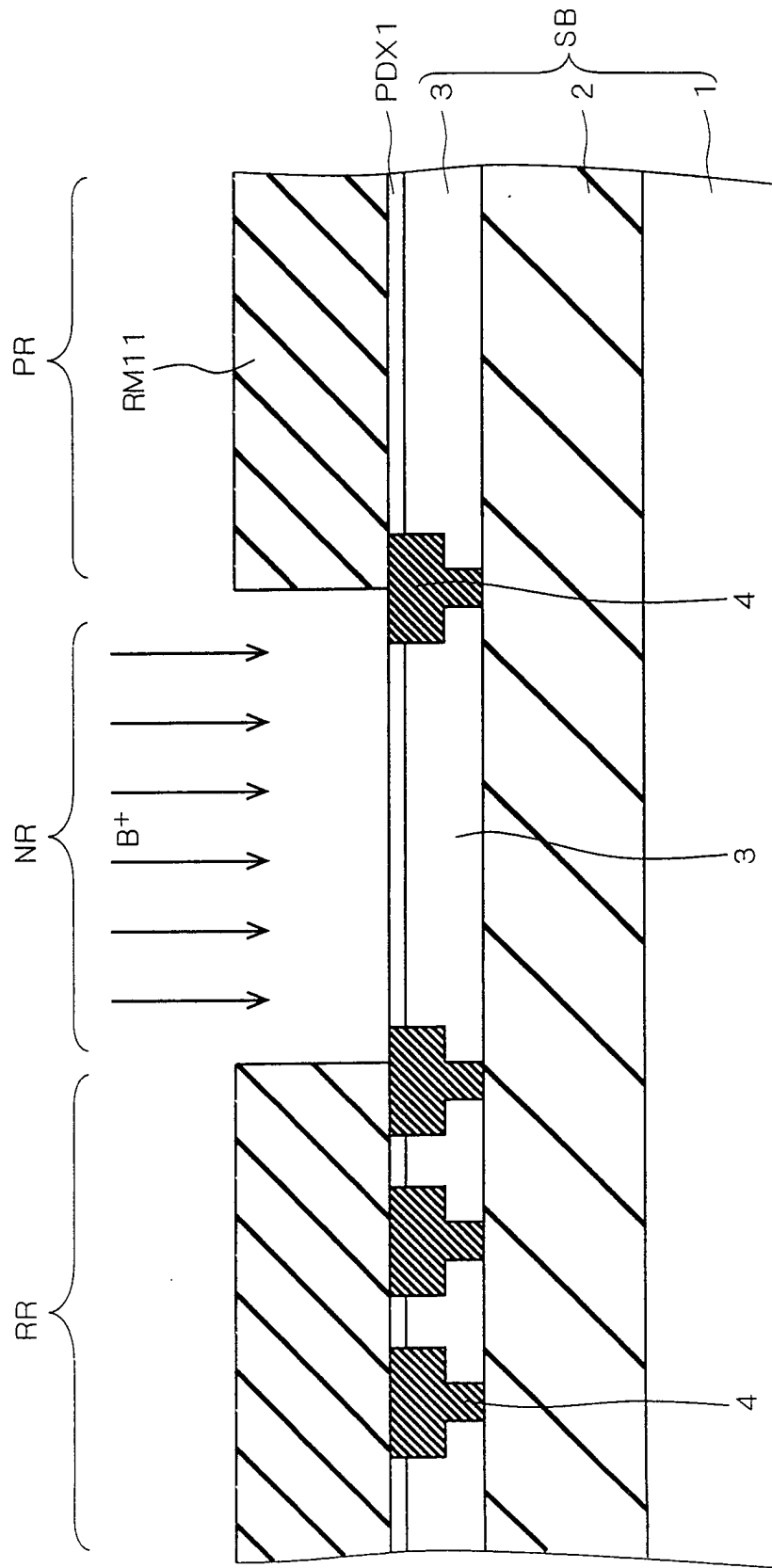


FIG. 17

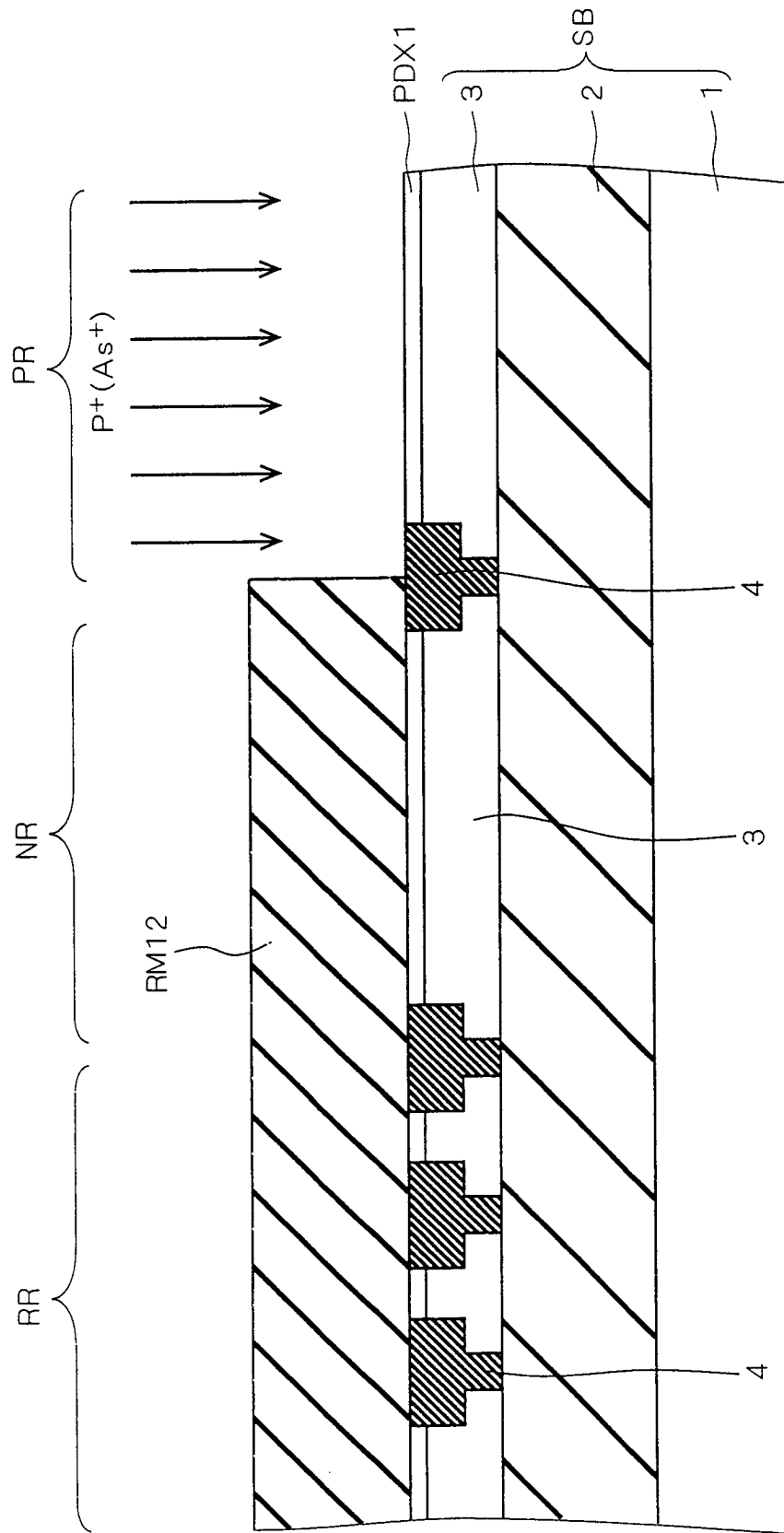


FIG. 18

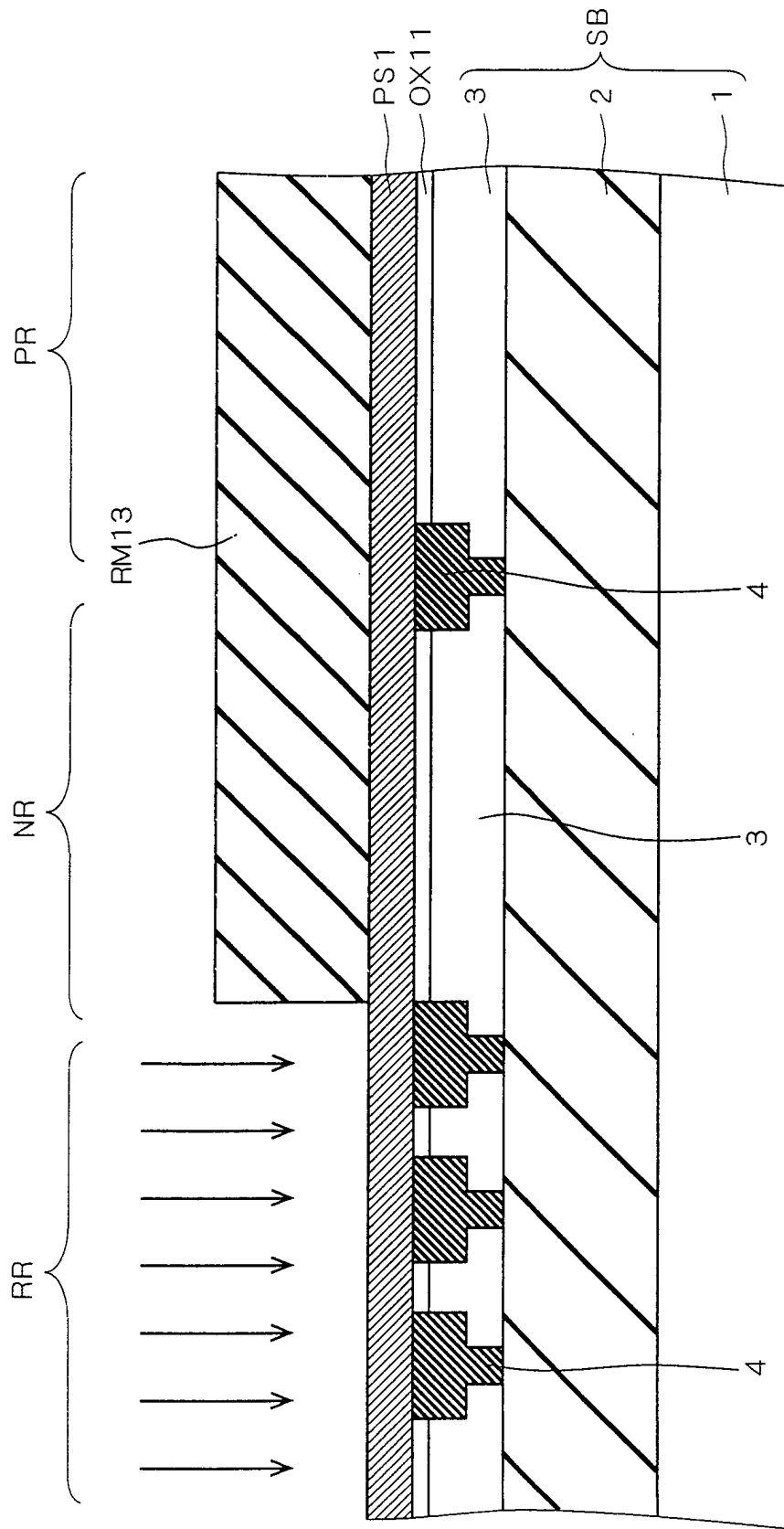


FIG. 19

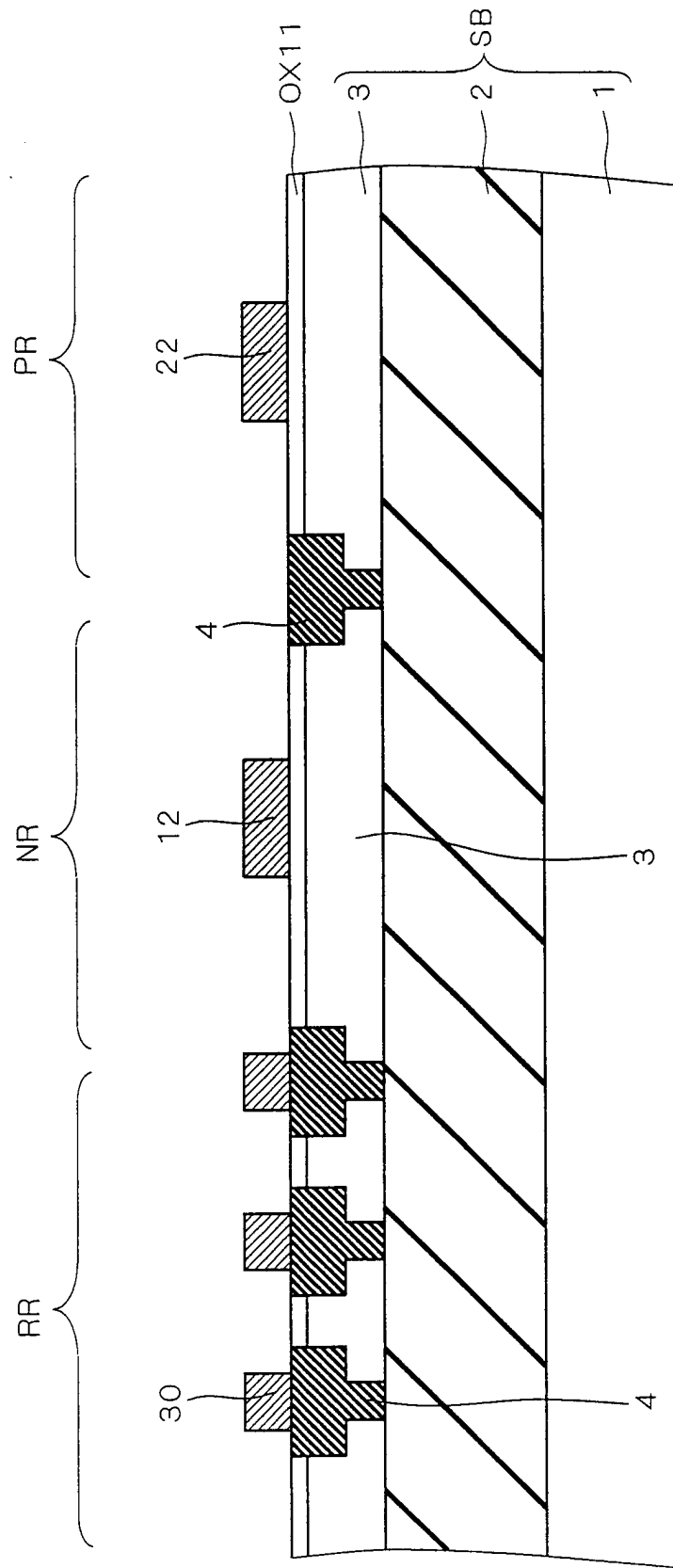


FIG. 20

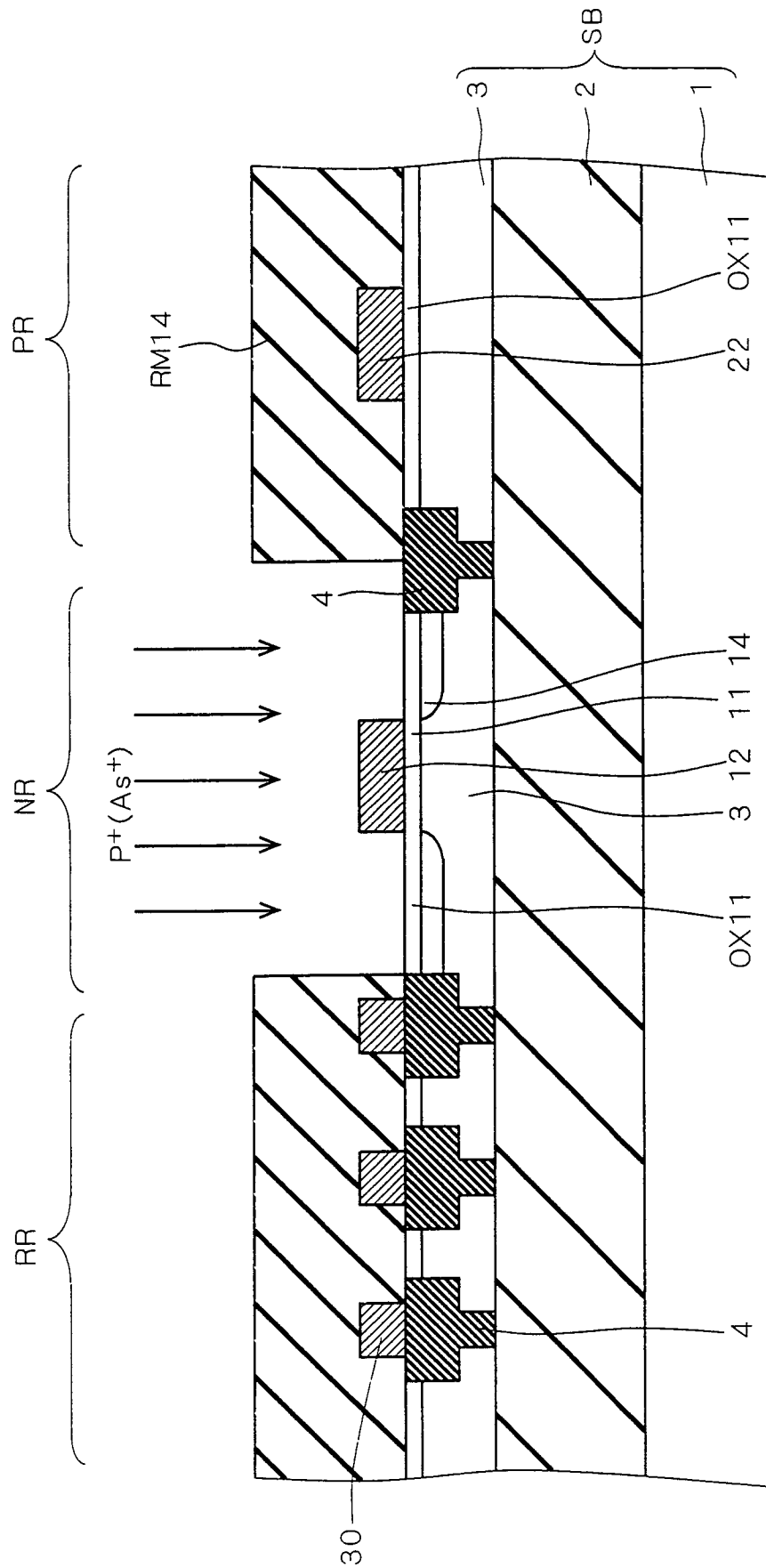


FIG. 21

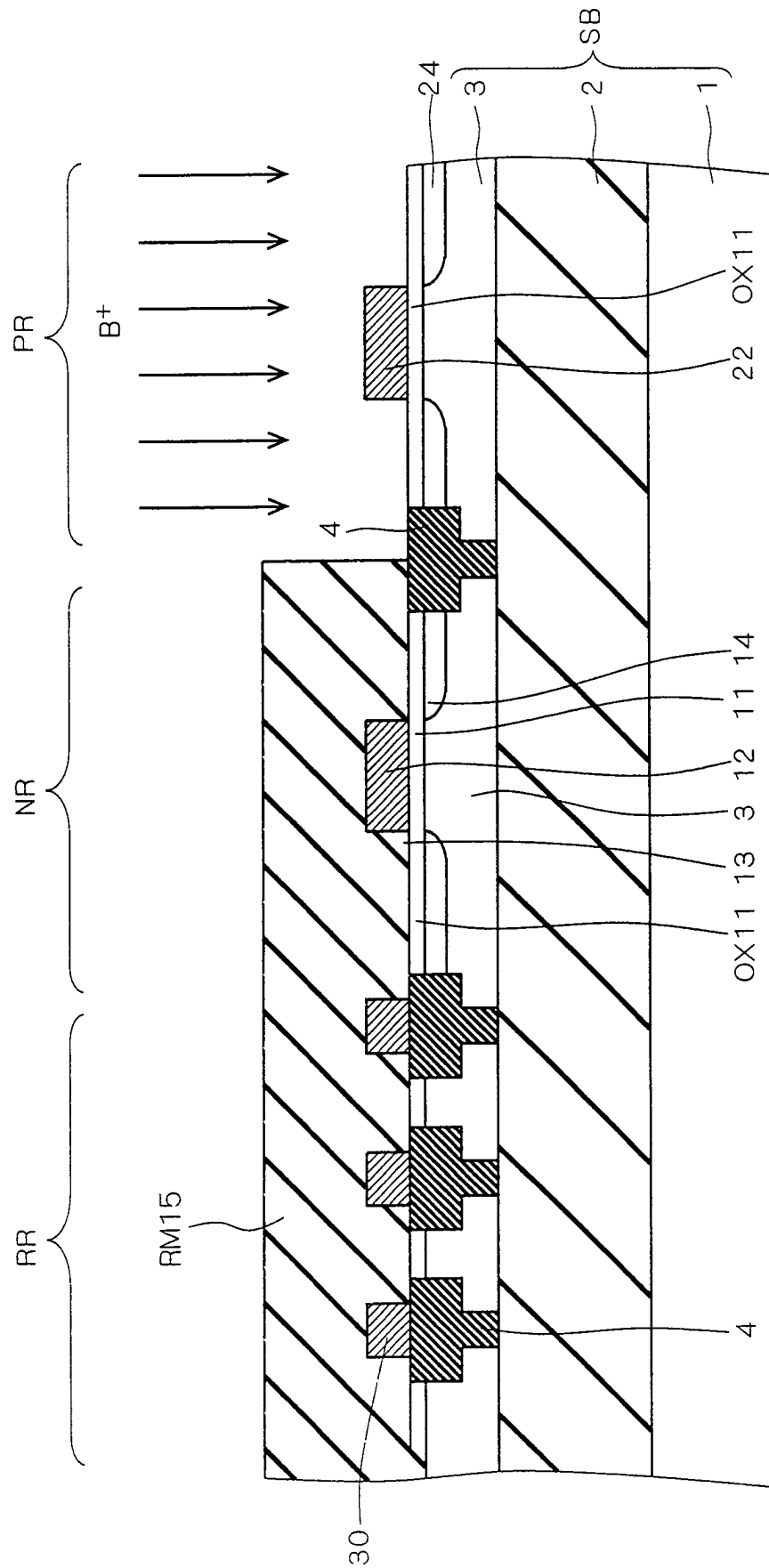


FIG. 22

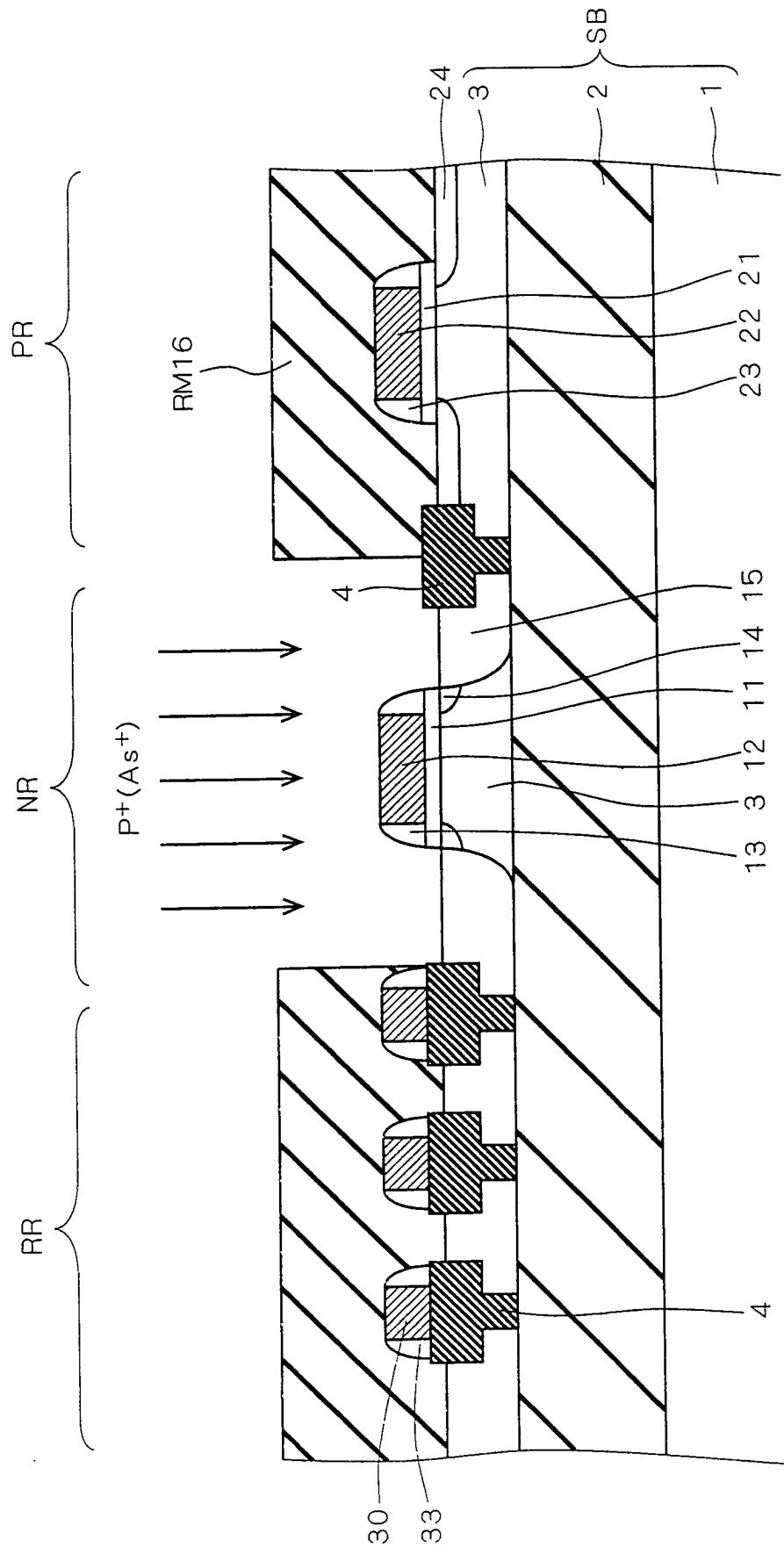


FIG. 23

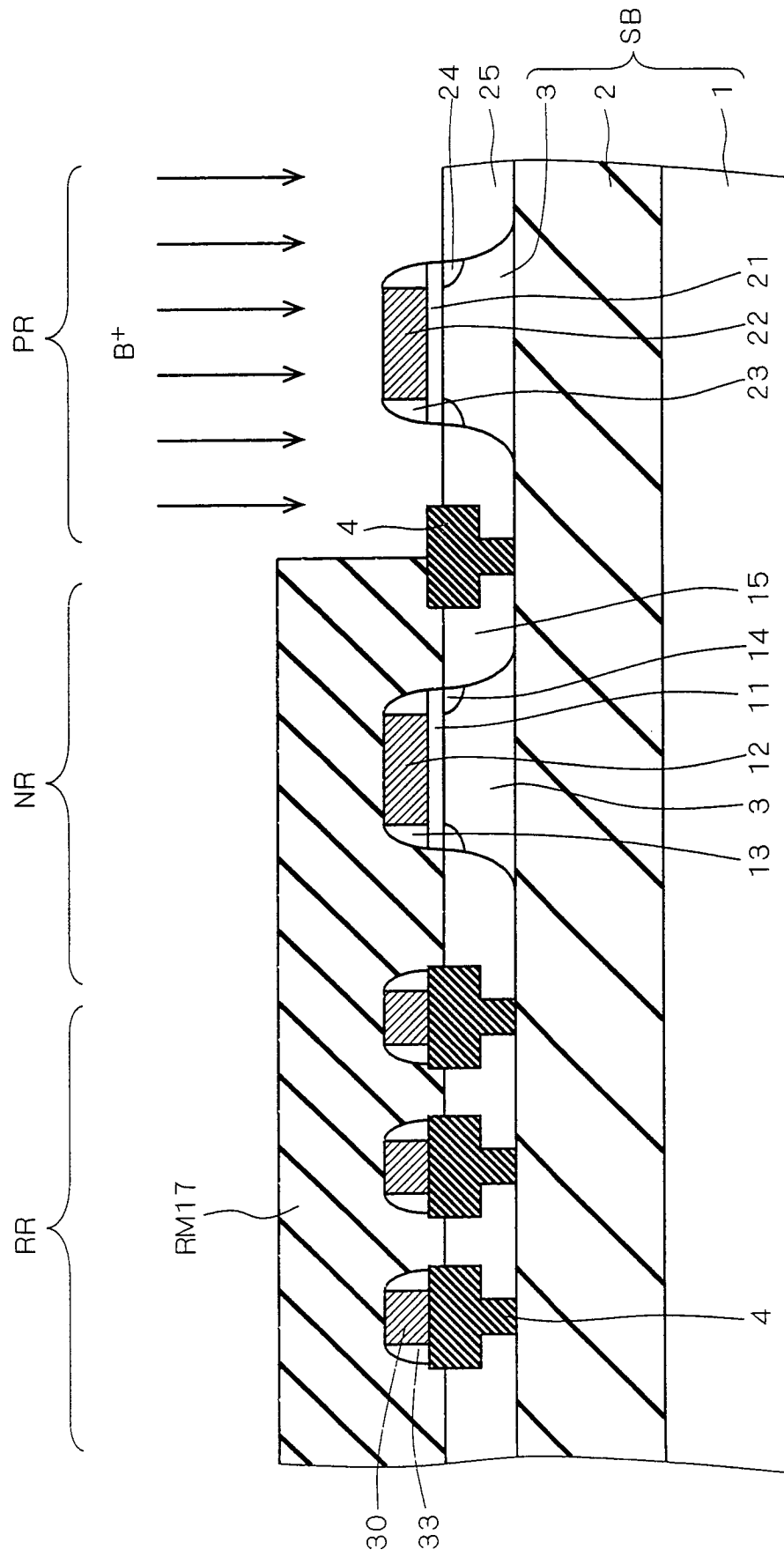
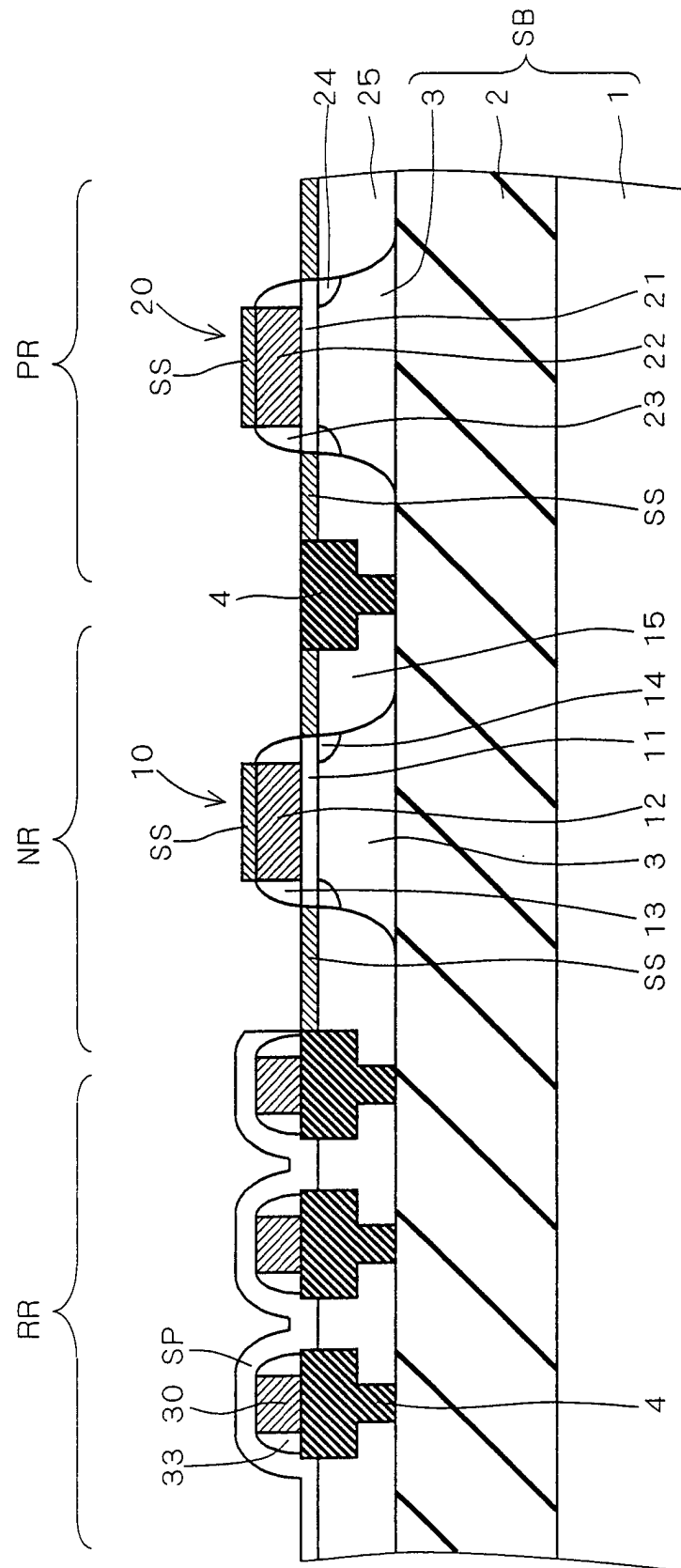
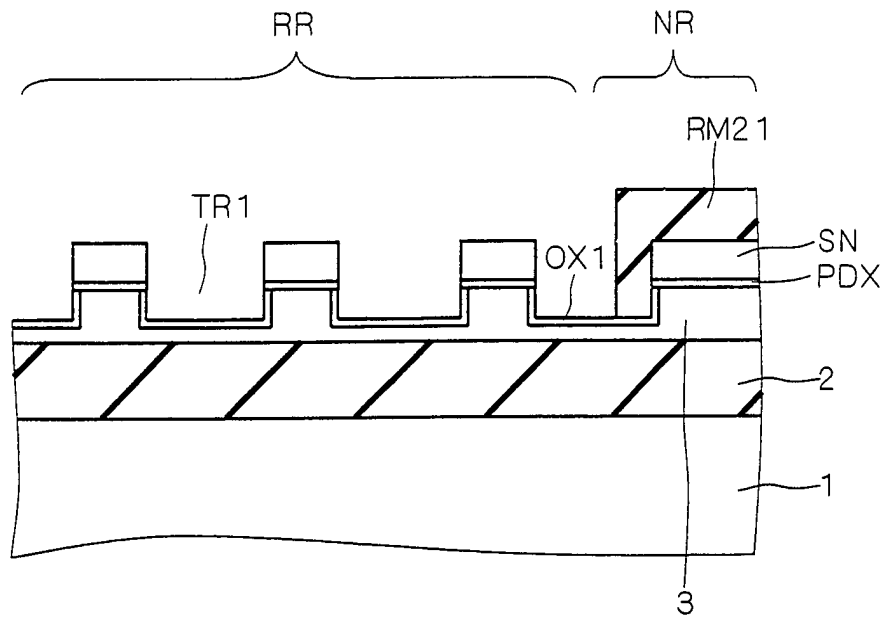


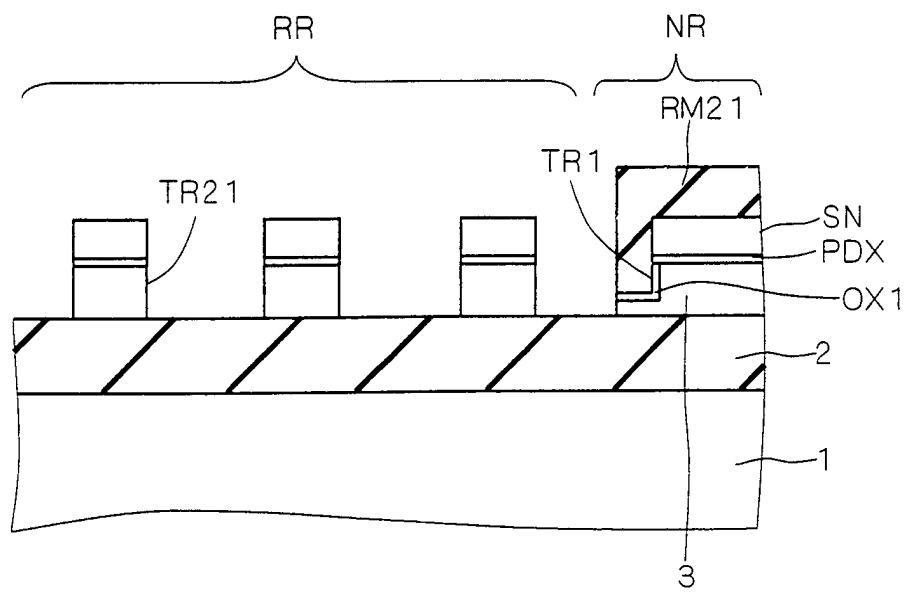
FIG. 25



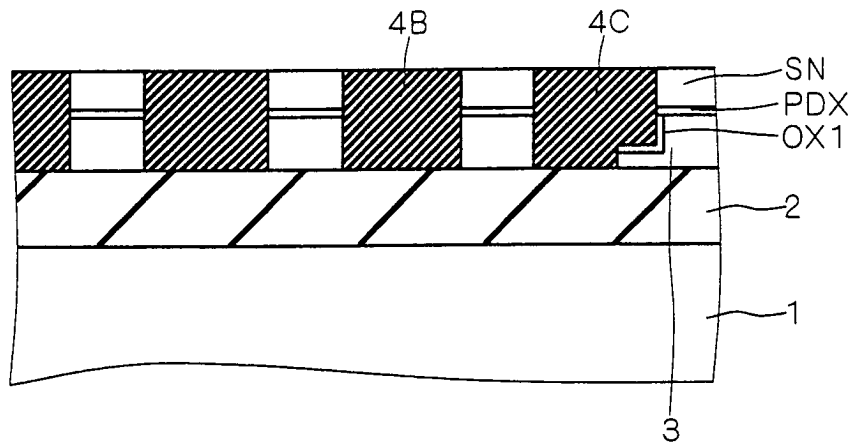
F I G . 2 6



F I G . 2 7



F I G . 2 8



F I G . 2 9

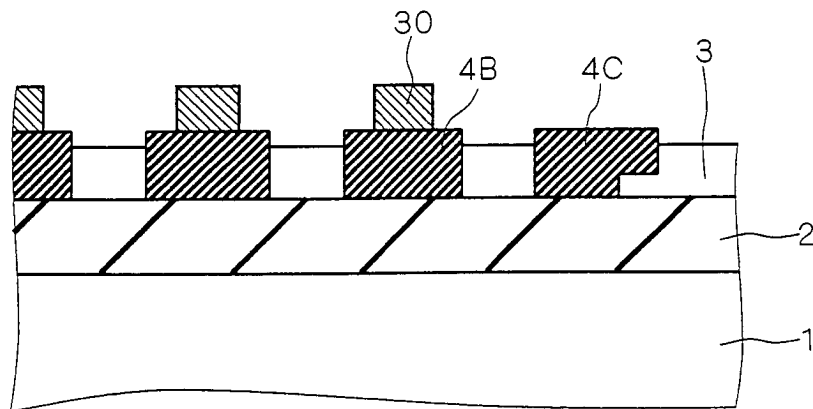


FIG. 30

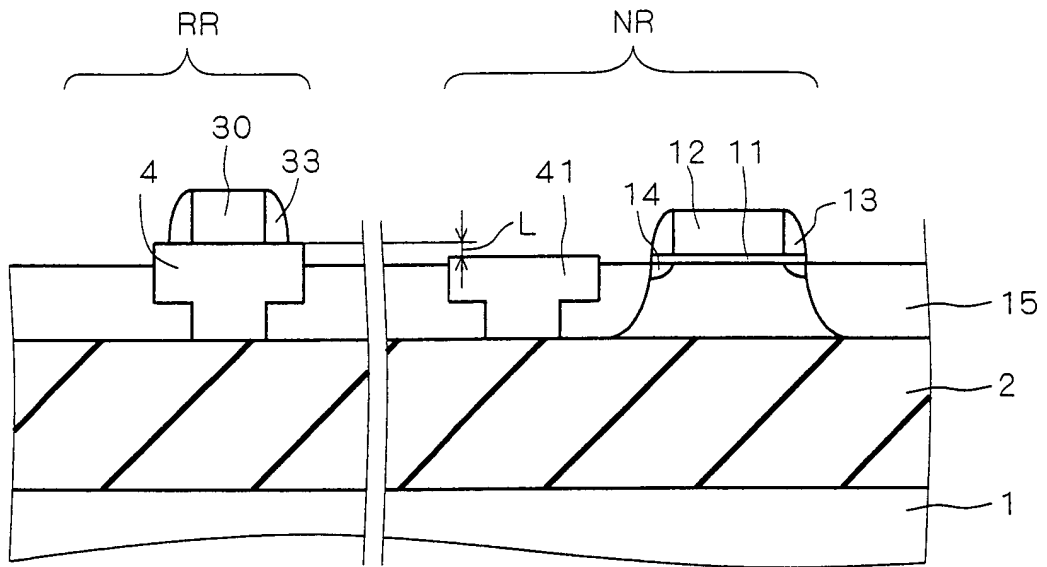
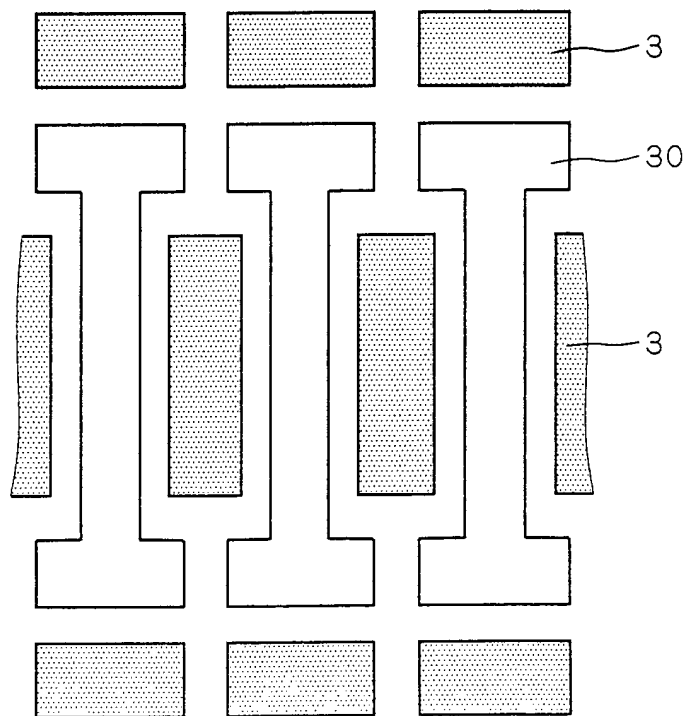


FIG. 31



F I G . 3 2

