

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 29/786

(45) 공고일자 1999년07월01일

(11) 등록번호 10-0194679

(24) 등록일자 1999년02월10일

(21) 출원번호	10-1996-0017223	(65) 공개번호	특1997-0077744
(22) 출원일자	1996년05월21일	(43) 공개일자	1997년12월12일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 배병성
경기도 수원시 장안구 송죽동 선경아트빌 101-203호
(74) 대리인 김원호, 최현석

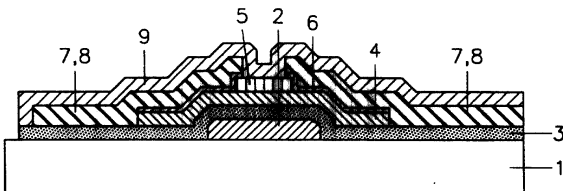
심사관 : 임동우

(54) 박막 트랜지스터 및 그 제조 방법

요약

본 발명은 박막 트랜지스터 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는, 에치 스톱퍼, 게이트 전극, 소스/드레인 전극, 반도체층 및 고농도 콘택층으로 구성되어 있는 에치 스톱퍼형 박막 트랜지스터 및 그 제조 방법에 관한 것이다. 게이트 배선, 상기 게이트 배선 양쪽에 제1, 제2데이터 배선 및 상기 게이트 배선과 연결되어 있는 게이트 전극을 형성하고 게이트 절연막을 형성하고 반도체층을 형성하고 반도체층 상부에 에치 스톱퍼를 형성함과 동시에 제1, 제2데이터 배선 상부에 각각 게이트 절연막의 제1, 제2개구부를 형성하고 제1, 제2개구부를 통하여 제1, 제2데이터 배선 및 반도체층을 연결하는 도전막을 형성하고 에치 스톱퍼의 상부가 노출되도록 상기 도전막을 식각한다. 따라서, 본 발명에 따른 에치 스톱퍼형 박막 트랜지스터 및 그 제조 방법은 배선에 대한 패턴 마스크, 반도체층에 대한 패턴 마스크, 콘택홀에 대한 패턴 마스크 및 게이트 전극 및 데이터 전극을 포함하는 도전막을 형성하는 패턴 마스크 즉 4매의 마스크만으로 제조가 가능하고 보호막이 에치 스톱퍼로 사용됨으로써 에치 스톱퍼 공정을 생략하고 반도체층의 층의 두께를 최소화할 수 있고 도전막을 전극으로 사용함으로써 전극을 형성하는 공정을 생략할 수 있다.

대표도



명세서

[발명의 명칭]

박막 트랜지스터 및 그 제조 방법

[도면의 간단한 설명]

제1도는 종래 기술에 따른 에치 스톱퍼형 박막 트랜지스터의 구조를 도시한 단면도.

제2a도 내지 d도는 종래 기술에 따른 에치 스톱퍼형 박막 트랜지스터의 제조 방법을 그 공정 순서에 따라 도시한 단면도.

제3도는 본 발명의 제1실시예에 따른 에치 스톱퍼형 박막 트랜지스터의 구조를 도시한 배치도.

제4도는 본 발명의 제1실시예에 따른 완성된 에치 스톱퍼형 박막 트랜지스터의 구조를 도시한 것으로 제3도에서 A-A 부분의 단면도.

제5도는 본 발명의 제1실시예에 따른 완성된 에치 스톱퍼형 박막 트랜지스터의 구조를 도시한 것으로 제3도에서 B-B 부분의 단면도.

제6도a 내지 c도는 본 발명의 제1실시예에 따른 에치 스톱퍼형 박막트랜지스터의 제조 방법을 그 공정 순서에 따라 도시한 평면도.

제7도a 내지 e도는 제4도a 내지c도 에서 A-A 부분의 에치 스톱퍼형 박막 트랜지스터의 제조 방법을 그 공정 순서에 따라 도시한 단면도.

제8도a 내지 e도는 제4도a 내지 c도에서 B-B 부분의 에치 스토퍼형 박막 트랜지스터의 제조 방법을 그 공정 순서에 따라 도시한 단면도.

제9도는 본 발명의 제2실시예에 따른 완성된 에치 스토퍼형 박막 트랜지스터의 구조를 나타낸 배치도.

제10도는 제9도에서 C-C 부분을 도시한 단면도.

제11도는 제9도에서 D-D 부분을 도시한 단면도.

제12도 및 제13도는 본 발명의 제2실시예에 따른 박막 트랜지스터의 제조 방법을 도시한 단면도이다.

[발명의 상세한 설명]

본 발명은 박막 트랜지스터 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는, 에치 스토퍼형 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

일반적으로 비정질 실리콘이나 다결정 실리콘을 사용하는 박막 트랜지스터는 액정 표시 장치(liquid crystal display : LCD)에서 스위칭 동작을 하는 능동 소자로 대면적, 고정세화, 자연색 구현으로 가는 제품의 질을 결정하는 요소로서 전체적인 제조 방법에서 차지하는 비중이 매우 크다할 수 있다.

이러한 스위칭 소자를 이용하는 액티브 매트릭스(active matrix) 액정표시 장치는 현재 가격이 급격히 내려가고 있으며 원가 경쟁이 심화되고 있으며 원가를 낮추는 것이 시장 창출을 위한 첫째 요건이 되고 있다.

그리고 비정질 실리콘은 광전도도가 커서 빛이 들어가면 오프(OFF) 전류가 증가하는 것이 문제점으로 나타나고 있다. 이러한 문제점을 개선하기 위하여 실리콘의 두께를 줄이는 것이 일반적으로 제시되어 있고 이러한 얇은 실리콘 막을 형성하기 위하여 에치 스토퍼(etch stopper)를 이용하는 방법들이 제시되고 있다.

그러면, 첨부한 도면을 참고로 하여 종래의 에치 스토퍼형 박막 트랜지스터에 대하여 더욱 상세하게 설명한다.

제1도는 종래 기술에 따른 에치 스토퍼형 박막 트랜지스터의 구조를 도시한 단면도이고, 제2a도 내지 d도는 종래 기술에 따른 에치 스토퍼형 박막 트랜지스터의 제조 방법을 그 공정순서에 따라 도시한 단면도이다.

제1도는 비정질 실리콘을 사용하는 에치 스토퍼형 박막 트랜지스터의 구조를 나타낸 것이다.

제1도에서 보는 바와 같이, 기판(1) 위에 게이트 전극(2)이 형성되어 있고 기판(1) 상부에 게이트 전극(2)을 덮는 게이트 절연막(3)이 형성되어 있다. 그리고 게이트 절연막(3) 상부에 게이트 전극(2)과 대응하는 폭보다 넓은 폭으로 비정질 실리콘으로 이루어진 반도체층(4)이 형성되어 있고, 반도체층(4) 위에 반도체층(4)과 동일한 폭을 가지면서 중앙부에는 형성되어 있지 않으며 고농도로 도핑된 규소로 된 콘택층(6)이 형성되어 있다. 콘택층(6)이 형성되어 있지 않는 게이트 전극(2)과 대응하는 반도체층(4) 상부에는 에치 스토퍼(5)가 형성되어 있고 중앙부에서는 콘택층(6)과 동일한 폭을 가지면서 양쪽 외부는 두 부분의 콘택층(6)보다 넓은 폭으로 두 개의 전극(7,8)이 형성되어 있는데, 두 전극(7,8) 중 하나는 소스 전극이고 다른 하나는 드레인 전극이다. 그리고 기판(1) 상부에 보호막(9)이 형성되어 있다.

이러한 종래의 기술에 따른 에치 스토퍼형 박막 트랜지스터의 제조 방법은 다음과 같이 이루어진다.

제2a도에서 보는 바와 같이, 투명한 절연 기판(1) 위에 금속막을 증착하고 패터닝하여 게이트 전극(2)을 형성한 다음, 기판(1) 위에 PECVD(plasma enhanced chemical vapor deposition) 방법을 이용하여 연속적으로 게이트 절연막(3), 비정질 실리콘층(4') 및 질화막(5')의 삼층막을 형성한다.

그리고 제2b도에서 보는 바와 같이, 기판(1) 상부에 포토 레지스트를 형성하고 기판(1)의 하부에서 후광으로 게이트 전극(2)을 마스크로 하여 노광하고 현상하여 게이트 전극(2)에 대응하는 질화막(5') 상부의 일부에만 포토레지스트를 남기고, 이를 마스크로 이용하여 습식 식각으로 질화막(5')을 식각하여 에치 스토퍼(5)를 자기 정합(self align)으로 형성한다.

이어 제2c도에서 보는 바와 같이, 기판(1) 위에 고농도 N형 불순물로 도핑된 비정질 실리콘층(6')을 증착하거나, 비정질 실리콘층을 형성하고 고농도 N형 비정질 실리콘층(6') 및 비정질 실리콘층(4')을 활성 마스크로 패터닝하여 반도체층(4)을 형성한다.

다음, 기판(1) 위에 금속막을 형성하고 중앙부를 제거하여 소스/드레인 전극(7,8)을 형성하고 소스/드레인 전극(7,8)을 마스크로 하여 중앙에 금속막이 형성되어 있지 않은 부분의 고농도 N형 비정질 실리콘층(6')을 식각하여 제거하여 콘택층(6)을 형성한다. 그리고 기판(1) 상부에 보호막(9)을 형성한다(제2d도 참조).

이러한 종래의 에치 스토퍼형 박막 트랜지스터에서는 절연 물질로 된 에치 스토퍼가 콘택층(5)과 반도체층(4)의 사이에 존재하기 때문에 콘택층(5')의 중앙부를 제거할 때 공정상에 큰 어려움이 없어 결과적으로 반도체층에서 균일한 활성 채널을 얻을 수 있다.

그러나, 이러한 종래의 에치 스토퍼형 박막 트랜지스터의 제조 방법에서는 앞에서 기술한 바와 같이 삼층막을 형성하고, 에치 스토퍼를 형성하기 위한 공정이 필요하고 고농도 콘택층을 형성하기 위해 고농도 비정질 실리콘층을 형성하거나 비정질 실리콘층을 형성하고 고농도 도핑을 실시해야 하고 이에 따른 마스크의 수가 추가되는 문제점을 가지고 있다.

본 발명의 목적은 이러한 문제점을 해결하기 위한 것으로서, 마스크의 수를 줄이고 제조 공정을 단순화하여 에치 스토퍼형 박막 트랜지스터를 제조하는데 있다.

이러한 목적을 달성하기 위한 본 발명에 따른 에치 스토퍼형 박막 트랜지스터는, 기판 위에 형성되어 있

으며 온/오프 신호를 인가하는 게이트 전극, 상기 기판 위에 형성되어 있으며 데이터 신호를 인가하는 데이터 전극, 상기 기판 위에 상기 게이트 전극 및 데이터 전극을 덮고 있으며 상기 데이터 전극 상부에 개구부를 갖는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있으며 상기 게이트 전극에 대응하는 부분에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있는 에치 스톱퍼, 상기 반도체층 및 게이트 절연막 위에 형성되어 있으며 상기 개구부를 통하여 상기 데이터 전극과 접촉하고 있고 상기 에치 스톱퍼를 중심으로 분리되어 있는 도전막을 포함하고, 기판 위에 형성되어 있는 게이트 배선, 상기 기판 위에 형성되어 있으며 상기 게이트 배선과 연결되어 있는 게이트 전극, 상기 기판 위에 형성되어 있으며 상기 게이트 배선을 중심으로 양쪽에 서로 분리되어 있는 제1, 제2데이터 배선, 상기 제1, 제2데이터 배선, 게이트 전극 및 게이트 배선을 덮으며 상기 데이터 배선 위에 제1, 제2개구부를 갖는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있으며 상기 게이트 전극에 대응하는 부분보다 넓게 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있는 에치 스톱퍼, 상기 반도체층 및 게이트 절연막 위에 형성되어 있으며 상기 제1, 제2개구부를 통하여 각각 상기 제1, 제2데이터 배선과 연결되어 접촉하고 상기 에치 스톱퍼를 중심으로 분리되어 있는 도전막을 포함하고, 기판 위에 형성되어 있는 게이트 배선, 상기 기판 위에 형성되어 있으며 상기 게이트 배선을 중심으로 양쪽에 서로 분리되어 있는 제1, 제2데이터 배선, 상기 게이트 전극을 덮는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있으며 상기 게이트 전극에 대응하는 부분보다 넓게 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있는 에치 스톱퍼, 상기 반도체층 및 기판 위에 형성되어 있으며 상기 제1, 제2데이터 배선 및 반도체층과 접촉하여 서로를 연결하고 상기 에치 스톱퍼를 중심으로 분리되어 있는 도전막을 포함하고 있다.

그리고 이러한 목적을 달성하기 위한 본 발명에 따른 에치 스톱퍼형 박막 트랜지스터 제조 방법은, 게이트 배선, 상기 게이트 배선 양쪽에 제1, 제2데이터 배선 및 상기 게이트 배선과 연결되어 있는 게이트 전극을 형성하는 단계, 게이트 절연막을 형성하는 단계, 반도체층을 형성하는 단계, 상기 반도체층 상부에 에치 스톱퍼를 형성함과 동시에 상기 제1, 제2데이터 배선 상부에 각각 상기 게이트 절연막의 제1, 제2개구부를 형성하는 단계, 상기 제1, 제2개구부를 통하여 상기 제1, 제2데이터 배선 및 반도체층을 연결하는 도전막을 형성하고 상기 에치 스톱퍼의 상부가 노출되도록 상기 도전막을 식각하는 단계를 포함하고, 게이트 배선, 상기 게이트 배선 양쪽에 제1, 제2데이터 배선 및 상기 게이트 배선과 연결되어 있는 게이트 전극을 형성하는 단계, 절연막과 비정질 실리콘층을 차례로 증착하고 상기 절연막 및 비정질 실리콘층을 동시에 식각하여 게이트 절연막 및 반도체층을 형성하는 단계, 보호막을 형성하여 에치 스톱퍼를 형성함과 동시에 상기 제1, 제2데이터 배선 상부에 각각 제1, 제2개구부 및 반도체층 상부에 제3, 제4개구부를 형성하는 단계, 상기 제1, 제2, 제3개구부를 통하여 상기 제1, 제2데이터 배선 및 반도체층을 연결하는 도전막을 형성하고 상기 에치 스톱퍼의 상부가 노출되도록 상기 도전막을 식각하는 단계를 포함하고 있다.

본 발명에 따른 이러한 에치 스톱퍼형 박막 트랜지스터의 제조 방법에서는 게이트 배선과 데이터 배선에 대한 패턴 마스크, 비정질 실리콘으로 이루어진 반도체층에 대한 패턴 마스크, 데이터 배선 상부에 개구부 및 에치 스톱퍼를 형성하는 패턴 마스크 및 도전막을 형성하는 패턴 마스크만을 이용하므로 4매의 마스크만으로 제작이 가능하다. 또한 반도체층의 상부 보호막이 에치 스톱퍼로 작용함으로써 에치 스톱퍼 공정이 필요없고 1차 금속 공정으로 데이터 배선과 게이트 배선을 동시에 형성하고 후에 도전막으로 데이터 배선을 연결함으로써 종래의 기술에서 반도체층 증착 이후 실시했던 데이터 배선을 형성하고 소스 및 드레인 전극을 형성하는 2차 금속 공정이 불필요하게 된다.

그러면, 첨부한 도면을 참고로 하여 본 발명에 따른 에치 스톱퍼형 박막 트랜지스터 및 그 제조 방법의 실시예를 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있을 정도로 상세히 설명한다.

제3도는 본 발명의 제1실시예에 따른 에치 스톱퍼형 박막 트랜지스터의 구조를 도시한 배치도이고, 제4도는 본 발명의 제1실시예에 따른 완성된 에치 스톱퍼형 박막 트랜지스터의 구조를 도시한 것으로 제3도에서 A-A 부분의 단면도이고, 제5도는 본 발명의 제1실시예에 따른 완성된 에치 스톱퍼형 박막 트랜지스터의 구조를 도시한 것으로 제3도에서 B-B 부분의 단면도이다.

제3도에 도시한 바와 같이 본 발명의 실시예에 따른 에치 스톱퍼형 박막 트랜지스터에는 기판(11)의 상부에 제1방향으로 한쪽 끝에 게이트 패드(12)가 연장되어 있으며 게이트 전극(12')이 연결되어 있는 게이트 배선(12)이 형성되어 있다. 게이트 전극(12')이 이웃하는 부분에 게이트 배선(12)을 중심으로 데이터 배선(20)이 각각 형성되어 있으며 한쪽 끝에 신호를 인가하기 위해 데이터 패드(20')가 연결되어 있으며 데이터 배선(20)은 게이트 배선(12)과 만나는 지점에서 끊어져 제1부분, 제2부분 등으로 나누어져 있다. 기판(11) 위에 게이트 전극(12'), 게이트 배선(12) 및 데이터 배선(20)을 덮으며 게이트 배선(12)과 인접한 부분에 각각 콘택홀(121, 122)을 갖는 게이트 절연막(13)(제4도 및 제5도 참조)이 형성되어 있다. 이어, 게이트 전극(12')에 대응하는 게이트 절연막(13)(제3도 및 제5도 참조) 상부에는 도핑되지 않은 비정질 실리콘으로 이루어진 반도체층(14)이 형성되어 있고, 기판(11) 위에 반도체층(14)을 덮으며 게이트 절연막의 콘택홀과 대응하는 콘택홀(121, 122) 및 반도체(14) 상부 양 끝단에 두 개의 콘택홀(141, 142)을 갖는 보호막(19)(제4도 및 제5도 참조) 및 에치 스톱퍼(15)(제4도 및 제5도 참조)가 형성되어 있다. IT0로 이루어져 있는 도전막(17)이 일부는 콘택홀(121, 122, 141)을 통하여 데이터 배선(20) 및 반도체층(14)을 연결하고 나머지 도전막(18) 일부는 콘택홀(142)을 통하여 반도체층(14)과 연결되어 화소 전극(도시하지 않음)을 이루고 있다. 여기서 콘택홀(141, 142)을 통하여 반도체층(14)과 연결되어 있는 부분은 소스 전극 또는 드레인 전극으로 사용되고 도전막(17)과 도전막(18) 사이에는 에치 스톱퍼(15)(제5도 참조)가 노출되어 있다. 그리고 제4도 및 제5도를 참고하여 보다 상세하게 살펴보면 도전막(17, 18)의 하부에는 내부 저항을 감소시키기 위해 고농도 불순물이 도핑되어 있는 비정질 실리콘으로 이루어진 콘택층(16)이 형성되어 있다. 여기서 게이트 패드(12)와 데이터 패드(20)의 상부에는 신호를 인가하기 위해 콘택홀(112, 120)이 형성되어 있다.

이러한 본 발명의 제1실시예에 따른 에치 스톱퍼형 박막 트랜지스터의 제조 방법은 다음과 같다.

제6a도 내지 c도는 본 발명의 제1실시예에 따른 에치 스톱퍼형 박막 트랜지스터의 제조 방법을 그 공정

순서에 따라 도시한 평면도이고, 제7a도 내지 e도는 제6a도 내지 c도에서 A-A 부분의 에치 스토퍼형 박막 트랜지스터의 제조 방법을 그 공정 순서에 따라 도시한 단면도이고, 제8a도 내지 e도는 제6도 a도 내지 c도에서 B-B 부분의 에치 스토퍼형 박막 트랜지스터의 제조 방법을 그 공정 순서에 따라 도시한 단면도이다.

제6a도에서 보는 바와 같이 기판(11) 위에 내부 저항이 낮은 금속 도전 물질을 증착하여 게이트 및 데이터 배선 패턴이 형성되어 있는 마스크를 이용하여 제1, 제2데이터 배선(0), 데이터 배선(20)과 연결되어 있는 데이터 패드(20''), 게이트 배선(12), 게이트 배선(12)과 연결되어 있는 게이트 전극(12') 및 게이트 패드(12'')를 형성한다.(제7a 및 제8a 참조)

제6b도에서 보는 바와 같이 기판(11) 위에 산화막 또는 질화막을 증착하여 게이트 절연막(제5b도의 13 참조)을 형성한다. 이어 기판(11) 위에 비정질 실리콘을 증착한 후, 게이트 전극(12')에 대응하는 부분에 게이트 전극(12')보다 넓은 폭으로 남도록 비정질 실리콘층을 식각하여 반도체층(14)을 형성한다. 기판(11) 위에 산화막 또는 질화막을 증착하여 보호막(제5c도의 19 참조)을 형성한다. (제7a도 내지 c도 및 제8b도 내지 c도 참조).

제6c도에서 보는 바와 같이 콘택홀 패턴이 형성되어 있는 마스크를 이용하여 반도체층(14) 양 끝단에 대응하는 상부의 보호막(19)을 일부 식각하여 에치 스톱퍼(제8d도 15 참조)를 형성함과 동시에 콘택홀(141, 142)을 형성한다. 그리고 동시에 게이트 배선(12)과 인접한 제1, 제2데이터 배선(20)의 끝단 상부에 보호막(19) 및 게이트 절연막(13)의 일부를 식각하여 콘택홀(112'', 120'')을 형성한다. 이때, 게이트 패드(12'') 및 데이터 패드(20'')의 상부에 보호막(19) 및 게이트 절연막(13)의 일부를 식각하여 콘택홀(121, 122)을 형성한다(제7d도 및 제8e도 참조).

이어 기판(11) 위에 증착을 통하여 비정질 실리콘으로 이루어진 고농도 N형 콘택층(16')과 도전 물질로 이루어진 IT0막을 차례로 형성한다. 콘택홀(121, 122, 141)을 통하여 제1, 제2데이터 배선(20) 및 반도체층(14)을 연결되는 소스 전극(17)이 속하는 부분과 드레인 전극(18)을 포함하는 화소 전극(도시하지 않음)에 해당하는 부분을 남기도록 IT0막을 식각한다. 마지막으로 소스 전극(17)을 포함하고 데이터 배선을 연결하는 IT0막과 드레인 전극(18)을 포함하는 화소 전극에 해당하는 IT0막을 마스크로 이용하여 콘택층(16)을 식각한다. 여기서 소스 전극(17)과 드레인 전극(18) 사이에는 보호막의 일부가 노출되어 있으며 콘택층(16)을 식각하는 공정에서 에치 스톱퍼(15)로 이용되고 있다(제7e도, 제8e도, 제4도 및 제5도 참조).

다음은 본 발명의 제2실시예에 따른 에치 스톱퍼형 박막 트랜지스터의 제조 방법에 대한 설명이다.

제9도는 본 발명의 제2실시예에 따른 완성된 에치 스톱퍼형 박막 트랜지스터의 구조를 나타낸 배치도이고, 제10도는 제9도에서 C-C 부분의 단면도이고, 제11도는 제9도에서 D-D 부분을 도시한 단면도이고, 제12도 및 제13도는 본 발명의 제2실시예에 따른 박막 트랜지스터의 제조 방법을 도시한 단면도이다.

제9도는 제3도와 모든 구성 요소는 동일하지만 콘택홀(141', 142') 부분의 게이트 절연막이 식각되어 있고 콘택홀(141', 142')이 반도체층(14')을 넘는 영역까지 형성되어 있다.

제10도 및 제11도를 참조하여 더욱 상세하게 설명하면, 제5도와 달리 게이트 절연막(13')은 콘택홀을 가지지 않으며 보호막(19) 및 에치 스톱퍼(15)만이 데이터 배선(20)의 상부에 콘택홀(121', 122')과 게이트 절연막(13') 및 반도체층(14)의 양 측면부와 기판(11)의 일부가 노출되는 콘택홀(141', 142')를 가지고 있다.

이러한 에치 스톱퍼형 박막 트랜지스터의 제조 방법은 제7a도 및 b도와 동일하게 제1, 제2데이터 배선(20), 데이터 패드(20''), 게이트 배선(12), 게이트 전극(12') 및 게이트 패드(12'')를 형성한다. 이어 기판(11) 위에 산화막 또는 질화막 및 비정질 실리콘층을 차례로 형성한 후, 게이트 전극(12')만을 덮는 게이트 절연막(13') 및 반도체층(12')을 형성한다(제12도 및 제13도 참조).

이어 기판(11) 상부에 산화막 또는 질화막을 증착한 다음, 게이트 배선(12)에 인접한 제1, 제2데이터 배선(20) 끝단 일부와 반도체층(14)의 양 끝단 일부에서부터 게이트 절연막(13')에 인접한 기판(11) 표면까지 노출되도록 콘택홀(121, 122, 141', 142')을 형성한다. 이후 공정은 제1실시예에서 제조 방법과 동일하게 실시한다(제10도, 제11도, 제12도 및 제13도 참조).

따라서, 본 발명에 따른 에치 스톱퍼형 박막 트랜지스터 및 그 제조 방법은 배선에 대한 패턴 마스크, 반도체층에 대한 패턴 마스크, 콘택홀에 대한 패턴 마스크 및 게이트 전극 및 데이터 전극을 포함하는 도전막을 형성하는 패턴 마스크 즉 4매의 마스크만으로 제조가 가능하고 보호막이 에치 스톱퍼로 사용됨으로써 에치 스톱퍼 공정을 생략하고 반도체층의 층의 두께를 최소화할 수 있고 도전막을 전극으로 사용함으로써 전극을 형성하는 공정을 생략할 수 있다.

(57) 청구의 범위

청구항 1

기판, 상기 기판 위에 형성되어 있으며 온/오프 신호를 인가하는 게이트 전극,

상기 기판 위에 형성되어 있으며 데이터 신호를 인가하는 데이터 전극, 상기 기판 위에 상기 게이트 전극 및 데이터 전극을 덮고 있으며 상기 데이터 전극 상부에 개구부를 갖는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있으며 상기 게이트 전극에 대응하는 부분에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있는 에치 스톱퍼, 상기 반도체층 및 상기 게이트 절연막 위에 형성되어 있으며 상기 개구부를 통하여 상기 데이터 전극과 접촉하는 도전막을 포함하는 에치 스톱퍼형 박막 트랜지스터.

청구항 2

제1항에서, 상기 도전막 하부에 형성되어 있는 콘택층을 더 포함하는 에치 스톱퍼형 박막 트랜지스터.

청구항 3

제2항에서, 상기 콘택층과 상기 게이트 절연막 사이에 형성되어 있는 보호막을 더 포함하는 에치 스톱퍼형 박막 트랜지스터.

청구항 4

제1항에서, 상기 도전막은 소스/드레인 전극인 에치 스톱퍼형 박막 트랜지스터.

청구항 5

기판, 상기 기판 위에 형성되어 있는 게이트 배선, 상기 기판 위에 형성되어 있으며 상기 게이트 배선과 연결되어 있는 게이트 전극, 상기 기판 위에 형성되어 있으며 상기 게이트 배선을 중심으로 양쪽에 서로 분리되어 있는 제1부분 및 제2부분으로 이루어진 데이터 배선, 상기 데이터 배선의 제1부분 및 제2부분, 게이트 전극 및 게이트 배선을 덮으며 상기 제1부분 및 제2부분의 위에 제1, 제2개구부를 갖는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있는 에치 스톱퍼, 상기 반도체층 및 게이트 절연막 위에 형성되어 있으며 상기 제1, 제2개구부를 통하여 각각 상기 데이터 배선과 연결되어 접촉하고 상기 에치 스톱퍼를 중심으로 분리되어 있는 도전막을 포함하는 에치 스톱퍼형 박막 트랜지스터.

청구항 6

제5항에서, 상기 도전막 하부에 형성되어 있는 콘택층을 더 포함하는 에치 스톱퍼형 박막 트랜지스터.

청구항 7

제6항에서, 상기 콘택층과 상기 게이트 절연막 사이에 형성되어 있는 보호막을 더 포함하는 에치 스톱퍼형 박막 트랜지스터.

청구항 8

제5항에서, 상기 도전막은 소스/드레인 전극인 에치 스톱퍼형 박막 트랜지스터.

청구항 9

기판, 상기 기판 위에 형성되어 있는 게이트 배선, 상기 기판 위에 형성되어 있으며 상기 게이트 배선과 연결되어 있는 게이트 전극, 상기 기판 위에 형성되어 있으며 상기 게이트 배선을 중심으로 양쪽에 서로 분리되어 있는 제1부분 및 제2부분으로 이루어진 데이터 배선, 상기 게이트 전극을 덮는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있는 에치 스톱퍼, 상기 반도체층 및 기판 위에 형성되어 있으며 상기 제1, 제2데이터 배선 및 반도체층과 접촉하여 서로를 연결하고 상기 에치 스톱퍼를 중심으로 분리되어 있는 도전막을 포함하는 에치 스톱퍼형 박막 트랜지스터.

청구항 10

제9항에서, 상기 제1, 제2데이터 배선의 상부와 상기 에치 스톱퍼, 반도체층 및 게이트 절연막의 양 측벽부에 개구부의 보호막을 더 포함하는 에치 스톱퍼형 박막 트랜지스터.

청구항 11

게이트 배선, 상기 게이트 배선 양쪽에 제1, 제2데이터 배선 및 상기 게이트 배선과 연결되어 있는 게이트 전극을 형성하는 단계, 게이트 절연막을 형성하는 단계, 반도체층을 형성하는 단계, 상기 반도체층 상부에 에치 스톱퍼를 형성함과 동시에 상기 제1, 제2데이터 배선 상부의 상기 게이트 절연막을 식각하여 제1, 제2개구부를 형성하는 단계, 상기 제1, 제2개구부를 통하여 상기 제1, 제2데이터 배선 및 반도체층을 연결하는 도전막을 형성하고 상기 에치 스톱퍼의 상부가 노출되도록 상기 도전막을 식각하는 단계를 포함하는 에치 스톱퍼형 박막 트랜지스터의 제조 방법.

청구항 12

제11항에서, 상기 반도체층을 형성하는 단계 이후 보호막을 형성하는 단계를 더 포함하는 에치 스톱퍼형 박막 트랜지스터의 제조 방법.

청구항 13

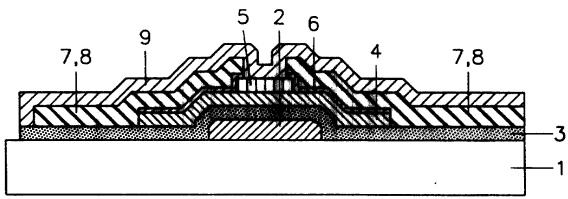
제12항에서, 상기 게이트 절연막의 제1, 제2개구부를 형성하는 단계 이후 콘택층을 형성하는 단계를 더 포함하는 에치 스톱퍼형 박막 트랜지스터의 제조 방법.

청구항 14

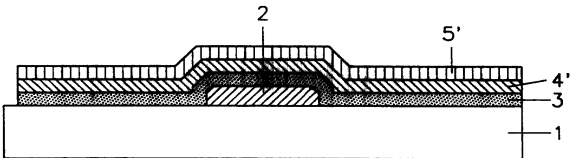
게이트 배선, 상기 게이트 배선 양쪽에 제1, 제2데이터 배선 및 상기 게이트 배선과 연결되어 있는 게이트 전극을 형성하는 단계, 절연막과 비정질 실리콘층을 차례로 증착하고 상기 절연막 및 비정질 실리콘층을 동시에 식각하여 게이트 절연막 및 반도체층을 형성하는 단계, 보호막을 적층하고 식각하여 에치 스톱퍼를 형성함과 동시에 상기 제1, 제2데이터 배선 상부에 각각 제1, 제2개구부 및 반도체층 상부에 제3, 제4개구부를 형성하는 단계, 상기 제1, 제2, 제3개구부를 통하여 상기 제1, 제2데이터 배선 및 반도체층을 연결하는 도전막을 형성하고 상기 에치 스톱퍼의 상부가 노출되도록 상기 도전막을 식각하는 단계를 포함하는 에치 스톱퍼형 박막 트랜지스터의 제조 방법.

도면

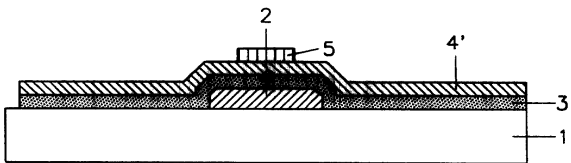
도면1



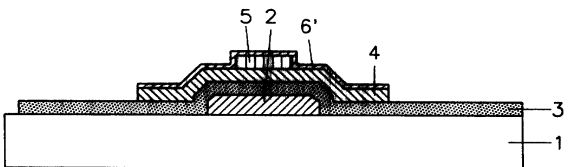
도면2a



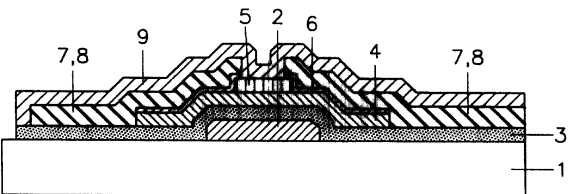
도면2b



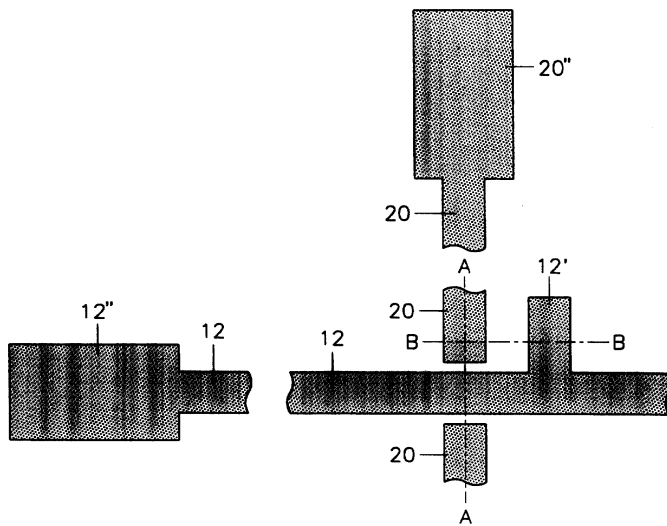
도면2c



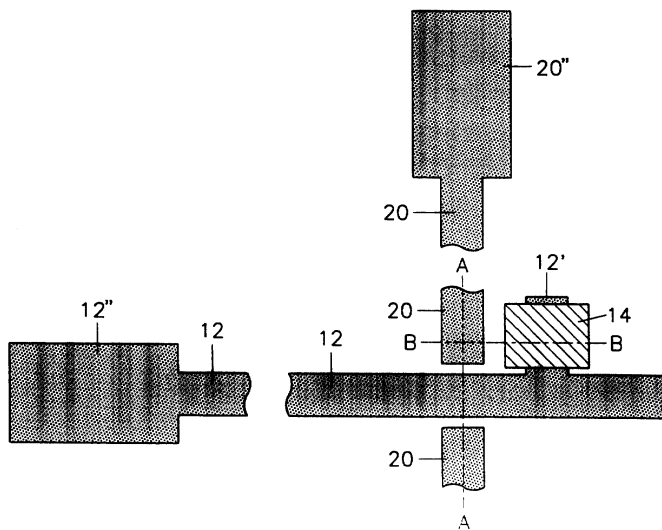
도면2d



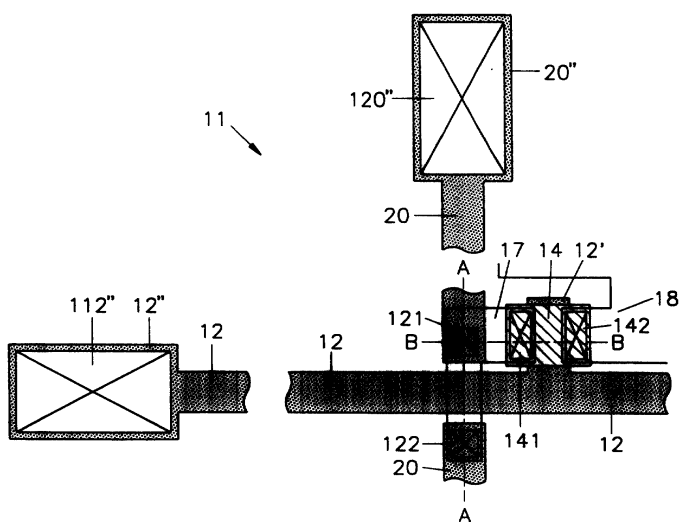
도면6a



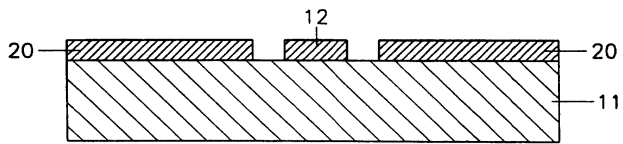
도면6b



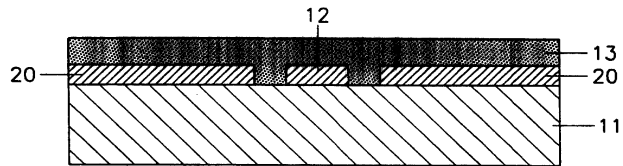
도면6c



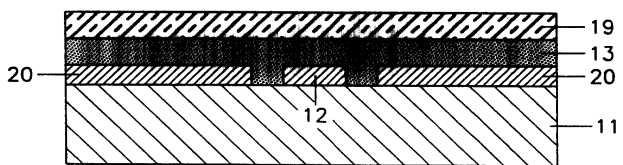
도면7a



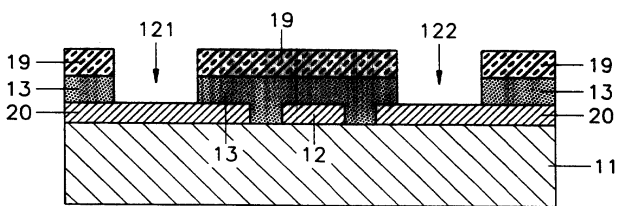
도면7b



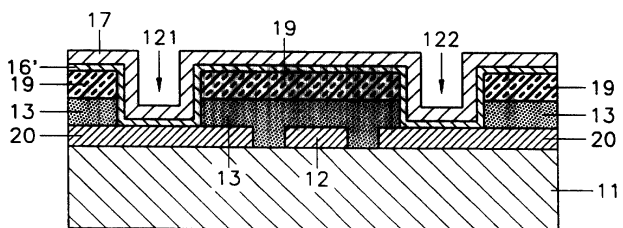
도면7c



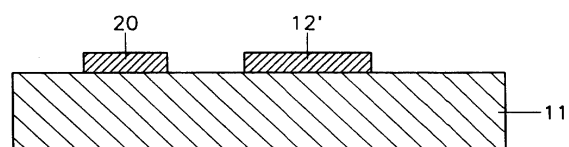
도면7d



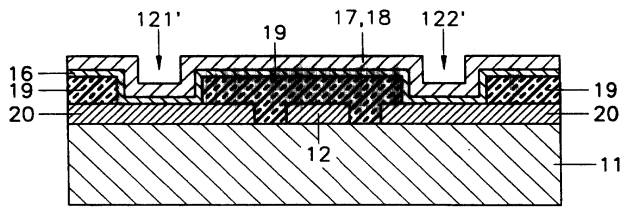
도면7e



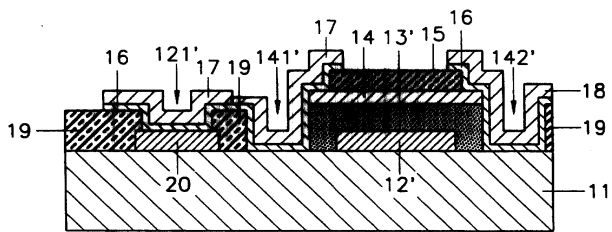
도면8a



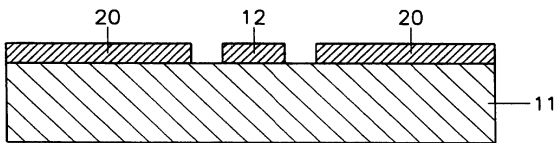
도면10



도면11



도면12



도면13

