

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-114966

(P2007-114966A)

(43) 公開日 平成19年5月10日(2007.5.10)

(51) Int. Cl.

G05F 1/56 (2006.01)

F I

G05F 1/56 320E

テーマコード(参考)

5H430

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2005-304732 (P2005-304732)
 (22) 出願日 平成17年10月19日(2005.10.19)

(71) 出願人 000221199
 東芝マイクロエレクトロニクス株式会社
 神奈川県川崎市川崎区駅前本町25番地1
 (71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100083806
 弁理士 三好 秀和
 (74) 代理人 100100712
 弁理士 岩▲崎▼ 幸邦
 (74) 代理人 100100929
 弁理士 川又 澄雄
 (74) 代理人 100108707
 弁理士 中村 友之

最終頁に続く

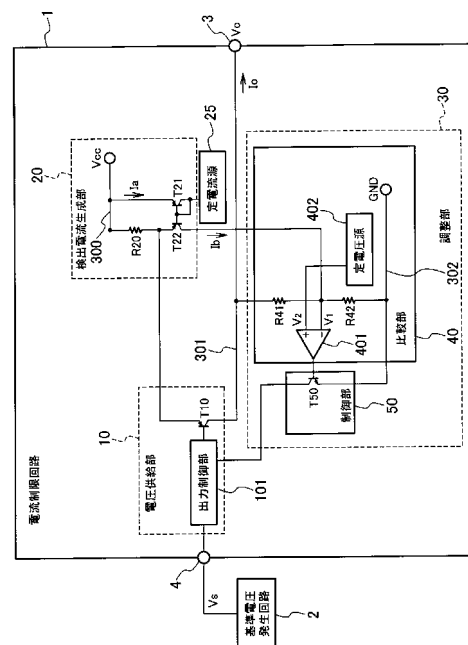
(54) 【発明の名称】 電流制限回路

(57) 【要約】

【課題】回路面積の増大を抑制し、且つ低電源電圧化に対する制限を緩和可能な電流制限回路を提供する。

【解決手段】 電圧供給部10と、電圧供給部10から出力される出力電流I_o及び一定値の設定電流I_aを用いて、出力電流I_oより小さい電流値の検出電流I_bを生成する検出電流生成部20と、検出電流I_bを監視して、出力電流I_oが制限値に達した場合に電圧供給部10を制御して出力電流I_oを調整する調整部30とを備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

電圧供給部と、
前記電圧供給部から出力される出力電流及び一定値の設定電流を用いて、前記出力電流より小さい電流値の検出電流を生成する検出電流生成部と、
前記検出電流を監視して、前記出力電流が制限値に達した場合に前記電圧供給部を制御して前記出力電流を調整する調整部
とを備えることを特徴とする電流制限回路。

【請求項 2】

前記検出電流生成部が、
電源線に一端が接続し、前記出力電流及び前記検出電流が流れる検出抵抗と、
前記電源線に第 1 の主電極が接続し、第 2 の主電極と制御電極が互いに接続する、前記設定電流が流れる定電流トランジスタと、
前記検出抵抗の他端に第 1 の主電極が接続し、前記定電流トランジスタの制御電極に制御電極が接続する、第 2 の主電極から前記検出電流を出力する検出トランジスタ
とを備えることを特徴とする請求項 1 に記載の電流制限回路。

10

【請求項 3】

前記調整部が、
前記検出電流を用いて生成される第 1 の電圧と、前記制限値に基づき設定される第 2 の電圧とを比較する比較部と、
前記比較の結果に基づき、前記電圧供給部を制御する制御部
とを備えることを特徴とする請求項 1 又は 2 に記載の電流制限回路。

20

【請求項 4】

前記出力電流に対して、前記出力電流に対する前記検出電流の依存性と逆の依存性を有する第 2 の検出電流を、前記設定電流及び前記検出電流を用いて生成する第 2 検出電流生成部を更に備えることを特徴とする請求項 1 又は 2 に記載の電流制限回路。

【請求項 5】

前記調整部が、
出力端子における電圧に基づき生成される第 1 の電圧と、前記第 2 の検出電流を用いて生成される第 2 の電圧とを比較する比較部と、
前記比較の結果に基づき、前記電圧供給部を制御する制御部
とを備えることを特徴とする請求項 4 に記載の電流制限回路。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、負荷回路に出力する出力電流を制限する電流制限回路に関する。

【背景技術】**【0002】**

出力端子に所定の出力電圧を供給する定電圧出力回路は、出力端子に接続された負荷回路に一定値以上の電流が流れないように、出力端子から負荷回路に流れる電流を制限する電流制限回路を備える場合が多い。電流制限回路は、例えば負荷回路を破壊する大きな電流が出力端子から負荷回路に流れることを防止する。

40

【0003】

一般に、電流制限回路は、出力端子に電流を出力する出力回路と、出力回路から出力端子に出力される出力電流を検出する電流検出用素子を有する。電流制限回路は、電流検出用素子によって検出された出力電流が所定の制限値以上である場合に、出力回路を制御して出力電流を減少させる。従来の電流制限回路では、出力電流と同じ大きさの電流が電流検出用素子に流れる。例えば電流検出用素子にカレントミラー回路を使用する場合、カレントミラー回路を構成するトランジスタのサイズを出力回路に使用されるトランジスタと同程度にする必要がある（例えば、非特許文献 1 参照。）。そのため、電流制限回路の面

50

積が増大する問題があった。

【0004】

又、カレントミラー回路を用いて出力電流を検出し、出力電流を制限する電流制限回路では、カレントミラー回路に含まれるダイオード接続されたトランジスタの順方向電圧降下分だけ、カレントミラー回路において電圧降下が生じる。ここで、「ダイオード接続」とは、例えばpnp型バイポーラトランジスタのベース電極とコレクタ電極を接続してダイオードを構成することをいう。カレントミラー回路において電圧降下が生じるため、定電圧出力回路及び電流制限回路の低電源電圧化を行う場合に、ダイオード接続による順方向電圧降下分だけ電源電圧の低下の範囲が制限されるという問題があった。

【非特許文献1】発明協会公開技報公技番号2003-500643号

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、回路面積の増大を抑制し、且つ低電源電圧化に対する制限を緩和可能な電流制限回路を提供する。

【課題を解決するための手段】

【0006】

本願発明の一態様によれば、電圧供給部と、電圧供給部から出力される出力電流及び一定値の設定電流を用いて、出力電流より小さい電流値の検出電流を生成する検出電流生成部と、検出電流を監視して、出力電流が制限値に達した場合に電圧供給部を制御して出力電流を調整する調整部とを備える電流制限回路が提供される。

20

【発明の効果】

【0007】

本発明によれば、回路面積の増大を抑制し、且つ低電源電圧化に対する制限を緩和可能な電流制限回路を提供できる。

【発明を実施するための最良の形態】

【0008】

次に、図面を参照して、本発明の第1及び第2の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。又、以下に示す第1及び第2の実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の構造、配置等を下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

30

【0009】

(第1の実施の形態)

本発明の第1の実施の形態に係る電流制限回路1は、図1に示すように、電圧供給部10と、電圧供給部10から出力される出力電流 I_o 及び一定値の設定電流 I_a を用いて、出力電流 I_o より小さい電流値の検出電流 I_b を生成する検出電流生成部20と、検出電流 I_b を監視して、出力電流 I_o が制限値に達した場合に電圧供給部10を制御して出力電流 I_o を調整する調整部30とを備える。

40

【0010】

図1に示した電圧供給部10は、出力端子3に出力電圧 V_o を供給する出力トランジスタ T_{10} 、及び出力トランジスタ T_{10} の動作を制御する出力制御部101を有する。図1は、出力トランジスタ T_{10} にpnp型バイポーラトランジスタを適用した例を示す。図1に示す基準電圧発生回路2により生成された基準電圧 V_s が、入力端子4を介して出力制御部101に供給される。出力制御部101から出力される電流は、ベース電流として出力トランジスタ T_{10} のベース電極に供給される。出力トランジスタ T_{10} のエミッタ電極は検出電流生成部20に接続され、コレクタ電極は配線301を介して出力端子3に接続される。出力制御部101から出力トランジスタ T_{10} のベース電極に入力するベース電流によって、出力トランジスタ T_{10} が出力端子3に供給する出力電圧 V_o 及び出

50

力電流 I_o が決定される。出力制御部 101 から出力されるベース電流は、後述するように調整部 30 によって調整される。

【0011】

基準電圧発生回路 2 には、例えば、周囲温度が変化した場合にも一定の基準電圧 V_s を出力するバンドギャップリファレンス (BGR) 回路等が採用可能である。電流制限回路 1 及び基準電圧発生回路 2 により、出力端子 3 から所定の出力電圧 V_o を供給する定電圧出力回路が構成される。電流制限回路 1 は、出力端子 3 に接続された負荷回路に、予め設定された制限値より大きな電流が流れないように出力電流 I_o を制御する。制限値は、例えば出力端子 3 に接続された負荷回路が破壊されない程度、或いは負荷回路に流れる電流に起因する発熱によって負荷回路が誤動作しない程度に設定される。

10

【0012】

検出電流生成部 20 は、電源線 300 に一端が接続し、出力電流 I_o 及び検出電流 I_b が流れる検出抵抗 R_{20} と、電源線 300 に第 1 の主電極が接続し、第 2 の主電極と制御電極が互いに接続する、設定電流 I_a が流れる定電流トランジスタ T_{21} と、検出抵抗 R_{20} の他端に第 1 の主電極が接続し、定電流トランジスタ T_{21} の制御電極に制御電極が接続する、第 2 の主電極から検出電流 I_b を出力する検出トランジスタ T_{22} とを備える。

【0013】

図 1 は、定電流トランジスタ T_{21} 及び検出トランジスタ T_{22} に、第 1 の主電極をエミッタ電極、第 2 の主電極をコレクタ電極とする pnp 型バイポーラトランジスタを適用した例を示す。定電流トランジスタ T_{21} のエミッタ電極に電源電圧 V_{cc} を供給する電源線 300 が接続される。定電流トランジスタ T_{21} 及び検出トランジスタ T_{22} の各ベース電極が互いに接続され、その接続部に定電流トランジスタ T_{21} のコレクタ電極が接続されて定電流トランジスタ T_{21} はダイオード接続されている。つまり、定電流トランジスタ T_{21} 及び検出トランジスタ T_{22} によりカレントミラー回路が構成される。定電流トランジスタ T_{21} のコレクタ電極に設定電流 I_a を出力する定電流源 25 が接続し、定電流トランジスタ T_{21} に設定電流 I_a が流れる。検出トランジスタ T_{22} のコレクタ電極に調整部 30 が接続され、検出トランジスタ T_{22} は、検出電流 I_b を調整部 30 に出力する。

20

【0014】

又、図 1 に示すように、検出抵抗 R_{20} と検出トランジスタ T_{22} のエミッタ電極の接続部は、出力トランジスタ T_{10} のエミッタ電極に接続する。検出抵抗 R_{20} 及び出力トランジスタ T_{10} を介して、出力電流 I_o が出力端子 3 に出力される。検出抵抗 R_{20} の抵抗値は、出力電流 I_o による検出抵抗 R_{20} での電圧降下に起因する、電源電圧 V_{cc} の低電圧化に対する制限を抑制するように設定される。例えば、出力電流 I_o が 100mA 程度の場合には、検出抵抗 R_{20} の抵抗値は 10mΩ ~ 1Ω 程度であることが望ましい。更には、検出抵抗 R_{20} の抵抗値は、50mΩ ~ 200mΩ 程度であることが望ましい。例えば、出力電流 I_o が 100mA 且つ検出抵抗 R_{20} の抵抗値が 100mΩ の場合、検出抵抗 R_{20} での電圧降下量は 10mV である。したがって、ダイオード接続による順方向電圧降下量に比べて検出抵抗 R_{20} での電圧降下量は小さく、電源電圧 V_{cc} の低電圧化に対する制限が抑制される。検出抵抗 R_{20} は、例えばアルミニウム (Al) 抵抗等が採用可能である。

30

40

【0015】

以下に、検出電流 I_b について説明する。定電流トランジスタ T_{21} に対する検出トランジスタ T_{22} のエミッタ面積の比 n 、検出抵抗 R_{20} の抵抗値、及び設定電流 I_a を用いて、式 (1) のように検出電流 I_b と出力電流 I_o の関係が成立する (n : 1 より大きい実数)。エミッタ面積の比 n は、例えば 4 程度に設定される:

$$R_{20} \times (I_o + I_b) + V_T \times \ln \{ I_b / (n \times I_s) \} \\ = V_T \times \ln (I_a / I_s) \quad \dots \dots (1)$$

50

式(1)において、「 R_{20} 」は検出抵抗 R_{20} の抵抗値である。又、電流 I_s は定電流トランジスタ T_{21} 及び検出トランジスタ T_{22} の飽和電流、係数 V_T は温度により決まる係数である。式(1)を変形して、式(2)が求まる：

$$R_{20} \times (I_o + I_b) = V_T \times \ln(n \times I_a / I_b) \quad \dots \dots (2)$$

出力電流 I_o に対して検出電流 I_b が十分小さい場合、例えば出力電流 I_o が数百mA、検出電流 I_b が数mA程度であると、 $I_o + I_b \approx I_o$ と近似できる。その結果、式(2)を変形して式(3)が求まる：

$$I_b = n \times I_a \times \text{EXP} \{ - (R_{20} \times I_o) / V_T \} \quad \dots \dots (3)$$

式(3)によって規定される検出電流 I_b と出力電流 I_o の関係を、図2に示す。図2に示すように、出力電流 I_o が増大するにしたがって、検出電流 I_b は減少する。つまり、検出電流生成部20は、出力電流 I_o に対して負の依存性を有する検出電流 I_b を生成する。設定電流 I_a は、所望の出力電流 I_o に対して検出電流 I_b が十分小さくなるように設定される。例えば、検出電流 I_b が出力電流 I_o の100分の1程度になるように、設定電流 I_a が設定される。

【0016】

図1に示す調整部30は、比較部40と制御部50を有する。比較部40は、抵抗 R_{41} 、抵抗 R_{42} 、差動増幅器401、及び定電圧源402を有する。比較部40は、後述するように、出力電圧 V_o 及び検出電流 I_b を用いて生成される第1の電圧 V_1 と、出力電流 I_o の制限値に基づき設定される第2の電圧 V_2 とを比較する。

【0017】

図1に示すように、抵抗 R_{41} 及び抵抗 R_{42} が配線301と接地線302間に直列接続され、抵抗 R_{41} と抵抗 R_{42} の接続部に差動増幅器401のマイナス側端子及び検出トランジスタ T_{22} のコレクタ電極が接続する。又、差動増幅器401のプラス側端子に定電圧源402が接続する。図1において、差動増幅器401のマイナス側端子及びプラス側端子は、それぞれ「-」及び「+」で示される(以下において同様。)。差動増幅器401は、マイナス側端子に供給される第1の電圧 V_1 と、プラス側端子に供給される第2の電圧 V_2 の差動増幅を行う。差動増幅器401の出力は、第2の電圧 V_2 が第1の電圧 V_1 より高い場合にはハイレベルである。そして、第2の電圧 V_2 が第1の電圧 V_1 より低い場合には、差動増幅器401の出力はローレベルである。

【0018】

差動増幅器401のマイナス側端子の電圧は、配線301から抵抗 R_{41} 及び抵抗 R_{42} を介して接地線302に流れる電流及び検出電流 I_b を、抵抗 R_{42} により電圧変換した電圧として生成される。つまり、第1の電圧 V_1 は、抵抗 R_{42} における電圧降下量に相当する。定電圧源402が供給する設定電圧 V_a が、第2の電圧 V_2 として差動増幅器401のプラス側端子に供給される。設定電圧 V_a は、出力電流 I_o の制限値に対応する検出電流 I_b の電流値(以下において、「検出制限値」という。)より検出電流 I_b が小さい場合に、差動増幅器401のプラス側端子に供給される第2の電圧 V_2 がマイナス側端子に供給される第1の電圧 V_1 より大きくなるように設定される。したがって、定電圧源402の設定電圧 V_a は、抵抗 R_{41} 、抵抗 R_{42} 、及び検出制限値に基づき設定可能である。検出制限値は、例えば図2に示したグラフや回路シミュレーション等を用いて設定できる。

【0019】

制御部50は、比較部40による比較の結果に基づき、電圧供給部10を制御する。図1は、制御部50にnpn型バイポーラトランジスタである制御トランジスタ T_{50} を適用した例を示す。制御トランジスタ T_{50} のベース電極に差動増幅器401の出力が接続

10

20

30

40

50

する。制御トランジスタT50のコレクタ電極に出力制御部101が接続し、エミッタ電極に接地線302が接続する。

【0020】

以下に、図1に示した電流制限回路1によって出力電流 I_o を調整する方法を説明する。出力電流 I_o が制限値以下のときは、検出制限値より検出電流 I_b が大きい。そのため、差動増幅器401のプラス側端子に供給される第2の電圧 V_2 よりマイナス側端子に供給される第1の電圧 V_1 が大きく、差動増幅器401の出力はローレベルである。その結果、制御トランジスタT50にベース電流が流れず、制御トランジスタT50はオフである。

【0021】

出力電流 I_o が増大するにしたがい、検出電流 I_b が減少し、第1の電圧 V_1 が低下する。出力電流 I_o が増大して制限値に達すると、検出制限値より検出電流 I_b が小さくなる。その結果、第2の電圧 V_2 が第1の電圧 V_1 より大きくなり、差動増幅器401の出力はハイレベルになる。差動増幅器401の出力がハイレベルになると、制御トランジスタT50がオンする。制御トランジスタT50がオンすることにより、出力制御部101の動作が制御され、出力制御部101から出力トランジスタT10のベース電極に出力される電流が減少する。例えば、出力制御部101が出力トランジスタT10のベース電極にベース電流を供給する可変電流源を含み、制御トランジスタT50にコレクタ電流が流れることにより、可変電流源が供給するベース電流が減少させられる。その結果、出力電圧 V_o 及び出力電流 I_o が減少する。

10

20

【0022】

検出電流 I_b が検出制限値を超えて更に減少するにしたがい、差動増幅器401のマイナス側端子の電圧が低下する。そのため、差動増幅器401の出力が連続的に上昇して制御トランジスタT50を流れる電流が増大する。その結果、出力トランジスタT10のベース電流が連続的に減少し、出力電圧 V_o 及び出力電流 I_o が連続的に減少する。

30

【0023】

出力電流 I_o が減少することにより、図2に示したように検出電流 I_b が増大する。その結果、抵抗R42における電圧降下量が増大し、第1の電圧 V_1 が上昇する。第1の電圧 V_1 が上昇して、第2の電圧 V_2 より高い場合には、差動増幅器401の出力はローレベルになる。つまり、出力電流 I_o の変化が差動増幅器401の出力にフィードバックされて、制御部50の動作が制御される。その結果、出力電流 I_o は一定の値以下にはならない。

40

【0024】

一方、既に述べたように、出力電流 I_o が制限値以下のときは制御トランジスタT50にベース電流が流れず、制御トランジスタT50はオフである。その結果、出力電圧 V_o は一定に維持される。

【0025】

図2に示したように、出力電流 I_o と検出電流 I_b の関係は連続的である。そのため、上記のように電流制限回路1によって出力電流 I_o を調整することにより、出力電圧 V_o 及び出力電流 I_o について、図3に示すような、いわゆる「フの字特性」が得られる。つまり、出力電流 I_o が制限値 I_{Limit} に達するまでは、出力端子3の出力電圧 V_o は電圧 V_{REG} で一定である。出力電流 I_o が制限値 I_{Limit} に達すると、出力電圧 V_o 及び出力電流 I_o は連続的に減少する。

以上に説明したように、本発明の第1の実施の形態に係る電流制限回路1では、検出電流生成部20が出力電流 I_o に依存する電流値の検出電流 I_b を生成し、出力電流 I_o の制限値に対応する検出電流 I_b の制限値である検出制限値に検出電流 I_b が達した場合に、調整部30が電圧供給部10から出力される出力電流 I_o を調整する。つまり、検出電流 I_b を監視することにより出力電流 I_o を間接的に監視し、出力端子3に接続された負荷回路に過大な出力電流 I_o が流れることを防止できる。

【0026】

50

特に、図 1 に示した電流制限回路 1 では、定電流トランジスタ T 2 1 及び検出トランジスタ T 2 2 にそれぞれに流れる設定電流 I a 及び検出電流 I b が、出力電流 I o よりも小さいため、定電流トランジスタ T 2 1 及び検出トランジスタ T 2 2 の面積を出力トランジスタ T 1 0 より小さくできる。その結果、電流制限回路 1 の面積の増大を抑制できる。

【 0 0 2 7 】

更に、図 1 に示した検出抵抗 R 2 0 の抵抗値は、出力電流 I o による検出抵抗 R 2 0 での電圧降下に起因する、電源電圧 V c c の低電圧化に対する制限を抑制するように設定可能である。したがって、図 1 に示した電流制限回路 1 によれば、電源電圧 V c c の低電圧電圧化に対する制限が緩和される。

【 0 0 2 8 】

10

(第 2 の実施の形態)

本発明の第 2 の実施の形態に係る電流制限回路 1 A は、図 4 に示すように、第 2 検出電流生成部 4 1 0 を含み、定電圧源 4 0 2 を含まない点が図 1 と異なる。第 2 検出電流生成部 4 1 0 は、出力電流 I o に対する検出電流 I b の依存性と逆の依存性を有する第 2 の検出電流 I c を、設定電流 I a 及び検出電流 I b を用いて生成する。後述するように、第 2 の検出電流 I c が入力する比較部 4 0 A は、出力電圧 V o に基づき生成される第 1 の電圧 V 1 a と、第 2 の検出電流 I c を用いて生成される第 2 の電圧 V 2 a とを比較する。

【 0 0 2 9 】

図 4 に示すように、第 2 検出電流生成部 4 1 0 は、トランジスタ T 4 1 1 ~ T 4 1 5 及び抵抗 R 4 3 を有する。図 4 は、トランジスタ T 4 1 1 ~ T 4 1 3 に n p n 型バイポーラトランジスタを適用し、トランジスタ T 4 1 4 ~ T 4 1 5 に p n p 型バイポーラトランジスタを適用した例を示す。トランジスタ T 4 1 1 と T 4 1 2 のエミッタ面積は同一であり、T 4 1 4 と T 4 1 5 のエミッタ面積は同一である。更に、トランジスタ T 4 1 3 のエミッタ面積は、トランジスタ T 4 1 1 及び T 4 1 2 のエミッタ面積の n 倍である。

20

【 0 0 3 0 】

図 1 に示した電流制限回路 1 では、定電流源 2 5 は定電流トランジスタ T 2 1 のコレクタ電極に接続されたが、図 4 に示した電流制限回路 1 A では、定電流源 2 5 はトランジスタ T 4 1 1 のコレクタ電極に接続され、トランジスタ T 4 1 1 に設定電流 I a が流れる。トランジスタ T 4 1 1 ~ T 4 1 3 のエミッタ電極は、それぞれ接地線 3 0 2 に接続される。トランジスタ T 4 1 1、トランジスタ T 4 1 2 及びトランジスタ T 4 1 3 の各ベース電極が互いに接続され、その接続部にトランジスタ T 4 1 1 のコレクタ電極が接続されてトランジスタ T 4 1 1 はダイオード接続されている。つまり、トランジスタ T 4 1 1 ~ T 4 1 3 はカレントミラー回路を構成する。トランジスタ T 4 1 2 のコレクタ電極に、定電流トランジスタ T 2 1 のコレクタ電極が接続される。トランジスタ T 4 1 1 とトランジスタ T 4 1 2 のエミッタ面積は同一であるため、トランジスタ T 4 1 2 に設定電流 I a が流れる。そのため、定電流トランジスタ T 2 1 に設定電流 I a が流れる。

30

【 0 0 3 1 】

トランジスタ T 4 1 3 のコレクタ電極に、検出トランジスタ T 2 2 のコレクタ電極及びトランジスタ T 4 1 4 のコレクタ電極が接続される。トランジスタ T 4 1 3 のエミッタ面積は、トランジスタ T 4 1 1 のエミッタ面積の n 倍であるため、トランジスタ T 4 1 3 に設定電流 I a の n 倍の電流が流れる。検出トランジスタに検出電流 I b が流れるため、トランジスタ T 4 1 4 に流れる第 2 の検出電流 I c は式 (4) で表される：

40

$$I c = n \times I a - I b \quad \cdot \cdot \cdot \cdot (4)$$

式 (4) に示したように、第 2 の検出電流 I c の出力電流 I o に対する依存性は、出力電流 I o に対する検出電流 I b の依存性と逆である。そのため、出力電流 I o が増大するにしたがって、第 2 の検出電流 I c は増大する。つまり、第 2 検出電流生成部 4 1 0 は、出力電流 I o に対して正の依存性を有する第 2 の検出電流 I c を生成する。

【 0 0 3 2 】

50

トランジスタT414～T415のエミッタ電極は、それぞれ電源線300に接続する。トランジスタT414及びトランジスタT415の各ベース電極が互いに接続され、その接続部にトランジスタT414のコレクタ電極が接続されてトランジスタT414はダイオード接続されている。つまり、トランジスタT414及びトランジスタT415はカレントミラー回路を構成する。トランジスタT415のコレクタ電極に、差動増幅器401のプラス側端子及び抵抗R43の一端が接続される。トランジスタT414とトランジスタT415のエミッタ面積は同一であるため、トランジスタT415に第2の検出電流 I_c が流れる。抵抗R43の他端は接地線302に接続され、第2の検出電流 I_c が抵抗R43を流れることより抵抗R43の両端に電圧が発生する。そのため、第2の検出電流 I_c を抵抗R43により電圧変換して生成される第2の電圧 V_{2a} が差動増幅器401のプラス側端子に供給される。 10

【0033】

図4に示すように、抵抗R41及び抵抗R42が配線301と接地線302間に直列接続され、抵抗R41と抵抗R42の接続部に差動増幅器401のマイナス側端子が接続する。つまり、差動増幅器401のマイナス側端子に供給される第1の電圧 V_{1a} は、出力電圧 V_o を抵抗R41、R42により抵抗分割して生成される。

【0034】

抵抗R41及び42は、出力電流 I_o の制限値に対応する第2の検出電流 I_c の電流値（以下において、「第2の検出制限値」という。）より第2の検出電流 I_c が大きい場合に、差動増幅器401のプラス側端子の電圧がマイナス側端子の電圧より大きくなるように設定される。 20

【0035】

以下に、図4に示した電流制限回路1Aによって出力電流 I_o を調整する方法を説明する。出力電流 I_o が制限値以下のときは、第2の検出制限値より第2の検出電流 I_c が小さい。そのため、差動増幅器401のプラス側端子に供給される第2の電圧 V_{2a} よりマイナス側端子に供給される第1の電圧 V_{1a} が大きく、差動増幅器401の出力はローレベルである。その結果、制御トランジスタT50はオフである。つまり、出力電圧 V_o は一定に維持される。

【0036】

出力電流 I_o が増大して制限値に達すると、第2の検出制限値より第2の検出電流 I_c が大きくなる。その結果、第2の電圧 V_{2a} が第1の電圧 V_{1a} より大きくなり、差動増幅器401の出力はハイレベルになる。そのため、制御トランジスタT50はオンし、第1の実施の形態で説明したように出力電圧 V_o 及び出力電流 I_o が減少する。その結果、電流制限回路1Aによって出力電流 I_o を調整することにより、図1に示した電流制限回路1によって出力電流 I_o の調整する場合と同様に、出力電圧 V_o 及び出力電流 I_o について図3に示すような「フの字特性」が得られる。 30

【0037】

以上に説明したように、本発明の第2の実施の形態に係る電流制限回路1Aによれば、出力電流 I_o に対して正の依存性を有する第2の検出電流 I_c が生成され、出力電流 I_o の制限値に対応する第2の検出電流 I_c の制限値である第2の検出制限値に第2の検出電流 I_c が達した場合に、出力電流 I_o が調整される。その結果、出力端子3に接続された負荷回路に過大な出力電流 I_o が流れることを防止できる。又、図4に示した電流制限回路1Aによれば、定電圧源402を含まない電流制限回路1Aを実現することができる。他は、第1の実施の形態と実質的に同様であり、重複した記載を省略する。 40

【0038】

（その他の実施の形態）

上記のように、本発明は第1及び第2の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなる。

【0039】

既に述べた第 1 及び第 2 の実施の形態の説明においては、出力トランジスタ T 1 0 に p n p 型バイポーラトランジスタを適用した例を示したが、出力トランジスタ T 1 0 に、例えば p チャネル型 M O S トランジスタを適用してもよい。その場合、出力トランジスタ T 1 0 のゲート電極に出力制御部 1 0 1、ドレイン電極に検出抵抗 R 2 0、ソース電極に出力端子 3 がそれぞれ接続する。出力制御部 1 0 1 は、調整部 3 0 による制御によって出力トランジスタ T 1 0 のゲート電極に供給する電圧を変化させ、出力トランジスタ T 1 0 から出力端子 3 に出力する出力電流 I_o を調整する。

【 0 0 4 0 】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

10

【 図面の簡単な説明 】

【 0 0 4 1 】

【 図 1 】 本発明の第 1 の実施の形態に係る電流制限回路の構成を示す模式図である。

【 図 2 】 本発明の第 1 の実施の形態に係る電流制限回路の検出電流と出力電流の関係を示すグラフである。

【 図 3 】 本発明の第 1 の実施の形態に係る電流制限回路による出力電圧及び出力電流の関係を示すグラフである。

【 図 4 】 本発明の第 2 の実施の形態に係る電流制限回路の構成を示す模式図である。

【 符号の説明 】

20

【 0 0 4 2 】

R 2 0 ... 検出抵抗

T 1 0 ... 出力トランジスタ

T 2 1 ... 定電流トランジスタ

T 2 2 ... 検出トランジスタ

T 5 0 ... 制御トランジスタ

1、1 A ... 電流制限回路

2 ... 基準電圧発生回路

3 ... 出力端子

4 ... 入力端子

30

1 0 ... 電圧供給部

2 0 ... 検出電流生成部

2 5 ... 定電流源

3 0 ... 調整部

4 0、4 0 A ... 比較部

5 0 ... 制御部

1 0 1 ... 出力制御部

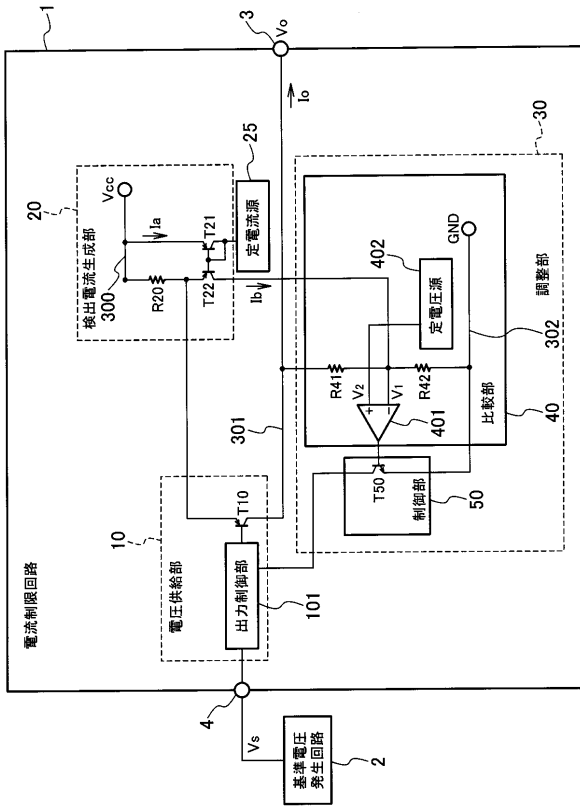
4 0 1 ... 差動増幅器

4 0 2 ... 定電圧源

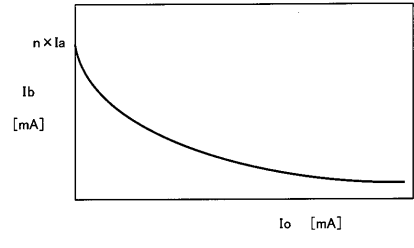
4 1 0 ... 第 2 検出電流生成部

40

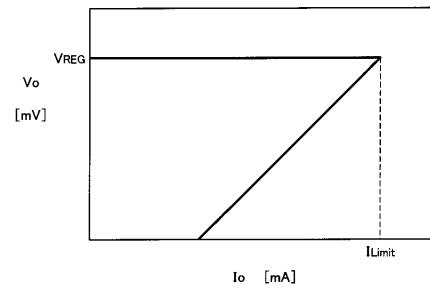
【 図 1 】



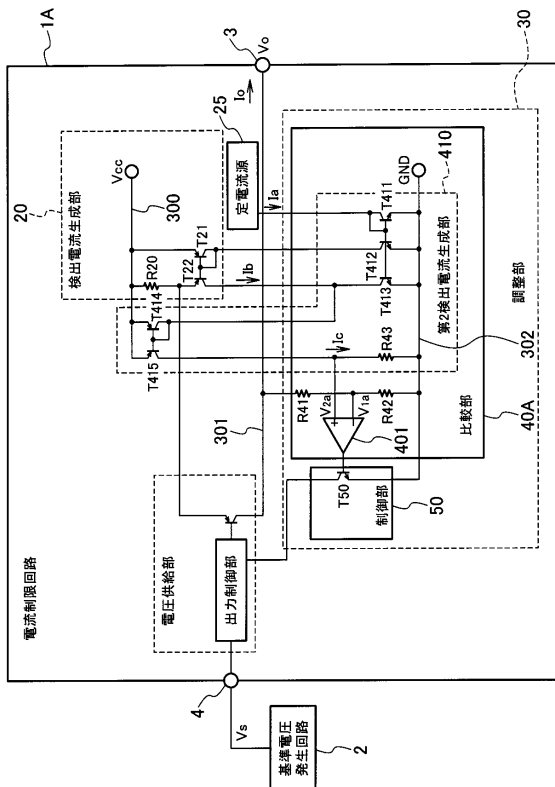
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(74)代理人 100095500

弁理士 伊藤 正和

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 河合 広晃

神奈川県川崎市川崎区駅前本町2-5番地1 東芝マイクロエレクトロニクス株式会社内

Fターム(参考) 5H430 BB01 BB11 BB12 EE03 FF02 FF08 FF12 FF13 HH03 LA07

LA17