(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H04N 7/52 (2006.01)

(45) 공고일자 2006년05월22일
(11) 등록번호 10-0581159
(24) 등록일자 2006년05월11일

(21) 출원번호 10-1999-0002411
(22) 출원일자 1999년01월26일

(65) 공개번호 10-1999-0068138
(43) 공개일자 1999년08월25일

(30) 우선권주장 98-013000 1998년01월26일 일본(JP)

(73) 특허권자 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 네기시신지
일본,도쿄도시나가와구기다시나가와6-7-35

다하라가추미
일본,도쿄도시나가와구기다시나가와6-7-35

야수다미키타
일본,도쿄도시나가와구기다시나가와6-7-35

(74) 대리인 정상구
이병호
신현문
이범래

심사관 : 이승한

(54) 디지털 신호 다중화 방법 및 장치, 디지털 신호 송신 방법 및 장치, 디지털 신호 기록 방법 및 장치, 및 기록 매체

요약

디지털 신호 다중화 장치는 디지털 신호의 하나 이상의 비트 스트림을 패킷화하여 패킷을 형성하고 각각의 비트 스트림을 패킷 단위로 다중화하여 수신된 복수의 1차 다중화된 스트림을 생성한다. 디지털 신호 다중화 장치는 패킷의 시분할 다중화 시퀀스를 미리 설정된 주기로 반복되는 인터리빙 패턴으로서 설정한다. 디지털 신호 다중화 장치는 패킷 단위로 1차 다중화된 스트림을 시분할적으로 다중화하여 2차 다중화된 스트림을 발생한다.

대표도

도 7

색인어

디지털 신호 다중화 장치, 비트 스트림, 인터리빙 패턴, 패킷 단위

명세서

도면의 간단한 설명

도 1은 디지털 위성 방송에 사용되는 전송 스트림을 송신하기 위한 방송 시스템을 도시한 블록도.

도 2는 ISO13818-1에 규정된 전송 스트림으로써 1차 다중화된 스트림 및 2차 다중화된 스트림의 데이터 구조를 도시한 도면.

도 3은 방송 시스템의 디코더 모델을 도시한 블록도.

도 4는 1차 다중화된 스트림 및 2차 다중화된 스트림의 데이터 구조, 및 2차 다중화 지터의 영향에 기인한 문제를 예시하기 위한 디코더의 버퍼 점유 크기를 도시한 도면.

도 5는 종래의 다중화 시스템을 도시한 블록도.

도 6은 본 발명의 제1 실시예에 따른 다중화 시스템의 블록도.

도 7는 도 6의 다중화 시스템에 의해 1차 다중화된 스트림의 비트 레이트를 설정하는 처리를 예시한 도면.

도 8은 도 6의 다중화 시스템에 의해 인터리빙 패턴을 설정하는 처리를 예시한 도면.

도 9는 도 6의 다중화 시스템에서 생성된 2차 다중화 지터의 최대값을 예시한 도면.

도 10은 본 발명의 제2 실시예의 다중화 시스템의 블록도.

도 11은 레이트 할당 영역에 의존하지 않고 인터리빙 패턴 및 1차 다중화된 스트림의 비트 레이트를 설정하는 경우 도 10의 다중화 시스템에서 인터리빙 패턴을 설정하는 처리를 예시한 도면.

도 12는 2차 다중화된 스트림의 정수개의 전송 패킷이 레이트 할당 영역 내에 포함되도록 설정될 수 없는 경우 2차 다중화된 스트림의 처리를 예시한 도면.

도 13은 2차 다중화된 스트림의 정수개의 전송 패킷이 레이트 할당 영역 내에 포함되도록 설정될 수 없는 경우 2차 다중화된 스트림의 처리를 예시한 도면.

<도면의 주요 부분에 대한 부호의 설명>

1, 50 : 다중화 시스템 2a - 2n : 1차 멀티플렉서

3, 51 : 2차 멀티플렉서 4a - 4n : 수신 메모리

5, 52 : 스위칭 유닛 6 : 제어기

53 : 시간 정보 정정 유닛

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

이 발명은 디지털 화상 또는 음성 신호를 다중화하여 1차 다중화된 텔레비전 프로그램에 기초한 스트림을 발생하며, 이들 복수의 1차 다중화된 스트림을 2차 다중화하여 2차 다중화된 스트림을 발생하여 이 발생된 2차 다중화된 스트림을 송신 또는 기록하는 신호 다중화 방법 및 장치, 디지털 신호 송신 방법 및 장치, 디지털 신호 기록 방법 및 장치에 관한 것이다. 이 발명은 또한 다중화된 데이터가 기록되는 기록 매체에 관한 것이다.

ISO 13818-1에는 텔레비전 방송 프로그램과 같은 복수의 프로그램을 하나의 다중화된 스트림으로 다중화하여 이 다중화된 스트림을 송신하기 위한 전송 스트림을 규정하고 있다. 지금까지 이러한 전송 스트림을 발생하기 위한 다중화 시스템이 알려져 있다.

도 1은, 예를 들면, 디지털 방송 위성을 사용하여 상기 전송 스트림을 송신하는 방송 시스템의 구조를 도시한 것이다.

복수의 프로그램(Pa 내지 Pn)과 관련된 베이스밴드 비디오 또는 오디오 데이터는 서버 또는 비디오 카메라로부터 송신 장치(101)에 보내진다. 이들 비디오 또는 오디오 데이터는 프로그램(Pa 내지 Pn)과 관련된 비디오 인코더(102a 내지 102n) 및 오디오 인코더(103a 내지 103n)에 각각 보내져, 예를 들면, MPEG(ISO/IEC11172, ISO133818)에 따르는 압축된 데이터 스트림(기본 스트림)으로 인코딩된다.

인코딩된 기본 스트림은 프로그램(Pa 내지 Pn)과 관련된 1차 멀티플렉서(104a 내지 104n)에 각각 보내진다. 1차 멀티플렉서(104a 내지 104n)는 각각의 1차 다중화된 스트림을 전송 패킷 단위로 시분할 다중화하여 단일의 2차 다중화된 스트림을 발생한다.

2차 멀티플렉서(105)는 발생된 2차 다중화된 스트림을 송신 매체(110)를 통해 수신 장치(111)에 보낸다.

1차 멀티플렉서(104a 내지 104n) 및 2차 멀티플렉서(105)에 의해 각각 다중화되어 얻어진 1차 다중화된 스트림 및 2차 다중화된 스트림은 ISO13818-1에 규정된 전송 스트림에 따른다.

이에 따라 송신 장치(101)는 프로그램(Pa 내지 Pn)과 관련된 베이스밴드 비디오 또는 오디오 데이터를 인코딩하여 단일의 2차 다중화된 스트림을 발생하는데, 이것은 송신 매체(110)를 통해 수신 장치(111)에 보내진다.

2차 다중화된 스트림은 송신 매체(110)를 통해 수신 장치(111)에 송신된다. 구체적으로, 2차 다중화된 스트림은 분리기(112)에 보내진다. 분리기(112)는 시청자에 의해 명시된 프로그램과 관련된 기본 스트림만을 2차 다중화된 스트림으로부터 분리하여 이 분리된 기본 스트림을 디코더에 보낸다. 즉, 분리기(112)는 명시된 프로그램의 비디오 기본 스트림을 비디오 디코더(113)에 보내면서, 명시된 프로그램의 오디오 기본 스트림을 오디오 디코더(114)에 보낸다.

비디오 디코더(113) 및 오디오 디코더(114)는 압축 또는 인코딩된 데이터를 확장 또는 디코딩하여 도시하지 않은 외부 장비로 보내지는 베이스밴드 비디오 및 오디오 데이터를 발생한다.

따라서 수신 장치(111)는 공급된 2차 다중화된 스트림을 수신하여, 2차 다중화된 스트림 내에 포함된 복수의 프로그램으로부터 미리 결정된 프로그램을 디코딩에 의해 선택한다.

도 2는 ISO13818-1에 의해 규정된 전송 스트림으로서, 1차 다중화된 스트림의 데이터 구조 및 2차 다중화된 스트림의 구조를 도시한 것이다.

비디오 인코더(102a 내지 102n)에 의해 인코딩된 비디오 기본 스트림, 및 오디오 인코더(103a 내지 103n)에 의해 인코딩된 오디오 기본 스트림은 PES 패킷이라고 하는 패킷으로 분할된다. 관련된 1차 멀티플렉서(104a 내지 104n)는 기본 스트림을 각각 188바이트인 고정된 길이의 전송 패킷들로 분활하고, 전송 패킷 단위로 기본 스트림을 시분할적으로 1차 다중화하여 1차 다중화된 스트림을 발생한다. 2차 멀티플렉서(105)는 각각의 1차 다중화된 스트림을 전송 패킷 단위로 시분할적으로 2차 다중화하여 2차 다중화된 스트림을 발생한다.

도 3은 상기 언급된 ISO13818-1에 의해 규정된 전송 스트림이 수신 장치(111)에 공급된 경우 이 수신 장치(111)의 디코더 모델을 도시한 것이다.

분할기(112)는 프로그램과 관련되어 있고 시청자에 의해 선택되었던 전송 패킷만을 2차 다중화된 스트림으로부터 선택하여 이 선택된 패킷을 전송 버퍼(116 내지 118)에 분배한다. 이들 전송 버퍼(116 내지 118)는 관련된 데이터의 전송 패킷

을 일시 저장한다. 구체적으로, 전송 버퍼(116)는 선택된 프로그램의 비디오 데이터의 전송 패킷을 저장하며, 전송 버퍼(117)는 선택된 프로그램의 오디오 데이터의 전송 패킷을 저장하며, 전송 버퍼(118)는 선택된 프로그램의 프로그램 제어 데이터의 전송 패킷을 저장한다. 타이틀 데이터 등을 위한 전송 버퍼를 도시하지 않도라도, 예를 들어, 선택된 프로그램에 포함되어 있다면, 타이틀 데이터의 전송 패킷은 관련된 전송 버터 내에 저장된다.

전송 버퍼(116 내지 118) 각각은 예를 들어 512 바이트의 용량을 가지며, 그에 데이터가 저장되어 있는 한 규정된 속도로 PES 패킷을 누설하기 시작한다.

전송 버퍼(116)로부터 누설된 비디오 데이터는 멀티플렉서(119)에 보내진다. 전송 버퍼(117)로부터 누설된 오디오 데이터 및 프로그램 제어 데이터는 관련된 기본 버퍼(121, 122)에 보내진다.

멀티플렉서(119)로부터, 기본 스트림만이 규정된 비트 레이트로 누설되어 기본 버퍼(120)에 보내진다.

각각의 디코딩 시점에서, 디코더(123 내지 125)는 디코딩을 수행하기 위해서, 관련된 기본 버퍼(121, 122), 모든 디코딩 유닛(액세싱 유닛이라 함) 또는 데이터가 비디오 데이터인 경우엔 모든 화상부로부터 기본 스트림을 추출한다. 비디오 데이터는 화상을 시간적으로 디스플레이하기 위해 재배열 버퍼(126)를 사용하여 디코딩된다. 베이스밴드 비디오 및 오디오 데이터 및 제어 데이터는 이와 같이 디코딩되어 외부 장비 또는 시스템 제어기로 보내진다.

상기 기술된 모델에 의해서, 수신 장치(111)는 상기 언급된 ISO13818-1에 의해 규정된 전송 스트림을 디코딩한다.
디지털 위성 방송을 채용한 상기 기술된 방송 시스템에서, 송신 장치(101)에 의해 데이터 압축된 모든 복수의 프로그램을 다중화하여 얻어진 전송 스트림을 송신하고, 수신 장치(11)에 의해 데이터를 역다중화하여 디코딩하는 것이 가능하다.

한편, 다중화 버퍼(119) 및 기본 버퍼(120)(121, 122)의 전체 크기는 발생된 코드의 양을 제어하는 비디오 버퍼링 검증기(VBV)의 버퍼 크기와 프로파일 및 ISO13818-2에 규정된 레벨에 의해 고유하게 결정된 크기의 합이다. 이 합을 이하 디코더 버퍼라 한다. 따라서, 송신 장치(101)의 각각의 인코더는 디코더 버퍼의 언더플로우 또는 오버플로우를 방지하기 위해서, 즉 디코더 버퍼의 오동작을 야기하지 않기 위해서, 발생된 코드의 양을 제어한다. 1차 멀티플렉서(104a 내지 104n)도 마찬가지로 디코더 버퍼의 언더플로우 또는 오버플로우를 회피하기 위해서 스케쥴링 및 다중화를 수행한다.

삭제

한편, 상기 기술된 방송 시스템에 사용된 다중화 시스템, 즉 1차 다중화된 스트림이 또 다중화되어 단일의 2차 다중화된 스트림을 생성하는 다중화 시스템에서, 다음의 이유로, 1차 멀티플렉서에 의해 스케쥴링된, 1차 다중화된 스트림의 출력 타이밍과 2차 다중화된 스트림으로 다중화된 1차 다중화된 스트림의 출력 타이밍간에 시간 편차가 생성된다.

구체적으로, 이러한 2차 다중화 시스템에서, 2차 다중화는 2차 다중화된 스트림의 비트 레이트로 전송 패킷에 기초한 시간 슬롯에서만 가능하다는 것과 2차 다중화된 스트림의 비트 레이트는 1차 다중화된 스트림의 비트 레이트보다 높다는 것, 및 소정의 시간 슬롯으로 2차 다중화될 수 있는 것은 단일의 1차 다중화된 스트림의 전송 패킷뿐이기 때문에 1차 멀티플렉서에 의해 출력된 1차 다중화된 스트림의 전송 패킷이 실제적으로 동시에 대기 상태로 유지된다는 사실에 기인하여 2차 다중화된 스트림으로 다중화된 1차 다중화된 스트림의 각각의 출력 타이밍들간에 시간 편차가 생성된다. 각각의 1차 멀티플렉서에 의해 스케쥴링된 1차 다중화된 스트림의 출력 타이밍과 2차 다중화된 스트림으로 다중화된 1차 다중화된 스트림의 출력 타이밍 사이의 시간 편차를 2차 다중화 지터라고 칭한다.

따라서, 다중화 시스템에서, 디코더의 업스트림에 제공된 디코더 버퍼의 오동작을 야기하지 않도록 하기 위해서 각각의 1차 멀티플렉서가 다중화에 대해 스케쥴링되어 있다면, 디코더 버퍼는 디코더 버퍼에 데이터 스트림의 도착 타이밍에서 2차 다중화 지터에 의해 야기된 편차의 영향, 또는 2차 다중화된 스트림 내에 또는 ISO13818-1에 규정된 전송 스트림의 경우 프로그램 체크 기준(PCR) 내에 인코딩된 시간 기준의 편차의 영향으로 오동작되기 쉽다.

다중화 시스템에서 이들 2개의 영향을 보다 상세히 살펴보겠다.

먼저, 도 4a 내지 도 4d를 참조하여, 2차 다중화 지터에 기인한 디코더 버퍼에서 데이터 스트림의 도착 타이밍 편차를 설명한다. 한편, 도 4a 내지 도 4d는 비디오 기본 스트림 및 오디오 기본 스트림이 다중화된 미리 결정된 프로그램의 1차 다중화된 스트림, 상기 언급된 미리 결정된 프로그램 및 다른 프로그램이 다중화된 2차 다중화된 스트림, 1차 멀티플렉서에서 관찰된 디코더 버퍼의 버퍼 점유 크기 및 2차 다중화 지터로 손상된 디코더 버퍼의 버퍼 점유 크기를 각각 도시한 것이다.

1차 다중화된 스트림은, 도 4a에 도시한 바와 같이, 패킷 헤더 및 기본 스트림으로 구성된 비디오 또는 오디오 데이터가 다중화된 모든 전송 패킷(N, N+ 1, N+ 2, N+ 3, …)이다.

2차 다중화된 스트림은 도 4a에 도시된 1차 다중화된 스트림, 및 도 4b에 도시된 바와 같이, 1차 다중화된 스트림의 비트 레이트보다 높은 비트 레이트로 2차 다중화된 다른 1차 다중화된 스트림으로 구성된다.

디코더 버퍼에서 오버플로우 또는 언더플로우를 생성하지 않도록 1차 다중화된 스트림이 스케쥴링되어 다중화됨에 유의한다. 따라서, 전송 패킷 N+ 1과 같이 미리 설정된 전송 패킷 내에 포함된 비디오 데이터는 디코더 버퍼의 오동작을 야기시키지 않고 디코딩되는 동안, 전송 패킷 N+ 3과 같이 미리 설정된 전송 패킷 내에 포함된 오디오 패킷도, 도 4c에 도시한 바와 같이, 디코더 버퍼의 오동작을 야기시키지 않고 디코딩된다.

그러나, 2차 다중화된 스트림은 1차 다중화된 스트림보다 높은 비트 레이트를 갖기 때문에, 2차 다중 화된 스트림의 패킷 데이터 저장 종료 타이밍은, 2차 다중화된 스트림에서 디코더 버퍼로 전송 패킷의 입력 개시 타이밍이 1차 다중화된 스트림에서의 입력 개시 타이밍과 동일할지라도, 때때로 1차 다중화된 스트림보다 이르다. 그 결과, 디코더 버퍼로 패킷 데이터 저장의 종료 타이밍은 1차 멀티플렉서에서 관찰된 타이밍보다 더 빠르게 된다. 따라서, 디코더 버퍼에 패킷 데이터 저장의 종료 타이밍은 1차 멀티플렉서에 의해 관찰된 타이밍보다 더 빠르게 된다. 전송 패킷(N+ 1)과 같은 그러한 전송 패킷에서, 버퍼 점유 크기는 디코더 버퍼의 크기를 초과하여 도 4d에 도시한 바와 같이 오버플로우를 생성한다.

또한, 2차 다중화된 스트림이 2차 다중화 지터로 손상되기 때문에, 디코더 버퍼로의 전송 패킷 입력 개시 타이밍은 1차 다중화된 스트림에서의 것보다 때때로 늦어져, 디코더 버퍼로의 패킷 데이터 저장 개시 타이밍이 1차 다중화된 스트림에 의해 관찰된 타이밍보다 늦게 된다. 전송 패킷(N+ 3)과 같은 전송 패킷에서, 버퍼 점유 크기는, 도 4d에 도시된 바와 같이, 제로보다 작아서 언더플로우를 생성한다.

다음으로, 2차 다중화 지터에 기인하는 2차 다중화된 스트림 내에 인코딩된 시간 기준값(PCR)에서 생성된 편차가 설명된다.

PCR은 미리 결정된 전송 패킷의 패킷 헤더로 인코딩된다. 이 PCR은 디코더로의 데이터 입력 시간을 나타낸다. 수신 장치의 디코더는 PCR 베이스 필드의 마지막 비트를 포함하는 바이트 데이터의 실제 입력 타이밍 및 PCR값에 기초하여 수신 장치의 시스템 클록에 동기하여 동작된다. 즉, 멀티플렉서의 실제 출력 타이밍의 타이밍인 PCR의 값 자체 및 디코더에의 PCR의 도착 타이밍 양자 모두 의미가 있다. 그러므로, 도 4에 도시된 전송 패킷(N+ 2)과 같이 PCR이 인코딩되는 전송 패킷에 2차 다중화 지터가 생성되면, PCR 출력 타이밍과 도 4b에 도시한 PCR의 값간에 시간 편차가 발생되어, 디코더에서 동기화가 달성될 수 없게 된다. ISO13181-1은 ㅁ500 나노초까지 PCR 편차만이 허용됨을 제공하고 있다.

따라서, 종래의 다중화 시스템에서, 디코더 버퍼에서 데이터 스트림 도착 타이밍의 편차 및 2차 다중화된 스트림 내에 인코딩된 시간 기준 PCR의 편차의 불편을 극복하기 위해서 일반적으로 다음 처리가 채택된다.

즉, 종래의 다중화 시스템에서, 1차 멀티플렉서에 의해 1차 다중화된 스트림을 생성할 때, 디코더 버퍼의 가상의 버퍼 점유 크기를 가정하고, 다중화를 달성하기 위해서 디코더 버퍼의 버퍼 점유 크기의 상한값 및 하한값 각각에 대해 미리 설정된 마진이 제공된다. 그 결과, 종래의 다중화 시스템에서, 디코더 버퍼에서 데이터 스트림 도착 타이밍이 2차 다중화 지터에 기인하여 더 이르거나 늦을지라도 디코더 버퍼에서 오동작을 발생하지 않는 그러한 2차 다중화된 스트림이 발생되는 것이다. 또한, 종래의 다중화 시스템에서, 2차 다중화된 스트림의 PCR를 정정하는 PCR 정정 유닛은 2차 멀티플렉서의 다운스트림에 제공된다. 그 결과, 종래의 다중화 시스템에서, PCR이 2차 다중화 지터에 기인하여 벗어나게 되면(deviaTed), 수신 장치의 디코더에서 동기화가 달성될 수 있게 하는 그러한 2차 다중화된 스트림이 실현될 수 있다.

도 5를 참조하여, 이들 2가지 문제를 극복하는 종래의 다중화 시스템을 설명한다.

종래의 다중화 시스템(150)은 복수의 1차 멀티플렉서(151a 내지 151n) 및 2차 멀티플렉서(152)를 포함한다. 이 2차 멀티플렉서(152)는 1차 멀티플렉서(151a 내지 151n)와 각각 관련된 수신 메모리(153a 내지 153n), 선택된 1차 다중화된 스트림을 다중화하기 위해서 수신 메모리(153a 내지 153n) 내에 저장된 1차 다중화된 스트림들간에 스위칭하기 위한 스위칭 유닛(154), 상기 스위칭 유닛(154)을 제어하는 제어기(155) 및 스위칭 유닛(154)에 의해 발생된 2차 다중화된 스트림의 PCR를 정정하기 위한 시간 정보 정정 유닛(156)으로 구성된다.

1차 멀티플렉서(151a 내지 151n)는 디코더 버퍼의 오동작을 야기하지 않는 코드 크기의 1차 다중화된 스트림을 발생하기 위해서 데이터 버퍼의 버퍼 점유 크기의 상한값 및 하한값 각각에 대해 미리 설정된 마진을 제공한다. 1차 다중화된 스트림은 관련된 수신 메모리(153a 내지 153n)로 보내진다.

수신 메모리(153a 내지 153n)는 1차 멀티플렉서(151a 내지 151n)에 의해 발생된 1차 다중화된 스트림을 일시 저장한다.

제어기(155)는 1차 다중화된 스트림의 도착 시퀀스로 또는 감소하는 메모리 점유 크기의 시퀀스로 2차 다중화되도록 1차 다중화된 스트림을 선택하기 위해서 수신 메모리(153a 내지 153n)의 메모리 점유 크기를 모니터하여 스위칭 유닛(154)을 제어하도록 한다.

스위칭 유닛(154)는 2차 다중화된 스트림을 발생하기 위해서, 제어기(155)에 의한 제어하에서, 선택된 스트림을 다중화하도록 수신 메모리(153a 내지 153n)간에 스위치한다.

시간 정보 정정 유닛(156)은 스위칭 유닛(154)에 의해 발생된 2차 다중화된 스트림의 PCR의 값을 2차 다중화의 실제 발생 타이밍으로 다시 기록한다.

이에 따라, 종래의 다중화 시스템(150)으로, 입력 데이터는 디코더 버퍼의 오동작을 야기하지 않도록 마진을 갖고 1차 멀티플렉서(151a 내지 151n)에 의해 다중화되며, PCR값은 디코더 버퍼의 오동작을 야기하지 않으며 수신 장치의 디코더에 의해 송신 장치로 동기화가 달성될 수 있게 하는 2차 다중화된 스트림을 발생하기 위해서, 시간 정보 정정 유닛(156)에 의해 다시 기록된다.

상기 기술된 종래의 다중화 시스템(150)에서, 제어기(155)는 수신 메모리(153a 내지 153n)의 메모리 점유 크기를 모니터하여, 1차 다중화된 스트림의 도착 시퀀스로 또는 메모리 점유 크기가 감소하는 시퀀스로 2차 다중화를 위한 1차 다중화된 스트림을 선택한다. 그 결과는 1차 다중화된 스트림이 1차 멀티플렉서(151a 내지 151n)로부터 수신 메모리(153a 내지 153n)로 실시간으로 보내질 필요가 있다는 것이다. 즉, 수신 메모리(153a 내지 153n)로 전송이 지연되면, 지연된 1차 다중화된 스트림의 전송 패킷의 우선 시퀀스는 나머지 1차 다중화된 스트림의 것보다 낮아져, 현저한 2차 다중화 지터를 생성한다.

그 결과는 종래의 다중화 시스템(150)에서, 1차 다중화된 스트림은 전용 전송 시스템에 의해서 1차 멀티플렉서(151a 내지 151n)로부터 수신 메모리(153a 내지 153n)로 전송될 필요가 있어, 일반적으로 컴퓨터에서 사용된 주변 구성요소 상호접속(PCI) 시스템과 같은 버스트형 데이터 전송 시스템이 사용될 수 없다.

또한, 종래의 다중화 시스템(150)에서, 모든 1차 다중화된 시스템의 전송 패킷이 실제적으로 동시에 수신 메모리(152a 내지 152n)에 도착한다면, 1차 다중화된 스트림을 2차 다중화된 스트림으로 다중화할 때, I가 1차 다중화된 스트림의 수인 경우, 최대 (I-1) 패킷에 대응하는 2차 다중화 지터가 생성된다. 그 결과는 1차 멀티플렉서(151a 내지 151n)에 의해 다중화하기 위해 제공된 디코더 버퍼의 버퍼 점유 크기의 마진이 증가되는 것으로, 이에 따라 다중화 자유도가 상실된다.

또한, 종래의 다중화 시스템(150)에서, 시스템 구성은 PCR이 시간 정보 정정 유닛(156)에 의해 정정되기 때문에 복잡하다.

발명이 이루고자 하는 기술적 과제

그러므로, 본 발명의 목적은 2차 다중화 지터가 억제될 수 있고 1차 멀티플렉서의 다중화 자유도가 보장되어 시간 기준값을 정정하지 않고도 다중화를 달성할 수 있는, 신호 다중화 방법 및 장치, 디지털 신호 송신 방법 및 장치, 디지털 신호 기록 방법 및 장치, 및 다중화된 데이터가 기록된 기록 매체를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따른 디지털 신호 다중화 방법 및 장치, 디지털 신호 송신 방법 및 장치, 디지털 신호 기록 방법 및 장치 및 기록 매체는 디지털 신호의 하나 이상의 비트스트림을 패킷화하여 패킷을 형성하고 패킷 단위로 상기 비트스트림을 다중화하여 얻어진 복수의 1차 다중화된 스트림을 수신하고, 패킷의 시분할 다중화 시퀀스를 미리 설정된 주기로 반복되는 인터리빙 패턴으로서 설정하고, 이와 같이 설정된 인터리빙 패턴에 기초하여 선택된 패킷을 제어하여 패킷단위로 상기 수신된 1차 다중화된 스트림을 시분할적으로 다중화하여 2차 다중화된 스트림을 발생하는 것을 특징으로 한다.

디지털 신호 다중화 방법 및 장치, 디지털 신호 송신 방법 및 장치, 및 디지털 신호 기록 방법 및 장치는 패킷의 시분할 다중화 시퀀스를 미리 설정된 주기로 반복되는 인터리빙 패턴으로서 설정하여 2차 다중화된 스트림을 발생한다.

따라서, 2차 다중화 지터를 억제하고 시간 기준값을 정정하지 않고 다중화를 실현하도록 1차 다중화 장치의 다중화에 자유도를 보장하는 것이 가능하다.

즉, 다중화될 전송 패킷의 시퀀스가 인터리빙 패턴을 채용하여 미리 유일하게 설정될 수 있는 본 발명에 의해서, 2차 다중화는 미리 알게 할 수 있으며, 아울러 2차 다중화 지터는 최소로 억제될 수 있다. 따라서, 본 발명에 의해서 2차 다중화된 스트림은 디코더 버퍼의 오동작 위험 없이 생성될 수 있다.

또한, 인터리빙 패턴이 사용되는 본 발명에 의해서, 시간 기준이 첨부된 패킷의 2차 다중화 지터는 제로로 감소될 수 있으므로, 시간 기준값을 정정할 필요성이 없어 시스템 구성이 간단해진다. 또한, 인터리빙 패턴이 사용되는 본 발명에 의해서, 실시간으로 동작하지 않는 버스트형 전송 시스템은 1차 다중화된 스트림을 전송하는 데 사용될 수 있어 이에 따라 1차 다중화 장치의 자유도가 보장된다.

본 발명에 따라, 1차 다중화된 스트림에 할당된 비트 레이트는 레이트 할당 영역을 설정하고 레이트 할당 영역마다 인터리빙 패턴을 변경함으로써 변경될 수 있다. 따라서, 예를 들면 통계적 다중화에 의한 제어는 1차 다중화된 스트림의 가변 비트 레이트를 사용함으로써, 그리고 포괄적인 비트 레이트로서 2차 다중화된 스트림의 비트 레이트를 일정하게 하도록 제어를 수행함으로써 수행될 수 있다. 그 결과는 전체 화질을 개선하기 위해서 1차 다중화된 스트림의 인코딩 난이도에 따라 비트 레이트가 분배될 수 있다는 것이다.

본 발명에 따라, 레이트 할당 영역에 걸쳐 놓인 패킷이 있다면, 더미 패킷이 삽입될 수 있거나, 인터리빙 패턴을 삭제하여 1차 다중화된 스트림의 비트 레이트에 관계없이 인터리빙 패턴을 설정할 수 있다.

레이트 할당 영역의 경계에 걸쳐 놓인 1차 다중화된 스트림의 패킷이 존재하며, 다중화될 레이트 할당 영역 내에 패킷이 남아 있다면, 패킷은 상기 패킷이 레이트 할당 영역에 속한다는 가정하에 다중화될 수 있다. 반대로 패킷이 다중화될 레이트 할당 영역 내에 남아 있지 않다면, 패킷은 상기 패킷이 다음 레이트 할당 영역에 속한다는 가정하에 다중화될 수 있다. 이러한 식으로, 2차 다중화된 스트림의 비트 레이트는 일정하게 유지될 수 있는 한편, 레이트 할당 영역은 2차 다중화된 스트림의 비트 레이트에 의존하지 않고 설정될 수 있다.

본 발명의 기록 매체에서, 이에, 시분할 다중화한 패킷의 시퀀스를 미리 설정된 주기로 반복되는 인터리빙 패턴으로서 설정하고, 이와 같이 설정된 인터리빙 패턴에 기초하여 선택하기 위해 패킷을 제어하여 발생된 2차 다중화된 스트림이 기록된다.

따라서, 본 발명의 기록 매체에 의해서, 작은 2차 다중화 지터 및 시간 기준값을 정정함이 없이 1차 멀티플렉서의 충분한 자유도를 갖고 다중화하여 얻어진 2차 다중화된 스트림이 기록될 수 있다.

도면을 참조하여, 본 발명에 따른 다중화 시스템의 바람직한 실시예를 상세히 설명하겠다.

이 다중화 시스템은 단위로서 이를테면 텔레비전 방송 프로그램 또는 채널과 같은 복수의 프로그램에 대해 데이터 다중화된 데이터로 구성된 전송 스트림을 송신하는 디지털 위성 방송 시스템, 또는 기록 매체에 전송 스트림을 기록하기 위한 기록 시스템에 적용된다. 이 다중화 시스템은 압축된 오디오 또는 비디오 데이터 스트림, 즉 기본 스트림을 시분할적으로 다중화하여 복수의 1차 다중화된 스트림 얻어져 단일의 트랜스폰더에 의해 사용할 수 있는 단일의 2차 다중화된 스트림을 생성하는 시스템이다. 여기서, 1차 다중화된 시스템 내에 포함된 데이터는 상기 언급된 텔레비전 방송의 단일 채널 또는 프로그램이다. 한편, 다음 설명에서, 1차 다중화된 스트림 및 2차 다중화된 스트림은 ISO13818-1에 규정된 전송 스트림에 대응하는 데이터 스트림인 것으로 가정한다.

먼저, 본 발명의 제1 실시예에 따른 다중화 시스템을 도면을 참조하여 설명한다.

도 6은 본 발명의 제1 실시예에 따른 다중화 시스템의 블록도를 도시한 것이다.

다중화 시스템(1)은 1차 다중화된 스트림을 발생하는 복수의 1차 멀티플렉서(2a 내지 2n), 2차 다중화된 스트림을 발생하기 위해서 1차 멀티플렉서(2a 내지 2)에 의해 발생된 1차 다중화된 스트림을 더 다중화하는 2차 멀티플렉서(3)를 포함한

다. 2차 멀티플렉서(3)는 수신된 스트림을 일시 저장하기 위해서 1차 멀티플렉서(2a 내지 2n)에 의해 발생된 1차 다중화된 스트림을 수신하는 복수의 수신 메모리(4a 내지 4n), 및 수신 메모리(4a 내지 4n) 내에 저장된 1차 다중화된 스트림을 선택하여 이 선택된 1차 다중화된 스트림을 2차 다중화하는 스위칭 유닛(5)을 포함한다. 2차 멀티플렉서(3)는 스위칭 유닛(5)에 의해 다중화된 1차 다중화된 스트림의 스위칭 제어 및 1차 멀티플렉서(2a 내지 2n)에 의해 발생된 1차 다중화된 스트림의 비트 레이트 제어를 맡는 제어기(6)를 포함한다.

1차 멀티플렉서(2a 내지 2n)는 도시하지 않았으나 서버 또는 비디오 카메라로부터 보내진 비디오 또는 오디오 기본 스트림을 188바이트의 고정된 길이의 전송 패킷마다 시분할적으로 다중화하여, 각각의 프로그램에 대응하는 1차 다중화된 스트림을 발생한다. 1차 멀티플렉서(2a 내지 2n)에 의해 발생된 1차 다중화된 스트림은 2차 멀티플렉서(3)의 수신 메모리(4a 내지 4n)으로 보내진다. 1차 다중화된 스트림은 1차 멀티플렉서(2a 내지 2n)로부터 수신 메모리(4a 내지 4n)로 예를 들면 실시간 대신 버스트 형태로 송신될 수도 있다. 1차 멀티플렉서(2a 내지 2n)에 의해 발생된 1차 다중화된 스트림의 비트 레이트는 제어기(6)에 의해 제어된다.

수신 메모리(4a 내지 4n)는 1차 멀티플렉서(2a 내지 2n)에 의해 발생된 1차 다중화된 스트림을 일시 저장한다.

스위칭 유닛(5)는 수신 메모리(4a 내지 4n) 내에 일시 저장된 1차 다중화된 스트림을 전송 패킷 단위로 다중화하여 2차 다중화된 스트림을 발생한다. 발생된 2차 다중화된 스트림은 도시하지 않은 외부장비로 보내지고, 송신 매체를 통해 통신 인터페이스를 통해 사용자에게 공급되거나 기록 매체에 회전 구동하여 기록된다.

선택될 전송 패킷의 시퀀스를 설정하는 인터리빙 패턴에 기초하여, 제어기(6)는 미리 설정된 시간 기간의 레이트 할당 영역을 설정하여 레이트 할당 영역마다 1차 다중화된 스트림의 비트 레이트를 제어하도록 스위칭 유닛(5)의 스위칭을 제어한다. 인터리빙 패턴 및 레이트 할당 영역 상세히 설명하겠다.

도 7를 참조하여, 제어기(6)에 의해 각각의 1차 다중화된 스트림의 비트 레이트를 설정하는 처리를 설명한다.

생성될 2차 다중화된 스트림의 비트 레이트에 기초하여, 제어기(6)는 레이트 할당 영역(T)를 2차 다중화된 스트림의 전송 패킷의 정수부에 대응하는 시간 기간으로 설정한다. 이 레이트 할당 영역(T)은 2차 멀티플렉서(3)로 보내진 각각의 1차 다중화된 스트림의 비트 레이트에 대해 설정한 기간이다. 제어기(6)는 1차 다중화된 스트림의 비트 레이트를 레이트 할당 영역(T)마다 변경한다. 즉, 제어기(6)는 레이트 할당 영역(T) 내에 일정하게 남아 있는 1차 다중화된 스트림의 비트 레이트로, 레이트 할당 영역(T)의 경계에 각각의 1차 다중화된 스트림의 비트 레이트를 수정한다.

구체적으로, 2차 다중화된 스트림의 비트 레이트가 T이면, 레이트 할당 영역(T)은 (188 x 8/R)의 정수배로 설정된다. 레이트 할당 영역(T)이 미리 설정되어 있다면, 2차 다중화된 스트림의 비트 레이트 R이 (188 x 8/R)의 정수배로 설정되면 충분한 것이다. 읽은 T를 이 크기로 설정함으로써, 레이트 할당 영역(T)의 경계와 전송 패킷의 경계가 일치한다. 예를 들면, 제어기(6)는 15개의 전송 패킷의 시간 기간과 같게 하기 위해서 레이트 할당 영역(T(k))을 설정하는 한편, 6개의 전송 패킷의 시간 기간과 같도록 하기 위해서 레이트 할당 영역(T(k+ 1))을 설정한다.

2차 다중화된 스트림의 레이트 할당 영역(T)의 내부는 인터리브된 패턴(IP) 내에 포함된 전송 패킷의 수를 설정하기 위해 분할된다. 인터리브된 패턴(IP) 내에 포함된 전송 패킷의 수는 전송 패킷의 동일한 수가 동일한 레이트 할당 영역(T) 내에 존재하는 각각의 인터리빙 패턴(IP) 내에 설정되도록 설정된다.

예를 들면, 도 7b에서 레이트 할당 영역(T(k))은 각각 5개의 전송 패킷으로 구성된 3개의 인터리빙 패턴으로 분할된다. 한편, 레이트 할당 영역(T(k+ 1))은 각각 3개의 전송 패킷으로 구성된 2개의 인터리빙 패턴(IP)로 분할된다.

인터리빙 패턴(IP)내의 전송 패킷은 각각의 1차 다중화된 스트림에 분배된다. 각각의 1차 다중화된 스트림의 비트 레이트는 2차 다중화된 스트림의 비트 레이트 및 분배된 패킷의 수로부터 결정된다.

도 7c에 도시한 바와 같이, 2개의 1차 다중화된 스트림이 단일의 2차 다중화된 스트림으로 다중화된다면, 2개의 전송 패킷은 레이트 할당 영역(T(k)) 내에, 1차 다중화된 스트림 중 하나의 인터리빙 패턴(IP)에 할당되고, 3개의 전송 패킷은 다른 1차 다중화된 스트림 내의 인터리빙 패턴(IP)에 할당된다. 따라서, 2차 다중화된 스트림의 비트 레이트가 R이면, 상기 전자의 1차 다중화된 스트림의 비트 레이트는 R x 2/5가 되고, 상기 후자의 1차 다중화된 스트림의 비트 레이트는 R x 3/5가 된다.

마찬가지로, 2개의 전송 패킷은 레이트 할당 영역(T(k+ 1)) 내에, 1차 다중화된 스트림 중 하나 내의 인터리빙 패턴(IP)에 할당되는 한편, 단일의 전송 패킷은 다른 1차 다중화된 스트림 내의 인터리빙 패턴(IP)에 할당된다. 따라서, 2차 다중화된 스트림의 비트 레이트가 R이면, 상기 전자의 1차 다중화된 스트림의 비트 레이트는 R x 2/3이 되고, 상기 후자의 1차 다중화된 스트림의 비트 레이트는 R x 1/3이 된다.

따라서, 제어기(6)는 레이트 할당 영역(T)를 설정함으로써 각각의 1차 다중화된 스트림의 비트 레이트를 제어한다. 그러므로, 제어기(6)는 레이트 할당 영역(T)마다 1차 다중화된 스트림의 비트 레이트를 수정할 수 있다. 한편, 1차 다중화된 스트림의 비트 레이트들이 영구적으로 고정된 시스템에서, 후술되는 바와 같은 인터리빙 패턴(IP)은 레이트 할당 영역(T)을 설정하기 않고 직접 설정될 수도 있다.

제어기(6)에 의해 인터리빙 패턴(IP)을 설정하는 처리에 대해 도 3을 참조하여 설명한다.

인터리빙 패턴(IP)은 2차 다중화된 스트림을 발생할 때 각각의 1차 다중화된 스트림으로부터 선택될 전송 패킷의 시퀀스를 설정하는 전송 패킷의 반복되는 패턴이다. 제어기(6)는 인터리빙 패턴 IP에 따라 레이트 할당 영역(T) 내에 지정된 전송 패킷을 선택하여, 스위칭 유닛(5)이 상기 선택된 전송 패킷을 2차 다중화하게 한다. 즉, 인터리빙 패턴(IP)은 스위칭 유닛(5)에 의해 선택된 1차 다중화된 스트림의 스위칭 시퀀스를 설정하는 패턴이다. 이 패턴은 전송 패킷 단위로 설정된다.

2차 다중화된 스트림의 비트 레이트가 15Mbps이고, 2차 다중화된 스트림에서 레이트 할당 영역(k) 내의 인터리빙 패턴(IP(k))의 전송 패킷의 수가 15개이고 비트 레이트가 Pa 내지 Pe로 설정된 비트 레이트를 갖는 5개의 1차 다중화된 스트림(Sa 내지 Se)이 공급되는 예를 취하여 도 3을 참조하여 인터리빙 패턴(IP)을 설정하는 처리를 설명한다.

제어기(6)는 각각의 1차 다중화된 스트림의 비트 레이트(Pa(k) 내지 Pe(k))를 설정하고, 인터리빙 패턴(IP(k)) 내에 전송 패킷 수를 다음과 같이 설정한다.

1차 다중화된 스트림 Sa : Pa(k) = 2 Mbps, 2개의 패킷

1차 다중화된 스트림 Sb : Pb(k) = 2 Mbps, 2개의 패킷

1차 다중화된 스트림 Sc : Pc(k) = 3 Mbps, 3개의 패킷

1차 다중화된 스트림 Sd : Pd(k) = 3 Mbps, 3개의 패킷

1차 다중화된 스트림 Se : Pe(k) = 5 Mbps, 5개의 패킷

제어기(6)는 다음의 과정 1 내지 4에 따라 전송 패킷의 선택 시퀀스를 미리 정하여 인터리빙 패턴(IP)을 설정한다.

과정 1

인터리빙 패턴(IP)의 선단에 단일의 전송 패킷들은 각각의 1차 다중화된 스트림에 대해 설정된 비트 레이트에 관계없이 1차 다중화된 스트림 전체로부터 순서대로 선택된다.

예를 들면, 미리 설정된 레이트 할당 영역(T(k))에서, 패킷(a1 내지 e1)은 1차 다중화된 스트림(Sa 내지 Se)의 선도 패킷으로서, 도 8에 도시한 바와 같이 a1 - b1 - c1 - d1 - e1의 시퀀스로 선택된다.

이 시퀀스 1로 설정된 영역은 인터리빙 패턴 IP 내에서 고정된 우선순위 시퀀스이다.

과정 2

단일의 전송 패킷이 전체 1차 다중화된 스트림 각각으로부터 과정 1에서 선택되면, 선도 바이트가 2차 다중화되기까지 대기시간이 더 긴 전송 패킷이 순서대로 선택한다.

전송 패킷은 188 바이트로 고정될 길이를 갖고 있고, 각각의 1차 다중화된 스트림(Sa 내지 Se)의 비트 레이트(Pa 내지 Pe)를 알고 있으므로 시퀀스가 유일하게 결정되어 선택될 수 있다.

예를 들면, 미리 설정된 레이트 할당 영역(T(k)) 내의 1차 다중화된 스트림(Se)의 선도 패킷(e1) 다음에 다중화되는 패킷으로서, 가장 높은 비트 레이트를 갖는 다중화된 스트림(Se)의 패킷(e2)이 선택된다.

2차 다중화를 하기 위해서 대기하는 시간이 감소되는 시퀀스로 전송 패킷을 선택함으로써, 2차 다중화 지터를 최소로 할 수 있다.

과정 3

과정 2에서, 2차 다중화하기까지 대기시간이 동일하다면, 1차 다중화된 스트림의 더 높은 비트 레이트를 갖는 전송 패킷이 선택된다.

2차 다중화하기 위한 대기시간이 동일한 경우 감소되는 비트 레이트의 시퀀스로 전송 패킷을 선택함으로써, 2차 다중화 지터 또한 마찬가지로 최소가 될 수 있다.

과정 4

비트레이트가 과정 3에서 동일하다면, 전송 패킷은 과정 1에서 설정된 고정된 우선순위 시퀀스의 시퀀스로 선택된다.

미리 설정된 레이트 할당 영역(T(k))에서, 과정 3의 처리에 의해서 도 8에 도시한 바와 같이 다중화된 스트림(Se)의 패킷 2 다음으로 선택되는 패킷으로서 예를 들면 패킷(c2) 또는 패킷(d2)이 후보가 된다. 현재의 과정 4에서, 상기 언급된 고정된 우선순위 시퀀스에 따라 패킷(c2)이 선택된다.

상기 과정 1 내지 4를 수행함으로써 제어기(6)는 전송 패킷의 반복 패턴으로서 인터리빙 패턴(IP)을 결정할 수 있다.

미리 설정된 레이트 할당 영역(T(k))에서, a1 - b1 - c1 - d1 - e1 - e2 - c2 - d2 - e3 - a2 - b2 - e4 - c3 - d3 - e5의 시퀀스로 15개의 전송 패킷을 반복하는 인터리빙 패턴(IP)이 도 8에 도시한 바와 같이 설정된다.

이와 같이 설정된 인터리빙 패턴(IP)에 기초하여, 제어기(6)은 스위칭 유닛(5)의 전환제어를 수행한다. 이것은 수신 메모리(4a 내지 4n)의 메모리 점유 크기를 모니터할 필요가 없게 하며, 또한 1차 다중화된 스트림(2a 내지 2n)으로부터 수신 메모리(4a 내지 4n)으로 데이터 전송 제한을 설정할 필요가 없게 한다. 그러므로 1차 다중화된 스트림을 전송할 때, 버스트형 전송 시스템을 채용하는 PCI 버스 등을 사용하는 것이 가능하다.

한편, 이러한 버스트형 전송 시스템을 1차 다중화된 스트림을 전송하는 데 사용한다면, 2차 다중화 지연시간은 이를테면 도 8에 도시한 바와 같이 선택될 1차 다중화된 스트림의 전송 패킷의 도착시간을 보상하기 위해서, 2차 다중화 시작 시간에 설정될 수도 있다.

각각의 1차 멀티플렉서(2a 내지 2n)에서, 시간 기준(PCR)은 인터리빙 패턴(IP)의 고정된 우선순위 범위의 전송 패킷 내에는 인코딩되지만, PCR은 인터리빙 패턴(IP)의 다른 전송 패킷 내에는 인코딩되지 않는다. 고정된 우선순위 범위의 전송 패킷들에 대해서, 전체 1차 다중화된 스트림 각각의 하나의 전송 패킷이 선택되는 반면 2차 다중화는 미리 설정된 시퀀스로 수행되므로 PCR의 2차 다중화 지터는 영구히 일정하다. 따라서, 1차 멀티플렉서(2a 내지 2n) 각각은 PCR를 미리 인코딩할 수 있으므로 2차 다중화 지터는 제로가 될 것이다.

제어기(6)에 의해 설정된 인터리빙 패턴(IP)의 시간 길이를 설정함으로써, PCR은 0.1초 이하의 간격으로 인코딩되어야 한다고 한 ISO13818-1 규정이 충족되어, 수신장치 측에서 동기화를 달성할 수 있는 2차 다중화된 스트림이 생성될 수 있다.

따라서, 2차 멀티플렉서(3)에서, 인터리빙 패턴 IP의 고정된 우선순위 시퀀스의 전송 패킷에만 PCR를 인코딩함으로써 PCR 정정 유닛을 제공할 필요성이 없고, 이에 따라 시스템 구성이 단순하게 된다.

도 4를 참조하여, 2차 멀티플렉서(3)에 의해 생성된 2차 다중화 지터를 설명한다.

2차 멀티플렉서(3)에서, 인터리빙 패턴이 상기 시퀀스에 기초하여 결정된다면, 인터리빙 패턴(IP)의 최대 2차 다중화 지터는 인터리빙 패턴의 선단에 2차 다중화되고 최대 비트 레이트가 할당된 1차 다중화된 스트림의 다음 전송 패킷의 선도 바이트에서 발생한다. 따라서, 2차 다중화된 스트림의 비트 레이트가 R이고 1차 다중화된 스트림이 1개이면, 2차 다중화 지터의 최대값은 다음의 식으로 표현될 수 있다.

(2차 다중화 지터의 최대값)

= (188 x 8 x I)/R - (188 x 8)/Pmax(초)

여기서 R은 2차 다중화된 스트림의 비트 레이트이며 I는 1차 다중화된 스트림의 수이다.

도 9에 도시한 바와 같이, 2차 다중화된 스트림의 비트 레이트가 15Mbps이고, 2차1 다중화된 스트림에서 레이트 할당 영역(T(k))의 인터리빙 패턴(IP) 내의 전송 패킷(IP(k))은 15개이고 비트 레이트가(Pa 내지 Pe)로 설정된 5개의 1차 다중화된 스트림(Sa 내지 Se)이 공급된다고 가정한다. 또한, 미리 설정된 레이트 할당 영역(T(k))에서, 미리 설정된 레이트 할당 영역(T(k))의 각각의 1차 다중화된 스트림의 비트 레이트 Pa(k) 내지 Pe(k) 및 인터리빙 패턴 IP(k) 내의 전송 패킷의 수는 다음과 같이 설정되는 것으로 가정한다.

1차 다중화된 스트림 Sa : Pa(k) = 5Mbps, 5개의 패킷

1차 다중화된 스트림 Sb : Pb(k) = 3Mbps, 3개의 패킷

1차 다중화된 스트림 Sc : Pc(k) = 3Mbps, 3개의 패킷

1차 다중화된 스트림 Sd : Pd(k) = 2Mbps, 2개의 패킷

1차 다중화된 스트림 Se : Pe(k) = 2Mbps, 2개의 패킷

이 경우, 1차 다중화된 스트림의 비트 레이트(Pa(k))는 최대 비트 레이트(Pmax)를 갖는다. 1차 다중화된 스트림의 하나의 전송 패킷에 대한 시간은 (188 x 8)/Pa(k) = 300.8㎲이며, 이때 2차 다중화된 스트림의 하나의 전송 패킷에 대한 시간은 (188 x 8 x 5)/R = 501.33㎲이다.

이 경우, 인터리빙 패턴(IP)내의 2차 다중화 지터는 2차 다중화 지터의 최대값은 패킷(a2)의 선도 바이트의 2차 다중화 지터의 값이기 때문에 다음에 의해 발견될 수 있다.

(2차 다중화 지터의 최대값)

= (188 x 8 x I)R - (188 x 8)/Pmax

= (188 x 8 x 5)/15M - (188 x 8)/5M

= 802.133㎲

2차 멀티플렉서(3)는 상기 과정에 의해 설정된 인터리빙 패턴(IP)에 기초한 2차 다중화된 스트림을 발생하기 때문에, 2차 다중화 지터의 최대값은 미리 이미 알고 있는 것으로써 설정될 수 있다. 그러므로, 1차 멀티플렉서(2a 내지 2n)는 디코더 버퍼의 오동작을 방지하기 위해서, 2차 다중화 지터에 대해 미리 알고 있는 최대값에 기초하여, 1차 다중화된 스트림을 발생할 때, 가상 버퍼의 버퍼 점유 크기의 상한 및 하한에 대해 미리 설정된 마진을 제공할 수 있다.

다중화 시스템(1)의 상기 기술된 제 1 실시예에 의해서, 2차 다중화될 전송 패킷의 시퀀스는 인터리빙 패턴(IP)을 채용함으로써 유일하게 설정될 수 있다. 이에 따라, 수신 메모리(4a 내지 4n)으로 1차 다중화된 시스템을 전송할 때, 실시간으로 동작하지 않는 버스트형 버스를 사용할 수 있다. 또한, 다중화 시스템(1)에서, 복수의 1차 다중화된 스트림의 전송 패킷이 2차 다중화를 위한 대기상태로 동시에 진입할지라도, 일정한 작은 2차 다중화 지터 내에서 2차 다중화가 필연적으로 행해지는 것이 보장됨과 아울러, 디코더 버퍼의 상한 및 하한에 대해 미리 알고 있는 작은 마진을 설정함으로써 1차 멀티플렉서(2a 내지 2n)에 의해 1차 다중화함으로써 디코더 버퍼 오동작이 방지될 수 있는 것이 보장된다. 또한, 다중화 시스템(1)

에서, PCR은 선단 우선순위 시퀀스 범위의 전송 패킷에만 인코딩되기 때문에, PCR 정정 유닛을 설치할 필요가 없어 시스템 구성이 간단해진다. 또한, 상기 다중화 시스템(1)에 의해서, 1차 다중화된 스트림에 할당된 비트 레이트는 인터리빙 패턴을 변경함으로써 수정될 수 있으므로, 1차 다중화된 스트림의 비트 레이트는 가변되는 상태에서, 1차 다중화된 스트림의 포괄적인 비트 레이트인 2차 다중화된 스트림의 일정한 비트 레이트를 제공하는 통계적인 다중화 제어를 수행하는 것이 가능해진다. 그러므로 전체 화질을 개선하기 위해서 1차 다중화된 스트림의 엔코딩 어려움에 의존하여 비트 레이트를 분배하는 것이 가능하다.

다중화 시스템(1)에서, 예를 들면 각각의 스트림에 관한 시스템 정보는 1차 다중화된 스트림에 부가될 수 있다. 시스템 정보는 디코더에 의해 복수의 프로그램 중 특정한 것을 구성하는 비디오 또는 오디오 스트림을 선택할 때 참조해야 하는 이를테면 테이블 정보와 같은 보조정보에 의해 예시될 수 있다. 현재의 다중화 시스템(1)에서, 시스템 정보는 나머지 단계-1 다중화된 스트림과 동일한 방식으로 비트 레이트를 분배함으로써 1차 다중화된 스트림으로 다중화될 수 있다.

또한, 다중화 시스템(1)에서, 레이트 할당 영역(T), 인터리빙 패턴(IP), 1차 다중화된 스트림의 비트 레이트 및 2차 다중화된 스트림의 비트 레이트는 인터리브된 파라미터를 나타내기 때문에, 이들 파라미터를 상호 조정함으로서 최적의 2차 다중화를 보장하기 위해서 제어를 수행할 수 있다.

예를 들면, 1차 다중화된 스트림에 할당될 비트 레이트는 미리 설정될 수 있으며, 아니면 그 대안으로 인터리빙 패턴(IP) 또는 2차 다중화된 스트림의 의 비트 레이트는 서버 등으로부터 공급된 미리 설정된 비트 레이트의 1차 다중화된 스트림의 비트 레이트에 기초하여 설정될 수 있다. 대안으로, 1차 멀티플렉서(2a 내지 2n)의 디코더 버퍼에 대한 디코더 마진는 미리 설정된 마진 내에서 2차 다중화가 수행될 수 있게 하기 위해서, 인터리빙 패턴(IP) 또는 2차 다중화된 스트림의 비트 레이트를 설정하기 위해 미리 설정될 수 있다.

본 발명의 제2 실시예에 따른 다중화 시스템을 이제 설명하겠다.

다중화 시스템의 제2 실시예의 다음 설명에서, 제 1 실시예의 구성요소와 유사한 것들엔 동일 참조부호로 표기하였고 대응하는 설명은 간단하게 하기 위해서 생략한다.

도 10은 본 발명의 제2 실시예의 다중화 시스템(50)의 블록도이다.

다중화 시스템(50)은 1차 다중화된 스트림을 발생하기 위해서 복수의 1차 멀티플렉서(2a 내지 2n), 및 2차 다중화된 스트림을 발생하기 위해서 1차 멀티플렉서(2a 내지 2n)로부터 1차 다중화된 스트림을 더 다중화하는 2차 멀티플렉서(51)를 포함한다. 2차 멀티플렉서(51)는 1차 멀티플렉서(2a 내지 2n)에 의해 발생된 1차 다중화된 스트림을 수신하여 일시 저장하는 복수의 수신 메모리(4a 내지 4n), 및 수신 메모리(4a 내지 4n) 내에 저장된 1차 다중화된 스트림을 선택하여 2차 다중화하기 위해 널(null) 패킷의 레이트를 조정하는 스위칭 유닛(52)을 포함한다. 2차 멀티플렉서(51)는 또한 1차 멀티플렉서(2a 내지 2n)에 의해 발생된 1차 다중화된 스트림의 비트 레이트를 제어하는 제어기(6), 및 스위칭 유닛(52)에 의해 발생된 2차 다중화된 스트림 내에 인코딩된 PCR를 정정하는 시간 정보 정정 유닛(53)을 포함한다.

상기 다중화 시스템(50)은 레이트 할당 영역(T)에 의존하지 않고 1차 다중화된 스트림의 비트 레이트 또는 인터리빙 패턴(IP)을 결정할 때, 또는 복수의 2차 다중화된 스트림의 전송 패킷이 레이트 할당 영역(T) 내에 설정될 수 없는 경우에 적용된다.

2차 멀티플렉서(51)의 스위칭 유닛(52)에는 비트 레이트 조정을 위한 널 패킷이 공급된다. 스위칭 유닛(52)은 제어기(6)에 의한 제어하에서 2차 다중화된 스트림에 널 패킷을 삽입한다. 이 널 패킷은 ISO13818-1에 규정된 전송 패킷으로서 수신장치측에 의해 디코더 버퍼로 넣어지지 않고 삭제되는 데이터이다. 이 널 패킷은 인터리빙 패턴(IP)의 비트 레이트 및 각각의 1차 다중화된 스트림이 레이트 할당 영역(T)에 의존하지 않고 설정될 때 레이트 할당 영역(T)의 경계에서 2차 다중화된 스트림의 일정한 비트 레이트를 유지하기 위해서 때때로 삽입된다.

시간 정보 정정 유닛(53)는 스위칭 유닛(52)에 의해 발생된 2차 다중화된 스트림의 PCR의 값을 실제 2차 다중화 타이밍에 재기입하다. 시간 정보 정정 유닛(53)은 2개의 레이트 할당 영역(T) 사이에 걸쳐 놓인 2차 다중화된 스트림의 전송 패킷이 존재하게 레이트 할당 영역(T) 내에 있도록 2차 다중화된 스트림의 정수개의 전송 패킷이 설정될 수 없는 경우 2차 다중화 지터를 감소시키기 위해서 PCR를 정정한다.

레이트 할당 영역(T)에 의존하지 않고 인터리빙 패턴(IP) 및 각각의 1차 다중화된 스트림의 비트 레이트를 설정하는 방법을 도 11을 참조하여 설명한다.

각각의 1차 다중화된 스트림의 비트 레이트를 레이트 할당 영역(T)에 의존하지 않고 설정한다면, 각각의 1차 다중화된 스트림(Sa 내지 Se)의 전송 패킷들간 경계와 레이트 할당 영역(T)의 경계와 일치하지 않는다. 이에 따라, 제어기(6)는 레이트 할당 영역(T(k)) 대신 다음 새로운 레이트 할당 영역(T(k+ 1))부터 레이트 할당 영역(T)에 걸쳐 놓인 1차 다중화된 스트림의 전송 패킷을 2차 다중화한다.

마찬가지로, 인터리빙 패턴(IP)이 레이트 할당 영역(T)에 의존하지 않고 설정된다면, 인터리빙 패턴(IP)의 경계와 레이트 할당 영역(T(k))의 경계는 일치하지 않는다. 따라서, 제어기(6)는 레이트 할당 영역(T)의 경계에서 레이트 할당 영역(T)에 걸쳐 놓인 인터리빙 패턴(IP)을 없앤다. 레이트 할당 영역(T(k))에 걸쳐 놓인 전송 패킷(TP)은 1차 다중화된 형태로 출력되지 않기 때문에, 주어진 레이트 할당 영역(T(k))에 속하는 1차 다중화된 스트림의 전송 패킷은 인터리빙 패턴(IP)을 없앤 때에도 레이트 할당 영역(T(k)) 내에서 부득이 2차 다중화된다.

인터리빙 패턴(IP)의 경계 또는 1차 다중화된 스트림(Sa 내지 Se)의 전송 패킷이 레이트 할당 영역(T(k))의 경계에 걸쳐 놓여 있어 2차 다중화될 전송 패킷이 없다면, 스위칭 유닛(52)은 2차 다중화된 스트림의 일정한 비트 레이트를 유지하기 위해서 널 패킷을 삽입한다.

발명의 효과

다중화 시스템(50)에 의해서, 전술한 바와 같이, 인터리빙 패턴(IP) 및 각각의 1차 다중화된 스트림의 비트 레이트를 레이트 할당 영역(T)에 의존하지 않고 설정할지라도 2차 다중화될 전송 패킷의 시퀀스를 유일하게 설정하는 것이 가능하므로, 수신 메모리(4a 내지 4n)에 1차 다중화된 스트림을 전송할 때 실시간 동작하지 않는 버스트형 버스를 사용하는 것이 가능하게 된다. 또한, 다중화 시스템(50)에서, 2차 다중화는 일정한 작은 2차 다중화 지터 내에서 오동작 없이 수행될 수 있다. 미리 설정된 인터리빙 패턴(IP) 내의 2차 다중화 지터의 최대값은 다중화 시스템(1)의 상기 기술한 제 1 실시예와 동일한 방식으로 발견될 수 있다. 디코더 버퍼의 오동작은 1차 다중화를 수행할 때 디코더 버퍼의 상한 및 하한에 대해 미리 알고 있는 작은 마진을 취하는 각각의 1차 멀티플렉서(2a 내지 2n)에 의해 확실하게 방지된다. 또한, 다중화 시스템(50)에서, PCR 정정은 PCR이 선단 우선순위 시퀀스 범위의 전송 패킷에만 인코딩된다면 필요하지 않다. 또한, 인터리빙 패턴 IP의 시간 기간을 0.1초보다 길지 않게 설정함으로써 ISO13818-1의 기준에 대처할 수 있다.

2차 다중화된 스트림의 정수개의 전송 패킷이 레이트 할당 영역(T) 내에 있도록 설정될 수 있는 경우를 설명한다.

2차 다중화된 스트림의 정수개의 전송 패킷이 레이트 할당 영역(T) 내에 있도록 설정될 수 있는 경우는 2차 다중화된 스트림의 비트 레이트가 방송 구성에 기인하여 송신채널에 의해 설정되는 경우 또는 레이트 할당 영역(T)이 화상 데이터의 프레임 간격에 의해서 또는 1차 멀티플렉서(2a 내지 2n)의 조건에 의해 결정되는 경우이다.

이러한 경우, 도 12 및 도 12의 A 부분을 확대하여 도시한 도 13a에 도시한 바와 같이, 레이트 할당 영역(T)의 경계에 걸쳐 2차 다중화된 스트림의 전송 패킷이 있다. 이 전송 패킷이 삭제된다면, 3차원 2차 다중화된 스트림의 비트 레이트가 변경된다. 따라서, 2차 멀티플렉서(51)는 다음 방식으로 레이트 할당 영역 (T)에 걸쳐 놓인 2차 다중화된 스트림의 전송 패킷을 처리한다.

즉, 2차 다중화될 레이트 할당 영역(T(k))에 속하는 1차 다중화된 스트림의 어떠한 전송 패킷이라도 미리 설정된 레이트 할당 영역(T(k)) 및 다음 레이트 할당 영역(T(k+ 1))에 걸쳐 2차 다중화된 스트림의 전송 패킷 내에 남아 있다면, 2차 멀티플렉서(51)는 그 전송 패킷이 레이트 할당 영역(T(k))에 속하며, 이에 따라 도 13b에 도시한 바와 같이 그 전송 패킷을 다중화하는 것으로 간주한다.

한편, 2차 다중화될 레이트 할당 영역(T(k))에 속하는 1차 다중화된 스트림의 전송 패킷이 미리 설정된 레이트 할당 영역(T(k)) 및 다음 레이트 할당 영역(T(k+ 1))에 걸쳐 2차 다중화된 스트림의 전송 패킷 내에 남아 있지 않다면, 2차 멀티플렉서(51)는 그 전송 패킷은 다음 레이트 할당 영역(T(k+ 1))에 속하며, 이에 따라 도 13c에 도시한 바와 같이 그 전송 패킷을 다중화하는 것으로 간주한다.

다중화 시스템(50)에서, 2차 다중화된 스트림의 정수개의 전송 패킷이 레이트 할당 영역(T) 내에 있도록 설정될 수 없다면, 2차 다중화될 전송 패킷의 시퀀스를 미리 유일하게 설정하는 것이 가능하므로 1차 다중화된 스트림을 수신 메모리(4a 내지 4n)으로 전송할 때 실시간으로 동작하지 않는 버스트형 버스를 사용할 수 있게 된다. 또한, 다중화 시스템(50)에서, 2차 다중화는 일정한 작은 2차 다중화 지터 내에서 오동작 없이 달성될 수 있다.

한편, 2차 다중화된 스트림의 정수개의 전송 패킷이 레이트 할당 영역 (T) 내에 있도록 설정될 수 없다면, 2개의 인터리빙 패턴(IP)의 경계에 걸쳐 놓인 전송 패킷이 존재한다. 그러므로, 미리 설정된 인터리빙 패턴(IP)에서 2차 다중화 지터의 최대값은 다음의 식에 의해 발견될 수 있다.

(2차 다중화 지터의 최대값)

= (188 x 8 x (I + 1)/R - (188 x 8)/Pmax(초).

2차 다중화 지터의 최대값이 이러한 방식으로 다중화 시스템(50)에서 설정될 수 있기 때문에, 1차 다중화를 행하기 위해서 미리 알고 있는 작은 마진을 디코더 버퍼의 상한 및 하한값으로서 설정하는 각각의 1차 멀티플렉서(2a 내지 2n)에 의해 디코더 버퍼의 오동작 발생이 확실히 방지될 수 있다.

또한, 2차 다중화된 스트림의 정수개의 전송 패킷이 레이트 할당 영역(T) 내에 있도록 설정될 수 없다면, 2개의 인터리빙 패턴(IP)의 경계에 걸쳐 놓인 전송 패킷이 존재하므로 2차 다중화 지터는 PCR이 인코딩되는 고정된 우선순위 시퀀스 범위의 전송 패킷에 발생된다. 따라서, 다중화 시스템(50)은 시간 정보 정정 유닛(53)이 PCR값을 정정하게 한다.

(57) 청구의 범위

청구항 1.

디지털 신호들을 위한 다중화 장치로서, 상기 디지털 신호들의 하나 이상의 비트 스트림들을 패킷화하여 패킷들을 형성하고 상기 각각의 비트 스트림들을 패킷 단위로 다중화하여 얻어진 복수의 1차 다중화된 스트림들을 수신하며, 상기 수신된 복수의 1차 다중화된 스트림들을 다중화하는 다중화 장치에 있어서,

상기 복수의 1차 다중화된 스트림들을 수신하는 수신 수단;

상기 수신 수단으로부터 수신된 상기 각각의 1차 다중화된 스트림들을 시분할적으로 다중화하여 2차 다중화된 스트림을 발생하는 다중화 수단; 및

상기 패킷들의 시분할 다중화 시퀀스를 미리 설정된 주기로 반복되는 인터리빙 패턴들로서 설정하고 상기 인터리빙 패턴들에 기초하여 상기 다중화 수단을 제어하는 제어 수단을 포함하는, 디지털 신호 다중화 장치.

청구항 2.

제 1 항에 있어서,

상기 제어 수단은 상기 인터리빙 패턴들에 기초하여 상기 각각의 1차 다중화된 스트림들의 비트 레이트들, 및 상기 2차 다중화된 스트림의 비트 레이트를 제어하는, 디지털 신호 다중화 장치.

청구항 3.

제 1 항에 있어서,

상기 제어 수단은 상기 1차 다중화된 스트림들의 비트 레이트들 및 상기 2차 다중화된 스트림의 비트 레이트에 기초하여 상기 인터리빙 패턴들을 설정하는, 디지털 신호 다중화 장치.

청구항 4.

제 1 항에 있어서,

상기 제어 수단은 레이트 할당 영역을 설정하고 상기 1차 다중화된 스트림들의 비트 레이트들을 제어하기 위해서 레이트 할당 영역마다 상기 인터리빙 패턴들을 설정하는, 디지털 신호 다중화 장치.

청구항 5.

제 4 항에 있어서,

상기 제어 수단은 상기 레이트 할당 영역을 상기 2차 다중화된 스트림의 상기 패킷들의 출력 시간의 정수배와 동일한 시간으로 설정하는, 디지털 신호 다중화 장치.

청구항 6.

제 4 항에 있어서,

상기 제어 수단은 상기 레이트 할당 영역을 상기 인터리빙 패턴의 출력 시간의 정수배와 동일한 시간으로 설정하는, 디지털 신호 다중화 장치.

청구항 7.

제 4 항에 있어서,

상기 제어 수단은 상기 레이트 할당 영역 내에 포함된 2차 다중화된 스트림의 패킷들의 수를 상기 각각의 1차 다중화된 스트림들에 분배하여 상기 인터리빙 패턴들을 설정하는, 디지털 신호 다중화 장치.

청구항 8.

제 4 항에 있어서,

상기 제어 수단은 상기 인터리빙 패턴들 내에 포함된 패킷들에 응답하여 상기 1차 다중화된 스트림들의 비트 레이트들을 제어하는, 디지털 신호 다중화 장치.

청구항 9.

제 4 항에 있어서,

상기 레이트 할당 영역들의 경계에 걸쳐 놓인 1차 다중화된 스트림의 패킷이 존재하면, 상기 다중화 수단은 상기 패킷의 레이트 할당 영역 내의 상기 패킷을 다중화하지 않으며, 다중화될 상기 1차 다중화된 스트림의 패킷이 상기 인터리빙 패턴에 존재하지 않으면, 상기 다중화 수단은 더미 데이터로 구성된 패킷을 상기 인터리빙 패턴에 다중화하는, 디지털 신호 다중화 장치.

청구항 10.

제 4 항에 있어서,

상기 레이트 할당 영역의 경계에 걸쳐 놓인 1차 다중화된 스트림의 패킷이 존재하며, 상기 패킷이 다중화될 레이트 할당 영역 내에 남아 있으면, 상기 다중화 수단은 상기 패킷이 상기 레이트 할당 영역에 속한다는 가정하에 상기 패킷을 다중화하며, 상기 패킷이 다중화될 상기 레이트 할당 영역 내에 남아 있지 않으면, 상기 다중화 수단은 상기 패킷이 다음 레이트 할당 영역에 속한다는 가정하에 상기 패킷을 다중화하는, 디지털 신호 다중화 장치.

청구항 11.

제 1 항에 있어서,

상기 제어 수단은 디코더의 업스트림에 제공된 디코더 버퍼의 오동작을 방지하기 위한 방식으로, 상기 인터리빙 패턴들에 기인하는 상기 1차 다중화된 스트림의 미리 설정된 패킷 및 상기 2차 다중화된 스트림의 상기 패킷의 출력 타이밍 사이에 발생된 시간 편차의 최대값에 기초하여 각각의 1차 다중화된 스트림 내에 발생된 코드의 양을 제어하는, 디지털 신호 다중화 장치.

청구항 12.

제 1 항에 있어서,

상기 제어 수단은 상기 인터리빙 패턴들을 설정하기 위해서, 상기 디코더 업스트림에 제공된 디코더 버퍼의 오동작을 야기하지 않도록 제어되는 각각의 1차 다중화된 스트림의 코드의 양에 기초하여, 상기 1차 다중화된 스트림의 미리 설정된 패킷 및 상기 2차 다중화된 스트림의 상기 패킷의 출력 타이밍 사이에 발생된 상기 시간 편차의 최대값을 설정하는, 디지털 신호 다중화 장치.

청구항 13.

제 12 항에 있어서,

상기 제어 수단은 상기 인터리빙 패턴들의 시간 길이를 상기 2차 다중화된 스트림에 첨부된 시간 기준값으로서 상기 PCR의 최대 간격 내에 있도록 설정하는, 디지털 신호 다중화 장치.

청구항 14.

제 1 항에 있어서,

상기 제어 수단은 상기 인터리빙 패턴의 선단에서 각각의 하나의 패킷이 상기 1차 다중화된 스트림들의 전체로부터 선택되도록 상기 인터리빙 패턴을 설정하는, 디지털 신호 다중화 장치.

청구항 15.

제 14 항에 있어서,

상기 수신 수단은 시간 기준값들이 첨부되는 상기 선단들의 패킷들에 상기 1차 다중화된 스트림들을 수신하는, 디지털 신호 다중화 장치.

청구항 16.

제 15 항에 있어서,

상기 수신 수단은 상기 선단에서 전송 패킷에 첨부된 프로그램 클록 기준 PCR을 갖는 ISO13818-1에 규정된 바와 같이 1차 다중화된 스트림을 수신하는, 디지털 신호 다중화 장치.

청구항 17.

제 16 항에 있어서,

상기 인터리빙 패턴의 상기 시간 길이는 ISO-13818-1에 규정된 바와 같이 상기 PCR의 최대 간격 내에 있도록 설정되는, 디지털 신호 다중화 장치.

청구항 18.

제 1 항에 있어서,

상기 다중화 수단은 상기 1차 다중화된 스트림들의 전송에 의해 야기된 지연시간보다 긴 시간의 경과 후에 상기 1차 다중화된 스트림들을 시분할적으로 다중화하는, 디지털 신호 다중화 장치.

청구항 19.

제 1 항에 있어서,

상기 수신 수단은 ISO13818-1에 의해 규정된 바와 같이 전송 스트림을 수신하며, 상기 다중화 수단은 ISO13818-1에 의해 규정된 바와 같이 전송 스트림을 발생하는, 디지털 신호 다중화 장치.

청구항 20.

디지털 신호들을 다중화하는 방법에 있어서,

상기 디지털 신호들의 하나 이상의 비트 스트림들을 패킷화하여 패킷들을 형성하고 패킷 단위로 상기 비트 스트림들을 다중화하여 얻어진 복수의 1차 다중화된 스트림들을 수신하는 단계;

상기 패킷들의 시분할 다중화 시퀀스를 미리 설정된 주기로 반복되는 인터리빙 패턴들로서 설정하는 단계; 및

상기 인터리빙 패턴들에 기초하여 선택된 상기 패킷들을 제어하여 패킷 단위로 상기 수신된 1차 다중화된 스트림들을 시분할적으로 다중화하여 2차 다중화된 스트림을 발생하는 단계를 포함하는, 디지털 신호 다중화 방법.

청구항 21.

제 20 항에 있어서,

상기 각각의 1차 다중화된 스트림들의 비트 레이트들은 상기 인터리빙 패턴들 및 상기 2차 다중화된 스트림의 비트 레이트에 기초하여 제어되는, 디지털 신호 다중화 방법.

청구항 22.

제 20 항에 있어서,

상기 인터리빙 패턴들은 상기 1차 다중화된 스트림들의 비트 레이트들 및 상기 2차 다중화된 스트림의 비트 레이트에 기초하여 설정되는, 디지털 신호 다중화 방법.

청구항 23.

제 20 항에 있어서,

레이트 할당 영역이 설정되고 상기 인터리빙 패턴들은 상기 1차 다중화된 스트림들의 비트 레이트들을 제어하기 위해서 레이트 할당 영역마다 설정되는, 디지털 신호 다중화 방법.

청구항 24.

제 23 항에 있어서,

상기 레이트 할당 영역은 상기 2차 다중화된 스트림의 상기 패킷들의 출력 시간의 정수배와 동일한 시간으로 설정되는, 디지털 신호 다중화 방법.

청구항 25.

제 23 항에 있어서,

상기 레이트 할당 영역은 상기 인터리빙 패턴의 출력 시간의 정수배와 동일한 시간으로 설정되는, 디지털 신호 다중화 방법.

청구항 26.

제 23 항에 있어서,

상기 레이트 할당 영역 내에 포함된 상기 2차 다중화된 스트림의 패킷들의 수는 상기 인터리빙 패킷들을 설정하도록 상기 각각의 1차 다중화된 스트림들에 분배되는, 디지털 신호 다중화 방법.

청구항 27.

제 23 항에 있어서,

상기 1차 다중화된 스트림들의 비트 레이트들은 상기 인터리빙 패턴들에 포함된 패킷들에 응답하여 제어되는, 디지털 신호 다중화 방법.

청구항 28.

제 23 항에 있어서,

상기 레이트 할당 영역들의 경계에 걸쳐 놓인 상기 1차 다중화된 스트림의 패킷이 존재하면, 상기 패킷은 그것의 레이트 할당 영역 내에서 다중화되지 않으며, 상기 인터리빙 패턴으로 다중화될 상기 1차 다중화된 스트림의 패킷이 존재하지 않으면, 더미 데이터로 구성된 패킷이 상기 인터리빙 패턴으로 다중화되는, 디지털 신호 다중화 방법.

청구항 29.

제 23 항에 있어서,

상기 레이트 할당 영역의 경계에 걸쳐 놓인 상기 1차 다중화된 스트림의 패킷이 존재하고, 다중화될 레이트 할당 영역 내에 상기 패킷이 남아 있다면, 상기 패킷은 상기 패킷이 상기 레이트 할당 영역에 속한다는 가정하에 다중화되며, 다중화될 상기 레이트 할당 영역 내에 상기 패킷이 남아 있지 않다면, 상기 패킷은 상기 패킷이 다음 레이트 할당 영역에 속한다는 가정하에 다중화되는, 디지털 신호 다중화 방법.

청구항 30.

제 20 항에 있어서,

복수의 1차 다중화된 스트림들이 수신되며, 여기서 발생된 상기 코드의 양은 디코더 업스트림에 제공된 디코더 버퍼의 오동작을 방지하기 위한 방식으로, 상기 인터리빙 패턴들에 기인하는 상기 1차 다중화된 스트림의 미리 설정된 패킷 및 상기 2차 다중화된 스트림의 상기 패킷의 출력 타이밍 사이에 발생된 시간 편차의 최대값에 기초하여 제어되는, 디지털 신호 다중화 방법.

청구항 31.

제 20 항에 있어서,

상기 1차 다중화된 스트림의 미리 설정된 패킷 및 상기 2차 다중화된 스트림의 상기 패킷의 출력 타이밍 사이에 발생된 상기 시간 편차의 최대값은 상기 인터리빙 패턴들을 설정하기 위해서, 상기 디코더의 업스트림에 제공된 디코더 버퍼의 오동작을 야기하지 않도록 제어된 각각의 1차 다중화된 스트림의 상기 코드의 양에 기초하여 설정되는, 디지털 신호 다중화 방법.

청구항 32.

제 31 항에 있어서,

상기 인터리빙 패턴들의 시간 길이는 상기 2차 다중화된 스트림에 첨부된 시간 기준값으로서 상기 PCR의 최대 간격 내에 있도록 설정되는, 디지털 신호 다중화 방법.

청구항 33.

제 20 항에 있어서,

상기 인터리빙 패턴은 그것의 선단에서 각각의 한 패킷이 상기 1차 다중화된 스트림들 전체로부터 선택되도록 설정되는, 디지털 신호 다중화 방법.

청구항 34.

제 33 항에 있어서,

상기 1차 다중화된 스트림들은 시간 기준값들이 첨부된 상기 선단의 패킷들에 수신되는, 디지털 신호 다중화 방법.

청구항 35.

제 34 항에 있어서,

전송 패킷의 선단에서 전송 패킷에 첨부된 프로그램 클록 기준(PCR)을 갖는 ISO13818-1에 규정된 바와 같이 1차 다중화된 스트림이 수신되는, 디지털 신호 다중화 방법.

청구항 36.

제 35 항에 있어서,

상기 인터리빙 패턴의 시간 길이는 ISO13818-1에 규정된 바와 같이 상기 PCR의 최대 간격 내에 있도록 설정되는, 디지털 신호 다중화 방법.

청구항 37.

제 20 항에 있어서,

상기 1차 다중화된 스트림들은 상기 1차 다중화된 스트림들의 전송에 의해 야기된 상기 지연 시간보다 긴 시간의 경과 후에 시분할적으로 다중화되는, 디지털 신호 다중화 방법.

청구항 38.

제 20 항에 있어서,

ISO13818-1에 의해 규정된 바와 같이 전송 스트림이 수신되는, 디지털 신호 다중화 방법.

청구항 39.

디지털 신호들에 대한 송신 장치에 있어서,

패킷 단위로 각각의 비트 스트림들을 다중화하여 얻어진 1차 다중화된 스트림들을 발생하도록 상기 디지털 신호들의 하나 이상의 비트 스트림들을 다중화하는 복수의 1차 다중화 수단;

상기 1차 다중화 수단으로부터 상기 복수의 1차 다중화된 스트림들을 수신하는 수신 수단;

2차 다중화된 스트림을 발생하기 위해서 패킷 단위로 상기 수신 수단에 의해 수신된 상기 1차 다중화된 스트림들을 시분할적으로 다중화하는 다중화 수단;

인터리빙 패턴들에 기초하여 상기 다중화 수단을 제어하기 위해서 미리 설정된 주기로 반복되는 상기 인터리빙 패턴들으로서 상기 패킷들의 시분할 다중화 시퀀스를 설정하는 제어 수단; 및

상기 다중화 수단에 의해 발생된 상기 2차 다중화된 스트림을 송신하는 송신수단을 포함하는, 디지털 신호들에 대한 송신 장치.

청구항 40.

디지털 신호들을 송신하는 방법에 있어서,

패킷 단위로 각각의 비트 스트림들을 다중화하여 얻어진 복수의 1차 다중화된 스트림들을 발생하도록 상기 디지털 신호들의 하나 이상의 비트 스트림들을 다중화하는 단계;

상기 1차 다중화된 스트림들을 수신하는 단계;

미리 설정된 주기로 반복되는 인터리빙 패턴들로서 상기 패킷들의 시분할 다중화 시퀀스를 설정하는 단계;

상기 설정된 인터리빙 패턴들에 기초하여 선택되도록 패킷들을 제어하고 2차 다중화된 스트림을 발생하도록 패킷 단위로 상기 수신된 1차 다중화된 스트림들을 시분할적으로 다중화하는 단계를 포함하는, 디지털 신호 송신 방법.

청구항 41.

디지털 신호들에 대한 기록 장치에 있어서,

패킷 단위로 각각의 비트 스트림들을 다중화하여 얻어진 1차 다중화된 스트림들을 발생하도록 상기 디지털 신호들의 하나 이상의 비트 스트림들을 다중화하는 복수의 1차 다중화 수단;

상기 1차 다중화 수단으로부터 상기 복수의 1차 다중화된 스트림들을 수신하는 수신 수단;

2차 다중화된 스트림을 발생하도록 패킷 단위로 상기 수신 수단에 의해 수신된 상기 1차 다중화된 스트림들을 시분할적으로 다중화하는 다중화 수단;

인터리빙 패턴들에 기초하여 상기 다중화 수단을 제어하기 위해서 미리 설정된 주기로 반복되는 인터리빙 패턴들로서 상기 패킷들의 시분할 다중화 시퀀스를 설정하는 제어 수단; 및

상기 다중화 수단에 의해 발생된 상기 2차 다중화된 스트림을 기록하는 기록 수단을 포함하는, 디지털 신호들에 대한 기록 장치.

청구항 42.

디지털 신호들을 기록하는 방법에 있어서,

패킷 단위로 각각의 비트 스트림들을 다중화하여 얻어진 복수의 1차 다중화된 스트림들을 발생하도록 상기 디지털 신호들의 하나 이상의 비트 스트림들을 다중화하는 단계;

상기 1차 다중화된 스트림들을 수신하는 단계;

미리 설정된 주기로 반복되는 인터리빙 패턴들로서 상기 패킷들의 시분할 다중화 시퀀스를 설정하는 단계;

상기 설정된 인터리빙 패턴들에 기초하여 선택되도록 패킷들을 제어하고 2차 다중화된 스트림을 발생하도록 패킷 단위로 상기 수신된 1차 다중화된 스트림들을 시분할적으로 다중화하는 단계; 및

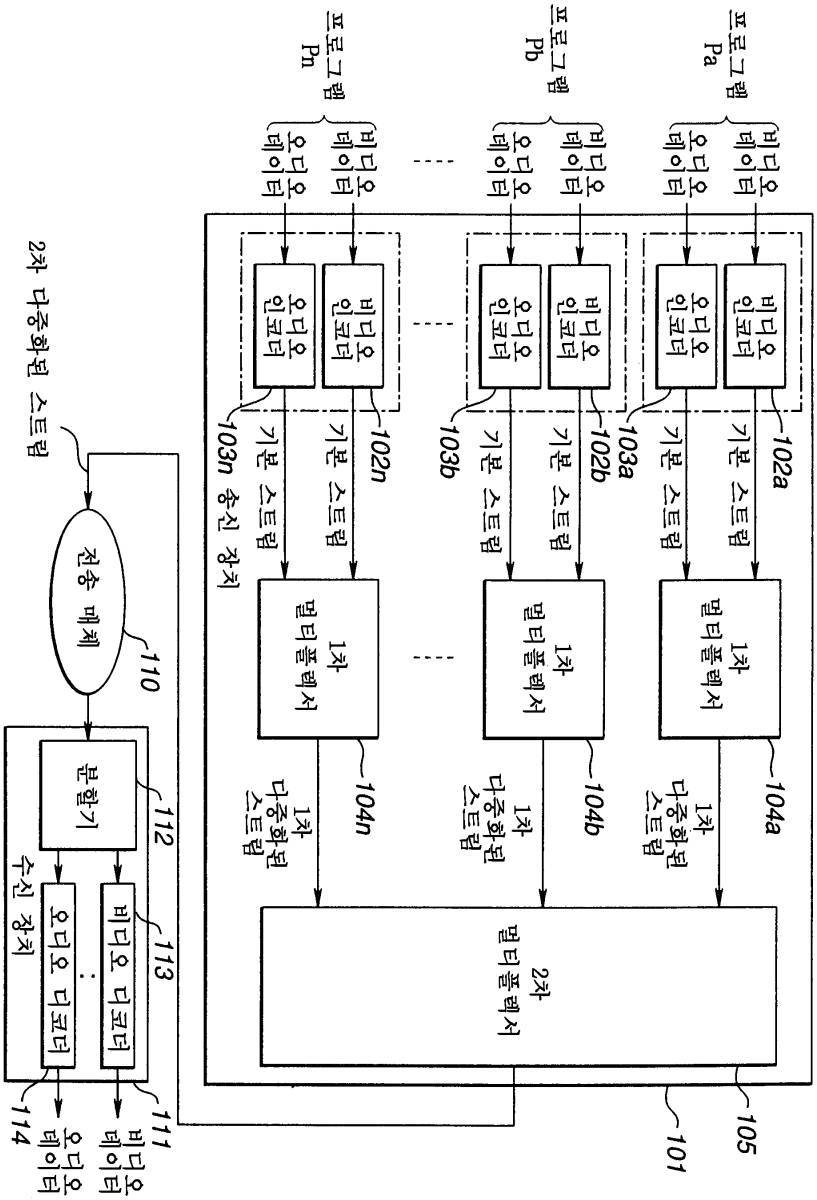
상기 발생된 2차 다중화된 스트림을 기록하는 단계를 포함하는, 디지털 신호 기록 방법.

청구항 43.

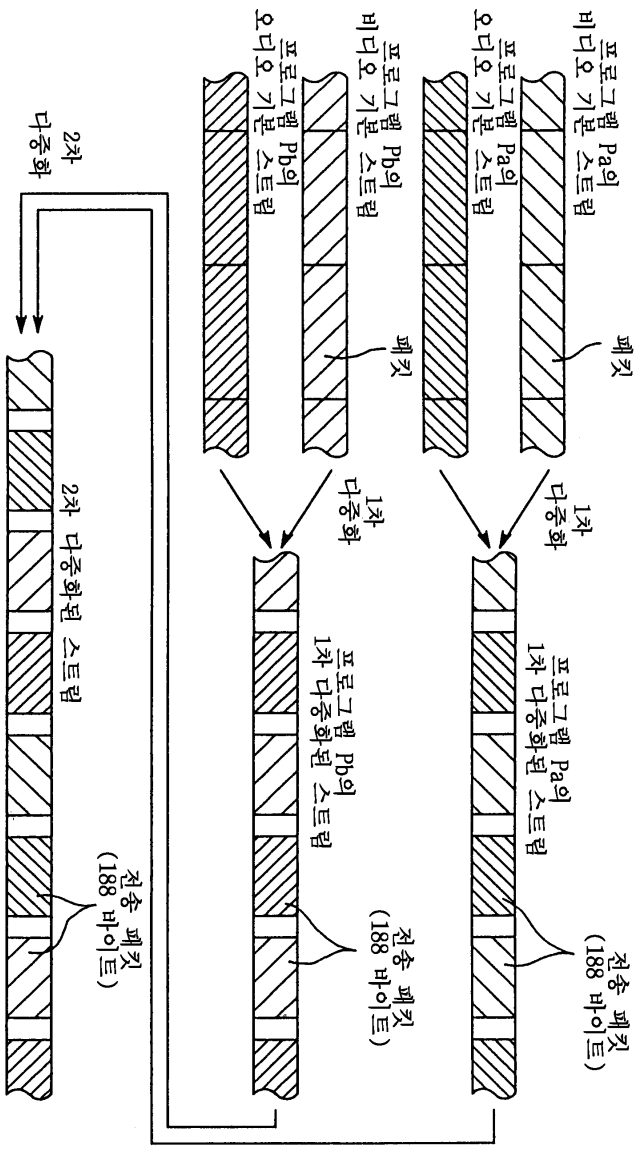
패킷 단위로 각각의 비트 스트림들을 다중화하여 얻어진 복수의 1차 다중화된 스트림들을 발생하도록 디지털 신호들의 하나 이상의 비트 스트림들을 다중화하고, 상기 1차 다중화된 스트림들을 수신하고, 미리 설정된 주기로 반복되는 인터리빙 패턴들로서 패킷들의 시분할 다중화 시퀀스를 설정하고, 상기 설정된 인터리빙 패턴들에 기초하여 선택되도록 상기 패킷들을 제어하고 2차 다중화된 스트림을 발생하도록 패킷 단위로 상기 수신된 1차 다중화된 스트림들을 시분할적으로 다중화하여 2차 다중화된 스트림을 발생하고, 상기 2차 다중화된 스트림을 기록하여 얻어진 상기 2차 다중화된 스트림이 기록된, 기록 매체.

도면

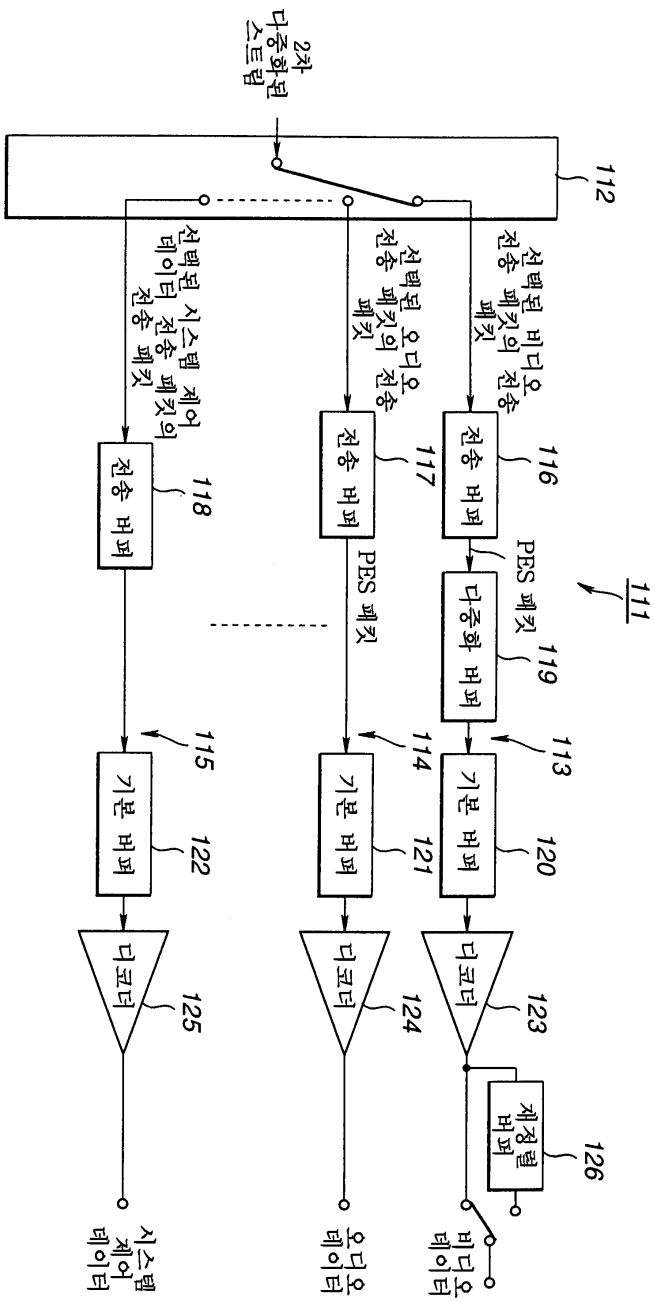
도면1



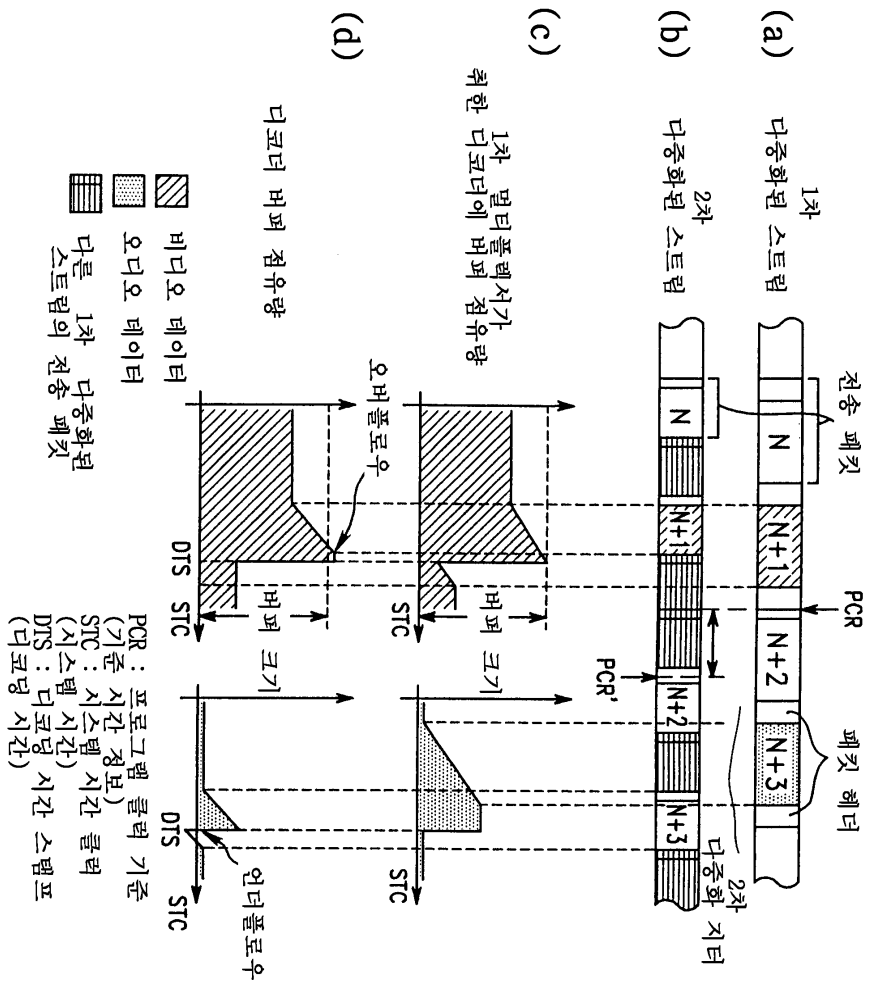
도면2


프로그램 Pa의
비디오 기본 스트림
프로그램 Pa의
오디오 기본 스트림
프로그램 Pb의
비디오 기본 스트림
프로그램 Pb의
오디오 기본 스트림
패킷
패킷
1차
다중화
1차
다중화
프로그램 Pa의
1차 다중화된 스트림
프로그램 Pb의
1차 다중화된 스트림
전송 패킷
(188 바이트)
전송 패킷
(188 바이트)
2차
다중화
2차 다중화된 스트림
전송 패킷
(188 바이트)

도면3


2차 다중화된 스트림
112
선택된 비디오 전송 패킷의 패킷
선택된 오디오 전송 패킷의 패킷
선택된 시스템 제어 데이터 전송 패킷의 패킷
전송 버퍼
116
전송 버퍼
117
전송 버퍼
118
PES 패킷
111
다중화 버퍼
119
기본 버퍼
113
기본 버퍼
114
기본 버퍼
115
기본 버퍼
120
기본 버퍼
121
기본 버퍼
122
디코더
123
디코더
124
디코더
125
재정렬 버퍼
126
비디오 데이터
오디오 데이터
시스템 제어 데이터

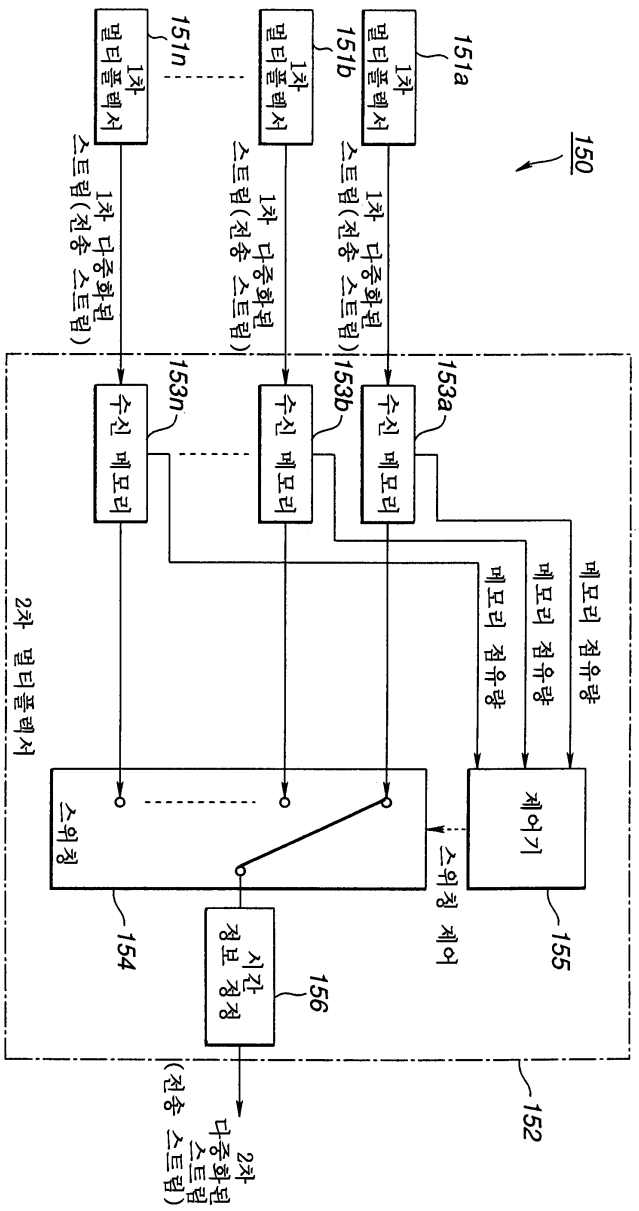
도면4


(a)
1차 다중화된 스트림
전송 패킷
N
N+1
N+2
N+3
PCR
패킷 헤더
(b)
2차 다중화된 스트림
N
N+1
N+2
N+3
PCR'
2차 다중화 지터
(c)
1차 멀티플렉서가 취한 디코더에 버퍼 점유량
오버플로우
버퍼 크기
STC
(d)
디코더 버퍼 점유량
DTS
STC
언더플로우
비디오 데이터
오디오 데이터
다른 1차 다중화된 스트림의 전송 패킷
PCR : 프로그램 클럭 기준 (기준 시간 정보)
STC : 시스템 시간 클럭 (시스템 시간)
DTS : 디코딩 시간 스탬프 (디코딩 시간)

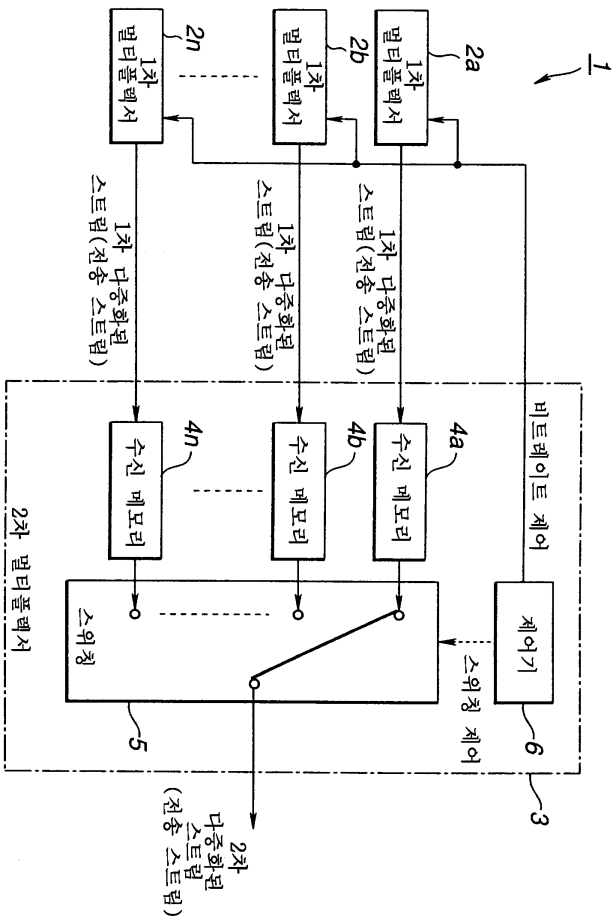
도면4a

삭제

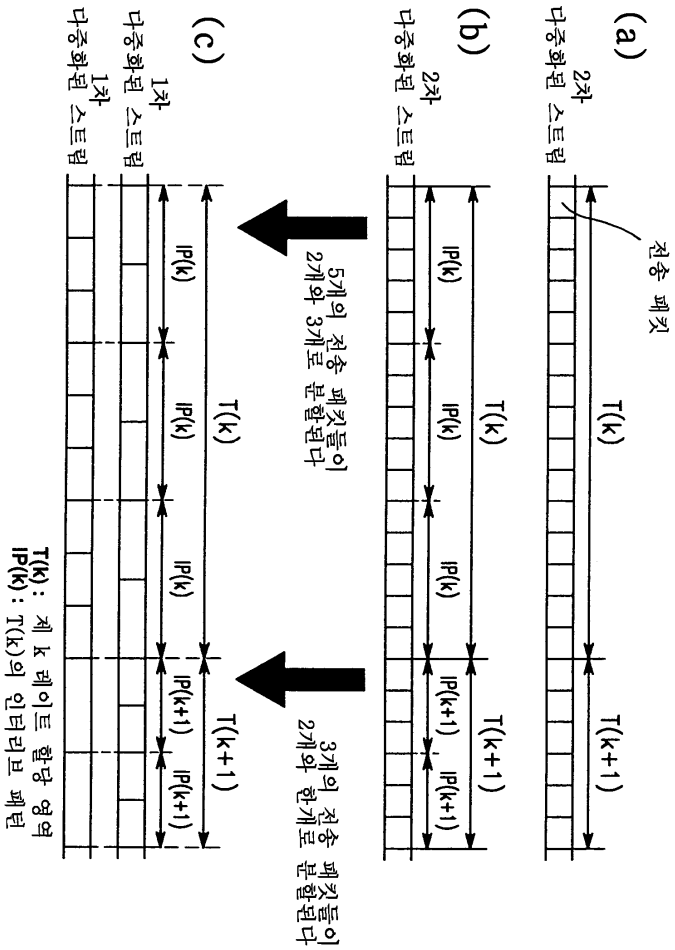
도면5


150
151a
1차 멀티플렉서
151b
1차 멀티플렉서
151n
1차 멀티플렉서
1차 다중화된 스트림(전송 스트림)
1차 다중화된 스트림(전송 스트림)
1차 다중화된 스트림(전송 스트림)
153a
수신 메모리
153b
수신 메모리
153n
수신 메모리
메모리 점유량
메모리 점유량
메모리 점유량
제어기
스위칭 제어
스위칭
154
155
시간 정보 정정
156
2차 다중화된 스트림(전송 스트림)
2차 멀티플렉서
152

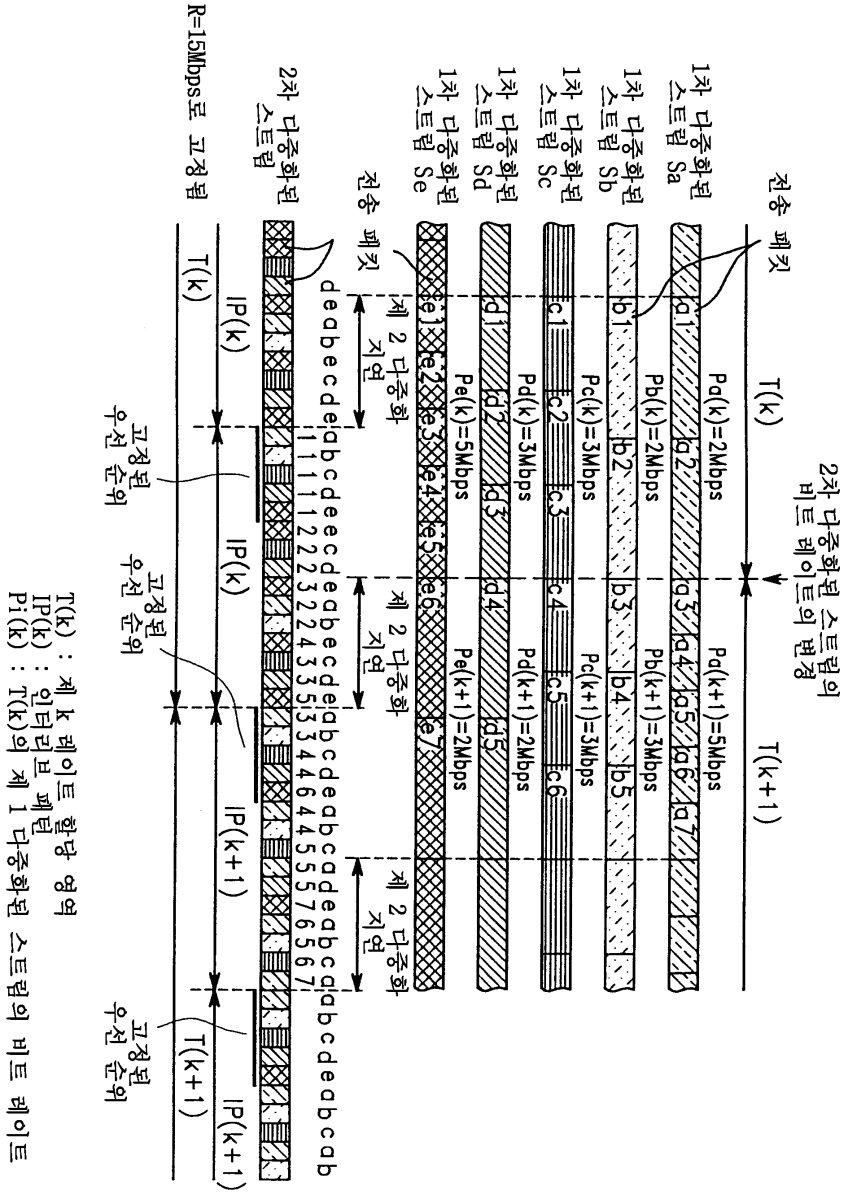
도면6


1
1차 멀티플렉서
2a
1차 멀티플렉서
2b
1차 멀티플렉서
2n
1차 다중화된 스트림(전송 스트림)
1차 다중화된 스트림(전송 스트림)
1차 다중화된 스트림(전송 스트림)
비트레이트 제어
수신 메모리
4a
수신 메모리
4b
수신 메모리
4n
제어기
스위칭 제어
스위칭
5
6
2차 멀티플렉서
3
2차 다중화된 스트림 (전송 스트림)

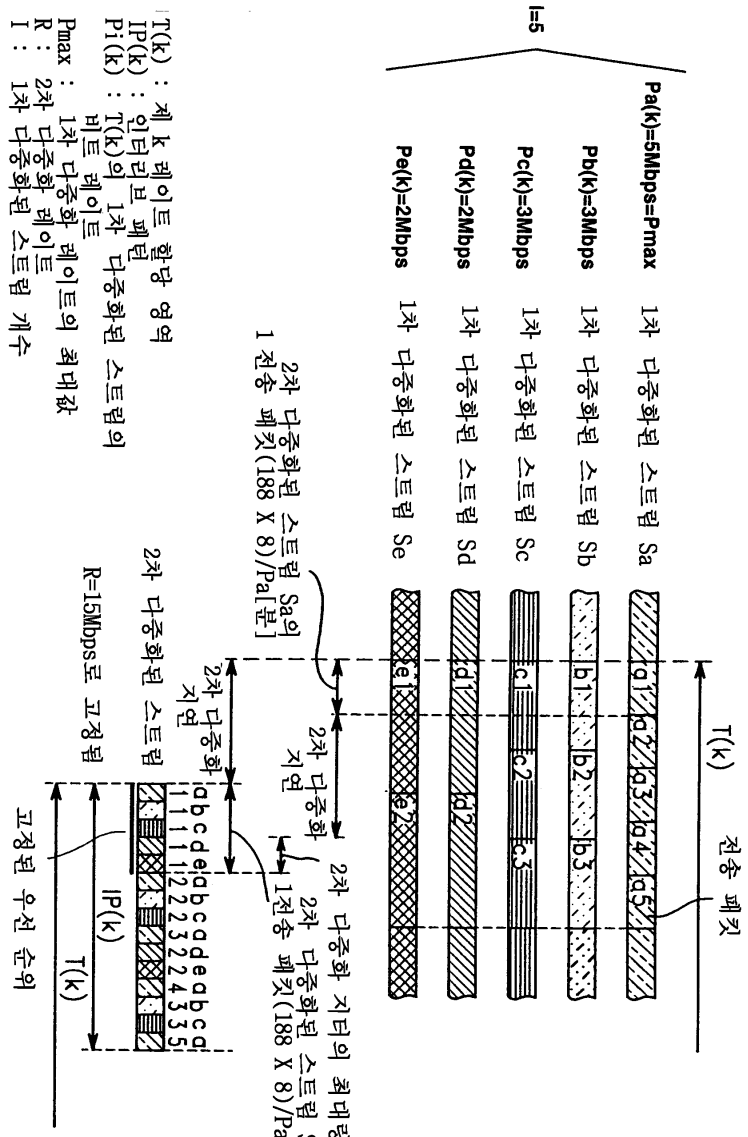
도면7


(a)
2차 다중화된 스트림
전송 패킷
T(k)
T(k+1)
(b)
2차 다중화된 스트림
IP(k)
IP(k)
IP(k)
IP(k+1)
IP(k+1)
T(k)
T(k+1)
5개의 전송 패킷들이 2개와 3개로 분할된다
3개의 전송 패킷들이 2개와 한개로 분할된다
(c)
1차 다중화된 스트림
IP(k)
IP(k)
IP(k)
IP(k+1)
IP(k+1)
T(k)
T(k+1)
1차 다중화된 스트림
T(k) : 제 k 레이트 할당 영역
IP(k) : T(k)의 인터리브 패턴

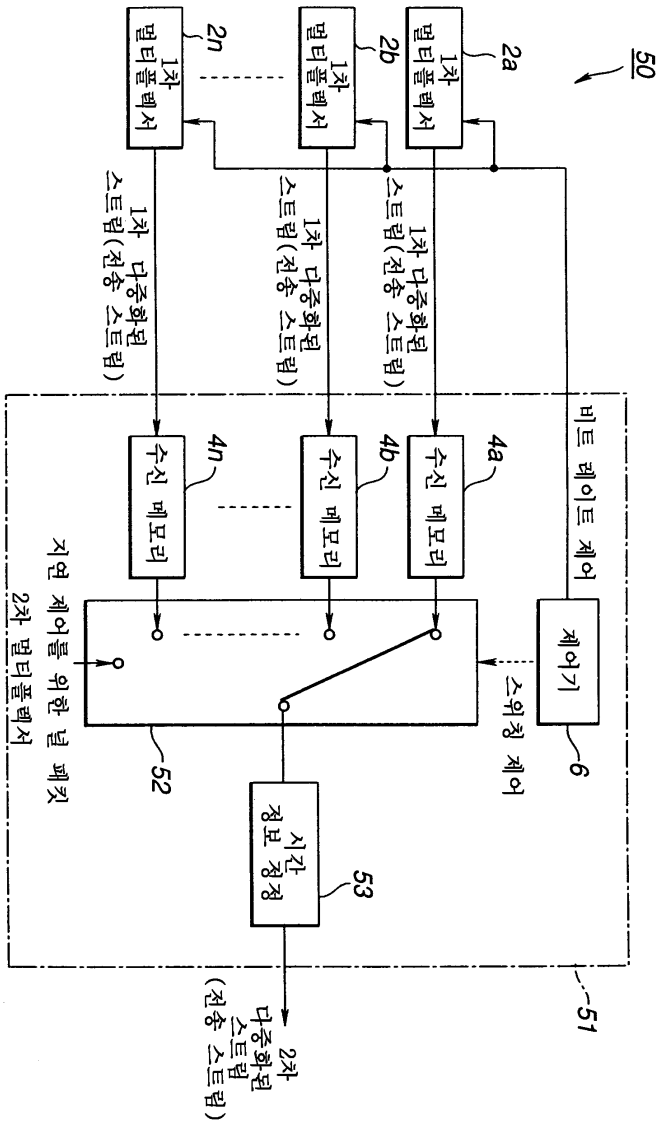
도면8


2차 다중화된 스트림의 비트 레이트의 변경
전송 패킷
T(k)
T(k+1)
1차 다중화된 스트림 Sa
Pa(k)=2Mbps
Pa(k+1)=5Mbps
1차 다중화된 스트림 Sb
Pb(k)=2Mbps
Pb(k+1)=3Mbps
1차 다중화된 스트림 Sc
Pc(k)=3Mbps
Pc(k+1)=3Mbps
1차 다중화된 스트림 Sd
Pd(k)=3Mbps
Pd(k+1)=2Mbps
1차 다중화된 스트림 Se
Pe(k)=5Mbps
Pe(k+1)=2Mbps
전송 패킷
제 2 다중화 지연
제 2 다중화 지연
제 2 다중화 지연
2차 다중화된 스트림
R=15Mbps로 고정됨
T(k)
IP(k)
IP(k)
IP(k+1)
T(k+1)
IP(k+1)
고정된 우선 순위
고정된 우선 순위
고정된 우선 순위
T(k) : 제 k 레이트 할당 영역
IP(k) : 인터리브 패턴
P1(k) : T(k)의 제 1 다중화된 스트림의 비트 레이트

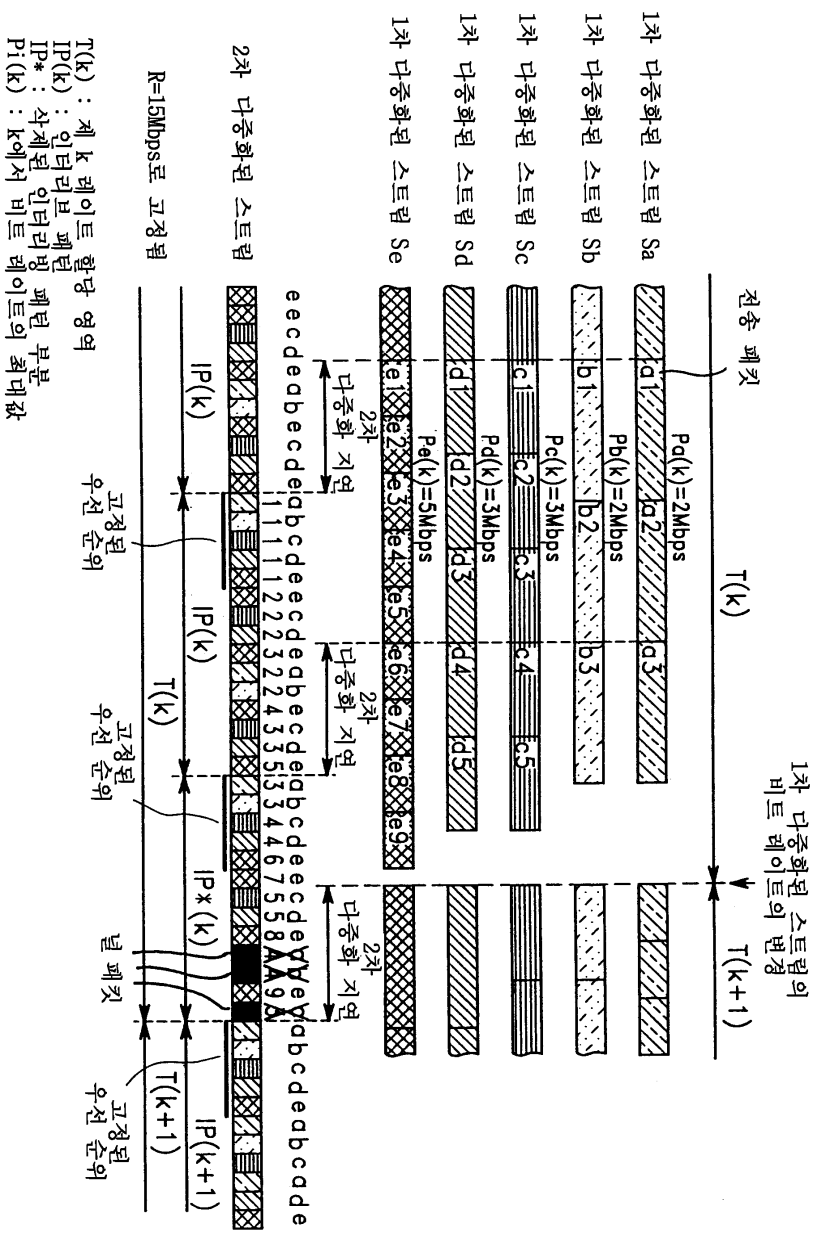
도면9


I=5
Pa(k)=5Mbps=Pmax
Pb(k)=3Mbps
Pc(k)=3Mbps
Pd(k)=2Mbps
Pe(k)=2Mbps
1차 다중화된 스트림 Sa
1차 다중화된 스트림 Sb
1차 다중화된 스트림 Sc
1차 다중화된 스트림 Sd
1차 다중화된 스트림 Se
T(k) 전송 패킷
2차 다중화된 스트림 Sa의 1 전송 패킷(188 X 8)/Pa[분]
2차 다중화 지연
2차 다중화 지터의 최대량
2차 다중화된 스트림 Sa의 1전송 패킷(188 X 8)/Pa[분]
2차 다중화된 스트림
R=15Mbps로 고정됨
IP(k)
T(k)
고정된 우선 순위
T(k) : 제 k 레이트 할당 영역
IP(k) : 인터리브 패턴
Pi(k) : T(k)의 1차 다중화된 스트림의 비트 레이트
Pmax : 1차 다중화 레이트의 최대값
R : 2차 다중화 레이트
I : 1차 다중화된 스트림 개수

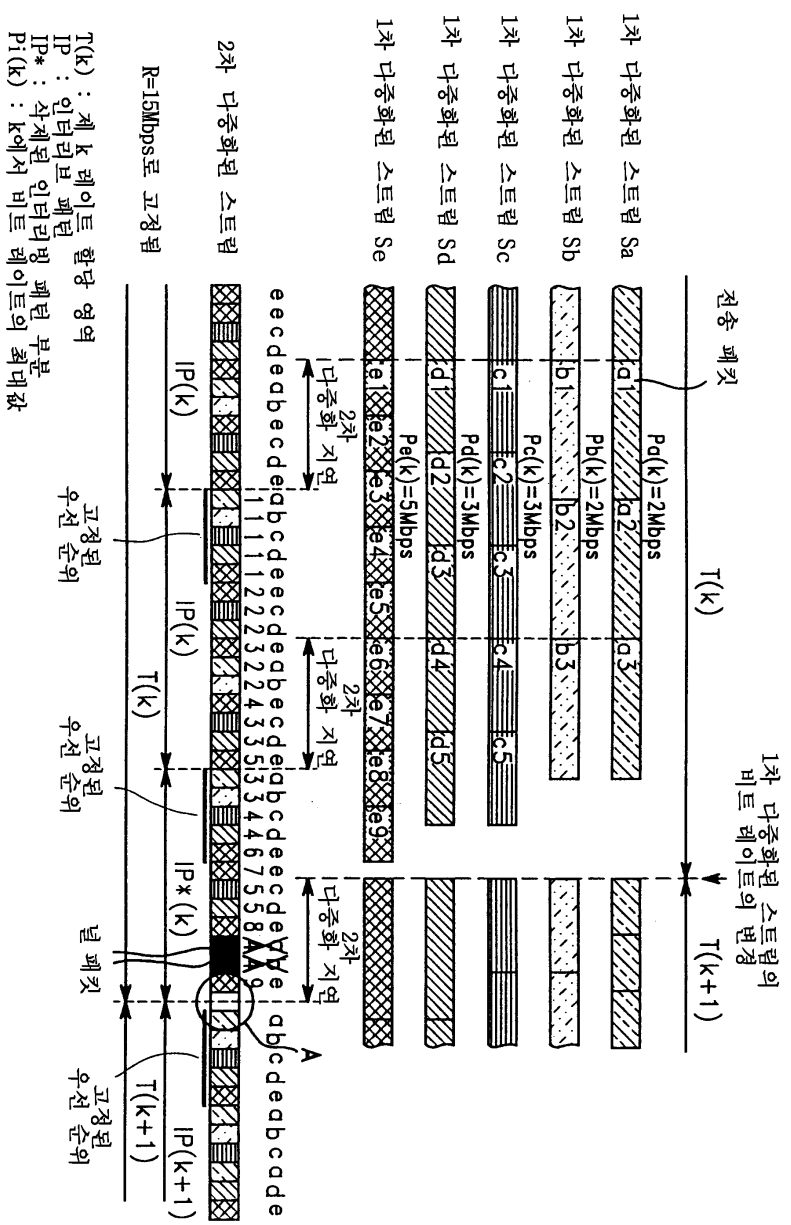
도면10


50
1차 멀티플렉서
2a
1차 멀티플렉서
2b
1차 멀티플렉서
2n
1차 다중화된 스트림(전송 스트림)
1차 다중화된 스트림(전송 스트림)
1차 다중화된 스트림(전송 스트림)
비트 레이트 제어
수신 메모리
4a
수신 메모리
4b
수신 메모리
4n
제어기
6
스위칭 제어
지연 제어를 위한 널 패킷
2차 멀티플렉서
52
시간 정보 정정
53
2차 다중화된 스트림(전송 스트림)
51

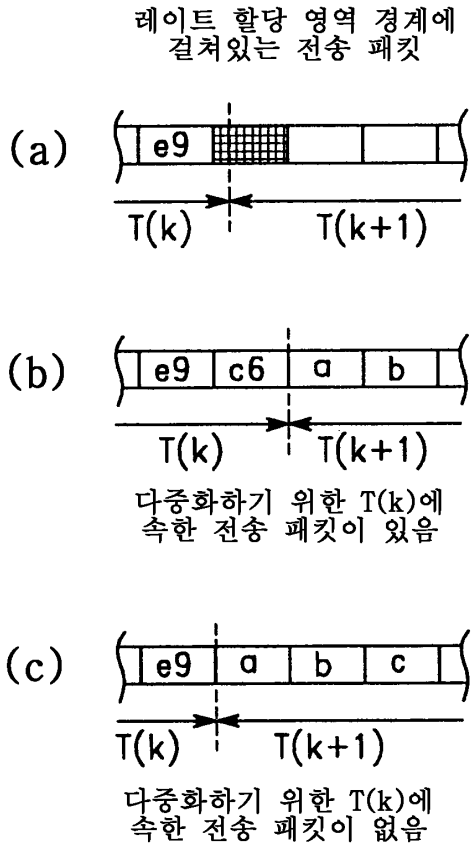
도면11


1차 다중화된 스트림의 비트 레이트의 변경
전송 패킷
T(k)
T(k+1)
1차 다중화된 스트림 Sa
1차 다중화된 스트림 Sb
1차 다중화된 스트림 Sc
1차 다중화된 스트림 Sd
1차 다중화된 스트림 Se
Pa(k)=2Mbps
Pb(k)=2Mbps
Pc(k)=3Mbps
Pd(k)=3Mbps
Pe(k)=5Mbps
2차 다중화 지역
2차 다중화된 스트림
R=15Mbps로 고정됨
IP(k)
IP*(k)
IP(k+1)
고정된 우선 순위
널 패킷
T(k) : 제 k 레이트 할당 영역
IP(k) : 인터리브 패턴
IP* : 삭제된 인터리빙 패턴 부분
Pi(k) : k에서 비트 레이트의 최대값

도면12


전송 패킷
1차 다중화된 스트림의 비트 레이트의 변경
T(k)
T(k+1)
1차 다중화된 스트림 Sa
1차 다중화된 스트림 Sb
1차 다중화된 스트림 Sc
1차 다중화된 스트림 Sd
1차 다중화된 스트림 Se
Pa(k)=2Mbps
Pb(k)=2Mbps
Pc(k)=3Mbps
Pd(k)=3Mbps
Pe(k)=5Mbps
2차 다중화 지역
2차 다중화된 스트림
R=15Mbps로 고정됨
IP(k)
IP*(k)
IP(k+1)
T(k)
T(k+1)
고정된 우선 순위
널 패킷
T(k) : 제 k 레이트 할당 영역
IP : 인터리브 패턴
IP* : 삭제된 인터리빙 패턴 부분
Pi(k) : k에서 비트 레이트의 최대값

도면13


레이트 할당 영역 경계에
걸쳐있는 전송 패킷
(a)
e9
T(k)
T(k+1)
(b)
e9
c6
a
b
T(k)
T(k+1)
다중화하기 위한 T(k)에
속한 전송 패킷이 있음
(c)
e9
a
b
c
T(k)
T(k+1)
다중화하기 위한 T(k)에
속한 전송 패킷이 없음