



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년08월16일  
 (11) 등록번호 10-2011616  
 (24) 등록일자 2019년08월09일

- (51) 국제특허분류(Int. Cl.)  
 H01L 29/66 (2006.01) H01L 27/12 (2006.01)  
 H01L 29/786 (2006.01)
- (52) CPC특허분류  
 H01L 29/66742 (2013.01)  
 H01L 27/1225 (2013.01)
- (21) 출원번호 10-2018-7027511(분할)
- (22) 출원일자(국제) 2010년06월17일  
 심사청구일자 2018년10월17일
- (85) 번역문제출일자 2018년09월21일
- (65) 공개번호 10-2018-0110174
- (43) 공개일자 2018년10월08일
- (62) 원출원 특허 10-2017-7034363  
 원출원일자(국제) 2010년06월17일  
 심사청구일자 2017년11월28일
- (86) 국제출원번호 PCT/JP2010/060699
- (87) 국제공개번호 WO 2011/001880  
 국제공개일자 2011년01월06일
- (30) 우선권주장  
 JP-P-2009-156414 2009년06월30일 일본(JP)
- (56) 선행기술조사문헌  
 JP2009099944 A\*  
 WO2009034953 A1\*  
 JP2008281988 A\*  
 JP2006080494 A\*  
 \*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
 사사끼 도시나리  
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
 사카따 준이찌로  
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
 (뒷면에 계속)
- (74) 대리인  
 장수길, 박충범, 이중희

전체 청구항 수 : 총 15 항

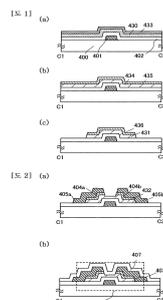
심사관 : 김중호

(54) 발명의 명칭 **반도체 장치 제조 방법**

**(57) 요약**

안정된 전기 특성을 갖는 박막 트랜지스터를 포함하는 신뢰성이 높은 반도체 장치를 제공하는 것이 목적이다. 높은 양산성과 저비용으로 신뢰성이 높은 반도체 장치를 제조하는 것이 또 다른 목적이다. 채널 형성 영역과 소스 영역 및 드레인 영역을 갖는 반도체층이 산화물 반도체층을 이용하여 형성되는 박막 트랜지스터를 포함하는 반도체 (뒷면에 계속)

**대표도**



체 장치의 제조 방법에 있어서, 산화물 반도체층의 순도를 개선하고 수분과 같은 불순물을 저감하는 열 처리(탈수화 또는 탈수소화를 위한 열 처리)가 수행된다. 게다가, 열 처리가 수행된 산화물 반도체층은 산소 분위기하에서 서랭된다.

(52) CPC특허분류

*H01L 29/66969* (2013.01)

*H01L 29/78606* (2013.01)

*H01L 29/7869* (2013.01)

(72) 발명자

**오하라 히로끼**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**야마자키 슌페이**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

## 명세서

### 청구범위

#### 청구항 1

반도체 장치 제조 방법으로서,

기판 위에 게이트 전극층을 형성하는 단계;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 위에 제1 산화물 반도체막을 형성하는 단계;

상기 제1 산화물 반도체막 위에 제2 산화물 반도체막을 형성하는 단계;

탈수화 또는 탈수소화되도록 상기 제1 산화물 반도체막 및 상기 제2 산화물 반도체막을 가열하는 단계;

상기 가열하는 단계 후에 상기 제1 산화물 반도체막 및 상기 제2 산화물 반도체막을 산소 분위기에서 서서히 냉각하는 단계;

상기 서서히 냉각하는 단계 후에 상기 제1 산화물 반도체막 및 상기 제2 산화물 반도체막을 선택적으로 에칭하여 제1 산화물 반도체층 및 제2 산화물 반도체층을 형성하는 단계;

상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층 위에 도전막을 형성하는 단계;

상기 제1 산화물 반도체층, 상기 제2 산화물 반도체층 및 상기 도전막을 선택적으로 에칭하여 반도체층, 소스 영역, 드레인 영역, 소스 전극층 및 드레인 전극층을 형성하는 단계; 및

상기 게이트 절연층, 상기 반도체층, 상기 소스 영역, 상기 드레인 영역, 상기 소스 전극층 및 상기 드레인 전극층 위에 상기 반도체층의 일부와 접하는 산화물 절연막을 형성하는 단계

를 포함하는, 반도체 장치 제조 방법.

#### 청구항 2

반도체 장치 제조 방법으로서,

제1 산화물 반도체층을 형성하는 단계;

상기 제1 산화물 반도체층 위에 제2 산화물 반도체층을 형성하는 단계;

불활성 가스 분위기에서 상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층에 열처리를 수행함으로써, 상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층의 온도를 상승시키는 단계;

상기 열처리를 수행한 후에, 산소 분위기에서 상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층의 온도를 하강시키는 단계;

상기 온도를 하강시키는 단계 후에, 상기 제1 산화물 반도체층의 일부를 노출하도록 상기 제2 산화물 반도체층의 일부를 에칭하는 단계; 및

상기 제1 산화물 반도체층 위에 있고, 상기 제1 산화물 반도체층의 상기 일부와 접하는 산화물 절연층을 형성하는 단계

를 포함하는, 반도체 장치 제조 방법.

#### 청구항 3

제2항에 있어서,

상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층 각각은 상기 열처리를 수행한 후에  $1 \times 10^{18} / \text{cm}^3$  이상의 캐리어 농도를 갖는, 반도체 장치 제조 방법.

**청구항 4**

삭제

**청구항 5**

제2항에 있어서,

상기 열처리는 400℃ 이상에서 수행되는, 반도체 장치 제조 방법.

**청구항 6**

제2항에 있어서,

상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층은 상기 열처리에 의해 탈수화 또는 탈수소화되는, 반도체 장치 제조 방법.

**청구항 7**

반도체 장치 제조 방법으로서,

제1 산화물 반도체층을 형성하는 단계;

상기 제1 산화물 반도체층 위에 제2 산화물 반도체층을 형성하는 단계;

불활성 가스 분위기에서 상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층에 제1 열처리를 수행함으로써, 상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층의 온도를 상승시키는 단계;

상기 제1 열처리를 수행한 후에, 산소 분위기에서 상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층의 온도를 하강시키는 단계;

상기 온도를 하강시킨 후에, 상기 제2 산화물 반도체층 위에 도전층을 형성하는 단계;

상기 제1 산화물 반도체층의 일부를 노출하도록 상기 제2 산화물 반도체층의 일부 및 상기 도전층의 일부를 에칭하는 단계; 및

상기 제1 산화물 반도체층 위에 있고, 상기 제1 산화물 반도체층의 상기 일부와 접하는 산화물 절연층을 형성하는 단계

를 포함하는, 반도체 장치 제조 방법.

**청구항 8**

제7항에 있어서,

상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층 각각은 상기 제1 열처리를 수행한 후에  $1 \times 10^{18} / \text{cm}^3$  이상의 캐리어 농도를 갖는, 반도체 장치 제조 방법.

**청구항 9**

제2항 또는 제7항에 있어서,

상기 제1 산화물 반도체층의 상기 일부는 상기 산화물 절연층을 형성하는 단계 후에  $1 \times 10^{18} / \text{cm}^3$  미만의 캐리어 농도를 갖는, 반도체 장치 제조 방법.

**청구항 10**

삭제

**청구항 11**

제2항 또는 제7항에 있어서,

상기 불활성 가스 분위기는 질소는 포함하는, 반도체 장치 제조 방법.

**청구항 12**

제7항에 있어서,  
 상기 제1 열처리는 400℃ 이상에서 수행되는, 반도체 장치 제조 방법.

**청구항 13**

제2항 또는 제7항에 있어서,  
 상기 제1 산화물 반도체층은 인듐, 갈륨 및 아연을 포함하고,  
 상기 제2 산화물 반도체층은 인듐 및 아연을 포함하는, 반도체 장치 제조 방법.

**청구항 14**

제2항 또는 제7항에 있어서,  
 상기 제1 산화물 반도체층은 인듐, 주석 및 아연을 포함하고,  
 상기 제2 산화물 반도체층은 인듐 및 아연을 포함하는, 반도체 장치 제조 방법.

**청구항 15**

제7항에 있어서,  
 상기 도전층은 구리를 포함하는, 반도체 장치 제조 방법.

**청구항 16**

제7항에 있어서,  
 상기 산화물 절연층에 제2 열처리를 수행하는 단계를 더 포함하는, 반도체 장치 제조 방법.

**청구항 17**

제7항에 있어서,  
 상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층은 상기 제1 열처리에 의해 탈수화 또는 탈수소화되는, 반도체 장치 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 산화물 반도체를 포함하는 반도체 장치의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 최근, 절연 표면을 갖는 기판 위에 형성된 (수 나노미터 내지 수백 나노미터의 두께를 갖는) 반도체 박막을 이용해 박막 트랜지스터(TFT)를 형성하는 기술이 주목받고 있다. 박막 트랜지스터는, IC나 전기 광학 장치와 같은 전자 디바이스에 넓게 응용되며, 특히, 화상 표시 장치의 스위칭 소자로서 개발이 급해지고 있다.

[0003] 다양한 응용을 위해 다양한 금속 산화물이 이용되고 있다. 산화 인듐은 잘 알려진 재료이며, 액정 디스플레이등에 필요한 투명 전극 재료로서 이용되고 있다.

[0004] 일부 금속 산화물은 반도체 특성을 가진다. 예를 들어, 반도체 특성을 갖는 금속 산화물로서는, 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연등이 포함되며, 이러한 반도체 특성을 갖는 금속 산화물을 이용하여 채널 형성 영역이 형성되는 박막 트랜지스터가 이미 알려져 있다(특허 문헌 1 내지 4, 비특허 문헌 1).

[0005] 또한, 금속 산화물로서 일원계 산화물 뿐만 아니라 다원계 산화물도 알려져 있다. 예를 들어, 동족계(homologous series)를 갖는  $InGaO_3(ZnO)_m$ (m: 자연수)는, In, Ga 및 Zn을 포함하는 다원계 산화물 반도체로서 알려진 물질이다(비특허 문헌 2 내지 4).

- [0006] 또한, 이와 같은 In-Ga-Zn계 산화물을 포함하는 산화물 반도체는 박막 트랜지스터의 채널층에 적용될 수 있다는 것이 확인되었다(특허 문헌 5, 비특허 문헌 5 및 6).
- [0007] [참조 문헌]
- [0008] [특허 문헌]
- [0009] [특허 문헌 1] 일본 공개 특허 출원 제S60-198861
- [0010] [특허 문헌 2] 일본 공개 특허 출원 제H8-264794
- [0011] [특허 문헌 3] PCT 국제 출원 번호 제H11-505377호의 일본어 번역판
- [0012] [특허 문헌 4] 일본 공개 특허 출원 제2000-150900
- [0013] [특허 문헌 5] 일본 공개 특허 출원 제2004-103957
- [0014] [비특허 문헌]
- [0015] [비특허 문헌 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J.F.M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", Appl. Phys. Lett, 17 June 1996, Vol.68 pp.3650-3652
- [0016] [비특허 문헌 2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the  $In_2O_3$ - $Ga_2ZnO_4$ - $ZnO$  System at 1350 °C", J. Solid State Chem., 1991, Vol.93, pp.298-315
- [0017] [비특허 문헌 3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds,  $In_2O_3(ZnO)_m$  ( $m=3, 4, \text{ and } 5$ ),  $InGaO_3(ZnO)_3$ , and  $Ga_2O_3(ZnO)_m$  ( $m=7, 8, 9, \text{ and } 16$ ) in the  $In_2O_3$ - $ZnGa_2O_4$ - $ZnO$  System", J. Solid State Chem., 1995, Vol.116, pp.170-178
- [0018] [비특허 문헌 4] M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ( $InFeO_3(ZnO)_m$ ) ( $m$ : natural number) and related compounds", KOTAI BUTSURI (SOLID STATE PHYSICS), 1993, Vol. 28, No. 5, pp. 317-327
- [0019] [비특허 문헌 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol. 300, pp. 1269-1272
- [0020] [비특허 문헌 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol.432 pp.488-492

**발명의 내용**

**해결하려는 과제**

- [0021] 안정된 전기 특성을 갖는 박막 트랜지스터를 포함하는 신뢰성이 높은 반도체 장치를 제조하여 제공하는 것이 목적이다.

**과제의 해결 수단**

- [0022] 채널 형성 영역과 소스 영역 및 드레인 영역을 포함한 반도체층이 산화물 반도체층을 이용하여 형성되는 박막 트랜지스터를 포함하는 반도체 장치의 제조 방법에 있어서, 산화물 반도체층의 순도를 개선하고 수분과 같은 불순물을 저감하도록 열 처리(탈수화 또는 탈수소화를 위한 열 처리)가 수행된다. 또한, 산화물 반도체층내 뿐만 아니라 게이트 절연층내에 존재하는 수분과 같은 불순물이 저감되고, 산화물 반도체층의 상하에 접하여 제공되는 막과 산화물 반도체층 사이의 계면에 존재하는 수분과 같은 불순물이 저감된다.
- [0023] 본 명세서에서, 채널 형성 영역을 포함하는 반도체층에 이용되는 산화물 반도체막을 제1 산화물 반도체막(제1 산화물 반도체층)이라 말하고, 소스 영역 및 드레인 영역에 이용되는 산화물 반도체막을 제2 산화물 반도체막(제2 산화물 반도체층)이라 말한다.

- [0024] 수분과 같은 불순물을 저장하기 위하여, 제1 산화물 반도체막 및 제2 산화물 반도체막이 형성된 다음, 제1 산화물 반도체막 및 제2 산화물 반도체막이 노출된 상태에서, 질소 또는 (아르곤, 헬륨과 같은) 희가스의 불활성 가스 분위기하 또는 감압 하에서, 200℃ 이상, 바람직하게는 400℃ 이상 600℃ 이하의 열 처리가 가해진다. 따라서, 제1 산화물 반도체막 및 제2 산화물 반도체막에 포함된 수분이 저장된다. 가열 후, 산화물 반도체 막이, 산소 분위기하, 실온 이상, 100℃ 미만의 범위에서 서랭된다.
- [0025] 질소 또는 아르곤과 같은 불활성 가스 분위기하, 또는 감압하의 열 처리에 의해 수분이 저장된 제1 산화물 반도체막 및 제2 산화물 반도체막을 이용하여, 박막 트랜지스터의 전기 특성이 향상되고, 높은 양산성과 고성능 양쪽 모두를 구비한 박막 트랜지스터가 실현된다.
- [0026] 도 29는, 상이한 가열 온도 조건하의 질소 분위기에서 열 처리가 수행된 복수의 샘플에 관해 온도상승 이탈 분석 장치(TDS; Thermal Desorption Spectroscopy)를 이용한 측정 결과를 나타낸다.
- [0027] 온도상승 이탈 분석 장치는, 샘플을 고진공에서 가열하여 그 온도가 상승할 때 샘플로부터 이탈하거나 발생하는 가스 성분을 4중극자 질량 분석기(quadrupole mass spectrometer)를 이용하여 검출하고 식별하기 위한 장치이다. 온도상승 이탈 분석 장치를 이용하여, 샘플 표면 또는 내부로부터 이탈하는 가스 및 분자를 관찰할 수 있다. ESCO, Ltd의 온도상승 이탈 분석 장치(제품명: EMD-WA1000S)를 이용하였다. 측정 조건으로서, 온도 상승률은 약 10℃/분으로 설정되었고, SEM 전압은 1500 V, 드웰 타임(Dwell Time)은 0.2(초), 사용 채널수는 23개로 하였다. 또한, 측정 동안, 압력은 약  $1 \times 10^{-7}$  (Pa)의 진공도였다. H<sub>2</sub>O의 이온화 계수를 1.0, H<sub>2</sub>O의 단편화 계수를 0.805, H<sub>2</sub>O의 스루팩스 계수를 1.56, H<sub>2</sub>O의 펌핑 레이트를 1.0으로 하였다는 점에 유의한다.
- [0028] 도 29는, H<sub>2</sub>O에 관한 TDS 측정 결과를 나타내는 그래프이며, 여기서 다음과 같은 샘플들이 비교되었다: 유리 기판 위에 두께 50 nm의 In-Ga-Zn-O계 비-단결정막을 형성한 샘플(샘플1)과; 질소 분위기하 가열 온도 250℃에서 1시간 동안 열 처리를 행한 샘플(샘플4)과; 질소 분위기하 가열 온도 350℃에서 1시간 동안 열 처리를 행한 샘플(샘플3)과; 질소 분위기하 가열 온도 450℃에서 1시간 동안 열 처리를 행한 샘플(샘플5)과; 질소 분위기하 가열 온도 350℃에서 10시간 동안 열 처리를 행한 샘플(샘플6). 도 29의 결과로부터, 질소 분위기에서의 가열 온도가 높을수록, In-Ga-Zn-O계 비-단결정 막으로부터 이탈하는 수분(H<sub>2</sub>O)과 같은 불순물의 양이 더 많이 줄어든다는 것을 알 수 있다.
- [0029] 또, 도 29의 그래프에서, 200℃ 내지 250℃ 부근에서 수분(H<sub>2</sub>O)와 같은 불순물의 이탈을 나타내는 제1 피크를 관찰할 수 있고, 300℃ 이상에서 수분(H<sub>2</sub>O)과 같은 불순물의 이탈을 나타내는 제2 피크를 관찰할 수 있다.
- [0030] 질소 분위기하 450℃에서 열 처리를 수행한 샘플은, 실온에서 대기중에 약 1주간 방치해도 200℃ 이상에서 수분의 이탈이 관찰되지 않았다는 점에 유의한다. 따라서, 열 처리에 의해 In-Ga-Zn-O계 비-단결정 막이 안정화된다는 것을 알 수 있다.
- [0031] 또한, H<sub>2</sub>O 외에도 H, O, OH, H<sub>2</sub>, O<sub>2</sub>, N, N<sub>2</sub>, 및 Ar의 각각에 관하여 TDS 측정을 수행하였다. H<sub>2</sub>O, H, O, 및 OH에 관해서는 분명히 피크를 관찰할 수 있었지만, H<sub>2</sub>, O<sub>2</sub>, N, N<sub>2</sub>, 및 Ar에 관해서는 피크를 관찰할 수 없었다. 각 샘플은, 유리 기판 위에 두께 50 nm로 In-Ga-Zn-O계 비-단결정 막을 형성한 구조를 가졌고, 가열 조건은 다음과 같이 설정되었다: 질소 분위기하 250℃ 1시간; 질소 분위기하 350℃ 1시간; 질소 분위기하 350℃ 10시간; 및 질소 분위기하 450℃ 1시간. 비교예로서, 열 처리가 수행되지 않은 In-Ga-Zn-O계 비-단결정 막과 유리 기판 단독을 각각 측정했다. 도 30은 H의 TDS 측정 결과를, 도 31은 O의 TDS 측정 결과를, 도 32는 OH의 TDS 측정 결과를, 도 33은 H<sub>2</sub>의 TDS 측정 결과를 나타낸다. 상기 가열 조건에서의 질소 분위기의 산소 밀도는, 20 ppm 이하임에 유의한다.
- [0032] 이상의 결과에 따르면, In-Ga-Zn-O계 비-단결정 막의 열 처리의 수행에 의해, 주로 수분(H<sub>2</sub>O)이 방출되는 것을 알 수 있다. 즉, 열 처리에 의해 In-Ga-Zn-O계 비-단결정 막으로부터 수분(H<sub>2</sub>O)의 이탈이 주로 일어나고, 물 분자의 분해에 의해 생성된 물질이, 도 30, 31, 및 32에 각각 도시된 H, O, 및 OH에 관한 TDS의 측정치에 영향을 주고 있다. In-Ga-Zn-O계 비-단결정 막은 수소와 OH를 포함한다고 생각된다; 따라서, 이것들도 열처리에 의해 방출된다.
- [0033] 본 명세서에서, 질소 또는 (아르곤 또는 헬륨과 같은) 희가스의 불활성 가스 분위기하 또는 감압하의 열 처리를

탈수화 또는 탈수소화를 위한 열 처리라고 부른다. 본 명세서에서, "탈수소화"란, 열 처리에 의한 H<sub>2</sub>의 제거만을 말하는 것은 아니고, 편의상, H, OH등의 제거도 포함하여, "탈수화 또는 탈수소화"라고 말한다.

- [0034] 불활성 가스 분위기하의 열 처리에 의해 산화물 반도체층에 포함된 (H<sub>2</sub>O, H, OH와 같은) 불순물을 저감시켜 캐리어 농도를 증가시킨 후, 산소 분위기하에서 서랭을 수행한다. 서랭 후, 예를 들어, 산화물 반도체층에 접하여 산화물 절연막이 형성된다; 따라서, 산화물 반도체층의 캐리어 농도가 저감되어 신뢰성이 향상된다.
- [0035] 제1 산화물 반도체막 및 제2 산화물 반도체막의 저항은, 질소 분위기하의 열 처리에 의해 감소된다(캐리어 농도가, 바람직하게는  $1 \times 10^{18} / \text{cm}^3$  이상으로 증가됨). 따라서, 저항이 감소된 제1 산화물 반도체막 및 제2 산화물 반도체막이 형성될 수 있다. 저항이 감소된 제1 산화물 반도체막 및 제2 산화물 반도체막을 에칭 공정을 통해 가공하여 제1 산화물 반도체층 및 제2 산화물 반도체층을 형성하고, 한층 더, 에칭 공정에 의해 가공하여 반도체층과, 소스 영역 및 드레인 영역을 형성한다.
- [0036] 그 후, 저항이 감소된 제1 산화물 반도체층에 접하여 산화물 절연막이 형성되면, 저항이 감소된 제1 산화물 반도체층에 있어서, 적어도 산화물 절연막과 접하는 영역의 저항이 증가된다(캐리어 농도가, 바람직하게는  $1 \times 10^{18} / \text{cm}^3$  미만으로 감소됨); 따라서, 저항이 증가된 산화물 반도체 영역이 형성될 수 있다. 반도체 장치의 제조 공정 동안에, 불활성 가스 분위기하(또는 감압하)의 가열, 산소 분위기하의 서랭, 및 산화물 절연막의 형성등에 의해 제1 산화물 반도체막 및 제2 산화물 반도체막의 캐리어 농도를 증가 및 감소시키는 것이 중요하다. 즉, I형 제1 산화물 반도체막 및 i형 제2 산화물 반도체막이 탈수화 또는 탈수소화를 위한 열 처리에 놓여 산소 결핍형이 되고, 즉, (n<sup>-</sup> 또는 n<sup>+</sup>와 같은) n형 산화물 반도체막이 되고, 그 다음, 산화물 절연막이 형성되어 제1 산화물 반도체층이 산소 과잉형이 된다, 즉, i형 산화물 반도체층이 된다. 따라서, 양호한 전기 특성을 갖는 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제조하여 제공하는 것이 가능하다.
- [0037] 저항이 감소된 제1 산화물 반도체층에 접하여 형성되는 산화물 절연막으로서, 수분, 수소 이온, 및 OH<sup>-</sup>와 같은 불순물을 차단하는 무기 절연막이 사용된다는 점에 유의한다. 구체적으로는, 산화 규소막(silicon oxide film), 또는 질화 산화 규소막(silicon nitride oxide film)이 이용된다.
- [0038] 또한, 산화물 반도체층과 소스 영역 및 드레인 영역 위에 보호막 역할을 하는 산화물 절연막이 형성한 후에, 2번째의 열 처리를 수행할 수도 있다. 산화물 반도체층과 소스 영역 및 드레인 영역 위에 보호막 역할을 하는 산화물 절연막을 형성한 후 2번째의 열 처리를 수행하는 경우, 박막 트랜지스터의 전기적 특성의 격차를 저감할 수 있다.
- [0039] 본 명세서에서 개시되는 본 발명의 구조의 한 실시예에서, 게이트 전극층이 형성되고; 게이트 전극층 위에 게이트 절연층이 형성되고; 게이트 절연층 위에 제1 산화물 반도체막이 형성되고; 제1 산화물 반도체막 위에 제2 산화물 반도체막이 형성되고; 제1 산화물 반도체막 및 제2 산화물 반도체막이 가열되어 탈수화, 또는 탈수소화된 후, 산소 분위기하에서 서랭되고; 산소 분위기하에서 서랭된 제1 산화물 반도체막 및 제2 산화물 반도체막이 선택적으로 에칭되어 제1 산화물 반도체층 및 제2 산화물 반도체층을 형성하고; 제1 산화물 반도체층 및 제2 산화물 반도체층 위에 도전막이 형성되고; 제1 산화물 반도체층, 제2 산화물 반도체층, 및 도전막이 선택적으로 에칭되어 반도체층, 소스 영역, 드레인 영역, 소스 전극층 및 드레인 전극층을 형성하고; 게이트 절연층, 반도체층, 소스 영역, 드레인 영역, 소스 전극층, 및 드레인 전극층 위에 반도체층의 일부와 접하는 산화물 절연막이 형성되어 캐리어 농도가 저감된다.
- [0040] 본 명세서에서 개시되는 본 발명의 구조의 또 다른 실시예에서, 게이트 전극층이 형성되고; 게이트 전극층 위에 게이트 절연층이 형성되고; 게이트 절연층 위에 제1 산화물 반도체막이 형성되고; 제1 산화물 반도체막 위에 제2 산화물 반도체막이 형성되고; 제1 산화물 반도체막 및 제2 산화물 반도체막이 불활성 가스 분위기하에서 가열되어 캐리어 농도가 증가된 다음, 산소 분위기하에서 서랭되고; 산소 분위기하에서 서랭된 제1 산화물 반도체막 및 제2 산화물 반도체막이 선택적으로 에칭되어 제1 산화물 반도체층 및 제2 산화물 반도체층을 형성하고; 제1 산화물 반도체층 및 제2 산화물 반도체층 위에 도전막이 형성되고; 제1 산화물 반도체층, 제2 산화물 반도체층, 및 도전막이 선택적으로 에칭되어 반도체층, 소스 영역, 드레인 영역, 소스 전극층 및 드레인 전극층을 형성하고; 게이트 절연층, 반도체층, 소스 영역, 드레인 영역, 소스 전극층, 및 드레인 전극층 위에 반도체층의 일부와 접하는 산화물 절연막이 형성되어 캐리어 농도가 저감된다.
- [0041] 본 명세서에서 개시되는 본 발명의 구조의 한 실시예에서, 게이트 전극층이 형성되고; 게이트 전극층 위에 게이

트 절연층이 형성되고; 게이트 절연층 위에 제1 산화물 반도체막이 형성되고; 제1 산화물 반도체막 위에 제2 산화물 반도체막이 형성되고; 제1 산화물 반도체막 및 제2 산화물 반도체막이 감압하에서 가열되어 캐리어 농도가 증가된 다음, 산소 분위기하에서 서랭되고; 산소 분위기하에서 서랭된 제1 산화물 반도체막 및 제2 산화물 반도체막이 선택적으로 에칭되어 제1 산화물 반도체층 및 제2 산화물 반도체층을 형성하고; 제1 산화물 반도체층 및 제2 산화물 반도체층 위에 도전막이 형성되고; 제1 산화물 반도체층, 제2 산화물 반도체층, 및 도전막이 선택적으로 에칭되어 반도체층, 소스 영역, 드레인 영역, 소스 전극층 및 드레인 전극층을 형성하고; 게이트 절연층, 반도체층, 소스 영역, 드레인 영역, 소스 전극층, 및 드레인 전극층 위에 반도체층의 일부와 접하는 산화물 절연막이 형성되어 캐리어 농도가 저감된다.

[0042] 반도체층과 소스 영역 및 드레인 영역으로서 이용될 수 있는 산화물 반도체층으로서, 반도체 특성을 갖는 산화물 재료가 이용될 수 있다. 예를 들어,  $InMO_3(ZnO)_m$  ( $m > 0$ )으로 표현되는 박막을 형성하고, 반도체층과 소스 영역 및 드레인 영역으로서 그 박막을 이용한 박막 트랜지스터가 제조된다. M은, Ga, Fe, Ni, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다는 점에 유의해야 한다. 예를 들어, M이 Ga를 나타내는 경우도 있는 반면, M이, Ga(Ga 및 Ni 또는 Ga 및 Fe) 외에도, Ni 또는 Fe와 같은 상기 금속 원소를 나타내는 경우도 있다. 또한, 상기 산화물 반도체는, M으로서 포함되는 금속 원소 외에도, 불순물 원소로서 Fe 또는 Ni, 그 외의 천이 금속 원소, 또는 천이 금속의 산화물을 포함할 수도 있다. 본 명세서에 있어서,  $InMO_3(ZnO)_m$  ( $m > 0$ )로 표현되는 구조의 산화물 반도체 중에서, M으로서 Ga를 포함하는 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라고 부르며, In-Ga-Zn-O계 산화물 반도체의 박막을 In-Ga-Zn-O계 비-단결정 막이라고 부른다.

[0043] 산화물 반도체층에 적용되는 산화물 반도체로서 상기 외에도, In-Sn-Zn-O-계의 산화물 반도체; In-Al-Zn-O-계의 산화물 반도체; Sn-Ga-Zn-O-계의 산화물 반도체; Al-Ga-Zn-O-계의 산화물 반도체; Sn-Al-Zn-O-계의 산화물 반도체; In-Zn-O-계의 산화물 반도체; Sn-Zn-O-계의 산화물 반도체; Al-Zn-O-계의 산화물 반도체; In-O-계의 산화물 반도체; Sn-O-계의 산화물 반도체; Zn-O-계의 산화물 반도체를 적용할 수 있다. 또한, 상기 산화물 반도체층은 산화 규소(silicon oxide)를 포함할 수도 있다. 산화물 반도체층에 포함되는, 결정화를 저해하는 산화 규소( $SiO_x(X > 0)$ )는, 제조 공정에서 산화물 반도체층의 형성 후에 열 처리를 수행한 경우 산화물 반도체층의 결정화가 억제될 수 있다. 산화물 반도체층은 아몰퍼스인 것이 바람직하지만, 부분적으로 결정화되어도 좋다.

[0044] 산화물 반도체는, 바람직하게는 In을 포함하는 산화물 반도체이고, 더 바람직하게는, In 및 Ga을 포함하는 산화물 반도체이다. I형(진성) 산화물 반도체를 얻기 위해, 탈수화 또는 탈수소화가 효과적이다.

[0045] 또한, 박막 트랜지스터의 소스 영역 및 드레인 영역( $n^+$ 층, 버퍼층이라고도 한다)으로서 이용되는 산화물 반도체층은, 채널 형성 영역으로서 이용되는 산화물 반도체층보다 높은 도전율(전기 전도율)을 갖는 것이 바람직하다.

[0046] 박막 트랜지스터는 정전기등으로 인해 파괴되기 쉽기 때문에, 구동 회로를 보호하기 위한 보호 회로를 게이트선 또는 소스선과 동일한 기판 위에 제공하는 것이 바람직하다. 보호 회로는, 산화물 반도체를 포함하는 비선형 소자를 이용하여 형성하는 것이 바람직하다.

[0047] 게이트 절연층, 제1 산화물 반도체막, 및 제2 산화물 반도체막은, 대기에 노출되지 않고 연속적으로 처리(연속 처리, 인 시츄(insitu) 공정, 연속 성막이라고도 부름)될 수도 있다. 대기에 노출시키지 않고 연속 처리함으로써, 적층된 층들 사이의 각 계면, 즉, 게이트 절연층, 제1 산화물 반도체막 및 제2 산화물 반도체막의 계면들이, 물이나 하이드로 카본과 같은, 대기 성분이나 대기중에 부유하는 불순물 원소에 오염되지 않고 형성될 수 있다. 따라서, 박막 트랜지스터의 특성 격차를 저감할 수 있다.

[0048] 본 명세서에서 "연속 처리"란, PCVD법 또는 스퍼터링법을 이용한 제1 처리 단계로부터 PCVD법 또는 스퍼터링법을 이용한 제2 처리 단계까지의 공정 동안에, 피처리 기판이 놓여 있는 분위기가 대기와 같은 오염 분위기에 오염되지 않고, 진공 또는 불활성 가스 분위기(질소 분위기 또는 희가스 분위기)가 되도록 항상 제어된다는 것을 의미한다는 점에 유의한다. 연속 처리에 의해, 세정된 피처리 기판에 수분등이 재부착되는 것을 피하면서 막 형성과 같은 처리가 수행될 수 있다.

[0049] 동일한 챔버에서 제1 처리 단계로부터 제2 처리 단계까지의 공정을 수행하는 것은, 본 명세서에서의 연속 처리의 범위 내에 있다.

[0050] 또한, 상이한 챔버에서 제1 처리 단계로부터 제2 처리 단계까지의 공정을 수행하는 경우, 제1 처리 단계후, 대기에 노출되지 않고 또 다른 챔버로 기판을 반송하여 제2 처리를 수행하는 것도 본 명세서에서의 연속 처리의 범위 내에 있다.

- [0051] 제1 처리 단계와 제2 처리 단계 사이에, 기관 반송 단계, 정렬 단계, 서랭 단계, 또는 제2 단계에 필요한 온도로 기관을 가열 또는 냉각하는 단계 등이 제공될 수 있다는 점에 유의한다. 이와 같은 공정도 역시 본 명세서에서의 연속 처리의 범위 내에 있다.
- [0052] 세정 단계, 습식 에칭, 레지스트 형성과 같은 액체를 이용하는 단계가 제1 처리 단계와 제2 처리 단계 사이에 제공될 수 있다. 이와 같은 경우는, 본 명세서에서의 연속 처리의 범위 내에 있지 않다.
- [0053] 본 명세서에서 "제1", "제2"와 같은 서수는 편의상 이용되는 것이지, 단계들의 순서 또는 적층 순서를 나타내는 것은 아니다. 또한, 본 명세서에서의 서수는, 본 발명을 특정하는 특정한 명칭을 나타내는 것이 아니다.
- [0054] 게다가, 구동 회로를 포함하는 표시 장치로서, 액정 표시 장치 외에도, 발광 소자를 포함하는 발광 표시 장치나, 전기영동 표시 소자를 포함하는 전자 페이퍼라고도 칭해지는 표시 장치를 들 수 있다.
- [0055] 발광 소자를 포함하는 발광 표시 장치에서, 복수의 박막 트랜지스터가 화소부에 포함되고, 그 화소부에는, 박막 트랜지스터의 게이트 전극이 다른 박막 트랜지스터의 소스 배선 또는 드레인 배선에 전기적으로 접속되는 영역이 있다. 또한, 발광 소자를 포함하는 발광 표시 장치의 구동 회로에서, 박막 트랜지스터의 게이트 전극이 그 박막 트랜지스터의 소스 배선 또는 드레인 배선에 접속되는 영역이 있다.
- [0056] 본 명세서에서, 반도체 장치란, 일반적으로 반도체 특성을 이용하여 기능할 수 있는 장치를 의미하며, 전기 광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치이다.

**발명의 효과**

- [0057] 안정된 전기 특성을 갖는 박막 트랜지스터를 제조 및 제공할 수 있다. 따라서, 양호한 전기 특성을 갖는 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0058] 도 1의 (a) 내지 (c)는 반도체 장치의 제조 방법을 나타낸다;
- 도 2의 (a) 및 (b)는 반도체 장치의 제조 방법을 나타낸다;
- 도 3의 (a) 및 (b)는 반도체 장치를 나타낸다;
- 도 4의 (a) 내지 (c)는 반도체 장치의 제조 방법을 나타낸다;
- 도 5의 (a) 내지 (c)는 반도체 장치의 제조 방법을 나타낸다;
- 도 6의 (a) 및 (b)는 반도체 장치의 제조 방법을 나타낸다;
- 도 7은 반도체 장치를 나타낸다;
- 도 8의 (a1), (a2), (b1) 및 (b2)는 반도체 장치를 나타낸다;
- 도 9는 반도체 장치를 나타낸다;
- 도 10의 (a1), (a2), 및 (b)는 반도체 장치를 나타낸다;
- 도 11의 (a) 및 (b)는 반도체 장치를 나타낸다;
- 도 12는 반도체 장치의 화소 등가 회로를 나타낸다;
- 도 13의 (a) 내지 (c)는 반도체 장치를 나타낸다;
- 도 14의 (a) 및 (b)는 반도체 장치의 블록도이다;
- 도 15는 신호선 구동 회로의 구성을 나타낸다;
- 도 16은 신호선 구동 회로의 동작을 나타내는 타이밍 차트이다;
- 도 17은 신호선 구동 회로의 동작을 나타내는 타이밍 차트이다;
- 도 18은 시프트 레지스터의 구성을 나타낸다;
- 도 19는 도 18에 나타난 플립-플롭의 접속 구조를 나타낸다;

- 도 20은 반도체 장치를 나타낸다;
- 도 21은 산화물 반도체층의 산소 농도의 시뮬레이션 결과를 나타낸다;
- 도 22는 전자 서적 리더(reader)의 예를 나타내는 외관도이다;
- 도 23의 (a) 및 (b)는 각각 텔레비전 세트 및 디지털 포토 프레임의 예를 나타내는 외관도이다;
- 도 24의 (a) 및 (b)는 게임 기기의 예를 나타내는 외관도이다;
- 도 25의 (a) 및 (b)는 각각 휴대형 컴퓨터 및 휴대 전화기의 예를 나타내는 외관도이다;
- 도 26은 반도체 장치를 나타낸다;
- 도 27은 반도체 장치를 나타낸다;
- 도 28은 전기로(electric furnace)의 단면도이다;
- 도 29는 TDS 측정 결과를 나타내는 그래프이다;
- 도 30은 H에 관한 TDS 측정 결과를 나타내는 그래프이다;
- 도 31은 O에 관한 TDS 측정 결과를 나타내는 그래프이다;
- 도 32는 OH에 관한 TDS 측정 결과를 나타내는 그래프이다;
- 도 33은 H<sub>2</sub>에 관한 TDS 측정 결과를 나타내는 그래프이다;
- 도 34는 시뮬레이션에 이용된 산화물 반도체층의 구조를 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

- [0059] 본 발명의 실시를 위한 최상의 모드
- [0060] 실시예 및 예가 도면들을 참조하여 상세히 설명될 것이다. 그러나, 본 발명은 이하의 설명만으로 제한되는 것은 아니며, 본 발명의 사상과 범위로부터 벗어나지 않고 형태와 세부사항에 있어서 다양한 변경과 수정이 이루어질 수 있다는 것을 당업자라면 용이하게 이해할 것이다. 따라서, 본 발명은, 이하의 실시예와 예들의 설명으로만 제한되는 것으로 해석되어서는 안된다. 이하에서 설명되는 구조들에서, 동일한 부분 또는 유사한 기능을 갖는 부분은, 상이한 도면들에서 동일한 참조 번호들로 표기되며, 반복적 설명은 생략한다.
- [0061] [실시예 1]
- [0062] 반도체 장치 및 반도체 장치의 제조 방법이, 도 1의 (a) 내지 (c), 도 2의 (a) 및 (b), 및 도 3의 (a) 및 (b)를 참조하여 설명될 것이다.
- [0063] 도 3의 (a)는 반도체 장치에 포함된 박막 트랜지스터(470)의 평면도이고, 도 3의 (b)는 도 3의 (a)의 라인 C1-C2를 따라 취해진 단면도이다. 박막 트랜지스터(470)는 역스태거형 박막 트랜지스터(inverted staggered thin film transistor)이며, 절연 표면을 갖는 기판인 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 소스 영역 및 드레인 영역(404a 및 404b), 및 소스 전극층 및 드레인 전극층(405a 및 405b)을 포함한다. 또한, 박막 트랜지스터(470)를 피복하고 반도체층(403)과 접하도록 산화물 절연막(407)이 제공된다.
- [0064] 반도체층(403)과 소스 영역 및 드레인 영역(404a 및 404b)이 되는 적어도 제1 산화물 반도체막 및 제2 산화물 반도체막의 형성 후에 수분과 같은 불순물을 저장하는 열 처리(탈수화 또는 탈수소화를 위한 열 처리)를 수행하여, 제1 산화물 반도체막 및 제2 산화물 반도체막의 저항이 감소된다(캐리어 농도가, 바람직하게는  $1 \times 10^{18}/\text{cm}^3$  이상으로 증가됨). 그 다음, 제1 산화물 반도체층에 접하여 산화물 절연막(407)을 형성함으로써, 그 저항이 증가된다(캐리어 농도가, 바람직하게는  $1 \times 10^{18}/\text{cm}^3$  미만, 한층 더 바람직하게는  $1 \times 10^{14}/\text{cm}^3$  이하로 감소됨). 따라서, 저항이 증가된 제1 산화물 반도체층은 채널 형성 영역으로서 이용될 수 있다.
- [0065] 또한, 탈수화 또는 탈수소화를 위한 열 처리에 의해 수분(H<sub>2</sub>O)과 같은 불순물이 제거된 후, 산소 분위기하에서 서랭을 수행하는 것이 바람직하다. 탈수화 또는 탈수소화를 위한 열 처리 및 산소 분위기하의 서랭 후, 제1 산화물 반도체층에 접해 산화물 절연막의 형성을 수행해 제1 산화물 반도체층의 캐리어 농도가 저장되어, 박막 트

랜지스터(470)의 신뢰성을 향상시킨다.

- [0066] 반도체층(403)과 소스 영역 및 드레인 영역(404a 및 404b)내 뿐만이 아니라, 게이트 절연층(402)내, 및 반도체층(403)의 상하에 접하여 제공되는 막과 산화물 반도체층인 반도체층(403) 사이의 계면들, 구체적으로는, 게이트 절연층(402)과 반도체층(403) 사이의 계면, 및 산화물 절연막(407)과 반도체층(403) 사이의 계면에 존재하는 수분과 같은 불순물이 저장된다.
- [0067] 산화물 반도체층인 반도체층(403)과 소스 영역 및 드레인 영역(404a 및 404b)에 접하는 소스 전극층 및 드레인 전극층(405a 및 405b)은, 티타늄, 알루미늄, 망간, 마그네슘, 지르코늄, 베릴륨, 및 토륨으로부터 선택된 하나 이상의 재료를 이용하여 형성된다. 또한, 상술한 원소들의 임의 조합을 포함하는 합금막의 적층이 사용될 수도 있다.
- [0068] 채널 형성 영역을 포함한 반도체층(403)과 소스 영역 및 드레인 영역(404a 및 404b)으로서, 반도체 특성을 갖는 산화물 재료를 이용할 수도 있다. 예를 들어,  $InMO_3(ZnO)_m$  ( $m > 0$ )으로 표현되는 구조의 산화물 반도체를 이용할 수 있고, 특히, In-Ga-Zn-O계 산화물 반도체를 이용하는 것이 바람직하다. M은, 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다는 점에 유의해야 한다. 예를 들어, M이 Ga를 나타내는 경우도 있는 반면, M이, Ga(Ga 및 Ni 또는 Ga 및 Fe) 외에도, Ni 또는 Fe와 같은 상기 금속 원소를 나타내는 경우도 있다. 또한, 상기 산화물 반도체는, M으로서 포함되는 금속 원소 외에도, 불순물 원소로서 Fe 또는 Ni, 그 외의 전이 금속 원소, 또는 전이 금속의 산화물을 포함할 수도 있다. 본 명세서에 있어서,  $InMO_3(ZnO)_m$  ( $m > 0$ )로 표현되는 구조의 산화물 반도체 중에서, M으로서 적어도 Ga를 포함하는 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라고 부르며, In-Ga-Zn-O계 산화물 반도체의 박막을 In-Ga-Zn-O계 비-단결정 막이라고 부른다.
- [0069] 산화물 반도체층에 적용되는 산화물 반도체로서 상기 외에도, In-Sn-Zn-O-계의 산화물 반도체; In-Al-Zn-O-계의 산화물 반도체; Sn-Ga-Zn-O-계의 산화물 반도체; Al-Ga-Zn-O-계의 산화물 반도체; Sn-Al-Zn-O-계의 산화물 반도체; In-Zn-O-계의 산화물 반도체; Sn-Zn-O-계의 산화물 반도체; Al-Zn-O-계의 산화물 반도체; In-O-계의 산화물 반도체; Sn-O-계의 산화물 반도체; Zn-O-계의 산화물 반도체를 적용할 수 있다. 또한, 상기 산화물 반도체는 산화 규소를 포함할 수도 있다.
- [0070] 반도체층(제1 산화물 반도체층이라고도 함)과 소스 전극층 사이에 소스 영역이 제공되고, 반도체층과 드레인 전극층 사이에 드레인 영역이 제공된다. 소스 영역 및 드레인 영역으로서, n형의 도전형을 갖는 산화물 반도체층(제2 산화물 반도체층이라고도 함)을 이용할 수 있다.
- [0071] 또한, 박막 트랜지스터의 소스 영역 및 드레인 영역(404a 및 404b)으로서 이용되는 제2 산화물 반도체층은, 채널 형성 영역으로서 이용되는 제1 산화물 반도체층보다 더 얇고 더 높은 도전율(전기 전도율)을 갖는 것이 바람직하다.
- [0072] 또한, 채널 형성 영역으로서 이용되는 제1 산화물 반도체층은 아몰퍼스 구조를 가지며, 소스 영역 및 드레인 영역으로서 이용되는 제2 산화물 반도체층은 아몰퍼스 구조안에 결정립(나노 크리스탈)을 포함하는 경우가 있다. 소스 영역 및 드레인 영역으로서 이용되는 제2 산화물 반도체층 내의 결정립(나노 크리스탈)은, 1 nm 내지 10 nm, 전형적으로는 약 2 nm 내지 4 nm의 직경을 가진다.
- [0073] 본 실시예에서는, 채널 형성 영역을 포함한 반도체층(403)과 소스 영역 및 드레인 영역( $n^+$ 층, 버퍼층이라고도 함)(404a 및 404b)으로서 In-Ga-Zn-O계 비-단결정 막을 이용한다.
- [0074] 도 1의 (a) 내지 (c)와 도 2의 (a) 및 (b)는, 박막 트랜지스터(470)의 제조 공정을 나타내는 단면도이다.
- [0075] 절연 표면을 갖는 기판인 기판(400) 위에 게이트 전극층(401)이 제공된다. 기초막의 역할을 하는 절연막을, 기판(400)과 게이트 전극층(401) 사이에 제공할 수도 있다. 기초막은, 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖고 있고, 질화 규소막, 산화 규소막, 질화 산화 규소막, 또는 산화 질화 규소막 중 하나 이상을 단층으로 또는 적층하여 형성될 수 있다. 게이트 전극층(401)은, 몰리브덴, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐과 같은 금속 재료 또는 이들 재료들 중 임의의 재료를 주성분으로 포함하는 합금 재료를 이용해, 단층으로 또는 적층해 형성될 수 있다.
- [0076] 예를 들어, 게이트 전극층(401)의 2층의 적층 구조로서, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조; 구리층 위에 몰리브덴층을 적층한 2층 구조; 구리층 위에 질화 티타늄층 또는 질화 탄탈륨을 적층한 2층

구조; 질화 티타늄층과 몰리브덴층을 적층한 2층 구조가 바람직하다. 3층의 적층 구조로서는, 텅스텐층 또는 질화 텅스텐층의 적층, 알루미늄과 규소의 합금 또는 알루미늄과 티타늄의 합금의 적층, 및 질화 티타늄층 또는 티타늄층의 적층이 바람직하다.

- [0077] 게이트 전극층(401) 위에 게이트 절연층(402)이 형성된다.
- [0078] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법등에 의해, 산화 규소층, 질화 규소층, 산화 질화 규소층 또는 질화 산화 규소층을 단층으로 또는 적층해 형성될 수 있다. 예를 들어, 성막 가스로서  $\text{SiH}_4$ , 산소, 및 질소를 이용해, 플라즈마 CVD법에 의해 산화 질화 규소층을 형성할 수 있다.
- [0079] 게이트 절연층(402) 위에, 제1 산화물 반도체막(430) 및 제2 산화물 반도체막(433)이 형성되어 적층된다(도 1의 (a) 참조). 제1 산화물 반도체막(430)은 채널 형성 영역으로서 기능하는 반도체층으로서 역할하며, 제2 산화물 반도체막(433)은 소스 영역 및 드레인 영역으로서 역할한다.
- [0080] 산화물 반도체막을 스퍼터링법에 의해 형성하기 이전에, 아르곤 가스를 도입해 플라즈마를 발생시키는 역스퍼터링을 수행하여 게이트 절연층(402)의 표면에 부착된 먼지를 제거하는 것이 바람직하다는 점에 유의한다. 역스퍼터링이란, 타겟 측에 전압을 인가하지 않고, RF 전원을 이용해 아르곤 분위기에서 기관측에 전압을 인가해 기관 근방에 플라즈마를 생성해 표면을 바꾸는 방법이다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기 등을 이용할 수도 있다는 점에 유의한다. 대안으로서, 아르곤 분위기에 산소,  $\text{N}_2\text{O}$ 등을 추가한 분위기를 이용할 수도 있다. 추가의 대안으로서, 아르곤 분위기에  $\text{Cl}_2$ ,  $\text{CF}_4$ 등을 추가한 분위기를 이용할 수도 있다.
- [0081] 산화물 반도체막으로서, In-Ga-Zn-O계 비-단결정 막을 이용한다. 산화물 반도체막은, In-Ga-Zn-O계 산화물 반도체 타겟을 이용한 스퍼터링법에 의해 형성된다. 산화물 반도체막은, 희가스(대표적으로는, 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서, 스퍼터링법에 의해 형성될 수 있다.
- [0082] 게이트 절연층(402), 제1 산화물 반도체막(430) 및 제2 산화물 반도체막(433)을 대기에 노출시키지 않고 연속적으로 형성할 수도 있다. 대기에 노출시키지 않고 연속으로 막을 형성함으로써, 적층들의 각 계면이, 물이나 하이드로 카본과 같은 대기 성분이나 대기중에 부유하는 불순물 원소에 오염되지 않고 형성될 수 있다. 따라서, 박막 트랜지스터의 특성 격차를 저감할 수 있다.
- [0083] 제1 산화물 반도체막(430) 및 제2 산화물 반도체막(433)에 (질소, 헬륨, 네온, 또는 아르곤과 같은) 불활성 가스 분위기하 또는 감압하에서 열 처리를 실시한 후, 산소 분위기하에서 서랭을 수행한다(도 1의 (b) 참조). 제1 산화물 반도체막(430) 및 제2 산화물 반도체막(433)을 상기 분위기하에서 열 처리할 때, 제1 산화물 반도체막(430) 및 제2 산화물 반도체막(433)에 포함된 물 또는 수소와 같은 불순물을 제거할 수 있다.
- [0084] 열 처리에 있어서, 질소 또는 헬륨, 네온, 아르곤과 같은 희가스에, 물 또는 수소와 같은 불순물이 포함되지 않는 것이 바람직하다는 점에 유의한다. 또한, 열 처리 장치에 도입하는 질소 또는 헬륨, 네온, 아르곤과 같은 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉, 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 하는 것이 바람직하다.
- [0085] 또한, 열 처리에서, 전기로를 이용한 가열 방법 또는 가열된 가스를 이용하는 GRTA(Gas Rapid Thermal Anneal)법 또는 램프광을 이용하는 LRTA(Lamp Rapid Thermal Anneal)법과 같은 순간 가열 방법을 이용할 수 있다.
- [0086] 여기서, 제1 산화물 반도체막(430) 및 제2 산화물 반도체막(433)에 대한 열 처리의 한 형태로서 전기로(601)를 이용한 가열 방법이, 도 28을 참조하여 설명된다.
- [0087] 도 28은 전기로(601)의 개략도이다. 챔버(602)의 외측에는 챔버(602)를 가열하는데 이용되는 히터(603)가 제공된다. 챔버(602) 내에는 기관(604)을 탑재하는 서셉터(605)가 제공되고 기관은(604)은 챔버(602) 내로 또는 내로부터 이송된다. 또한, 챔버(602)에는 가스 공급 수단(606) 및 배기 수단(607)이 제공되고 있다. 가스 공급 수단(606)에 의해, 챔버(602) 내에 가스가 도입된다. 배기 수단(607)은 챔버(602) 내부를 배기하거나 챔버(602) 내의 압력을 줄인다. 전기로(601)의 온도 상승 특성을 0.1°C/min 이상, 20°C/min 이하로 하는 것이 바람직하다는 점에 유의한다. 전기로(601)의 강온 특성을 0.1°C/min 이상, 15°C/min 이하로 하는 것이 바람직하다는 점에 유의한다.
- [0088] 가스 공급 수단(606)은, 가스 공급원(611a), 가스 공급원(611b), 압력 조정 밸브(612a), 압력 조정 밸브(612b), 정제기(613a), 정제기(613b), 매스 플로우 콘트롤러(614a), 매스 플로우 콘트롤러(614b), 스톱 밸브(615a), 스톱 밸브(615b)를 포함한다. 본 실시예에서는, 가스 공급원(611a) 및 가스 공급원(611b)과 챔버(602)

사이에 정제기(613a) 및 정제기(613b)를 제공하는 것이 바람직하다. 정제기(613a) 및 정제기(613b)의 제공에 의해, 가스 공급원(611a) 및 가스 공급원(611b)으로부터 챔버(602) 내에 도입되는 가스 내의, 물 또는 수소와 같은 불순물을, 정제기(613a) 및 정제기(613b)에 의해 제거할 수 있고, 챔버(602) 내로의 물 또는 수소와 같은 불순물의 침입을 억제할 수 있다.

- [0089] 본 실시예에서는, 가스 공급원(611a) 및 가스 공급원(611b)으로부터, 질소 또는 희가스를 챔버(602) 내에 도입하여, 챔버 내부를 질소 또는 희가스 분위기에 있게 하고, 200℃이상 600℃이하, 바람직하게는 400℃이상 450℃이하로 가열된 챔버(602)에서, 기관(604) 위에 형성된 제1 산화물 반도체막(430) 및 제2 산화물 반도체막(433)을 가열한다. 이런 식으로, 제1 산화물 반도체막(430) 및 제2 산화물 반도체막(433)을 탈수화 또는 탈수소화할 수 있다.
- [0090] 대안으로서, 배기 수단에 의한 감압하에서, 200℃이상 600℃이하, 바람직하게는 400℃이상 450℃이하에서 가열된 챔버(602)에서, 기관(604) 위에 형성된 제1 산화물 반도체막(430) 및 제2 산화물 반도체막(433)을 가열하여, 제1 산화물 반도체막(430) 및 제2 산화물 반도체막(433)을 탈수화 또는 탈수소화할 수 있다.
- [0091] 그 다음, 가스 공급원(611a)으로부터 챔버(602)로의 질소 또는 희가스의 도입을 멈추고, 히터를 오프 상태로 한다. 그 다음, 가스 공급원(611b)으로부터 챔버(602) 내에 산소를 도입하고, 가열 장치의 챔버(602)를 서랭한다. 즉, 챔버(602) 내의 분위기를 산소 분위기로 변경하여, 기관(604)을 서랭한다. 여기서는, 가스 공급원(611b)으로부터 챔버(602) 내에 도입되는 산소에, 물 또는 수소와 같은 불순물이 포함되지 않는 것이 바람직하다. 또한, 가스 공급원(611b)으로부터 챔버(602) 내에 도입하는 산소의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉, 산소내 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 하는 것이 바람직하다. 불활성 가스 분위기하 또는 감압하의 열 처리에 의해, 산화물 반도체막의 저항은 감소된다(캐리어 농도가, 바람직하게는  $1 \times 10^{18} / \text{cm}^3$  이상으로 증가됨). 따라서, 저항이 감소된 제1 산화물 반도체막(434) 및 제2 산화물 반도체막(435)을 형성할 수 있다.
- [0092] 그 결과, 이후에 완성되는 박막 트랜지스터의 신뢰성을 높일 수 있다.
- [0093] 감압하에서 열 처리를 수행하는 경우, 열 처리 후에 챔버(602) 내에 산소를 도입하고 압력을 대기압으로 되돌림으로써 냉각을 수행할 수 있다는 점에 유의한다.
- [0094] 또, 가스 공급원(611b)으로부터 챔버(602) 내에 산소를 도입함과 동시에, 헬륨, 네온, 또는 아르곤과 같은 희가스와 질소 중 한편 또는 양쪽 모두를 챔버(602) 내에 도입할 수도 있다.
- [0095] 대안으로서, 가열 장치의 챔버(602) 내의 기관(604)을 300℃로 냉각한 후, 기관(604)을 실온의 분위기로 이송할 수도 있다. 그 결과, 기관(604)의 냉각 시간을 단축할 수가 있다.
- [0096] 만일 가열 장치가 멀티-챔버를 가지는 경우, 열 처리와 냉각 처리를 서로 상이한 챔버에서 수행할 수 있다. 전형적으로는, 질소 또는 희가스로 충전되고 200℃ 이상, 600℃ 이하, 바람직하게는 400℃ 이상, 450℃ 이하로 가열된 제1 챔버에서, 기관 위의 산화물 반도체막을 가열한다. 그 다음, 질소 또는 희가스가 도입된 반송 챔버를 거쳐, 산소 또는 희가스로 충전되어 100℃이하, 바람직하게는 실온인 제2 챔버 내로 상기 열 처리된 기관을 도입하여, 냉각 처리를 수행한다. 전술된 단계들을 통해, 처리율을 향상시킬 수 있다.
- [0097] 불활성 가스 분위기하 또는 감압하의 열 처리 후에, 산소 분위기하에서 실온 이상 100℃ 미만까지 서랭을 실시해, 제1 산화물 반도체막(434) 및 제2 산화물 반도체막(435)이 제공된 기관을 가열 장치로부터 꺼내, 포토리소그래피 단계를 수행한다.
- [0098] 불활성 가스 분위기하 또는 감압하의 열 처리 후의 제1 산화물 반도체막(434) 및 제2 산화물 반도체막(435)은, 아몰퍼스 상태인 것이 바람직하지만, 부분적으로 결정화된 것이어도 좋다.
- [0099] 제1 산화물 반도체막(434) 및 제2 산화물 반도체막(435)을 포토리소그래피 단계에 의해 섬-형상의 산화물 반도체층인 제1 산화물 반도체층(431) 및 제2 산화물 반도체층(436)으로 가공한다(도 1의 (c) 참조).
- [0100] 게이트 절연층(402), 제1 산화물 반도체층(431) 및 제2 산화물 반도체층(436) 위에, 도전막을 형성한다.
- [0101] 도전막의 재료로서, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소; 상기 원소들 중 임의의 원소를 그 성분으로서 포함하는 합금; 상기 원소들 중 임의의 원소의 조합을 포함하는 합금막등을 들 수 있다.
- [0102] 도전막의 형성 후에 열 처리를 수행하는 경우, 도전막이 열 처리를 견딜 수 있는 내열성을 갖는 것이 바람직하다. Al 단독은 내열성이 낮고 부식하기 쉬운 등의 문제점이 있으므로, 내열성 도전 재료와 조합하여 알루미늄을

사용한다. Al과 조합하여 사용되는 내열성 도전 재료로서, 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐)으로부터 선택된 원소; 상기 원소들 중 임의의 원소를 성분으로서 포함하는 합금; 상기 원소들 중 임의의 원소를 조합하여 포함하는 합금막; 상기 원소들 중 임의의 원소를 성분으로서 포함하는 질화물을 사용할 수 있다.

[0103] 제1 산화물 반도체층(431), 제2 산화물 반도체층(436), 및 도전막을 에칭 단계를 통해 에칭하여 제1 산화물 반도체층(432), 소스 영역 및 드레인 영역(404a 및 404b), 소스 전극층 및 드레인 전극층(405a 및 405b)을 형성한다(도 2의 (a) 참조). 제1 산화물 반도체층(431)의 일부만이 에칭되어 제1 산화물 반도체층(432)이 침강부(함몰부)를 가진다는 점에 유의한다.

[0104] 산화물 절연막(407)으로서의 산화 규소막을 스퍼터링법에 의해 제1 산화물 반도체층(432)에 접하여 형성한다. 저항이 감소된 산화물 반도체층에 접하여 형성되는 산화물 절연막(407)은, 수분, 수소 이온, 및 OH<sup>-</sup>와 같은 불순물을 포함하지 않으며, 이 불순물들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하여 형성된다. 구체적으로는, 산화 규소막, 또는 질화 산화 규소막이 이용된다.

[0105] 본 실시예에서는, 산화물 절연막(407)으로서 두께 300 nm의 산화 규소막을 형성한다. 막 형성시의 기판 온도는, 실온 이상, 300°C 이하일 수 있으며; 이 실시예에서는, 기판 온도는 100°C로 설정된다. 산화 규소막의 스퍼터링법에 의한 형성은, 희가스(대표적으로는, 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는, 아르곤) 및 산소 분위기하에서 수행할 수 있다. 또한, 타겟으로서 산화 규소 타겟이나 규소 타겟을 이용할 수도 있다. 예를 들어, 규소 타겟을 이용해, 산소 및 질소 분위기하에서 스퍼터링법에 의해 산화 규소막을 형성할 수 있다.

[0106] 저항이 감소된 제1 산화물 반도체층(432)에 접하여 스퍼터링법 또는 PCVD법등에 의해 산화물 절연막(407)을 형성하면, 저항이 감소된 제1 산화물 반도체층(432)에 있어서, 적어도 산화물 절연막(407)과 접하는 영역의 저항이 증가된다(캐리어 농도가, 바람직하게는  $1 \times 10^{18}/\text{cm}^3$  미만, 한층 더 바람직하게는  $1 \times 10^{14}/\text{cm}^3$  이하로 감소됨); 따라서, 저항이 증가된 산화물 반도체 영역을 형성할 수 있다. 반도체 장치의 제조 공정 동안에, 불활성 가스 분위기하(또는 감압하)의 가열, 산소 분위기하의 서랭, 및 산화물 절연막의 형성등에 의해 산화물 반도체층의 캐리어 농도를 증가 및 감소시키는 것이 중요하다. 제1 산화물 반도체층(432)은, 저항이 증가된 산화물 반도체 영역을 포함하는 반도체층(403)의 역할을 한다. 따라서, 박막 트랜지스터(470)가 제조될 수 있다(도 2의 (b) 참조).

[0107] 상기 탈수 처리 또는 탈수소처리를 위한 열 처리에 의해 제1 산화물 반도체막 및 제2 산화물 반도체막에 포함된(H<sub>2</sub>O, H, 또는 OH와 같은) 불순물을 저감시켜 캐리어 농도를 증가시킨 후, 산소 분위기하에서 서랭한다. 서랭 후, 제1 산화물 반도체막을 섬-형상의 제1 산화물 반도체층으로 가공하고, 제1 산화물 반도체층에 접해 산화물 절연막을 형성하여, 제1 산화물 반도체층의 캐리어 농도를 저감한다. 캐리어 농도가 감소된 제1 산화물 반도체층이 반도체층으로서 이용될 때, 박막 트랜지스터(470)의 신뢰성을 향상시킬 수 있다.

[0108] 또한, 산화물 절연막(407)의 형성 후, 질소 분위기하 또는 대기 분위기하(대기중)에서 박막 트랜지스터(470)에 열 처리(바람직하게는 150°C 이상 350°C 미만)를 수행할 수도 있다. 예를 들어, 질소 분위기하에서 250°C, 1시간의 열 처리를 수행한다. 열 처리에 의해, 산화물 반도체층(403)이 산화물 절연막(407)에 접한 상태로 가열된다. 따라서, 박막 트랜지스터(470)의 전기 특성의 격차를 저감할 수 있다. 이 열 처리(바람직하게는 150°C 이상 350°C 미만)는, 산화물 절연막(407)의 형성 이후에 수행되는 한, 특별한 제한이 없다. 이 열처리가, 또 다른 공정, 예를 들어 수지막 형성시의 열 처리나, 투명 도전막을 저저항화하기 위한 열 처리를 겸한다면, 공정수를 늘리는 일 없이 이 열처리를 수행할 수가 있다.

[0109] [실시예 2]

[0110] 반도체 장치 및 반도체 장치의 제조 방법이, 도 26을 참조하여 설명될 것이다. 실시예 1과 동일한 부분 또는 유사한 기능을 갖는 부분은, 실시예 1에서 설명된 것과 유사한 방식으로 형성될 수 있다; 따라서, 반복적 설명은 생략한다.

[0111] 도 26에 나타난 박막 트랜지스터(471)는, 게이트 전극층(401) 및 반도체층(403)의 채널 영역과 중첩하도록 도전층(408)을 제공하면서 도전층(408)과 반도체층(403) 사이에 절연막을 개재시킨 예이다.

[0112] 도 26는 반도체 장치에 포함된 박막 트랜지스터(471)의 단면도이다. 박막 트랜지스터(471)는 바텀-게이트 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 반도체층

(403), 소스 및 드레인 영역(404a 및 404b), 소스 전극층 및 드레인 전극층(405a 및 405b), 도전층(408)을 포함한다. 도전층(408)은, 게이트 전극층(401)과 중첩하도록 산화물 절연막(407) 위에 제공되고 있다.

[0113] 도전층(408)은, 게이트 전극층(401), 소스 전극층 및 드레인 전극층(405a 및 405b)과 유사한 재료 및 방법을 이용해 형성될 수 있다. 화소 전극층을 제공하는 경우, 도전층(408)은 화소 전극층과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 본 실시예에서, 도전층(408)으로서 티타늄막, 알루미늄막, 및 티타늄막의 적층을 이용한다.

[0114] 도전층(408)은, 게이트 전극층(401)과 동일하거나 상이한 전위를 가질 수도 있으며, 제2 게이트 전극층으로서 기능할 수 있다. 또한, 도전층(408)은 플로팅 상태일 수도 있다.

[0115] 산화물 반도체층(403)과 중첩하는 위치에 도전층(408)을 제공할 때, 박막 트랜지스터의 신뢰성을 검사하기 위한 바이어스-온도 스트레스 시험(이하, BT 시험이라고 언급)에 있어서, BT시험 전과 후의 박막 트랜지스터(471)의 임계 전압의 변화량을 저감할 수가 있다. 특히, 기판 온도를 150℃까지 상승시킨 후에 게이트에 -20V의 전압을 인가하는 -BT 시험에 있어서, 임계 전압의 변동을 억제할 수 있다.

[0116] 이 실시예는 실시예 1과 적절히 조합하여 구현될 수 있다.

[0117] [실시예 3]

[0118] 반도체 장치 및 반도체 장치의 제조 방법이, 도 27을 참조하여 설명될 것이다. 실시예 1과 동일한 부분 또는 유사한 기능을 갖는 부분은, 실시예 1에서 설명된 것과 유사한 방식으로 형성될 수 있다; 따라서, 반복적 설명은 생략한다.

[0119] 도 27에 나타낸 박막 트랜지스터(472)는, 게이트 전극층(401) 및 반도체층(403)의 채널 영역과 중첩하도록 도전층(409)과 반도체층(403) 사이에 절연층(410) 및 산화물 절연막(407)을 개재하여 도전층(409)을 제공한 예이다.

[0120] 도 27은 반도체 장치에 포함된 박막 트랜지스터(472)의 단면도이다. 박막 트랜지스터(472)는 바텀-게이트 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 소스 및 드레인 영역(404a 및 404b), 소스 전극층 및 드레인 전극층(405a 및 405b), 도전층(409)을 포함한다. 도전층(409)은, 게이트 전극층(401)과 중첩하도록 산화물 절연막(407) 및 절연층(410) 위에 제공되고 있다.

[0121] 본 실시예에서는, 산화물 절연막(407) 위에 평탄화막 역할을 하는 절연층(410)을 적층하고, 소스 전극층 또는 드레인 전극층(405b)에 이르는 통로를 산화물 절연막(407) 및 절연층(410)에 형성한다. 산화물 절연막(407) 및 절연층(410)에 형성된 통로에 도전막을 형성하고 원하는 형상으로 에칭하여, 도전층(409) 및 화소 전극층(411)을 형성한다. 이런 식으로, 화소 전극층(411)을 형성하는 단계에서, 동일 재료 및 방법을 이용해 도전층(409)을 형성할 수가 있다. 본 실시예에서, 화소 전극층(411) 및 도전층(409)으로서 산화 규소를 포함한 산화 인듐 - 산화 주석 합금(산화 규소를 포함한 In-Sn-O계 산화물)을 이용한다.

[0122] 대안으로서, 도전층(409)은, 게이트 전극층(401), 소스 전극층 및 드레인 전극층(405 a 및 405b)과 유사한 재료 및 방법을 이용해 형성될 수 있다.

[0123] 도전층(409)은, 게이트 전극층(401)과 동일하거나 상이한 전위를 가질 수도 있으며, 제2 게이트 전극층으로서 기능할 수 있다. 또한, 도전층(409)은 플로팅 상태일 수도 있다.

[0124] 또한, 산화물 반도체층(403)과 중첩하는 위치에 도전층(409)을 제공할 때, 박막 트랜지스터의 신뢰성을 검사하기 위한 바이어스-온도 스트레스 시험(이하, BT 시험이라고 언급)에 있어서, BT시험 전과 후 사이의 박막 트랜지스터(472)의 임계 전압의 변화량을 저감할 수가 있다.

[0125] 본 실시예는, 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.

[0126] [실시예 4]

[0127] 박막 트랜지스터를 포함한 반도체 장치의 제조 공정을, 도 4의 (a) 내지 (c), 도 5의 (a) 내지 (c), 도 6의 (a) 및 (b), 도 7, 및 도 8의 (a1), (a2), (b1) 및 (b2)를 참조하여 설명한다.

[0128] 도 4의 (a)에서, 투광성을 갖는 기판(100)으로서, 바륨 보로실리케이트 유리(barium borosilicate glass), 알루미늄보로실리케이트 유리(aluminoborosilicate glass) 등의 유리 기판을 이용할 수 있다.

[0129] 그 다음, 기판(100) 전체 표면 위에 도전층을 형성한 후, 제1 포토리소그래피 공정을 수행한다. 레지스트 마스크

크를 형성한 다음, 에칭에 의해 불필요한 부분을 제거하여, 배선 및 전극(게이트 전극층(101)을 포함한 게이트 배선, 커패시터 배선(108), 및 제1 단자(121))을 형성한다. 이 때, 적어도 게이트 전극층(101)의 단부가 점점 가늘어지는 형상(tapered shape)을 갖도록 에칭을 수행한다.

[0130] 게이트 전극층(101)을 포함한 게이트 배선, 커패시터 배선(108), 및 단자부의 제1 단자(121) 각각은, 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), 스칸듐(Sc)으로부터 선택된 원소; 또는 상기 원소들 중 임의의 원소를 성분으로서 포함하는 합금; 상기 원소들 주 임의의 원소를 조합한 합금막; 또는 상기 원소들 중 임의의 원소를 성분으로서 포함하는 질화물과 같은, 내열성 도전 재료를 이용하여 형성되는 것이 바람직하다. 알루미늄(Al)이나 구리(Cu)와 같은 저저항 도전성 재료를 이용하는 경우, Al 단체 또는 Cu 단체에서는 내열성이 작고 부식하기 쉬운 등의 문제점이 있으므로 상기 내열성 도전성 재료와 조합하여 이용한다.

[0131] 그 다음, 게이트 전극층(101)의 전체 표면 위에, 게이트 절연층(102)을 형성한다(도 4의 (a) 참조). 게이트 절연층(102)은, 스퍼터링법, PCVD법등에 의해 50 nm 내지 250 nm의 두께로 형성된다.

[0132] 예를 들어, 게이트 절연층(102)으로서, 스퍼터링법에 의해 100 nm 두께로 산화 규소막을 형성한다. 물론, 게이트 절연층(102)은, 이와 같은 산화 규소막으로 한정되지 않고, 산화 질화 규소막, 질화 규소막, 산화 알루미늄, 산화 탄탈륨과 같은 다른 절연막을 이용하여, 단층 또는 적층 구조를 갖도록 형성될 수도 있다.

[0133] 그 다음, 게이트 절연층(102) 위에, 제1 산화물 반도체막(131)(제1 In-Ga-Zn-O계 비-단결정 막)을 형성한다. 플라즈마 처리 후 대기에 노출되지 않고 제1 산화물 반도체막(131)이 형성되고, 이것은, 게이트 절연층과 반도체막 사이의 계면에 먼지나 수분이 부착되지 않는다는 점에서 유의하다. 여기서는, 직경 8 인치의 In, Ga, 및 Zn 을 포함한 산화물 반도체 타겟( $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ )을 이용해, 기판과 타겟의 사이의 거리를 170 mm, 압력 0.4 Pa, 직류(DC) 전원 0.5 kW, 아르곤 또는 산소 분위기하에서 제1 산화물 반도체막(131)을 형성한다. 펄스 직류(DC) 전원을 이용하면, 먼지를 경감할 수 있고 막두께를 균일하게 할 수 있기 때문에 바람직하다는 점에 유의한다. 제1 산화물 반도체막(131)의 두께는, 5 nm 내지 200 nm로 설정된다. 제1 산화물 반도체막(131)으로서, In-Ga-Zn-O계 산화물 반도체 타겟을 이용해 스퍼터링법에 의해 두께 50 nm의 In-Ga-Zn-O계 비-단결정 막을 형성한다.

[0134] 그 다음, 대기에 노출되지 않고 스퍼터링법으로 제2 산화물 반도체막(136)(제2 In-Ga-Zn-O계 비-단결정 막)을 형성한다(도 4의 (b) 참조). 여기서, 스퍼터링은,  $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ 인 타겟을 이용하여, 막 형성 조건으로서 압력 0.4 Pa, 전력 500 W, 막 형성 온도 실온, 아르곤 가스 유량 40 sccm를 도입해, 수행된다.  $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ 인 타겟을 이용하지만, 막 형성 직후에 크기 1 nm 내지 10 nm의 결정립을 포함한 In-Ga-Zn-O계 비-단결정 막이 형성되는 경우가 있다. 타겟의 성분비, 형성 압력(0.1Pa 내지 2.0 Pa), 전력(250 W 내지 3000 W: 8 인치  $\phi$ ), 및 온도(실온 내지 100°C)와 같은 반응성 스퍼터링의 막 형성 조건을 적절히 조절함으로써, 결정립의 유무나 결정립의 밀도가 조절될 수 있고, 직경 사이즈가 1 nm-10 nm의 범위에서 조절될 수 있다고 말할 수 있다는 점에 유의한다. 제2 In-Ga-Zn-O계 비-단결정 막은, 5 nm 내지 20 nm의 두께를 가진다. 물론, 막에 포함되는 결정립의 크기는 막 두께를 초과하지 않는다. 여기서, 제2 In-Ga-Zn-O계 비-단결정 막의 두께는, 5 nm이다.

[0135] 제1 In-Ga-Zn-O계 비-단결정 막은, 제2 In-Ga-Zn-O계 비-단결정 막과는 상이한 막 형성 조건하에서 형성된다. 예를 들어, 제1 In-Ga-Zn-O계 비-단결정 막은, 제2 In-Ga-Zn-O계 비-단결정 막의 막 형성 조건에서의 산소 가스 유량 대 아르곤 가스 유량의 비율보다 높은 산소 가스 유량 대 아르곤 가스 유량의 비율을 갖는 조건에서 형성된다. 구체적으로는, 제2 In-Ga-Zn-O계 비-단결정 막은, (아르곤 또는 헬륨과 같은) 희가스 분위기하(또는 산소 가스 10%이하와 아르곤 가스 90%이상을 포함하는 분위기)에서 형성되고, 제1 In-Ga-Zn-O계 비-단결정 막은, 산소 혼합 분위기하(산소 가스 유량은 희가스 유량보다 높다)에서 형성된다.

[0136] 제2 In-Ga-Zn-O계 비-단결정 막의 형성에 이용되는 챔버는, 앞서 역스퍼터링을 실시한 챔버와 동일한 챔버이거나 상이한 챔버일 수 있다.

[0137] 스퍼터링법의 예로서, 스퍼터링용 전원으로서 고주파 전원을 이용하는 RF 스퍼터링법과, DC 스퍼터링법, 바이어스가 펄스화된 방식으로 인가되는 펄스 DC 스퍼터링법이 포함된다. RF 스퍼터링법은 주로 절연막을 형성하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 형성하는 경우에 이용된다.

[0138] 또한, 상이한 재료의 복수개 타겟이 셋팅될 수 있는 멀티-소스 스퍼터링 장치도 있다. 멀티-소스 스퍼터링 장치를 이용하여, 동일한 챔버에서 상이한 재료의 막을 적층하여 형성하거나, 동일한 챔버에서 전기 방전에 의해 동

시에 복수 종류의 재료의 막을 형성할 수도 있다.

- [0139] 또한, 챔버 내부에 자석 시스템을 갖추고 마그네트론 스퍼터링법에 이용되는 스퍼터링 장치와, 글로우 방전을 사용하지 않고 마이크로파를 이용해 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법에 이용되는 스퍼터링 장치가 있다.
- [0140] 또한, 스퍼터링법에 의한 막 형성 방법으로서, 막 형성 동안에 타겟 물질과 스퍼터링 가스 성분을 서로 화학반응시켜 그 화합물 박막을 형성하는 리액티브 스퍼터링법과, 막 형성 동안에 기판에도 전압을 인가하는 바이어스 스퍼터링법이 있다.
- [0141] 그 다음, 제1 산화물 반도체막(131) 및 제2 산화물 반도체막(136)에 탈수화 또는 탈수소화를 위한 열 처리를 수행한다. 제1 산화물 반도체막(131) 및 제2 산화물 반도체막(136)에 (질소, 헬륨, 네온, 또는 아르곤과 같은) 불활성 가스 분위기하 또는 감압하에서 열 처리를 실시한 후, 산소 분위기하에서 서랭을 수행한다.
- [0142] 열 처리는, 200℃ 이상에서 수행하는 것이 바람직하다. 예를 들어, 질소 분위기하에서 450℃, 1시간의 열 처리를 수행한다. 질소 분위기하의 이 열 처리에 의해, 제1 산화물 반도체막(131) 및 제2 산화물 반도체막(136)의 저항은 감소되고(캐리어 농도가, 바람직하게는  $1 \times 10^{18}/\text{cm}^3$  이상으로 증가됨), 그 전도율이 증가된다. 따라서, 저항이 감소된 제1 산화물 반도체막(133) 및 제2 산화물 반도체막(137)이 형성된다(도 4의 (c) 참조). 제1 산화물 반도체막(133) 및 제2 산화물 반도체막(137)의 전기 전도율은  $1 \times 10^{-1} \text{ S/cm}$  이상,  $1 \times 10^2 \text{ S/cm}$  이하가 바람직하다.
- [0143] 그 다음, 제2 포토리소그래피 단계가 수행된다. 레지스트 마스크가 형성되고, 제1 산화물 반도체막(133) 및 제2 산화물 반도체막(137)이 에칭된다. 예를 들어, 인산과 초산과 질산을 혼합한 용액을 이용한 습식 에칭에 의해 불필요한 부분들을 제거하여, 제1 산화물 반도체층(134) 및 제2 산화물 반도체층(138)을 형성한다. 여기서의 에칭은 습식 에칭으로 한정되지 않고 건식 에칭을 이용해도 좋다는 점에 유의한다.
- [0144] 건식 에칭을 위한 에칭 가스로서, 염소를 포함하는 가스(염소( $\text{Cl}_2$ ), 염화 붕소( $\text{BCl}_3$ ), 염화 규소( $\text{SiCl}_4$ ), 사염화 탄소( $\text{CCl}_4$ )와 같은 염소계 가스)가 바람직하게 사용된다.
- [0145] 대안으로서, 불소를 포함하는 가스(4 불화 탄소( $\text{CF}_4$ ), 6 불화 유황( $\text{SF}_6$ ), 3 불화 질소( $\text{NF}_3$ ), 3 불화 메탄( $\text{CHF}_3$ )과 같은 불소계 가스); 취화 수소( $\text{HBr}$ ); 산소( $\text{O}_2$ ); 이러한 가스에 헬륨(He)이나 아르곤(Ar)등의 희가스를 첨가한 가스 등을 이용할 수가 있다.
- [0146] 건식 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching) 법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 이용할 수가 있다. 희망하는 형상으로 막을 에칭하기 위하여, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판축의 전극에 인가되는 전력량, 기판축의 전극 온도등)을 적절하게 조절한다.
- [0147] 습식 에칭을 위해 이용하는 에칭제로서는, 인산과 초산과 질산을 혼합한 용액등을 이용할 수가 있다. 대안으로서, (KANTO CHEMICAL CO., INC에 의해 생산되는) ITO-07N을 이용할 수도 있다.
- [0148] 또한, 습식 에칭 후의 에칭제는 에칭된 재료와 함께 세정에 의해 제거된다. 제거된 재료를 포함하는 액칭제의 폐수를 정제하여, 그 재료를 재이용할 수도 있다. 에칭후의 폐수로부터 산화물 반도체층에 포함된 인듐과 같은 재료를 회수해 재이용하면, 자원을 효율적으로 사용하여 비용을 절감할 수 있다.
- [0149] 에칭에 의해 희망하는 형상을 얻기 위하여, 재료에 따라 (에칭액, 에칭 시간, 및 온도와 같은) 에칭 조건을 적절히 조절한다.
- [0150] 그 다음, 스퍼터링법이나 진공 증착법으로 제1 산화물 반도체층(134) 및 제2 산화물 반도체층(138) 위에 금속 재료를 이용하여 도전막(132)을 형성한다(도 5의 (b) 참조).
- [0151] 도전막(132)의 재료로서, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상기 원소들 중 임의의 원소를 그 성분으로서 포함하는 합금, 상기 원소들 중 임의의 원소의 조합을 포함하는 합금등을 들 수 있다.
- [0152] 도전막(132)의 형성 후에 열 처리를 수행하는 경우, 도전막은 이 열 처리를 견딜 수 있는 내열성을 갖는 것이 바람직하다.
- [0153] 그 다음, 제3 포토리소그래피 단계가 수행된다. 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해 소스 전극층 및 드레인 전극층(105a 및 105b), 제1 산화물 반도체층(135), 소스 영역 및 드레인 영역(104a

및 104b), 및 제2 단자(122)를 형성한다(도 5의 (c) 참조). 이 때의 에칭 방법으로서 습식 에칭 또는 건식 에칭을 이용한다. 예를 들어, 도전막(132)으로서 알루미늄막 또는 알루미늄 합금막을 이용하는 경우, 인산과 초산과 질산을 혼합한 용액을 이용한 습식 에칭을 수행할 수가 있다. 대안으로서, 암모니아과수(과산화수소 : 암모니아 : 물 = 5 : 2 : 2)를 이용한 습식 에칭에 의해, 도전막(132)을 에칭하여 소스 전극층 및 드레인 전극층(105a 및 105b)을 형성한다. 이 에칭 단계에서, 제1 산화물 반도체층(134)의 노출 영역의 일부가 에칭되어, 제1 산화물 반도체층(135)이 형성된다. 따라서, 제1 산화물 반도체층(135)은, 소스 전극층 및 드레인 전극층(105a 및 105b)들 사이에서 두께가 얇은 영역을 가진다. 도 5의 (c)에서, 소스 전극층 및 드레인 전극층(105a 및 105b), 제1 산화물 반도체층(135), 소스 영역 및 드레인 영역(104a 및 104b)는 건식 에칭에 의해 한 번에 에칭된다; 따라서, 소스 전극층 및 드레인 전극층(105a 및 105b), 제1 산화물 반도체층(135), 및 소스 영역 및 드레인 영역(104a 및 104b)의 단부는 서로 정렬되어, 연속적 구조가 형성된다.

[0154] 제3 포토리소그래피 단계에 있어서, 소스 전극층 및 드레인 전극층(105a 및 105b)과 동일한 재료를 이용하여 형성된 제2 단자(122)를 단자부에 남긴다. 제2 단자(122)는 소스 배선(소스 전극층 및 드레인 전극층(105a 및 105b)을 포함한 소스 배선)에 전기적으로 접속된다는 점에 유의한다.

[0155] 또한, 다계조 마스크를 이용하여 형성된 복수의 두께(전형적으로는 2개의 상이한 두께)의 영역을 갖는 레지스트 마스크를 이용하면, 레지스트 마스크의 수를 줄일 수가 있어, 공정이 간략화되고, 비용이 저감된다.

[0156] 그 다음, 레지스트 마스크를 제거하고, 게이트 절연층(102), 제1 산화물 반도체층(135), 소스 영역 및 드레인 영역(104a 및 104b), 및 소스 전극층 및 드레인 전극층(105a 및 105b)을 덮도록 보호 절연층(107)을 형성한다. 보호 절연층(107)으로서, PCVD법에 의해 형성되는 산화 질화 규소막을 이용한다. 보호 절연층(107)의 역할을 하는 산화 질화 규소막이 소스 전극층 및 드레인 전극층(105a 및 105b) 사이의 제1 산화물 반도체층(135)의 노출 영역에 접하여 제공됨으로써, 보호 절연층(107)과 접하는 제1 산화물 반도체층(135)의 영역의 저항이 증가된다(캐리어 농도가, 바람직하게는  $1 \times 10^{18} / \text{cm}^3$  미만, 한층 더 바람직하게는  $1 \times 10^{14} / \text{cm}^3$  이하로 감소됨). 따라서, 저항이 증가된 채널 형성 영역을 포함하는 반도체층(103)이 형성될 수 있다.

[0157] 이상의 단계들을 통해, 박막 트랜지스터(170)를 제조할 수 있다. 도 7은 이 단계에서의 평면도에 대응한다는 점에 유의한다.

[0158] 그 다음, 제4 포토리소그래피 단계가 수행된다. 레지스트 마스크를 형성하고, 보호 절연층(107) 및 게이트 절연층(102)이 에칭되어, 소스 또는 드레인 전극층(105b)에 이르는 콘택 홀(125)이 형성된다. 또한, 동일한 에칭 단계에서, 제2 단자(122)에 이르는 콘택 홀(127)과 제1 단자(121)에 이르는 콘택 홀(126)도 형성한다. 도 6의 (a)는 이 단계에서의 단면도이다.

[0159] 그 다음, 레지스트 마스크가 제거된 다음, 투명 도전막이 형성된다. 투명 도전막은, 스퍼터링법이나 진공 증착법등에 의해 산화 인듐( $\text{In}_2\text{O}_3$ )이나 산화 인듐 산화 주석 합금( $\text{In}_2\text{O}_3\text{-SnO}_2$ , ITO로 약기함) 등을 이용하여 형성된다. 이와 같은 재료는 염산계의 용액에 의해 에칭된다. 그러나, 특히 ITO의 에칭시에는 찌꺼기가 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위해서 산화 인듐 산화 아연 합금( $\text{In}_2\text{O}_3\text{-ZnO}$ )을 이용할 수도 있다. 대안으로서, 산화 규소를 포함하는 산화 인듐 - 산화 주석 합금(산화 규소를 포함하는 In-Sn-O계 산화물)을 이용할 수도 있다.

[0160] 또한, 화소 전극층으로서 반사성 전극층을 이용하는 경우, 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈륨(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag)과 같은 금속; 그 합금; 및 그 금속 질화물로부터 선택된 한 종 이상의 재료를 이용하여 반사성 전극층을 형성할 수가 있다.

[0161] 그 다음, 제5 포토리소그래피 단계가 수행된다. 레지스터 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해 화소 전극층(110)을 형성한다.

[0162] 이 제5 포토리소그래피 단계에 있어서, 스토리지 커패시터는, 커패시터부에서 게이트 절연층(102) 및 보호 절연층(107)이 유전체로서 사용되는 커패시터 배선(108)과 화소 전극층(110)으로 형성된다.

[0163] 또한, 제5 포토리소그래피 단계에서, 제1 단자(121) 및 제2 단자(122)를 레지스트 마스크로 피복하고, 투명 도전막(128 및 129)을 단자부에 남긴다. 투명 도전막(128 및 129)은 FPC와의 접속에 이용되는 전극 또는 배선으로서 기능한다. 제1 단자(121) 위에 형성된 투명 도전막(128)은, 게이트 배선의 입력 단자로서 기능하는 접속용의 단자 전극이다. 제2 단자(122) 위에 형성된 투명 도전막(129)은, 소스 배선의 입력 단자로서 기능하는 접속용의

단자 전극이다.

- [0164] 그 다음, 레지스트 마스크가 제거된다. 도 6의 (b)는 이 단계에서의 단면도이다.
- [0165] 열 처리는, 보호 절연층(107)의 형성 또는 화소 전극층(110)의 형성 이후에 수행될 수 있다. 열 처리는, 대기 분위기하 또는 질소 분위기하에서, 150℃ 이상 350℃ 미만에서 수행될 수 있다. 열 처리에서, 반도체층(103)이 보호 절연층(107)과 접한 상태로 가열된다; 따라서, 반도체층(103)의 저항이 더욱 증가되어, 트랜지스터의 전기 특성의 향상 및, 전기 특성의 격차를 경감할 수 있다. 이 열 처리(바람직하게는 150℃ 이상 350℃ 미만)에 관하여, 보호 절연층(107)의 형성 이후에 수행되는 한, 특별한 제한이 없다. 이 열처리가, 또 다른 공정, 예를 들어 수지막 형성시의 열 처리나, 투명 도전막을 저저항화하기 위한 열 처리를 겸한다면, 공정수를 늘리는 일 없이 이 열처리를 수행할 수가 있다.
- [0166] 또한, 도 8의 (a1) 및 (a2)는, 각각, 이 단계에서의 게이트 배선 단자부의 단면도 및 평면도이다. 도 8의 (a1)은, 도 8의 (a2)의 라인 E1- E2를 따라 취해진 단면도이다. 도 8의 (a1)에서, 보호 절연막(154) 위에 형성된 투명 도전막(155)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 8의 (a1)의 단자부에서, 게이트 배선과 동일한 재료로 형성되는 제1 단자(151)와, 소스 배선과 동일한 재료로 형성되는 접속 전극층(153)은, 그들 사이에 게이트 절연층(152)이 개재된 채 서로 중첩하며, 투명 도전막(155)을 통해 서로 전기적으로 접속된다. 도 6의 (b)에서 투명 도전막(128)과 제1 단자(121)가 서로 접촉하고 있는 부분이, 도 8의 (a1)에서 투명 도전막(155)과 제1 단자(151)이 서로 접촉하고 있는 부분에 대응하고 있다는 점에 유의한다.
- [0167] 도 8의 (b1) 및 (b2)는 각각, 도 6의 (b)에 도시된 것과는 상이한 소스 배선 단자부의 단면도 및 평면도이다. 도 8의 (b1)은, 도 8의 (b2)의 라인 F1-F2를 따라 취해진 단면도이다. 도 8의 (b1)에서, 보호 절연막(154) 위에 형성된 투명 도전막(155)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 게다가, 도 8의 (b1)의 단자부에서, 게이트 배선과 동일한 재료를 이용하여 형성되는 전극층(156)이, 소스 배선에 전기적으로 접속된 제2 단자(150)의 하부에 위치하여 중첩되며, 이들 사이에는 게이트 절연층(152)이 개재된다. 전극층(156)은 제2 단자(150)에 전기적으로 접속되지 않고, 전극층(156)의 전위를 제2 단자(150)와는 상이한 전위, 예를 들어, 플로팅, GND, 0 V 등으로 설정하면, 노이즈 또는 정전기 방지를 위한 커패시터를 형성할 수가 있다. 제2 단자(150)는 투명 도전막(155)에 전기적으로 접속되며, 이들 사이에는 보호 절연막(154)이 개재되어 있다.
- [0168] 화소 밀도에 따라, 복수의 게이트 배선, 소스 배선, 및 커패시터 배선이 제공된다. 또한, 단자부에서, 게이트 배선과 동일한 전위의 제1 단자, 소스 배선과 동일한 전위의 제2 단자, 커패시터 배선과 동일한 전위의 제3의 단자등이 각각 복수 배치된다. 단자들 각각의 수는, 임의의 갯수일 수 있으며, 단자들의 수는 실시자에 의해 적절하게 결정될 수 있다.
- [0169] 이들 5회의 포토리소그래피 단계를 통해, 5개의 포토마스크를 사용해, 스테퍼형 구조를 갖는 바텀-게이트 박막 트랜지스터인 박막 트랜지스터(170)를 포함하는 화소 박막 트랜지스터부 및 스토리지 커패시터를 완성할 수 있다. 화소들이 매트릭스 형태로 배열되어 있는 화소부의 각 화소에 박막 트랜지스터 및 스토리지 커패시터를 배치함으로써, 액티브 매트릭스 표시 장치를 제조하기 위한 기관들 중 하나를 얻을 수 있다. 본 명세서에서는, 편의상, 이와 같은 기관을 액티브 매트릭스 기관이라고 부른다.
- [0170] 액티브 매트릭스 액정 표시 장치를 제조하는 경우, 액티브 매트릭스 기관과 대향 전극이 제공된 대향 기관은 서로 접합되며, 그 사이에 액정층이 개재된다. 대향 기관 상의 대향 전극과 전기적으로 접속된 공통 전극은, 액티브 매트릭스 기관 위에 제공되며, 공통 전극에 전기적으로 접속된 제4 단자가 단자부에 제공된다는 점에 유의한다. 이 제4 단자는, 공통 전극을, GND 또는 0V와 같은 고정 전위로 설정하기 위한 단자이다.
- [0171] 대안으로서, 커패시터 배선을 제공하지 않고, 화소 전극이 인접 화소의 게이트 배선과 중첩하고, 보호 절연막 및 게이트 절연층이 이들 사이에 개재되어 있는, 스토리지 커패시터를 형성할 수도 있다.
- [0172] 액티브 매트릭스 액정 표시 장치에서, 매트릭스 형태로 배치된 화소 전극은, 화면에 표시 패턴을 형성하도록 구동된다. 구체적으로는, 선택된 화소 전극과 그 화소 전극에 대응하는 대향 전극 사이에 전압이 인가되어, 화소 전극과 대향 전극 사이에 제공된 액정층이 광학적으로 변조되고, 이 광학적 변조가 관찰자에게는 표시 패턴으로서 인식된다.
- [0173] 동영상 표시에 있어서, 액정 표시 장치는, 액정 분자 자체의 긴 응답 시간 때문에, 동영상의 흐려짐과 잔상의 문제가 있다. 액정 표시 장치의 동영상 특성을 개선하기 위하여, 매 한 프레임 걸러 한 프레임마다 전체 화면에 검정색 화상이 표시되는 소위, 검정색 삽입이라 불리는 구동 기술이 사용된다.

- [0174] 대안으로서, 동영상 특성을 개선하기 위해 수직 동기 주파수가 통상의 수직 동기 주파수보다 1.5배 이상, 바람직하게는 2배 이상 높은, 배속 구동이라 불리는 구동 기술이 이용될 수 있다.
- [0175] 또한, 액정 표시 장치의 동영상 특성을 개선하기 위하여, 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원을 포함하는 면광원을 백 라이트로서 이용하고, 면광원에 포함된 각 광원을 1 프레임 기간 내에서 펄스화된 방식으로 독립적으로 구동하는 또 다른 구동 기술이 이용될 수도 있다. 면광원으로서, 3 종류 이상의 LED가 이용될 수도 있고, 백색 발광의 LED가 이용될 수도 있다. 복수의 LED가 독립적으로 제어될 수 있기 때문에, LED의 발광 타이밍은, 액정층이 광학적으로 변조되는 타이밍과 동기화될 수 있다. 이 구동 기술에 따르면, LED들은 부분적으로 소등될 수 있기 때문에, 특히, 검정색 표시 영역의 비율이 많은 영상을 표시하는 경우, 소비 전력의 저감 효과를 얻을 수 있다.
- [0176] 이러한 구동 기술들을 조합함으로써, 동영상 특성과 같은, 액정 표시 장치의 표시 특성이 종래의 액정 표시 장치에 비해 개선될 수 있다.
- [0177] 본 명세서에 개시된 n채널형의 트랜지스터는, 채널 형성 영역을 위해 이용되는 산화물 반도체막을 포함하며, 양호한 동적 특성을 가지기 때문에, 이러한 구동 기술들과 조합될 수 있다.
- [0178] 발광 표시 장치의 제조시, 유기 발광 소자의 한 전극(캐소드라고도 부름)은, GND 또는 0 V와 같은 저전원 전위로 설정된다; 따라서, 캐소드를, GND 또는 0 V와 같은 저전원 전위로 설정하기 위한 제4 단자가 단자부에 제공된다. 또한, 발광 표시 장치의 제조시, 소스 배선 및 게이트 배선 외에도 전원 공급선이 제공된다. 따라서, 전원 공급선에 전기적으로 접속된 제5 단자가 단자부에 제공된다.
- [0179] 발광 표시 장치의 제조시, 일부 경우에는 유기 수지층을 포함하는 격벽이 유기 발광 소자들 사이에 제공된다. 그 경우, 유기 수지층에 수행되는 열 처리는, 반도체층(103)의 저항을 증가시켜 트랜지스터의 전기 특성의 향상 및 전기 특성의 격차를 경감하는 열처리를 겸할 수 있다.
- [0180] 박막 트랜지스터에 대해 산화물 반도체를 이용함으로써, 제조 비용이 저감된다. 특히, 탈수화 또는 탈수소화를 위한 열 처리에 의해, 수분과 같은 불순물들이 저감되고 산화물 반도체막의 순도가 높아진다. 따라서, 막-형성 챔버내의 이슬점을 낮춘 특수한 스퍼터링 장치나 초고순도의 산화물 반도체 타겟을 이용하지 않아도, 양호한 전기 특성을 갖는 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제조할 수 있다.
- [0181] 채널 형성 영역의 반도체층은 저항이 증가된 영역이므로, 박막 트랜지스터의 전기적 특성이 안정화되고, 오프 전류의 증가등을 방지할 수 있다. 따라서, 양호한 전기 특성을 갖는 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제공할 수 있다.
- [0182] 본 실시예는, 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.
- [0183] [실시예 5]
- [0184] 반도체 장치의 일례인 표시 장치에서 적어도 구동 회로의 일부와 화소부에 배치되는 박막 트랜지스터를 동일 기판 위에 형성하는 예를 이하에서 설명한다.
- [0185] 화소부에 배치되는 박막 트랜지스터는 실시예 1 내지 4에 따라 형성된다. 또한, 실시예 1 내지 4에서 설명된 박막 트랜지스터는 n채널형 TFT이기 때문에, 구동 회로들 중에서 n채널형 TFT를 포함할 수 있는 구동 회로의 일부는, 화소부의 박막 트랜지스터와 동일한 기판 위에 형성된다.
- [0186] 도 14의 (a)는, 반도체 장치의 일례인 액티브 매트릭스 액정 표시 장치의 블록도의 일례를 나타낸다. 도 14의 (a)에 나타낸 표시 장치는, 기판(5300) 위에, 표시 소자를 갖춘 화소를 복수개 포함하는 화소부(5301)와, 각 화소를 선택하는 주사선 구동 회로(5302)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5303)를 포함한다.
- [0187] 화소부(5301)는, 신호선 구동 회로(5303)로부터 열방향으로 연장된 복수의 신호선(S1-Sm)(미도시)에 의해 신호선 구동 회로(5303)에 접속되고, 주사선 구동 회로(5302)로부터 행방향으로 연장된 복수의 주사선(G1-Gn)(미도시)에 의해 주사선 구동 회로(5302)에 접속된다. 화소부(5301)는, 신호선(S1-Sm) 및 주사선(G1-Gn)에 대응하도록 매트릭스 형태로 배열된 복수의 화소(미도시)를 포함한다. 각각의 화소는, 신호선 Sj(신호선 S1 내지 Sm 중 하나) 및 주사선 Gi(주사선 G1 내지 Gn 중 하나)에 접속된다.
- [0188] 또한, 실시예 1 내지 4에서 설명된 박막 트랜지스터는 n채널형 TFT이며, n채널형 TFT를 포함하는 신호선 구동

회로를 도 15를 참조하여 설명한다.

- [0189] 도 15에 나타난 신호선 구동 회로는, 구동 IC(5601), 스위치군(5602\_1 내지 5602\_M), 제1 배선(5611), 제2 배선(5612), 제3 배선(5613), 및 배선(5621\_1 내지 5621\_M)을 포함한다. 스위치군(5602\_1 내지 5602\_M) 각각은, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b), 및 제3 박막 트랜지스터(5603c)를 포함한다.
- [0190] 구동 IC(5601)는, 제1 배선(5611), 제2 배선(5612), 제3 배선(5613), 및 배선(5621\_1 내지 5621\_M)에 접속된다. 스위치군(5602\_1 내지 5602\_M) 각각은, 제1 배선(5611), 제2 배선(5612), 및 제3 배선(5613)에 접속되고, 배선(5621\_1 내지 5621\_M)은 스위치군(5602\_1 내지 5602\_M)에 각각 접속된다. 배선(5621\_1 내지 5621\_M) 각각은, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b), 및 제3 박막 트랜지스터(5603c)를 통해 3개의 신호선에 접속된다. 예를 들어, J열의 배선(5621\_J)(배선 5621\_1 내지 5621\_M 중 하나)은, 스위치군(5602\_J)에 포함된 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통해, 신호선(S<sub>j-1</sub>), 신호선(S<sub>j</sub>), 신호선(S<sub>j+1</sub>)에 접속된다.
- [0191] 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 각각에는, 신호가 입력된다.
- [0192] 구동 IC(5601)는 단결정 기관 위에 형성되는 것이 바람직하다는 점에 유의한다. 또한, 스위치군(5602\_1 내지 5602\_M)은, 화소부와 동일한 기관 위에 형성되는 것이 바람직하다. 따라서, 구동 IC(5601)와 스위치군(5602\_1 내지 5602\_M)은 FPC등을 통해 접속된다.
- [0193] 그 다음, 도 15에 나타난 신호선 구동 회로의 동작을, 도 16의 타이밍 차트를 참조하여 설명한다. 도 16의 타이밍 차트는, i행의 주사선 G<sub>i</sub>가 선택된 경우를 나타낸다. i행의 주사선 G<sub>i</sub>의 선택 기간은, 제1 서브-선택 기간 T1, 제2 서브-선택 기간 T2, 및 제3 서브-선택 기간 T3으로 분할된다. 또한, 도 15의 신호선 구동 회로는, 다른 행의 주사선이 선택되고 있는 경우에도 도 16와 유사하게 동작한다.
- [0194] 도 16의 타이밍 차트는, J열의 배선(5621\_J)가 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통해, 신호선(S<sub>j-1</sub>), 신호선(S<sub>j</sub>), 신호선(S<sub>j+1</sub>)에 접속되는 경우를 나타낸다는 점에 유의한다.
- [0195] 도 16의 타이밍 차트는, i행의 주사선 G<sub>i</sub>가 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온/오프의 타이밍(5703a), 제2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5703b), 제3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5703c), 및 J열의 배선(5621\_J)에 입력되는 신호(5721\_J)를 나타낸다.
- [0196] 제1 서브-선택 기간 T1, 제2 서브-선택 기간 T2, 및 제3 서브-선택 기간 T3에서, 배선(5621\_1 내지 5621\_M)에는 상이한 비디오 신호들이 입력된다. 예를 들어, 제1 서브-선택 기간 T1에서 배선(5621\_J)에 입력되는 비디오 신호는 신호선(S<sub>j-1</sub>)에 입력되고, 제2 서브-선택 기간 T2에서 배선(5621\_J)에 입력되는 비디오 신호는 신호선(S<sub>j</sub>)에 입력되며, 제3 서브-선택 기간 T3에서 배선(5621\_J)에 입력되는 비디오 신호는 신호선(S<sub>j+1</sub>)에 입력된다. 또한, 제1 서브-선택 기간 T1, 제2 서브-선택 기간 T2, 및 제3 서브-선택 기간 T3에서 배선(5621\_J)에 입력되는 비디오 신호를 각각 Data<sub>j-1</sub>, Data<sub>j</sub>, Data<sub>j+1</sub>로 표기한다.
- [0197] 도 16에 도시된 바와 같이, 제1 서브-선택 기간 T1에서, 제1 박막 트랜지스터(5603a)는 온으로 되고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)는 오프로 된다. 이 때, 배선(5621\_J)에 입력되는 Data<sub>j-1</sub>이, 제1 박막 트랜지스터(5603a)를 통해 신호선(S<sub>j-1</sub>)에 입력된다. 제2 서브-선택 기간 T2에서, 제2 박막 트랜지스터(5603b)는 온으로 되고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)는 오프로 된다. 이 때, 배선(5621\_J)에 입력되는 Data<sub>j</sub>가, 제2 박막 트랜지스터(5603b)를 통해 신호선(S<sub>j</sub>)에 입력된다. 제3 서브-선택 기간 T3에서, 제3 박막 트랜지스터(5603c)는 온으로 되고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)는 오프로 된다. 이 때, 배선(5621\_J)에 입력되는 Data<sub>j+1</sub>이, 제3 박막 트랜지스터(5603c)를 통해 신호선(S<sub>j+1</sub>)에 입력된다.
- [0198] 전술된 바와 같이, 도 15의 신호선 구동 회로에서, 1개의 게이트 선택 기간을 3개로 분할함으로써, 1개의 게이트 선택 기간에 하나의 배선(5621)으로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 15의 신호선 구동 회로에서, 구동 IC(5601)가 제공된 기관과 화소부가 제공된 기관 사이의 접속수가 신호선 수의 약 1/3로 될 수 있다. 접속수가 신호선 수의 약 1/3로 줄어들어, 도 15의 신호선 구동 회로의 신뢰성, 수율등이 향상될 수 있다.
- [0199] 도 15에 도시된 바와 같이, 1개의 게이트 선택 기간을 복수의 서브-선택 기간으로 분할하고 각각의 서브-선택 기간에서 하나의 배선으로부터 복수의 신호선에 비디오 신호를 입력할 수가 있다면, 박막 트랜지스터의 배치,

갯수, 구동 방법 등에는 특별한 제한이 없다는 점에 유의한다.

- [0200] 예를 들어, 3개 이상의 서브-선택 기간 각각에서 하나의 배선으로부터 3개 이상의 신호선에 비디오 신호를 입력할 때, 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위한 배선만 추가하면 된다. 1개의 게이트 선택 기간을 4개 이상의 서브-선택 기간으로 분할하면, 1개의 서브-선택 기간이 더 짧아진다는 점에 유의한다. 따라서, 1개의 게이트 선택 기간을 2개 또는 3개의 서브-선택 기간으로 분할하는 것이 바람직하다.
- [0201] 또 다른 예로서, 도 17의 타이밍 차트에 도시된 바와 같이, 1개의 게이트 선택 기간을, 프리차지 기간  $T_p$ , 제1 서브-선택 기간  $T_1$ , 제2 서브-선택 기간  $T_2$ , 및 제3 서브-선택 기간  $T_3$ 으로 분할할 수도 있다. 또한, 도 17의 타이밍 차트는,  $i$ 행의 주사선  $G_i$ 가 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온/오프의 타이밍 (5803a), 제2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5803b), 제3 박막 트랜지스터(5603c)의 온/오프의 타이밍 (5803c), 및  $J$ 열의 배선(5621\_J)에 입력되는 신호(5821\_J)를 나타낸다. 도 17에 도시된 바와 같이, 프리차지 기간  $T_p$ 에서, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 온으로 된다. 이 때, 배선(5621\_J)에 입력되는 프리차지 전압( $V_p$ )이 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b), 및 제3 박막 트랜지스터(5603c)를 통해 각각 신호선( $S_{j-1}$ ), 신호선( $S_j$ ), 신호선( $S_{j+1}$ )에 입력된다. 제1 서브-선택 기간  $T_1$ 에서, 제1 박막 트랜지스터(5603a)는 온으로 되고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)는 오프로 된다. 이 때, 배선(5621\_J)에 입력되는  $Data_{j-1}$ 이, 제1 박막 트랜지스터(5603a)를 통해 신호선( $S_{j-1}$ )에 입력된다. 제2 서브-선택 기간  $T_2$ 에서, 제2 박막 트랜지스터(5603b)는 온으로 되고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)는 오프로 된다. 이 때, 배선(5621\_J)에 입력되는  $Data_j$ 가, 제2 박막 트랜지스터(5603b)를 통해 신호선( $S_j$ )에 입력된다. 제3 서브-선택 기간  $T_3$ 에서, 제3 박막 트랜지스터(5603c)는 온으로 되고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)는 오프로 된다. 이 때, 배선(5621\_J)에 입력되는  $Data_{j+1}$ 이, 제3 박막 트랜지스터(5603c)를 통해 신호선( $S_{j+1}$ )에 입력된다.
- [0202] 전술된 바와 같이, 도 17의 타이밍 차트가 적용된 도 15의 신호선 구동 회로에서, 서브-선택 기간 이전에 프리차지 기간을 제공함으로써 신호선을 프리차지 할 수 있기 때문에, 비디오 신호를 화소에 고속으로 기입할 수 있다. 도 16과 유사한 도 17의 부분은 공통의 참조 번호로 표기하며, 동일 부분 및 유사한 기능을 갖는 부분의 상세한 설명은 생략한다는 점에 유의한다.
- [0203] 또한, 주사선 구동 회로의 구성을 설명한다. 주사선 구동 회로는, 시프트 레지스터를 포함한다. 추가적으로, 일부 경우에는, 주사선 구동 회로는 시프트 레지스터 또는 버퍼를 포함할 수 있다. 주사선 구동 회로에서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력될 때, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해 버퍼링 및 증폭되고, 그 결과의 신호는 대응하는 주사선에 공급된다. 1개 라인의 화소들의 트랜지스터들의 게이트 전극들이, 주사선에 접속된다. 1개 라인의 화소들의 트랜지스터들은 한번에 모두 ON으로 되어야 하기 때문에, 큰 전류를 공급할 수 있는 버퍼가 사용된다.
- [0204] 주사선 구동 회로의 일부에 이용하는 시프트 레지스터의 한 형태를 도 18 및 도 19를 참조하여 설명한다.
- [0205] 도 18은 시프트 레지스터의 회로 구성을 나타낸다. 도 18에 도시된 시프트 레지스터는, 복수의 플립 플롭, 즉 플립 플롭(5701\_1 내지 5701\_n)을 포함한다. 시프트 레지스터는, 제1 클럭 신호, 제2 클럭 신호, 스타트 펄스 신호, 및 리셋 신호의 입력과 더불어 동작한다.
- [0206] 도 18의 시프트 레지스터의 접속 관계를 설명한다. 도 18의 시프트 레지스터의  $i$ 단의 플립 플롭(5701\_i)(플립 플롭들 5701\_1 내지 5701\_n 중 하나)에서, 도 19에 도시된 제1 배선(5501)은 제7 배선(5717\_i-1)에 접속되고; 도 19에 도시된 제2 배선(5502)은 제7 배선(5717\_i+1)에 접속되며; 도 19에 도시된 제3 배선(5503)은 제7 배선(5717\_i)에 접속되고; 도 19에 도시된 제6 배선(5506)은 제5 배선(5715)에 접속된다.
- [0207] 또한, 도 19에 도시된 제4 배선(5504)은 홀수단의 플립 플롭들 내의 제2 배선(5712)에 접속되고, 짝수단의 플립 플롭들 내의 제3 배선(5713)에 접속된다. 도 19에 도시된 제5 배선(5505)은 제4 배선(5714)에 접속된다.
- [0208] 도 19에 도시된 제1단의 플립 플롭(5701\_1)의 제1 배선(5501)은 제1 배선(5711)에 접속된다는 점에 유의한다. 게다가, 도 19에 도시된  $n$ 단의 플립 플롭(5701\_n)의 제2 배선(5502)은 제6 배선(5716)에 접속된다.
- [0209] 제1 배선(5711), 제2 배선(5712), 제3 배선(5713), 및 제6 배선(5716)은, 각각 제1 신호선, 제2 신호선, 제3 신호선, 및 제4 신호선이라고 불릴 수 있다는 점에 유의한다. 제4 배선(5714) 및 제5 배선(5715)은, 각각 제1 전원선 및 제2 전원선이라고 불릴 수 있다.

- [0210] 그 다음, 도 19는, 도 18에 도시된 플립 플롭의 상세사항을 나타낸다. 도 19에 도시된 플립 플롭은, 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577) 및 제8 박막 트랜지스터(5578)를 포함한다. 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577), 및 제8 박막 트랜지스터(5578)는, 각각 n채널형 트랜지스터이며, 게이트-소스간 전압( $V_{gs}$ )이 임계 전압( $V_{th}$ )을 초과할 때 온으로 된다.
- [0211] 이제, 도 19에 도시된 플립 플롭의 접속 구성을 이하에서 설명한다.
- [0212] 제1 박막 트랜지스터(5571)의 제1 전극(소스 전극 및 드레인 전극 중 하나)은 제4 배선(5504)에 접속된다. 제1 박막 트랜지스터(5571)의 제2 전극(소스 전극 및 드레인 전극 중 다른 하나)은 제3 배선(5503)에 접속된다.
- [0213] 제2 박막 트랜지스터(5572)의 제1 전극은 제6 배선(5506)에 접속된다. 제2 박막 트랜지스터(5572)의 제2 전극은 제3 배선(5503)에 접속된다.
- [0214] 제3 박막 트랜지스터(5573)의 제1 전극은 제5 배선(5505)에 접속되고, 제3 박막 트랜지스터(5573)의 제2 전극은 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제3 박막 트랜지스터(5573)의 게이트 전극은 제5 배선(5505)에 접속된다.
- [0215] 제4 박막 트랜지스터(5574)의 제1 전극은 제6 배선(5506)에 접속되고, 제4 박막 트랜지스터(5574)의 제2 전극은 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제4 박막 트랜지스터(5574)의 게이트 전극은 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.
- [0216] 제5 박막 트랜지스터(5575)의 제1 전극은 제5 배선(5505)에 접속되고, 제5 박막 트랜지스터(5575)의 제2 전극은 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제5 박막 트랜지스터(5575)의 게이트 전극은 제1 배선(5501)에 접속된다.
- [0217] 제6 박막 트랜지스터(5576)의 제1 전극은 제6 배선(5506)에 접속되고, 제6 박막 트랜지스터(5576)의 제2 전극은 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제6 박막 트랜지스터(5576)의 게이트 전극은 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.
- [0218] 제7 박막 트랜지스터(5577)의 제1 전극은 제6 배선(5506)에 접속되고, 제7 박막 트랜지스터(5577)의 제2 전극은 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제7 박막 트랜지스터(5577)의 게이트 전극은 제2 배선(5502)에 접속된다. 제8 박막 트랜지스터(5578)의 제1 전극은 제6 배선(5506)에 접속되고, 제8 박막 트랜지스터(5578)의 제2 전극은 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제8 박막 트랜지스터(5578)의 게이트 전극은 제1 배선(5501)에 접속된다.
- [0219] 제1 박막 트랜지스터(5571)의 게이트 전극, 제4 박막 트랜지스터(5574)의 게이트 전극, 제5 박막 트랜지스터(5575)의 제2 전극, 제6 박막 트랜지스터(5576)의 제2 전극, 및 제7 박막 트랜지스터(5577)의 제2 전극이 서로 접속되는 지점을 노드(5543)라고 부른다는 점에 유의한다. 또한, 제2 박막 트랜지스터(5572)의 게이트 전극, 제3 박막 트랜지스터(5573)의 제2 전극, 제4 박막 트랜지스터(5574)의 제2 전극, 제6 박막 트랜지스터(5576)의 게이트 전극, 및 제8 박막 트랜지스터(5578)의 제2 전극이 서로 접속되는 지점을 노드(5544)라고 부른다.
- [0220] 제1 배선(5501), 제2 배선(5502), 제3 배선(5503), 및 제4 배선(5504)은, 각각 제1 신호선, 제2 신호선, 제3 신호선, 및 제4 신호선이라고 불릴 수 있다는 점에 유의한다. 제5 배선(5505) 및 제6 배선(5506)은, 각각 제1 전원선 및 제2 전원선이라고 불릴 수 있다.
- [0221] 또한, 신호선 구동 회로 및 주사선 구동 회로는, 실시예 1 내지 4에서 설명한 n채널형 TFT만을 이용하여 형성될 수 있다. 실시예 1 내지 4에서 설명된 n채널형 TFT는 높은 이동도를 가지기 때문에, 구동 회로의 구동 주파수를 증가시킬 수 있다. 또한, 실시예 1 내지 4에서 설명된 n채널형 TFT에서는 기생 커패시턴스가 저감되기 때문에, 높은 주파수 특성(f 특성이라 불림)이 얻어진다. 예를 들어, 실시예 1 내지 4에서 설명된 n채널형 TFT를 이용한 주사선 구동 회로는, 고속으로 동작할 수 있기 때문에, 프레임 주파수가 증가될 수 있고, 예를 들어 흑화면 삽입등을 실현할 수 있다.
- [0222] 또한, 주사선 구동 회로의 트랜지스터의 채널폭이 증가되거나 복수의 주사선 구동 회로가 제공될 때, 더욱 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동 회로가 제공될 때, 짝수행의 주사선을 구동하기 위한 주

사선 구동 회로를 한 측에 배치하고, 홀수행의 주사선을 구동하기 위한 주사선 구동 회로를 그 반대측에 배치하여, 프레임 주파수의 증가를 실현할 수 있다. 또한, 동일한 주사선에 신호를 출력하기 위해 복수의 주사선 구동 회로를 이용하면, 표시 장치의 대형화에 있어서 유리하다.

- [0223] 또한, 반도체 장치의 일레인 액티브 매트릭스 발광 표시 장치를 제조할 때, 적어도 하나의 화소에 복수의 박막 트랜지스터를 배치하기 때문에, 복수의 주사선 구동 회로를 배치하는 것이 바람직하다. 도 14의 (b)는, 액티브 매트릭스 발광 표시 장치의 블록도의 일례를 나타낸다.
- [0224] 도 14의 (b)에 나타난 표시 장치는, 기관(5400) 위에, 표시 소자를 갖춘 화소를 복수개 포함하는 화소부(5401)와, 각 화소를 선택하는 제1 주사선 구동 회로(5402) 및 제2 주사선 구동 회로(5404)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5403)를 포함한다.
- [0225] 도 14의 (b)에 나타난 발광 표시 장치의 화소에 입력되는 비디오 신호가 디지털 신호일 때, 트랜지스터의 온/오프 전환에 의해, 화소가 발광하거나 발광하지 않는다. 따라서, 면적 계조법(area grayscale method) 또는 시간 계조법(time grayscale method)을 이용해 계조를 표시할 수 있다. 면적 계조법이란, 한개 화소를 복수의 부화소로 분할하고 각 부화소를 비디오 신호에 기초하여 독립적으로 구동시켜 계조를 표시하는 구동법을 말한다. 또한, 시간 계조법이란, 화소가 발광하는 기간을 제어하여 계조를 표시하는 구동법을 말한다.
- [0226] 발광 소자는 액정 소자 등에 비해 응답 속도가 높기 때문에, 액정 소자보다 시간 계조법에 더 적합하다. 구체적으로, 시간 계조법으로 표시하는 경우, 1 프레임 기간을 복수의 서브프레임 기간으로 분할한다. 그 다음, 비디오 신호에 따라, 화소의 발광 소자는 각 서브프레임 기간에서 발광 또는 비발광 상태가 된다. 1 프레임 기간을 복수의 서브 프레임 기간으로 분할함으로써, 1 프레임 기간중에 화소가 실제로 발광하는 시간의 총 길이를 비디오 신호에 의해 제어할 수가 있어서, 계조를 표시할 수 있다.
- [0227] 도 14의 (b)에 나타난 발광 표시 장치의 예에서, 하나의 화소에 2개의 스위칭용 TFT가 배치된 경우, 제1 주사선 구동 회로(5402)는 2개의 스위칭용 TFT들 중 하나의 게이트 배선 역할을 하는 제1 주사선에 입력되는 신호를 생성하고, 제2 주사선 구동 회로(5404)는 2개의 스위칭용 TFT들 중 다른 하나의 게이트 배선 역할을 하는 제2 주사선에 입력되는 신호를 생성한다는 점에 유의한다. 그러나, 하나의 주사선 구동 회로가, 제1 주사선에 입력되는 신호와 제2 주사선에 입력되는 신호 양자 모두를 생성할 수도 있다. 또한, 예를 들어, 1개의 화소에 포함된 스위칭용 TFT의 갯수에 따라, 스위칭 소자의 동작을 제어하는데 이용되는 복수의 주사선이 각 화소에 제공될 가능성도 있다. 이 경우, 1개의 주사선 구동 회로가 복수의 주사선에 입력되는 신호 모두를 생성할 수도 있고, 복수의 주사선 구동 회로가 복수의 주사선에 입력되는 신호들을 생성할 수도 있다.
- [0228] 또한, 발광 표시 장치에서, 구동 회로들 중에서 n채널형 TFT를 포함할 수 있는 구동 회로의 일부가 화소부의 박막 트랜지스터와 동일한 기관 위에 형성될 수 있다. 대안으로서, 신호선 구동 회로 및 주사선 구동 회로는, 실시예 1 내지 4에서 설명한 n채널형 TFT만을 이용하여 형성될 수 있다.
- [0229] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 표시 장치를 제조할 수 있다.
- [0230] 본 실시예는, 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.
- [0231] [실시예 6]
- [0232] 화소부에 대해 및 나아가서는 구동 회로에 대해 박막 트랜지스터를 제조하여 이용할 때, 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제조할 수가 있다. 또한, 박막 트랜지스터를 이용하여 구동 회로의 일부 또는 전체를 화소부와 동일한 기관 위에 형성하면, 시스템-온-패널을 얻을 수 있다.
- [0233] 표시 장치는 표시 소자를 포함한다. 표시 소자로서, 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는, 그 범주에, 전류 또는 전압에 의해 휘도가 제어되는 소자를 포함하며, 구체적으로는, 무기 EL(Electro Luminescence), 유기 EL등을 포함한다. 또한, 전자 잉크와 같은, 전기적 효과에 의해 콘트라스트가 변화하는 표시 매체도 사용할 수 있다.
- [0234] 또한, 표시 장치는, 표시 소자가 밀봉되어 있는 패널과, 컨트롤러를 포함한 IC등을 그 패널 위에 탑재한 모듈을 포함한다. 본 발명의 한 실시예는 또한, 표시 장치의 제조 과정에서 표시 소자가 완성되기 이전의 한 형태에 대응하는 소자 기관에 관한 것이며, 이 소자 기관에는, 복수의 화소들 각각의 표시 소자에 전류를 공급하기 위한 수단이 제공된다. 구체적으로는, 소자 기관은, 표시 소자의 화소 전극만이 형성된 상태일 수도 있고, 화소 전극이 되는 도전막을 형성한 이후로서, 도전막을 에칭하여 화소 전극을 형성하기 이전의 상태일 수도 있고, 기

타의 상태일 수도 있다.

- [0235] 본 명세서에서 표시 장치란, 화상 표시 장치, 표시 장치, 또는 광원(조명 장치 포함)을 의미한다는 점에 유의한다. 또한, 표시 장치는 그 범주 내에 다음과 같은 모듈들을 포함한다: FPC(Flexible Printed Circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)와 같은 커넥터가 부착된 모듈; TAB 테이프나 TCP의 끝에 인쇄 배선판이 제공된 모듈; 또는 COG(Chip On Glass) 방식에 의해 집적 회로(IC)가 표시 소자에 직접 탑재된 모듈.
- [0236] 반도체 장치의 한 구현예인 액정 표시 패널의 외관 및 단면을, 도 10의 (a1), (a2) 및 (b)를 참조하여 설명한다. 도 10의 (a1) 및 (a2)는, 제1 기판(4001) 위에 형성된 실시예 4에서 설명된 박막 트랜지스터와 같은 산화물 반도체층을 각각 포함하는 신뢰성이 높은 박막 트랜지스터(4010 및 4011)와 액정 소자(4013)가 밀폐재(4005)를 이용하여 제1 기판(4001)과 제2 기판(4006) 사이에 밀봉되어 있는 패널의 평면도이다. 도 10의 (b)는, 도 10의 (a1) 및 (a2)의 라인 M-N을 따라 취해진 단면도이다.
- [0237] 제1 기판(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록, 밀폐재(4005)가 제공되고 있다. 화소부(4002)와 주사선 구동 회로(4004) 위에, 제2 기판(4006)이 제공되고 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제1 기판(4001)과 밀폐재(4005)와 제2 기판(4006)에 의해, 액정층(4008)과 함께 밀폐되고 있다. 단결정 반도체막 또는 다결정 반도체막을 이용하여 별도 준비된 기판 위에 형성된 신호선 구동 회로(4003)가, 제1 기판(4001) 위의 밀폐재(4005)에 의해 둘러싸여 있는 영역과는 상이한 영역에 탑재되고 있다.
- [0238] 별도 형성된 구동 회로의 접속 방법에는, 특별한 제한이 있는 것은 아니고, COG 방법, 와이어 본딩 방법, TAB 방법등을 이용할 수 있다는 점에 유의한다. 도 10의 (a1)은, COG 방법에 의해 신호선 구동 회로(4003)를 탑재하는 예를 나타내며, 도 10의 (a2)는, TAB 방법에 의해 신호선 구동 회로(4003)를 탑재하는 예를 나타낸다.
- [0239] 제1 기판(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004) 각각은, 복수의 박막 트랜지스터를 포함하며, 도 10의 (b)는, 화소부(4002)에 포함된 박막 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함된 박막 트랜지스터(4011)를 예시하고 있다. 박막 트랜지스터(4010 및 4011) 위에는 절연층(4020 및 4021)이 제공된다.
- [0240] 박막 트랜지스터(4010 및 4011)로서, 실시예 4에서 설명된 박막 트랜지스터와 같은 산화물 반도체층을 포함한 신뢰성이 높은 박막 트랜지스터가 이용될 수 있다. 대안으로서, 실시예 1 내지 실시예 3에서 설명된 박막 트랜지스터를 이용할 수도 있다. 본 실시예에서, 박막 트랜지스터(4010 및 4011)는 n채널형 박막 트랜지스터이다.
- [0241] 액정 소자(4013)에 포함된 화소 전극층(4030)은, 박막 트랜지스터(4010)에 전기적으로 접속되고 있다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기판(4006) 위에 형성된다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 서로 중첩하고 있는 부분이, 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)에는, 각각 배향막으로서 기능하는 절연층(4032) 및 절연층(4033)이 제공된다는 점에 유의한다. 액정층(4008)은 화소 전극층(4030)과 대향 전극층(4031) 사이에 끼어 있고, 이들 사이에는 절연층(4032 및 4033)이 개재되어 있다.
- [0242] 제1 기판(4001) 및 제2 기판(4006)은, 유리, 금속(대표적으로는, 스텐레스강), 세라믹, 또는 플라스틱으로 형성될 수 있다는 점에 유의한다. 플라스틱으로서, FRP(Fiberglass-Reinforced Plastics) 판, 폴리비닐 플루라이드(PVF; PolyVinyl Fluoride) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다. 대안으로서, PVF 필름들이나 폴리에스테르 필름들 사이에 알루미늄 호일을 끼워 둔 구조의 시트(sheet)를 이용할 수 있다.
- [0243] 참조 번호(4035)는 절연막을 선택적으로 에칭하여 얻어지는 기둥 모양의 스페이서를 가리키며, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 제공되고 있다. 구형 스페이서(spherical spacer)를 이용할 수도 있다는 점에 유의한다. 대향 전극층(4031)은, 박막 트랜지스터(4010)와 동일한 기판 위에 제공된 공통 전위선에 전기적으로 접속된다. 공통 접속부를 이용하여, 대향 전극층(4031)은 한쌍의 기판 사이에 배치된 도전성 입자를 통해 공통 전위선에 전기적으로 접속될 수 있다. 도전성 입자는 밀폐재(4005)에 포함된다는 점에 유의한다.
- [0244] 대안으로서, 배향막이 필요하지 않은 블루상(blue phase)을 나타내는 액정을 이용할 수도 있다. 블루상은 액정상들 중 하나로서, 콜레스테릭 액정의 온도를 상승시키는 동안 콜레스테릭상이 등방상으로 전이되기 직전에 나타나는 상이다. 블루상은 좁은 온도 범위에서만 나타나기 때문에, 온도 범위를 개선하기 위해서 액정층(4008)에 대해 5 중량% 이상의 카이랄제(chiral agent)를 포함하는 액정 조성물이 이용된다. 블루상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은, 1 msec 이하의 짧은 응답 시간을 가지며, 광학적 등방성을 갖기 때문에,

배향 처리가 불필요하고, 시야각 의존성이 작다.

- [0245] 본 발명의 실시예는, 투과형 액정 표시 장치 외에도, 반사형 액정 표시 장치 또는 반투과형 액정 표시 장치에도 적용될 수 있다.
- [0246] 또, 기관의 외측(관찰자 측)에 편광판을 제공하고 기관의 내측 표면에 착색층 및 표시 소자에 이용하는 전극층을 이 순서로 제공한 액정 표시 장치의 예가 설명된다; 그러나, 편광판은 기관의 내측 표면에 제공될 수도 있다. 편광판과 착색층의 적층 구조는 본 실시예에서 설명된 것만으로 한정되지 않고, 편광판 및 착색층의 재료와 제조 공정 조건에 따라 적절하게 설정될 수 있다. 또한, 블랙 매트릭스(black matrix)로서 역할하는 차광막을 제공할 수도 있다.
- [0247] 박막 트랜지스터(4010 및 4011)에서, 보호 절연막으로서의 절연층(4020)이 채널 형성 영역을 포함한 반도체층에 접하여 형성되고 있다. 절연층(4020)은, 실시예 1에서 설명된 산화물 절연막(407)과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 또한, 박막 트랜지스터의 표면 요철을 저감하기 위하여, 박막 트랜지스터는, 평탄화 절연막으로서 역할하는 절연층(4021)으로 피복된다.
- [0248] 본 실시예에서는, 적층 구조를 갖는 절연층(4020)이 보호막으로서 형성된다. 절연층(4020)의 첫번째 층으로서, 스퍼터링법을 이용해 산화 규소막이 형성된다. 보호막으로서 산화 규소막을 이용하면, 소스 전극층 및 드레인 전극층에 이용되는 알루미늄막의 힐록(hillock) 방지에 효과가 있다.
- [0249] 보호막의 두번째 층으로서 절연층이 형성된다. 절연층(4020)의 두번째 층으로서, 스퍼터링법에 의해 질화 규소막이 형성된다. 보호막으로서 질화 규소막을 이용하면, 나트륨 이온과 같은 이동성 이온이 반도체 영역에 침입하는 것을 방지하여, TFT의 전기 특성의 격차를 억제할 수 있다.
- [0250] 또한, 보호막을 형성한 후에, 질소 분위기하 또는 대기 분위기하에서 열 처리(300℃이하)를 수행할 수도 있다.
- [0251] 평탄화 절연막으로서 절연층(4021)이 형성된다. 절연층(4021)으로서, 폴리이미드, 아크릴, 벤조시크로부텐, 폴리아미드, 에폭시와 같은, 내열성을 갖는 유기 재료를 이용할 수 있다. 이와 같은 유기 재료 외에도, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(PhosphoSilicate Glass), BPSG(BoroPhosphoSilicate Glass) 등을 이용하는 것도 가능하다. 이러한 재료를 이용하여 형성된 복수의 절연막을 적층함으로써 절연층(4021)을 형성할 수도 있다는 점에 유의한다.
- [0252] 실록산계 수지는, 출발 재료로서 실록산계 재료를 이용하여 형성되며 Si-O-Si 결합을 포함하는 수지라는 점에 유의한다. 실록산계 수지는, 치환기로서 유기기(예를 들어, 알킬기나 아릴기)나 플루오르기를 포함할 수 있다. 또한, 유기기는 플루오르기를 포함할 수도 있다.
- [0253] 절연층(4021)의 형성 방법에는 특별한 제한이 없으며, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코트, 딥 방법, 스프레이 도포법, 액적 사출법(예를 들어, 잉크젯법, 스크린 인쇄, 오프셋 인쇄(offset printing)등) 등과 같은 방법; 닥터 나이프(doctor knife), 롤 코터(roll coater), 커텐 코터, 나이프 코터등과 같은 툴을 이용할 수 있다. 절연층(4021)의 베이킹 단계가 반도체층의 어닐링 단계를 겸함으로써, 반도체 장치를 효율적으로 제조할 수 있다.
- [0254] 화소 전극층(4030) 및 대향 전극층(4031)은, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 언급함), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물등과 같은 투광성 도전 재료를 이용하여 형성될 수 있다.
- [0255] 화소 전극층(4030) 및 대향 전극층(4031)에 대해, 도전성 고분자(도전성 폴리머라고도 함)를 포함한 도전성 조성물을 이용할 수 있다. 도전성 조성물을 이용해 형성된 화소 전극은, 10000Ω / square 이하의 시트 저항과, 파장 550 nm에서 70% 이상의 투광율을 갖는 것이 바람직하다. 또한, 도전성 조성물에 포함된 도전성 고분자의 저항율이 0. 1Ω-cm이하인 것이 바람직하다.
- [0256] 도전성 고분자로서, 이른바 π-전자 켈레(π-electron conjugated) 도전성 고분자를 이용할 수 있다. 예를 들어, 폴리아닐린(polyaniline) 또는 그 유도체, 폴리피롤(polypyrrole) 또는 그 유도체, 폴리치오펜(polythiophene) 또는 그 유도체, 또는 이들의 2중 이상의 공중합체를 이용하는 것이 가능하다.
- [0257] 또한, 각종 신호 및 전위가, FPC(4018)로부터, 별도 형성된 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 공급된다.

- [0258] 접속 단자 전극(4015)은, 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막으로부터 형성되고, 단자 전극(4016)은, 박막 트랜지스터(4010 및 4011)에 포함된 소스 전극층 및 드레인 전극층과 동일한 도전막으로부터 형성된다.
- [0259] 접속 단자 전극(4015)은, 이방성 도전막(4019)을 통해 FPC(4018)에 포함된 단자에 전기적으로 접속된다.
- [0260] 도 10의 (a1), (a2), 및 (b)는, 신호선 구동 회로(4003)가 별도로 형성되어 제1 기관(4001) 위에 탑재된 예를 나타내지만, 본 발명은 이 구조만으로 한정되지 않는다는 점에 유의한다. 주사선 구동 회로가 별도로 형성되어 탑재되거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 별도로 형성되어 탑재될 수도 있다.
- [0261] 도 20은, 본 명세서에서 개시된 제조 방법에 따라 제조된 TFT 기관(2600)을 이용해 반도체 장치로서 액정 표시 모듈을 형성하는 일례를 나타내고 있다.
- [0262] 도 20은, TFT 기관(2600)과 대향 기관(2601)이 밀폐재(2602)에 의해 서로 접합되고, 이들 기관들 사이에 TFT등을 포함한 화소부(2603), 액정층을 포함한 표시 소자(2604), 착색층(2605)이 제공되어 표시 영역을 형성하고 있는 액정 표시 모듈의 일례를 나타낸다. 착색층(2605)은 컬러 표시를 수행하는데 필요하다. RGB 시스템의 경우, 적, 록, 청의 색상에 대응하는 각 착색층이 각 화소에 제공되고 있다. TFT 기관(2600)과 대향 기관(2601)의 외측에는, 편광판(2606 및 2607) 및 확산판(2613)이 제공되고 있다. 광원은 냉음극관(2610)과 반사판(2611)을 포함한다. 회로 기관(2612)은, 가요성 배선 기관(2609)을 통해 TFT 기관(2600)의 배선 회로부(2608)에 접속되며, 제어 회로나 전원 회로와 같은 외부 회로를 포함한다. 편광판과 액정층이, 그들 사이에 위상차판(retardation plate)을 가진 상태로 적층될 수도 있다.
- [0263] 액정 표시 모듈을 위해, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드등을 이용할 수 있다.
- [0264] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 표시 패널을 제조할 수 있다.
- [0265] 본 실시예는, 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.
- [0266] [실시예 7]
- [0267] 반도체 장치로서 전자 페이퍼의 예를 설명할 것이다.
- [0268] 반도체 장치는, 스위칭 소자에 전기적으로 접속된 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 이용될 수 있다. 전자 페이퍼는, 전기영동 표시 장치(전기영동 디스플레이)라고도 불리며, 종이와 같은 수준의 가공성과, 다른 표시 장치들에 비해 낮은 소비 전력을 가지며, 얇고 가볍게 만들 수 있다는 점에서 유리하다.
- [0269] 전기영동 디스플레이는, 다양한 형태를 가질 수 있다. 전기영동 디스플레이는, 용매 또는 용질에 분산된 복수의 마이크로캡슐을 포함하고, 각각의 마이크로캡슐은, 양으로 대전된 제1 입자와 음으로 대전된 제2 입자를 포함한다. 마이크로캡슐에 전계를 인가함으로써, 마이크로캡슐 내의 입자들이 서로 반대 방향으로 이동하고, 한측에 집합한 입자들의 색상만이 표시된다. 제1 입자 또는 제2 입자 각각이 색소를 포함하고, 전계가 없다면 이동하지 않는다는 점에 유의한다. 게다가, 제1 입자와 제2 입자는 상이한 색상(무색을 포함)을 가진다.
- [0270] 따라서, 전기영동 디스플레이는, 높은 유전 상수를 갖는 물질이 높은 전계 영역쪽으로 이동하는 소위 유전체전기영동 효과(dielectrophoretic effect)를 이용하는 디스플레이이다. 전기영동 디스플레이는, 액정 표시 장치에서 요구되는 편광판을 사용할 필요가 없다.
- [0271] 상기 마이크로캡슐을 용매에 분산시킨 용액을 전자 잉크라 부른다. 이 전자 잉크는, 유리, 플라스틱, 옷감, 종이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터, 또는 색소를 갖는 입자를 이용함으로써, 컬러 표시도 가능하다.
- [0272] 또한, 액티브 매트릭스 기관 위에서 2개의 전극의 사이에 끼워지도록 복수의 마이크로캡슐을 적절하게 배치하면, 액티브 매트릭스 표시 장치가 완성되고, 마이크로캡슐에 전계를 인가하여 표시를 수행할 수가 있다. 예를 들어, 실시예 1 내지 4에서 설명된 박막 트랜지스터를 이용하여 얻어진 액티브 매트릭스 기관을 이용할 수가 있다.
- [0273] 마이크로캡슐 내의 제1 입자 및 제2 입자는 각각, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재

료, 강유전성 재료, 전자발광 재료, 전기변색 재료, 자기영동 재료로부터 선택된 하나의 재료, 또는 이들 중 임의의 재료들로 된 복합 재료를 이용하여 형성될 수 있다는 점에 유의한다.

- [0274] 도 9는, 반도체 장치의 예로서 액티브 매트릭스 전자 페이퍼를 나타낸다. 반도체 장치에 이용되는 박막 트랜지스터(581)는, 실시예1에서 설명된 박막 트랜지스터와 유사한 방식으로 제조될 수 있고, 산화물 반도체층을 포함한 신뢰성이 높은 박막 트랜지스터이다. 실시예 2 내지 실시예 4에서 설명된 박막 트랜지스터가 본 실시예의 박막 트랜지스터(581)로서 사용될 수 있다.
- [0275] 도 9의 전자 페이퍼는, 트위스트 볼 표시 방식(twisting ball display system)을 이용한 표시 장치의 예이다. 트위스트 볼 표시 시스템이란, 표시 소자에 이용되는 전극층들인 제1 전극층과 제2 전극층 사이에 흰색과 흑색으로 착색된 구형 입자들을 배치하고, 제1 전극층과 제2 전극층 사이에 전위차를 생성해 구형 입자의 방향을 제어하여 표시를 수행하는 방법을 말한다.
- [0276] 기관(580)과 기관(596) 사이에 밀봉된 박막 트랜지스터(581)는 바텀-게이트 구조를 갖는 박막 트랜지스터이며, 반도체층과 접하는 절연막(583)으로 덮여 있다. 박막 트랜지스터(581)의 소스 전극층 또는 드레인 전극층은, 절연막(583) 및 절연층(585)에 형성된 통로를 통해 제1 전극층(587)과 접해 있어, 박막 트랜지스터(581)는 제1 전극층(587)에 전기적으로 접속하고 있다. 제1 전극층(587)과 제2 전극층(588) 사이에서, 구형 입자(589) 각각은 흑색 영역(590a), 백색 영역(590b), 및 이들 영역 주위의, 액체로 채워진 공동(594)을 포함한다. 구형 입자(589)의 주변 공간은 수지와 같은 충전재(595)로 채워지고 있다(도 9 참조). 제1 전극층(587)은 화소 전극에 대응하고, 제2 전극층(588)은 공통 전극에 대응한다. 제2 전극층(588)은, 박막 트랜지스터(581)와 동일한 기관(580) 위에 제공된 공통 전위선에 전기적으로 접속된다. 공통 접속부를 이용해, 제2 전극층(588)은, 기관(580)과 기관(596) 사이에 제공된 도전성 입자를 통해 공통 전위선에 전기적으로 접속될 수 있다.
- [0277] 트위스트 볼 대신에, 전기영동 소자를 이용할 수도 있다. 투명한 액체와, 양으로 대전된 흰색 미립자와, 음으로 대전된 검은색 미립자를 봉입한 직경이 약 10 μm 내지 200 μm인 마이크로캡슐이 이용된다. 제1 전극층과 제2 전극층 사이에 제공되는 마이크로캡슐에서, 제1 전극층과 제2 전극층에 의해 전계가 인가될 때, 흰색 미립자와 검은색 미립자가 서로 반대 방향으로 이동해, 흰색 또는 검은색을 표시할 수가 있다. 이 원리를 이용한 표시 소자가 전기영동 표시 소자이며, 일반적으로 전자 페이퍼라고 불리고 있다. 전기영동 표시 소자는, 액정 표시 소자보다 높은 반사율을 갖기 때문에, 보조광이 불필요하고, 소비 전력이 작으며, 어슴푸레한 장소에서도 표시부를 인식할 수 있다. 또한, 표시부에 전원이 공급되지 않는 때에도, 한 번 표시된 상이 유지될 수 있다. 따라서, 표시 기능을 갖는 반도체 장치(간단히, 표시 장치, 또는 표시 장치를 구비한 반도체 장치라고도 함)가 전파 발신 원으로부터 멀리 있더라도, 표시된 상이 보존될 수 있다.
- [0278] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 전자 페이퍼가 제조될 수 있다.
- [0279] 본 실시예는, 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.
- [0280] [실시예 8]
- [0281] 반도체 장치로서 발광 표시 장치의 예를 설명할 것이다. 표시 장치에 포함되는 표시 소자로서, 본 실시예에서는 전계발광(electroluminescence)을 이용하는 발광 소자를 설명한다. 전계발광을 이용하는 발광 소자는, 발광 재료가 유기 화합물인지 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자라 불리고, 후자는 무기 EL 소자라 불린다.
- [0282] 유기 EL 소자에서, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 발광 유기 화합물을 포함하는 층 내로 전자 및 정공이 주입되어, 전류가 흐른다. 그 다음, 캐리어(전자 및 정공)가 재결합함으로써, 발광 유기 화합물이 여기된다. 발광 유기 화합물이 여기 상태에서부터 기저 상태로 돌아옴으로써, 발광한다. 이와 같은 메카니즘 덕택에, 이러한 발광 소자는, 전류 여기형 발광 소자라 불린다.
- [0283] 무기 EL 소자는, 그 소자 구조에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더(binder) 내에 분산시킨 발광층을 가지며, 그 발광 메카니즘은 도너 준위와 억셉터-준위를 이용하는 도너-억셉터-재결합형 발광이다. 박막형 무기 EL 소자는, 유전체층들 사이에 발광층을 끼우고, 이것을 전극들 사이에 더 끼운 구조를 가지며, 그 발광 메카니즘은 금속 이온들의 내측-셸 전자 전이를 이용하는 국부형 발광이다. 본 실시예에서는 발광 소자로서 유기 EL 소자를 이용해 설명한다는 점에 유의한다.
- [0284] 도 12는, 반도체 장치의 예로서, 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 예를 나타낸다.
- [0285] 디지털 시간 계조 구동이 적용될 수 있는 화소의 구성 및 동작을 설명한다. 본 실시예에서는, 하나의 화소가,

채널 형성 영역에서 산화물 반도체층을 이용하는 n채널형의 트랜지스터 2개를 포함하는 예를 설명한다.

- [0286] 화소(6400)는, 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404), 및 커패시터(6403)를 포함한다. 스위칭용 트랜지스터(6401)에서, 그 게이트는 주사선(6406)에 접속되고, 그 제1 전극(소스 전극 및 드레인 전극 중 하나)은 신호선(6405)에 접속되며, 그 제2 전극(소스 전극 및 드레인 전극 중 다른 하나)은 구동용 트랜지스터(6402)의 게이트에 접속되고 있다. 구동용 트랜지스터(6402)에서, 그 게이트는 커패시터(6403)를 통해 전원선(6407)에 접속되고, 그 제1 전극은 전원선(6407)에 접속되며, 그 제2 전극은 발광 소자(6404)의 제1 전극(화소 전극)에 접속되어 있다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 대응한다. 공통 전극(6408)은, 동일한 기판 위에 제공된 공통 전위선에 전기적으로 접속된다.
- [0287] 발광 소자(6404)의 제2 전극(공통 전극 6408)은 저전원 전위에 설정되어 있다는 점에 유의한다. 저전원 전위란, 전원선(6407)에 설정된 고전원 전위를 기준으로 하여, 저전원 전위가 상기 고전원 전위보다 낮은 전위임에 유의한다. 저전원 전위로서는, 예를 들어 GND, 0 V 등이 이용될 수 있다. 고전원 전위와 저전원 전위 사이의 전위차를 발광 소자(6404)에 인가해, 발광 소자(6404)에 전류를 흘림으로써 발광 소자(6404)를 발광시킨다. 따라서, 고전원 전위와 저전원 전위 사이의 전위차가 발광 소자(6404)의 순방향 임계 전압 이상이 되도록 각각의 전위를 설정한다.
- [0288] 커패시터(6403) 대신에 구동용 트랜지스터(6402)의 게이트 커패시턴스를 이용하면, 커패시터(6403)를 생략할 수 있다. 채널 형성 영역과 게이트 전극 사이에 구동용 트랜지스터(6402)의 게이트 커패시턴스를 형성할 수도 있다.
- [0289] 여기서, 전압-입력 전압 구동 방법을 이용하는 경우, 구동용 트랜지스터(6402)의 게이트에는 비디오 신호가 입력되어, 구동용 트랜지스터(6402)가 충분히 온으로 되든지 또는 오프로 되든지의 2개 상태중 어느 하나가 된다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작하기 때문에, 전원선(6407)의 전압보다 높은 전압이 구동용 트랜지스터(6402)의 게이트에 인가된다. 신호선(6405)에는, (전원선 전압 + 구동용 트랜지스터(6402)의  $V_{th}$ ) 이상의 전압이 인가된다는 점에 유의한다.
- [0290] 디지털 시간 계조 구동 대신에, 아날로그 계조 구동을 수행하는 경우, 상이한 방식으로 신호를 입력함으로써, 도 12에서와 동일한 화소 구성을 이용할 수 있다.
- [0291] 아날로그 계조 구동을 수행하는 경우, 구동용 트랜지스터(6402)의 게이트에는, (발광 소자(6404)의 순방향 전압 + 구동용 트랜지스터(6402)의  $V_{th}$ ) 이상의 전압이 인가된다. 발광 소자(6404)의 순방향 전압이란, 소망 휘도를 달성하기 위한 전압을 말하며, 적어도 순방향 임계 전압을 포함한다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 것을 가능케하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 공급할 수 있다. 구동용 트랜지스터(6402)가 포화 영역에서 동작할 수 있도록 하기 위해, 전원선(6407)의 전위는, 구동용 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 아날로그 비디오 신호를 이용할 때, 비디오 신호에 따라 발광 소자(6404)에 전류를 공급하여 아날로그 계조 구동을 수행하는 것이 가능하다.
- [0292] 화소 구성은, 도 12에 도시된 구성만으로 제한되지 않는다는 점에 유의한다. 예를 들어, 도 12에 나타난 화소는, 스위치, 저항, 커패시터, 트랜지스터, 논리 회로등을 더 포함할 수 있다.
- [0293] 그 다음, 발광 소자의 구조가 도 13의 (a) 내지 (c)를 참조하여 설명된다. n채널 구동용 TFT를 예로서 들어, 화소의 단면 구조를 설명한다. 도 13의 (a) 내지 (c)에 나타난 반도체 장치에 이용되는 구동용 TFT(7001, 7011, 및 7021)는, 실시예 1에 설명된 박막 트랜지스터와 유사한 방식으로 제조될 수 있으며, 산화물 반도체층을 포함한 신뢰성이 높은 박막 트랜지스터이다. 대안으로서, 구동용 TFT(7001, 7011, 및 7021)로서, 실시예 2 내지는 실시예 4에 설명된 박막 트랜지스터를 이용할 수도 있다.
- [0294] 발광 소자로부터 방출된 광을 추출하기 위하여, 애노드(anode)와 캐소드(cathode) 중 적어도 하나가 광을 투과시킬 것이 요구된다. 기판 위에 박막 트랜지스터 및 발광 소자를 형성한다. 발광 소자는, 기판의 반대 면을 통해 광을 추출하는 상부면 방출 구조나, 기판측의 면을 통해 광을 추출하는 하부면 방출 구조나, 기판측 및 기판과는 반대측의 면을 통해 광을 추출하는 양면 방출 구조를 가질 수 있다. 화소 구성은, 이들 방출 구조들 중 임의의 구조를 갖는 발광 소자에 적용될 수 있다.
- [0295] 도 13의 (a)를 참조하여 상부면 방출 구조를 갖는 발광 소자를 설명한다.
- [0296] 도 13의 (a)는, 구동용 TFT(7001)가 n채널형 TFT이고 발광 소자(7002)로부터 애노드(7005) 측으로 광이 방출되는 화소의 단면도이다. 도 13의 (a)에서, 발광 소자(7002)의 캐소드(7003)는 구동용 TFT(7001)에 전기적으로 접

속되고, 발광층(7004) 및 애노드(7005)가 이 순서로 캐소드(7003) 위에 적층되어 있다. 캐소드(7003)는, 일 함수가 작고 광을 반사하는 다양한 도전 재료를 이용하여 형성될 수 있다. 예를 들어, 바람직하게는 Ca, Al, MgAg, AlLi 등이 사용된다. 발광층(7004)은, 단일 층 또는 적층된 복수의 층으로서 형성될 수 있다. 발광층(7004)이 복수의 층으로서 형성되는 경우, 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층을 이 순서대로 캐소드(7003) 위에 적층함으로써 발광층(7004)을 형성한다. 이들 층들 모두가 반드시 제공될 필요는 없다는 점에 유의한다. 애노드(7005)는, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 언급됨), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물과 같은 투광성 도전 재료를 이용하여 형성된다.

[0297] 발광 소자(7002)는, 캐소드(7003)와 애노드(7005) 사이에 발광층(7004)이 끼워져 있는 영역에 대응한다. 도 13의 (a)에 나타난 화소의 경우, 화살표로 표시된 바와 같이 발광 소자(7002)로부터 애노드(7005) 측으로 광이 방출된다.

[0298] 그 다음, 하부면 방출 구조를 갖는 발광 소자를 도 13의 (b)를 참조하여 설명한다. 도 13의 (b)는, 구동용 TFT(7011)가 n채널형 TFT이고 발광 소자(7012)로부터 캐소드(7013) 측으로 광이 방출되는 경우의 화소의 단면도이다. 도 13의 (b)에서, 구동용 TFT(7011)에 전기적으로 접속된 투광성 도전막(7017) 위에, 발광 소자(7012)의 캐소드(7013)가 형성되고, 발광층(7014) 및 애노드(7015)는 이 순서대로 캐소드(7013) 위에 적층되고 있다. 애노드(7015)가 투광성을 가질 때 애노드(7015)를 덮도록 광을 반사 또는 차단하기 위한 차광막(7016)이 형성될 수도 있다는 점에 유의한다. 도 13의 (a)의 경우에서와 같이, 일 함수가 작은 도전성 재료를 이용하여 캐소드(7013)를 형성하기만 한다면, 캐소드(7023)는 다양한 도전 재료를 이용하여 형성될 수 있다. 캐소드(7013)는, 광을 투과시킬 수 있는 두께(바람직하게는, 약 5 nm 내지 30 nm정도)를 갖도록 형성된다는 점에 유의한다. 예를 들어, 20 nm의 두께를 갖는 알루미늄막을 캐소드(7013)로서 이용할 수 있다. 도 13의 (a)의 경우와 유사하게, 발광층(7014)은 단일층을 이용하여 형성하거나 또는 복수의 층을 적층하여 형성할 수도 있다. 애노드(7015)는 광을 투과시킬 필요는 없지만, 도 13의 (a)의 경우에서와 같이, 투광성 도전 재료를 이용해 형성될 수 있다. 차광막(7016)으로서, 예를 들어 광을 반사하는 금속을 이용할 수가 있지만, 차광막(7016)은 금속막으로 한정되지 않는다. 예를 들어, 검정색의 색소를 첨가한 수지를 이용할 수도 있다.

[0299] 발광 소자(7012)는, 캐소드(7013)와 애노드(7015) 사이에 발광층(7014)이 끼어 있는 영역에 대응한다. 도 13의 (b)에 나타난 화소의 경우, 화살표로 표시된 바와 같이 발광 소자(7012)로부터 캐소드(7013) 측으로 광이 방출된다.

[0300] 그 다음, 양면 방출 구조를 갖는 발광 소자를, 도 13의 (c)를 참조하여 설명한다. 도 13의 (c)에서, 구동용 TFT(7021)에 전기적으로 접속된 투광성 도전막(7027) 위에, 발광 소자(7022)의 캐소드(7023)가 형성되고, 발광층(7024) 및 애노드(7025)는 이 순서대로 캐소드(7023) 위에 적층되고 있다. 도 13의 (a)의 경우에서와 같이, 일 함수가 작은 도전성 재료를 이용하여 캐소드(7023)를 형성하기만 한다면, 캐소드(7023)는 다양한 도전 재료를 이용하여 형성될 수 있다. 캐소드(7023)는, 광을 투과시킬 수 있는 두께를 갖도록 형성된다는 점에 유의한다. 예를 들어, 20 nm의 두께를 갖는 알루미늄막을 캐소드(7023)로서 이용할 수 있다. 도 13의 (a)에서와 같이, 발광층(7024)은 단일층을 이용하여 형성되거나 또는 복수의 층을 적층하여 형성될 수 있다. 애노드(7025)는, 도 13의 (a)의 경우에서와 같이, 투광성 도전 재료를 이용해 형성될 수 있다.

[0301] 발광 소자(7022)는, 캐소드(7023), 발광층(7024), 및 애노드(7025)가 서로 중첩하고 있는 영역에 대응한다. 도 13의 (c)에 도시된 화소의 경우, 화살표로 표시된 바와 같이 발광 소자(7022)로부터 애노드(7025) 및 캐소드(7023) 측으로 광이 방출된다.

[0302] 비록 본 실시예에서는 발광 소자로서 유기 EL 소자를 설명하고 있지만, 발광 소자로서 무기 EL 소자를 제공할 수도 있다.

[0303] 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광 소자에 전기적으로 접속되어 있는 예를 설명하고 있지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구조를 이용할 수도 있다는 점에 유의한다.

[0304] 본 실시예에서 설명된 반도체 장치의 구조는 도 13의 (a) 내지 (c)에 도시된 구조만으로 제한되는 것은 아니고, 본 명세서에 개시된 기술의 사상에 기초하여 다양한 방식으로 수정될 수 있다는 점에 유의한다.

[0305] 그 다음, 반도체 장치의 한 실시예인 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면을, 도 11의 (a) 및

(b)를 참조하여 설명한다. 도 11의 (a)는, 제1 기관 위에 형성된 박막 트랜지스터 및 발광 소자가, 밀폐체에 의해 제1 기관과 제2 기관 사이에서 밀봉되어 있는, 패널의 평면도이다. 도 11의 (b)는, 도 11의 (a)의 라인 H-I를 따라 취해진 단면도이다.

- [0306] 제1 기관(4501) 위에 제공된 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b)를 둘러싸도록, 밀폐재(4505)가 제공되고 있다. 또한, 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b) 위에, 제2 기관(4506)이 제공되고 있다. 따라서, 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b)는, 제1 기관(4501), 밀폐재(4505), 및 제2 기관(4506)에 의해, 충전재(4507)와 함께 밀봉되고 있다. 이런 식으로, 표시 장치가 외부 대기에 노출되지 않도록 기밀성이 높고 탈가스가 적은 (라미네이트 필름 또는 자외선 경화 수지 필름과 같은) 보호 필름이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0307] 제1 기관(4501) 위에 제공된 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b)는 각각, 복수의 박막 트랜지스터를 포함하며, 화소부(4502)에 포함된 박막 트랜지스터(4510)와 신호선 구동 회로(4503a)에 포함된 박막 트랜지스터(4509)가 도 11의 (b)에 예로서 도시되어 있다.
- [0308] 박막 트랜지스터(4509 및 4510)로서, 실시예 3에서 설명된 산화물 반도체층을 포함한 신뢰성이 높은 박막 트랜지스터가 이용될 수 있다. 대안으로서, 실시예 1 내지 실시예 4에서 설명된 박막 트랜지스터를 이용할 수 있다. 본 실시예에서, 박막 트랜지스터(4509 및 4510)는 n채널형 박막 트랜지스터이다.
- [0309] 게다가, 참조 번호(4511)는 발광 소자를 가리킨다. 발광 소자(4511)에 포함된 화소 전극인 제1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속된다. 발광 소자(4511)의 구조는, 제1 전극층(4517), 전계발광층(4512), 제2 전극층(4513)을 포함하는, 본 실시예에서 설명된 적층 구조만으로 한정되지 않는다는 점에 유의한다. 예를 들어, 발광 소자(4511)로부터 광이 추출되는 방향에 의존하는 적절한 방식으로, 발광 소자(4511)의 구조가 적절하게 변경될 수 있다.
- [0310] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용해 형성된다. 감광성 재료를 이용해 격벽(4520)을 형성하여 제1 전극층(4517) 위에 개구부를 가짐으로써, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다.
- [0311] 전계발광층(4512)은, 단일 층 또는 적층된 복수의 층으로서 형성될 수 있다.
- [0312] 산소, 수소, 수분, 이산화탄소등이 발광 소자(4511) 내에 침입하지 않도록 하기 위해, 제2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성할 수도 있다. 보호막으로서, 질화 규소막, 질화 산화 규소막, DLC막등을 형성할 수 있다.
- [0313] 또한, 각종 신호 및 전위가, FPC(4518a 및 4518b)로부터, 신호선 구동 회로(4503a 및 4503b), 주사선 구동 회로(4504a 및 4504b), 또는 화소부(4502)에 공급되고 있다.
- [0314] 접속 단자 전극(4515)은, 발광 소자(4511)에 포함된 제1 전극층(4517)과 동일한 도전막으로부터 형성되고, 단자 전극(4516)은, 박막 트랜지스터(4509 및 4510)에 포함된 소스 전극층 및 드레인 전극층과 동일한 도전막으로부터 형성된다.
- [0315] 접속 단자 전극(4515)은, 이방성 도전막(4519)을 통해 FPC(4518a)의 단자에 전기적으로 접속된다.
- [0316] 발광 소자(4511)로부터 광이 추출되는 방향에 위치하는 제2 기관(4506)은 투광성을 가질 필요가 있다. 그 경우, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성 재료가 사용된다.
- [0317] 또, 충전재(4507)로서, 질소나 아르곤과 같은 불활성 가스 외에도, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있다. 예를 들어, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 예를 들어, 충전재로서 질소가 이용될 수 있다.
- [0318] 만일 필요하다면, 편광판, 또는 원 편광판(타원 편광판을 포함), 위상차판(1/4 파장판 또는 1/2 파장판), 또는 칼라 필터와 같은 광학 필름이 발광 소자의 발광면 위에 적절하게 제공될 수도 있다. 또한, 편광판 또는 원 편광판에 반사 방지막을 제공할 수도 있다. 예를 들어, 표면 상의 요철에 의해 반사광이 확산되어 눈부심을 저감할 수 있는 안티-글래어 처리(anti-glare treatment)를 수행할 수 있다.
- [0319] 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는, 별도 준비된 기관 위에 단결정 반

도체막 또는 다결정 반도체막을 이용하여 형성된 구동 회로로서 탑재될 수 있다. 대안으로서, 신호선 구동 회로 단독 또는 그 일부, 또는 주사선 구동 회로 단독 또는 그 일부만이 별도로 형성되어 탑재될 수 있다. 본 실시예는 도 11의 (a) 및 (b)에 나타난 구조만으로 한정되지 않는다.

- [0320] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 발광 표시 패널(발광 패널)을 제조할 수 있다.
- [0321] 본 실시예는, 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.
- [0322] [실시예 9]
- [0323] 본 명세서에서 개시하는 반도체 장치는 전자 페이퍼에 적용될 수 있다. 전자 페이퍼는, 데이터를 표시할 수 있는 것이라면 다양한 분야의 전자 기기에 이용될 수 있다. 예를 들어, 전자 페이퍼는, 전자 서적(전자 북) 리더, 포스터, 전철등의 탈 것의 차내 광고, 신용 카드와 같은 각종 카드의 표시에 적용될 수 있다. 이와 같은 전자 기기의 예를 도 22에 나타낸다.
- [0324] 도 22는, 전자 서적 리더(2700)의 일례를 나타낸다. 예를 들어, 전자 서적 리더(2700)는, 2개의 하우징, 하우징(2701) 및 하우징(2703)을 포함한다. 하우징(2701) 및 하우징(2703)은 경첩(2711)에 의해 결합되어, 전자 서적 리더(2700)가 경첩(2711)을 축으로 하여 개폐될 수 있게 한다. 이와 같은 구조에 의해, 전자 서적 리더(2700)가 종이 서적처럼 동작할 수 있다.
- [0325] 표시부(2705) 및 표시부(2707)는, 각각 하우징(2701) 및 하우징(2703)에 내장된다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 상이한 화상을 표시할 수 있다. 표시부(2705) 및 표시부(2707)가 상이한 화상을 표시하는 경우, 예를 들어, 우측의 표시부(도 22에서는 표시부(2705))는 텍스트를 표시하고, 좌측의 표시부(도 22에서는 표시부(2707))는 그래픽을 표시할 수 있다.
- [0326] 도 22는, 하우징(2701)에 조작부등이 제공되어 있는 예를 나타내고 있다. 예를 들어, 하우징(2701)에는 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등이 제공되고 있다. 조작 키(2723)에 의해, 페이지를 넘길 수 있다. 하우징의 표시부와 동일한 면에는, 키보드, 포인팅 장치 등도 역시 제공될 수 있다는 점에 유의한다. 또한, 하우징의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블과 같은 각종 케이블에 접속가능한 단자 등), 기록 매체 삽입부등이 제공될 수도 있다. 게다가, 전자 서적 리더(2700)는, 전자 사전의 기능을 가질 수도 있다.
- [0327] 또한, 전자 서적 리더(2700)는 정보를 무선으로 송수신할 수 있다. 무선 통신을 통해, 전자 서적 서버로부터 원하는 서적 데이터등을 구입해, 다운로드할 수 있다.
- [0328] [실시예 10]
- [0329] 본 명세서에서 개시하는 반도체 장치는 (게임기를 포함한) 다양한 전자 기기에 적용될 수 있다. 전자 기기의 예로서는, 텔레비전 세트(텔레비전, 또는 텔레비전 수상기라고도 함), 컴퓨터용등의 모니터, 디지털 카메라나 디지털 비디오 카메라와 같은 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 세트라고도 함), 휴대형 게임기, 휴대 정보 단말기, 오디오 재생 장치, 파칭코기 등과 같은 대형 게임기등이 포함된다.
- [0330] 도 23의 (a)는, 텔레비전 세트(9600)의 일례를 나타내고 있다. 텔레비전 세트(9600)에서, 표시부(9603)는 하우징(9601) 내에 내장된다. 표시부(9603)에는 영상을 표시할 수 있다. 여기서, 하우징(9601)은 스탠드(9605)에 의해 지지된다.
- [0331] 텔레비전 세트(9600)는, 하우징(9601)의 조작 스위치 또는 별개의 리모콘(9610)에 의해 작동될 수 있다. 리모콘(9610)의 조작 키(9609)에 의해 채널이나 음량을 제어하여 표시부(9603)에 표시되는 영상을 제어할 수 있다. 또한, 리모콘(9610)에는, 리모콘(9610)으로부터 출력되는 데이터를 표시하기 위한 표시부(9607)가 제공될 수 있다.
- [0332] 텔레비전 세트(9600)에는, 수신기, 모뎀등이 제공될 수 있다는 점에 유의한다. 수신기에 의해, 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 세트(9600)가 모뎀을 통해 유선 또는 무선에 의해 통신 네트워크에 접속될 때, 단방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또한 수신자들간 등)의 데이터 통신이 수행될 수 있다.
- [0333] 도 23의 (b)는, 디지털 포토 프레임(9700)의 일례를 나타내고 있다. 예를 들어, 디지털 포토 프레임(9700)에서, 표시부(9703)는 하우징(9701) 내에 내장된다. 표시부(9703)에는, 다양한 화상이 표시될 수 있다. 예를 들어, 표시부(9703)는 통상의 포토 프레임으로서 기능하기 위해 디지털 카메라등으로 촬영한 화상 데이터를 표시할 수

있다.

- [0334] 디지털 포토 프레임(9700)에는, 조작부, 외부 접속부(USB 단자, USB 케이블과 같은 다양한 케이블에 접속 가능한 단자 등), 기록 매체 삽입부 등이 제공된다는 점에 유의한다. 비록 이들은 표시부(9703)와 동일한 면에 제공될 수 있지만, 그 설계 향상 때문에 측면이나 배면에 제공하는 것이 바람직하다. 예를 들어, 디지털 카메라로 촬영한 화상 데이터가 저장되는 메모리를 디지털 포토 프레임(9700)의 기록 매체 삽입부 내에 삽입함으로써, 그 화상 데이터를 표시부(9703)에 표시할 수 있다.
- [0335] 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수도 있다. 무선 통신에 의해, 원하는 화상 데이터를 다운로드하여 표시시킬 수 있다.
- [0336] 도 24의 (a)는, 2개의 하우징, 하우징(9881) 및 하우징(9891)을 포함하는 휴대형 오락 기기를 도시한다. 하우징(9881) 및 하우징(9891)은 개폐될 수 있도록 접속부(9893)에 접속된다. 표시부(9882) 및 표시부(9883)는 각각 하우징(9881) 및 하우징(9891)에 내장된다. 또한, 도 24의 (a)에 도시된 휴대형 오락 기기는, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 향기나 또는 적외선을 측정하는 기능을 포함하는 센서), 및 마이크로폰(9889) 등을 포함한다. 물론, 휴대형 오락 기기의 구조는 전술된 것만으로 한정되지 않으며, 적어도 본 명세서에 개시된 반도체 장치를 갖춘 다른 구조도 이용할 수 있다. 휴대형 오락 기기는 적절하다면 다른 부속 장비를 포함할 수도 있다. 도 24의 (a)에 도시된 휴대형 오락 기기는, 기록 매체에 저장된 프로그램 또는 데이터를 관독하여 표시부에 표시하는 기능이나, 무선 통신에 의해 다른 휴대형 오락 기기와 정보를 공유하는 기능을 가진다. 도 24의 (a)에 도시된 휴대형 오락 기기는, 전술된 것으로만 제한되지 않고 다양한 기능을 가질 수 있다.
- [0337] 도 24의 (b)는, 대형 오락 기기인 슬롯 머신(9900)의 일례를 나타내고 있다. 슬롯 머신(9900)에서, 표시부(9903)는 하우징(9901) 내에 내장된다. 또한, 슬롯 머신(9900)은, 스타트 레버나 스톱 스위치와 같은 조작 수단, 코인 투입구, 스피커등을 포함한다. 물론, 슬롯 머신(9900)의 구조는 전술된 것만으로 한정되지 않으며, 적어도 본 명세서에 개시된 반도체 장치를 갖춘 다른 구조도 이용할 수 있다. 슬롯 머신(9900)은, 적절하다면 다른 부속 장비를 포함할 수도 있다.
- [0338] 도 25의 (a)는, 휴대형 컴퓨터의 일례를 나타내는 사시도이다.
- [0339] 도 25의 (a)의 휴대형 컴퓨터에서, 표시부(9303)를 갖는 상부 하우징(9301)과 키보드(9304)를 갖는 하부 하우징(9302)은, 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 경첩 유니트를 단음으로써 서로 중첩할 수 있다. 도 25의 (a)의 휴대형 컴퓨터는 운반하기 편리할 수 있으며, 입력을 위해 키보드를 사용하는 경우에는, 경첩 유니트가 개방되어, 사용자가 표시부(9303)를 보면서 입력할 수 있다.
- [0340] 하부 하우징(9302)은, 키보드(9304) 외에도, 입력을 수행할 수 있는 포인팅 장치(9306)를 포함한다. 또한, 표시부(9303)가 터치 입력 패널일 때, 표시부의 일부를 터치함으로써 입력을 수행할 수 있다. 하부 하우징(9302)은 CPU와 같은 연산 기능부 또는 하드 디스크를 포함한다. 또한, 하부 하우징(9302)은, 또 다른 장치, 예를 들어, USB의 통신 규격에 따른 통신 케이블이 삽입되는 외부 접속 포트(9305)를 포함한다.
- [0341] 상부 하우징(9301)은, 상부 하우징(9301) 내부에 슬라이드시켜 수납할 수 있는 표시부(9307)를 더 포함한다. 따라서, 넓은 표시 화면을 실현할 수가 있다. 또한, 사용자는 수납가능한 표시부(9307)의 화면의 방향을 조절할 수 있다. 수납가능한 표시부(9307)가 터치 입력 패널일 때, 수납가능한 표시부의 일부를 터치함으로써 입력을 수행할 수 있다.
- [0342] 표시부(9303) 또는 수납가능한 표시부(9307)는, 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자와 같은 발광 표시 패널등의 영상 표시 장치를 이용하여 형성된다.
- [0343] 또한, 도 25의 (a)의 휴대형 컴퓨터는, 수신기등을 갖추고, 텔레비전 방송을 수신해 영상을 표시부에 표시할 수 있다. 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 경첩 유니트를 닫은 상태로, 표시부(9307)를 슬라이드시켜 표시부(9307)의 화면 전체를 노출시키고 화면 각도를 조절함으로써, 사용자는 텔레비전 방송을 볼 수도 있다. 이 경우, 경첩 유니트는 개방되지 않고 표시부(9303)에서 표시는 수행되지 않는다. 또한, 텔레비전 방송을 표시하기 위한 회로판의 기동이 수행된다. 따라서, 전력 소비가 최소화될 수 있어, 배터리 용량이 제한되어 있는 휴대형의 컴퓨터에 유익하다.

- [0344] 도 25의 (b)는, 손목 시계와 같이 사용자가 손목에 착용할 수 있는 휴대 전화의 일례를 나타내는 사시도이다.
- [0345] 이 휴대 전화는, 적어도 전화 기능을 갖는 통신 장치 및 배터리를 포함하는 본체; 본체를 손목에 장착할 수 있게 하는 밴드부(9204); 손목에 꼭 맞게 밴드부(9204)를 조절하는 조절부(9205); 표시부(9201); 스피커(9207); 및 마이크로폰(9208)을 포함한다.
- [0346] 또한, 본체는, 조작 스위치(9203)를 포함한다. 조작 스위치(9203)는, 전원을 켜기 위한 스위치나, 표시 전환 스위치나, 촬상 개시 지시용 스위치 등으로 역할하는 것 외에도, 예를 들어, 누르면 인터넷용의 프로그램을 기동시키는 스위치로서 역할하며, 각각의 기능에 대응하도록 사용될 수 있다.
- [0347] 이 휴대 전화로의 입력은, 손가락이나 입력 펜등으로 표시부(9201)를 터치하거나, 조작 스위치(9203)를 작동하거나, 또는 마이크로폰(9208) 내에 음성을 입력함으로써 이루어진다. 도 25의 (b)에는 표시부(9201)에 표시된 표시 버튼(9202)이 도시되어 있다는 점에 유의한다. 입력은, 손가락등으로 표시 버튼(9202)을 터치함으로써 수행될 수 있다.
- [0348] 또한, 본체는, 카메라 렌즈를 통해 형성되는 피사체의 상을 전자 화상 신호로 변환하는 기능을 갖는 촬상 수단을 포함하는 카메라부(9206)를 포함한다. 카메라부는 반드시 제공될 필요는 없다는 점에 유의한다.
- [0349] 도 25의 (b)에 나타난 휴대 전화는, 텔레비전 방송 수신기등을 갖추고, 텔레비전 방송을 수신해 영상을 표시부(9201)에 표시할 수가 있다. 또한, 도 25의 (b)에 나타난 휴대 전화는, 메모리와 같은 기억 장치등을 갖추고, 텔레비전 방송을 메모리에 녹화할 수 있다. 도 25의 (b)에 나타난 휴대 전화는, GPS와 같은, 위치 정보를 수집하는 기능을 가질 수도 있다.
- [0350] 표시부(9201)는, 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자와 같은 발광 표시 패널등의 영상 표시 장치를 이용하여 형성된다. 도 25의 (b)에 나타난 휴대 전화는 작고 경량이어서, 제한된 배터리 용량을 가진다. 표시부(9201)를 위한 표시 장치로서, 낮은 소비 전력으로 구동할 수 있는 패널을 이용하는 것이 바람직하다.
- [0351] 도 25의 (b)는 손목에 착용하는 전자 기기를 나타낸다; 그러나, 본 실시예는, 휴대할 수 있는 형상을 이용하는 한, 이것만으로 제한되지 않는다는 점에 유의한다.
- [0352] [예 1]
- [0353] 높은 산소 밀도를 갖는 영역 및 낮은 산소 밀도를 갖는 영역을 포함하는 산화물 반도체층에 있어서, 열 처리 전후의 산소 밀도의 변화에 대한 시뮬레이션 결과를, 도 34 및 도 21을 참조하여 설명한다. 시뮬레이션을 위한 소프트웨어로서, Fujitsu Limited의 Materials Explorer 5.0을 이용했다.
- [0354] 도 34는, 시뮬레이션에 이용된 산화물 반도체층의 모델을 나타낸다. 여기서는, 산화물 반도체층(701)을 위해, 낮은 산소 밀도를 갖는 층(703) 및 높은 산소 밀도를 갖는 층(705)을 적층한 구조를 이용하였다.
- [0355] 낮은 산소 밀도를 갖는 층(703)의 경우, 15개의 In원자, 15개의 Ga원자, 15개의 Zn원자, 및 54개의 O원자를 포함하는 아몰퍼스 구조가 이용되었다.
- [0356] 또한, 높은 산소 밀도를 갖는 층(705)의 경우, 15개의 In원자, 15개의 Ga원자, 15개의 Zn원자, 및 66개의 O원자를 포함하는 아몰퍼스 구조가 이용되었다.
- [0357] 게다가, 산화물 반도체층(701)의 밀도는  $5.9\text{g}/\text{cm}^3$ 로 설정되었다.
- [0358] 그 다음, 산화물 반도체층(701)에 대해, NVT 앙상블, 온도  $250^\circ\text{C}$ 의 조건하에, 고전 MD(분자 동역학) 시뮬레이션을 수행했다. 시간 단계는  $0.2\text{ fs}$ 로 설정되었고, 총 시뮬레이션 시간을  $200\text{ ps}$ 로 설정했다. 또한, 금속-산소 결합 및 산소-산소 결합의 퍼텐셜에 대해 Born-Mayer-Huggins 퍼텐셜을 적용했다. 게다가, 산화물 반도체층(701)의 상단부 및 하단부에서의 원자의 움직임이 고정되었다.
- [0359] 그 다음, 시뮬레이션 결과를 도 21에 나타낸다. z-축 좌표에서  $0\text{ nm}$  내지  $1.15\text{ nm}$ 의 범위는 낮은 산소 밀도를 갖는 층(703)을 나타내며, z-축 좌표의  $1.15\text{ nm}$  내지  $2.3\text{ nm}$ 의 범위는 높은 산소 밀도를 갖는 층(705)을 나타낸다. MD 시뮬레이션 이전의 산소의 밀도 분포는 실선(707)으로 표시되고, MD 시뮬레이션 이후의 산소 밀도의 분포는 점선(709)으로 표시된다.
- [0360] 실선(707)은, 낮은 산소 밀도를 갖는 층(703)과 높은 산소 밀도를 갖는 층(705) 사이의 계면으로부터, 높은 산소 농도를 갖는 층(705)에 이르는 범위의 영역에서, 산화물 반도체층(701)이 더 높은 산소 밀도를 갖는다는 것을 보여준다. 반면, 점선(709)은, 낮은 산소 밀도를 갖는 층(703)과 높은 산소 밀도를 갖는 층(705)에서 산소

밀도가 균일하다는 것을 보여준다.

- [0361] 이상으로부터, 낮은 산소 밀도를 갖는 층(703)과 높은 산소 밀도를 갖는 층(705)의 적층에서와 같이 산소 밀도 분포의 불균일성이 존재하는 경우, 열 처리에 의해 산소 밀도가 높은 편으로부터 낮은 편으로 산소가 확산되어, 산소 밀도가 균일하게 된다.
- [0362] 즉, 실시예 1에서 설명된 바와 같이, 제1 산화물 반도체층(432) 위에 산화물 절연막(407)을 형성함으로써, 제1 산화물 반도체층(432)과 산화물 절연막(407) 사이의 계면에서의 산소 밀도가 높아지기 때문에, 산소 밀도가 낮은 산화물 반도체층(432)으로 산소가 확산하여, 제1 반도체층(432)이 더 높은 저항을 가지게 된다. 이상으로부터, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0363] 본 출원은, 본 명세서에서 참조용으로 그 전체를 인용하는 2009년 6월 30일 일본 특허청에 출원된 출원번호 제 2009-156414호에 기초하고 있다.

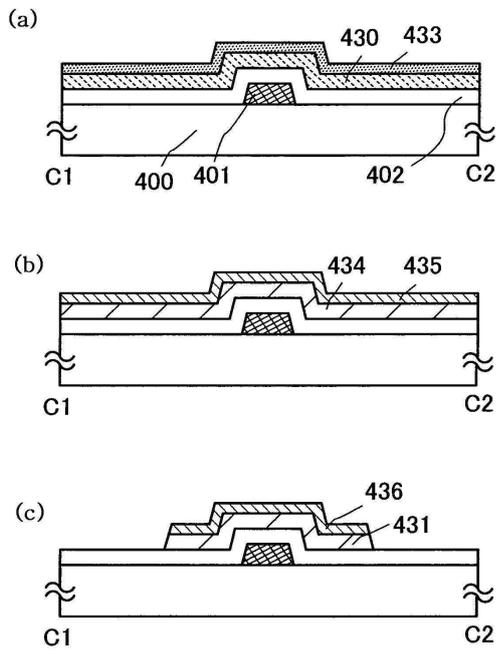
**부호의 설명**

- [0364] 34: 산화물 반도체층, 100: 기관, 101: 게이트 전극층, 102: 게이트 절연층, 103: 반도체층, 107: 보호 절연층, 108: 커패시터 배선, 110: 화소 전극층, 121: 단자, 122: 단자, 125: 콘택 홀, 126: 콘택 홀, 127: 콘택 홀, 128: 투명 도전막, 129: 투명 도전막, 131: 산화물 반도체막, 132: 도전막, 133: 산화물 반도체막, 134: 산화물 반도체층, 135: 산화물 반도체층, 136: 산화물 반도체막, 137: 산화물 반도체막, 138: 산화물 반도체층, 150: 단자, 151: 단자, 152: 게이트 절연층, 153: 접속 전극층, 154: 보호 절연막, 155: 투명 도전막, 156: 전극층, 170: 박막 트랜지스터, 400: 기관, 401: 게이트 전극층, 402: 게이트 절연층, 403: 반도체층, 407: 산화물 절연막, 408: 도전층, 409: 도전층, 410: 절연층, 411: 화소 전극층, 430: 산화물 반도체막, 431: 산화물 반도체층, 432: 산화물 반도체층, 433: 산화물 반도체막, 434: 산화물 반도체막, 435: 산화물 반도체막, 436: 산화물 반도체층, 470: 박막 트랜지스터, 471: 박막 트랜지스터, 472: 박막 트랜지스터, 580: 기관, 581: 박막 트랜지스터, 583: 절연막, 585: 절연층, 587: 전극층, 588: 전극층, 589: 구형 입자, 594: 공동, 595: 충전재, 596: 기관, 601: 전기로, 602: 챔버, 603: 히터, 604: 기관, 605: 서셉터, 606: 가스 공급 수단, 607: 배기 수단, 703: 낮은 산소 밀도를 갖는 층, 705: 높은 산소 밀도를 갖는 층, 707: 실선, 709: 점선, 104a: 소스 또는 드레인 영역, 104b: 소스 또는 드레인 영역, 105a: 소스 또는 드레인 전극층, 105b: 소스 또는 드레인 전극층, 2600: TFT 기관, 2601: 대향 기관, 2602: 밀폐재, 2603: 화소부, 2604: 표시 소자, 605: 착색층, 2606: 편광판, 2607: 편광판, 2608: 배선 회로부, 2609: 가요성 배선 기관, 2610: 냉음극관, 2611: 반사판, 2612: 회로 기관, 2613: 확산판, 2700: 전자 서적 리더, 2701: 하우스, 2703: 하우스, 2705: 표시부, 2707: 표시부, 2711: 경첩, 2721: 전원 스위치, 2723: 조작 키, 2725: 스피커, 4001: 기관, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 밀폐재, 4006: 기관, 4008: 액정층, 4010: 박막 트랜지스터, 4011: 박막 트랜지스터, 4013: 액정 소자, 4015: 접속 단자 전극, 4016: 단자 전극, 4018: FPC, 4019: 이방성 도전막, 4020: 절연층, 4021: 절연층, 4030: 화소 전극층, 4031: 대향 전극층, 4032: 절연층, 404a: 소스 또는 드레인 영역, 404b: 소스 또는 드레인 영역, 405a: 소스 또는 드레인 전극층, 405b: 소스 또는 드레인 전극층, 4501: 기관, 4502: 화소부, 4505: 밀폐재, 4506: 기관, 4507: 충전재, 4509: 박막 트랜지스터, 4510: 박막 트랜지스터, 4511 : 발광 소자, 4512: 전계발광층, 4513: 제2 전극층, 4515: 접속 단자 전극, 4516: 단자 전극, 4517: 제1 전극층, 4519: 이방성 도전막, 4520: 격벽, 5300: 기관, 5301: 화소부, 5302: 주사선 구동 회로, 5303: 신호선 구동 회로, 5400: 기관, 5401: 화소부, 5402: 주사선 구동 회로, 5403: 신호선 구동 회로, 5404: 주사선 구동 회로, 5501: 배선, 5502: 배선, 5503: 배선, 5504: 배선, 5505: 배선, 5506: 배선, 5543: 노드, 5544: 노드, 5571: 박막 트랜지스터, 5572: 박막 트랜지스터, 5573: 박막 트랜지스터, 5574: 박막 트랜지스터, 5575: 박막 트랜지스터, 5576: 박막 트랜지스터, 5577: 박막 트랜지스터, 5578: 박막 트랜지스터, 5601: 구동 IC, 5602: 스위치군, 5611: 배선, 5612: 배선, 5613: 배선, 5621: 배선, 5701: 플립-플롭, 5711: 배선, 5712: 배선, 5713: 배선, 5714: 배선, 5715: 배선, 5716: 배선, 5717: 배선, 5721: 신호, 5821: 신호, 590a: 흑색 영역, 590b: 백색 영역, 611a: 가스 공급원, 611b: 가스 공급원, 612a: 압력 조정 밸브, 612b: 압력 조정 밸브, 613a: 정제기, 613b: 정제기, 614a: 매스 플로우 컨트롤러, 614b: 매스 플로우 컨트롤러, 615a: 스톱 밸브, 615b: 스톱 밸브, 6400: 화소, 6401: 스위칭용 트랜지스터, 6402: 구동용 트랜지스터, 6403: 커패시터 소자, 6404: 발광 소자, 6405: 신호선, 6406: 주사선, 6407: 전원선, 6408: 공통 전극, 7001: TFT, 7002: 발광 소자, 7003: 캐소드, 7004: 발광층, 7005: 애노드, 7011: 구동용 TFT, 7012: 발광 소자, 7013: 캐소드, 7014: 발광층, 7015: 애노드, 7016: 차광막, 7017: 도전막, 7021: 구동용 TFT, 7022: 발광 소자, 7023: 캐소드, 7024: 발광층, 7025: 애노드, 7027: 도전막, 9201: 표시부, 9202: 표시 버턴, 9203: 조작 스위치, 9204: 밴드

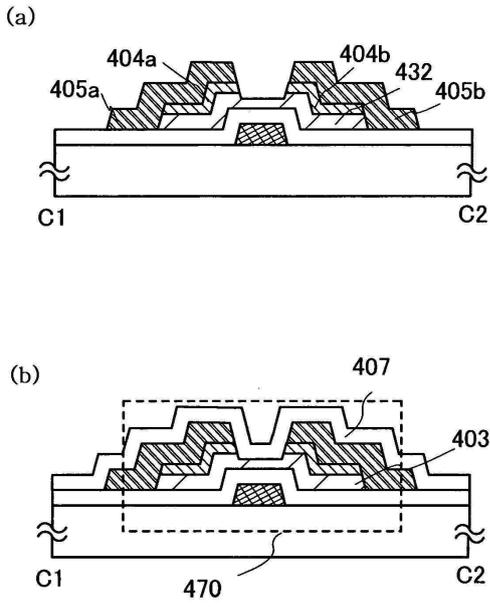
부, 9205: 조절부, 9206: 카메라부, 9207: 스피커, 9208: 마이크로폰, 9301: 상부 하우징, 9302: 하부 하우징, 9303: 표시부, 9304: 키보드, 9305: 외부 접속 포트, 9306: 포인팅 장치, 9307: 표시부, 9600: 텔레비전 세트, 9601: 하우징, 9603: 표시부, 9605: 스탠드, 9607: 표시부, 9609: 조작 키, 9610: 리모콘, 9700: 디지털 포토 프레임, 9701: 하우징, 9703: 표시부, 9881: 하우징, 9882: 표시부, 9883: 표시부, 9884: 스피커부, 9885: 조작 키, 9886: 기록 매체 삽입부, 9887: 접속 단자, 9888: 센서, 9889: 마이크로폰, 9890: LED 램프, 9891: 하우징, 9893: 접속부, 9900: 슬롯 머신, 9901: 하우징, 9903: 표시부, 4503a: 신호선 구동 회로, 4503b: 신호선 구동 회로, 4504a: 주사선 구동 회로, 4504b: 주사선 구동 회로, 4518a: FPC, 4518b: FPC, 5603a: 박막 트랜지스터, 5603b: 박막 트랜지스터, 5603c: 박막 트랜지스터, 5703a: 타이밍, 5703b: 타이밍, 5703c: 타이밍, 5803a: 타이밍, 5803b: 타이밍, 5803c: 타이밍.

**도면**

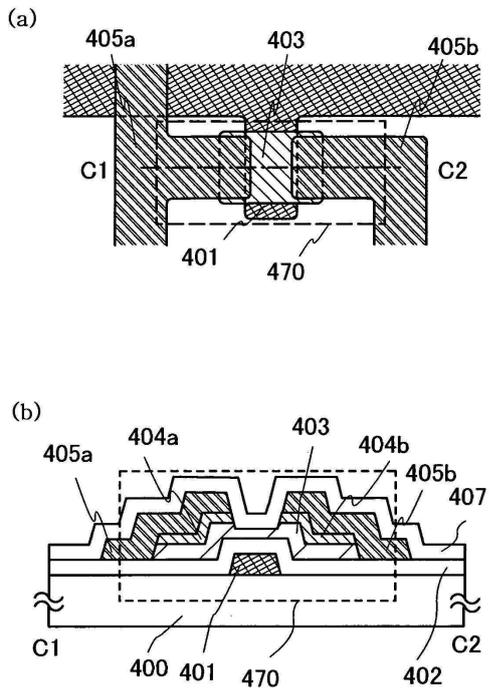
**도면1**



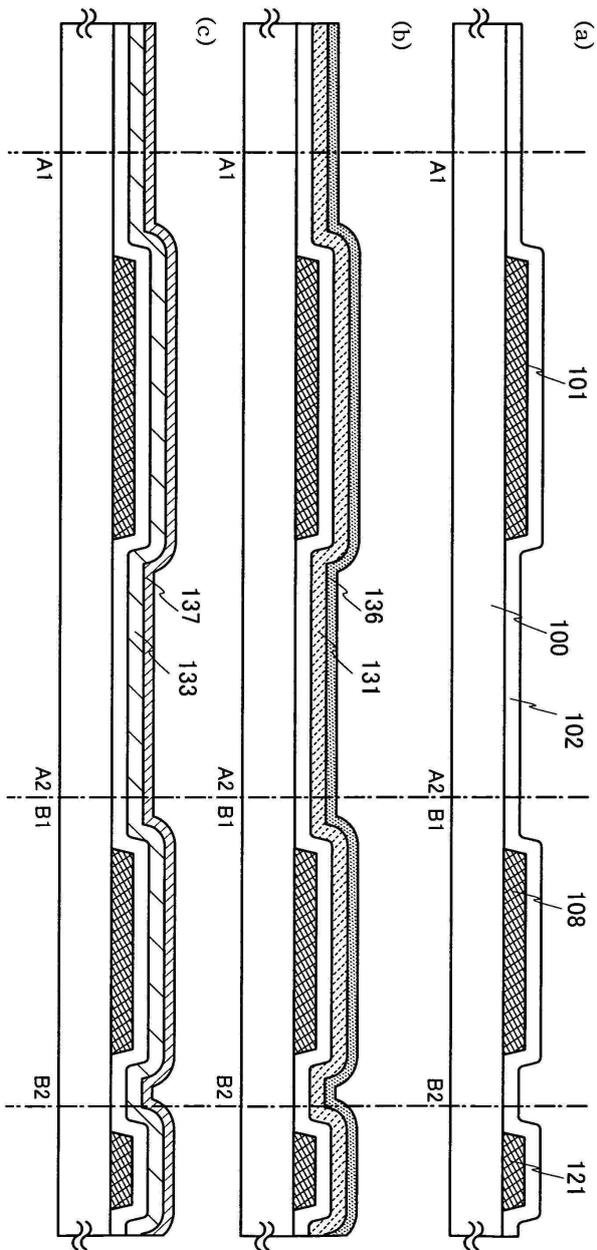
도면2



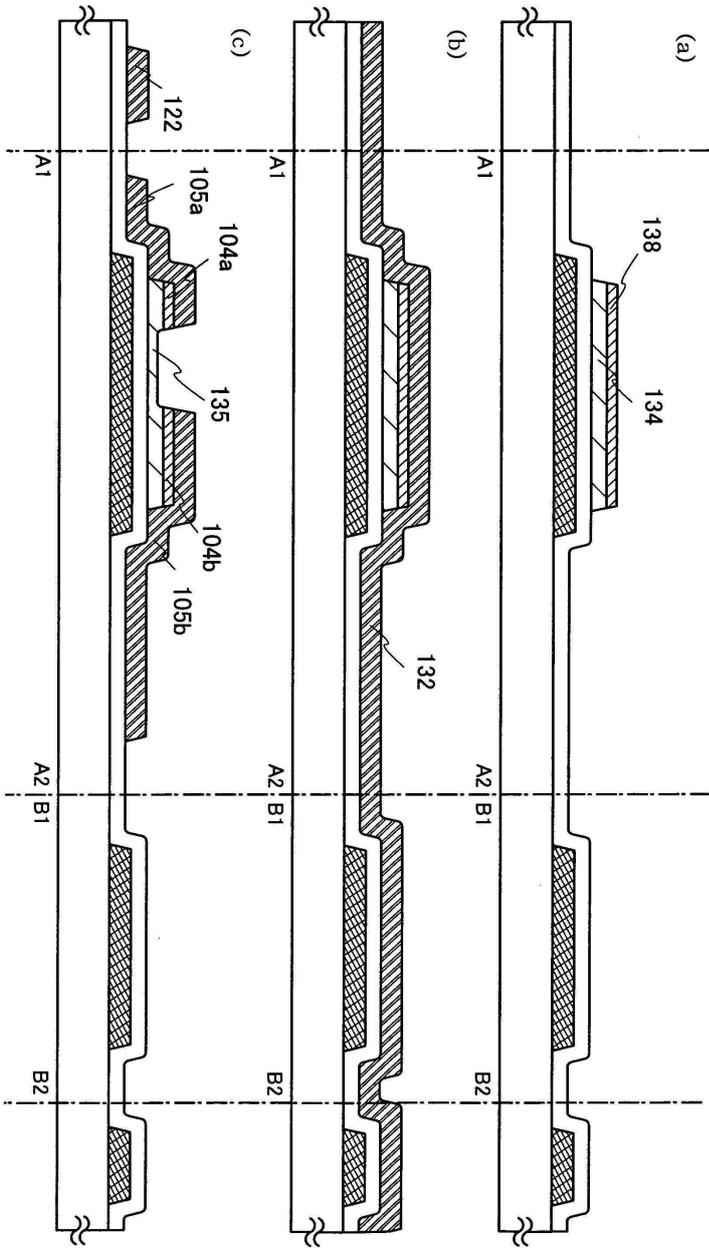
도면3



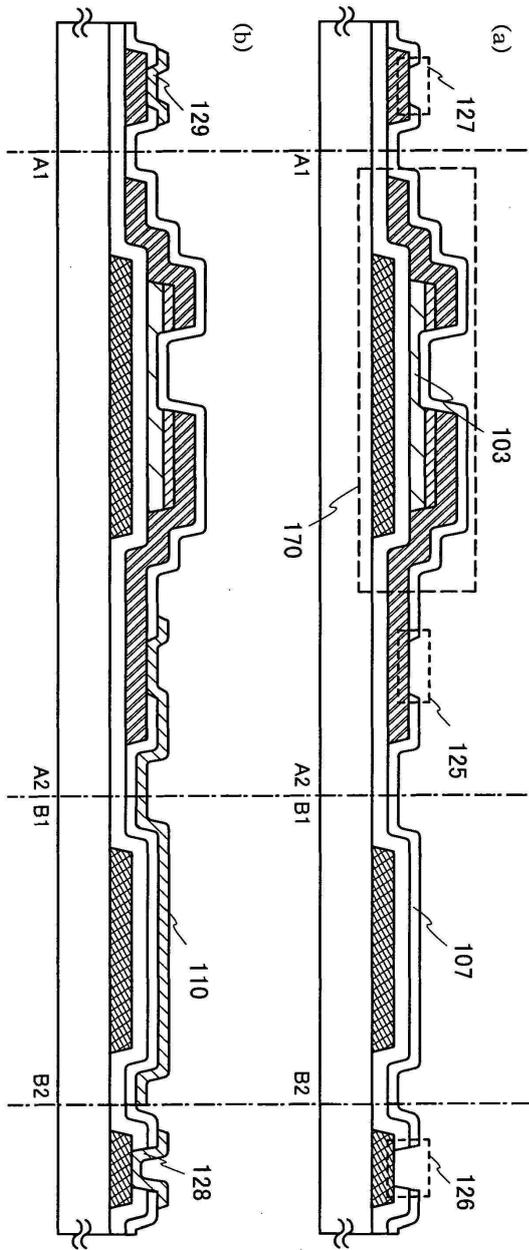
도면4



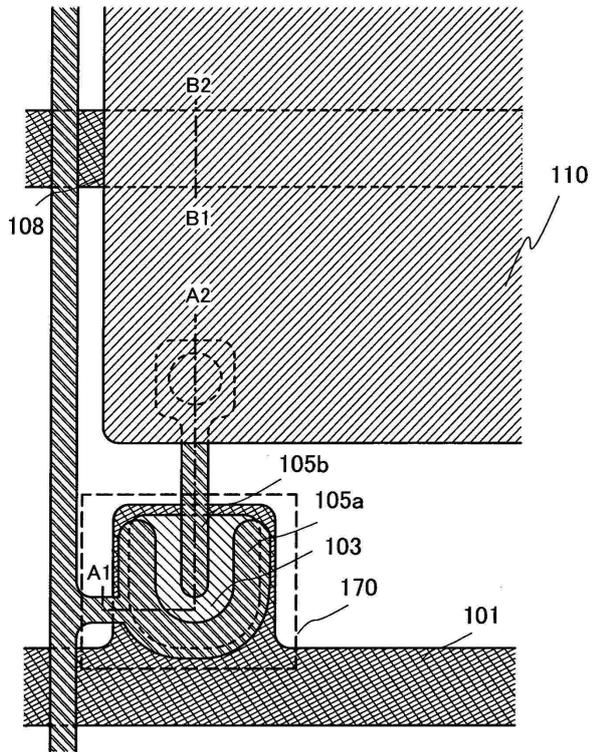
도면5



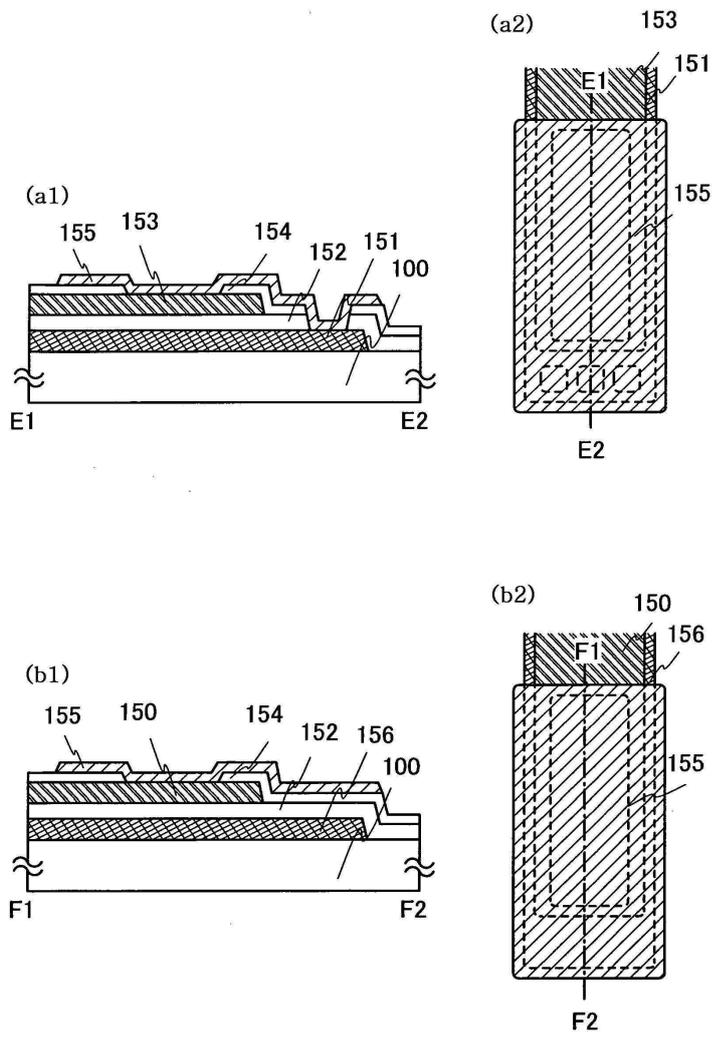
도면6



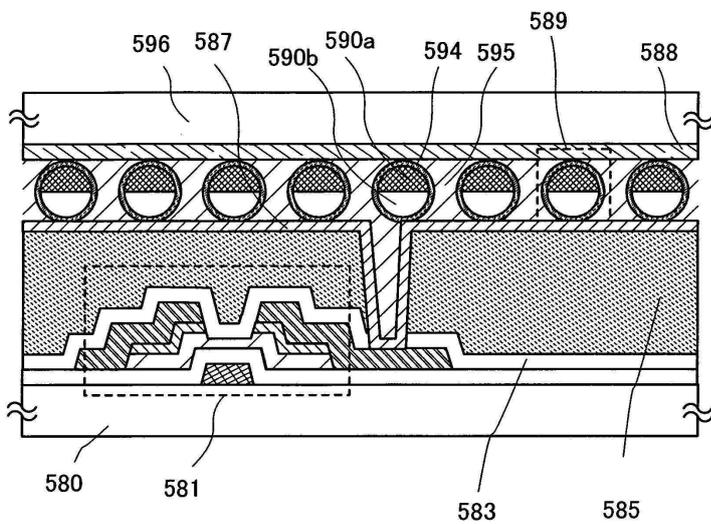
도면7



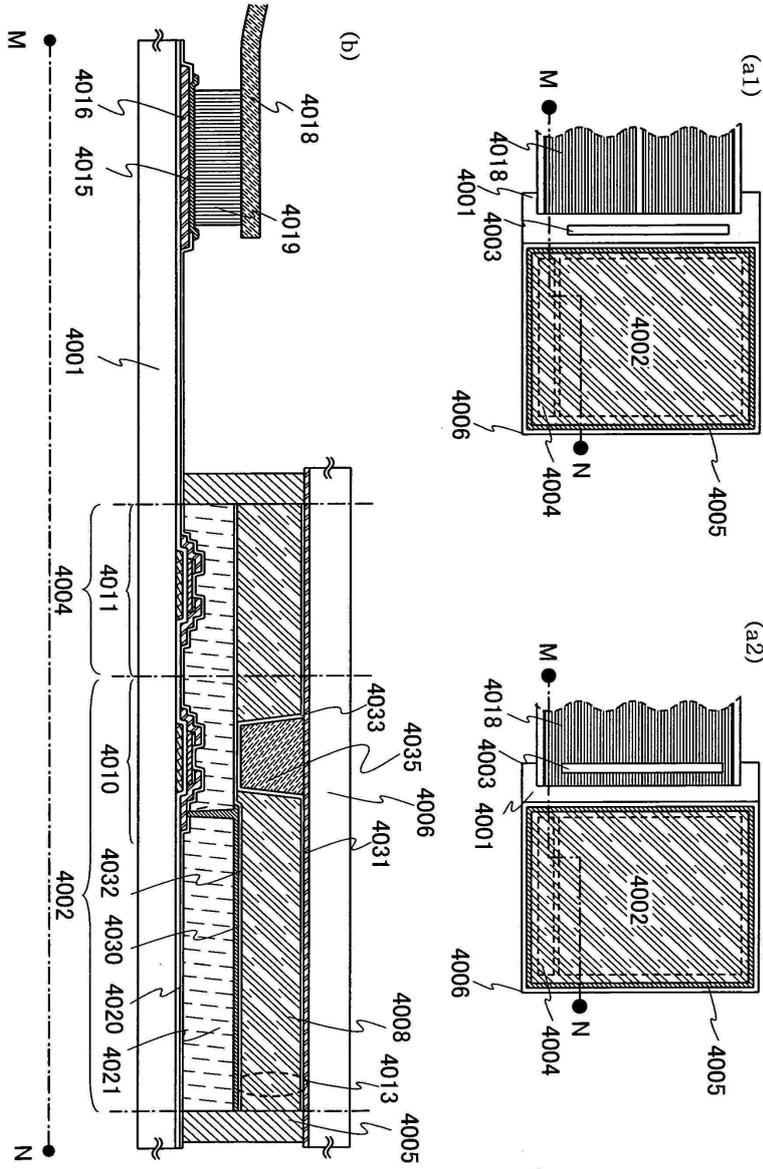
도면8



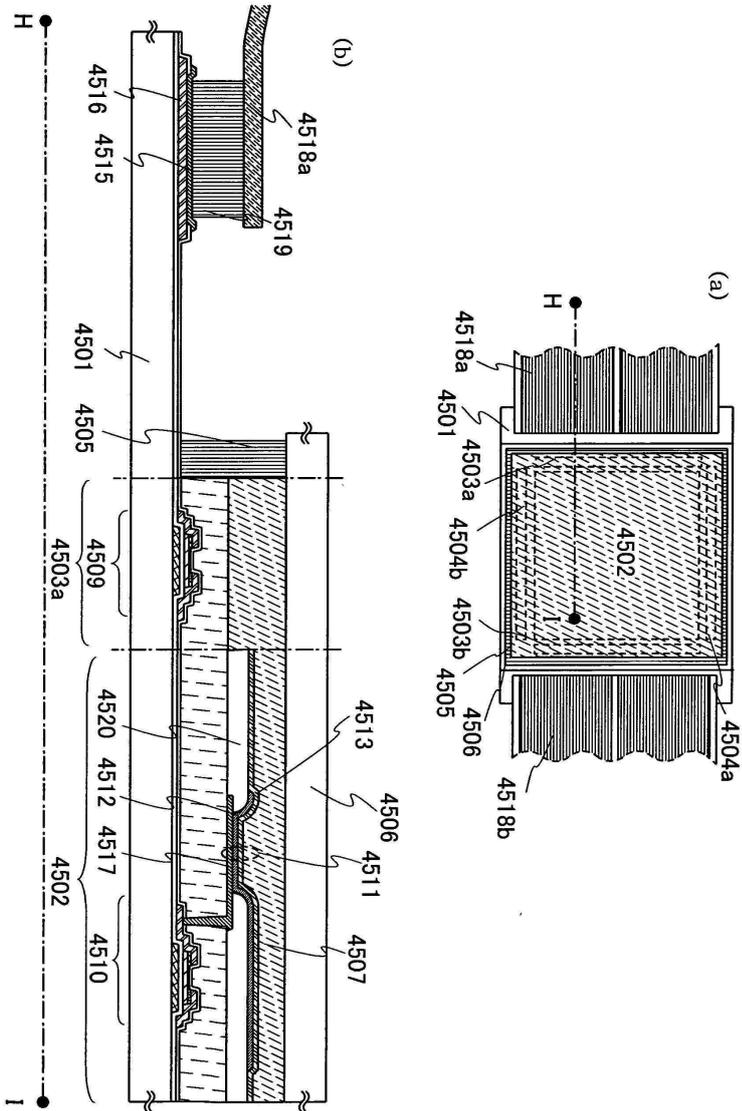
도면9



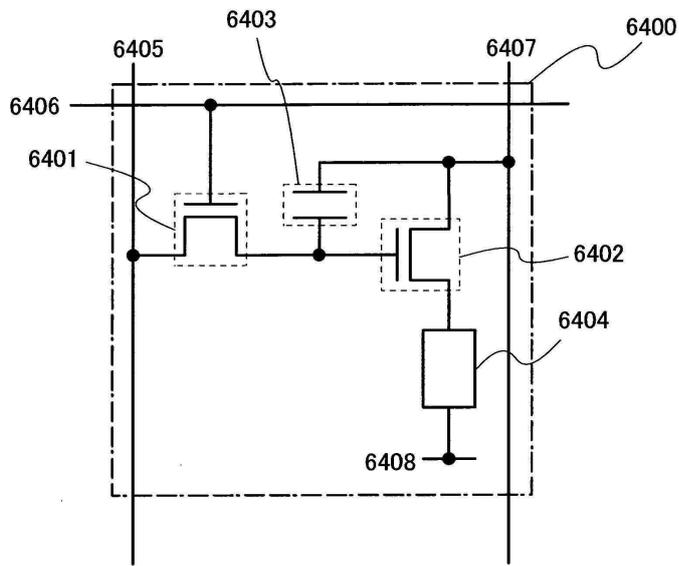
도면10



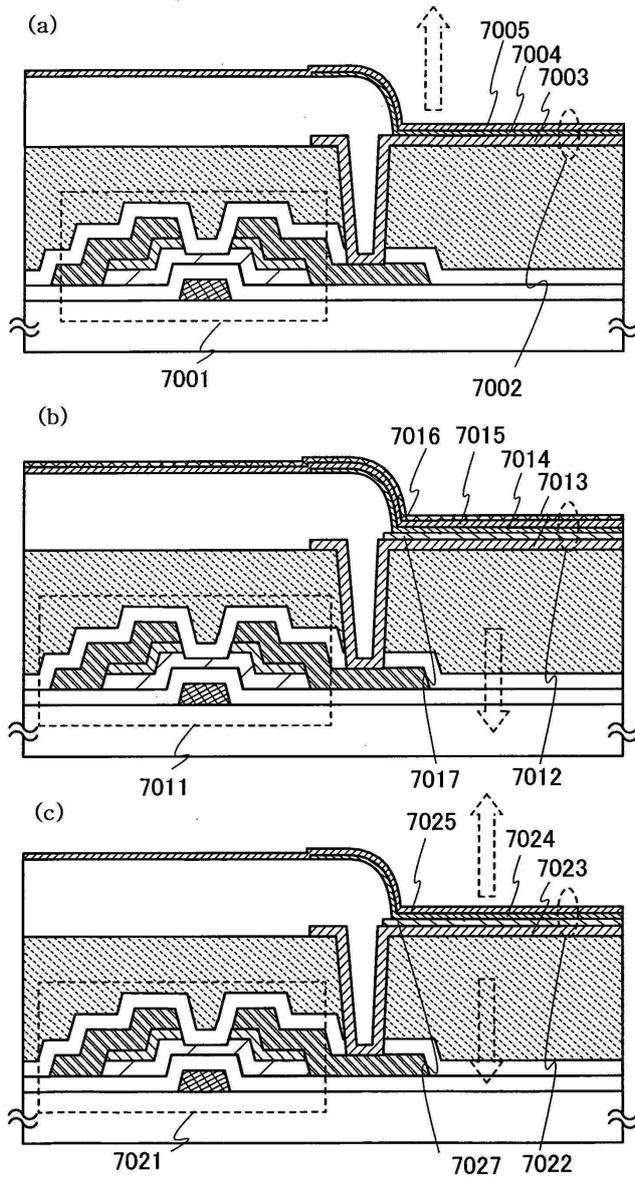
도면11



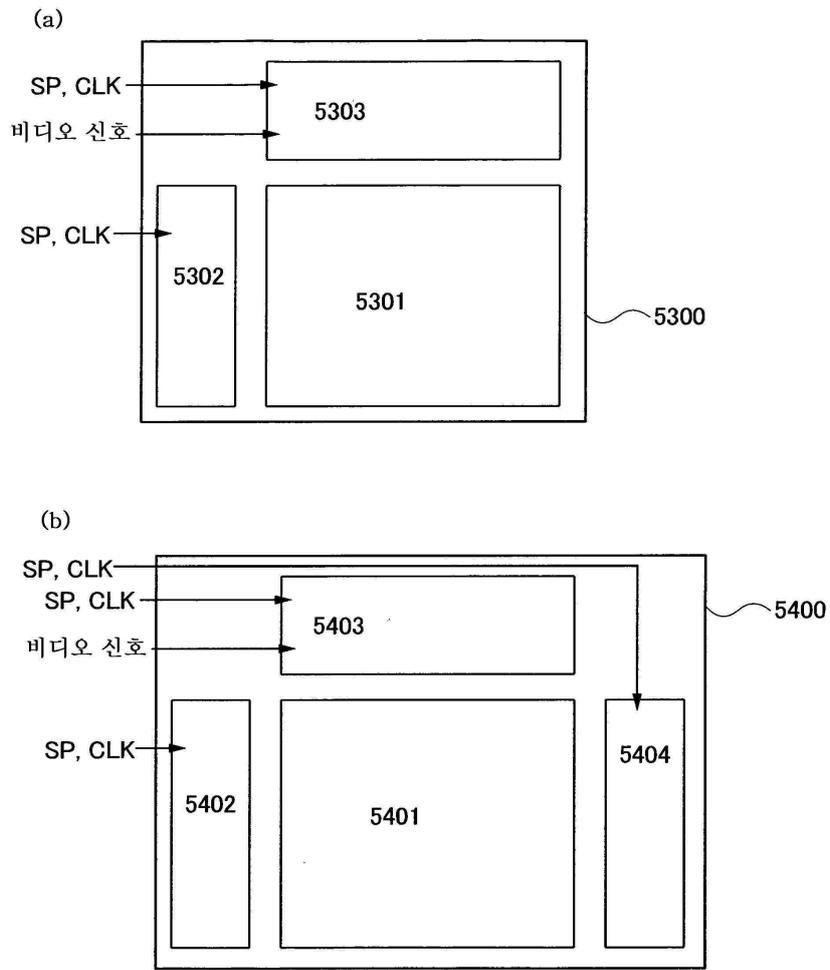
도면12



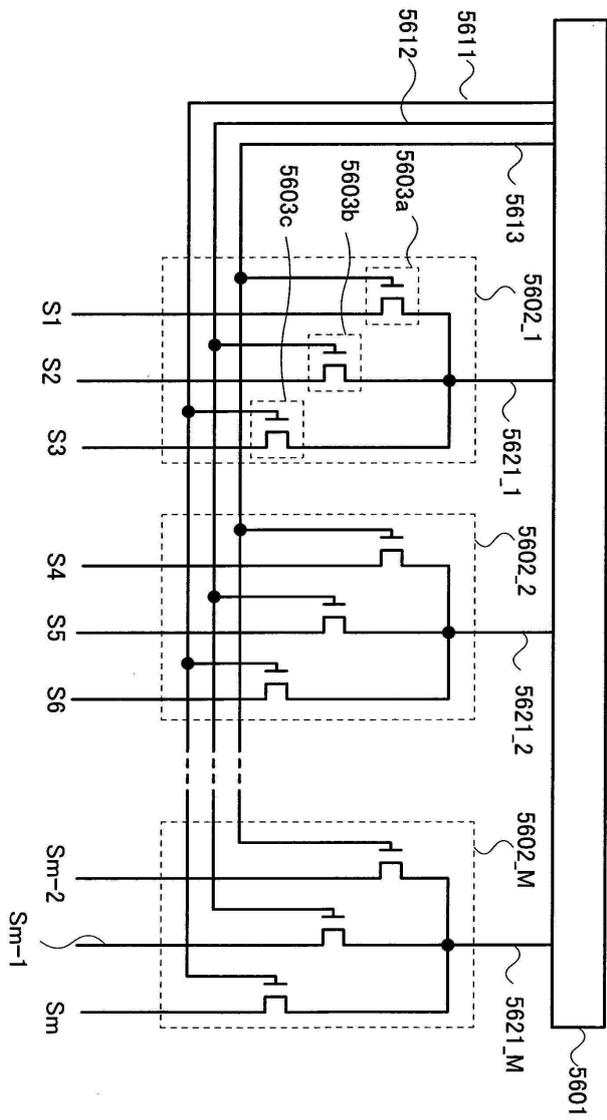
도면13



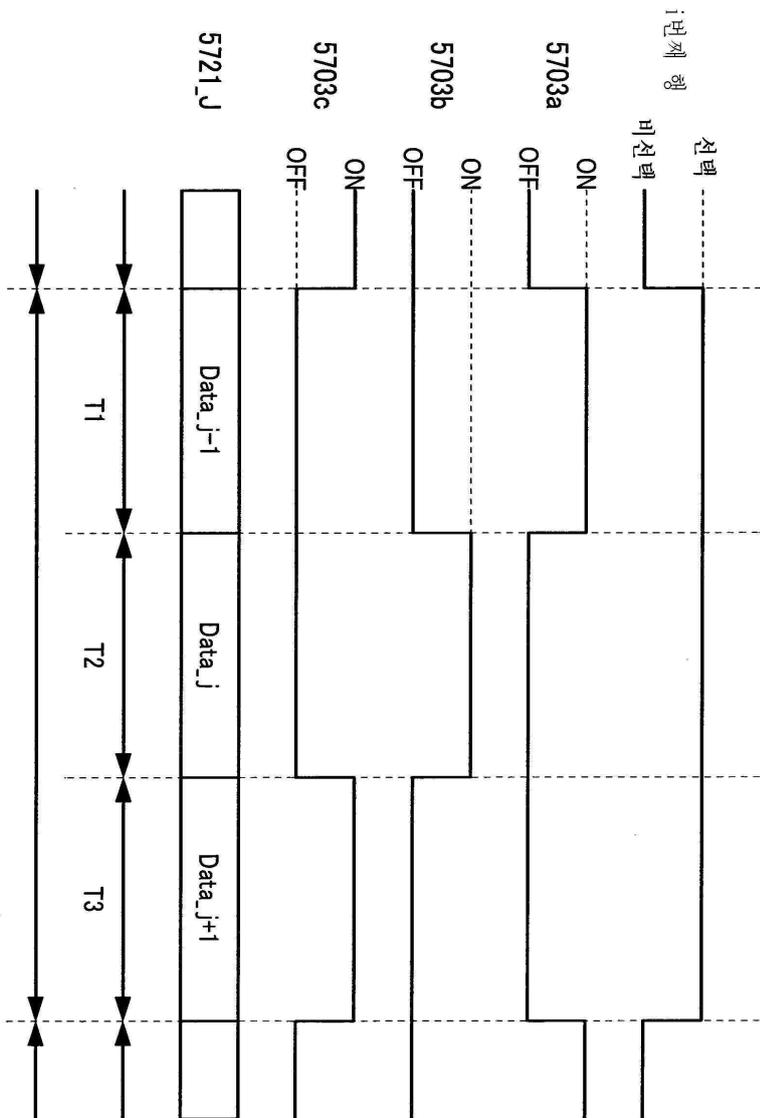
도면14



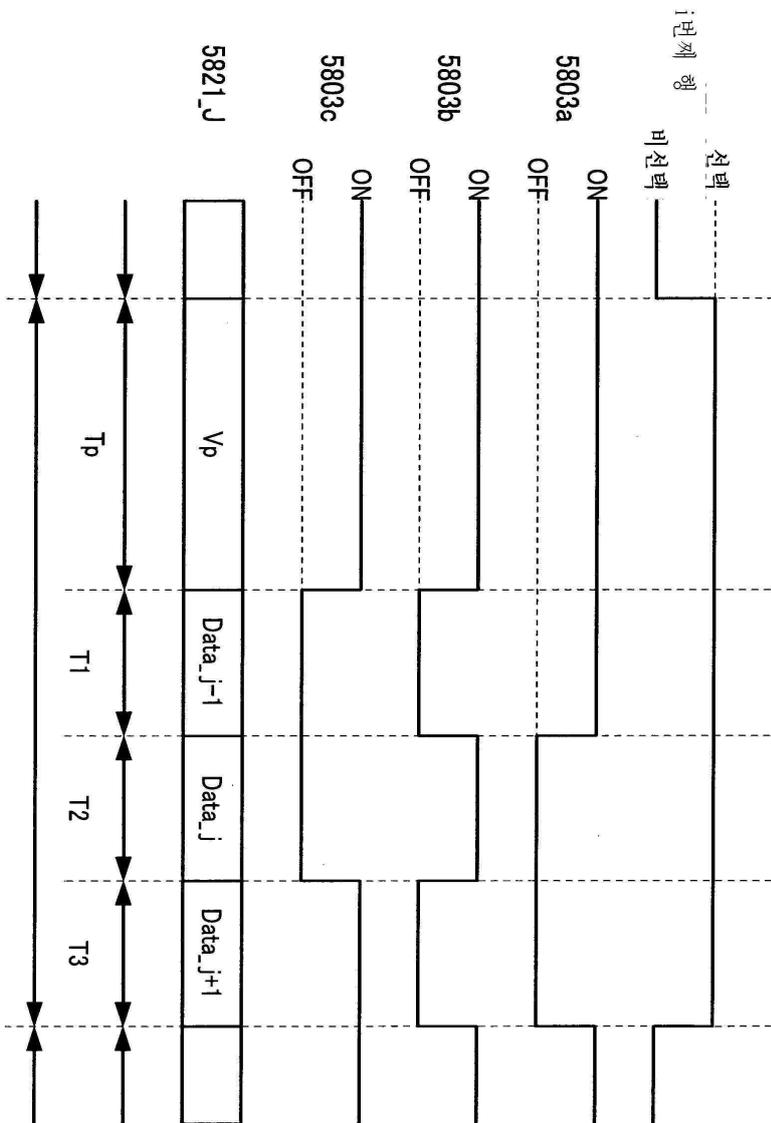
도면15



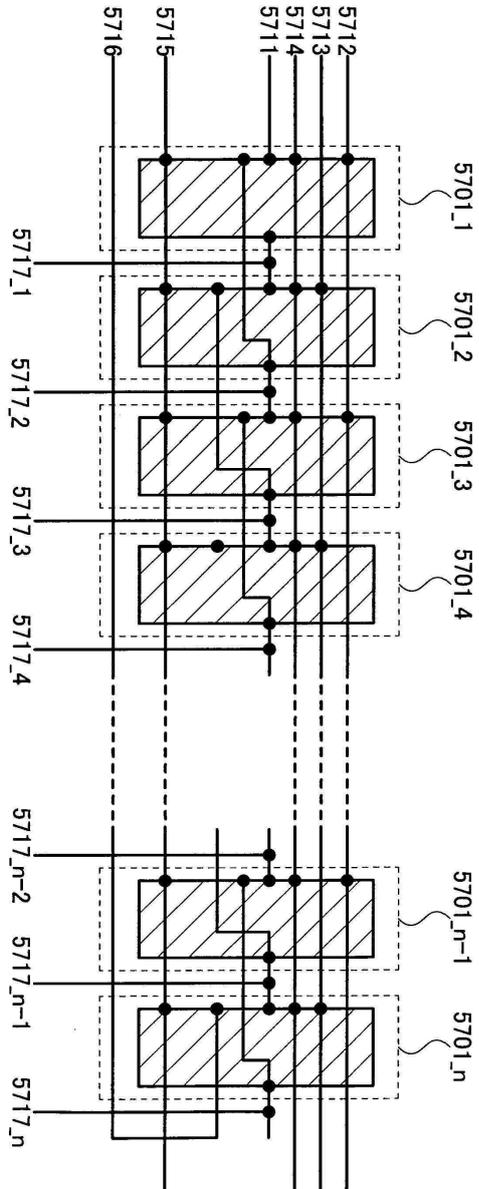
도면16



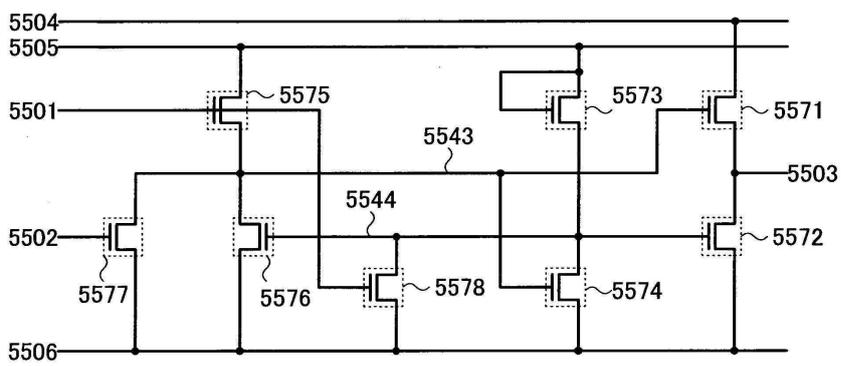
도면17



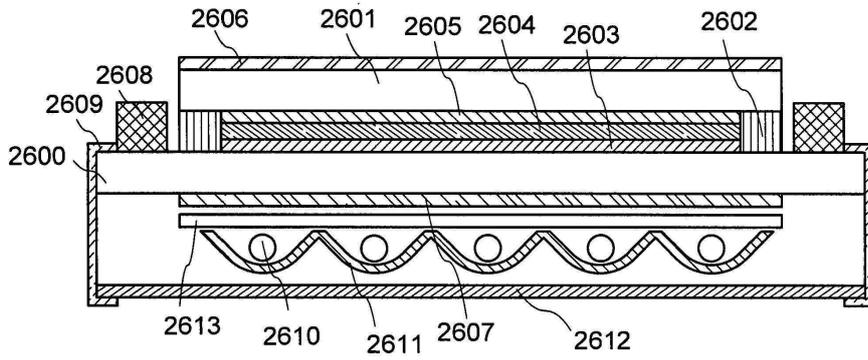
도면18



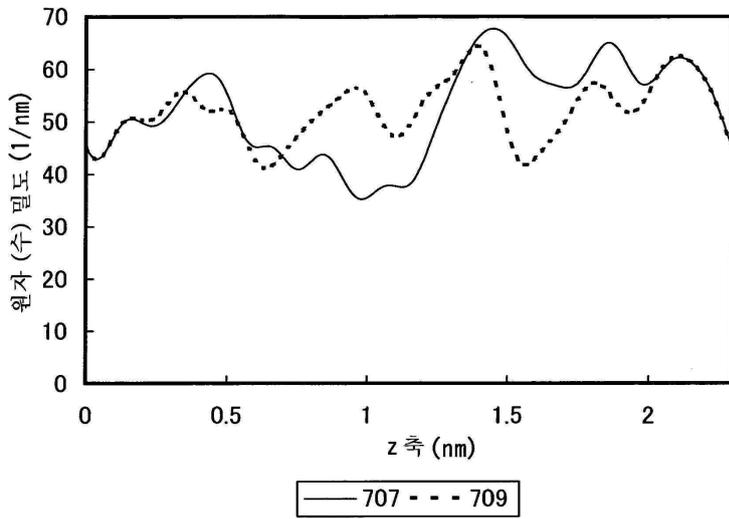
도면19



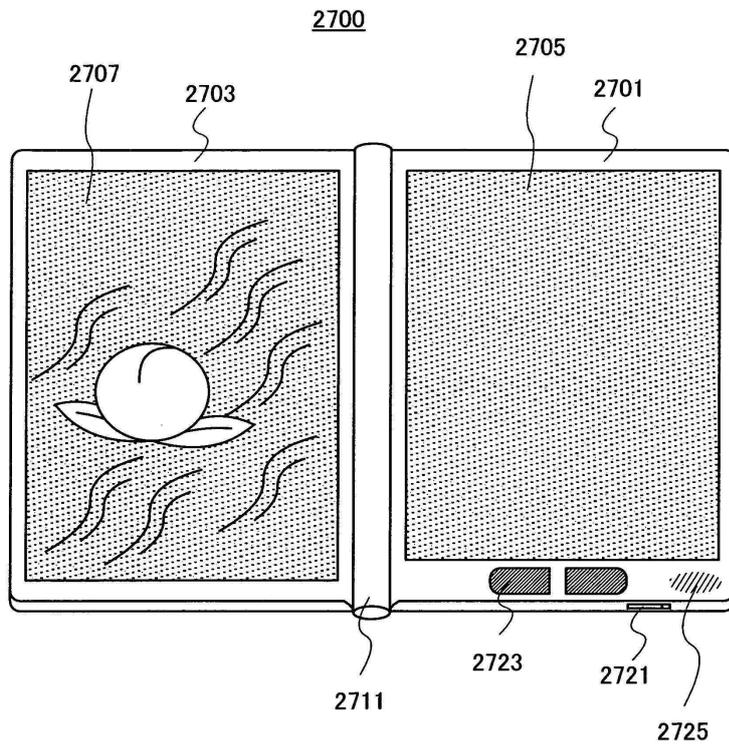
도면20



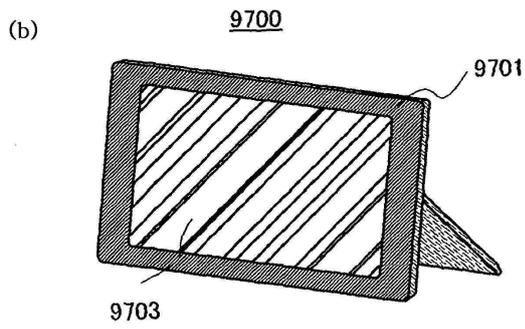
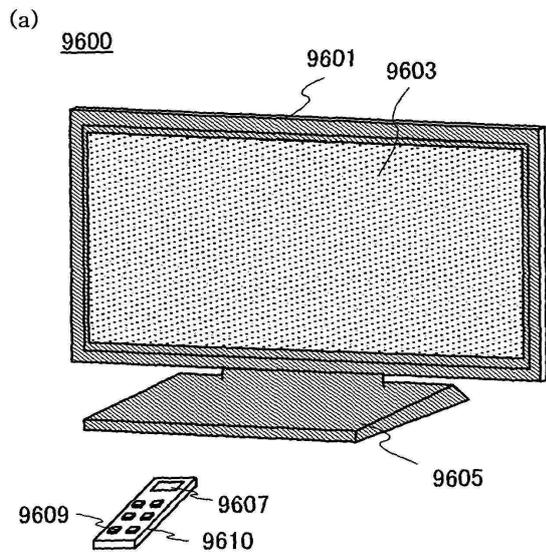
도면21



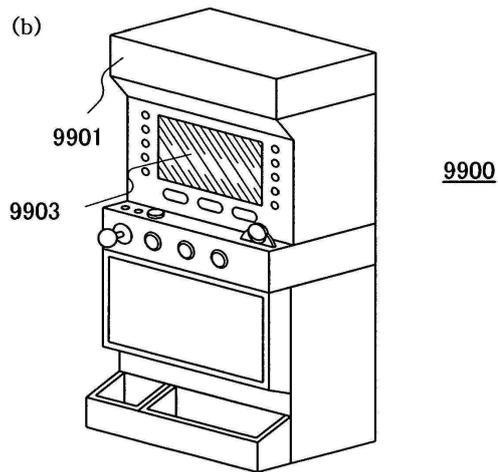
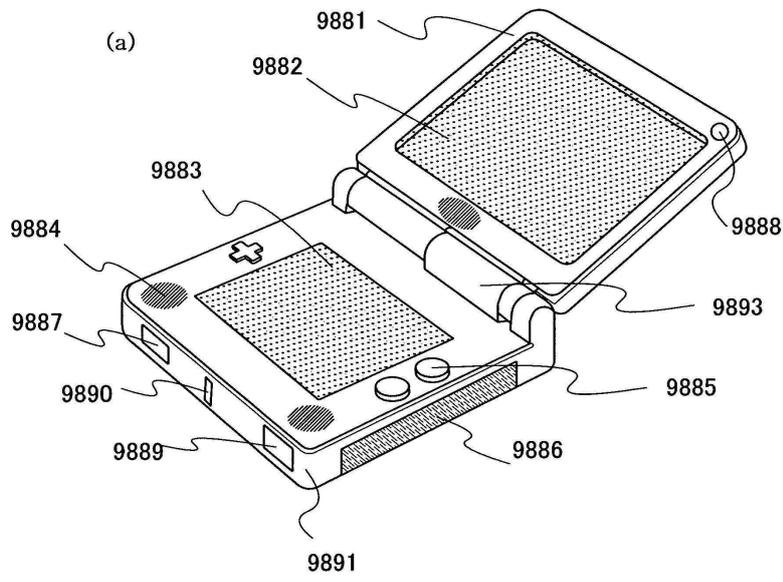
도면22



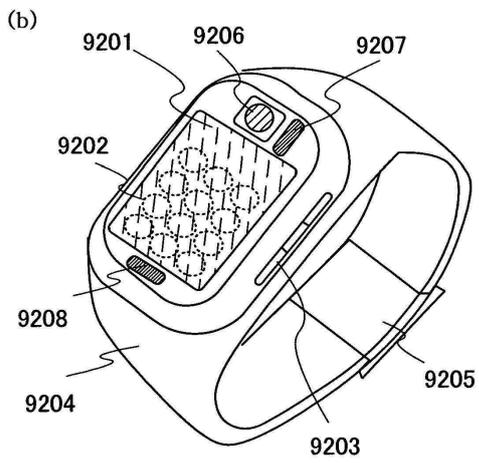
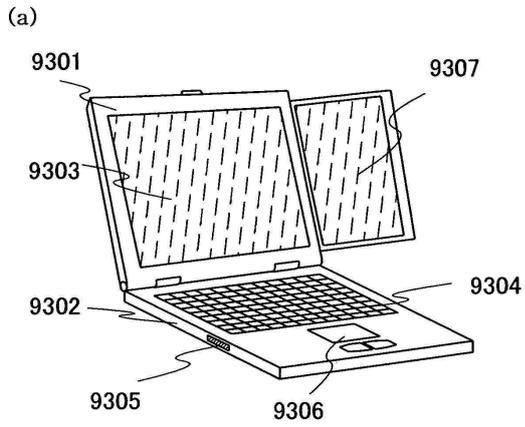
도면23



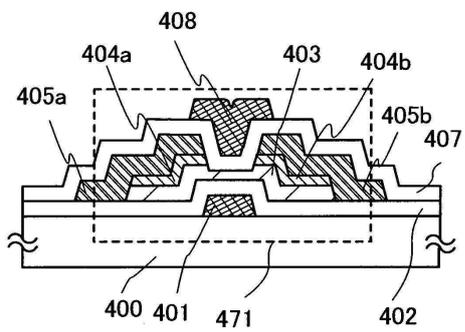
도면24



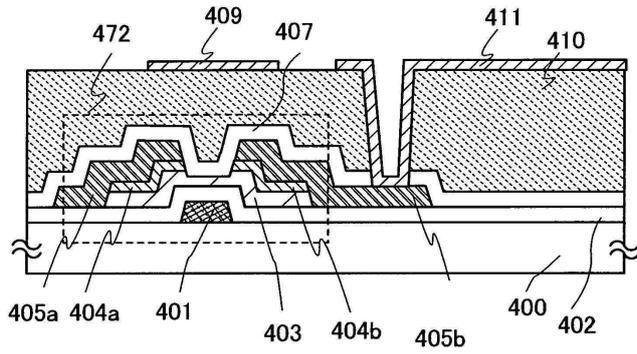
도면25



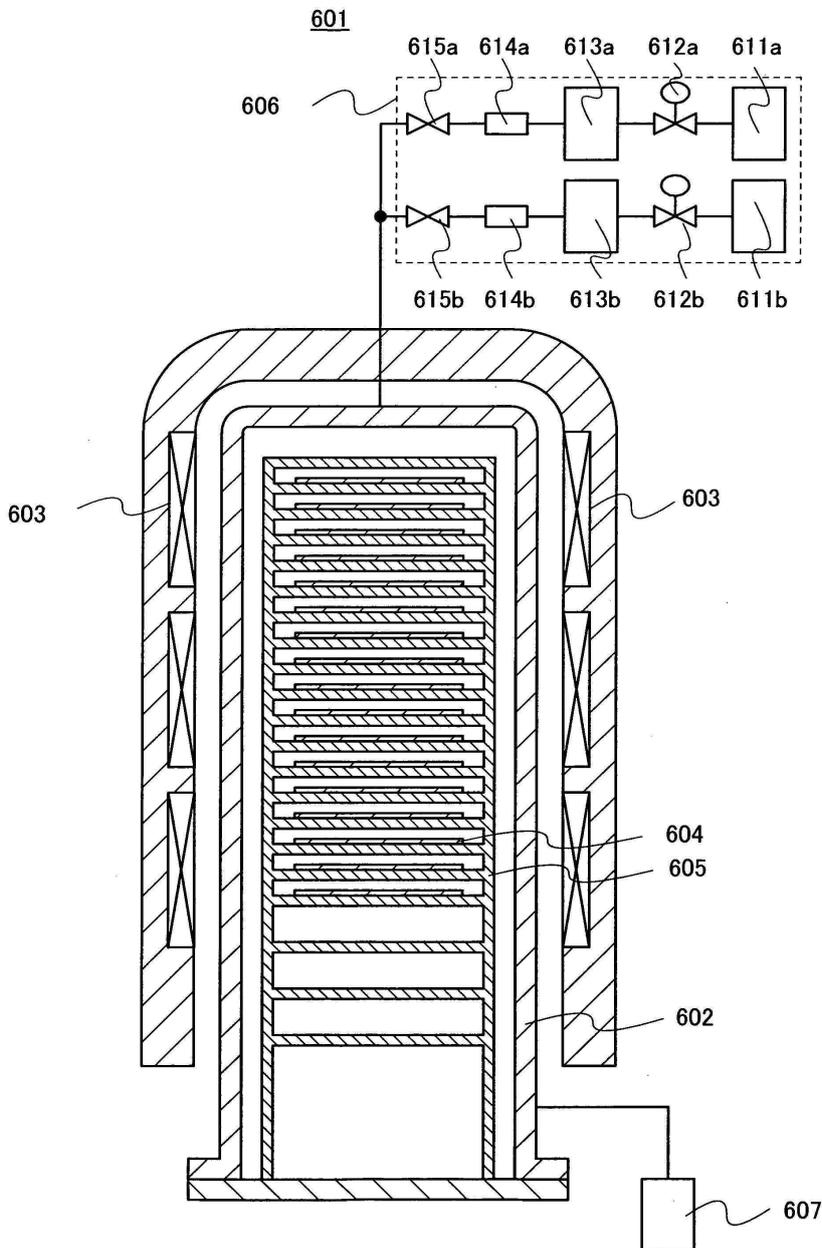
도면26



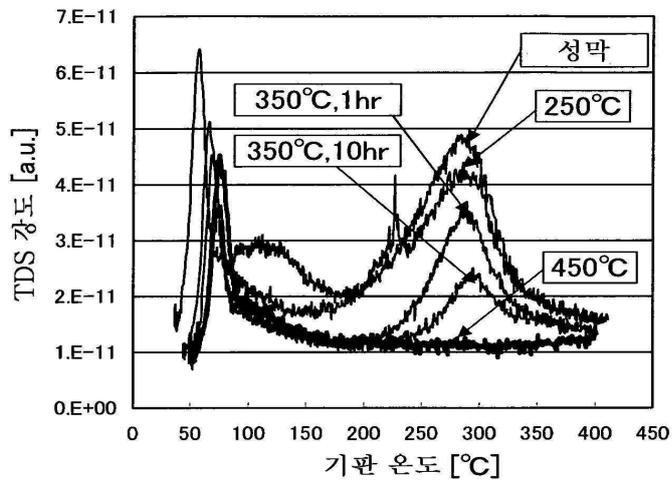
도면27



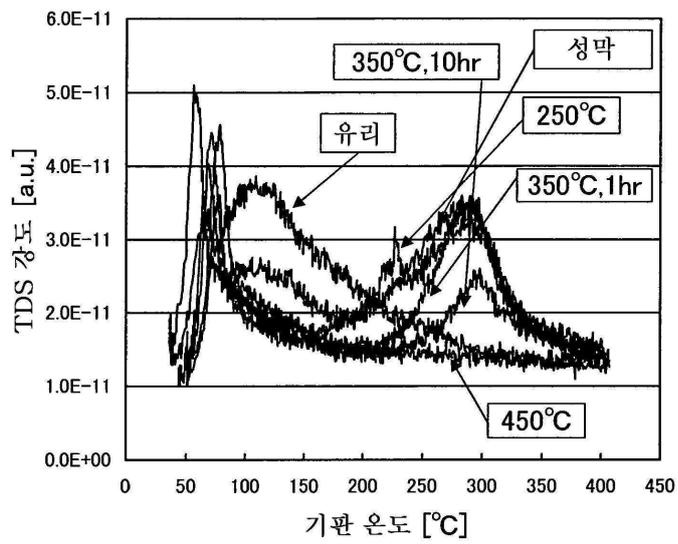
도면28



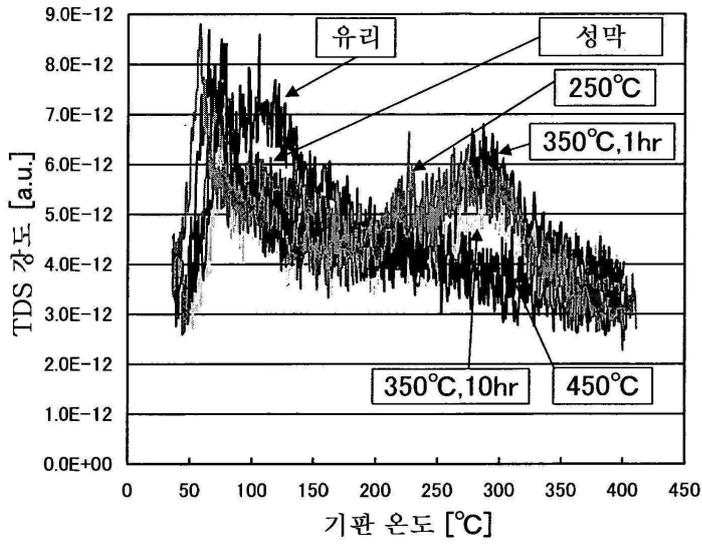
도면29



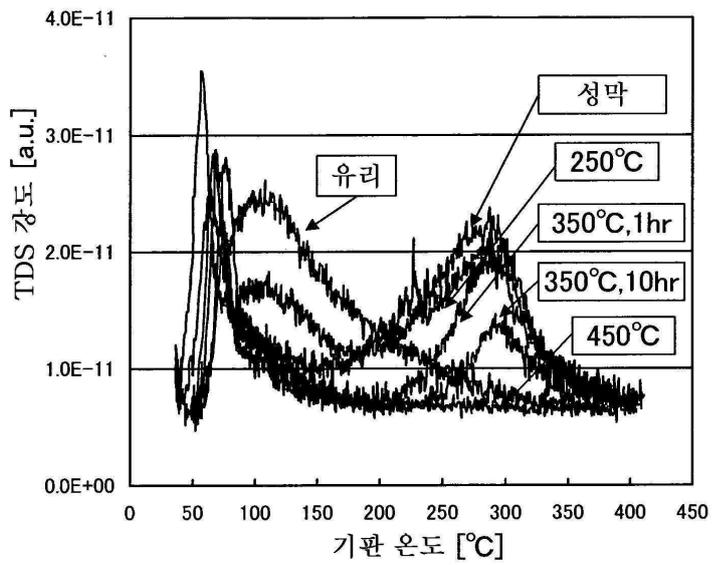
도면30



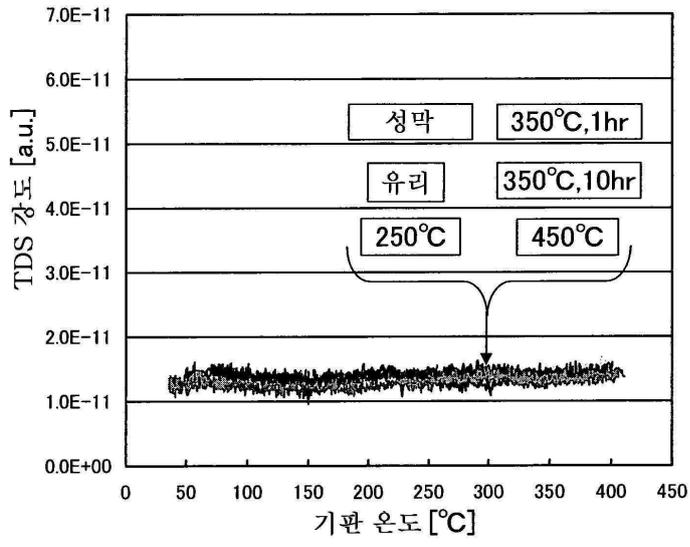
도면31



도면32



도면33



도면34

