(54) 发明名称
半导体装置以及电源控制方法

(57) 摘要

本发明涉及半导体装置以及电源控制方法。在从将来自电源的输出电压作为电源的控制部输出停止信号来使电源的动作停止的结构的半导体装置中，能够可靠地进行电源的正常起动。该半导体装置具备：电源电路 (1)，其将电源电压 VDD 降压而生成降压电压 VDDL ；LSI 控制电路 (2)，其被由电源电路 (1) 生成的降压电压驱动并且向电源电路输出使降压电压的生成停止的停止信号；以及起动控制电路 (4) 以及与门电路 and1，其停止停止信号向电源电路 (1) 的输入直至降压电压成为预先决定的值以上为止。
1. 一种半导体装置，其特征在于，具备：
电源部，其将电源电压降压而生成降压电压并且在被输入停止信号时停止该降压电压的生成。
控制部，其被由所述电源部生成的降压电压驱动并且向所述电源部输出使所述降压电压生成停止的停止信号；以及
电源控制部，该电源控制部禁止所述电源部被输入所述停止信号，直至所述降压电压成为预先决定的值以上为止。
2. 根据权利要求1所述的半导体装置，其特征在于，
具备升压部，该升压部将从所述控制部输出的所述停止信号升压至所述电源电压的电压电平而输出给所述电源控制部，
所述电源部若被输入所述升压了的停止信号，则停止所述降压电压的生成。
3. 根据权利要求1或者2所述的半导体装置，其特征在于，
所述电源控制部具备：
第一N沟道MOS晶体管，其栅极、源极以及体电极与接地电压连接；
第一P沟道MOS晶体管，其源极以及体电极与所述电源电压连接，栅极以及漏极与所述第一N沟道MOS晶体管的漏极连接；
第二P沟道MOS晶体管，其源极以及体电极与所述电源电压连接，栅极与所述第一P沟道MOS晶体管的栅极连接；
第二N沟道MOS晶体管，其源极与接地电压连接，栅极与所述降压电压连接，漏极与所述第二P沟道MOS晶体管的漏极连接；若所述降压电压成为预先决定的值以上，则该第二N沟道MOS晶体管导通而使所述第二P沟道MOS晶体管的漏极的电位成为低电平；
非门电路，其被所述电源电压驱动且输入端子与所述第二N沟道MOS晶体管的漏极以及所述第二P沟道MOS晶体管的漏极连接，该非门电路将输入至所述输入端子的信号反转而输出，以及
与门电路，其进行从所述非门电路输出的信号与所述停止信号的逻辑乘法运算。
4. 根据权利要求1或者2所述的半导体装置，其特征在于，
所述电源控制部具备：
第三N沟道MOS晶体管，其栅极、源极以及体电极与接地电压连接；
第三P沟道MOS晶体管，其源极以及体电极与所述电源电压连接，栅极以及漏极与所述第三N沟道MOS晶体管的漏极连接；
第四P沟道MOS晶体管，其源极以及体电极与所述电源电压连接，栅极与所述第三P沟道MOS晶体管的栅极以及所述第三N沟道MOS晶体管的漏极连接；
第四N沟道MOS晶体管，其源极以及体电极与接地电压连接，栅极以及漏极与所述第四P沟道MOS晶体管的漏极连接；
第五N沟道MOS晶体管，其源极以及体电极与接地电压连接，栅极与所述第四N沟道MOS晶体管的栅极连接；
第五P沟道MOS晶体管，其源极以及体电极与所述降压电压连接，栅极以及漏极与所述第五N沟道MOS晶体管的漏极连接；
第六P沟道MOS晶体管，其源极以及体电极与所述电源电压连接，栅极与所述第三P沟
权利要求书

权利要求书

第6、N沟道MOS晶体管的源极以及所述N沟道MOS晶体管各自的栅极连接，所述N沟道MOS晶体管的源极以及所述N沟道MOS晶体管各自的栅极连接，所述第6、N沟道MOS晶体管各自的栅极连接。若所述降压电压成为预先决定的值以上，所述第6、N沟道MOS晶体管的应源极的电压成为预先决定的值以上，则所述第6、N沟道MOS晶体管的源极的电压成为低电平。

非门电路，其被所述电源电压驱动的输入端子与所述第6、N沟道MOS晶体管以及所述第6、N沟道MOS晶体管各自的栅极连接。非门电路将输入至所述输入端子的信号反转而输出，以及

与门电路，其进行从所述非门电路输出的信号与所述停止信号的逻辑乘法运算。

5. 根据权利要求1或2所述的半导体装置，其特征在于，所述电源控制部具备：

第一启动控制部，若所述降压电压成为预先决定的第一值以上，则该第一启动控制部将输出信号从低电平切换为高电平而输出。

第二启动控制部，若所述降压电压成为比所述第一值低的第二值以上，则该第二启动控制部将输出信号从低电平切换为高电平而输出。

或门电路，其将所述第一启动控制部输出的输出信号输入至另一个输入端子，并进行与输入至另一个输入端子的信号的逻辑加法运算。

第一与门电路，其将所述第二启动控制部输出的输出信号输入至另一个输入端子并进行另一个输入端子输出从所述或门电路的输出端子输出的信号而进行逻辑乘法运算，并将运算结果输入至所述或门电路的另一个输入端子，以及

第二与门电路，其进行从所述或门电路的输出端子输出的信号与所述停止信号的逻辑乘法运算。

6. 根据权利要求4所述的半导体装置，其特征在于，代替所述第6、P沟道MOS晶体管而具备电阻。

7. 根据权利要求4所述的半导体装置，其特征在于，具备第6、P沟道MOS晶体管，其源极与所述第6、P沟道MOS晶体管的漏极以及栅极连接，体电极与所述降压电压连接，漏极以及栅极与所述第6、N沟道MOS晶体管的漏极连接。

8. 根据权利要求1～7中任一项所述的半导体装置，其特征在于，所述电源控制部具备控制部，若所述电源部开始生成所述降压电压之后所述降压电压成为预先决定的值以上，则该控制部将所述停止信号直接输入至所述电源部并输入来自包括太阳能电池板或者蓄电池的电源部的电压，生成表示输入的电压是否是预先决定的值以上的信号而输出。

9. 一种电源控制方法，其特征在于，包括：

通过电源部将电源电压降压而生成降压电压并且在被输入停止信号时停止该降压电压的生成的步骤；

通过被由所述电源部生成的降压电压驱动的控制部向所述电源部输出使所述降压电压的生成停止的停止信号的步骤；以及

通过电源控制部禁止所述电源部被输入所述停止信号直至所述降压电压成为预先决
定的值以上为止的步骤。
半导体装置以及电源控制方法

技术领域
[0001] 本发明涉及半导体装置以及电源控制方法，特别是涉及适合可靠地进行设置在LSI（Large Scale Integration；大规模集成）的电源电路的起动控制等的半导体装置以及电源控制方法。

背景技术
[0002] 在LSI等半导体装置中设置有生成比从外部输入的电源的电压VDD低的电压VDDL的电源的电源电路，使用由电源电路生成的VDDL电源来控制半导体装置内部的各电路动作的控制电路（以下简称LSI控制电路）等，利用LSI控制电路，使用比VDD电压低的电压VDDL来控制各电路动作，从而实现低电力化。
[0003] 在这样的结构构成的半导体装置中，一般以进一步减少消耗电力为目的，而具备按规定的条件使电路暂时停止的功率降低模式，例如，在搭载在半导体装置中的电路的电源即二次电池的电池电压降低的情况下，进行使电源电路电压至功率降低模式来将电压的输出功率降低，直至二次电池的电压恢复为止将电源电路的消耗电流抑制为最小限度的控制。而且，对二次电池进行充电的电池电压恢复的情况下，进行电源电路从功率降低模式恢复而允许电源电压VDDL的供应，并使电源电路成为通常动作状态的控制。
[0004] 然而，例如如专利文献1所记载的那样，若通过移至功率降低模式和从功率降低模式的恢复，而进行内部电源电压的输出停止或者输出开始，则存在在该切换时电子电路运行与通常动作不同的不稳定动作，产生各种不良状况的情况。
[0005] 在专利文献1中记载有如下的技术，即通过对控制功率降低模式的起动信号给予规定的延迟时间的短路控制信号来切断内部电源电压，从而消除在向功率降低模式移至时所产生的来自电平转换器的不正确信号的输出。
[0006] 专利文献1：日本特开2011－211512号公报
[0007] 本申请发明所要解决的问题在于，在包括上述专利文献1的以往技术中，在从将来自电源电路的输出电压（VDDL）作为电源的LSI控制电路输出功率降低信号而输入至电源电路的功率降低端子的结构中，无法回避电源电路非正常起动的不良状况。
[0008] 即在具备以往的功率降低模式的半导体装置中，如下的半导体装置中，在对使用由电源电路生成的电压VDDL的LSI控制电路的电源电压的依赖等的特性进行测试时，使电源电路在有功率降低功能，以便能够从外部施加电压VDDL，或者排除电源电路的影响。
[0009] 这样的电源电路构成为，设置有输入从外部输入的功率降低信号的端子（以下简称称功率降低端子），从LSI控制电路输出功率降低信号而输入至电源电路的功率降低端子。
[0010] 然而，这样在电源电路设置有功率降低功能而从将来自电源电路的输出电压（VDDL）作为电源的LSI控制电路输出功率降低信号，再输入至电源电路的功率降低端子的结构中，存在电源电路未正常起动的危险性。
[0011] 例如，在电源接通时未产生来自电源电路的电压VDDL（VDDL＝0V），此时，来自LSI
控制电路的功率降低信号通常成为不使电源电路功率降低的 L（低）电平。
[0012] 然而，LSI 控制电路有最低动作电压，在 VDDL 上升至该最低动作电压为止的期间，LSI 控制电路未正常动作，而来自 LSI 控制电路的功率降低信号不定，因此，也有可能来自 LSI 控制电路的功率降低信号成为 H（高），电源电路也有功率降低。
[0013] 另外，在这样的电源电路中，通过构成为从 LSI 控制电路将功率降低信号经由与 LSI 控制电路同样地将来自电源电路的输出电压（VDDL）作为电源的电平移电路而输入至电源电路的功率降低端子，也可可靠地使电源电路功率降低。
[0014] 然而，电平移电路也有最低动作电压，在电压 VDDL 上升至该最低动作电压的期间，电平移电路未正常动作，在这样的结构中，即使在 VDDL = 0 (V) 时，电平移电路也不一定正常动作，即使在电源接通时来自 LSI 控制电路的功率降低信号成为 L（低）电平的情况下，来自电平移电路的功率降低信号不一定成为 L（低）电平，有时也成为 H（高）电平，该情况下，电源电路功率降低。
[0015] 另外，即使在电源接通时来自电平移电路的功率降低信号为 L（低）电平，伴随著之后的 VDDL 电压的上升，来自电平移电路的功率降低信号也有可能成为 H（高），电源电路功率降低。

发明内容
[0016] 本发明是为了解决上述技术问题而提出的，提供一种在从将来自电源电路的输出电压作为电源的 LSI 控制电路输出功率降低信号而输入至电源电路的功率降低端子的结构中，能够可靠地起动电源电路的技术。
[0017] 为了实现上述目的，本发明的半导体装置具备：电源部，其将电源电压降压而生成降压电压并且在被输入停止信号时停止该降压电压的生成；控制部，其被由上述电源部生成的降压电压驱动并且向上述电源部输出使上述降压电压的生成停止的停止信号；以及电源控制部，该电源控制部禁止向上述电源部输入上述停止信号，直至上述降压电压成为预定给定的值以上为止。
[0018] 另一方面，为了实现上述目的，本发明的电源控制方法包括：通过电源部将电源电压降压而生成降压电压并且在被输入停止信号时停止该降压电压的生成的步骤；通过被由上述电源部生成的降压电压驱动的控制部向上述电源部输出使上述降压电压的生成停止的停止信号的步骤；以及通过电源控制部禁止上述电源部被输入上述停止信号直至上述降压电压成为预定给定的值以上为止的步骤。
[0019] 在本发明中，由于电源部将电源电压降压而生成降压电压并且在被输入停止信号时停止该降压电压的生成，被由上述电源部生成的降压电压驱动的控制部向上述电源部输出使上述降压电压的生成停止的停止信号，电源控制部禁止向上述电源部输入上述停止信号，直至上述降压电压成为预定给定的值以上为止，所以在因从电源部输出的降压电压而直至控制部正常动作为止的不稳定的期间，能够避免从该控制部输出的停止信号所引起的电源部的非正常的动作停止。
[0020] 根据本发明，由于能够避免在从电源部的降压电压 VDDL 的生成开始至控制部的正常动作开始为止的不稳定的期间的由来自该控制部的停止信号所引起的电源部的动作停止，所以在从将来自电源部的输出电压作为电源的控制部输出停止信号而使电源部的动
作停止的结构的半导体装置中，能够可靠地进行电源部的正常起动。

附图说明
[0021] 图 1 是表示本发明所涉及的半导体装置的结构例（第一实施方式）的电路图。
[0022] 图 2 是表示图 1 中的起动控制电路的第一结构例的电路图。
[0023] 图 3 是表示图 2 中的 NMOS 的动作特性例的说明图。
[0024] 图 4 是表示图 1 中的起动控制电路的第二结构例的电路图。
[0025] 图 5 是表示本发明的半导体装置的结构例（第二实施方式）的电路图。
[0026] 图 6 是表示图 5 中的起动控制电路的动作例的时序图。
[0027] 图 7 是表示使用了本发明所涉及的半导体装置的太阳能电池板的明暗判断装置
的结构例的框图。
[0028] 图 8 是表示使用了本发明所涉及的半导体装置的电池容量判断装置的结构例的
框图。
[0029] 图 9 是表示构成图 4 中的起动控制电路的 PMOS 的第一代用例的电路图。
[0030] 图 10 是表示构成图 4 中的起动控制电路的 PMOS 的第二代用例的电路图。
[0031] 图 11 是表示使用于与本发明所涉及的半导体装置的比较的半导体装置的结构例的
电路图。
[0032] 附图标记说明：1、111…电源电路；2、112…LSI 控制电路（MCU）；3、113…电平推移
电路；4.4a～4c…起动控制电路；4a1、4b1…偏压部；10、11…半导体装置；7i…太阳能电
池板；81…电池；and1～3…与门电路；inv1、2…反相器；nmos1～6…N沟道 MOS 晶体管；
node1～18、test…信号；or1…或门电路；pd…功率降低端子；pmos1～7…P 沟道 MOS 晶
体管；rl～3…电阻； stupd…端子；STUP1…起动控制电路（阈值电压大）；STUP2…起动控
制电路（阈值电压小）；VDD…电源电压；VDDL…降压电压。

具体实施方式
[0033] 以下，使用图对本发明所涉及的实施方式进行说明。首先，使用图 11，对使用于与
本发明所涉及的半导体装置的比较的半导体装置进行说明。
[0034] 图 11 中的半导体装置 11 如图中记载为“LSI 内部”那样，构成为包括：将电压 VDD
作为电源而生成更低的电压 VDDL（VDDL < VDD）的电源电路 111，作为将由电源电路 111 生
成的电压 VDDL 作为电源的半导体装置电路的 LSI 控制电路 112；将用于从 LSI 控制电路
112 使电源电路 111 功率降低的电压 VDDL 电平的信号 node1 转换为电压 VDDL 电平的信号
node2 电平推移电路 113；以及将来自外部端子的信号 test 和来自电平推移电路 113 的信
号 node2 作为输入而将信号 node3 作为输出的与门电路 and3。此外，信号 node3 被输入至
电源电路 111 的功率降低端子 pd。
[0035] LSI 控制电路 112 是控制 LSI 内部（半导体装置 11）的各电路动作的电路，通过使
用电源电路 111 生成的电压 VDDL 作为电源，而实现半导体装置 11 的低电力化。
[0036] 另外，在电源电路 111 设置有功率降低功能，在电源电路 111 设置输入由 LSI 控制
电路 112 生成的功率降低信号的功率降低端子 pd，以便能够在测试 LSI 控制电路 112 的电
源电压依赖等的特性时，针对外部施加 VDDL 或者排除电源电路 111 的影响。
如在上述的发明要解决的技术问题处所说明的那样，在如半导体装置 11 那样地，在电源电路 111 设置有功率降低功能，并基于在将来自电源电路 111 的输出电压作为电源的 LSI 控制电路 112 需要确定的条件，来控制用于使功率降低功能执行的功率降低信号的结构中，电源电路 111 存在非正起动的危险性。

为了避免该危险性，在图 11 所示的半导体装置 11 中成为如下的结构，即使用来自外部端子的信号 test，而未产生电压 VDDL 时信号 node2 变得不定的情况下，只要来自外部端子的信号 test 成为 L(低)，则来自将信号 node2 和信号 test 作为输入的与门电路 and3 的输出即信号 node3 成为 L(低)，电源电路 111 可靠地起动。

然而，在图 11 所示的电路结构的情况下，由于需要将输入信号 test 的外部端子，所以对 LSI 的芯片尺寸，外部端子的配置带来影响。特别是，因近年的半导体装置的价格竞争激化，LSI 的低价格化越来越成为重要的技术问题，要求芯片尺寸尽可能小。

图 11 为了适应这样的要求，在减少信号 test 输入用的外部端子的结构中，正常进行电源电路 111 的起动控制的结构的半导体装置。

图 11 为本发明所涉及的半导体装置第一实施方式例，图 11 中的半导体装置 10 在图中记载为“LSI 内部”，构成为包含;将来自外部端子（“VDD（端子）”）的电压 VDD 作为电源来生成比电压 VDD 低的电压 VDDL（相当于本发明所涉及的降压电路）的作为本发明所涉及的电源电路 1;由将由电源电路 1 生成的电压 VDDL 作为电源的作为本发明所涉及的控制部的半导体集成电路构成的 LSI 控制电路 2;用于在 LSI 控制电路 2 中将为了使电源电路 1 功率降低而生成的电压 VDDL 电平的信号 node4 转换为电压 VDD 电平的信号 node5 的作为本发明所涉及的升压部的电压位移电路 3;将来自外部端子的电压 VDD 和由电源电路 1 生成的 VDDL 电压作为输出而生成输入至电源电路 1 的功率降低端子 pd 的信号 node6 的起动控制电路 4;以及将来自起动控制电路 4 的信号 node6 和来自电压位移电路 3 的电压 VDD 电平的信号 node5 作为输入而将信号 node7 作为输出电路 1 设为功率降低端子 pd 的输出的与门电路 and1。此外，由起动控制电路 4 以及与门电路 and1 构成本发明所涉及的电源控制部。另外，LSI 控制电路 2 如图中记载为“MCU”，那样，是微控制单元（Micro Control Unit）。

起动控制电路 4 是通过对从电源电路 1 输出的电压 VDDL 进行监控并至电压 VDDL 超过预先决定的阈值电压为止持续输出 L(低) 电平的信号 node6 来使电源电路 1 可靠地起动的电路，图 2 显出尤其详细的结构。

如图 2 中作为起动控制电路 4a 所示，起动控制电路为如下的电路，即在 N 源道 MOS 晶体管 nmos1 的源极与接地（以下称为 GND）之间连接电阻 r1,N 源道 MOS 晶体管 nmos1 的栅极和体电极（bulk electrode）与 GND 连接，N 源道 MOS 晶体管 nmos1 的漏极和 P 源道 MOS 晶体管 pmos1 的源极以及 N 源道 MOS 晶体管 pmos1 的漏极以及栅极与 P 源道 MOS 晶体管 pmos2 的栅极连接，N 源道 MOS 晶体管 pmos1 的源极以及 P 源道 MOS 晶体管 pmos2 的源极和体电极与 VDD 电源连接，N 源道 MOS 晶体管 pmos2 的源极以及 VDD 电源的反相器 inv1 的输入与 N 源道 MOS 晶体管 nmos2 的漏极连接，N 源道 MOS 晶体管 nmos2 的源极和体电极与 GND 连接，N 源道 MOS 晶体管 nmos2 的栅极与 VDDL 电源连接。

此外，N 源道 MOS 晶体管 nmos1 相当于本发明所涉及的第一 N 源道 MOS 晶体管，P 源道 MOS 晶体管 pmos1 相当于本发明所涉及的第一 P 源道 MOS 晶体管，P 源道 MOS 晶体管
PMOS2 相当于本发明所涉及的第二 P 沟道 MOS 晶体管，N 沟道 MOS 晶体管 nmos2 相当于本发明所涉及的第二 N 沟道 MOS 晶体管。另外，反相器 inv1 相当于本发明所涉及的非门电路。

[0045] N 沟道 MOS 晶体管 nmos1、P 沟道 MOS 晶体管 pmos1、以及电阻 r1 构成用于使 P 沟道 MOS 晶体管 pmos2 作为电流源而动作的偏压部 4a1。

[0046] N 沟道 MOS 晶体管 nmos1 使用耗尽型 N 沟道 MOS 晶体管，在其栅极与 GND 连接的情况下，以源极 node8 的电压 (node8 电压) 为横轴，漏极－源极间电流 (nmos1 & r1 电流) 为纵轴，表示为图 3 中的实线的特性。

[0047] 另外，对于电阻 r1，若以源极 node8 的电压 (node8 电压) 为横轴，以电阻 r1 流动的电流 (nmos1 & r1 电流) 为纵轴，表示为图 3 中的虚线的特性。

[0048] 在图 3 中，由于实线与虚线的交点只为 1 点，所以图 2 中的源极 node8 的电压在交点电压稳定。

[0049] 若源极 node8 的电压在交点电压稳定，则成为流动交点电流的恒流源，所以通过使二极管连接的 P 沟道 MOS 晶体管 pmos1 的栅极 node9 与其它电路的 P 沟道 MOS 的栅极连接，能够驱动恒流。

[0050] 即 P 沟道 MOS 晶体管 pmos2 的栅极与 P 沟道 MOS 晶体管 pmos1 的栅极 node9 连接，而作为镜射 P 沟道 MOS 晶体管 pmos1 的电流的恒流源进行动作。

[0051] 以下，进行使用了这样的构成的起动控制电路 4a 的图 1 的电源电路 1 的起动时的动作说明。首先，VDDL 电压作为最初被供给的电压，从电压 VDDL = 0V 的状态考虑。在图 2 中，由于被供给电压 VDDL，所以 P 沟道 MOS 晶体管 pmos2 作为电流源进行动作。

[0052] 另外，电压 VDDL = 0V，N 沟道 MOS 晶体管 nmos2 为截止 (OFF) 状态。因此，该情况下的 N 沟道 MOS 晶体管 nmos2 的栅极与 P 沟道 MOS 晶体管 pmos2 的栅极的连接点中的信号 node10 成为高 (H) 电平，来自输入了信号 node10 (H) 的反相器 inv1 的信号即来自端子 stupd 的输出信号成为低 (L) 电平。

[0053] 由此，从图 1 中的起动控制电路 4 输出的信号 node6 成为低 (L)，与从 LSI 控制电路 2 以及电平位移电路 3 输出的信号 node4、5 无关，从与门电路 and1 输出的信号 node7 都成为低 (L)。其结果，电源电路 1 不会功率降低而可靠地继续起动，从电源电路 1 输出的电压 VDDL 开始上升。

[0054] 若这样地使电压 VDDL 上升，则图 2 中的 N 沟道 MOS 晶体管 nmos2 缓缓开始导通 (ON)，若 VDDL 电压成为 N 沟道 MOS 晶体管 nmos2 的阈值电压 Vt 以上，则 N 沟道 MOS 晶体管 nmos2 的漏极与 P 沟道 MOS 晶体管 pmos2 的漏极的连接点中的电压开始降低，若信号 node10 降低至超过反相器 inv1 的阀值的低 (L) 电平，则来自反相器 inv1 的信号即来自端子 stupd 的输出信号成为高 (H) 电平，从图 1 中的起动控制电路 4 输出的信号 node6 成为高 (H)。

[0055] 即在电压 VDDL 变成 N 沟道 MOS 晶体管 nmos2 的阈值电压 Vt 以上时，来自反相器 inv1 的输出信号 (来自端子 stupd 的信号) 成为高 (H) 电平。此时，如果图 1 的电平位移电路 3 以及 LSI 控制电路 2 是正常动作的电压 VDDL，则由于能够使来自电平位移电路 3 的输出信号 node5 确定为低 (L)，所以与来自反相器 inv1 的输出信号无关，与门电路 and1 的输出信号 node7 都成为低 (L)，电源电路 1 不会功率降低。

[0056] 这样，在图 1～图 3 所示的第一实施方式例的半导体装置 10 中，能够直至由电源电路 1 生成的电压 VDDL 变成 N 沟道 MOS 晶体管 nmos2 的阈值电压 Vt 以上为止使电源电路
1 持续动作，不必使用图11所示的外部端子（信号test的输入用），而能够可靠地使电源电路1正常起动。而且，能够成为不需要外部端子的构成，并减小半导体装置10的芯片尺寸。

[0057]接下来，使用图4，对图1中的起动控制电路4的他的结构例进行说明。在图4所示的起动控制电路4b中，在N沟道MOS晶体管nmos3的源极与GND之间连接有电阻r2。

[0058]另外，N沟道MOS晶体管nmos4、N沟道MOS晶体管nmos5、以及N沟道MOS晶体管nmos6各自的源极与体电极与GND连接。

[0059]另外，P沟道MOS晶体管pmos3、P沟道MOS晶体管pmos4、以及P沟道MOS晶体管pmos6各自的源极和体电极与电压VDD连接。

[0060]另外，P沟道MOS晶体管pmos5的源极和体电极与电压VDD连接，N沟道MOS晶体管nmos3的栅极和体电极与GND连接。

[0061]另外，N沟道MOS晶体管nmos3的漏极与P沟道MOS晶体管pmos3的漏极和栅极、以及P沟道MOS晶体管pmos4、pmos6的栅极连接。

[0062]另外，P沟道MOS晶体管pmos4的漏极与N沟道MOS晶体管nmos4的漏极和栅极、以及N沟道MOS晶体管nmos5的栅极连接。

[0063]另外，N沟道MOS晶体管nmos5的漏极与P沟道MOS晶体管pmos5的漏极和栅极、以及N沟道MOS晶体管nmos6的栅极连接。

[0064]而且，P沟道MOS晶体管pmos6的漏极与将电压VDD作为电源的反相器inv2的输入、以及N沟道MOS晶体管nmos6的漏极连接。


[0066]N沟道MOS晶体管nmos3、P沟道MOS晶体管pmos3和电阻r2如图2所示的N沟道MOS晶体管nmos1、P沟道MOS晶体管pmos1和电阻r1同样地，构成用于使P沟道MOS晶体管pmos6作为恒流源而动作的偏压部4bl。

[0067]另外，P沟道MOS晶体管pmos4和N沟道MOS晶体管nmos4是用于使N沟道MOS晶体管nmos5作为恒流源进行动作的电流镜电路，镜射在P沟道MOS晶体管pmos3中流动的恒流。

[0068]P沟道MOS晶体管pmos6的栅极，与N沟道MOS晶体管nmos3的源极与P沟道MOS晶体管pmos3的源极和栅极以及P沟道MOS晶体管pmos4的栅极的连接点连接，并作为镜射P沟道MOS晶体管pmos3的电流的恒流源而动作，并且该连接点的信号node12被输入至栅极。

[0069]在N沟道MOS晶体管nmos5的栅极连接N沟道MOS晶体管nmos4的漏极和栅极，并作为镜射N沟道MOS晶体管nmos4的电流的恒流源而动作，并且该连接点的信号node13被输入至栅极。
[0070] 在这样的结构中，进行图1的电源电路1的起动时的动作说明。此外，电压VDD作为最初被供给的电压，从电压VDDL为0V的状态考虑。

[0071] 由于被供给电压VDD，所以N沟道MOS晶体管nmos5以及P沟道MOS晶体管pmos6作为恒流源而动作。

[0072] 另外，电压VDDL为0V，向N沟道MOS晶体管nmos6的栅极输入的信号node14成为低（L）电平，N沟道MOS晶体管nmos6为截止（OFF）状态。

[0073] 因此，该情况下的输入至反相器inv2的信号node15成为高（H）电平，反相器inv2的输出信号（来自端子studp的信号）成为低（L）电平，所以图1中的起动控制电路4的输出信号node6成为低（L）电平，与来自电平位移电路3的输出信号node5的状态无关，来自与门电路and1的输出信号node7都成为低（L）。电源电路1不会功率降低，来自电源电路1的VDDL电压开始上升时。

[0074] 若这样地使VDDL电压上升，则图4中的信号node14的电压也上升，但由于P沟道MOS晶体管pmos5为二极管连接，且N沟道MOS晶体管nmos5作为恒流源进行动作，所以信号node14的电压成为从电压VDDL降低P沟道MOS晶体管pmos5的阈值电压Vt的量后的电压。

[0075] 若信号node14的电压上升，则N沟道MOS晶体管nmos6缓效开始导通（ON），若信号node14的电压成为N沟道MOS晶体管nmos6的阈值电压Vt以上，则信号node15的电压开始降低，若信号node15的电压降低至超过反相器inv2的阈值的低（L）电平，则反相器inv2的输出信号（来自端子studp的输出信号）成为高（H）电平，来自图1中的起动控制电路4的输出信号node6成为高（H）。

[0076] 即在从电源电路1输出的电压VDDL变成P沟道MOS晶体管pmos5的阈值电压Vt与N沟道MOS晶体管nmos6的阈值电压Vt的和以上的情况下，反相器inv2的输出信号（来自端子studp的输出信号）成为高（H）电平，来自图1中的起动控制电路4的输出信号node6成为高（H）。

[0077] 这样，根据由图4所示的构造构成的起动控制电路4b，通过除了由图2所示的结构构成的起动控制电路4a之外，还设置P沟道MOS晶体管pmos4、P沟道MOS晶体管pmos5、N沟道MOS晶体管nmos4、以及N沟道MOS晶体管nmos5，能够使电源电路1持续动作直至从电源电压1输出的电压VDDL变成P沟道MOS晶体管pmos5的阈值电压与N沟道MOS晶体管nmos6的阈值电压的和以上为止，并获得阈值电压的上升效果。

[0078] 由此，能够使电源电路1持续动作以达到比由图2所示的结构构成的起动控制电路4a更高的电压，不必使用用于输入图11所示的测试用的信号test的外部端子而能够可靠地使电源电路1正常起动。

[0079] 接下来，使用图5以及图6，来说明图1中的起动控制电路4的其它结构例。在图5所示的起动控制电路4c中，具备两个起动控制电路STUP1、STUP2，以及或门电路or1，与门电路and2。

[0080] 从起动控制电路STUP1输出的信号node16被输入至或门电路or1的一个输入端子，从起动控制电路STUP2输出的信号node17被输入至与门电路and2的一个输入端子。

[0081] 另外，以如下方式连接，即或门电路or1的输出被输入至与门电路and2的另一个输入端子，与门电路and2的输出被输入至或门电路or1的另一个输入端子。
在本例中，起动控制电路 STUP1 的阈值电压大于起动控制电路 STUP2 的阈值电压。使用图 6，进行由这样的结构构成的起动控制电路 4c 的图 1 中的电源电路 1 的动作说明。电压 VDD 作为最初被供给的电压，电压 VDDL 从 0V 的状态考虑。

电压 VDDL 为 0V，起动控制电路 STUP1 以及起动控制电路 STUP2 各自的输出信号 node16, node17 都为低 (L) 电平，另外，由于与门电路 and2 的输出信号 node18 为低 (L)，或门电路 or1 的输出信号（来自端子 stupd 的输出信号）成为低 (L) 电平，所以图 1 的电源电路 1 起动，电压 VDDL 开始上升。

若这样地使电压 VDDL 上升，而电压 VDDL 成为“起动控制电路 STUP1 的阈值电压 ≥ VDDL ≥ 起动控制电路 STUP2 的阈值电压”的范围，则起动控制电路 STUP1 的输出信号 node16 的电平还保持为低 (L)，起动控制电路 STUP2 的输出信号 node17 的信号电平从低 (L) 成为高 (H)，但与门电路 and2 的输出信号 node18 的电平仍为低 (L)，或门电路 or1 的输出信号（来自端子 stupd 的输出信号）也还保持为低 (L) 电平。

若电压 VDDL 从该状态进一步上升，而电压 VDDL 成为“VDDL > 起动控制电路 STUP1 的阈值电压”的范围，则起动控制电路 STUP1 的输出信号 node16 从低成为高 (L → H)，起动控制电路 STUP2 的输出信号 node17 还保持为高 (H)，或门电路 or1 的输出信号（来自端子 stupd 的输出信号）以及与门电路 and2 的输出信号 node18 从高低为高 (H → H)。由此，来自图 1 中的起动控制电路 4 的输出信号 node6 成为高 (H)。

接下来，对电压 VDDL 从“VDDL > 起动控制电路 STUP1 的阈值电压”的状态开始下降的情况进行说明。

在电压 VDDL 为“VDDL > 起动控制电路 STUP1 的阈值电压”的状态下，从起动控制电路 STUP1 输出的信号 node16 以及从起动控制电路 STUP2 输出的信号 node17 成为高 (H)，或门电路 or1 的输出信号（来自端子 stupd 的输出信号）以及与门电路 and2 的输出信号 node18 也是高 (L → H)。

若电压 VDDL 开始下降，而电压 VDDL 成为“起动控制电路 STUP1 的阈值电压 ≥ VDDL > 起动控制电路 STUP2 的阈值电压”的范围，则起动控制电路 STUP1 的输出信号 node16 从高成为低 (H → L)，起动控制电路 STUP2 的输出信号 node17 还保持为高 (H)，但或门电路 or1 的输出信号（来自端子 stupd 的输出信号）以及与门电路 and2 的输出信号 node18 从高成为低 (H → L)。由此，来自图 1 中的起动控制电路 4 的输出信号 node6 成为低 (L)。

若电压 VDDL 从该状态进一步下降，而电压 VDDL 成为“起动控制电路 STUP2 的阈值电压 ≥ VDDL”的范围，则起动控制电路 STUP1 的输出信号 node16 还保持为低 (L)，起动控制电路 STUP2 的输出信号 node17 从高成为低 (H → L)，或门电路 or1 的输出信号（来自端子 stupd 的输出信号）以及与门电路 and2 的输出信号 node18 从高成为低 (H → L)。由此，来自图 1 中的起动控制电路 4 的输出信号 node6 成为低 (L)。

这样，在起动控制电路 4c 中，在电压 VDDL 上升时，为起动控制电路 STUP1 的阈值电压，或门电路 or1 的输出信号（来自端子 stupd 的输出信号）从低成为高 (H → L)，在电压 VDDL 下降时，为起动控制电路 STUP2 的阈值电压，或门电路 or1 的输出信号（来自端子 stupd 的输出信号）从高成为低 (H → L)。

这样，在图 5 所示的起动控制电路 4c 中，是图 2, 4 所示的起动控制电路 4a, 4b，通过将两个各个的阈值电压不同的起动控制电路和作为逻辑电路的或门电路 or1 以及与门
电路 and2 组合，能够创建在电压 VDDL 上升时阈值电压较高，在电压 VDDL 下降时阈值电压较低的起动控制电路。

[0093] 由此，能够在电压 VDDL 起动时可靠地使电源电路 1 起动以达到较高的电压，能够在起动后的测试时使电源电路 1 功率降低，以使电压 VDDL 达到较低的电压，并能够在测试时向图 1 中的 VDDL 端子外部施加更低的电压。

[0094] 因此，通过将起动控制电路 STUP1 的阈值电压设定为以电压 VDDL 驱动的电路能够起动的电压，将起动控制电路 STUP2 的阈值电压设定为尽可能低的电压，能够确认测试时以电压 VDDL 驱动的电路的低电压动作差值。

[0095] 此外，使用图 1 ～图 6 所说明的本发明所涉及的半导体装置中的各起动控制电路作为电源电路的起动控制电路应用，但通过置换电压 VDDL 的生成源可作为其它的电路使用。

[0096] 例如，如图 7 所示，通过将电压 VDDL 置换为由作为太阳能电池板的太阳能电池板 71 生成的电压，能够使起动控制电路作为用于判断来自太阳能电池板 71 的输出的大小（明暗）的明暗判断电路 4d 发挥作用。

[0097] 另外，如图 8 所示，通过将电压 VDDL 置换为作为蓄电池的电池 81 的输出电压，能够使起动控制电路作为用于判断 2 值的电池 81 的余量（L : EMPTY, H : FULL）的电池余量判断电路 4e 发挥作用。

[0098] 即能够将起动控制电路作为对特定电压 (VDDL) 进行以阈值电压为基准的大小判断的电路使用。

[0099] 此外，如图 7、图 8 所示，在将由图 1 中的设置在半导体装置 10 的起动控制电路 4 以及与门电路 and1 构成的本发明所涉及的电源控制部作为对由太阳能电池板、蓄电池生成的确定电压 (VDDL) 进行以阈值电压为基准的大小判断的电路使用的情况下，电源控制部构成为设置如下的控制功能，即若从电源电路 1 开始生成降压电压 (VDDL) 之后该降压电压成为预先决定的值以上，则切换为将由 LSI 控制电路 2 生成且被电平位移电路 3 升压的停止信号 node 5 直接输入至电源电路 1，并且输入来自包括太阳能电池板或者蓄电池的电源部的电压，生成表示输入的电压是否是预先决定的值以上的信号并输出。

[0100] 以上，如使用各图所说明的那样，在本实施方式的半导体装置中，作为电源控制方法，在电源电路 1 中，将电源电压 VDD 降压来生成电压 VDDL（降压电压），并且在被输入停止信号时停止该降压电压的生成，在利用由电源电路 1 生成的电压 VDDL 驱动的 LSI 控制电路 2 中，在预先决定的条件成立时生成使电源电路 1 对电压 VDDL 的生成停止的功率降低信号 node 4（停止信号）而输出，在构成本发明所涉及的电源控制部的起动控制电路 4 中，从 LSI 控制电路 2 输出并经由电平位移电路 3 将功率降低信号 node 7 输入至电源电路 1，并且从电源电路 1 开始生成电压 VDDL 之后到电压 VDDL 成为预先决定的值以上为止的期间，禁止电源电路 1 被输入功率降低信号 node 7。由此，在因从电源电路 1 输出的电压 VDDL 而直至 LSI 控制电路 2 正常动作为止的不稳定的期间，能够避免由该 LSI 控制电路 2 输出的功率降低信号 node 4 所引起的电源电路 1 的非正常的动作停止。

[0101] 这样，在本实施方式中，由于能够避免从电源电路 1 对电压 VDDL 的生成开始至 LSI 控制电路 2 的正常动作为止的不稳定的期间的由来自该 LSI 电路 2 的停止信号所引起的电源电路 1 的动作停止，所以在从将来自电源电路 1 的输出电压作为电源的 LSI 控制电
路 2 输出停止信号（功率降低信号 node4）来使电源电路 1 的动作停止的构成的半导体装置 10 中，能够可靠地进行电源电路 1 的正常起动。

【0102】 此外，本发明并不局限于使用各图所说明的实施方式例，在不脱离其要旨的范围内可进行各种变更。例如，如果能够从外部供给偏压，则能够削除图 2 以及图 4 所示的偏压部 4a1、4b1。

【0103】 另外，也可以如图 9 所示，以电阻 r3 代用图 4 所示的起动控制电路 4b 中的 P 沟道 MOS 晶体管 pmos5，也可以为如图 10 所示那样地与 P 沟道 MOS 晶体管 pmos72 层层叠来使阈值电压上升的结构。此外，P 沟道 MOS 晶体管 pmos7 相当于本发明所涉及的第 P 沟道 MOS 晶体管。

【0104】 另外，在图 1 所示的半导体装置 10 中，由起动控制电路 4 以及与门电路 and1 构成本发明所涉及的电源控制部，但也能够由电平位移电路 3、起动控制电路 4、以及与门电路 and1 构成本发明所涉及的电源控制部。另外，也能够为在电源电路 1 的内部设置电平位移电路 3 的结构。
以电阻代用 pmos5

将 pmos 两层层叠
阈值电压上升

图 9

图 10