

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6262812号
(P6262812)

(45) 発行日 平成30年1月17日(2018.1.17)

(24) 登録日 平成29年12月22日(2017.12.22)

(51) Int.Cl.

F 1

H01L 21/8242 (2006.01)
H01L 27/108 (2006.01)
H01L 27/1156 (2017.01)
H01L 27/10 (2006.01)

HO1L 27/108 671Z
 HO1L 27/1156
 HO1L 27/10 481

請求項の数 2 (全 49 頁)

(21) 出願番号 特願2016-146886 (P2016-146886)
 (22) 出願日 平成28年7月27日 (2016.7.27)
 (62) 分割の表示 特願2015-22865 (P2015-22865)
 の分割
 原出願日 平成23年9月8日 (2011.9.8)
 (65) 公開番号 特開2016-213493 (P2016-213493A)
 (43) 公開日 平成28年12月15日 (2016.12.15)
 審査請求日 平成28年8月9日 (2016.8.9)
 (31) 優先権主張番号 特願2010-205253 (P2010-205253)
 (32) 優先日 平成22年9月14日 (2010.9.14)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2011-112791 (P2011-112791)
 (32) 優先日 平成23年5月19日 (2011.5.19)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 上田 智志

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1のメモリ素子を有する第1のセルアレイと、
 第2のメモリ素子を有する第2のセルアレイと、
 前記第1のセルアレイと電気的に接続された第1のビット線と、
 前記第2のセルアレイと電気的に接続された第2のビット線と、
 前記第1のビット線の電位の制御及び電位の判定を行う第1の駆動回路と、
 前記第2のビット線の電位の制御及び電位の判定を行う第2の駆動回路と、
 前記第1のメモリセルアレイと電気的に接続された第1のワード線と、
 前記第2のメモリセルアレイと電気的に接続された第2のワード線と、
 前記第1のワード線の電位を制御し、かつ前記第2のワード線の電位を制御する第3の駆動回路と、を有し、
 前記第1のセルアレイは、前記第1の駆動回路と重なるように配置され、
 前記第2のセルアレイは、前記第2の駆動回路と重なるように配置され、
 前記第3の駆動回路は、前記第1のセルアレイ及び前記第2のセルアレイとは重ならず、
 前記第1のメモリ素子及び前記第2のメモリ素子は、それぞれ、トランジスタを有し、
 前記トランジスタは、酸化物半導体層に形成されるチャネル形成領域を有し、
 前記酸化物半導体層上に第1の絶縁膜を有し、
 前記第1の絶縁膜上に第2の絶縁膜を有し、

10

20

前記第1の絶縁膜は、化学量論的組成比よりも酸素が多い状態を有し、
前記第2の絶縁膜は、水又は水素を透過しにくい状態を有することを特徴とする半導体装置。

【請求項2】

第1のメモリ素子を有する第1のセルアレイと、
第2のメモリ素子を有する第2のセルアレイと、
前記第1のセルアレイと電気的に接続された第1のビット線と、
前記第2のセルアレイと電気的に接続された第2のビット線と、
前記第1のビット線の電位の制御及び電位の判定を行う第1の駆動回路と、
前記第2のビット線の電位の制御及び電位の判定を行う第2の駆動回路と、
前記第1のメモリセルアレイと電気的に接続された第1のワード線と、
前記第2のメモリセルアレイと電気的に接続された第2のワード線と、
前記第1のワード線の電位を制御し、かつ前記第2のワード線の電位を制御する第3の駆動回路と、を有し、
前記第1のセルアレイは、前記第1の駆動回路と重なるように配置され、
前記第2のセルアレイは、前記第2の駆動回路と重なるように配置され、
前記第3の駆動回路は、前記第1のセルアレイ及び前記第2のセルアレイとは重ならず

、
前記第1のメモリ素子及び前記第2のメモリ素子は、それぞれ、トランジスタを有し、
前記トランジスタは、酸化物半導体層に形成されるチャネル形成領域を有し、
前記酸化物半導体層上に第1の絶縁膜を有し、
前記第1の絶縁膜上に第2の絶縁膜を有し、
前記酸化物半導体層は、Inと、Gaと、Znと、を有し、
前記第1の絶縁膜は、化学量論的組成比よりも酸素が多い状態を有し、
前記第2の絶縁膜は、水又は水素を透過しにくい状態を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶装置に関する。また、該記憶装置を有する半導体装置に関する。

【背景技術】

【0002】

近年、トランジスタの活性層の材料として、高移動度と、均一な素子特性とを兼ね備えた酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられている。例えば、酸化インジウムは、液晶表示装置において画素電極の材料として用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域に用いるトランジスタが、既に知られている（特許文献1及び特許文献2）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、半導体記憶装置（以下、単に記憶装置ともいう）には、揮発性メモリに分類されるDRAM、SRAM、不揮発性メモリに分類されるマスクROM、EPROM、EEPROM、フラッシュメモリ、強誘電体メモリなどがあり、単結晶の半導体基板を用いて

10

20

30

40

50

形成されたこれらのメモリの多くは既に実用化されている。上記の記憶装置の中でも、DRAMは、トランジスタとキャパシタ（以下、容量素子ともいう）でメモリセルを構成する単純な構造を有しており、SRAM等の他の記憶装置に比べてメモリセルを構成するための半導体素子が少ない。よって、他の記憶装置と比べて単位面積あたりの記憶容量を高めることができ、低コスト化を実現できる。

【0005】

上述したように、DRAMは大記憶容量化に適しているが、チップサイズの増大を抑えつつ、集積度のより高い集積回路を実現するためには、他の記憶装置と同様にもっと単位面積あたりの記憶容量を高めなくてはならない。そのためには、電荷を保持するために各メモリセルに設けられた容量素子の面積を小さくし、各メモリセルの面積を縮小化せざるを得ない。10

【0006】

しかし、容量素子の面積縮小化によりその容量値が小さくなると、各デジタル値どうしの電荷量の差が小さくなるため、トランジスタのオフ電流の値が高いとデータの正確さを維持するのが難しく、保持期間が短くなる傾向にある。よって、リフレッシュ動作の頻度が増加し、消費電力が嵩んでしまう。

【0007】

また、大記憶容量化を図るためにメモリセルの数を増やすと、一のビット線に接続されるメモリセルの数が増大する、或いは、一のビット線が引き回される距離が長くなる。よって、ビット線の有する寄生容量と寄生抵抗が増大するため、容量素子の面積縮小化により各デジタル値どうしの電荷量の差が小さくなると、上記ビット線を介して上記電荷量の差、すなわちデータを正確に読み出すのが困難になり、エラー発生率が高まる。20

【0008】

また、メモリセルの数を増やすと、ビット線の場合と同様に、一のワード線に接続されるメモリセルの数が増大する、或いは、一のワード線が引き回される距離が長くなる。よって、ワード線の有する寄生容量と寄生抵抗が増大するため、ワード線に入力された信号のパルスが遅延する、或いは、ワード線の電位降下が大きくなる。よって、ワード線を介してトランジスタのスイッチングを制御するための信号をメモリセルに供給すると、メモリセルによって、データが書き込まれない、データを十分に保持しきれずに消失してしまう、読み出しにかかる時間が長すぎるために正確なデータが読み出されないなど、データの書き込み、保持、読み出しの一連の動作に不具合が生じ、エラー発生率が高まる。30

【0009】

上述の課題に鑑み、本発明の一態様は、データの保持期間を確保しつつ、単位面積あたりの記憶容量を高めることができる記憶装置の提案を、目的の一とする。或いは、本発明の一態様は、エラー発生率を抑えつつ、単位面積あたりの記憶容量を高めることができる記憶装置の提案を、目的の一とする。或いは、本発明の一態様は、上記記憶装置を用いることで、高集積化された半導体装置を実現することを、目的の一とする。或いは、本発明の一態様は、上記記憶装置を用いることで、信頼性の高い半導体装置を実現することを、目的の一とする。

【課題を解決するための手段】

【0010】

本発明者らは、一のビット線に接続されるメモリセルの数を小さく抑え、代わりにビット線の数を増やすことで、メモリセルの数が増大してもビット線の寄生容量、寄生抵抗を小さく抑えることができるのではないかと考えた。ただし、ビット線の数が増加すると、複数のメモリセルで構成されるセルアレイのレイアウトが一方向に長く伸びた形状となり、そのアスペクト比が1からかけ離れてしまう。

【0011】

セルアレイのアスペクト比が1からかけ離れると、記憶装置の汎用性が低くなる。また、記憶装置を用いた集積回路の設計を行う際に、レイアウト上の制約が大きくなる。そこで、本発明の一態様に係る記憶装置では、複数のビット線を幾つかのグループに分割し、複40

10

20

30

30

40

50

数のワード線も幾つかのグループに分割する。そして、一のグループに属するビット線に接続されたメモリセルには、一のグループに属するワード線が接続されるようとする。さらに、上記複数のビット線は、複数のビット線駆動回路によってグループごとにその駆動が制御されるようとする。

【0012】

上記構成により、アスペクト比が1に近づくようにセルアレイのレイアウトを設計することが容易となる。

【0013】

さらに、本発明の一態様では、上記複数のビット線駆動回路と、ワード線駆動回路とを含めた駆動回路上に、セルアレイを形成する。駆動回路とセルアレイが重なるように三次元化することで、ビット線駆動回路が複数設けられても、記憶装置の占有面積を小さくすることができる。10

【0014】

具体的には、本発明の一態様は、複数の第1ビット線を駆動する第1ビット線駆動回路と、複数の第2ビット線を駆動する第2ビット線駆動回路と、複数の第1ワード線及び複数の第2ワード線を駆動するワード線駆動回路と、複数の第1メモリセルを有する第1セルアレイ及び複数の第2メモリセルを有する第2セルアレイと、を有し、前記第1メモリセルは、ゲート電極が前記複数の第1ワード線のいずれか一に電気的に接続され、ソース電極及びドレイン電極の一方が前記複数の第1ビット線のいずれか一に電気的に接続された第1トランジスタと、一方の電極が前記第1トランジスタのソース電極及びドレイン電極の他方に電気的に接続された第1容量素子と、を有し、前記第2メモリセルは、ゲート電極が前記複数の第2ワード線のいずれか一に電気的に接続され、ソース電極及びドレイン電極の一方が前記複数の第2ビット線のいずれか一に電気的に接続された第2トランジスタと、一方の電極が前記第2トランジスタのソース電極及びドレイン電極の他方に電気的に接続された第2容量素子と、を有し、前記第1セルアレイは、前記第1ビット線駆動回路上に重畳して設けられ、前記第2セルアレイは、前記第2ビット線駆動回路上に重畳して設けられることを特徴とする記憶装置である。20

【0015】

加えて、本発明の一態様では、駆動回路に用いるトランジスタなどの半導体素子に、シリコンやゲルマニウムなどの半導体を用いる。また、セルアレイのメモリセルが有するトランジスタに、上記シリコンやゲルマニウムなどよりもバンドギャップが広い酸化物半導体などの半導体を用いる。30

【0016】

酸化物半導体などのバンドギャップの広い半導体を活性層に用いたトランジスタは、シリコンやゲルマニウムなどの半導体を用いたトランジスタに比べて、オフ電流が著しく低い。よって、上記オフ電流の著しく低いトランジスタをメモリセルに用いることで、容量素子からの電荷のリークを防ぐことができる。そのため、メモリセルの微細化により容量素子が小さくなつたとしても、リフレッシュ動作の頻度が増大するのを防ぐことができる。

【0017】

すなわち、前記第1トランジスタ及び前記第2トランジスタが酸化物半導体を活性層に用いたトランジスタであることを特徴とする記憶装置も本発明の一態様である。40

【0018】

一方、多結晶または単結晶のシリコンまたはゲルマニウムなどの半導体を活性層に用いたトランジスタは、上記バンドギャップの広い半導体を活性層に用いたトランジスタに比べて移動度が高い。よって、上記移動度の高いトランジスタを駆動回路に用いることで、記憶装置を高速で駆動させることができる。

【0019】

すなわち、前記第1ビット線駆動回路及び前記第2ビット線駆動回路並びに前記ワード線駆動回路が多結晶又は単結晶のシリコン又はゲルマニウムを活性層に用いたトランジスタを有することを特徴とする記憶装置も本発明の一態様である。50

【発明の効果】

【0020】

本発明の一態様に係る記憶装置は、ビット線に電気的に接続される素子数を低減することが可能である。すなわち、当該ビット線の寄生容量を低減することが可能である。また、ビット線に電気的に接続される素子数を低減することに付随して、当該ビット線を短縮することが可能である。すなわち、当該ビット線の寄生抵抗を低減することが可能である。これにより、メモリセルに設けられる容量素子の容量値（容量素子のサイズ）が低減された場合であっても、当該メモリセルにおけるデータの保持が可能となる。したがって、単位面積あたりの記憶容量を高めることができる。或いは、本発明の一態様に係る記憶装置は、上記構成により、エラー発生率を抑えつつ、単位面積あたりの記憶容量を高めることができる。或いは、本発明の一態様に係る半導体装置は、上記記憶装置を用いることで、集積度を高め、小型化することができる。或いは、本発明の一態様に係る半導体装置は、上記記憶装置を用いることで、信頼性を高めることができる。

【図面の簡単な説明】

【0021】

【図1】記憶装置の構造例を示す概念図。

【図2】セルアレイの構成例を示す回路図。

【図3】駆動回路の構成例を示すブロック図。

【図4】読み出し回路の構成例を示す回路図。

【図5】記憶装置の構造の一例を示す断面図。

【図6】(A)、(B)トランジスタの変形例を示す断面図。

【図7】(A)～(D)トランジスタの変形例を示す断面図。

【図8】(A)～(D)トランジスタの作製方法の一例を示す断面図。

【図9】マイクロプロセッサの構成例を示すブロック図。

【図10】R Fタグの構成例を示すブロック図。

【図11】半導体装置の具体例を示す図。

【図12】(A)～(E)本発明の一態様に係る酸化物材料の構造を説明する図。

【図13】(A)～(C)本発明の一態様に係る酸化物材料の構造を説明する図。

【図14】(A)～(C)本発明の一態様に係る酸化物材料の構造を説明する図。

【図15】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図16】(A)～(C)計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図17】(A)～(C)計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図18】(A)～(C)計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図19】(A)、(B)計算に用いたトランジスタの断面構造を説明する図。

【図20】(A)～(C)酸化物半導体膜を用いたトランジスタ特性のグラフ。

【図21】(A)、(B)試料1のトランジスタのBT試験後の V_{g_s} - I_{d_s} 特性を示す図。

【図22】(A)、(B)試料2のトランジスタのBT試験後の V_{g_s} - I_{d_s} 特性を示す図。

【図23】 I_{d_s} および電界効果移動度の V_{g_s} 依存性を示す図。

【図24】(A)、(B)基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す図。

【図25】試料Aおよび試料BのXRDスペクトルを示す図。

【図26】トランジスタのオフ電流と測定時基板温度との関係を示す図。

【図27】本発明の一態様に係るトランジスタの構造を説明する図。

【図28】本発明の一態様に係るトランジスタの構造を説明する図。

【発明を実施するための形態】

10

20

30

40

50

【0022】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0023】

なお、マイクロプロセッサ、画像処理回路などの集積回路や、RFタグ、記憶媒体、半導体表示装置など、記憶装置を用いることができるありとあらゆる半導体装置が、本発明の範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子(OLED)に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD(Digital Micro-mirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)など、半導体膜を用いた回路素子を画素部又は駆動回路に有している半導体表示装置が、その範疇に含まれる。10

【0024】**(実施の形態1)**

まず、本発明の一態様の記憶装置について図1～図5を参照して説明する。

【0025】**<記憶装置の構造例>**

図1は、本発明の一態様の記憶装置の構造例を示す概念図である。図1に示す記憶装置は、半導体基板100を用いて設けられたワード線駆動回路101と、第1ビット線駆動回路102aと、第2ビット線駆動回路102bと、第3ビット線駆動回路102cと、第1ビット線駆動回路102a上に重畠して設けられる第1セルアレイ103aと、第2ビット線駆動回路102b上に重畠して設けられる第2セルアレイ103bと、第3ビット線駆動回路102c上に重畠して設けられる第3セルアレイ103cと、を有する。なお、図1においては、ワード線駆動回路101及び第1ビット線駆動回路102a乃至第3ビット線駆動回路102cと、第1セルアレイ103a乃至第3セルアレイ103cとを離間して図示しているが、当該記憶装置において両者は重なって設けられている。20

【0026】

なお、半導体基板100としては、シリコンやゲルマニウム、シリコンゲルマニウム、炭化シリコンなどの第14族元素でなる半導体基板、また、ガリウムヒ素やインジウムリン等の化合物半導体基板、SOI基板などを適用することができる。なお、一般に「SOI基板」とは、絶縁表面上にシリコン層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含むものとする。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。30

【0027】

なお、図1においては、記憶装置が3種のビット線駆動回路及び3種のセルアレイを有する構成について示しているが、当該記憶装置がk種(kは、2以上の自然数)のビット線駆動回路と、それぞれが対応するビット線駆動回路上に重畠して設けられるk種のセルアレイを有する構成とすることも可能である。40

【0028】**<セルアレイの構成例>**

図2は、セルアレイ(第1セルアレイ103a～第3セルアレイ103c)の構成例を示す回路図である。図2に示す第1セルアレイ103aは、複数の第1ワード線104aと、複数の第1ビット線105aと、マトリクス状に配設された複数の第1メモリセル106aと、を有する。なお、複数の第1メモリセル106aのそれぞれは、ゲート電極が複数の第1ワード線104aのいずれかに電気的に接続され、ソース電極及びドレイン電極の一方が複数の第1ビット線105aのいずれかに電気的に接続されるトランジスタ107aと、一方の電極が当該トランジスタ107aのソース電極及びドレイン電極の他50

方に電気的に接続され、他方の電極が容量線に電気的に接続された容量素子 108a と、を有する。また、複数の第 1 ワード線 104a のそれぞれは、ワード線駆動回路 101 によって電位が制御される。すなわち、ワード線駆動回路 101 は、第 1 メモリセル 106a が有するトランジスタのスイッチングを制御する回路である。また、複数の第 1 ビット線 105a のそれぞれは、第 1 ビット線駆動回路 102a によって電位の制御及び電位の判別が行われる。具体的には、特定の第 1 メモリセル 106a に対してデータの書き込みを行う際には、当該特定の第 1 メモリセル 106a に電気的に接続された第 1 ビット線 105a の電位が第 1 ビット線駆動回路 102a によって当該データに対応した電位となるように制御され、当該特定の第 1 メモリセル 106a からデータの読み出しを行う際には、当該特定の第 1 メモリセル 106a に電気的に接続された第 1 ビット線 105a の電位の判別することで当該データの読み出しが行われる。すなわち、第 1 ビット線駆動回路 102a は、第 1 メモリセル 106a へのデータの書き込み及び当該データの読み出しを行う回路である。
10

【0029】

図 2 に示す第 2 セルアレイ 103b 及び第 3 セルアレイ 103c も、図 2 に示す第 1 セルアレイ 103a と同様の構成を有する。具体的には、第 2 セルアレイ 103b は、複数の第 2 ワード線 104b と、複数の第 2 ビット線 105b と、マトリクス状に配設された複数の第 2 メモリセル 106b と、を有する。なお、第 2 メモリセル 106b は、第 1 メモリセル 106a と同様の回路構成を有する。具体的には、複数の第 2 メモリセル 106b のそれぞれは、ゲート電極が複数の第 2 ワード線 104b のいずれか一に電気的に接続され、ソース電極及びドレイン電極の一方が複数の第 2 ビット線 105b のいずれか一に電気的に接続されるトランジスタ 107b と、一方の電極が当該トランジスタ 107b のソース電極及びドレイン電極の他方に電気的に接続され、他方の電極が容量線に電気的に接続された容量素子 108b と、を有する。また、複数の第 2 ワード線 104b のそれぞれは、ワード線駆動回路 101 によって電位が制御される。また、複数の第 2 ビット線 105b のそれぞれは、第 2 ビット線駆動回路 102b によって電位の制御及び電位の判別が行われる。
20

【0030】

同様に、第 3 セルアレイ 103c は、複数の第 3 ワード線 104c と、複数の第 3 ビット線 105c と、マトリクス状に配設された複数の第 3 メモリセル 106c と、を有する。なお、第 3 メモリセル 106c は、第 1 メモリセル 106a 及び第 2 メモリセル 106b と同様の回路構成を有する。具体的には、複数の第 3 メモリセル 106c のそれぞれは、ゲート電極が複数の第 3 ワード線 104c のいずれか一に電気的に接続され、ソース電極及びドレイン電極の一方が複数の第 3 ビット線 105c のいずれか一に電気的に接続されるトランジスタ 107c と、一方の電極が当該トランジスタ 107c のソース電極及びドレイン電極の他方に電気的に接続され、他方の電極が容量線に電気的に接続された容量素子 108c と、を有する。また、複数の第 3 ワード線 104c のそれぞれは、ワード線駆動回路 101 によって電位が制御される。また、複数の第 3 ビット線 105c のそれぞれは、第 3 ビット線駆動回路 102c によって電位の制御及び電位の判別が行われる。
30

【0031】

< 駆動回路の構成例 >

図 3 は、駆動回路（ワード線駆動回路 101 及び第 1 ビット線駆動回路 102a 乃至第 3 ビット線駆動回路 102c 等）の構成例を示すブロック図である。なお、図 3 中においては、機能ごとに分類された回路を互いに独立したブロックとして示すが、実際の回路は機能ごとに完全に切り分けることが難しく、一つの回路が複数の機能に係わることもあり得る。

【0032】

図 3 に示す記憶装置は、第 1 セルアレイ 103a、第 2 セルアレイ 103b、第 3 セルアレイ 103c、駆動回路 120 を有している。駆動回路 120 は、ワード線駆動回路 101 と、第 1 ビット線駆動回路 102a 乃至第 3 ビット線駆動回路 102c と、を有する。
50

さらに、駆動回路 120 は、ワード線駆動回路 101 及び第 1 ビット線駆動回路 102a 乃至第 3 ビット線駆動回路 102c の動作を制御する制御回路 110 を有する。

【0033】

また、図 3 に示す第 1 ビット線駆動回路 102a は、第 1 セルアレイ 103a において、選択されたメモリセルへのデータの書き込みを行う書き込み回路 810 と、第 1 セルアレイ 103a から読み出されたデータを情報として含む信号を生成する読み出し回路 811 と、を有する。そして、書き込み回路 810 は、デコーダ 812 と、レベルシフタ 813 と、セレクタ 814 とを有する。

【0034】

なお、第 2 ビット線駆動回路 102b 及び第 3 ビット線駆動回路 102c は、その回路構成が第 1 ビット線駆動回路 102a と同じである。よって、第 2 ビット線駆動回路 102b 及び第 3 ビット線駆動回路 102c の具体的な回路構成については、上述した第 1 ビット線駆動回路 102a の回路構成を参照することができる。10

【0035】

また、図 3 に示すワード線駆動回路 101 は、デコーダ 815 と、レベルシフタ 816 と、バッファ 817 とを有する。

【0036】

次いで、図 3 に示す駆動回路の具体的な動作例について述べる。

【0037】

図 3 に示す制御回路 110 に、アドレス (A_x、A_y) を情報として含む信号 A_D が入力されると、制御回路 110 は、上記アドレスのメモリセルが、第 1 セルアレイ 103a、第 2 セルアレイ 103b、第 3 セルアレイ 103c のいずれに属するかを判断する。そして、例えば上記メモリセルが第 1 セルアレイ 103a に属していた場合、アドレスの列方向に関する情報であるアドレス A_x を、第 1 セルアレイ 103a に対応する第 1 ビット線駆動回路 102a に送る。また、制御回路 110 は、データを情報として含む信号 D_{A T A} を、上記第 1 ビット線駆動回路 102a に送る。さらに、アドレスの行方向に関する情報であるアドレス A_y をワード線駆動回路 101 に送る。20

【0038】

第 1 セルアレイ 103a 乃至第 3 セルアレイ 103c におけるデータの書き込み動作、読み出し動作の選択は、制御回路 110 に供給される信号 R_E (R e a d e n a b l e) 、信号 W_E (W r i t e e n a b l e) などによって選択される。30

【0039】

例えば、第 1 セルアレイ 103a において信号 W_E による書き込み動作が選択されると、制御回路 110 からの指示に従って、ワード線駆動回路 101 が有するデコーダ 815 において、アドレス A_y に対応するメモリセルを選択するための信号が生成される。当該信号は、レベルシフタ 816 によって振幅が調整された後、バッファ 817 において波形が処理され、第 1 セルアレイ 103a に第 1 ワード線を介して入力される。

【0040】

一方、第 1 ビット線駆動回路 102a では、制御回路 110 からの指示に従って、デコーダ 812 において選択されたメモリセルのうち、アドレス A_x に対応するメモリセルを選択するための信号が生成される。当該信号は、レベルシフタ 813 によって振幅が調整された後、セレクタ 814 に入力される。セレクタ 814 では、入力された信号に従って信号 D_{A T A} をサンプリングし、アドレス (A_x、A_y) に対応するメモリセルにサンプリングした信号を入力する。40

【0041】

また、信号 R_E によって読み出し動作が選択されると、制御回路 110 からの指示に従って、ワード線駆動回路 101 が有するデコーダ 815 において、アドレス A_y に対応するメモリセルを選択するための信号が生成される。当該信号は、レベルシフタ 816 によって振幅が調整された後、バッファ 817 において波形が処理され、第 1 セルアレイ 103a に入力される。一方、第 1 ビット線駆動回路 102a が有する読み出し回路 811 は、50

制御回路 110 からの指示に従って、デコーダ 815 により選択されたメモリセルのうち、アドレス A_x に対応するメモリセルを選択する。そして、読み出し回路 811 は、アドレス (A_x、A_y) に対応するメモリセルに記憶されているデータを読み出し、該データを情報として含む信号を生成する。

【0042】

なお、本発明の一態様に係る記憶装置は、プリント配線基板等に実装することが可能な接続端子が設けられ、なおかつ樹脂等で保護された、所謂パッケージングされた状態であっても良い。

【0043】

また、制御回路 110 は、記憶装置を構成する他の回路（ワード線駆動回路 101 及び第 1 ビット線駆動回路 102a 乃至第 3 ビット線駆動回路 102c 並びに第 1 セルアレイ 103a 乃至第 3 セルアレイ 103c）と共に、一の基板を用いて形成されていても良いし、互いに異なる基板を用いて形成されていても良い。

【0044】

異なる基板を用いている場合、FPC (Flexible Printed Circuit)などを介して電気的な接続を確保することができる。この場合、制御回路 110 の一部が FPC に COF (Chip On Film) 法を用いて接続されていても良い。或いは、COG (Chip On Glass) 法を用いて、電気的な接続を確保することができる。

【0045】

<読み出し回路の構成例>

次いで、読み出し回路の具体的な構成例について説明する。

【0046】

セルアレイから読み出される電位は、メモリセルに書き込まれているデータに従って、そのレベルが決まる。よって、理想的には、複数のメモリセルに同じデジタル値のデータが記憶されているならば、複数のメモリセルから読み出された電位は、全て同じレベルのはずである。しかし、実際には、容量素子、スイッチング素子として機能するトランジスタの特性が、メモリセル間においてばらつくことがある。この場合、読み出されるはずのデータが全て同じデジタル値であっても、実際に読み出された電位にはばらつきが生じるため、その分布は幅を有する。しかし、読み出し回路は、セルアレイから読み出された電位に多少のばらつきが生じっていても、より正確なデータを情報として含み、なおかつ所望の仕様に合わせて振幅、波形が処理された信号を形成することができる。

【0047】

図 4 は、読み出し回路の構成例を示す回路図である。図 4 に示す読み出し回路は、セルアレイから読み出された電位 V_{data} の、読み出し回路への入力を制御するためのスイッチング素子として機能するトランジスタ 260 を有する。また、図 4 に示す読み出し回路は、オペアンプ 262 を有している。

【0048】

スイッチング素子として機能するトランジスタ 260 は、そのゲート電極に与えられる信号 Sig の電位に従って、オペアンプ 262 の非反転入力端子 (+) への電位 V_{data} の供給を制御する。例えば、トランジスタ 260 がオンになると、電位 V_{data} が、オペアンプ 262 の非反転入力端子 (+) に与えられる。一方、オペアンプ 262 の反転入力端子 (-) には、基準電位 V_{ref} が与えられている。そして、非反転入力端子 (+) に与えられる電位が、基準電位 V_{ref} に対して高いか低いかにより、出力端子の電位 V_{out} のレベルを異ならせることができ、それにより、間接的にデータを情報として含む信号を得ることができる。

【0049】

なお、同じ値のデータが記憶されているメモリセルであっても、メモリセル間の特性のばらつきにより、読み出された電位 V_{data} のレベルにもばらつきが生じ、その分布が幅を有する場合がある。よって、基準電位 V_{ref} のレベルは、データの値を正確に読み取

10

20

30

40

50

るために電位 V_{d a t a} のばらつきを考慮して定める。

【 0 0 5 0 】

また、図 4 では、2 値のデジタル値を扱う場合の読み出し回路の一例であるので、データの読み出しに用いるオペアンプは、電位 V_{d a t a} の与えられるノードに対して 1 つずつ用いているが、オペアンプの数はこれに限定されない。n 値 (n は 2 以上の自然数) のデータを扱う場合は、電位 V_{d a t a} の与えられるノードに対するオペアンプの数を n - 1 とする。

【 0 0 5 1 】

<記憶装置の断面構造例 >

図 5 は、記憶装置の構造の一例を示す断面図である。図 5 に示す記憶装置は、上部にメモリセル 670 が複数設けられたセルアレイ 201 を有し、下部に駆動回路 210 を有する。上部のセルアレイ 201 は、酸化物半導体を用いたトランジスタ 662 を有し、下部の駆動回路 210 は、多結晶または単結晶のシリコンまたはゲルマニウムなどの半導体を用いたトランジスタ 660 を有する。

10

【 0 0 5 2 】

トランジスタ 660、トランジスタ 662 には、n チャネル型トランジスタ、p チャネル型トランジスタのいずれも用いることができる。ここでは、トランジスタ 660、トランジスタ 662 が、いずれも n チャネル型である場合を例に挙げて、以下の説明を行う。

【 0 0 5 3 】

トランジスタ 660 は、シリコンやゲルマニウムなどの半導体を含む基板 600 に設けられたチャネル形成領域 616 と、チャネル形成領域 616 を挟むように設けられた不純物領域 620 と、不純物領域 620 に接する金属化合物領域 624 と、チャネル形成領域 616 上に設けられたゲート絶縁膜 608 と、ゲート絶縁膜 608 上に設けられたゲート電極 610 と、金属化合物領域 624 と電気的に接続するソース電極またはドレイン電極 630a、630b と、を有する。また、トランジスタ 660 を覆うように、絶縁膜 628 が設けられている。ソース電極またはドレイン電極 630a、630b は、絶縁膜 628 に形成された開口を通じて、金属化合物領域 624 と電気的に接続されている。また、絶縁膜 628 上には、ソース電極またはドレイン電極 630a に接して電極 636a が形成され、ソース電極またはドレイン電極 630b に接して電極 636b が形成されている。

20

【 0 0 5 4 】

また、基板 600 上にはトランジスタ 660 を囲むように素子分離絶縁層 606 が設けられている。なお、高集積化を実現するためには、図 5 に示すようにトランジスタ 660 がサイドウォール絶縁膜を有しない構成とすることが望ましい。一方で、トランジスタ 660 の特性を重視する場合には、ゲート電極 610 の側面にサイドウォール絶縁膜を設け、そのサイドウォール絶縁膜と重畠する領域に形成された不純物濃度が異なる領域を含めて不純物領域 620 を設けても良い。

30

【 0 0 5 5 】

トランジスタ 662 は、電極 636a 及び電極 636b を覆っている絶縁膜 640 上において、酸化物半導体膜 644 と、酸化物半導体膜 644 と電気的に接続されているソース電極またはドレイン電極 642a、642b と、酸化物半導体膜 644、ソース電極またはドレイン電極 642a、642b、を覆うゲート絶縁膜 646 と、ゲート絶縁膜 646 上に酸化物半導体膜 644 と重畠するように設けられたゲート電極 648a と、を有する。

40

【 0 0 5 6 】

酸化物半導体膜 644 は、二次イオン質量分析法 (S I M S : Secondary Ion Mass Spectroscopy) による水素濃度の測定値が、 $5 \times 10^{-9} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{-8} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{-7} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{-6} / \text{cm}^3$ 以下とする。また、ホール効果測定により測定できる酸化物半導体膜のキャリア密度は、 $1 \times 10^{-4} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{-2} / \text{cm}^3$ 未満、更に好ましくは $1 \times 10^{-1} / \text{cm}^3$ 未満とする。また、酸化

50

物半導体のバンドギャップは、2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。水分又は水素などの不純物濃度が十分に低減されて高純度化された酸化物半導体膜を用いることにより、トランジスタ662のオフ電流を下げることができる。

【0057】

ここで、酸化物半導体膜中の、水素濃度の分析について触れておく。酸化物半導体膜中及び導電膜中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で行う。SIMS分析は、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分布をSIMSで分析する場合、対象となる膜が存在する範囲において、値に極端な変動がなく、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の極大値又は極小値を、当該膜中の水素濃度として採用する。更に、当該膜が存在する領域において、極大値を有する山型のピーク、極小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

【0058】

具体的に、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧(ドレン電圧)が1 Vから10 Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流密度は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入又は容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流密度の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流密度を測定した。その結果、トランジスタのソース電極とドレン電極間の電圧が3 Vの場合に、数十 $\text{yA} / \mu\text{m}$ という、更に低いオフ電流密度が得られることが分かった。従って、本発明の一態様に係る半導体装置では、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流密度を、ソース電極とドレン電極間の電圧によっては、 $100 \text{ yA} / \mu\text{m}$ 以下、好ましくは $10 \text{ yA} / \mu\text{m}$ 以下、更に好ましくは $1 \text{ yA} / \mu\text{m}$ 以下にすることができる。従って、高純度化された酸化物半導体膜を活性層として用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0059】

なお、トランジスタ662には、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化物半導体膜を用いているが、島状に加工されていない構成を採用しても良い。酸化物半導体膜を島状に加工しない場合には、マスクの枚数を削減することができる。

【0060】

容量素子664は、ソース電極またはドレン電極642a、ゲート絶縁膜646、及び導電膜648bで構成される。すなわち、ソース電極またはドレン電極642aは、容量素子664の一方の電極として機能し、導電膜648bは、容量素子664の他方の電極として機能することになる。このような構成とすることにより、十分な容量を確保することができる。

【0061】

なお、トランジスタ662及び容量素子664において、ソース電極またはドレン電極642a、642bの端部は、テーパー形状であることが好ましい。ソース電極またはド

10

20

30

40

50

レイン電極 642a、ソース電極またはドレイン電極 642b の端部をテーパー形状とすることにより、ゲート絶縁膜 646 の被覆性を向上させ、上記端部におけるゲート絶縁膜 646 の膜切れを防止することができる。ここでは、テーパー角は、例えば、30°以上 60°以下とする。なお、テーパー角とは、テーパー形状を有する膜（例えば、ソース電極またはドレイン電極 642a）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該膜の側面と底面がなす傾斜角を示す。

【0062】

トランジスタ 662 及び容量素子 664 の上には絶縁膜 650 及び絶縁膜 652 が設けられている。そして、ゲート絶縁膜 646、絶縁膜 650、絶縁膜 652 などに形成された開口には、電極 654a、654b が設けられ、絶縁膜 652 上には、電極 654a、654b と接続する配線 656 が形成される。配線 656 は、メモリセルの一と他のメモリセルとを接続する配線である。また、配線 656 は、電極 654b と、電極 642c と、電極 626 と、を介して電極 636c と接続されている。上記構成により、下部の駆動回路 210 と、上部のセルアレイ 201 とを接続することができる。なお、図 5において、電極 642c は、電極 626 を介して電極 636c と電気的に接続する場合について示したが、絶縁膜 640 に開口を設け、電極 642c と電極 636c とが直接接する構造としてもよい。

10

【0063】

なお、図 5においては、駆動回路 210 上に、1層のセルアレイ 201 を積層させる例について示したが、本発明の一態様はこれに限定されず、2層以上、セルアレイを積層してもよい。すなわち、セルアレイ 201 を複数のセルアレイ層を用いて構成することが可能である。なお、2層目のセルアレイ層は、1層目のセルアレイ層の上に設けられる。3層目以上のセルアレイ層についても同様である。また、2層目以上のセルアレイ層についても、1層目のセルアレイ層と同様の構成を適用することができる。または、2層目以上のセルアレイ層については、1層目のセルアレイ層とは異なる構成を適用することもできる。このような積層構造を適用することにより、記憶装置の集積化をさらに図ることができる。

20

【0064】

<本明細書で開示される記憶装置について>

本明細書で開示される記憶装置は、ビット線の数を増やすことで、メモリセルの数が増大しても、一のビット線に接続されるメモリセルの数を小さく抑えることができる。よって、ビット線の有する寄生容量と寄生抵抗を小さくすることができるため、容量素子の面積縮小化により各デジタル値どうしの電荷量の差が小さくなっても、上記ビット線を介して読み出されるデータの正確性を高め、エラー発生率を低く抑えることができる。

30

【0065】

また、本明細書で開示される記憶装置は、複数のビット線を幾つかのグループに分割し、複数のビット線駆動回路によって上記グループごとにビット線の駆動が制御されるようにする。上記構成により、ビット線の数が増えても、セルアレイのアスペクト比が 1 から極端に遠ざかるのを防ぐことができる。よって、記憶装置の汎用性を高めることができる。また、記憶装置を用いた集積回路の設計を行う際に、レイアウト上の制約を小さくすることができる。

40

【0066】

また、本明細書で開示される記憶装置は、複数のワード線を幾つかのグループに分割し、一のグループに属するビット線に接続されたメモリセルには、一のグループに属するワード線が接続されるようにする。上記構成により、メモリセルの数が増大しても、一のワード線に接続されるメモリセルの数を小さく抑えることができる。よって、ワード線の有する寄生容量と寄生抵抗を小さくすることができるため、ワード線に入力された信号のパルスが遅延する、或いは、ワード線の電位降下が大きくなるのを防ぎ、延いては記憶装置のエラー発生率を低く抑えることができる。

【0067】

50

また、本明細書で開示される記憶装置は、オフ電流の著しく低いトランジスタを、容量素子に蓄積された電荷を保持するためのスイッチング素子として用いることで、容量素子からの電荷のリークを防ぐことができる。よって、長期間に渡るデータの保持が可能となり、メモリセルを微細化することで容量素子の容量値が小さくなっても、リフレッシュ動作の頻度が増大するのを防ぐことができる。

【0068】

また、本明細書で開示される記憶装置では、駆動回路とセルアレイが重なるように三次元化することで、ピット線駆動回路が複数設けられても、記憶装置の占有面積を小さくすることができる。

【0069】

<トランジスタの変形例>

図6及び図7に、図5に示したトランジスタ662とは異なるトランジスタの構成例を示す。

【0070】

図6(A)に示すトランジスタ312は、酸化物半導体膜644と、ソース電極またはドレイン電極642a、642bとの間に、ソース領域又はドレイン領域として機能する酸化物導電膜643a、643bが設けられている。酸化物半導体膜644と、ソース電極またはドレイン電極642a、642bとの間に、ソース領域又はドレイン領域として機能する酸化物導電膜643a、643bを設けることにより、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタ312を高速動作させることができる。また、酸化物半導体膜644と、酸化物導電膜643a、643bと、ソース電極またはドレイン電極642a、642bとを積層することにより、トランジスタ312の耐圧を向上させることができる。また、容量素子314は、酸化物導電膜643bと、ソース電極またはドレイン電極642bと、ゲート絶縁膜646と、導電膜648bと、で構成されている。

【0071】

図6(B)に示すトランジスタ322は、酸化物半導体膜644と、ソース電極またはドレイン電極642a、642bとの間に、ソース領域又はドレイン領域として機能する酸化物導電膜643a、643bが設けられている点で、図6(A)と共通している。図6(A)に示すトランジスタ312では、酸化物導電膜643a、643bが酸化物半導体膜644の上面及び側面で接しているのに対し、図6(B)に示すトランジスタ322では、酸化物導電膜643a、643bが酸化物半導体膜644の上面で接している。このような構成とする場合であっても、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタ322を高速動作させることができる。また、酸化物半導体膜644と、酸化物導電膜643a、643bと、ソース電極またはドレイン電極642a、642bとを積層することにより、トランジスタ322の耐圧を向上させることができる。また、容量素子324の構成については、図5の記載を参照することができる。

【0072】

図7(A)に示すトランジスタ332は、絶縁膜640上に、ソース電極またはドレイン電極642a、642b、酸化物半導体膜644、ゲート絶縁膜646、ゲート電極648aを含む点で、図5に示すトランジスタ662と共通している。図7(A)に示すトランジスタ332と、図5に示すトランジスタ662との相違は、酸化物半導体膜644と、ソース電極またはドレイン電極642a、642bとが接続する位置である。すなわち、トランジスタ662は、酸化物半導体膜644を形成後に、ソース電極またはドレイン電極642a、642bを形成することで、少なくとも酸化物半導体膜644の上面の一部が、ソース電極またはドレイン電極642a、642bと接している。これに対して、トランジスタ332は、ソース電極またはドレイン電極642a、642bの上面の一部が、酸化物半導体膜644と接している。また、容量素子334の構成については、図5の記載を参照することができる。

【0073】

10

20

30

40

50

図5、図6及び図7(A)では、トップゲート構造のトランジスタを示したが、ボトムゲート構造としてもよい。図7(B)及び図7(C)に、ボトムゲート構造のトランジスタを示す。

【0074】

図7(B)に示すトランジスタ342は、絶縁膜640上に、ゲート電極648aが設けられ、ゲート電極648a上にゲート絶縁膜646が設けられ、ゲート絶縁膜646上にソース電極またはドレイン電極642a、642bが設けられ、ゲート絶縁膜646、及びソース電極またはドレイン電極642a、642b上に、ゲート電極648aと重畠するように酸化物半導体膜644が設けられている。また、容量素子344は、絶縁膜640上に設けられた導電膜648bと、ゲート絶縁膜646と、ソース電極またはドレイン電極642bとで、構成されている。10

【0075】

また、トランジスタ342及び容量素子344上に、絶縁膜650及び絶縁膜652が設けられていてもよい。

【0076】

図7(C)に示すトランジスタ352は、絶縁膜640上に、ゲート電極648a、ゲート絶縁膜646、ソース電極またはドレイン電極642a、642b、酸化物半導体膜644を含む点で、図7(B)に示すトランジスタ342と共通している。図7(C)に示すトランジスタ352と、図7(B)に示すトランジスタ342との相違は、酸化物半導体膜644と、ソース電極またはドレイン電極642a、642bと、が接する位置である。すなわち、トランジスタ342は、ソース電極またはドレイン電極642a、642bを形成後に、酸化物半導体膜644を形成することで、少なくとも酸化物半導体膜644の下面の一部が、ソース電極またはドレイン電極642a、642bと接している。これに対して、トランジスタ352は、ソース電極またはドレイン電極642a、642bの下面の一部が、酸化物半導体膜644と接している。また、容量素子354の構成については、図7(B)の記載を参照することができる。20

【0077】

また、トランジスタの構造は、チャネル形成領域の上下にゲート絶縁膜を介して配置された2つのゲート電極を有する、デュアルゲート構造としてもよい。図7(D)に、デュアルゲート構造のトランジスタを示す。30

【0078】

図7(D)に示すトランジスタ362は、絶縁膜640上に、ゲート電極648a、ゲート絶縁膜646、ソース電極またはドレイン電極642a、642b、酸化物半導体膜644を含む点で、図7(B)に示すトランジスタ342と共通している。図7(D)では、さらに、ソース電極またはドレイン電極642a、642b、及び酸化物半導体膜644を覆うように絶縁膜650が設けられており、絶縁膜650上には、酸化物半導体膜644と重畠するように導電膜659が設けられている。絶縁膜650は、第2のゲート絶縁膜として機能し、導電膜659は、第2のゲート電極として機能する。このような構造とすることにより、トランジスタの信頼性を調べるためにバイアス-熱ストレス試験(以下、BT試験という)において、BT試験前後におけるトランジスタのしきい値電圧の変化量をより低減することができる。導電膜659は、電位がゲート電極648aと同じでもよいし、異なっていても良い。また、導電膜659の電位がGND、0V、或いはフローティング状態であってもよい。40

【0079】

<トランジスタの作製方法の一例>

次に、図5に示したトランジスタ662の作製方法の一例について、図8を参照して説明する。

【0080】

まず、絶縁膜640の上に酸化物半導体膜を形成し、当該酸化物半導体膜を加工して、酸化物半導体膜644を形成する(図8(A)参照)。50

【0081】

絶縁膜640は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成する。絶縁膜640に、誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能となるため好ましい。なお、絶縁膜640には、上述の材料を用いた多孔性の絶縁層を適用してもよい。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁膜640は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。絶縁膜640は、上述の材料を用いて単層構造または積層構造で形成することができる。ここでは、絶縁膜640として、酸化シリコンを用いる場合について説明する。

10

【0082】

なお、用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

20

【0083】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

30

【0084】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

40

【0085】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0086】

また、酸化物半導体として、 $InMO_3 (ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_3 SnO_5 (ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0087】

50

例えば、In : Ga : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) あるいは In : Ga : Zn = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5) の原子数比の In - Ga - Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In : Sn : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3)、In : Sn : Zn = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2) あるいは In : Sn : Zn = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の In - Sn - Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0088】

しかし、これらに限らず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。10

【0089】

例えば、In - Sn - Zn 系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0090】

なお、例えば、In、Ga、Zn の原子数比が In : Ga : Zn = a : b : c (a + b + c = 1) である酸化物が、原子数比が In : Ga : Zn = A : B : C (A + B + C = 1) の酸化物の r だけ近傍であるとは、a、b、c が、(a - A)² + (b - B)² + (c - C)² / r² を満たすことを言う。r としては、例えば、0.05 とすればよい。他の酸化物でも同様である。20

【0091】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0092】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0093】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ (Ra) が 1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下の表面上に形成するとよい。30

【0094】

なお、Ra は、JIS B 0601 で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0095】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (1)$$

【0096】

なお、上記において、S₀ は、測定面（座標 (x₁, y₁) (x₁, y₂) (x₂, y₁) (x₂, y₂) で表される 4 点によって囲まれる長方形の領域）の面積を指し、Z₀ は測定面の平均高さを指す。Ra は原子間力顕微鏡 (AFM: Atomic Force Microscope) にて評価可能である。

【0097】

また、酸化物半導体膜は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方50

法で作製するのが望ましい。酸化物半導体膜は、例えば、スパッタリング法などを用いて作製することができる。

【0098】

ここでは、酸化物半導体膜を、In-Ga-Zn系の酸化物ターゲットを用いたスパッタリング法により形成する。

【0099】

In-Ga-Zn系の酸化物ターゲットとしては、例えば、組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol数比] の酸化物ターゲットを用いることができる。なお、ターゲットの材料及び組成を上述に限定する必要はない。例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比] の組成比の酸化物ターゲットを用いることもできる。10

【0100】

酸化物ターゲットの充填率は、90%以上100%以下、好ましくは95%以上99.9%以下とする。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜を緻密な膜とすることができます。

【0101】

成膜の雰囲気は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体膜への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。20

【0102】

例えば、酸化物半導体膜は、次のように形成することができる。

【0103】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、200 を超えて500 以下、好ましくは300 を超えて500 以下、より好ましくは350 以上450 以下となるように加熱する。

【0104】

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体膜を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体膜に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。30

【0105】

成膜中の基板温度が低温（例えば、100 以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが好ましい。基板を上述の温度で加熱して、酸化物半導体膜の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体膜に取り込まれにくい。したがって、基板が上述の温度で加熱された状態で、酸化物半導体膜の成膜を行うことにより、酸化物半導体膜に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減することができる。

【0106】

成膜条件の一例として、基板とターゲットとの距離を60mm、圧力を0.4Pa、直流(DC)電源を0.5kW、基板温度を400 、成膜雰囲気を酸素（酸素流量比率100%）雰囲気とする。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるため好ましい。4050

【0107】

なお、酸化物半導体膜をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体膜の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、基板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

【0108】

また、酸化物半導体膜を加工することによって、酸化物半導体膜644を形成する。酸化物半導体膜の加工は、所望の形状のマスクを酸化物半導体膜上に形成した後、当該酸化物半導体膜をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

10

【0109】

その後、酸化物半導体膜644に対して、熱処理（第1の熱処理）を行ってもよい。熱処理を行うことによって、酸化物半導体膜644中に含まれる水素原子を含む物質をさらに除去し、酸化物半導体膜644の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。熱処理の温度は、不活性ガス雰囲気下、250以上700以下、好みしくは450以上600以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好みしくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好みしくは0.1ppm以下）とする。

20

【0110】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体膜644は大気に触れさせず、水や水素の混入が生じないようにする。

30

【0111】

熱処理を行うことによって不純物を低減し、i型（真性半導体）またはi型に限りなく近い酸化物半導体膜を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0112】

ところで、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体膜を島状に加工する前、ゲート絶縁膜の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

40

【0113】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている（神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol.44、pp.621-633.）。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してNa⁺となる。また、Naは、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向に

50

シフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体膜中の水素の濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体膜中の水素の濃度が $5 \times 10^{-9} \text{ cm}^{-3}$ 以下、特に $5 \times 10^{-8} \text{ cm}^{-3}$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法による Na 濃度の測定値は、 $5 \times 10^{-6} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{-6} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{-5} / \text{cm}^3$ 以下とするとよい。同様に、Li 濃度の測定値は、 $5 \times 10^{-5} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{-5} / \text{cm}^3$ 以下とするとよい。同様に、K 濃度の測定値は、 $5 \times 10^{-5} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{-5} / \text{cm}^3$ 以下とするとよい。

10

【0114】

また、酸化物半導体膜 644 に錫 (Sn) 等の p 型を付与する不純物元素を添加することによって、酸化物半導体膜 644 が弱い p 型の導電性を示すようにしてもよい。Sn は、酸化物半導体のターゲットに SnO_x として含ませておくことで、酸化物半導体膜 644 に p 型不純物元素として添加することができる。上記のように高純度化された酸化物半導体膜 644 は真性若しくは実質的に真性であるので、価電子制御をするための不純物元素を微量に添加することによって、弱い p 型の導電性を示す酸化物半導体膜を得ることができる。これにより、当該酸化物半導体膜 644 を用いて形成されるトランジスタがノーマリオン (ゲート電極に電圧を印加しない状態でもドレイン電流が流れてしまう状態) となってしまうことを防ぐことが可能となる。また、ノーマリオン化を防ぐには、酸化物半導体膜 644 を挟んでゲート電極と対向する側に、第 2 のゲート電極を設け、これによってしきい値電圧を制御するようにしても良い。

20

【0115】

なお、酸化物半導体膜 644 は非晶質であっても良いが、トランジスタのチャネル形成領域として結晶性を有する酸化物半導体膜を用いることが好ましい。結晶性を有する酸化物半導体膜を用いることで、トランジスタの信頼性 (ゲート・バイアス・ストレス耐性) を高めることができるからである。

【0116】

結晶性を有する酸化物半導体膜としては、理想的には単結晶であることが望ましいが、c 軸配向を有した結晶 (C Axis Aligned Crystal : CAAC とも呼ぶ) を含む酸化物であるものが好ましい。

30

【0117】

ここで、c 軸配向し、かつ ab 面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c 軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab 面においては a 軸または b 軸の向きが異なる (c 軸を中心に回転した) 結晶 (CAAC : C Axis Aligned Crystal) を含む酸化物について説明する。

【0118】

CAAC を含む酸化物とは、広義に、非単結晶であって、その ab 面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつ c 軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

40

【0119】

CAAC は単結晶ではないが、非晶質のみから形成されているものでもない。また、CAAC は結晶化した部分 (結晶部分) を含むが、1 つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0120】

CAAC に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAAC を構成する個々の結晶部分の c 軸は一定の方向 (例えば、CAAC を支持する基板面、CAAC の表面などに垂直な方向) に揃っていてよい。または、CAAC を構成する個々

50

の結晶部分の a b 面の法線は一定の方向（例えば、 C A A C を支持する基板面、 C A A C の表面などに垂直な方向）を向いていてもよい。

【 0 1 2 1 】

C A A C は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【 0 1 2 2 】

このような C A A C の例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。

10

【 0 1 2 3 】

C A A C について図 1 2 乃至図 1 4 を用いて詳細に説明する。なお、特に断りがない限り、図 1 2 乃至図 1 4 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。

【 0 1 2 4 】

図 1 2 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O ）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 1 2 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 1 2 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 1 2 (A) に示す小グループは電荷が 0 である。

20

【 0 1 2 5 】

図 1 2 (B) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O ）と、G a に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 1 2 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 1 2 (B) に示す構造をとりうる。図 1 2 (B) に示す小グループは電荷が 0 である。

30

【 0 1 2 6 】

図 1 2 (C) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造を示す。図 1 2 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 1 2 (C) の上半分には 3 個の 4 配位の O があり、下半分には 1 個の 4 配位の O があってもよい。図 1 2 (C) に示す小グループは電荷が 0 である。

【 0 1 2 7 】

図 1 2 (D) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 1 2 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 1 2 (D) に示す小グループは電荷が + 1 となる。

40

【 0 1 2 8 】

図 1 2 (E) に、2 個の Z n を含む小グループを示す。図 1 2 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 1 2 (E) に示す小グループは電荷が - 1 となる。

【 0 1 2 9 】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【 0 1 3 0 】

ここで、これらの小グループ同士が結合する規則について説明する。図 1 2 (A) に示す 6 配位の I n の上半分の 3 個の O は、下方向にそれぞれ 3 個の近接 I n を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 I n を有する。5 配位の G a の上半分の 1 個の O は、下方向に 1 個の近接 G a を有し、下半分の 1 個の O は、上方向に 1 個の近接 G a を有する。4 配位の Z n の上半分の 1 個の O は、下方向に 1 個の近接 Z n を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 Z n を有する。このように、金属原子の上方向

50

の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。したがって、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子（InまたはSn）が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子（GaまたはIn）または4配位の金属原子（Zn）の上半分の4配位のOのいずれかと結合することになる。

【0131】

10

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0132】

図13(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図13(B)に、3つの中グループで構成される大グループを示す。なお、図13(C)は、図13(B)の層構造をc軸方向から観察した場合の原子配列を示す。

【0133】

図13(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図13(A)において、Inの上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図13(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

20

【0134】

図13(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるSnが、4配位のOが1個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。

30

【0135】

ここで、3配位のOおよび4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図12(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

40

【0136】

具体的には、図13(B)に示した大グループが繰り返されることで、In-Sn-Zn-O系の結晶($In_2SnZn_3O_8$)を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、 $In_2SnZn_2O_7(ZnO)_m$ (mは0または自然数。)とする組成式で表すことができる。

【0137】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三

50

元系金属の酸化物である In - Ga - Zn 系酸化物 (IGZOとも表記する。)、In - Al - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物や、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物や、二元系金属の酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物や、In - Ga 系酸化物などを用いた場合も同様である。

10

【0138】

例えば、図14(A)に、In - Ga - Zn - O 系の層構造を構成する中グループのモデル図を示す。

【0139】

図14(A)において、In - Ga - Zn - O 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

20

【0140】

図14(B)に3つの中グループで構成される大グループを示す。なお、図14(C)は、図14(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0141】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0142】

また、In - Ga - Zn - O 系の層構造を構成する中グループは、図14(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループを取りうる。

30

【0143】

CACで構成された酸化物半導体膜は、スパッタリング法によっても作製することができる。スパッタリング法によってCACで構成された酸化物半導体膜を得るには酸化物半導体膜の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようにすることが肝要である。そのためには、ターゲットと基板の距離を広くとり(例えば、150mm～200mm程度)、基板加熱温度を100～500、好適には200～400、さらに好適には250～300にすると好ましい。また、これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体膜を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

40

【0144】

CACで構成された酸化物半導体膜は、高純度化され、酸素欠損による欠陥を低減し、しかもc軸に配向した結晶を有することで、価電子制御をする不純物元素に対して構造敏感になり、弱いp型に価電子制御することが容易となる。

【0145】

次に、酸化物半導体膜644などの上に、ソース電極及びドレイン電極(これと同じ層で形成される配線を含む)を形成するための導電層を形成し、当該導電層を加工して、ソース電極またはドレイン電極642a、642bを形成する(図8(B)参照)。

50

【0146】

導電層は、PVD法や、CVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクスチルから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0147】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極またはドレイン電極642a、642bへの加工が容易であるというメリットがある。

10

【0148】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($In_2O_3-SnO_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金(In_2O_3-ZnO)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

20

【0149】

導電層のエッティングは、形成されるソース電極またはドレイン電極642a、642bの端部が、テーパー形状となるように行なうことが好ましい。ここで、テーパー角は、例えば、 30° 以上 60° 以下であることが好ましい。ソース電極またはドレイン電極642a、642bの端部をテーパー形状となるようにエッティングすることにより、後に形成されるゲート絶縁膜646の被覆性を向上し、段切れを防止することができる。

【0150】

上部のトランジスタのチャネル長(L)は、ソース電極またはドレイン電極642a、及びソース電極またはドレイン電極642bの下端部の間隔によって決定される。なお、チャネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm～数10nmと波長の短い超紫外線(Extreme Ultra violet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、10nm以上1000nm($1\mu m$)以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、記憶装置の消費電力を低減することも可能である。

30

【0151】

次に、ソース電極またはドレイン電極642a、642bを覆い、かつ、酸化物半導体膜644の一部と接するように、ゲート絶縁膜646を形成する(図8(C)参照)。

【0152】

ゲート絶縁膜646は、CVD法やスピッタリング法等を用いて形成することができる。また、ゲート絶縁膜646は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化ガリウム、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_y$ ($x > 0$ 、 $y > 0$))、などを含むように形成するのが好適である。ゲート絶縁膜646は、単層構造としても良いし、上記の材料を組み合わせて積層構造としても良い。また、その厚さは特に限定されないが、記憶装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

40

50

【 0 1 5 3 】

上述のように、ゲート絶縁膜 646 を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁膜 646 に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート ($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート ($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムアルミネート ($HfAl_xO_y$ ($x > 0$ 、 $y > 0$))、などの高誘電率 (high-k) 材料を用いると良い。 $high-k$ 材料をゲート絶縁膜 646 に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、 $high-k$ 材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

10

【 0 1 5 4 】

また、酸化物半導体膜 644 に接する絶縁膜 (図 8 (C))においては、ゲート絶縁膜 646) は、第 13 族元素及び酸素を含む絶縁材料としてもよい。酸化物半導体には第 13 族元素を含むものが多く、第 13 族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体膜に接する絶縁膜に用いることで、酸化物半導体膜との界面の状態を良好に保つことができる。

【 0 1 5 5 】

ここで、第 13 族元素を含む絶縁材料とは、絶縁材料に一または複数の第 13 族元素を含むことを意味する。第 13 族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量 (原子%) よりアルミニウムの含有量 (原子%) が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量 (原子%) がアルミニウムの含有量 (原子%) 以上のものを示す。

20

【 0 1 5 6 】

例えば、ガリウムを含有する酸化物半導体膜に接してゲート絶縁膜を形成する場合に、ゲート絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体膜とゲート絶縁膜の界面特性を良好に保つことができる。また、酸化物半導体膜と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体膜と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体膜への水の侵入防止という点においても好ましい。

30

【 0 1 5 7 】

また、酸化物半導体膜 644 に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドープなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドープとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドープには、プラズマ化した酸素をバルクに添加する酸素プラズマドープが含まれる。また、酸素ドープは、イオン注入法またはイオンドーピング法を用いて行ってもよい。

40

【 0 1 5 8 】

例えば、酸化物半導体膜 644 に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムの組成を Ga_2O_x ($X = 3 + , 0 < X < 1$) とすることができる。また、酸化物半導体膜 644 に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化アルミニウムの組成を Al_2O_x ($X = 3 + , 0 < X < 1$) とすることができる。または、酸化物半導体膜 644 に接する絶縁膜として酸化ガリウムアルミニウム (酸化アルミニウムガリウム) を用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムアルミニウム (酸化アルミニウムガリウム)

50

の組成を $Ga_x Al_{2-x} O_3 + (0 < X < 2, 0 < < 1)$ とすることができます。

【0159】

酸素ドープ処理等を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体膜が接することにより、絶縁膜中の過剰な酸素が酸化物半導体膜に供給され、酸化物半導体膜中、または酸化物半導体膜と絶縁膜の界面における酸素不足欠陥を低減し、酸化物半導体膜を i 型化または i 型に限りなく近い酸化物半導体とすることができます。

【0160】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、ゲート絶縁膜 646 に代えて、酸化物半導体膜 644 の下地膜に適用しても良く、ゲート絶縁膜 646 及び下地絶縁膜の双方に適用しても良い。10

【0161】

ゲート絶縁膜 646 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の熱処理を行うのが望ましい。熱処理の温度は、200 以上 450 以下、望ましくは 250 以上 350 以下である。例えば、窒素雰囲気下で 250 、1 時間の熱処理を行えばよい。第 2 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁膜 646 が酸素を含む場合、酸化物半導体膜 644 に酸素を供給し、該酸化物半導体膜 644 の酸素欠損を補填して、i 型（真性半導体）または i 型に限りなく近い酸化物半導体膜を形成することもできる。

【0162】

なお、ここでは、ゲート絶縁膜 646 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第 2 の熱処理を行っても良い。また、第 1 の熱処理に続けて第 2 の熱処理を行っても良いし、第 1 の熱処理に第 2 の熱処理を兼ねさせても良いし、第 2 の熱処理に第 1 の熱処理を兼ねさせても良い。20

【0163】

上述のように、第 1 の熱処理と第 2 の熱処理の少なくとも一方を適用することで、酸化物半導体膜 644 を、その水素原子を含む物質が極力含まれないように高純度化することができます。

【0164】

次に、ゲート電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ゲート電極 648a 及び導電膜 648b を形成する（図 8 (D) 参照）。30

【0165】

ゲート電極 648a 及び導電膜 648b は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。なお、ゲート電極 648a 及び導電膜 648b は、単層構造としても良いし、積層構造としても良い。

【0166】

以上により、高純度化された酸化物半導体膜 644 を用いたトランジスタ 662、及び容量素子 664 が完成する（図 8 (D) 参照）。40

【0167】

なお、図 7 (A) に示すトランジスタ 332 及び容量素子 334 を形成する場合、絶縁膜 640 上にソース電極またはドレイン電極 642a、642b を形成し、絶縁膜 640 及びソース電極またはドレイン電極 642a、642b 上に酸化物半導体膜 644 を形成する。次に、ソース電極またはドレイン電極 642a、642b、及び酸化物半導体膜 644 上にゲート絶縁膜 646 を形成する。その後、ゲート絶縁膜 646 上に、酸化物半導体膜 644 と重畠するようにゲート電極 648a を形成し、ソース電極またはドレイン電極 642b と重畠するように導電膜 648b を形成する。

【0168】

また、図7(B)に示すトランジスタ342及び容量素子344を形成する場合、絶縁膜640上にゲート電極648a、導電膜648bを形成し、絶縁膜640、ゲート電極648a及び導電膜648b上にゲート絶縁膜646を形成する。次に、ゲート絶縁膜646上に、ソース電極またはドレイン電極642a、642bを形成する。その後、ゲート絶縁膜646上に、ゲート電極648aと重畠するように酸化物半導体膜644を形成することで、トランジスタ342及び容量素子344が完成する。なお、トランジスタ342及び容量素子344を覆うように絶縁膜650及び絶縁膜652を形成してもよい。例えば、絶縁膜650は、酸素雰囲気下による熱処理や、酸素ドープにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましく、絶縁膜652は、水や水素を透過しにくい状態とすることが好ましい。絶縁膜652は、水や水素を透過しにくい状態とすることで、酸化物半導体膜644に水や水素が浸入することを防止し、絶縁膜650を化学量論的組成比より酸素が多い状態とすることで、酸化物半導体膜644の酸素欠損を補填して、i型またはi型に限りなく近い酸化物半導体膜644を形成することができるからである。
10

【0169】

また、図7(C)に示すトランジスタ352及び容量素子354を形成する場合、絶縁膜640上にゲート電極648a、導電膜648bを形成し、絶縁膜640、ゲート電極648a及び導電膜648b上にゲート絶縁膜646を形成する。次に、ゲート絶縁膜646上に、ゲート電極648aと重畠するように酸化物半導体膜644を形成する。その後、酸化物半導体膜644上にソース電極またはドレイン電極642a、642bを形成することで、トランジスタ352及び容量素子354が完成する。なお、絶縁膜650及び絶縁膜652については、図7(B)の記載を参酌できる。
20

【0170】

また、図7(D)に示すトランジスタ362及び容量素子364を形成する場合、絶縁膜640上にゲート電極648a、導電膜648bを形成し、絶縁膜640、ゲート電極648a(図7(D)においては第1のゲート電極)及び導電膜648b上にゲート絶縁膜646(図7(D)においては第1のゲート絶縁膜)を形成する。次に、ゲート絶縁膜646上に、ゲート電極648aと重畠するように酸化物半導体膜644を形成し、酸化物半導体膜644上にソース電極またはドレイン電極642a、642bを形成する。その後、酸化物半導体膜644及びソース電極またはドレイン電極642a、642b上に絶縁膜650(図7(D)においては第2のゲート絶縁膜)を形成し、酸化物半導体膜644と重畠するように導電膜659(図7(D)においては第2のゲート電極)を形成することで、トランジスタ362及び容量素子364が完成する。なお、導電膜659は、ゲート電極648aの記載を参酌できる。
30

【0171】

次に、図6(A)及び図6(B)に示すトランジスタ及び容量素子の作製方法について説明する。

【0172】

図6(A)に示すトランジスタ312及び容量素子314の作製方法について説明する。

【0173】

まず、絶縁膜640上に酸化物半導体膜644を形成し、絶縁膜640及び酸化物半導体膜644上に、酸化物導電膜及び導電層の積層を成膜する。
40

【0174】

酸化物導電膜の成膜方法は、スパッタリング法や真空蒸着法(電子ビーム蒸着法など)や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電膜の材料としては、酸化亜鉛、酸化亜鉛アルミニウム、酸化窒化亜鉛アルミニウム、酸化亜鉛ガリウム、インジウム錫酸化物などを適用することができる。また、上記の材料に酸化シリコンを含ませてもよい。なお、導電層の成膜方法及び材料については、ソース電極またはドレイン電極642a、642bを形成するための導電層の記載を参酌できる。

【0175】

10

20

30

40

50

次に、導電層上にマスクを形成し、導電層及び酸化物導電膜を選択的にエッティングすることによって、ソース電極またはドレイン電極 642a、642b、及び酸化物導電膜 643a、643b を形成する。

【0176】

なお、導電層及び酸化物導電膜のエッティング処理の際、酸化物半導体膜が過剰にエッティングされないように、エッティング条件（エッティング材の種類、濃度、エッティング時間等）を適宜調整する。

【0177】

次に、ソース電極またはドレイン電極 642a、642b、及び酸化物半導体膜 644 上にゲート絶縁膜 646 を形成する。その後、ゲート絶縁膜 646 上に、酸化物半導体膜 644 と重畳するようにゲート電極 648a を形成し、ソース電極またはドレイン電極 642b と重畳するように導電膜 648b を形成する。
10

【0178】

以上により、トランジスタ 312 及び容量素子 314 が完成する（図 6（A）参照）。

【0179】

図 6（B）に示すトランジスタ 322 及び容量素子 324 を作製する場合、酸化物半導体膜と酸化物導電膜の積層を形成し、酸化物半導体膜と酸化物導電膜との積層と同じフォトリソグラフィ工程によって形状を加工して、島状の酸化物半導体膜及び酸化物導電膜を形成する。次に、島状の酸化物導電膜上にソース電極またはドレイン電極 642a、642b を形成した後、ソース電極またはドレイン電極 642a、642b をマスクとして、島状の酸化物導電膜をエッティングすることで、ソース領域又はドレイン領域となる酸化物導電膜 643a、643b を形成する。
20

【0180】

次に、ソース電極またはドレイン電極 642a、642b、及び酸化物半導体膜 644 上にゲート絶縁膜 646 を形成する。その後、ゲート絶縁膜 646 上に、酸化物半導体膜 644 と重畳するようにゲート電極 648a を形成し、ソース電極またはドレイン電極 642b と重畳するように導電膜 648b を形成する。

【0181】

以上により、トランジスタ 322 及び容量素子 324 が完成する（図 6（B）参照）。

【0182】

上述したトランジスタでは、酸化物半導体膜 644 が高純度化されているため、その水素濃度は、 $5 \times 10^{-9} / \text{cm}^3$ 以下、望ましくは $5 \times 10^{-8} / \text{cm}^3$ 以下、より望ましくは $5 \times 10^{-7} / \text{cm}^3$ 以下である。また、酸化物半導体膜 644 のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度（ $1 \times 10^{14} / \text{cm}^3$ 程度）と比較して、十分に小さい値（例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満）をとる。そして、当該トランジスタのオフ電流も十分に小さくなる。例えば、当該トランジスタの室温（25℃）でのオフ電流（ここでは、単位チャネル幅（ $1 \mu\text{m}$ ）あたりの値）は 100 zA (1 zA (ゼプトアンペア) は $1 \times 10^{-21} \text{ A}$) 以下、望ましくは 10 zA 以下となる。
30

【0183】

また、酸化物半導体膜 644 は、アルカリ金属、及びアルカリ土類金属の濃度が充分に低減されており、アルカリ金属又はアルカリ土類金属の濃度は、例えば、Na の場合、 $5 \times 10^{-6} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{-6} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{-5} \text{ cm}^{-3}$ 以下、Li の場合、 $5 \times 10^{-5} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{-4} \text{ cm}^{-3}$ 以下となる。

【0184】

このように高純度化され、真性化された酸化物半導体膜 644 を用いることで、当該トランジスタのオフ電流を十分に低減することが容易になる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な記憶装置が得ら
40

10

20

30

40

50

れる。

【0185】

<記憶装置の利用例>

以下では、上述した記憶装置の利用例について図9、10を参照して説明する。

【0186】

図9に、マイクロプロセッサの構成例を示すブロック図である。図9に示すマイクロプロセッサは、CPU401、メインメモリ402、クロックコントローラ403、キャッシュコントローラ404、シリアルインターフェース405、I/Oポート406、端子407、インターフェース408、キャッシュメモリ409等が形成されている。勿論、図9に示すマイクロプロセッサは、その構成を簡略化して示した一例にすぎず、実際のマイクロプロセッサはその用途によって多種多様な構成を有している。
10

【0187】

CPU401をより高速に動作させるには、それに見合う程度の高速なメモリを必要とする。しかし、CPU401の動作スピードにあったアクセスタイムをもつ高速の大容量メモリを使用した場合、一般的にコストが高くなってしまう。そこで大容量のメインメモリ402の他に、メインメモリ402よりも小容量であるが高速のメモリであるSRAMなどのキャッシュメモリ409を、CPU401とメインメモリ402の間に介在させる。CPU401がキャッシュメモリ409にアクセスすることにより、メインメモリ402のスピードによらず、高速で動作することが可能となる。

【0188】

図9に示すマイクロプロセッサでは、メインメモリ402に上述した記憶装置を用いることができる。上記構成により、集積度の高いマイクロプロセッサ、信頼性の高いマイクロプロセッサを実現することができる。
20

【0189】

なお、メインメモリ402には、CPU401で実行されるプログラムが格納されている。そして例えば実行初期において、メインメモリ402に格納されているプログラムは、キャッシュメモリ409にダウンロードされる。ダウンロードされるプログラムは、メインメモリ402に格納されているものに限定されず、他の外付のメモリからダウンロードすることもできる。キャッシュメモリ409は、CPU401で実行されるプログラムを格納するだけでなく、ワーク領域としても機能し、CPU401の計算結果等を一時的に格納する。
30

【0190】

なお、CPUは単数に限られず、複数設けていても良い。CPUを複数設け、並列処理を行なうことで、動作速度の向上を図ることができる。その場合、CPU間の処理速度がまちまちだと処理全体で見たときに不都合が起きる場合があるので、スレーブとなる各CPUの処理速度のバランスを、マスターとなるCPUでとるようにしても良い。

【0191】

なお、ここではマイクロプロセッサを例示したが、上述した記憶装置は、マイクロプロセッサのメインメモリにその用途が限られるわけではない。例えば表示装置の駆動回路に用いられるビデオラムや、画像処理回路に必要となる大容量メモリとしての用途も好ましい。その他、様々なシステムLSIにおいても、大容量もしくは小型用途のメモリとして用いることができる。
40

【0192】

図10は、RFタグの構成例を示すブロック図である。図10においてRFタグ550は、アンテナ回路551と、集積回路552とを有している。集積回路552は、電源回路553、復調回路554、変調回路555、レギュレータ556、演算回路557、記憶装置558、昇圧回路559を有している。なお、記憶装置558は、上述した記憶装置である。

【0193】

次いで、RFタグ550の動作の一例について説明する。質問器から電波が送られてくる
50

と、アンテナ回路 551において該電波が交流電圧に変換される。電源回路 553では、アンテナ回路 551からの交流電圧を整流し、電源用の電圧を生成する。電源回路 553において生成された電源用の電圧は、演算回路 557とレギュレータ 556に与えられる。レギュレータ 556は、電源回路 553からの電源用の電圧を安定化させるか、又はその高さを調整した後、集積回路 552内の復調回路 554、変調回路 555、演算回路 557、記憶装置 558又は昇圧回路 559などの各種回路に供給する。

【0194】

復調回路 554は、アンテナ回路 551が受信した交流信号を復調して、後段の演算回路 557に出力する。演算回路 557は復調回路 554から入力された信号に従って演算処理を行い、別途信号を生成する。上記演算処理を行う際に、記憶装置 558は一次キャッシュメモリ又は二次キャッシュメモリとして用いることができる。また演算回路 557は、復調回路 554から入力された信号を解析し、質問器から送られてきた命令の内容に従って、記憶装置 558内の情報の出力、又は記憶装置 558内における命令の内容の実行を行う。演算回路 557から出力される信号は符号化され、変調回路 555に送られる。変調回路 555は該信号に従ってアンテナ回路 551が受信している電波を変調する。アンテナ回路 551において変調された電波は質問器で受け取られる。

【0195】

このようにRFタグ 550と質問器との通信は、キャリア（搬送波）として用いる電波を変調することで行われる。キャリアは、125kHz、13.56MHz、950MHzなど規格により様々である。また変調の方式も規格により振幅変調、周波数変調、位相変調など様々な方式があるが、規格に即した変調方式であればどの変調方式を用いても良い。

【0196】

信号の伝送方式は、キャリアの波長によって電磁結合方式、電磁誘導方式、マイクロ波方式など様々な種類に分類することができる。

【0197】

昇圧回路 559は、レギュレータ 556から出力された電圧を昇圧し、記憶装置 558に供給している。

【0198】

図10に示すRFタグ 550では、上述した記憶装置を記憶装置 558として用いることで、高集積度、高信頼性を実現することができる。

【0199】

なお、ここでは、アンテナ回路 551を有するRFタグ 550の構成について説明しているが、図10に示したRFタグは、必ずしもアンテナ回路をその構成要素に含む必要はない。また、図10に示したRFタグに、発振回路又は二次電池を設けても良い。

【0200】

（実施の形態2）

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。そこで、本実施の形態では、半導体内部に欠陥がない理想的な酸化物半導体の電界効果移動度を理論的に導き出すとともに、このような酸化物半導体を用いて微細なトランジスタを作製した場合の特性の計算結果を示す。

【0201】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのボテンシャル障壁（粒界等）が存在すると仮定すると、以下の式で表現できる。

【0202】

10

20

30

40

【数2】

$$\mu = \mu_0 \exp(-\frac{E}{kT}) \quad (2)$$

【0203】

ここで、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表現できる。

【0204】

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad (3)$$

10

【0205】

ここで、eは電気素量、Nはチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、nは単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、tはチャネルの厚さである。なお、厚さ30nm以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。線形領域におけるドレイン電流 I_d は、以下の式で表現できる。

【0206】

【数4】

20

$$I_d = \frac{W\mu V_g V_d C_{ox}}{L} \exp(-\frac{E}{kT}) \quad (4)$$

【0207】

ここで、Lはチャネル長、Wはチャネル幅であり、ここでは、L = W = 10 μmである。また、 V_d はドレイン電圧である。上式の両辺を V_g で割り、更に両辺の対数を取ると、以下のようになる。

【0208】

【数5】

$$\ln(\frac{I_d}{V_g}) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad (5)$$

30

【0209】

数5の右辺は V_g の関数である。この式からわかるように、縦軸を $1/n(I_d/V_g)$ 、横軸を $1/V_g$ とする直線の傾きから欠陥密度Nが求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム(I_n)、スズ(S_n)、亜鉛(Z_n)の比率が、I_n : S_n : Z_n = 1 : 1 : 1 のものでは欠陥密度Nは $1 \times 10^{12} / \text{cm}^2$ 程度である。

【0210】

このようにして求めた欠陥密度等をもとに数2および数3より $\mu_0 = 120 \text{ cm}^2/\text{Vs}$ が導出される。欠陥のあるIn-Sn-Zn酸化物で測定される移動度は $35 \text{ cm}^2/\text{Vs}$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2/\text{Vs}$ となると予想できる。

40

【0211】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面からxだけ離れた場所における移動度 μ_1 は、以下の式で表現できる。

【0212】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp(-\frac{x}{l}) \quad (6)$$

【0213】

50

ここで、Dはゲート方向の電界、B、Gは定数である。BおよびGは、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。Dが増加する（すなわち、ゲート電圧が高くなる）と数6の右辺の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0214】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 を計算した結果を図15に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。10

【0215】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁膜の厚さは100nm、比誘電率は4.1とした。チャネル長およびチャネル幅はともに10μm、ドレイン電圧 V_d は0.1Vである。

【0216】

図15で示されるように、ゲート電圧1V強で移動度 $100 \text{ cm}^2/\text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。
なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。20

【0217】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図16乃至図18に示す。なお、計算に用いたトランジスタの断面構造を図19に示す。図19に示すトランジスタは酸化物半導体層に n^+ の導電型を呈する半導体領域8103aおよび半導体領域8103cを有する。半導体領域8103aおよび半導体領域8103cの抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

【0218】

図19(A)に示すトランジスタは、下地絶縁層8101と、下地絶縁層8101に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁層8102の上に形成される。トランジスタは半導体領域8103a、半導体領域8103cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域8103bと、ゲート8105を有する。30

【0219】

ゲート8105と半導体領域8103bの間には、ゲート絶縁膜8104を有し、また、ゲート8105の両側面には側壁絶縁物8106aおよび側壁絶縁物8106b、ゲート8105の上部には、ゲート8105と他の配線との短絡を防止するための絶縁物8107を有する。側壁絶縁物の幅は5nmとする。また、半導体領域8103aおよび半導体領域8103cに接して、ソース8108aおよびドレイン8108bを有する。なお、このトランジスタにおけるチャネル幅を40nmとする。

【0220】

図19(B)に示すトランジスタは、下地絶縁層8101と、酸化アルミニウムよりなる埋め込み絶縁層8102の上に形成され、半導体領域8103a、半導体領域8103cと、それらに挟まれた真性の半導体領域8103bと、幅33nmのゲート8105とゲート絶縁膜8104と側壁絶縁物8106aおよび側壁絶縁物8106bと絶縁物8107とソース8108aおよびドレイン8108bを有する点で図19(A)に示すトランジスタと同じである。40

【0221】

図19(A)に示すトランジスタと図19(B)に示すトランジスタの相違点は、側壁絶縁物8106aおよび側壁絶縁物8106bの下の半導体領域の導電型である。図19(A)に示すトランジスタでは、側壁絶縁物8106aおよび側壁絶縁物8106bの下の50

半導体領域は n^+ の導電型を呈する半導体領域8103aおよび半導体領域8103cであるが、図19(B)に示すトランジスタでは、真性の半導体領域8103bである。すなわち、半導体領域8103a(半導体領域8103c)とゲート8105がLooffだけ重ならない領域ができている。この領域をオフセット領域といい、その幅Looffをオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物8106a(側壁絶縁物8106b)の幅と同じである。

【0222】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用した。図16は、図19(A)に示される構造のトランジスタのドレイン電流(I_d 、実線)および移動度(μ 、点線)のゲート電圧(V_g 、ゲートとソースの電位差)依存性を示す。ドレイン電流 I_d は、ドレイン電圧(ドレインとソースの電位差)を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。10

【0223】

図16(A)はゲート絶縁膜の厚さを15nmとしたものであり、図16(B)は10nmとしたものであり、図16(C)は5nmとしたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流)が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流)には目立った変化が無い。ゲート電圧1V前後で、ドレイン電流はメモリセル等で必要とされる10μAを超えることが示された。20

【0224】

図17は、図19(B)に示される構造のトランジスタで、オフセット長Looffを5nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。図17(A)はゲート絶縁膜の厚さを15nmとしたものであり、図17(B)は10nmとしたものであり、図17(C)は5nmとしたものである。20

【0225】

また、図18は、図19(B)に示される構造のトランジスタで、オフセット長Looffを15nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。図18(A)はゲート絶縁膜の厚さを15nmとしたものであり、図18(B)は10nmとしたものであり、図18(C)は5nmとしたものである。30

【0226】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0227】

なお、移動度 μ のピークは、図16では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図17では $60\text{ cm}^2/\text{Vs}$ 程度、図18では $40\text{ cm}^2/\text{Vs}$ 程度と、オフセット長Looffが増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長Looffの増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧1V前後で、ドレイン電流はメモリセル等で必要とされる10μAを超えることが示された。40

【0228】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0229】

(実施の形態3)

In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を50

形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で 5 atomic %以上含まれる元素をいう。そこで、本実施の形態では、酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させた場合について、図 20 乃至図 26 を用いて説明する。

【0230】

In、Sn、Znを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることができるとなる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることができるとなる。

【0231】

例えば、図 20 (A) ~ (C) は、In、Sn、Znを主成分とし、チャネル長 L が 3 μm、チャネル幅 W が 10 μm である酸化物半導体膜と、厚さ 100 nm のゲート絶縁膜を用いたトランジスタの特性である。なお、V_d は 10 V とした。

【0232】

図 20 (A) は基板を意図的に加熱せずにスパッタリング法で In、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は 18.8 cm² / V sec が得られている。一方、基板を意図的に加熱して In、Sn、Znを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることができるとなる。図 20 (B) は基板を 200 に加熱して In、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は 32.2 cm² / V sec が得られている。

【0233】

電界効果移動度は、In、Sn、Znを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図 20 (C) は、In、Sn、Znを主成分とする酸化物半導体膜を 200 でスパッタリング成膜した後、650 で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は 34.5 cm² / V sec が得られている。

【0234】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には 100 cm² / V sec を超える電界効果移動度を実現することも可能になると推定される。

【0235】

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0236】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成された In、Sn、Znを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図 20 (A) と図 20 (B) の対比からも確認することができる。

【0237】

10

20

30

40

50

なお、しきい値電圧は I_n 、 S_n 及び Z_n の比率を変えることによっても制御することができる。組成比として $I_n : S_n : Z_n = 2 : 1 : 3$ とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比を $I_n : S_n : Z_n = 2 : 1 : 3$ とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0238】

意図的な基板加熱温度若しくは熱処理温度は、150以上、好ましくは200以上、より好ましくは400以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0239】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2MV/cm、150、1時間印加の条件において、ドリフトがそれぞれ ± 1.5V 未満、好ましくは 1.0V 未満を得ることができる。10

【0240】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、650の加熱処理を行った試料2のトランジスタに対して BT 試験を行った。

【0241】

まず基板温度を 25 とし、 V_{ds} を 10V とし、トランジスタの $V_{gs} - I_{ds}$ 特性の測定を行った。次に、基板温度を 150 とし、 V_{ds} を 0.1V とした。次に、ゲート絶縁膜 608 に印加される電界強度が 2MV/cm となるように V_{gs} に 20V を印加し、そのまま 1 時間保持した。次に、 V_{gs} を 0V とした。次に、基板温度 25 とし、 V_{ds} を 10V とし、トランジスタの $V_{gs} - I_{ds}$ 測定を行った。これをプラス BT 試験と呼ぶ。20

【0242】

同様に、まず基板温度を 25 とし、 V_{ds} を 10V とし、トランジスタの $V_{gs} - I_{ds}$ 特性の測定を行った。次に、基板温度を 150 とし、 V_{ds} を 0.1V とした。次に、ゲート絶縁膜 608 に印加される電界強度が -2MV/cm となるように V_{gs} に -20V を印加し、そのまま 1 時間保持した。次に、 V_{gs} を 0V とした。次に、基板温度 25 とし、 V_{ds} を 10V とし、トランジスタの $V_{gs} - I_{ds}$ 測定を行った。これをマイナス BT 試験と呼ぶ。30

【0243】

試料1のプラスBT試験の結果を図21(A)に、マイナスBT試験の結果を図21(B)に示す。また、試料2のプラスBT試験の結果を図22(A)に、マイナスBT試験の結果を図22(B)に示す。

【0244】

試料1のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ 1.80V および -0.42V であった。また、試料2のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ 0.79V および 0.76V であった。試料1および試料2のいずれも、BT試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。40

【0245】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【0246】

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間50

に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下のとすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

【0247】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることでもより安定な酸化物半導体膜を得ることができる。例えば、組成比 $\text{In : Sn : Zn} = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折(XRD : X-Ray Diffraction)でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650 の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。10

【0248】

実際に、 In-Sn-Zn-O 膜の XRD 分析を行った。XRD 分析には、Bruker AXS 社製 X 線回折装置 D8 ADVANCE を用い、Out-of-Plane 法で測定した。

【0249】

XRD 分析を行った試料として、試料 A および試料 B を用意した。以下に試料 A および試料 B の作製方法を説明する。

【0250】

脱水素化処理済みの石英基板上に In-Sn-Zn-O 膜を 100 nm の厚さで成膜した。20

【0251】

In-Sn-Zn-O 膜は、スパッタリング装置を用い、酸素雰囲気で電力を 100 W (DC) として成膜した。ターゲットは、 $\text{In : Sn : Zn} = 1 : 1 : 1$ [原子数比] の In-Sn-Zn-O ターゲットを用いた。なお、成膜時の基板加熱温度は 200 とした。このようにして作製した試料を試料 A とした。

【0252】

次に、試料 A と同様の方法で作製した試料に対し加熱処理を 650 の温度で行った。加熱処理は、はじめに窒素雰囲気で 1 時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに 1 時間の加熱処理を行っている。このようにして作製した試料を試料 B とした。30

【0253】

図 25 に試料 A および試料 B の XRD スペクトルを示す。試料 A では、結晶由来のピークが観測されなかったが、試料 B では、2 が 35 deg 近傍および 37 deg ~ 38 deg に結晶由来のピークが観測された。

【0254】

このように、 In 、 Sn 、 Zn を主成分とする酸化物半導体は成膜時に意図的に加熱すること及び / 又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0255】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を $1 \text{aA} / \mu\text{m}$ 以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅 $1 \mu\text{m}$ あたりの電流値を示す。40

【0256】

図 26 に、トランジスタのオフ電流と測定時の基板温度(絶対温度)の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に 1000 を掛けた数値 ($1000 / T$) を横軸としている。

【0257】

具体的には、図26に示すように、基板温度が125の場合には $1\text{ aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{ A}/\mu\text{m}$)以下、85の場合には $100\text{ zA}/\mu\text{m}$ ($1 \times 10^{-19}\text{ A}/\mu\text{m}$)以下、室温(27)の場合には $1\text{ zA}/\mu\text{m}$ ($1 \times 10^{-21}\text{ A}/\mu\text{m}$)以下にすることができる。好ましくは、125において $0.1\text{ aA}/\mu\text{m}$ ($1 \times 10^{-19}\text{ A}/\mu\text{m}$)以下に、85において $10\text{ zA}/\mu\text{m}$ ($1 \times 10^{-20}\text{ A}/\mu\text{m}$)以下に、室温において $0.1\text{ zA}/\mu\text{m}$ ($1 \times 10^{-22}\text{ A}/\mu\text{m}$)以下にすることができる。

【0258】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点-70以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。 In 、 Sn 、 Zn を主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、 In 、 Ga 、 Zn を主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0259】

また、酸化物半導体膜成膜後に650の加熱処理を行った試料のトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0260】

測定に用いたトランジスタは、チャネル長 L が $3\mu\text{m}$ 、チャネル幅 W が $10\mu\text{m}$ 、 L_{ov} が $0\mu\text{m}$ 、 dW が $0\mu\text{m}$ である。なお、 V_{ds} は 10 V とした。なお、基板温度は-40、-25、25、75、125および150で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畠する幅を L_{ov} と呼び、酸化物半導体膜に対する一対の電極のはみ出しを dW と呼ぶ。

【0261】

図23に、 I_{ds} (実線)および電界効果移動度(点線)の V_{gs} 依存性を示す。また、図24(A)に基板温度としきい値電圧の関係を、図24(B)に基板温度と電界効果移動度の関係を示す。

【0262】

図24(A)より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は-40~150で $1.09\text{ V} \sim -0.23\text{ V}$ であった。

【0263】

また、図24(B)より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は-40~150で $36\text{ cm}^2/\text{Vs} \sim 32\text{ cm}^2/\text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0264】

上記のような In 、 Sn 、 Zn を主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1\text{ aA}/\mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30\text{ cm}^2/\text{Vsec}$ 以上、好ましくは $40\text{ cm}^2/\text{Vsec}$ 以上、より好ましくは $60\text{ cm}^2/\text{Vsec}$ 以上とし、 $L/W = 33\text{ nm}/40\text{ nm}$ のFETで、ゲート電圧 2.7 V 、ドレイン電圧 1.0 V のとき $12\mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、 Si 半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

【0265】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【実施例1】

【0266】

本実施例では、In - Sn - Zn - O膜を酸化物半導体膜に用いたトランジスタの一例について、図27などを用いて説明する。

【0267】

図27は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図27(A)にトランジスタの上面図を示す。また、図27(B)に図27(A)の一点鎖線A1-A2に対応する断面A1-A2を示す。

【0268】

図27(B)に示すトランジスタは、基板1101と、基板1101上に設けられた下地絶縁層1102と、下地絶縁層1102の周辺に設けられた保護絶縁膜1104と、下地絶縁層1102および保護絶縁膜1104上に設けられた高抵抗領域1106aおよび低抵抗領域1106bを有する酸化物半導体膜1106と、酸化物半導体膜1106上に設けられたゲート絶縁膜1108と、ゲート絶縁膜1108を介して酸化物半導体膜1106と重畠して設けられたゲート電極1110と、ゲート電極1110の側面と接して設けられた側壁絶縁膜1112と、少なくとも低抵抗領域1106bと接して設けられた一対の電極1114と、少なくとも酸化物半導体膜1106、ゲート電極1110および一対の電極1114を覆って設けられた層間絶縁膜1116と、層間絶縁膜1116に設けられた開口部を介して少なくとも一対の電極1114の一方と接続して設けられた配線1118と、を有する。
10

【0269】

なお、図示しないが、層間絶縁膜1116および配線1118を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜1116の表面伝導に起因して生じる微小リーキ電流を低減することができ、トランジスタのオフ電流を低減することができる。
20

【0270】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

【実施例2】

【0271】

本実施例では、上記とは異なるIn - Sn - Zn - O膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。

【0272】

図28は、本実施例で作製したトランジスタの構造を示す上面図および断面図である。図28(A)はトランジスタの上面図である。また、図28(B)は図28(A)の一点鎖線B1-B2に対応する断面B1-B2を示す。
30

【0273】

図28(B)に示すトランジスタは、基板1600と、基板1600上に設けられた下地絶縁層1602と、下地絶縁層1602上に設けられた酸化物半導体膜1606と、酸化物半導体膜1606と接する一対の電極1614と、酸化物半導体膜1606および一対の電極1614上に設けられたゲート絶縁膜1608と、ゲート絶縁膜1608を介して酸化物半導体膜1606と重畠して設けられたゲート電極1610と、ゲート絶縁膜1608およびゲート電極1610を覆って設けられた層間絶縁膜1616と、層間絶縁膜1616に設けられた開口部を介して一対の電極1614と接続する配線1618と、層間絶縁膜1616および配線1618を覆って設けられた保護膜1620と、を有する。
40

【0274】

基板1600としてはガラス基板を、下地絶縁層1602としては酸化シリコン膜を、酸化物半導体膜1606としてはIn - Sn - Zn - O膜を、一対の電極1614としてはタンゲステン膜を、ゲート絶縁膜1608としては酸化シリコン膜を、ゲート電極1610としては窒化タンタル膜とタンゲステン膜との積層構造を、層間絶縁膜1616としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線1618としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜1620としてはポリイミド膜を、それぞれ用いることができる。
50

【0275】

なお、図28(A)に示す構造のトランジスタにおいて、ゲート電極1610と一対の電極1614との重畠する幅をL_{ov}と呼ぶ。同様に、酸化物半導体膜1606に対する一対の電極1614のはみ出しをd_Wと呼ぶ。

【0276】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

【実施例3】

【0277】

本実施例では、上述した記憶装置を有する半導体装置の例について説明する。当該半導体装置は、本発明の一態様に係る記憶装置を用いることで、信頼性を高め、小型化を実現することが可能である。10 特に携帯用の半導体装置の場合、本発明の一態様に係る記憶装置を用いることで小型化が実現されれば、使用者の使い勝手が向上するというメリットが得られる。

【0278】

本発明の一態様に係る記憶装置は、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る記憶装置を用いることができる半導体装置として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら半導体装置の具体例を図11に示す。

【0279】

図11(A)は携帯型ゲーム機であり、筐体7031、筐体7032、表示部7033、表示部7034、マイクロホン7035、スピーカー7036、操作キー7037、スタイルス7038等を有する。本発明の一態様に係る記憶装置は、携帯型ゲーム機の駆動を制御するための集積回路に用いることができる。携帯型ゲーム機の駆動を制御するための集積回路に本発明の一態様に係る記憶装置を用いることで、信頼性が高い携帯型ゲーム機、コンパクトな携帯型ゲーム機を提供することができる。なお、図11(A)に示した携帯型ゲーム機は、2つの表示部7033と表示部7034とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0280】

図11(B)は携帯電話であり、筐体7041、表示部7042、音声入力部7043、音声出力部7044、操作キー7045、受光部7046等を有する。受光部7046において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る記憶装置は、携帯電話の駆動を制御するための集積回路に用いることができる。携帯電話の駆動を制御するための集積回路に本発明の一態様に係る記憶装置を用いることで、信頼性が高い携帯電話、コンパクトな携帯電話を提供することができる。

【0281】

図11(C)は携帯情報端末であり、筐体7051、表示部7052、操作キー7053等を有する。図11(C)に示す携帯情報端末は、モジュールが筐体7051に内蔵されても良い。本発明の一態様に係る記憶装置は、携帯情報端末の駆動を制御するための集積回路に用いることができる。携帯情報端末の駆動を制御するための集積回路に本発明の一態様に係る記憶装置を用いることで、信頼性が高い携帯情報端末、コンパクトな携帯情報端末を提供することができる。

【符号の説明】

【0282】

100 半導体基板

101 ワード線駆動回路

10

20

30

40

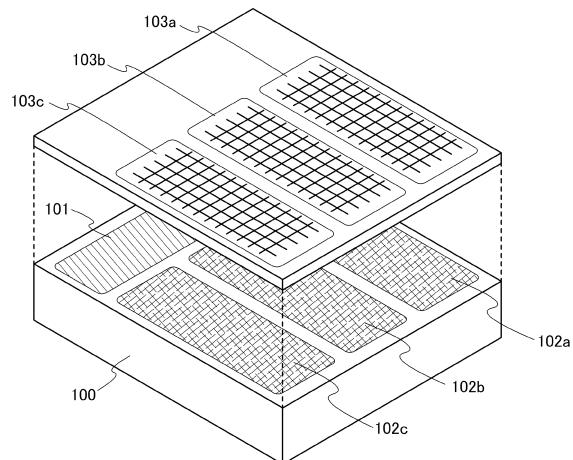
50

1 0 2 a	第1ビット線駆動回路	
1 0 2 b	第2ビット線駆動回路	
1 0 2 c	第3ビット線駆動回路	
1 0 3 a	第1セルアレイ	
1 0 3 b	第2セルアレイ	
1 0 3 c	第3セルアレイ	
1 0 4 a	第1ワード線	
1 0 4 b	第2ワード線	
1 0 4 c	第3ワード線	
1 0 5 a	第1ビット線	10
1 0 5 b	第2ビット線	
1 0 5 c	第3ビット線	
1 0 6 a	第1メモリセル	
1 0 6 b	第2メモリセル	
1 0 6 c	第3メモリセル	
1 0 7 a	トランジスタ	
1 0 7 b	トランジスタ	
1 0 7 c	トランジスタ	
1 0 8 a	容量素子	
1 0 8 b	容量素子	20
1 0 8 c	容量素子	
1 1 0	制御回路	
1 2 0	駆動回路	
2 0 1	セルアレイ	
2 1 0	駆動回路	
2 6 0	トランジスタ	
2 6 2	オペアンプ	
3 1 2	トランジスタ	
3 1 4	容量素子	
3 2 2	トランジスタ	30
3 2 4	容量素子	
3 3 2	トランジスタ	
3 3 4	容量素子	
3 4 2	トランジスタ	
3 4 4	容量素子	
3 5 2	トランジスタ	
3 5 4	容量素子	
3 6 2	トランジスタ	
3 6 4	容量素子	
4 0 1	C P U	40
4 0 2	メインメモリ	
4 0 3	クロックコントローラ	
4 0 4	キャッシュコントローラ	
4 0 5	シリアルインターフェース	
4 0 6	I / Oポート	
4 0 7	端子	
4 0 8	インターフェース	
4 0 9	キャッシュメモリ	
5 5 0	R F タグ	
5 5 1	アンテナ回路	50

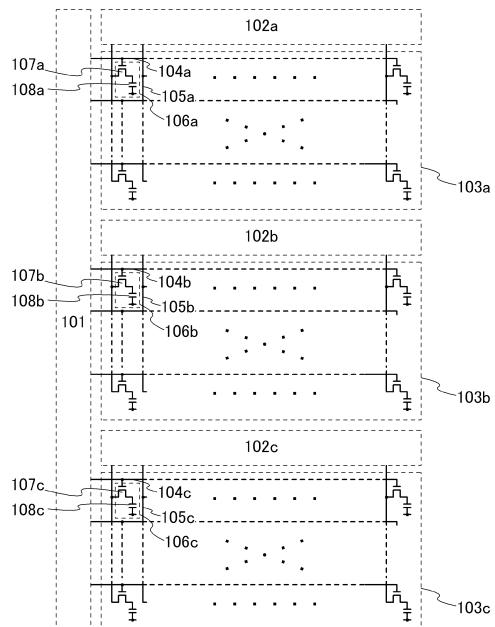
5 5 2	集積回路	
5 5 3	電源回路	
5 5 4	復調回路	
5 5 5	変調回路	
5 5 6	レギュレータ	
5 5 7	演算回路	
5 5 8	記憶装置	
5 5 9	昇圧回路	
6 0 0	基板	
6 0 6	素子分離絶縁層	10
6 0 8	ゲート絶縁膜	
6 1 0	ゲート電極	
6 1 6	チャネル形成領域	
6 2 0	不純物領域	
6 2 4	金属化合物領域	
6 2 6	電極	
6 2 8	絶縁膜	
6 3 0 a	ソース電極またはドレイン電極	
6 3 0 b	ソース電極またはドレイン電極	
6 3 6 a	電極	20
6 3 6 b	電極	
6 3 6 c	電極	
6 4 0	絶縁膜	
6 4 2 a	ソース電極またはドレイン電極	
6 4 2 b	ソース電極またはドレイン電極	
6 4 2 c	電極	
6 4 3 a	酸化物導電膜	
6 4 3 b	酸化物導電膜	
6 4 4	酸化物半導体膜	
6 4 6	ゲート絶縁膜	30
6 4 8 a	ゲート電極	
6 4 8 b	導電膜	
6 5 0	絶縁膜	
6 5 2	絶縁膜	
6 5 4 a	電極	
6 5 4 b	電極	
6 5 6	配線	
6 5 9	導電膜	
6 6 0	トランジスタ	
6 6 2	トランジスタ	40
6 6 4	容量素子	
6 7 0	メモリセル	
8 1 0	書き込み回路	
8 1 1	読み出し回路	
8 1 2	デコーダ	
8 1 3	レベルシフタ	
8 1 4	セレクタ	
8 1 5	デコーダ	
8 1 6	レベルシフタ	
8 1 7	バッファ	50

1 1 0 1	基板	
1 1 0 2	下地絶縁層	
1 1 0 4	保護絶縁膜	
1 1 0 6 a	高抵抗領域	
1 1 0 6 b	低抵抗領域	
1 1 0 6	酸化物半導体膜	
1 1 0 8	ゲート絶縁膜	
1 1 1 0	ゲート電極	
1 1 1 2	側壁絶縁膜	
1 1 1 4	一対の電極	10
1 1 1 6	層間絶縁膜	
1 1 1 8	配線	
1 6 0 0	基板	
1 6 0 2	下地絶縁層	
1 6 0 6	酸化物半導体膜	
1 6 0 8	ゲート絶縁膜	
1 6 1 0	ゲート電極	
1 6 1 4	一対の電極	
1 6 1 6	層間絶縁膜	
1 6 1 8	配線	20
1 6 2 0	保護膜	
7 0 3 1	筐体	
7 0 3 2	筐体	
7 0 3 3	表示部	
7 0 3 4	表示部	
7 0 3 5	マイクロホン	
7 0 3 6	スピーカー	
7 0 3 7	操作キー	
7 0 3 8	スタイラス	
7 0 4 1	筐体	30
7 0 4 2	表示部	
7 0 4 3	音声入力部	
7 0 4 4	音声出力部	
7 0 4 5	操作キー	
7 0 4 6	受光部	
7 0 5 1	筐体	
7 0 5 2	表示部	
7 0 5 3	操作キー	
8 1 0 1	下地絶縁層	
8 1 0 2	埋め込み絶縁層	40
8 1 0 3 a	半導体領域	
8 1 0 3 b	半導体領域	
8 1 0 3 c	半導体領域	
8 1 0 4	ゲート絶縁膜	
8 1 0 5	ゲート	
8 1 0 6 a	側壁絶縁物	
8 1 0 6 b	側壁絶縁物	
8 1 0 7	絶縁物	
8 1 0 8 a	ソース	
8 1 0 8 b	ドレイン	50

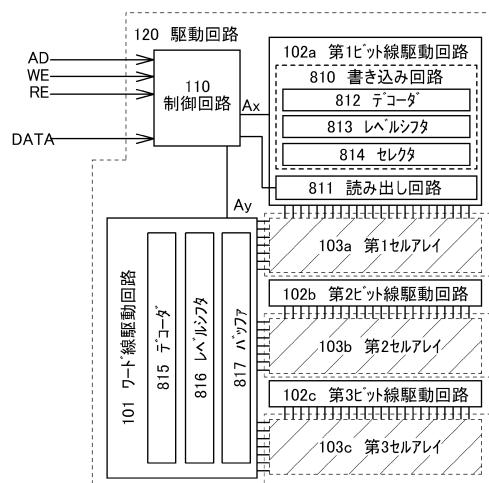
【図1】



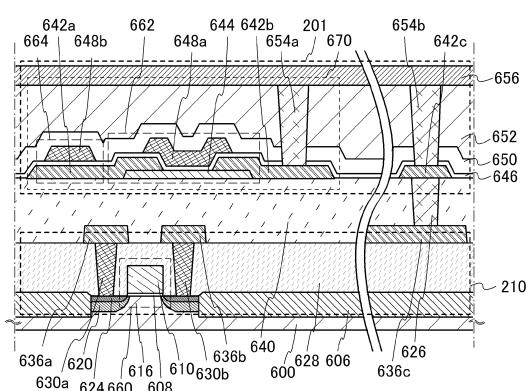
【図2】



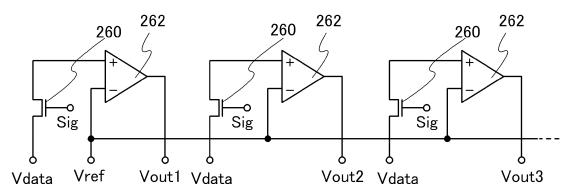
【図3】



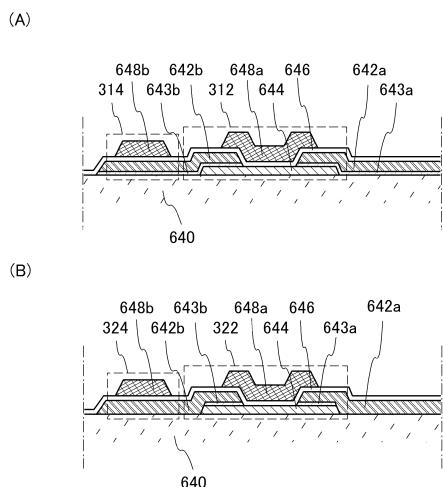
【図5】



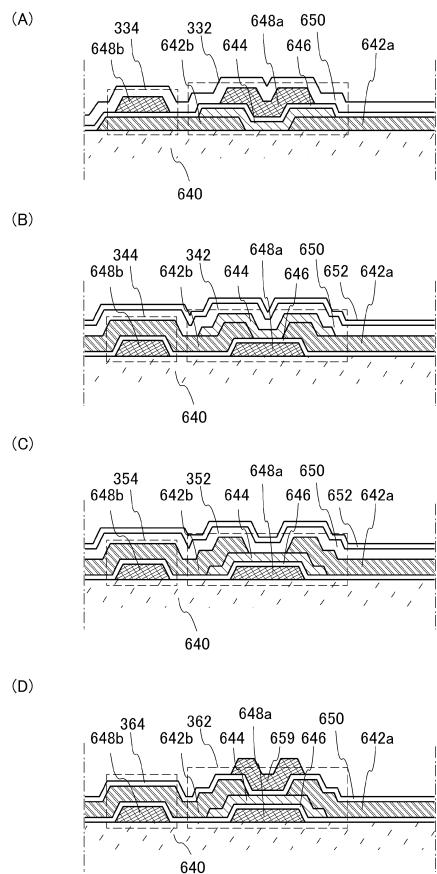
【図4】



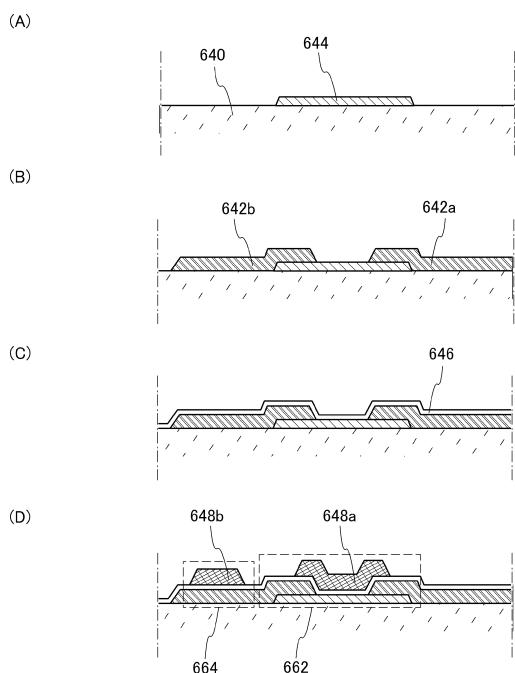
【図6】



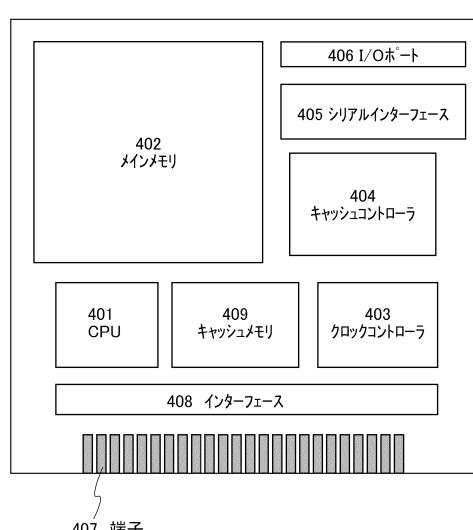
【図7】



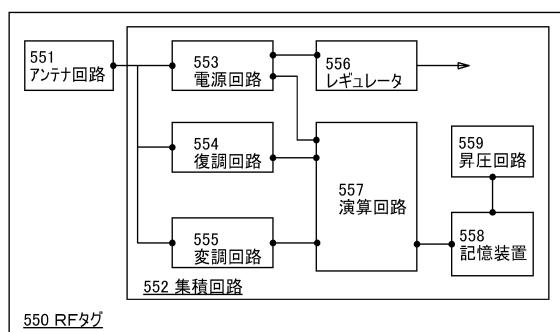
【図8】



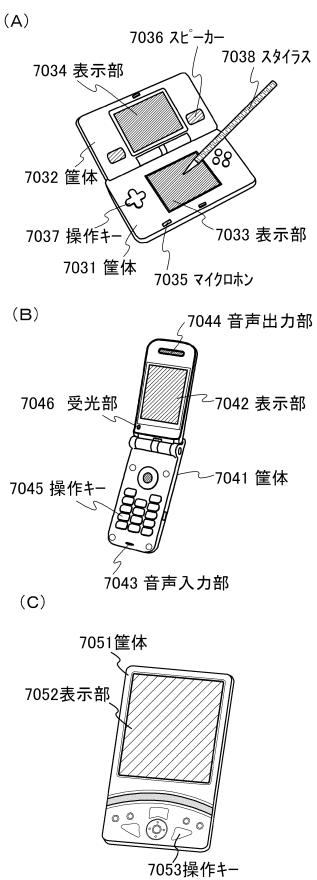
【図9】



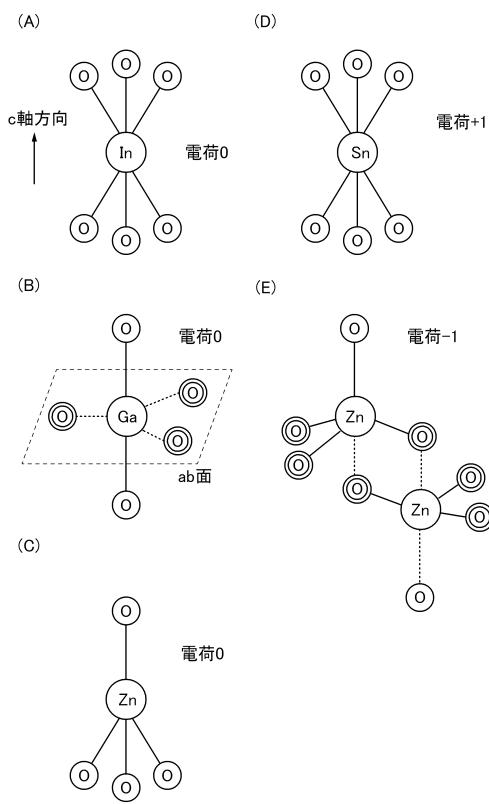
【図 1 0】



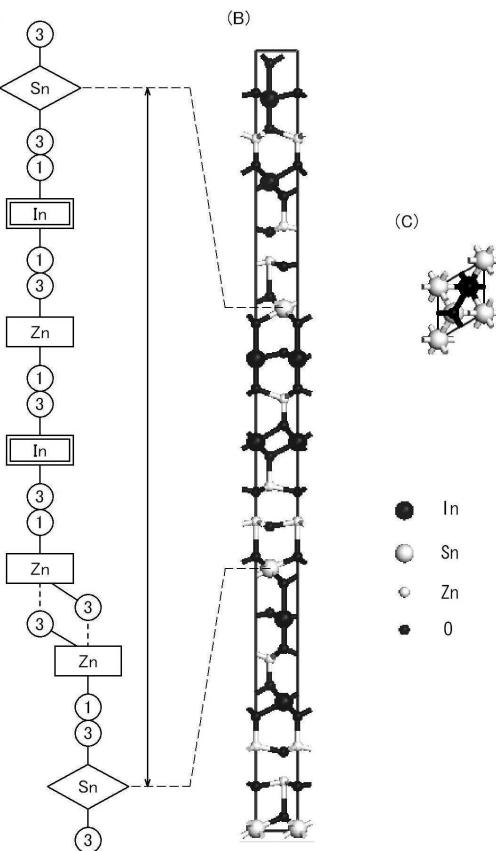
【図 1 1】



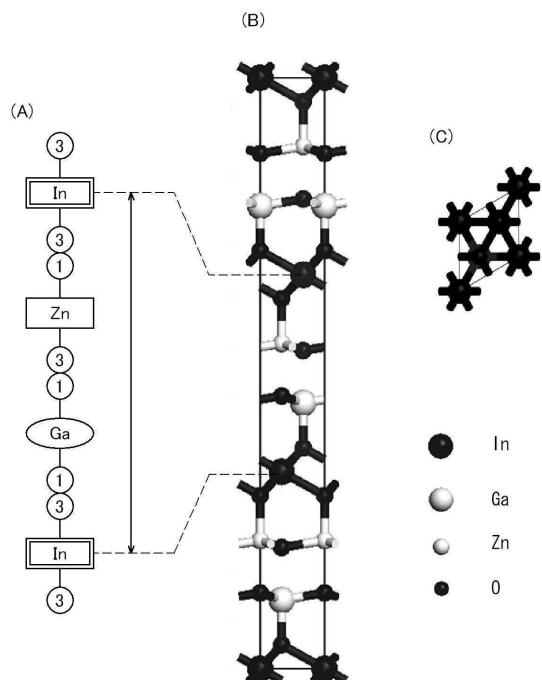
【図 1 2】



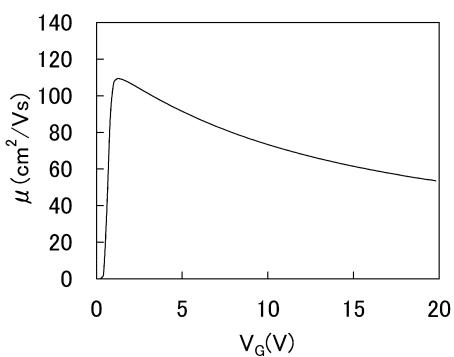
【図 1 3】



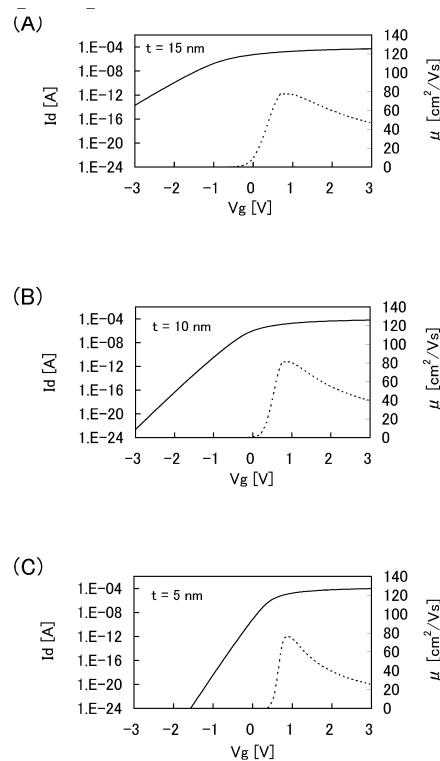
【図14】



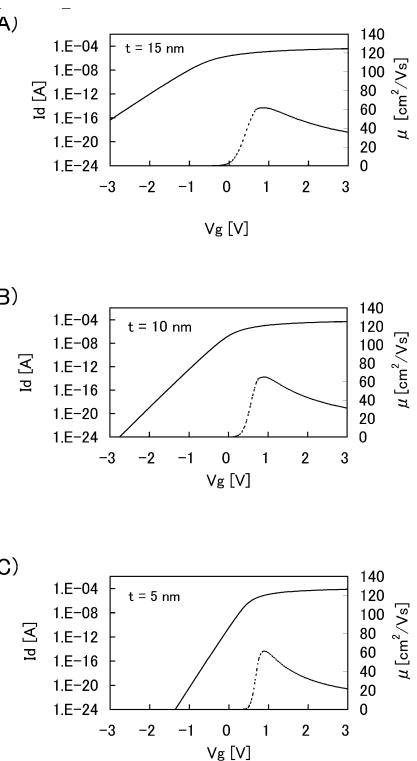
【図15】



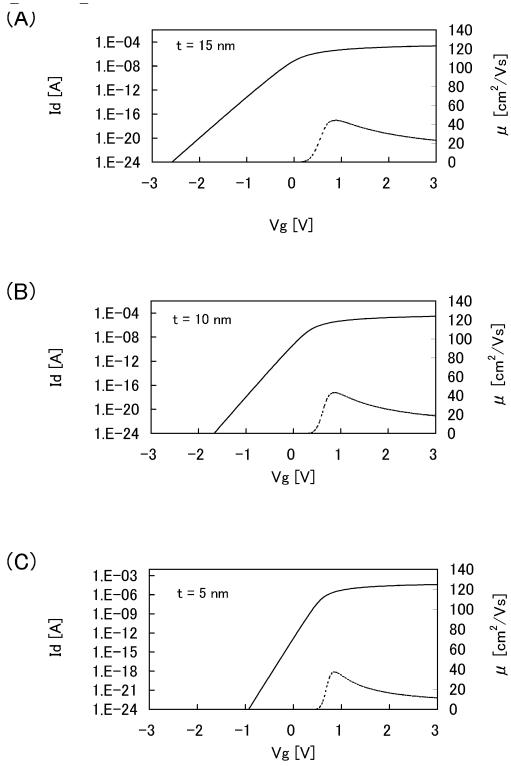
【図16】



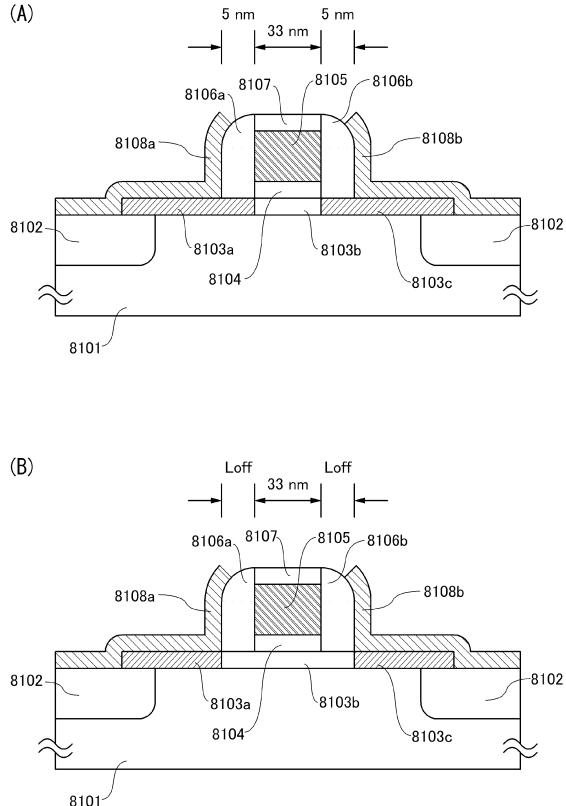
【図17】



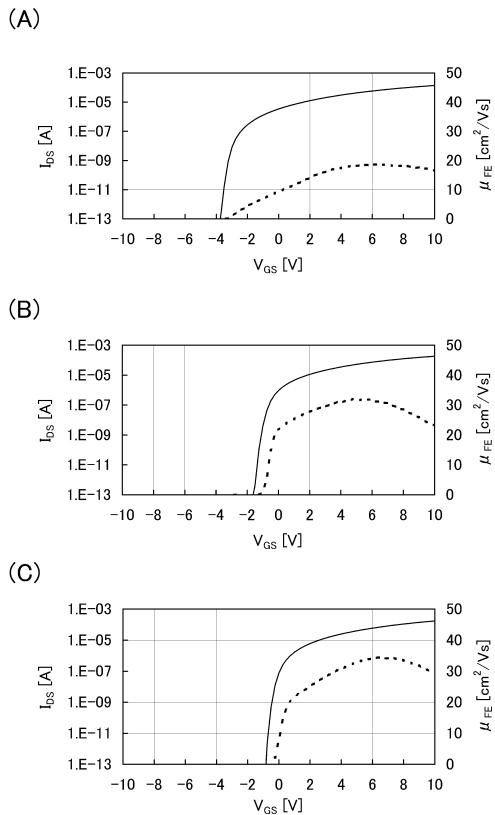
【図 1 8】



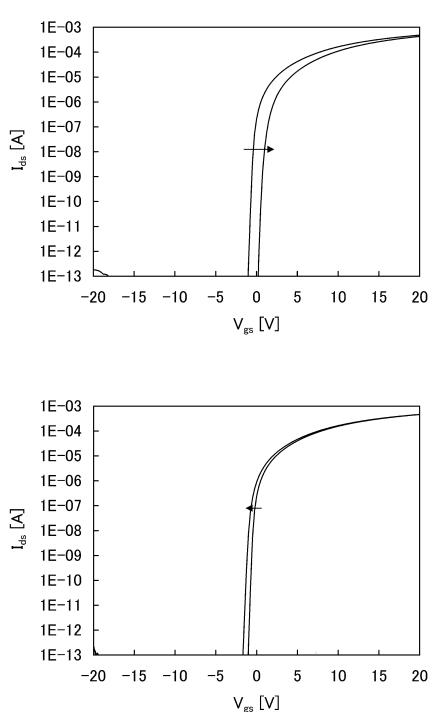
【図 1 9】



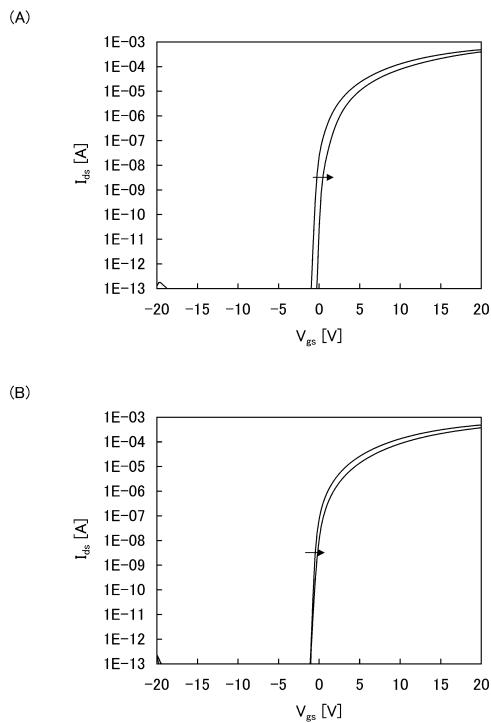
【図 2 0】



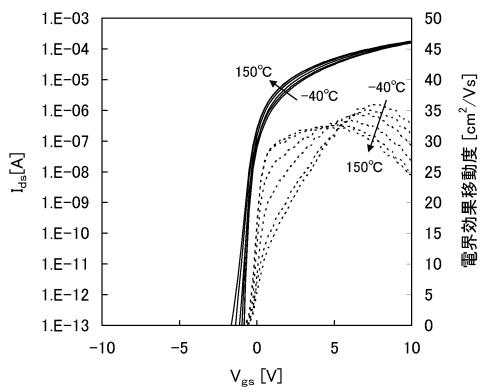
【図 2 1】



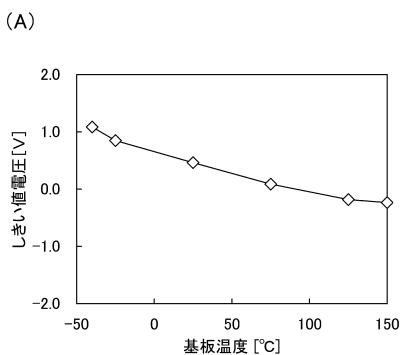
【図2-2】



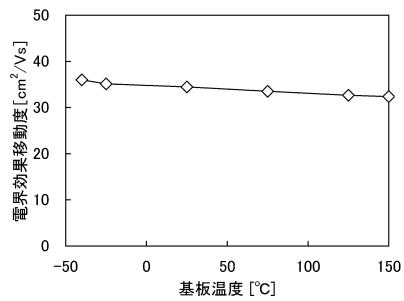
【図2-3】



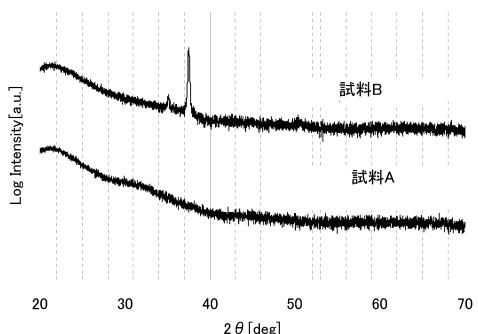
【図2-4】



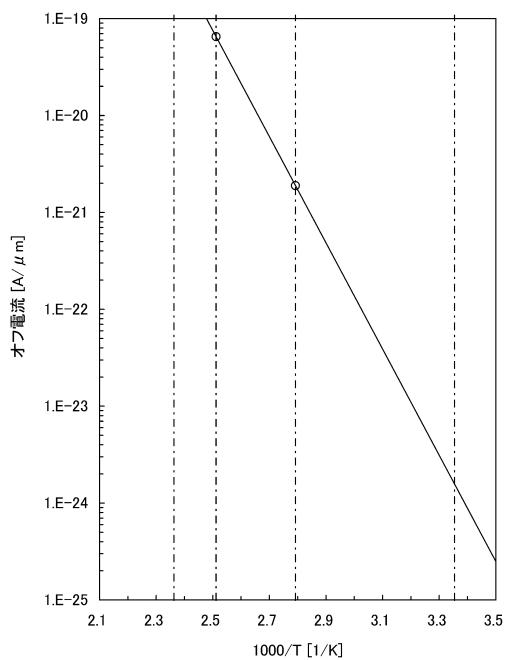
(B)



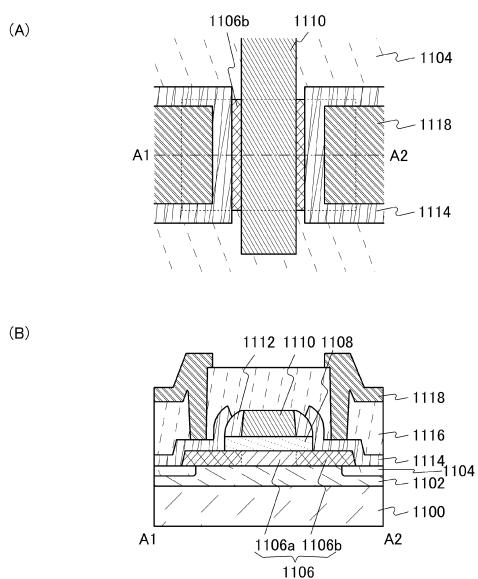
【図2-5】



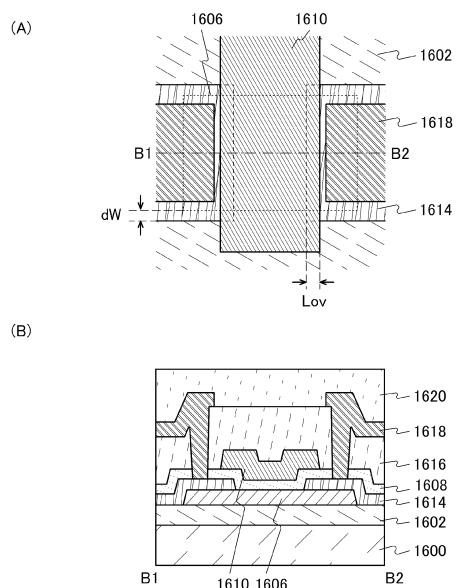
【図26】



【図27】



【図28】



フロントページの続き

(56)参考文献 特表2006-514440(JP,A)
特開2010-020863(JP,A)
特開2002-319682(JP,A)
特開2008-276188(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242
H01L 27/10
H01L 27/108
H01L 27/1156