



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I728552 B

(45)公告日：中華民國 110 (2021) 年 05 月 21 日

(21)申請案號：108141377

(22)申請日：中華民國 108 (2019) 年 11 月 14 日

(51)Int. Cl.： **H01L27/11551** (2017.01)

(30)優先權：2019/09/29 世界智慧財產權組織 PCT/CN2019/108895

(71)申請人：大陸商長江存儲科技有限責任公司 (中國大陸) YANGTZE MEMORY
TECHNOLOGIES CO., LTD. (CN)

中國大陸

(72)發明人：朱 宏斌 ZHU, HONGBIN (US)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

TW 200834892A

TW 201304076A

TW 201742234A

TW 201838154A

WO 2005/062378A1

審查人員：陳融詳

申請專利範圍項數：20 項 圖式數：15 共 91 頁

(54)名稱

三維記憶體元件及其形成方法

(57)摘要

公開了三維(3D)記憶體元件及其形成方法的實施例。3D 記憶體元件包括基底、基底上方的具有雙面階梯形的閘極、閘極上的阻隔層、在阻隔層上各自橫向延伸的多個分立的電荷捕捉層、多個電荷捕捉層上的穿隧層、以及在穿隧層上各自橫向延伸的多個分立的通道層。多個電荷捕捉層分別對應於閘極的雙面階梯形的階梯設置。多個通道層分別對應於雙面階梯形的階梯設置。

Embodiments of a three-dimensional (3D) memory device and a method of forming the same are disclosed. The 3D memory device includes a substrate, a gate having a double-sided stepped shape over the substrate, a barrier layer on the gate, a plurality of discreted charge trapping layers each extending laterally on the barrier layer, and a tunneling layer on the plurality of charge trapping layers, and a plurality of discreted channel layers extending laterally on the tunneling layer. The plurality of charge trapping layers respectively disposed corresponding to the double-sided step-shaped steps of the gate. The plurality of channel layers respectively disposed corresponding to the double-sided step-shaped steps.

指定代表圖：

I728552

TW I728552 B

326c:通道層

x、z:方向



I728552

【發明摘要】

【中文發明名稱】 三維記憶體元件及其形成方法

【英文發明名稱】 3D MEMORY DEVICE AND METHOD OF FORMING THE SAME

【中文】

公開了三維（3D）記憶體元件及其形成方法的實施例。3D記憶體元件包括基底、基底上方的具有雙面階梯形的閘極、閘極上的阻隔層、在阻隔層上各自橫向延伸的多個分立的電荷捕捉層、多個電荷捕捉層上的穿隧層、以及在穿隧層上各自橫向延伸的多個分立的通道層。多個電荷捕捉層分別對應於閘極的雙面階梯形的階梯設置。多個通道層分別對應於雙面階梯形的階梯設置。

【英文】

Embodiments of a three-dimensional (3D) memory device and a method of forming the same are disclosed. The 3D memory device includes a substrate, a gate having a double-sided stepped shape over the substrate, a barrier layer on the gate, a plurality of discreted charge trapping layers each extending laterally on the barrier layer, and a tunneling layer on the plurality of charge trapping layers, and a plurality of discreted channel layers extending laterally on the tunneling layer. The plurality of charge trapping layers respectively disposed corresponding to the double-sided step-shaped steps of the gate. The plurality of channel layers respectively disposed corresponding to the double-sided step-shaped steps.

【指定代表圖】第（ 3 ）圖。

【代表圖之符號簡單說明】

- 300 . . . 3D記憶體元件
- 301 . . . 層級
- 301a . . . 頂部記憶體單元
- 302 . . . 基底
- 303 . . . 層級
- 304 . . . 閘極
- 303b . . . 右側記憶體單元
- 303c . . . 左側記憶體單元
- 305 . . . 層級
- 305b . . . 右側記憶體單元
- 305c . . . 左側記憶體單元
- 306 . . . 阻隔層
- 307 . . . 層級
- 307b . . . 右側記憶體單元
- 307c . . . 左側記憶體單元
- 308a . . . 電荷捕捉層
- 309 . . . 層級
- 309b . . . 右側記憶體單元
- 309c . . . 左側記憶體單元
- 310b . . . 電荷捕捉層
- 310c . . . 電荷捕捉層
- 312b . . . 電荷捕捉層

- 312c . . . 電荷捕捉層
- 314b . . . 電荷捕捉層
- 314c . . . 電荷捕捉層
- 316b . . . 電荷捕捉層
- 316c . . . 電荷捕捉層
- 317 . . . 穿隧層
- 318a . . . 通道層
- 320b . . . 通道層
- 320c . . . 通道層
- 322b . . . 通道層
- 322c . . . 通道層
- 324b . . . 通道層
- 324c . . . 通道層
- 326b . . . 通道層
- 326c . . . 通道層
- x、z . . . 方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 三維記憶體元件及其形成方法

【英文發明名稱】3D MEMORY DEVICE AND METHOD OF FORMING THE SAME

【技術領域】

【0001】 本發明的實施例涉及三維（3D）記憶體元件及其製造方法。

【先前技術】

【0002】 通過改進製程技術、電路設計、程式設計演算法和製造方法，將平面記憶體單元縮放到更小的尺寸。然而，隨著記憶體單元的特徵尺寸接近下限，平面製程和製造技術變得具有挑戰性且成本昂貴。因此，平面記憶體單元的儲存密度接近上限。

【0003】 3D記憶體架構可以解決平面記憶體單元中的密度限制。3D記憶體架構包括記憶體陣列和用於控制進出記憶體陣列的訊號的週邊元件。

【發明內容】

【0004】 本發明公開了3D記憶體元件及其製造方法的實施例。

【0005】 在一個示例中，一種3D記憶體元件包括基底、基底上方的具有雙面階梯形的閘極、閘極上的阻隔層、在阻隔層上各自橫向延伸的多個分立的電荷捕捉層、多個電荷捕捉層上的穿隧層、以及各自在穿隧層上橫向延伸的多個分立的通道層。多個電荷捕捉層分別對應於閘極的雙面階梯形的階梯設置。多個通道層分別對應於所述雙面階梯形的階梯設置。

【0006】 在另一個示例中，一種3D記憶體元件包括基底、基底上方的具有雙

面階梯形的閘極、閘極上的阻隔層、在阻隔層上各自橫向延伸的多個分立的電荷捕捉層、多個電荷捕捉層上的穿隧層、以及穿隧層上的通道層。多個電荷捕捉層分別對應於閘極的雙面階梯形的階梯設置。

【0007】 在又一個示例中，公開了一種用於形成3D記憶體元件的方法。在基底上方形成具有雙面階梯形的閘極。在閘極上形成連續的阻隔層。在阻隔層上形成連續的電荷捕捉層。電荷捕捉層的橫向延伸的第一部分的第一厚度大於電荷捕捉層的豎直延伸的第二部分的第二厚度。去除電荷捕捉層的豎直延伸的第二部分，以從電荷捕捉層的橫向延伸的第一部分形成設置在阻隔層上的多個分立的電荷捕捉層。多個分立的電荷捕捉層分別對應於閘極的雙面階梯形的階梯設置。在多個電荷捕捉層上形成連續的穿隧層。在穿隧層上形成連續的通道層。

【圖式簡單說明】

【0008】

併入本文中並形成說明書的一部分的圖式繪示出了本發明的實施例，並且與文字描述一起進一步用於解釋本發明的原理並且使相關領域的通常知識者能夠實現和利用本發明。

第1圖繪示出了根據本發明的一些實施例的具有單個記憶體堆疊（memory deck）的示例性3D記憶體元件的剖面圖。

第2圖繪示出了根據本發明的一些實施例的具有單個記憶體堆疊的另一示例性3D記憶體元件的剖面圖。

第3圖繪示出了根據本發明的一些實施例的具有單個記憶體堆疊的又一示例性3D記憶體元件的剖面圖。

第4圖繪示出了根據本發明的一些實施例的具有單個記憶體堆疊的再一示例性3D記憶體元件的剖面圖。

第5A圖繪示出了根據本發明的一些實施例的具有多個記憶體堆疊的示例性3D記憶體元件的剖面圖。

第5B圖繪示出了根據本發明的一些實施例的具有多個記憶體堆疊的另一示例性3D記憶體元件的剖面圖。

第6A圖繪示出了根據本發明的一些實施例的具有多個記憶體堆疊的又一示例性3D記憶體元件的剖面圖。

第6B圖繪示出了根據本發明的一些實施例的具有多個記憶體堆疊的再一示例性3D記憶體元件的剖面圖。

第7圖繪示出了根據本發明的一些實施例的具有多條閘極線的示例性3D記憶體元件的平面圖。

第8A圖至第8H圖繪示出了根據本發明的一些實施例的用於形成具有單個記憶體堆疊的3D記憶體元件的示例性製造過程。

第9A圖至第9G圖繪示出了根據本發明的一些實施例的用於形成具有單個記憶體堆疊的另一3D記憶體元件的示例性製造過程。

第10A圖和第10B圖繪示出了根據本發明的一些實施例的用於形成具有多個記憶體堆疊的3D記憶體元件的示例性製造過程。

第11A圖至第11D圖繪示出了根據本發明的一些實施例的用於形成具有多個記憶體堆疊的另一3D記憶體元件的示例性製造過程。

第12圖是根據一些實施例的用於形成具有單個記憶體堆疊的3D記憶體元件的示例性方法的流程圖。

第13圖是根據一些實施例的用於形成具有單個記憶體堆疊的3D記憶體元件的另一示例性方法的流程圖。

第14圖是根據一些實施例的用於形成具有多個記憶體堆疊的3D記憶體元件的示例性方法的流程圖。

第15圖是根據一些實施例的用於形成具有多個記憶體堆疊的3D記憶體元件的另一示例性方法的流程圖。

將參考圖式描述本發明的實施例。

【實施方式】

【0009】 儘管討論了具體的配置和佈置，但應該理解，這僅僅是為了說明的目的而進行的。相關領域的通常知識者將認識到，在不脫離本發明的精神和範圍的情況下，可以使用其它配置和佈置。對於相關領域的通常知識者而言顯而易見的是，本發明還可以用於各種其它應用中。

【0010】 應注意到，在說明書中對“一個實施例”、“實施例”、“示例性實施例”、“一些實施例”等的引用指示所描述的實施例可以包括特定的特徵、結構或特性，但是每個實施例可能不一定包括該特定的特徵、結構或特性。而且，這樣的短語不一定指代相同的實施例。此外，當結合實施例描述特定的特徵、結構或特性時，無論是否明確描述，結合其它實施例來實現這樣的特徵、結構或特性都在相關領域的通常知識者的知識範圍內。

【0011】 通常，可以至少部分地從上下文中的用法理解術語。例如，如在本文中所使用的術語“一個或多個”至少部分取決於上下文，可以用於以單數意義描述任何特徵、結構或特性，或可以用於以複數意義描述特徵、結構或特徵的組合。類似地，至少部分取決於上下文，諸如“一”、“某一”或“該”的術語同樣可以被理解為表達單數用法或表達複數用法。另外，術語“基於”可以被理解為不一定旨在表達一組排他性的因素，而是可以替代地，同樣至少部分地取決於上下文，允許存在不一定明確描述的其它因素。

【0012】 應當容易理解的是，本發明中的“在...上”、“在...上方”和“在...之上”的含義應以最寬泛的方式來解釋，從而“在.....上”不僅意味著“直接在

某物上”，而且還包括其間具有中間特徵或層的“在某物上”的含義，並且“在.....上方”或“在.....之上”不僅意味著“在某物上方”或“在某物之上”的含義，而且還可以包括其間沒有中間特徵或層的“在某物上方”或“在某物之上”的含義（即，直接在某物上）。

【0013】 此外，為了便於描述，可以在本文中使用諸如“在...之下”、“在...下方”、“下”、“在...上方”、“上”等的空間相對術語來描述如圖式所示的一個元件或特徵與另一個（另一些）元件或特徵的關係。除了圖式中所示的方向之外，空間相對術語旨在涵蓋元件在使用或操作中的不同方向。裝置可以以其它方式定向（旋轉90度或在其它方向）並且同樣可以相應地解釋本文中使用的空間相關描述詞。

【0014】 如在本文中所使用的，術語“基底”是指在其上添加後續材料層的材料。基底本身可以被圖案化。添加在基底的頂部上的材料可以被圖案化或可以保持未被圖案化。此外，基底可以包括多種半導體材料，例如矽、鍺、砷化鎵、磷化銦等。或者，基底可以由非導電材料製成，例如玻璃、塑膠或藍寶石晶圓。

【0015】 如在本文中所使用的，術語“層”是指包括具有厚度的區域的材料部分。層可以在整個下層或上層結構上延伸，或者可以具有小於下層或上層結構範圍的範圍。此外，層可以是厚度小於連續結構的厚度的均勻或不均勻連續結構的區域。例如，層可以位於連續結構的頂表面和底表面之間或其處的任何一對水準平面之間。層可以水準地、豎直地和/或沿著錐形表面延伸。基底可以是層，其中可以包括一層或多層，和/或可以在其上、其上方和/或其下方具有一層或多層。層可以包括多個層。例如，互連層可以包括一個或多個導體和接點層（其中形成有互連線和/或過孔接點）以及一個或多個介電層。

【0016】 如在本文中所使用的，術語“標稱/標稱地”是指在產品或製程的設

計階段期間設定的元件或製程操作的特性或參數的期望值或目標值，以及高於和/或低於期望值的值的範圍。值的範圍可以是由於製造方法或公差的輕微變化而引起的。如在本文中所使用的，術語“約”表示可以基於與所涉及的半導體元件相關聯的特定技術節點而變化的給定量的值。基於特定的技術節點，術語“約”可以表示給定量的值，該給定量例如在該值的10-30%內變化（例如，值的 $\pm 10\%$ 、 $\pm 20\%$ 或 $\pm 30\%$ ）。

【0017】 如在本文中所使用的，術語“3D記憶體元件”是指在橫向方向的基底上具有可以豎直佈置的記憶體單元從而可以相對於基底在豎直方向上擴大記憶體單元的數量的半導體元件。如在本文中所用的，術語“豎直/豎直地”表示標稱垂直於基底的側表面。

【0018】 在一些3D NAND快閃記憶體元件中，由於電荷捕捉層（例如，氮化矽層）是同一記憶體串中多個記憶體單元共用的連續層，因此元件的性能可能由於耦合效應和電荷擴散/損耗效應而降低，這通過減小閘極到閘極介電層的厚度而限制了3D NAND快閃記憶體元件的豎直擴大。為了減輕由連續的電荷捕捉層引起的問題，在一些3D NAND快閃記憶體元件中，將連續的電荷捕捉層切斷以使其成為每個記憶體單元中的分離的電荷捕捉層。然而，由於較小的臨界尺寸，這種結構增加了製造複雜性，從而降低了產量。

【0019】 根據本發明的各種實施例提供了具有處於不同層級的分立電荷捕捉層的3D記憶體元件及其製造方法，以在不增加製造複雜性的情況下減輕電荷擴散效應。可以先在基底上方形成具有倒“T”形或雙面階梯形的閘極，然後在閘極上形成具有多個介電層的儲存膜，包括阻隔層、電荷捕捉層和穿隧層。通過利用倒“T”形或雙面階梯形閘極的頂表面上方的電荷捕捉層的不均勻厚度分佈，可以形成處於不同層級的多個分立電荷捕捉層，以在不增加製造複雜性的情況下減輕擴散效應。類似地，可以在儲存膜上形成與分立電荷捕捉層或連續

通道層相對應的多個分立通道層，以在記憶體堆疊中形成一個或多個記憶體單元。通過堆疊多個記憶體堆疊，可以進一步豎直地擴大3D記憶體元件。

【0020】 第1圖繪示出了根據本發明的一些實施例的具有單個記憶體堆疊的示例性3D記憶體元件100的剖面圖。3D記憶體元件100可以包括基底102，其可以包括矽（例如，單晶矽）、矽鍺（SiGe）、砷化鎵（GaAs）、鍺（Ge）、絕緣體上矽（SOI）或任何其他適當的材料。在一些實施例中，基底102是薄化的基底（例如，半導體層），其通過研磨、濕蝕刻/乾蝕刻、化學機械拋光（CMP）或其任何組合從正常厚度薄化。注意，在第1圖中包括x軸和z軸以進一步繪示出3D記憶體元件100中的元件的空間關係。x軸和y軸在平行於晶圓表面的x-y平面中正交（例如，如第7圖所示）。基底102包括在x-y平面中橫向（即，在橫向方向上）延伸的兩個橫向表面：晶圓正面上的頂表面，以及與晶圓正面相對的背面上的底表面。z軸垂直於x軸和y軸。如在本發明中所使用的，當基底在z方向上位於半導體元件的最低平面中時，在z方向（垂直於x-y平面的豎直方向）上相對於半導體元件的基底（例如，基底102）確定一個元件（例如，層或元件）是在半導體元件（例如，3D記憶體元件100）的另一元件（例如，層或元件）的“上面”、“上方”還是“下方”。在本發明全文中應用了用於描述空間關係的相同概念。

【0021】 3D記憶體元件100可以包括基底102上方的閘極104。在一些實施例中，在基底102（例如，矽基底）和閘極104之間形成諸如臨場蒸氣產生技術（ISSG）氧化矽的焊盤層（未繪示出）。如第1圖所示，閘極104在剖面圖中可以具有倒“T”形。在一些實施例中，倒“T”形包括兩個“肩部”和在“x”方向上橫向地位於兩個肩部之間的“頭部”。在一些實施例中，倒“T”形的兩個肩部處於同一水平面，該水平面低於倒“T”形的頭部所在的水平面。閘極104的頂表面可以包括橫向延伸的第一部分和豎直延伸的第二部分。例如，閘極104的倒“T”形的頭部和肩部的上側可以標稱平行於基底102的橫向表面，而連接閘極

104的倒“T”形的頭部和每個肩部的側壁可以標稱垂直於基底102的橫向表面。

【0022】 閘極104可以包括導電材料，包括但不限於鎢(W)、鈷(Co)、銅(Cu)、鋁(Al)、多晶矽、摻雜矽、矽化物或其任何組合。在一些實施例中，閘極104包括金屬層，例如鎢層。在一些實施例中，閘極104包括摻雜多晶矽層。可以使用任何適當的摻雜劑將多晶矽摻雜到所需的摻雜濃度，以使其成為可以用作閘極104的材料的導電材料。閘極104可以橫向（例如，在垂直於第1圖中的x軸和z軸的y方向上）延伸作為3D記憶體元件100的字元線。

【0023】 3D記憶體元件100還可以包括閘極104上的阻隔層106（也被稱為“阻隔氧化物”）。在一些實施例中，閘極介電層（未繪示出）設置在阻隔層106與閘極104之間，或者是閘極104的部分（例如，作為閘極104與阻隔層106接觸的上部）。例如，閘極介電層可以包括高介電常數（高k）介電材質，包括但不限於氧化鋁(Al_2O_3)、氧化鈺(HfO_2)、氧化鋅(ZnO_2)、氧化鉭(Ta_2O_5)等。如第1圖所示，根據一些實施例，阻隔層106是連續的並且至少沿著閘極104的頂表面設置。即，阻隔層106可以是連續層，其覆蓋閘極104的倒“T”形的頭部和肩部的上側以及連接閘極104的倒“T”形的頭部和每個肩部的側壁。在一些實施例中，阻隔層106的每一端還可以豎直延伸以覆蓋連接基底102與閘極104的倒“T”形的每個肩部的側壁，即在x方向上完全覆蓋閘極104。阻隔層106可以包括氧化矽、氮氧化矽、高k介電材質或其任何組合。在一些實施例中，阻隔層106是複合介電層，其包括多個子阻隔層，例如自下而上順序的高k介電層、第一氧化矽層、氮氧化矽層和二氧化矽層。

【0024】 3D記憶體元件100還可以包括阻隔層106上的多個電荷捕捉層108a、108b和108c（也被稱為“儲存氮化物”）。如第1圖所示，阻隔層106上的電荷捕捉層108a、108b和108c是分立的（與連續層相反），並且設置在不同的層級（即，在豎直方向上與基底102的橫向表面具有不同的距離，與在同一層級相反）。在一

些實施例中，三個分立的電荷捕捉層：第一電荷捕捉層108a橫向設置在第二電荷捕捉層108b和第三電荷捕捉層108c之間。根據一些實施例，第二電荷捕捉層108b和第三電荷捕捉層108c設置在相同層級處，其位於設置第一電荷捕捉層108a的層級下方。例如，第一電荷捕捉層108a、第二電荷捕捉層108b和第三電荷捕捉層108c中的每一個可以橫向延伸，但不豎直延伸，即，在阻隔層106的側壁處斷開。換言之，根據一些實施例，每個第一電荷捕捉層108a、第二電荷捕捉層108b或第三電荷捕捉層108c不包括沿著下面的阻隔層106的側壁豎直延伸的部分。在一些實施例中，第一電荷捕捉層108a對應於閘極104的倒“T”形的頭部設置。例如，第一電荷捕捉層108a可以在閘極104的倒“T”形的頭部的正上方或覆蓋閘極104的倒“T”形的頭部。在一些實施例中，第二電荷捕捉層108b和第三電荷捕捉層108c分別對應於閘極104的倒“T”形的兩個肩部設置。例如，第二電荷捕捉層108b和第三電荷捕捉層108c中的每一個可以在閘極104的倒“T”形的相應肩部正上方或覆蓋閘極104的倒“T”形相應肩部。

【0025】 每個電荷捕捉層108a、108b或108c可以儲存電荷，例如來自半導體通道（例如，第1圖中的通道層112a、112b和112c）的電子或電洞。電荷捕捉層108a、108b和108c中電荷的儲存或去除會影響半導體通道的導通/截止狀態和/或導電性。電荷捕捉層108a、108b和108c可以包括氮化矽、氮氧化矽、矽或其任何組合。在一些實施例中，每個電荷捕捉層108a、108b或108c是包括多個子電荷捕捉層的複合介電層，例如自下而上順序的第一氮化矽層、第一氮氧化矽層、第二氮化矽層、第二氮氧化矽層和第三氮化矽層。

【0026】 3D記憶體元件100還可以包括電荷捕捉層108a、108b和108c上的穿隧層110（也被稱為“穿隧氧化物”）。如第1圖所示，根據一些實施例，穿隧層110是連續的並且至少沿著電荷捕捉層108a、108b和108c的頂表面設置。即，穿隧層110可以是覆蓋每個電荷捕捉層108a、108b或108c的連續層。在一些實施例中，

穿隧層110的豎直延伸的部分與阻隔層106的豎直延伸的部分（例如，阻隔層106的側壁）接觸。結果，根據一些實施例，穿隧層110在x方向上完全覆蓋電荷捕捉層108a、108b和108c以及阻隔層106。電荷捕捉層108a、108b和108c可以在z方向上夾置在兩個連續層之間：穿隧層110和阻隔層106。電荷，例如來自半導體通道（例如，第1圖中的通道層112a、112b和112c）的電子或電洞，可以通過穿隧層110穿隧到電荷捕捉層108a、108b和108c。穿隧層110可以包括氧化矽、氮氧化矽或其任何組合。在一些實施例中，穿隧層110是包括多個子穿隧層的複合介電層，例如自下而上順序的第一氧化矽層、第一氮氧化矽層、第二氮氧化矽層、第三氮氧化矽層和第二氧化矽層。阻隔層106、電荷捕捉層108a、108b和108c以及穿隧層110可以被統稱為“儲存膜”。在一些實施例中，阻隔層106包括氧化矽，每個電荷捕捉層108a、108b或108c包括氮化矽，穿隧層110包括氧化矽，並且儲存膜被稱為電荷捕捉型快閃記憶體的“ONO”儲存膜。

【0027】 3D記憶體元件100還可以包括穿隧層110上的多個通道層112a、112b和112c（也被稱為“半導體通道”）。如第1圖所示，穿隧層110上的通道層112a、112b和112c是分立的（與連續層相反），並且設置在不同層級處（即，在豎直方向上與基底102的橫向表面具有不同的距離，與在同一層級相反）。在一些實施例中，三個分立的通道層：第一通道層112a橫向地設置在第二通道層112b和第三通道層112c之間。根據一些實施例，第二通道層112b和第三通道層112c設置在相同層級處，其位於設置第一通道層112a的層級下方。例如，第一通道層112a、第二通道層112b和第三通道層112c中的每一個可以橫向延伸，但是不豎直延伸，即，在穿隧層110的側壁處斷開。換言之，根據一些實施例，每個第一通道層112a、第二通道層112b和第三通道層112c不包括沿著下面的穿隧層110的側壁豎直延伸的部分。在一些實施例中，第一通道層112a對應於閘極104的倒“T”形的頭部設置。例如，第一通道層112a可以在閘極104的倒“T”形的頭部正上方或覆蓋閘極

104的倒“T”形的頭部。在一些實施例中，第二通道層112b和第三通道層112c分別對應於閘極104的倒“T”形的兩個肩部設置。例如，第二通道層112b和第三通道層112c中的每一個可以在閘極104的倒“T”形的相應肩部正上方或覆蓋閘極104的倒“T”形的相應肩部。

【0028】 在一些實施例中，每個通道層112a、112b或112c對應於相應的電荷捕捉層108a、108b或108c。例如，第一通道層112a、第二通道層112b和第三通道層112c可以分別對應於第一電荷捕捉層108a、第二電荷捕捉層108b和第三電荷捕捉層108c（例如，在其正上方或覆蓋其）。每個通道層112a、112b或112c可以穿隧通過穿隧層110向相應的第一電荷捕捉層108a、第二電荷捕捉層108b和第三電荷捕捉層108c提供電荷，例如電子或電洞。通道層112a、112b和112c可以包括矽，例如非晶矽、多晶矽或單晶矽。在一些實施例中，每個通道層112a、112b或112c包括多晶矽。

【0029】 倒“T”形閘極104與儲存膜（包括阻隔層106，電荷捕捉層108a、108b和108c以及穿隧層110）以及設置在其上的通道層112a、112b和112c的結合在本發明中可以被稱為“記憶體堆疊”，其為用於擴大儲存容量的基本單元，如下詳述。根據一些實施例，3D記憶體元件100的單個記憶體堆疊包括分別與閘極104的倒“T”形的頭部和肩部相對應的兩個層級101和103。如上所述，第一電荷捕捉和通道層108a和112a可以設置在第一層級101處，並且第二電荷捕捉和通道層108b和112b以及第三電荷捕捉和通道層108c和112c可以設置在第一層級101下方的第二層級103處。

【0030】 在一些實施例中，通過將電荷捕捉層和通道層二者分為對應於閘極104的倒“T”形的頭部和肩部的不同層級（例如，在記憶體堆疊的第一層級101和第二層級103）處的三個分立層，第1圖中的3D記憶體元件100包括三個記憶體單元：第一記憶體單元101a、第二記憶體單元103b和第三記憶體單元103c。在一

些實施例中，第一記憶體單元101a設置在第一層級101處，並且第二記憶體單元103b和第三記憶體單元103c設置在記憶體堆疊的第二層級103處。例如，第一記憶體單元101a可以包括阻隔層106的部分、第一電荷捕捉層108a、穿隧層110的部分和第一通道層112a。類似地，第二記憶體單元103b可以包括阻隔層106的部分、第二電荷捕捉層108b、穿隧層110的部分和第二通道層112b；第三記憶體單元103c可以包括阻隔層106的部分、第三電荷捕捉層108c、穿隧層110的部分以及第三通道層112c。第一記憶體單元101a、第二記憶體單元103b和第三記憶體單元103c可以共用同一閘極104。3D記憶體元件100的第一記憶體單元101a、第二記憶體單元103b和第三記憶體單元103c可以由閘極104來控制。

【0031】 儘管未在第1圖中繪示出，但應理解，可以包括任何其他適當的元件作為3D記憶體元件100的部分。例如，可以在3D記憶體元件100中包括諸如位元線接點、字元線接點和源極線接點的本地接點用於焊盤引出，即電連接記憶體單元101a、103b和103c用於金屬佈線到互連（例如，中段制程（MEOL）互連和後段制程（BEOL）互連）。在一個示例中，可以使用字元線接點穿過儲存膜的側壁來焊盤引出閘極104。在另一個示例中，可以使用位元線接點從相應的頂表面焊盤引出每個通道層112a、112b或112c。在一些實施例中，3D記憶體元件100還包括週邊電路，例如用於促進3D記憶體元件100的操作的任何適當的數位、類比和/或混合信號週邊電路。例如，週邊電路可以包括頁緩衝器、解碼器（例如，行解碼器和列解碼器）、讀出放大器、驅動器、電荷泵、電流或電壓參考或電路的任何主動或非主動元件（例如，電晶體、二極體、電阻器或電容器）中的一個或多個。

【0032】 第2圖繪示出了根據本發明的一些實施例的具有單個記憶體堆疊的另一示例性3D記憶體元件200的剖面圖。除通道層外，3D記憶體元件200類似於第1圖中的3D記憶體元件100。為了便於描述，不再重複上面已經相對於第1圖中

的3D記憶體元件100描述的相同元件的結構、功能和材料。3D記憶體元件200不是具有分立的通道層（例如，3D記憶體元件100中的第一通道層112a、第二通道層112b和第三通道層112c），而是包括穿隧層110上的連續通道層202。如第2圖所示，根據一些實施例，通道層202是連續的並且至少沿著穿隧層110的頂表面設置。即，通道層202可以是覆蓋下面的穿隧層110的連續層。通道層202可以穿隧通過穿隧層110向每個第一電荷捕捉層108a、第二電荷捕捉層108b和第三電荷捕捉層108c提供電荷，例如電子或電洞。通道層202可以包括矽，例如非晶矽、多晶矽或單晶矽。在一些實施例中，通道層202包括多晶矽。

【0033】 由於通道層的不同設計，與第1圖中的3D記憶體元件100的單個記憶體堆疊中的三個記憶體單元101a、103b和103c相反，3D記憶體元件200的單個記憶體堆疊包括單個記憶體單元。即，3D記憶體元件200可以具有一個記憶體單元，其包括阻隔層106、第一電荷捕捉層108a、第二電荷捕捉層108b和第三電荷捕捉層108c、穿隧層110和通道層202。3D記憶體元件200的記憶體單元可以由閘極104來控制。

【0034】 擴大本發明公開的3D記憶體元件中的記憶體單元的一種方式是增加單個記憶體堆疊中的層級的數量。第3圖繪示出了根據本發明的一些實施例的具有單個記憶體堆疊的又一示例性3D記憶體元件300的剖面圖。類似於第1圖中的3D記憶體元件100，3D記憶體元件300是具有帶有多個記憶體單元的單個記憶體堆疊的3D記憶體元件的另一示例。與第1圖中包括倒“T”形閘極104的3D記憶體元件100不同，3D記憶體元件300包括雙面階梯形閘極304。在一些實施例中，閘極304的雙面階梯形至少包括位於三個層級處的五個階梯，在此可以至少設置五個記憶體單元。與具有可以設置三個記憶體單元101a、103b和103c的兩個層級101和103處的一個頭部和兩個肩部的閘極104的倒“T”形相比，在第3圖中的3D記憶體元件300中可以增加單個記憶體堆疊中的記憶體單元的數量。

【0035】 3D記憶體元件300可以包括基底302上方的閘極304。基底302可以包括矽（例如，單晶矽）、SiGe、GaA、Ge、SOI或任何其他適當的材料。在一些實施例中，在基底302（例如，矽基底）和閘極304之間形成諸如ISSG氧化矽的焊盤層（未繪示出）。閘極304可以包括導電材料，包括但不限於W、Co、Cu、Al、多晶矽、摻雜矽、矽化物或其任何組合。在一些實施例中，閘極304包括金屬層，例如鎢層。在一些實施例中，閘極304包括摻雜多晶矽層。可以使用任何適當的摻雜劑將多晶矽摻雜到所需的摻雜濃度，以使其成為可以用作閘極304的材料的導電材料。閘極304可以橫向（例如，在垂直於第3圖中的x軸和z軸的y方向上）延伸作為3D記憶體元件300的字元線。

【0036】 如第3圖所示，閘極304在剖面圖中可以具有雙面階梯形。在一些實施例中，雙面階梯形包括至少三個層級，例如如第3圖所示的五個層級301、303、305、307和309。除了具有一個階梯的頂層外，雙面階梯形的每一其他層級都可以在每一側有兩個階梯，使得雙面階梯形中的階梯總數為 $2L-1$ ，其中L是層級數。因此，閘極304的雙面階梯形至少具有三個層級處的五個階梯。在一些實施例中，每個層級303、305、307或309處的兩個階梯都位於頂層301處的頂部階梯下方。閘極304的雙面階梯形的階梯可以在橫向方向（例如，x方向）上對稱。在一些實施例中，在閘極304的雙面階梯形的相鄰層級處的同一側上的兩個階梯在豎直方向（z方向）上偏移標稱上相同的距離，而在橫向方向（例如，x方向）上偏移標稱上相同的距離。對於雙面階梯形的每兩個相鄰層級，更靠近基底302的第一層級可以比第二層級橫向延伸得更遠，從而形成兩個平臺（類似於第1圖中的3D記憶體元件100的閘極104的倒“T”形的兩個肩部），在此可以形成記憶體單元。閘極304的頂表面可以包括橫向延伸的第一部分和豎直延伸的第二部分。例如，閘極304的雙面階梯形的每個階梯的上側可以標稱地平行於基底302的橫向表面，而連接閘極304的雙面階梯形的相鄰層級處的階梯的側壁可以標稱地垂直於基底

302的橫向表面。根據一些實施例，橫向延伸的閘極304的頂表面的第一部分對應于可以形成記憶體單元的平臺。

【0037】 3D記憶體元件300還可以包括閘極304上的阻隔層306。在一些實施例中，閘極介電層（未繪示出）設置在阻隔層306和閘極304之間，或者是閘極304的部分（例如，作為閘極304與阻隔層306接觸的上部）。例如，閘極介電層可以包括高k介電材質，包括但不限於 Al_2O_3 、 HfO_2 、 ZnO_2 、 Ta_2O_5 等。如第3圖所示，根據一些實施例，阻隔層306是連續的並且至少沿著閘極304的頂表面設置。即，阻隔層306可以是連續層，其覆蓋閘極304的雙面階梯形的階梯的上側以及連接閘極304的雙面階梯形的階梯的側壁。在一些實施例中，阻隔層306的每一端還可以豎直延伸以覆蓋連接基底302和最低層級（例如，309）處的階梯的側壁，即，在x方向上完全覆蓋閘極304。阻隔層306可以包括氧化矽、氮氧化矽、高k介電材質或其任何組合。在一些實施例中，阻隔層306是複合介電層，包括多個子阻隔層，例如自下而上順序的高k介電層、第一氧化矽層、氮氧化矽層和二氧化矽層。

【0038】 3D記憶體元件300還可以包括阻隔層306上的多個電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c。如第3圖所示，阻隔層306上的電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c是分立的（與連續層相反），並且設置在不同的層級301、303、305、307、309和309處（即，在豎直方向上與基底302的橫向表面具有不同的距離，與在同一層級相反）。在一些實施例中，九個分立的電荷捕捉層：頂部電荷捕捉層308a橫向設置在一組左側電荷捕捉層310c、312c、314c和316c與一組右側電荷捕捉層310b、312b、314b和316b之間。根據一些實施例，每對左側和右側電荷捕捉層310b和310c、312b和312c、314b和314b或316b和316c設置在相同層級處，其位於設置頂部電荷捕捉層308a的頂層301下方。例如，電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c中的每一個可以橫向延伸，但不豎直延伸，即在

阻隔層306的側壁處斷開。換言之，根據一些實施例，每個電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b或316c不包括沿著下面的阻隔層306的側壁豎直延伸的部分。在一些實施例中，頂部電荷捕捉層308a對應於閘極304的雙面階梯形的頂層301處的頂部階梯設置。例如，頂部電荷捕捉層308a可以在閘極304的雙面階梯形的頂部階梯的正上方或覆蓋閘極304的雙面階梯形的頂部階梯。在一些實施例中，左側和右側電荷捕捉層310b、310c、312b、312c、314b、314c、316b和316c分別對應於閘極304的雙面階梯形的其他層級303、305、307和309處的其他階梯設置。例如，左側和右側電荷捕捉層310b、310c、312b、312c、314b、314c、316b和316c中的每一個可以在閘極304的雙面階梯形的相應階梯的正上方或覆蓋閘極304的雙面階梯形的相應階梯。

【0039】 每個電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b或316c可以儲存電荷，例如來自半導體通道（例如，第3圖中的通道層318a、320b、320c、322b、322c、324b、324c、326b和326c）的電子或電洞。電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c中電荷的儲存或去除會影響半導體通道的導通/截止狀態和/或導電性。電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c可以包括氮化矽、氮氧化矽、矽或其任何組合。在一些實施例中，每個電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b或316c是包括多個子電荷捕捉層的複合介電層，例如自下而上順序的第一氮化矽層、第一氧氮化矽層、第二氮化矽層、第二氧氮化矽層和第三氮化矽層。可以理解，儘管在第3圖中繪示出了九個電荷捕捉層，但是可以理解，在其他實施例中3D記憶體元件300可以具有不同數量的電荷捕捉層。電荷捕捉層的數量可以對應於閘極304的雙面階梯形的層級、階梯和平臺的數量，如上詳述。在一些實施例中，3D記憶體元件300至少包括位於三個層級處的五個分立的電荷捕捉層。

【0040】 3D記憶體元件300還可以包括電荷捕捉層308a、310b、310c、312b、

312c、314b、314c、316b和316c上的穿隧層317。如第1圖所示，根據一些實施例，穿隧層317是連續的並且至少沿著電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c的頂表面設置。即，穿隧層317可以是覆蓋每個電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b或316c的連續層。在一些實施例中，穿隧層317的豎直延伸的部分與阻隔層306的豎直延伸的部分（例如，阻隔層306的側壁）接觸。結果，根據一些實施例，穿隧層317在x方向上完全覆蓋電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c以及阻隔層306。電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c可以在z方向上夾置在兩個連續層之間：穿隧層317和阻隔層306。電荷，例如來自半導體通道（例如，第3圖中的通道層318a、320b、320c、322b、322c、324b、324c、326b和326c）的電子或電洞，可以通過穿隧層317穿隧到電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c。穿隧層317可以包括氧化矽、氮氧化矽或其任何組合。在一些實施例中，穿隧層317是包括多個子穿隧層的複合介電層，例如自下而上順序的第一氧化矽層、第一氮氧化矽層、第二氮氧化矽層、第三氮氧化矽層和第二氧化矽層。阻隔層306、電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c以及穿隧層317可以被統稱為“儲存膜”。在一些實施例中，阻隔層306包括氧化矽，每個電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b或316c包括氮化矽，穿隧層317包括氧化矽，並且儲存膜被稱為電荷捕捉型快閃記憶體的“ONO”儲存膜。

【0041】 3D記憶體元件300還可以包括穿隧層317上的多個通道層318a、320b、320c、322b、322c、324b、324c、326b和326c。如第3圖所示，穿隧層317上的通道層318a、320b、320c、322b、322c、324b、324c、326b和326c是分立的（與連續層相反）並且設置在不同的層級處（即，在豎直方向上與基底302的橫向表面具有不同的距離，與在同一層級相反）。在一些實施例中，九個分立的通道層：頂部

通道層318a橫向設置在一組左側通道層320c、322c、324c和326c與一組右側通道層320b、322b、324b和326b之間。根據一些實施例，每對左側和右側通道層320b和320c、322b和322c、324b和324c或326b和326c設置在相同層級處，其位於設置頂部通道層318a的頂層301下方。例如，頂部、左側和右側通道層318a、320b、320c、322b、322c、324b、324c、326b和326c中的每一個可以橫向延伸，但不豎直延伸，即在穿隧層317的側壁處斷開。換言之，根據一些實施例，每個頂部、左側和右側通道層318a、320b、320c、322b、322c、324b、324c、326b和326c不包括沿著下面的穿隧層317的側壁豎直延伸的部分。在一些實施例中，頂部通道層318a對應於閘極304的雙面階梯形的頂層301處的頂部階梯設置。例如，頂部通道層318a可以在閘極304的雙面階梯形的頂部階梯的正上方或覆蓋閘極304的雙面階梯形的頂部階梯。在一些實施例中，左側和右側通道層320b、320c、322b、322c、324b、324c、326b和326c分別對應於閘極304的雙面階梯形的其他層級303、305、307和309處的其他階梯設置。例如，左側和右側通道層320b、320c、322b、322c、324b、324c、326b和326c中的每一個可以在閘極304的雙面階梯形的相應階梯的正上方或覆蓋閘極304的雙面階梯形的相應階梯。

【0042】 在一些實施例中，每個通道層318a、320b、320c、322b、322c、324b、324c、326b或326c對應於相應的電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b或316c。例如，頂部、左側和右側通道層318a、320b、320c、322b、322c、324b、324c、326b和326c可以分別對應於第一、左側和右側電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c（例如，在其正上方或覆蓋其）。每個通道層318a、320b、320c、322b、322c、324b、324c、326b或326c可以穿隧通過通道層317向相應的電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b或316c提供電荷，例如電子或電洞。通道層318a、320b、320c、322b、322c、324b、324c、326b和326c可以包括矽，例如非晶矽、多晶矽或單晶矽。在一些實施例中，

每個通道層318a、320b、320c、322b、322c、324b、324c、326b或326c包括多晶矽。可以理解，儘管在第3圖中繪示出了九個通道層，但可以理解，在其他實施例中3D記憶體元件300可以具有不同數量的通道層。通道層的數量可以對應於閘極304的雙面階梯形的層級、階梯和平臺的數量，如上詳述。在一些實施例中，3D記憶體元件300至少包括位於三個層級處的五個分立的通道層。

【0043】 雙面階梯形閘極304與儲存膜（包括阻隔層306、電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c以及穿隧層317）和設置在其上的通道層318a、320b、320c、322b、322c、324b、324c、326b和326c的結合在本發明中可以被稱為單個記憶體堆疊，其與第1圖中的3D記憶體元件中的單個記憶體堆疊相比，具有更多的記憶體單元。在一些實施例中，通過將電荷捕捉層和通道層兩者分為對應於閘極304的雙面階梯形的階梯的五個層級301、303、305、307和309處的九個分立層，第3圖中的3D記憶體元件300包括九個記憶體單元：頂部記憶體單元301a、一組左側記憶體單元303c、305c、307c和309c以及一組右側記憶體單元303b、305b、307b和309b。頂部記憶體單元301a設置在頂層301，並且每一對左側和右側記憶體單元303b和303c、305b和305c、307b和307c或309b和309c設置在記憶體堆疊的相應層級303、305、307或309處。例如，頂部記憶體單元301a可以包括阻隔層306的部分、頂部電荷捕捉層308a、穿隧層317的部分以及頂部通道層318a。類似地，每個左側記憶體單元303c、305c、307c或309c可以包括阻隔層306的部分、相應的左側電荷捕捉層310c、312c、314c或316c、穿隧層317的部分以及相應的左側通道層320c、322c、324c或326c。類似地，每個右側記憶體單元303b、305b、307b或309b可以包括阻隔層306的部分、相應的右側電荷捕捉層310b、312b、314b或316b、穿隧層317的部分以及相應的右側通道層320b、322b、324b或326b。頂部、左側和右側記憶體單元301a、303b、303c、305b、305c、307b、307c、309b和309c可以共用同一閘極304。3D記憶體元件300的頂部、左側和右側

記憶體單元301a、303b、303c、305b、305c、307b、307c、309b和309c可以由閘極304來控制。

【0044】 可以理解，儘管在第3圖中繪示出了九個記憶體單元，但是可以理解，在其他實施例中3D記憶體元件300可以具有不同數量的記憶體單元。記憶體單元的數量可以對應於閘極304的雙面階梯形的層級、階梯和平臺的數量，如上詳述。在一些實施例中，3D記憶體元件300至少包括位於三個層級處的五個記憶體單元。儘管未在第3圖中繪示出，但應理解，可以包括任何其他適當的元件作為3D記憶體元件300的部分。例如，可以在3D記憶體元件300中包括諸如位元線接點、字元線接點和源極線接點的本地接點用於焊盤引出，即電連接記憶體單元301a、303b、303c、305b、305c、307b、307c、309b和309c用於金屬佈線到互連（例如，MEOL互連和BEOL互連）。在一個示例中，可使用字元線接點穿過儲存膜的側壁來焊盤引出閘極304。在另一個示例中，可以使用位元線接點從相應的頂表面焊盤引出每個通道層318a、320b、320c、322b、322c、324b、324c、326b或326c。在一些實施例中，3D記憶體元件300還包括週邊電路，例如用於促進3D記憶體元件300的操作的任何適當的數位、類比和/或混合信號週邊電路。例如，週邊電路可以包括頁緩衝器、解碼器（例如，行解碼器和列解碼器）、讀出放大器、驅動器、電荷泵、電流或電壓參考或電路的任何主動或非主動元件（例如，電晶體、二極體、電阻器或電容器）中的一個或多個。

【0045】 第4圖繪示出了根據本發明的一些實施例的具有單個記憶體堆疊的再一示例性3D記憶體元件400的剖面圖。除通道層外，3D記憶體元件400類似於第3圖中的3D記憶體元件300。為了便於描述，不再重複上面已經相對於第3圖中的3D記憶體元件300描述的相同元件的結構、功能和材料。3D記憶體元件400不是具有分立的通道層（例如，3D記憶體元件300中的頂部、左側和右側通道層318a、320b、320c、322b、322c、324b、324c、326b和326c），而是包括穿隧層317

上的連續通道層402。如第4圖所示，根據一些實施例，通道層402是連續的並且至少沿著穿隧層317的頂表面設置。即，通道層402可以是覆蓋下面的穿隧層317的連續層。通道層402可以穿隧通過穿隧層317向頂部、左側和右側電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c提供電荷，例如電子或電洞。通道層402可以包括矽，例如非晶矽、多晶矽或單晶矽。在一些實施例中，通道層402包括多晶矽。

【0046】 由於通道層的不同設計，與第3圖中的3D記憶體元件300的單個記憶體堆疊中的九個記憶體單元301a、303b、303c、305b、305c、307b、307c、309b和309c相反，3D記憶體元件400的單個記憶體堆疊包括單個記憶體單元。即，3D記憶體元件400可以具有一個記憶體單元，其包括阻隔層306、頂部、左側和右側電荷捕捉層308a、310b、310c、312b、312c、314b、314c、316b和316c、穿隧層317和通道層402。3D記憶體元件400的記憶體單元可以由閘極304來控制。

【0047】 擴大本發明公開的3D記憶體元件中的記憶體單元的另一種方式是例如通過堆疊多個記憶體堆疊來增加記憶體堆疊的數量。本發明公開的任何記憶體堆疊（例如，3D記憶體元件100、200、300和400中的單個記憶體堆疊）都可以用作基本單元，用於例如通過相互堆疊來擴大儲存容量。第5A圖繪示出了根據本發明的一些實施例的具有多個記憶體堆疊的示例性3D記憶體元件500的剖面圖。3D記憶體元件500可以包括堆疊在基底502上方的多個記憶體堆疊504、506和508，以增大儲存密度而不佔用更多的晶片面積。兩個相鄰的記憶體堆疊（例如，504和506）可以由堆疊間介電層（例如，526）分隔開（例如，絕緣）。每個記憶體堆疊504、506或508基本上類似於第1圖中的3D記憶體元件100中的單個記憶體堆疊（具有附加的堆疊間介電層）。因此，每個記憶體堆疊504、506或508的元件與第1圖中的3D記憶體元件100中的對應元件基本相似，由此本文不再贅述。

【0048】 如第5A圖所示，3D記憶體元件500的記憶體堆疊504可以包括閘極514、閘極514上的阻隔層516、阻隔層516上的多個電荷捕捉層518a、518b和518c、電荷捕捉層518a、518b和518c上的穿隧層520、穿隧層520上的多個通道層522a、522b和522c。閘極514可以具有倒“T”形，其包括第一層級510處的頭部以及第一層級510下方的第二層級512處的兩個肩部。根據一些實施例，電荷捕捉層518a、518b和518c是分立的，並且設置在不同的層級510和512處。在一些實施例中，第一電荷捕捉層518a橫向設置在第二電荷捕捉層518b和第三電荷捕捉層518c之間。在一些實施例中，第二電荷捕捉層518b和第三電荷捕捉層518c設置在相同的第二層級512處，其位於設置第一電荷捕捉層518a的第一層級510下方。例如，第二電荷捕捉層518b和第三電荷捕捉層518c可以分別對應於閘極514的倒“T”形的兩個肩部設置，並且第一電荷捕捉層518a可以對應於閘極514的倒“T”形的頭部設置。類似地，根據一些實施例，通道層522a、522b和522c是分立的，並且設置在不同的層級510和512處。每個通道層522a、522b或522c可以對應於電荷捕捉層518a、518b和518c中相應的一個。在一些實施例中，第一通道層522a橫向設置在第二通道層522b和第三通道層522c之間。在一些實施例中，第二通道層522b和第三通道層522c設置在相同的第二層級512處，其位於設置第一通道層522a的第一層級510下方。例如，第二通道層522b和第三通道層522c可以分別對應於閘極514的倒“T”形的兩個肩部設置，並且第一通道層522a對應於閘極514的倒“T”形的頭部設置。

【0049】 在一些實施例中，阻隔層516是連續的並且至少沿著閘極514的頂表面設置。在一些實施例中，穿隧層520是連續的並且至少沿著每個電荷捕捉層518a、518b或518c的頂表面設置。根據一些實施例，阻隔層516包括氧化矽，每個電荷捕捉層518a、518b或518c包括氮化矽，並且穿隧層520包括氧化矽。在一些實施例中，每個通道層522a、522b或522c包括多晶矽。3D記憶體元件500的記

記憶體堆疊504可以包括第一記憶體單元524a、第二記憶體單元524b和第三記憶體單元524c。在一些實施例中，第一記憶體單元524a、第二記憶體單元524b和第三記憶體單元524c分別包括第一電荷捕捉層518a、第二電荷捕捉層518b和第三電荷捕捉層518c。在一些實施例中，第一記憶體單元524a、第二記憶體單元524b和第三記憶體單元524c分別包括第一通道層522a、第二通道層522b和第三通道層522c。在一些實施例中，第一記憶體單元524a、第二記憶體單元524b和第三記憶體單元524c中的每一個包括阻隔層516的相應部分和穿隧層520的相應部分。

【0050】 如第5A圖所示，記憶體堆疊504還可以包括通道層522a、522b和522c上的堆疊間介電層526。在一些實施例中，堆疊間介電層526的頂表面標稱上是平坦的。例如，堆疊間介電層526的頂表面可以標稱上平行於基底502的橫向表面。根據一些實施例，緊挨在記憶體堆疊504上方的記憶體堆疊506的閘極528設置在堆疊間介電層526的頂表面上。在一些實施例中，閘極528的底表面標稱上是平坦的。例如，閘極528的底表面也可以標稱上平行於基底502的橫向表面。換言之，堆疊間介電層526的頂表面可以適配在其上方的閘極528的底表面。堆疊間介電層526可以是單個介電層或具有多個子介電層的複合介電層。在一些實施例中，堆疊間介電層526包括氧化矽、氮化矽、氧氮化矽或其任何組合。

【0051】 應該理解，記憶體堆疊506和508與記憶體堆疊504基本相似。因此，為了便於描述，本文不再重複記憶體堆疊506和508的元件。通過堆疊間介電層(例如，526)分隔開，可以單獨定址3D記憶體元件500的每個閘極(例如，514或528)，以控制設置在其上的相應記憶體單元。還應理解，堆疊在基底502上方的記憶體堆疊的數量不限於相對於第5A圖描述的示例，可以是大大於1的任何正整數。還應當理解，可以與3D記憶體元件500的任何適當的週邊電路一起包括記憶體堆疊504、506和508之間的用於電連接記憶體堆疊504、506和508的任何適當的互連以及3D記憶體元件500的焊盤引出互連作為3D記憶體元件500的部分。

【0052】 第5B圖繪示出了根據本發明的一些實施例的具有多個記憶體堆疊503、505和507的另一示例性3D記憶體元件501的剖面圖。除了每個記憶體堆疊503、505或507中的通道層外，3D記憶體元件501類似於第5A圖中的3D記憶體元件500。為了便於描述，不再重複上面已經相對於第5A圖中的3D記憶體元件500描述的相同元件的結構、功能和材料。3D記憶體元件501不是具有分立的通道層（例如，3D記憶體元件500中的第一通道層522a、第二通道層522b和第三通道層522c），而是包括穿隧層520上的連續通道層509。如第5B圖所示，根據一些實施例，記憶體堆疊503中的通道層509是連續的並且至少沿著穿隧層520的頂表面設置。即，通道層509可以是覆蓋下面的穿隧層520的連續層。通道層509可以穿隧通過穿隧層520向第一電荷捕捉層518a、第二電荷捕捉層518b和第三電荷捕捉層518c提供電荷，例如電子或電洞。通道層509可以包括矽，例如非晶矽、多晶矽或單晶矽。在一些實施例中，通道層509包括多晶矽。

【0053】 由於通道層的不同設計，與第5A圖中的3D記憶體元件500的每個記憶體堆疊504、506或508中的三個記憶體單元（例如，524a、524b和524c）相反，3D記憶體元件501的每個記憶體堆疊503、505或507包括單個記憶體單元。即，3D記憶體元件501的每個記憶體堆疊503、505或507可以具有一個記憶體單元，其包括阻隔層516、第一電荷捕捉層518a、第二電荷捕捉層518b和第三電荷捕捉層518c、穿隧層520和通道層509。3D記憶體元件501的每個記憶體堆疊503、505或507中的記憶體單元可以由相應的閘極（例如，514或528）來控制。通過堆疊間介電層（例如，526）分隔開，可以單獨定址3D記憶體元件501的每個閘極（例如，514或528），以控制設置在其上的相應記憶體單元。應當理解，本文公開的任何其他記憶體堆疊，例如第3圖和第4圖中的3D記憶體元件300和400的記憶體堆疊，可以以與以上關於第5A圖和第5B圖所述的相同方式（具有堆疊間介電層，例如526）堆疊在基底502上方。

【0054】 第6A圖繪示出了根據本發明的一些實施例的具有多個記憶體堆疊的又一示例性3D記憶體元件600的剖面圖。3D記憶體元件600可以包括堆疊在基底602上方的多個記憶體堆疊604、606和608，以增大儲存密度而不佔用更多的晶片面積。可以通過堆疊間介電層（例如，626）將兩個相鄰的記憶體堆疊（例如，604和606）分隔開（例如，絕緣）。每個記憶體堆疊604、606或608基本上類似於第1圖中的3D記憶體元件100中的單個記憶體堆疊（具有附加的堆疊間介電層）。因此，每個記憶體堆疊604、606或608的元件基本上類似於第1圖中的3D記憶體元件100中的對應元件，因此本文不再贅述。

【0055】 如第6A圖所示，3D記憶體元件600的底部記憶體堆疊604是緊挨在基底602上方的記憶體堆疊。底部記憶體堆疊604可以包括底部閘極614、底部閘極614上的阻隔層616、阻隔層616上的多個電荷捕捉層618a、618b和618c、電荷捕捉層618a、618b和618c上的穿隧層620、以及穿隧層620上的多個通道層622a、622b和622c。底部閘極614可以具有倒“T”形，其包括第一層級610處的頭部和第一層級610下方的第二層級612處的兩個肩部。根據一些實施例，電荷捕捉層618a、618b和618c是分立的並且設置在不同的層級610和612處。在一些實施例中，第一電荷捕捉層618a橫向設置在第二電荷捕捉層618b和第三電荷捕捉層618c之間。在一些實施例中，第二電荷捕捉層618b和第三電荷捕捉層618c設置在相同的第二層級612處，其位於設置第一電荷捕捉層618a的第一層級下方。例如，第二電荷捕捉層618b和第三電荷捕捉層618c可以分別對應於底部閘極614的倒“T”形的兩個肩部設置，並且第一電荷捕捉層618a對應於底部閘極614的倒“T”形的頭部設置。類似地，根據一些實施例，通道層622a、622b和622c是分立的並且設置在不同的層級610和612處。每個通道層622a、622b或622c可以對應於電荷捕捉層618a、618b和618c中相應的一個。在一些實施例中，第一通道層622a橫向設置在第二通道層622b和第三通道層622c之間。在一些實施例中，第二通道層622b和第

三通道層622c設置在相同的第二層級612處，其位於設置第一通道層622a的第一層級610下方。例如，第二通道層622b和第三通道層622c可以分別對應於底部閘極614的倒“T”形的兩個肩部設置，並且第一通道層622a可以對應於底部閘極614的倒“T”形的頭部設置。

【0056】 在一些實施例中，阻隔層616是連續的並且至少沿著底部閘極614的頂表面設置。在一些實施例中，穿隧層620是連續的並且至少沿著每個電荷捕捉層618a、618b或618c的頂表面設置。根據一些實施例，阻隔層616包括氧化矽，每個電荷捕捉層618a、618b或618c包括氮化矽，並且穿隧層620包括氧化矽。在一些實施例中，每個通道層622a、622b或622c包括多晶矽。3D記憶體元件600的底部記憶體堆疊604可以包括第一記憶體單元624a、第二記憶體單元624b和第三記憶體單元624c。在一些實施例中，第一記憶體單元624a、第二記憶體單元624b和第三記憶體單元624c分別包括第一電荷捕捉層618a、第二電荷捕捉層618b和第三電荷捕捉層618c。在一些實施例中，第一記憶體單元624a、第二記憶體單元624b和第三記憶體單元624c分別包括第一通道層622a、第二通道層622b和第三通道層622c。在一些實施例中，第一記憶體單元624a、第二記憶體單元624b和第三記憶體單元624c中的每一個包括阻隔層616的相應部分和穿隧層620的相應部分。

【0057】 如第6A圖所示，記憶體堆疊604還可以包括通道層622a、622b和622c上的堆疊間介電層626。與具有標稱上平坦的頂表面的堆疊間介電層526不同，在一些實施例中，堆疊間介電層626的頂表面適配底部閘極614的頂表面。例如，堆疊間介電層626的頂表面可以具有與底部閘極614的頂表面的輪廓匹配的輪廓。根據一些實施例，緊鄰在底部記憶體堆疊604上方的記憶體堆疊606的閘極628設置在堆疊間介電層626的頂表面上。在一些實施例中，底部閘極614的底表面標稱上是平坦的，並且其他記憶體堆疊606和608（即，除了底部記憶體堆疊604之外）的每個閘極628或630的底表面適配相應閘極628或630的頂表面。例如，底部閘極

614的底表面也可以標稱上平行於基底602的橫向表面，並且每個其他的閘極628或630的底表面可以具有與相應閘極628或630的頂表面的輪廓匹配的輪廓。在一些實施例中，閘極628或630的底表面具有凹形，而閘極628或630的頂表面具有凸形。堆疊間介電層626可以是單個介電層或具有多個子介電層的複合介電層。在一些實施例中，堆疊間介電層626包括氧化矽、氮化矽、氮氧化矽或其任何組合。

【0058】 應當理解，除了如上所述的閘極的形狀之外，記憶體堆疊606和608與記憶體堆疊604基本相似。因此，為了便於描述，本文不再重複記憶體堆疊606和608的元件。通過堆疊間介電層（例如，626）分隔開，可以單獨定址3D記憶體元件600的每個閘極614、628或630，以控制設置在其上的相應記憶體單元。還應理解，堆疊在基底602上方的記憶體堆疊的數量不限於相對於第6A圖描述的示例，可以是大於1的任何正整數。還應理解，可以與3D記憶體元件600的任何適當的週邊電路一起包括記憶體堆疊604、606和608之間的用於電連接記憶體堆疊604、606和608的任何適當的互連以及3D記憶體元件600的焊盤引出互連作為3D記憶體元件600的部分。

【0059】 第6B圖繪示出了根據本發明的一些實施例的具有多個記憶體堆疊603、605和607的再一示例性3D記憶體元件601的剖面圖。除了每個記憶體堆疊603、605或607中的通道層外，3D記憶體元件601類似於第6A圖中的3D記憶體元件600。為了便於描述，不再重複上面已經相對於第6A圖中的3D記憶體元件600描述的相同元件的結構、功能和材料。3D記憶體元件601不是具有分立的通道層（例如，3D記憶體元件600中的第一通道層622a、第二通道層622b和第三通道層622c），而是包括穿隧層620上的連續通道層609。如第6B圖所示，根據一些實施例，記憶體堆疊603中的通道層609是連續的並且至少沿著穿隧層620的頂表面設置。即，通道層609可以是覆蓋下面的穿隧層620的連續層。通道層609可以穿隧通過穿隧層620向第一電荷捕捉層618a、第二電荷捕捉層618b和第三電荷捕捉層

618c提供電荷，例如電子或電洞。通道層609可以包括矽，例如非晶矽、多晶矽或單晶矽。在一些實施例中，通道層609包括多晶矽。

【0060】 由於通道層的不同設計，與第6A圖中的3D記憶體元件600的每個記憶體堆疊604、606或608中的三個記憶體單元（例如，624a、624b和624c）相反，3D記憶體元件601的每個記憶體堆疊603、605或607包括單個記憶體單元。即，3D記憶體元件601的每個記憶體堆疊603、605或607可以具有一個記憶體單元，其包括阻隔層616、第一電荷捕捉層618a、第二電荷捕捉層618b和第三電荷捕捉層618c、穿隧層620和通道層609。3D記憶體元件601的每個記憶體堆疊603、605或607中的記憶體單元可以由相應的閘極614、628或630控制。通過堆疊間介電層（例如，626）分隔開，可以單獨定址3D記憶體元件601的每個閘極614、628或630，以控制設置在其上的相應記憶體單元。應當理解，本發明公開的任何其他記憶體堆疊，例如第3圖和第4圖中的3D記憶體元件300和400的記憶體堆疊，可以以與以上相對於第6A圖和第6B圖所述的相同方式（具有堆疊間介電層，例如626）堆疊在基底602上方。

【0061】 擴大本發明公開的3D記憶體元件中的記憶體單元的另一種方式是沿y方向（垂直於第1圖至第4圖、第5A圖、第5B圖、第6A圖和第6B圖的剖面圖）具有多個儲存膜，和/或沿x方向在同一平面中具有多個閘極。第7圖繪示出了根據本發明的一些實施例的具有多個閘極的示例性3D記憶體元件700的平面圖。3D記憶體元件700可以在基底702上方在同一平面中包括多個閘極701和703。應當理解，可以沿x方向包括兩個以上的閘極701和703。可以單獨定址每個閘極701或703，以控制形成在其上的記憶體單元。

【0062】 在一些實施例中，在每個閘極701或703上設置多個儲存膜。如上所述，取決於通道層是連續層還是三個分立的層，儲存膜可以對應一個或三個記憶體單元。例如，可以在閘極701上設置多個儲存膜706a、706b、706c、706d、706e、

706f和706g，並且每個儲存膜706a、706b、706c、706d、706e、706f或706g可以對應於三個記憶體單元。應當理解，可以將第7圖的示例與第5A圖、5B、6A和6B的示例組合，使得可以在多個維度上擴大記憶體單元的數量。例如，第7圖中的每個閘極701或703還可以具有堆疊在基底702上方的多個記憶體堆疊，如以上相對於第5A圖、第5B圖、第6A圖和第6B圖詳細描述的。

【0063】 第8A圖至第8H圖繪示出了根據本發明的一些實施例的用於形成具有單個記憶體堆疊的3D記憶體元件的示例性製造過程。第12圖是根據一些實施例的用於形成具有單個記憶體堆疊的3D記憶體元件的示例性方法的流程圖。第8A圖至第8H圖和第12圖中所示的3D記憶體元件的示例包括分別在第1圖和第2圖中繪示出的3D記憶體元件100和200。將一起描述第8A圖至第8H圖和第12圖。應當理解，方法1200中繪示出的操作不是窮舉的，並且其他操作也可以在任何所示操作之前、之後或之間執行。此外，一些操作可以同時執行，或者以與第12圖所示不同的循序執行。

【0064】 參考第12圖，方法1200在操作1202開始，其中在基底上方形成具有倒“T”形的閘極。在一些實施例中，為了形成閘極，在基底上方沉積閘極層，並且將閘極層圖案化為具有倒“T”形。在一些實施例中，為了形成閘極，在基底上方形成第一閘極層，並且在第一閘極層上形成第二閘極層。根據一些實施例，第一閘極層的橫向尺寸大於第二閘極層的橫向尺寸。基底可以是矽基底。

【0065】 如第8B圖所示，在矽基底802上方形成具有倒“T”形的閘極804。為了形成倒“T”形閘極804，如第8A圖所示，首先在矽基底802上方形成閘極層801。在一些實施例中，在形成閘極層801之前首先在矽基底802上沉積焊盤層（未繪示出）。閘極層801和焊盤層（如果有的話）可以通過一種或多種沉積製程沉積，包括但不限於物理氣相沉積（PVD）、化學氣相沉積（CVD）、原子層沉積（ALD）、電鍍、無電鍍或其任何組合。在一些實施例中，通過包括微影、顯影、濕蝕刻

和/或乾蝕刻等的製程，將閘極層801進一步圖案化為具有倒“T”形，即成為閘極804（如第8B圖所示）。例如，可以蝕刻閘極層801（在x方向上）的邊緣處的兩個凹陷以形成閘極804的倒“T”形。在一些實施例中，不是圖案化閘極層801，而是將橫向尺寸（在x方向上）小於閘極層801的橫向尺寸的另一閘極層（例如，成為如第8B圖所示的閘極804的倒“T”形的頭部）進一步沉積在閘極層801上以形成閘極804的倒“T”形。另一閘極層可以通過一種或多種沉積製程沉積，包括但不限於PVD、CVD、ALD、電鍍、無電鍍敷或其任何組合。

【0066】 方法1200進行到操作1204，如第12圖所示，其中在閘極上形成連續的阻隔層。如第8C圖所示，在閘極804上形成連續的阻隔層806。阻隔層806可以通過一種或多種薄膜沉積製程沉積。包括但不限於PVD、CVD、ALD或其任何組合。在一些實施例中，使用ALD在閘極804上沉積阻隔層806。在一些實施例中，通過隨後使用ALD在閘極804上依次沉積高k介電層、第一氧化矽層、氮氧化矽層和二氧化矽層來形成阻隔層806。

【0067】 方法1200進行到操作1206，如第12圖所示，其中在阻隔層上沉積連續的電荷捕捉層。電荷捕捉層的橫向延伸的第一部分的第一厚度可以大於電荷捕捉層的豎直延伸的第二部分的第二厚度。在一些實施例中，為了形成連續電荷捕捉層，使用諸如ALD的CVD在阻隔層上沉積電荷捕捉層。

【0068】 如第8D圖所示，在阻隔層806上形成連續的電荷捕捉層808。電荷捕捉層808可以通過一種或多種薄膜沉積製程來沉積，包括但不限於PVD、CVD、ALD或其任何組合。在一些實施例中，使用諸如ALD的CVD在阻隔層806上沉積電荷捕捉層808。在一些實施例中，通過隨後使用ALD在阻隔層806上依次沉積第一氮化矽層、第一氮氧化矽層、第二氮化矽層、第二氮氧化矽層和第三氮化矽層來形成電荷捕捉層808。由於阻隔層806的不平坦頂表面，沉積在其上的電荷捕捉層808可以是厚度變化的不均勻層，尤其是在沉積在阻隔層806的上側上的橫向

延伸的第一部分與沉積在阻隔層806的側壁上的豎直延伸的第二部分之間。如第8D圖所示，電荷捕捉層808的橫向延伸的第一部分的第一厚度 t_1 大於電荷捕捉層808的豎直延伸的第二部分的第二厚度 t_2 。

【0069】 方法1200進行到操作1208，如第12圖所示，其中去除電荷捕捉層的豎直延伸的第二部分以從電荷捕捉層的橫向延伸的第一部分形成設置在阻隔層上的不同層級處的多個分立的電荷捕捉層。在一些實施例中，為了去除電荷捕捉層的第二部分，使用濕蝕刻來蝕刻電荷捕捉層，直到去除電荷捕捉層的豎直延伸的第二部分。

【0070】 如第8E圖所示，例如通過使用任何適當的蝕刻劑進行濕蝕刻來去除電荷捕捉層808的豎直延伸的第二部分（如第8D圖所示）。在一些實施例中，例如通過控制蝕刻時間，使用濕蝕刻來蝕刻電荷捕捉層808，直到去除電荷捕捉層808的豎直延伸的第二部分。可以相應地調整其他蝕刻條件，例如蝕刻劑濃度、溫度、攪拌等，以控制濕蝕刻的適當的停止時間。由於 t_1 和 t_2 之間的厚度差，可以比電荷捕捉層808的橫向延伸的第一部分更快地去除電荷捕捉層808的豎直延伸的第二部分。結果，通過控制濕蝕刻的停止時間，可以從電荷捕捉層808的橫向延伸的第一部分（例如，由於蝕刻而厚度減小）形成設置在阻隔層806上的不同層級處的分立的電荷捕捉層810a、810b和810c。

【0071】 方法1200進行到操作1210，如第12圖所示，其中在分立的電荷捕捉層上形成連續的穿隧層。如第8F圖所示，在電荷捕捉層810a、810b和810c上形成連續的穿隧層812。穿隧層812可以通過一種或多種薄膜沉積製程來沉積，包括但不限於PVD、CVD、ALD或其任何組合。在一些實施例中，使用ALD在電荷捕捉層810a、810b和810c上沉積穿隧層812。在一些實施例中，通過隨後使用ALD在電荷捕捉層810a、810b和810c上依次沉積第一氧化矽層、第一氮氧化矽層、第二氮氧化矽層、第三氮氧化矽層和第二氧化矽層來形成穿隧層812。

【0072】 方法1200進行到操作1212，如第12圖所示，其中在穿隧層上形成連續的通道層。在一些實施例中，為了形成連續的通道層，使用諸如ALD的CVD在穿隧層上沉積通道層。如第8G圖所示，在穿隧層812上形成連續的通道層814。通道層814可以通過一種或多種薄膜沉積製程來沉積，包括但不限於PVD、CVD、ALD或其任何組合。在一些實施例中，使用ALD在穿隧層812上沉積通道層814。

【0073】 類似於電荷捕捉層，根據一些實施例，通道層的橫向延伸的第一部分的第一厚度大於通道層的豎直延伸的第二部分的第二厚度。應當理解，在一些實施例中，方法1200可以進行到操作1214，如第12圖所示，其中可以去除通道層的豎直延伸的第二部分，以形成設置在穿隧層上的不同層級處的多個分立的通道層。每個通道層可以對應於電荷捕捉層中相應的一個。在一些實施例中，為了去除通道層的第二部分，使用濕蝕刻來蝕刻通道層，直到去除通道層的豎直延伸的第二部分。

【0074】 如第8G圖所示，由於穿隧層812的不平坦頂表面，沉積在其上的通道層814可以是厚度變化的不均勻層，尤其是在沉積在穿隧層812的上側上的橫向延伸的第一部分與沉積在穿隧層812的側壁上的豎直延伸的第二部分之間。如第8G圖所示，通道層814的橫向延伸的第一部分的第一厚度 t_3 大於通道層814的豎直延伸的第二部分的第二厚度 t_4 。

【0075】 如第8H圖所示，例如通過使用任何適當的蝕刻劑進行濕蝕刻來去除通道層814的豎直延伸的第二部分（如第8G圖所示）。在一些實施例中，例如通過控制蝕刻時間，使用濕蝕刻來蝕刻通道層814，直到去除通道層814的豎直延伸的第二部分。可以相應地調整其他蝕刻條件，例如蝕刻劑濃度、溫度、攪拌等，以控制濕蝕刻的適當的停止時間。由於 t_3 和 t_4 之間的厚度差，可以比通道層814的橫向延伸的第一部分更快地去除通道層814的豎直延伸的第二部分。結果，通過控制濕蝕刻的停止時間，可以從通道層814的橫向延伸的第一部分（例如，由

第 32 頁，共 54 頁(發明說明書)

於蝕刻而厚度減小) 形成設置在穿隧層812上的不同層級處的分立的通道層814a、814b和814c。每個分立的通道層814a、814b或814c可以對應於相應的分立的電荷捕捉層810a、810b或810c。

【0076】 第9A圖至第9G圖繪示出了根據本發明的一些實施例的用於形成具有單個記憶體堆疊的另一3D記憶體元件的示例性製造過程。第13圖是根據一些實施例的用於形成具有單個記憶體堆疊的3D記憶體元件的另一示例性方法的流程圖。第9A圖至第9G圖和第13圖中所示的3D記憶體元件的示例包括分別在第3圖和第4圖中繪示出的3D記憶體元件300和400。將一起描述第9A圖至第9G圖和第13圖。應當理解，方法1300中繪示出的操作不是窮舉的，並且其他操作也可以在任何所示操作之前、之後或之間執行。此外，一些操作可以同時執行，或者以與第13圖所示不同的循序執行。

【0077】 參考第13圖，方法1300在操作1302開始，其中在基底上方形成具有雙面階梯形的閘極。在一些實施例中，為了形成閘極，在基底上方沉積閘極層，在閘極層上塗布光阻層，並且通過修整光阻層和蝕刻閘極層的多次迴圈，將閘極層圖案化為具有雙面階梯形。在一些實施例中，為了形成閘極，隨後在基底上方沉積多個閘極層。每個閘極層的橫向尺寸可以大於隨後沉積的閘極層的橫向尺寸。基底可以是矽基底。

【0078】 如第9A圖所示，在矽基底902上方形成具有雙面階梯形的閘極904。為了形成雙面階梯形的閘極904，可以首先在矽基底902上方形成閘極層（未繪示出）。在一些實施例中，在形成閘極層之前首先在矽基底902上沉積焊盤層（未繪示出）。閘極和焊盤層（如果有的話）可以通過一種或多種沉積製程來沉積，包括但不限於PVD、CVD、ALD、電鍍、無電鍍敷或其任何組合。在一些實施例中，可以使用旋塗、噴塗等將光阻層（未繪示出）塗布在閘極層上。然後可以通過所謂的“修整-蝕刻”製程來形成閘極904的雙面階梯形，所述製程在每次迴圈中

修整（例如，經常從各個方向漸進地向內蝕刻）圖案化的光阻層，然後使用經修整的光阻層作為蝕刻遮罩來蝕刻閘極層的暴露部分，以在閘極904的雙面階梯形的一個層級中形成一對階梯。即，可以通過修整光阻層和蝕刻閘極層的多次迴圈將閘極層圖案化為具有雙面階梯形。

【0079】 在一些實施例中，不是通過修整蝕刻製程圖案化單個閘極層（具有足夠的厚度），而是隨後在矽基底902上方沉積多個閘極層。每個閘極層的橫向尺寸（在x方向上）可以大於隨後沉積的閘極層的橫向尺寸，使得沉積的多個閘極層可以成為雙面階梯形的閘極904。閘極層可以隨後通過多種沉積製程來沉積，包括但不限於PVD、CVD、ALD、電鍍、無電鍍敷或其任何組合。

【0080】 方法1300進行到操作1304，如第13圖所示，其中在閘極上形成連續的阻隔層。如第9B圖所示，在閘極904上形成連續的阻隔層906。阻隔層906可以通過一種或多種薄膜沉積製程來沉積，包括但不限於PVD、CVD、ALD或其任何組合。在一些實施例中，使用ALD在閘極904上沉積阻隔層906。在一些實施例中，通過隨後使用ALD在閘極904上依次沉積高k介電層、第一氧化矽層、氮氧化矽層和二氧化矽層來形成阻隔層906。

【0081】 方法1300進行到操作1306，如第13圖所示，其中在阻隔層上沉積連續的電荷捕捉層。電荷捕捉層的橫向延伸的第一部分的第一厚度可以大於電荷捕捉層的豎直延伸的第二部分的第二厚度。在一些實施例中，為了形成連續的電荷捕捉層，使用諸如ALD的CVD在阻隔層上沉積電荷捕捉層。

【0082】 如第9C圖所示，在阻隔層906上形成連續的電荷捕捉層908。電荷捕捉層908可以通過一種或多種薄膜沉積製程來沉積，包括但不限於PVD、CVD、ALD或其任何組合。在一些實施例中，使用諸如ALD的CVD在阻隔層906上沉積電荷捕捉層908。在一些實施例中，通過隨後使用ALD在阻隔層906上依次沉積第一氮化矽層、第一氮氧化矽層、第二氮化矽層、第二氮氧化矽層和第三氮化矽

層來形成電荷捕捉層908。由於阻隔層906的不平坦頂表面，沉積在其上的電荷捕捉層908可以是厚度變化的不均勻層，尤其特別是在沉積在阻隔層906的上側上的橫向延伸的第一部分與沉積在阻隔層906的側壁上的豎直延伸的第二部分之間。如第9C圖所示，電荷捕捉層908的橫向延伸的第一部分的第一厚度 t_1 大於電荷捕捉層908的豎直延伸的第二部分的第二厚度 t_2 。

【0083】 方法1300進行到操作1308，如第13圖中所示，其中去除電荷捕捉層的豎直延伸的第二部分以從電荷捕捉層的橫向延伸的第一部分形成設置在阻隔層上的多個分立的電荷捕捉層。可以分別對應於閘極的雙面階梯形的階梯形成多個分立的電荷捕捉層。在一些實施例中，為了去除電荷捕捉層的第二部分，使用濕蝕刻來蝕刻電荷捕捉層，直到去除電荷捕捉層的豎直延伸的第二部分。

【0084】 如第9D圖所示，例如通過使用任何適當的蝕刻劑進行濕蝕刻來去除電荷捕捉層908的豎直延伸的第二部分（如第9C圖所示）。在一些實施例中，例如通過控制蝕刻時間，使用濕蝕刻來蝕刻電荷捕捉層908，直到去除電荷捕捉層908的豎直延伸的第二部分。可以相應地調整其他蝕刻條件，例如蝕刻劑濃度、溫度、攪拌等，以控制濕蝕刻的適當的停止時間。由於 t_1 和 t_2 之間的厚度差，可以比電荷捕捉層908的橫向延伸的第一部分更快地去除電荷捕捉層908的豎直延伸的第二部分。結果，通過控制濕蝕刻的停止時間，可以從電荷捕捉層908的橫向延伸的第一部分（例如，由於蝕刻而厚度減小）形成設置在阻隔層906上的不同層級處的分立的電荷捕捉層910a、912b、912c、914b、914c、916b、916c、918b和918c。根據一些實施例，分別對應於閘極904的雙面階梯形的階梯形成分立的電荷捕捉層910a、912b、912c、914b、914c、916b、916c、918b和918c。

【0085】 方法1300進行到操作1310，如第13圖所示，其中在分立的電荷捕捉層上形成連續的穿隧層。如第9E圖所示，在電荷捕捉層910a、912b、912c、914b、914c、916b、916c、918b和918c上形成連續的穿隧層920。穿隧層920可以通過一

種或多種薄膜沉積製程來沉積，包括但不限於PVD、CVD、ALD或其任何組合。在一些實施例中，使用ALD在電荷捕捉層910a、912b、912c、914b、914c、916b、916c、918b和918c上沉積穿隧層920。在一些實施例中，通過隨後使用ALD在電荷捕捉層910a、912b、912c、914b、914c、916b、916c、918b和918c上依次沉積第一氧化矽層、第一氮氧化矽層、第二氮氧化矽層、第三氮氧化矽層和第二氧化矽層來形成穿隧層920。

【0086】 方法1300前進到操作1312，如第13圖所示，其中在穿隧層上形成連續的通道層。在一些實施例中，為了形成連續的通道層，使用諸如ALD的CVD在穿隧層上沉積通道層。如第9F圖所示，在穿隧層920上形成連續的通道層922。通道層922可以通過一種或多種薄膜沉積製程來沉積，包括但不限於PVD、CVD、ALD或其任何組合。在一些實施例中，使用ALD在穿隧層920上沉積通道層922。

【0087】 類似於電荷捕捉層，根據一些實施例，通道層的橫向延伸的第一部分的第一厚度大於通道層的豎直延伸的第二部分的第二厚度。應當理解，在一些實施例中，方法1300可以進行到操作1314，如第13圖所示，其中可以去除通道層的豎直延伸的第二部分，以形成設置在穿隧層上的多個分立的通道層。可以分別對應於閘極的雙面階梯形的階梯形成多個分立的通道層。在一些實施例中，為了去除通道層的第二部分，使用濕蝕刻來蝕刻通道層，直到去除通道層的豎直延伸的第二部分。

【0088】 如第9F圖所示，由於穿隧層920的不平坦頂表面，沉積在其上的通道層922可以是厚度變化的不均勻層，尤其是在沉積在穿隧層920的上側上的橫向延伸的第一部分與沉積在穿隧層920的側壁上的豎直延伸的第二部分之間。如第9F圖所示，通道層922的橫向延伸的第一部分的第一厚度 t_3 大於通道層922的豎直延伸的第二部分的第二厚度 t_4 。

【0089】 如第9G圖所示，例如通過使用任何適當的蝕刻劑進行濕蝕刻來去除

通道層922的豎直延伸的第二部分（在第9F圖中繪示出）。在一些實施例中，例如通過控制蝕刻時間，使用濕蝕刻來蝕刻通道層922，直到去除通道層922的豎直延伸的第二部分。可以相應地調整其他蝕刻條件，例如蝕刻劑濃度、溫度、攪拌等，以控制濕蝕刻的適當的停止時間。由於 t_3 與 t_4 之間的厚度差，可以比通道層922的橫向延伸的第一部分更快地去除通道層922的豎直延伸的第二部分。結果，通過控制濕蝕刻的停止時間，可以從通道層922的橫向延伸的第一部分（例如，由於蝕刻而厚度減小）形成設置在穿隧層920上的不同層級處的分立的通道層924a、926b、926c、928b、928c、930b、930c、932b和932c。根據一些實施例，分別對應於閘極904的雙面階梯形的階梯形成分立的通道層924a、926b、926c、928b、928c、930b、930c、932b和932c。每個分立的通道層924a、926b、926c、928b、928c、930b、930c、932b或932c還可以對應於相應的分立的電荷捕捉層910a、912b、912c、914b、914c、916b、916c、918b或918c。

【0090】 第10A圖和第10B圖繪示出根據本發明的一些實施例的用於形成具有多個記憶體堆疊的3D記憶體元件的示例性製造過程。第14圖是根據一些實施例的用於形成具有多個記憶體堆疊的3D記憶體元件的示例性方法的流程圖。第10A圖、第10B圖和第14圖中所示的3D記憶體元件的示例包括在第5A圖中繪示出的3D記憶體元件500。將一起描述第10A圖、第10B圖和第14圖。應當理解，方法1400中繪示出的操作不是窮舉的，並且其他操作也可以在任何所示操作之前、之後或之間執行。此外，一些操作可以同時執行，或者以與第14圖所示不同的循序執行。

【0091】 參考第14圖，方法1400在操作1402開始，其中在基底上方形成具有倒“T”形的第一閘極。在一些實施例中，為了形成第一閘極，在基底上方沉積閘極層，並且將閘極層圖案化為具有倒“T”形。在一些實施例中，為了形成第一閘極，在基底上方沉積下閘極層，並且在下閘極層上形成上閘極層。根據一些

實施例，下閘極層的橫向尺寸大於上閘極層的橫向尺寸。基底可以是矽基底。如第10A圖所示，在矽基底1002上方形成具有倒“T”形的第一閘極1004。第一閘極1004的形成細節與第8B圖中的閘極804的形成細節基本上類似，並且因此為了便於描述，不再重複。

【0092】 方法1400進行到操作1404，如第14圖所示，其中在第一閘極上形成連續的第一阻隔層。如第10A圖所示，在第一閘極1004上形成連續的第一阻隔層1006。第一阻隔層1006的形成細節與第8C圖中的阻隔層806的形成細節基本上類似，並因此為了便於描述，不再重複。

【0093】 方法1400進行到操作1406，如第14圖所示，其中在第一阻隔層上形成設置在不同層級處的多個分立的第一電荷捕捉層。在一些實施例中，為了形成多個分立的第一電荷捕捉層，形成連續的電荷捕捉層。電荷捕捉層的橫向延伸的第一部分的第一厚度可以大於電荷捕捉層的豎直延伸的第二部分的第二厚度。在一些實施例中，為了形成多個分立的第一電荷捕捉層，去除電荷捕捉層的豎直延伸的第二部分。在一些實施例中，為了去除電荷捕捉層的第二部分，使用濕蝕刻去除電荷捕捉層，直到去除電荷捕捉層的豎直延伸的第二部分。如第10A圖所示，在第一阻隔層1006上形成設置在不同層級處的分立的第一電荷捕捉層1010a、1010b和1010c。分立的第一電荷捕捉層1010a、1010b和1010c的形成細節與第8D圖和第8E圖中的分立的電荷捕捉層810a、810b和810c的形成細節基本上類似，並因此為了便於描述，不再重複。

【0094】 方法1400進行到操作1408，如第14圖中所示，其中在分立的第一電荷捕捉層上形成連續的第一穿隧層。如第10A圖所示，在第一電荷捕捉層1010a、1010b和1010c上形成連續的第一穿隧層1012。第一穿隧層1012的形成細節與第8F圖中的穿隧層812的形成細節基本上類似，並因此為了便於描述，不再重複。

【0095】 方法1400進行到操作1410，如第14圖所示，其中在第一穿隧層上形成

第一通道層。在一些實施例中，為了形成第一通道層，形成連續的通道層。通道層的橫向延伸的第一部分的第一厚度可以大於通道層的豎直延伸的第二部分的第二厚度。在一些實施例中，為了形成第一通道層，去除通道層的豎直延伸的第二部分。在一些實施例中，為了去除通道層的第二部分，使用濕蝕刻去除通道層，直到去除通道層的豎直延伸的第二部分。如第10A圖所示，在第一穿隧層1012上形成設置在不同層級處的分立的第一通道層1016a、1016b和1016c。分立的第一通道層1016a、1016b和1016c的形成細節與第8G圖和第8H圖中的分立的通道層814a、814b和814c的形成細節基本上類似，並因此為了便於描述，不再重複。

【0096】 方法1400進行到操作1412，如第14圖所示，其中在第一通道層上形成堆疊間介電層。堆疊間介電層的頂表面可以標稱上是平坦的。在一些實施例中，為了形成堆疊間介電層，在第一通道層上沉積堆疊間介電層，並使堆疊間介電層的頂表面平坦化。

【0097】 如第10A圖中所示，在第一通道層1016a、1016b和1016c上形成堆疊間介電層1018。根據一些實施例，堆疊間介電層1018的頂表面標稱上是平坦的，例如，平行於矽基底1002的橫向表面。堆疊間介電層1018可以通過一種或多種沉積製程形成，包括但不限於PVD、CVD、ALD、電鍍、無電鍍或其任何組合，然後是一種或多種平坦化製程，包括但不限於CMP、濕蝕刻、乾蝕刻或其任何組合。例如，沉積製程可以用於為平坦化製程提供足夠的厚度，以確保平坦化製程之後的堆疊間介電層1018的頂表面標稱上是平坦的並且覆蓋其下面的每個第一通道層1016a、1016b或1016c。由此形成緊挨在矽基底1002上方的第一記憶體堆疊1020，包括第一閘極1004、第一阻隔層1006、第一電荷捕捉層1010a、1010b和1010c、第一穿隧層1012、第一通道層1016a、1016b和1016c，以及堆疊間介電層1018。

【0098】 參考第14圖，方法1400進行到操作1414，其中在堆疊間介電層上形成

具有倒“T”形的第二閘極。在一些實施方式中，為了形成第二閘極，在堆疊間介電層上沉積閘極層，並且將閘極層圖案化為具有倒“T”形。在一些實施例中，為了形成第二閘極，在堆疊間介電層上沉積下閘極層，並且在下閘極層上形成上閘極層。根據一些實施例，下閘極層的橫向尺寸大於上閘極層的橫向尺寸。

【0099】 方法1400進行到操作1416，如第14圖所示，其中在第二閘極上形成連續的第二阻隔層。方法1400進行到操作1418，如第14圖所示，其中在第二阻隔層上形成設置在不同層級處的多個分立的第二電荷捕捉層。在一些實施例中，為了形成多個分立的第二電荷捕捉層，形成連續的電荷捕捉層。電荷捕捉層的橫向延伸的第一部分的第一厚度可以大於電荷捕捉層的豎直延伸的第二部分的第二厚度。在一些實施例中，為了形成多個分立的第二電荷捕捉層，去除電荷捕捉層的豎直延伸的第二部分。在一些實施例中，為了去除電荷捕捉層的第二部分，使用濕蝕刻去除電荷捕捉層，直到去除電荷捕捉層的豎直延伸的第二部分。

【0100】 方法1400進行到操作1420，如第14圖所示，其中在離散的第二電荷捕捉層上形成連續的第二穿隧層。方法1400進行到操作1422，如第14圖所示，其中在第二穿隧層上形成第二通道層。在一些實施例中，為了形成第二通道層，形成連續的通道層。通道層的橫向延伸的第一部分的第一厚度可以大於通道層的豎直延伸的第二部分的第二厚度。在一些實施例中，為了形成第二通道層，去除通道層的豎直延伸的第二部分。在一些實施例中，為了去除通道層的第二部分，使用濕蝕刻去除通道層，直到去除通道層的豎直延伸的第二部分。

【0101】 如第10B圖所示，在第一記憶體堆疊1020上形成第二記憶體堆疊1022。第二記憶體堆疊1022包括第二閘極、第二阻隔層、第二電荷捕捉層、第二穿隧層和第二通道層，它們基本上類似於第一記憶體堆疊1020中的其對應元件。第二記憶體堆疊1022中的元件的形成細節與第10A圖中的第一記憶體堆疊1020中

的元件的形成細節基本上類似，並因此為了便於描述，不再重複。類似地，根據一些實施例，在第二記憶體堆疊1022中形成另一堆疊間介電層，可以在其上形成第三記憶體堆疊1024。因此，可以使用與以上相對於第10A圖、第10B圖和第14圖所述的基本上相似的製程將各自包括與第一記憶體堆疊1020中的基本相似的元件的更多的記憶體堆疊進一步彼此堆疊，以增加儲存密度。

【0102】 第11A圖至第11D圖繪示出了根據本發明的一些實施例的用於形成具有多個記憶體堆疊的另一3D記憶體元件的示例性製造過程。第15圖是根據一些實施例的用於形成具有多個記憶體堆疊的3D記憶體元件的另一示例性方法的流程圖。第11A圖至第11D圖和第15圖中所示的3D記憶體元件的示例包括在第6A圖中繪示出的3D記憶體元件600。將一起描述第11A圖至第11D圖和第15圖。應當理解，方法1500中繪示出的操作不是窮舉的，並且其他操作也可以在任何所示操作之前、之後或之間執行。此外，一些操作可以同時執行，或者以與第15圖所示不同的循序執行。

【0103】 參考第15圖，方法1500在操作1502開始，其中在基底上方形成具有倒“T”形的第一閘極。在一些實施例中，為了形成第一閘極，在基底上方沉積閘極層，並且將閘極層圖案化為具有倒“T”形。在一些實施例中，為了形成第一閘極，在基底上方沉積下閘極層，並且在下閘極層上沉積上閘極層。根據一些實施例，下閘極層的橫向尺寸大於上閘極層的橫向尺寸。基底可以是矽基底。如第11A圖所示，在矽基底1102上方形成具有倒“T”形的第一閘極1104。第一閘極1104的形成細節與第8B圖中的閘極804的形成細節基本上類似，並因此為了便於描述，不再重複。

【0104】 方法1500進行到操作1504，如第15圖所示，其中在第一閘極上形成連續的第一阻隔層。如第11A圖所示，在第一閘極1104上形成連續的第一阻隔層1106。第一阻隔層1106的形成細節與第8C圖中的阻隔層806的形成細節基本上類

似，並因此為了便於描述，不再重複。

【0105】 方法1500進行到操作1506，如第15圖所示，其中在第一阻隔層上形成設置在不同層級處的多個分立的第一電荷捕捉層。在一些實施例中，為了形成多個分立的第一電荷捕捉層，形成連續的電荷捕捉層。電荷捕捉層的橫向延伸的第一部分的第一厚度可以大於電荷捕捉層的豎直延伸的第二部分的第二厚度。在一些實施例中，為了形成多個分立的第一電荷捕捉層，去除電荷捕捉層的豎直延伸的第二部分。在一些實施例中，為了去除電荷捕捉層的第二部分，使用濕蝕刻去除電荷捕捉層，直到去除電荷捕捉層的豎直延伸的第二部分。如第11A圖所示，在第一阻隔層1106上形成設置在不同層級處的分立的第一電荷捕捉層1110a、1110b和1110c。分立的第一電荷捕捉層1110a、1110b和1110c的形成細節與第8D圖和第8E圖中的分立的電荷捕捉層810a、810b和810c的形成細節基本上類似，並因此為了便於描述，不再重複。

【0106】 方法1500進行到操作1508，如第15圖所示，其中在分立的第一電荷捕捉層上形成連續的第一穿隧層。如第11A圖所示，在第一電荷捕捉層1110a、1110b和1110c上形成連續的第一穿隧層1112。第一穿隧層1112的形成細節與第8F圖中的穿隧層812的形成細節基本上類似，並因此為了便於描述，不再重複。

【0107】 方法1500進行到操作1510，如第15圖所示，其中在第一穿隧層上形成第一通道層。在一些實施例中，為了形成第一通道層，形成連續的通道層。通道層的橫向延伸的第一部分的第一厚度可以大於通道層的豎直延伸的第二部分的第二厚度。在一些實施例中，為了形成第一通道層，去除通道層的豎直延伸的第二部分。在一些實施例中，為了去除通道層的第二部分，使用濕蝕刻去除通道層，直到去除通道層的豎直延伸的第二部分。如第11A圖所示，在第一穿隧層1112上形成設置在不同層級處的分立的第一通道層1116a、1116b和1116c。分立的第一通道層1116a、1116b和1116c的形成細節與第8G圖和第8H圖中的分立的通

道層814a、814b和814c的形成細節基本上類似，並因此為了便於描述，不再重複。

【0108】 方法1500進行到操作1512，如第15圖所示，其中在第一通道層上形成堆疊間介電層。堆疊間介電層的頂表面可以適配第一閘極的頂表面。在一些實施例中，為了形成堆疊間介電層，使用ALD沉積堆疊間介電層。

【0109】 如第11A圖所示，在第一通道層1116a、1116b和1116c上形成堆疊間介電層1118。根據一些實施例，堆疊間介電層1118的頂表面適配第一閘極1104的頂表面。堆疊間介電層1118可以通過一種或多種薄膜沉積製程來形成，包括但不限於PVD、CVD、ALD或其任何組合。在一些實施例中，使用ALD在第一通道層1116a、1116b和1116c上形成堆疊間介電層1118。例如，可以使用沉積製程來提供適當的厚度，以確保在沉積製程之後，堆疊間介電層1118的頂表面適配第一閘極1104的頂表面。由此形成緊挨在基底1102上方的第一記憶體堆疊1120，其包括第一閘極1104、第一阻隔層1106、第一電荷捕捉層1110a、1110b和1110c、第一穿隧層1112、第一通道層1116a、1116b和1116c以及堆疊間介電層1118。

【0110】 參考第15圖，方法1500進行到操作1514，其中在堆疊間介電層上形成第二閘極。第二閘極的頂表面可以適配堆疊間介電層的頂表面。在一些實施例中，為了形成第二閘極，在堆疊間介電層上沉積閘極層，並且圖案化閘極層以使閘極層的頂表面適配第一閘極的頂表面。在一些實施例中，為了形成第二閘極，在堆疊間介電層上沉積下閘極層，並且在下閘極層上沉積上閘極層。根據一些實施例，下閘極層的橫向尺寸大於上閘極層的橫向尺寸。

【0111】 如第11C圖中所示，在堆疊間介電層1118上形成第二閘極1124。第二閘極1124的頂表面可以適配堆疊間介電層1118的頂表面。為了形成第二閘極1124，如第11B圖所示，首先通過一種或多種沉積製程（包括但不限於PVD、CVD、ALD或其任何組合）在堆疊間介電層1118上形成閘極層1122。在一些實施例中，進一步圖案化閘極層1122以使其頂表面適配第一閘極1104的頂表面，即通過包括

微影、顯影、濕蝕刻和/或乾蝕刻等的製程成為第二閘極1124（如第11C圖所示）。例如，可以蝕刻閘極層1122的邊緣（在x方向上）處的兩個凹陷。在一些實施例中，不是圖案化閘極層1122（例如，下閘極層），而是在下閘極層1122上進一步沉積橫向尺寸（在x方向上）小於下閘極層1122的橫向尺寸的上閘極層以形成第二閘極1124。上閘極層可以通過一種或多種沉積製程來沉積，包括但不限於PVD、CVD、ALD、電鍍、無電鍍敷或其任何組合。

【0112】 方法1500進行到操作1516，如第15圖所示，其中在第二閘極上形成連續的第二阻隔層。如第11D圖所示，在第二閘極1124上形成連續的第二阻隔層1126。第二阻隔層1126的形成細節與第8C圖中的阻隔層806的形成細節基本上類似，並因此為了便於描述，不再重複。

【0113】 方法1500進行到操作1518，如第15圖所示，其中在第二阻隔層上形成設置在不同層級處的多個分立的第二電荷捕捉層。在一些實施例中，為了形成多個分立的第二電荷捕捉層，形成連續的電荷捕捉層。電荷捕捉層的橫向延伸的第一部分的第一厚度可以大於電荷捕捉層的豎直延伸的第二部分的第二厚度。在一些實施例中，為了形成多個分立的第二電荷捕捉層，去除電荷捕捉層的豎直延伸的第二部分。在一些實施例中，為了去除電荷捕捉層的第二部分，使用濕蝕刻去除電荷捕捉層，直到去除電荷捕捉層的豎直延伸的第二部分。如第11D圖所示，在第二阻隔層1126上形成設置在不同層級處的分立的第二電荷捕捉層1130a、1130b和1130c。分立的第二電荷捕捉層1130a、1130b和1130c的形成細節與第8D圖和第8E圖中的分立的電荷捕捉層810a、810b和810c的形成細節基本上類似，並因此為了便於描述，不再重複。

【0114】 方法1500進行到操作1520，如第15圖所示，其中在分立的第二電荷捕捉層上形成連續的第二穿隧層。如第11D圖所示，在第二電荷捕捉層1130a、1130b和1130c上形成連續的第二穿隧層1132。第二穿隧層1132的形成細節與第8F圖中

的穿隧層812的形成細節基本上類似，並因此為了便於描述，不再重複。

【0115】 方法1500進行到操作1522，如第15圖所示，其中在第二穿隧層上形成第二通道層。在一些實施例中，為了形成第二通道層，形成連續的通道層。通道層的橫向延伸的第一部分的第一厚度可以大於通道層的豎直延伸的第二部分的第二厚度。在一些實施例中，為了形成第二通道層，去除通道層的豎直延伸的第二部分。在一些實施例中，為了去除通道層的第二部分，使用濕蝕刻去除通道層，直到去除通道層的豎直延伸的第二部分。如第11D圖所示，在第二穿隧層1132上形成設置在不同層級處的分立的第二通道層1136a、1136b和1136c。分立的第二通道層1136a、1136b和1136c的形成細節與第8G圖和第8H圖中的分立的通道層814a、814b和814c的形成細節基本上類似，並因此為了便於描述，不再重複。

【0116】 如第11D圖所示，還使用與形成堆疊間介電層1118基本上類似的製程在第二通道層1136a、1136b和1136c上形成另一堆疊間介電層1138。由此在第一記憶體堆疊1120上形成第二記憶體堆疊1140，其包括第二閘極1124、第二阻隔層1126、第二電荷捕捉層1130a、1130b和1130c、第二穿隧層1132、第二通道層1136a、1136b、1136c和堆疊間介電層1138。如第11D圖所示，在第二記憶體堆疊1140上形成第三記憶體堆疊1142。第三記憶體堆疊1142包括第三閘極、第三阻隔層、第三電荷捕捉層、第三穿隧層和第三通道層，它們基本上類似於第二記憶體堆疊1140中的其對應元件。第三記憶體堆疊1142中的元件的形成細節與第11B圖至第11D圖中的第二記憶體堆疊1140中的元件的形成細節基本上類似，並因此為了便於描述，不再重複。因此，可以使用與以上相對於第11A圖至第11D圖和第14圖所述的基本上相似的製程將各自包括與第二記憶體堆疊1140中的基本相似的元件的更多的記憶體堆疊進一步彼此堆疊，以增加儲存密度。

【0117】 根據本發明的一個方面，一種3D記憶體元件包括基底、基底上方的具有雙面階梯形的閘極、閘極上的阻隔層、在阻隔層上各自橫向延伸的多個分

立的電荷捕捉層、多個電荷捕捉層上的穿隧層、以及在穿隧層上各自橫向延伸的多個分立的通道層。多個電荷捕捉層分別對應於閘極的雙面階梯形的階梯設置。多個通道層分別對應於所述雙面階梯形的階梯設置。

【0118】 在一些實施例中，所述雙面階梯形至少具有位於三個層級處的五個階梯。

【0119】 在一些實施例中，閘極的雙面階梯形的階梯在橫向方向上是對稱的。

【0120】 在一些實施例中，阻隔層是連續的並且至少沿著閘極的頂表面設置。在一些實施例中，穿隧層是連續的並且至少沿著每個電荷捕捉層的頂表面設置。

【0121】 在一些實施例中，多個電荷捕捉層包括頂部電荷捕捉層、一組左側電荷捕捉層和一組右側電荷捕捉層，並且頂部電荷捕捉層橫向設置在所述一組左側電荷捕捉層和所述一組右側電荷捕捉層之間。在一些實施例中，每一對左側電荷捕捉層和右側電荷捕捉層設置在相同的層級處，其位於設置頂部電荷捕捉層的層級下方。

【0122】 在一些實施例中，多個通道層包括頂部通道層、一組左側通道層和一組右側通道層，並且頂部通道層橫向設置在所述一組左側通道層和所述一組右側通道層之間。在一些實施例中，每一對左側通道層和右側通道層設置在相同的層級處，其位於設置頂部通道層的層級下方。

【0123】 在一些實施例中，3D記憶體元件包括頂部記憶體單元、一組左側記憶體單元和一組右側記憶體單元，頂部記憶體單元包括頂部電荷捕捉層、頂部通道層、阻隔層的部分和穿隧層的部分，所述一組左側記憶體單元中的每一個包括一組左側電荷俘獲層中相應的一個、一組左側通道層中相應的一個、阻隔層的相應部分和穿隧層的相應部分，所述一組右側記憶體單元中的每一個包括一組右側電荷捕捉層中相應的一個、一組右側通道層中相應的一個、阻隔層的

相應部分和穿隧層的相應部分。

【0124】 在一些實施例中，阻隔層包括氧化矽，每個電荷捕捉層包括氮化矽，並且穿隧層包括氧化矽。在一些實施例中，每個通道層包括多晶矽。

【0125】 根據本發明的另一方面，一種3D記憶體元件包括基底、基底上方的具有雙面階梯形的閘極、閘極上的阻隔層、在阻隔層上各自橫向延伸的多個分立的電荷捕捉層、多個電荷捕捉層上的穿隧層、以及穿隧層上的通道層。多個電荷捕捉層分別對應於閘極的雙面階梯形的階梯設置。

【0126】 在一些實施例中，所述雙面階梯形至少具有位於三個層級處的五個階。

【0127】 在一些實施例中，閘極的雙面階梯形的階梯在橫向方向上是對稱的。

【0128】 在一些實施例中，阻隔層是連續的並且至少沿著閘極的頂表面設置。在一些實施例中，穿隧層是連續的並且至少沿著每個電荷捕捉層的頂表面設置。在一些實施例中，通道層是連續的並且至少沿著穿隧層的頂表面設置。

【0129】 在一些實施例中，多個電荷捕捉層包括頂部電荷捕捉層、一組左側電荷捕捉層和一組右側電荷捕捉層，並且頂部第電荷捕捉層橫向設置在所述一組左側電荷捕捉層和所述一組右側電荷捕捉層之間。在一些實施例中，每一對左側電荷捕捉層和右側電荷捕捉層設置在相同的層級處，其位於設置頂部電荷捕捉層的層級下方。

【0130】 在一些實施例中，阻隔層包括氧化矽，每個電荷捕捉層包括氮化矽，並且穿隧層包括氧化矽。在一些實施例中，通道層包括多晶矽。

【0131】 根據本發明的又一方面，公開了一種用於形成3D記憶體元件的方法。在基底上方形成具有雙面階梯形的閘極。在閘極上形成連續的阻隔層。在阻隔層上形成連續的電荷捕捉層。電荷捕捉層的橫向延伸的第一部分的第一厚度大於電荷捕捉層的豎直延伸的第二部分的第二厚度。去除電荷捕捉層的豎直

延伸的第二部分，以從電荷捕捉層的橫向延伸的第一部分形成設置在阻隔層上的多個分立的電荷捕捉層。多個分立的電荷捕捉層分別對應於閘極的雙面階梯形的階梯設置。在多個電荷捕捉層上形成連續的穿隧層。在穿隧層上形成連續的通道層。

【0132】 在一些實施例中，為了形成閘極，在基底上方沉積閘極層，在閘極層上塗布光阻層，並且通過修整光阻層和蝕刻閘極層的多次迴圈，將閘極層圖案化為具有雙面階梯形。

【0133】 在一些實施例中，為了形成閘極，隨後在基底上方沉積多個閘極層。每個閘極層的橫向尺寸大於隨後沉積的閘極層的橫向尺寸。

【0134】 在一些實施例中，為了形成連續的電荷捕捉層，使用CVD在阻隔層上沉積電荷捕捉層。在一些實施例中，CVD包括ALD。

【0135】 在一些實施例中，為了去除電荷捕捉層的第二部分，使用濕蝕刻來蝕刻電荷捕捉層，直到去除電荷捕捉層的豎直延伸的第二部分。

【0136】 在一些實施例中，通道層的橫向延伸的第一部分的第一厚度大於通道層的豎直延伸的第二部分的第二厚度。在一些實施例中，去除通道層的豎直延伸的第二部分，以形成設置在穿隧層上的多個分立的通道層。多個分立的通道層分別對應於閘極的雙面階梯形的階梯設置。

【0137】 在一些實施例中，為了形成連續的通道層，使用CVD在阻隔層上沉積通道層。在一些實施例中，CVD包括ALD。

【0138】 在一些實施例中，為了去除通道層的第二部分，使用濕蝕刻來蝕刻通道層，直到去除通道層的豎直延伸的第二部分。

【0139】 以上對具體實施例的描述將揭示本發明的一般性質，以使得其他人可以通過應用本領域技術內的知識容易地修改和/或適應這些具體實施例的各種應用，無需過度實驗，且不脫離本發明的一般概念。因此，基於本文給出的教

導和指導，這樣的適應和修改旨在處於所公開的實施例的均等物的含義和範圍內。應該理解的是，本文中的措辭或術語是出於描述的目的而非限制的目的，使得本說明書的術語或措辭將由本領域通常知識者根據教導和指導來解釋。

【0140】 以上已經借助於功能構建塊描述了本發明的實施例，所述功能構建塊繪示出了特定功能及其關係的實施方式。為了便於描述，在本文中任意限定了這些功能構建塊的邊界。只要適當地執行特定功能及其關係，就可以限定替換的邊界。

【0141】 發明內容和摘要部分可以闡述由發明人設想的本發明的一個或多個但不是全部的示例性實施例，並且由此不旨在以任何方式限制本發明和所附申請專利範圍。

【0142】 本發明的廣度和範圍不應受任何上述示例性實施例的限制，而應僅根據所附申請專利範圍及其均等方案來限定。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0143】

- 100 . . . 3D記憶體元件
- 101 . . . 層級
- 101a . . . 記憶體單元
- 102 . . . 基底
- 103 . . . 層級
- 103b . . . 記憶體單元
- 103c . . . 記憶體單元
- 104 . . . 閘極

- 106 . . . 阻隔層
- 108a、108b、108c . . . 電荷捕捉層
- 110 . . . 穿隧層
- 112a、112b、112c . . . 通道層
- 200 . . . 3D記憶體元件
- 202 . . . 通道層
- 300 . . . 3D記憶體元件
- 301 . . . 層級
- 301a . . . 頂部記憶體單元
- 302 . . . 基底
- 303 . . . 層級
- 304 . . . 閘極
- 303b . . . 右側記憶體單元
- 303c . . . 左側記憶體單元
- 305 . . . 層級
- 305b . . . 右側記憶體單元
- 305c . . . 左側記憶體單元
- 306 . . . 阻隔層
- 307 . . . 層級
- 307b . . . 右側記憶體單元
- 307c . . . 左側記憶體單元
- 308a . . . 電荷捕捉層
- 309 . . . 層級
- 309b . . . 右側記憶體單元

- 309c . . . 左側記憶體單元
- 310b、310c、312b、312c、314b、314c、316b、316c . . . 電荷捕捉層
- 317 . . . 穿隧層
- 318a、320b、320c、322b、322c、324b、324c、326b、326c . . . 通道層
- 400 . . . 3D記憶體元件
- 402 . . . 通道層
- 500 . . . 3D記憶體元件
- 501 . . . 3D記憶體元件
- 502 . . . 基底
- 503、504、505、506、507、508 . . . 記憶體堆疊
- 509 . . . 通道層
- 510 . . . 層級
- 512 . . . 層級
- 514 . . . 閘極
- 516 . . . 阻隔層
- 518a、518b、518c . . . 電荷捕捉層
- 520 . . . 穿隧層
- 522a、 522b、522c . . . 通道層
- 524a、524b、524c . . . 記憶體單元
- 526 . . . 堆疊間介電層
- 528 . . . 閘極
- 600 . . . 3D記憶體元件
- 601 . . . 3D記憶體元件
- 602 . . . 基底

603、604、605、606、607、608 . . . 記憶體堆疊

609 . . . 通道層

610 . . . 層級

612 . . . 層級

614 . . . 底部閘極

616 . . . 阻隔層

618a、618b、618c . . . 電荷捕捉層

620 . . . 穿隧層

622a、622b、622c . . . 通道層

624a、624b、624c . . . 記憶體單元

626 . . . 堆疊間介電層

628 . . . 閘極

630 . . . 閘極

700 . . . 3D記憶體元件

701、702、703 . . . 閘極

706a、706b、706c、706d、706e、706f、706g . . . 儲存膜

801 . . . 閘極層

802 . . . 矽基底

804 . . . 閘極

806 . . . 阻隔層

808、810a、810b、810c . . . 電荷捕捉層

812 . . . 穿隧層

814、814a、814b、814c . . . 通道層

902 . . . 矽基底

- 904 . . . 閘極
- 906 . . . 阻隔層
- 908、910a、912b、912c、914b、914c、916b、916c、918b . . . 電荷捕捉層
- 918c . . . 電荷捕捉層
- 920 . . . 穿隧層
- 922、924a、926b、926c、928b、928c、930b、930c、932b . . . 通道層
- 932c . . . 通道層
- 1002 . . . 矽基底
- 1004 . . . 第一閘極
- 1006 . . . 第一阻隔層
- 1010a、1010b、1010c . . . 第一電荷捕捉層
- 1012 . . . 第一穿隧層
- 1016a、1016b、1016c . . . 第一通道層
- 1018 . . . 堆疊間介電層
- 1020 . . . 第一記憶體堆疊
- 1022 . . . 第二記憶體堆疊
- 1024 . . . 第三記憶體堆疊
- 1102 . . . 基底
- 1104 . . . 第一閘極
- 1106 . . . 第一阻隔層
- 1110a、1110b、1110c . . . 第一電荷捕捉層
- 1112 . . . 第一穿隧層
- 1116a、1116b、1116c . . . 第一通道層
- 1118 . . . 堆疊間介電層

- 1120 . . . 第一記憶體堆疊
- 1122 . . . 閘極層
- 1124 . . . 第二閘極
- 1126 . . . 第二阻隔層
- 1130a、1130b、1130c . . . 第二電荷捕捉層
- 1132 . . . 第二穿隧層
- 1136a、1136b、1136c . . . 第二通道層
- 1138 . . . 堆疊間介電層
- 1140 . . . 第二記憶體堆疊
- 1142 . . . 第三記憶體堆疊
- 1200 . . . 方法
- 1202、1204、1206、1208、1210、1212、1214 . . . 操作
- 1300 . . . 方法
- 1302、1304、1306、1308、1310、1312、1314 . . . 操作
- 1400 . . . 方法
- 1402、1404、1406、1408、1410、1412、1414、1416、1418、1420 . . . 操作
- 1422 . . . 操作
- 1500 . . . 方法
- 1502、1504、1506、1508、1510、1512、1514、1516、1518、1520 . . . 操作
- 1522 . . . 操作
- t1、t3 . . . 第一厚度
- t2、t4 . . . 第二厚度
- x、y、z . . . 方向

【發明申請專利範圍】

【第1項】 一種三維（3D）記憶體元件，包括：

基底；

該基底上方的具有雙面階梯形的閘極；

該閘極上的阻隔層；

在該阻隔層上各自橫向延伸的多個分立的電荷捕捉層，其中，該多個電荷捕捉層分別對應於該閘極的該雙面階梯形的階梯設置；

該多個電荷捕捉層上的穿隧層；以及

在該穿隧層上各自橫向延伸的多個分立的通道層，其中，該多個通道層分別對應於該雙面階梯形的該階梯設置。

【第2項】 如申請專利範圍第1項所述的3D記憶體元件，其中，該雙面階梯形至少具有位於三個層級處的五個階梯。

【第3項】 如申請專利範圍第1項所述的3D記憶體元件，其中，該閘極的該雙面階梯形的該階梯在橫向方向上是對稱的。

【第4項】 如申請專利範圍第1項所述的3D記憶體元件，其中，該阻隔層是連續的並且至少沿著該閘極的頂表面設置，該穿隧層是連續的並且至少沿著每個該電荷捕捉層的頂表面設置。

【第5項】 如申請專利範圍第1項所述的3D記憶體元件，其中，
該多個電荷捕捉層包括頂部電荷捕捉層、一組左側電荷捕捉層和一組右側電荷捕捉層；以及

該頂部電荷捕捉層橫向設置在該一組左側電荷捕捉層和該一組右側電荷捕捉層之間。

【第6項】 如申請專利範圍第5項所述的3D記憶體元件，其中，每一對該左側電荷捕捉層和該右側電荷捕捉層設置在相同的層級處，該層級位於設置該頂部電荷捕捉層的層級下方。

【第7項】 如申請專利範圍第5項所述的3D記憶體元件，其中，
該多個通道層包括頂部通道層、一組左側通道層和一組右側通道層；以及
該頂部通道層橫向設置在該一組左側通道層和該一組右側通道層之間。

【第8項】 如申請專利範圍第7項所述的3D記憶體元件，其中，每一對該左側通道層和該右側通道層設置在相同的層級處，該層級位於設置該頂部通道層的層級下方。

【第9項】 如申請專利範圍第7項所述的3D記憶體元件，進一步包括頂部記憶體單元、一組左側記憶體單元和一組右側記憶體單元，其中，

該頂部記憶體單元包括該頂部電荷捕捉層、該頂部通道層、該阻隔層的部分和該穿隧層的部分；

該一組左側記憶體單元中的每一個包括該一組左側電荷捕捉層中相應的一個、該一組左側通道層中相應的一個、該阻隔層的相應部分和穿隧層的相應部分；以及

該一組右側記憶體單元中的每一個包括該一組右側電荷捕捉層中相應的一個、該一組右側通道層中相應的一個、該阻隔層的相應部分和穿隧層的相應部

分。

【第10項】一種三維（3D）記憶體元件，包括：

基底；

該基底上方的具有雙面階梯形的閘極；

該閘極上的阻隔層；

在該阻隔層上各自橫向延伸的多個分立的電荷捕捉層，其中，該多個電荷捕捉層分別對應於該閘極的該雙面階梯形的階梯設置；

該多個電荷捕捉層上的穿隧層，其中，該穿隧層具有對應於該閘極的一雙面階梯形表面；以及

該穿隧層上的通道層。

【第11項】如申請專利範圍第10項所述的3D記憶體元件，其中，該雙面階梯形至少具有位於三個層級處的五個階梯。

【第12項】如申請專利範圍第10項所述的3D記憶體元件，其中，該閘極的該雙面階梯形的該階梯在橫向方向上是對稱的。

【第13項】一種用於形成三維（3D）記憶體元件的方法，包括：

在基底上方形成具有具有雙面階梯形的閘極；

在該閘極上形成連續的阻隔層；

在該阻隔層上形成連續的電荷捕捉層，其中，該電荷捕捉層的橫向延伸的第一部分的第一厚度大於該電荷捕捉層的豎直延伸的第二部分的第二厚度；

去除該電荷捕捉層的豎直延伸的該第二部分，以從該電荷捕捉層的橫向延伸

的該第一部分形成設置在該阻隔層上的多個分立的電荷捕捉層，其中，該多個分立的電荷捕捉層分別對應於該閘極的該雙面階梯形的階梯形成；

在該多個電荷捕捉層上形成連續的穿隧層；以及

在該穿隧層上形成連續的通道層。

【第14項】如申請專利範圍第13項所述的形成3D記憶體元件的方法，其中，形成該閘極的步驟包括：

在該基底上方沉積閘極層；

在該閘極層上塗布光阻層；以及

通過修整該光阻層和蝕刻該閘極層的多次迴圈，將該閘極層圖案化為具有該雙面階梯形。

【第15項】如申請專利範圍第13項所述的形成3D記憶體元件的方法，其中，形成該閘極的步驟包括：

隨後在該基底上方沉積多個閘極層，其中，每個該閘極層的橫向尺寸大於隨後沉積的每個該閘極層的橫向尺寸。

【第16項】如申請專利範圍第13項所述的形成3D記憶體元件的方法，其中，形成該連續的電荷捕捉層包括使用原子層沉積（ALD）在該阻隔層上沉積該電荷捕捉層。

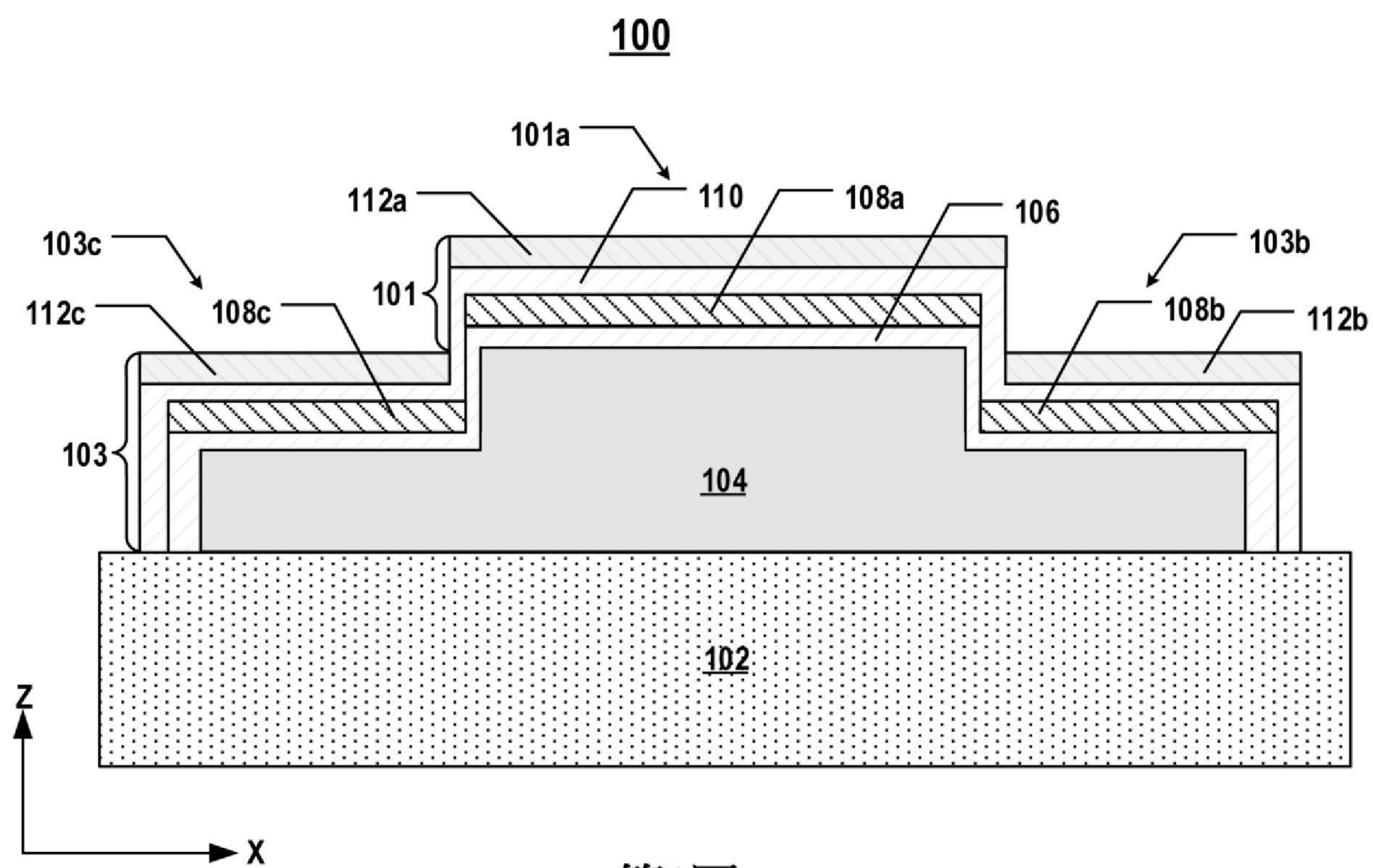
【第17項】如申請專利範圍第13項所述的形成3D記憶體元件的方法，其中，去除該電荷捕捉層的該第二部分包括使用濕蝕刻來蝕刻該電荷捕捉層，直到去除該電荷捕捉層的豎直延伸的該第二部分。

【第18項】如申請專利範圍第13項所述的形成3D記憶體元件的方法，其中，該通道層的橫向延伸的第一部分的第一厚度大於該通道層的豎直延伸的第二部分的第二厚度，該方法還包括去除該通道層的豎直延伸的該第二部分，以形成設置在該穿隧層上的多個分立的通道層，其中，該多個分立的通道層分別對應於該閘極的該雙面階梯形的該階梯形成。

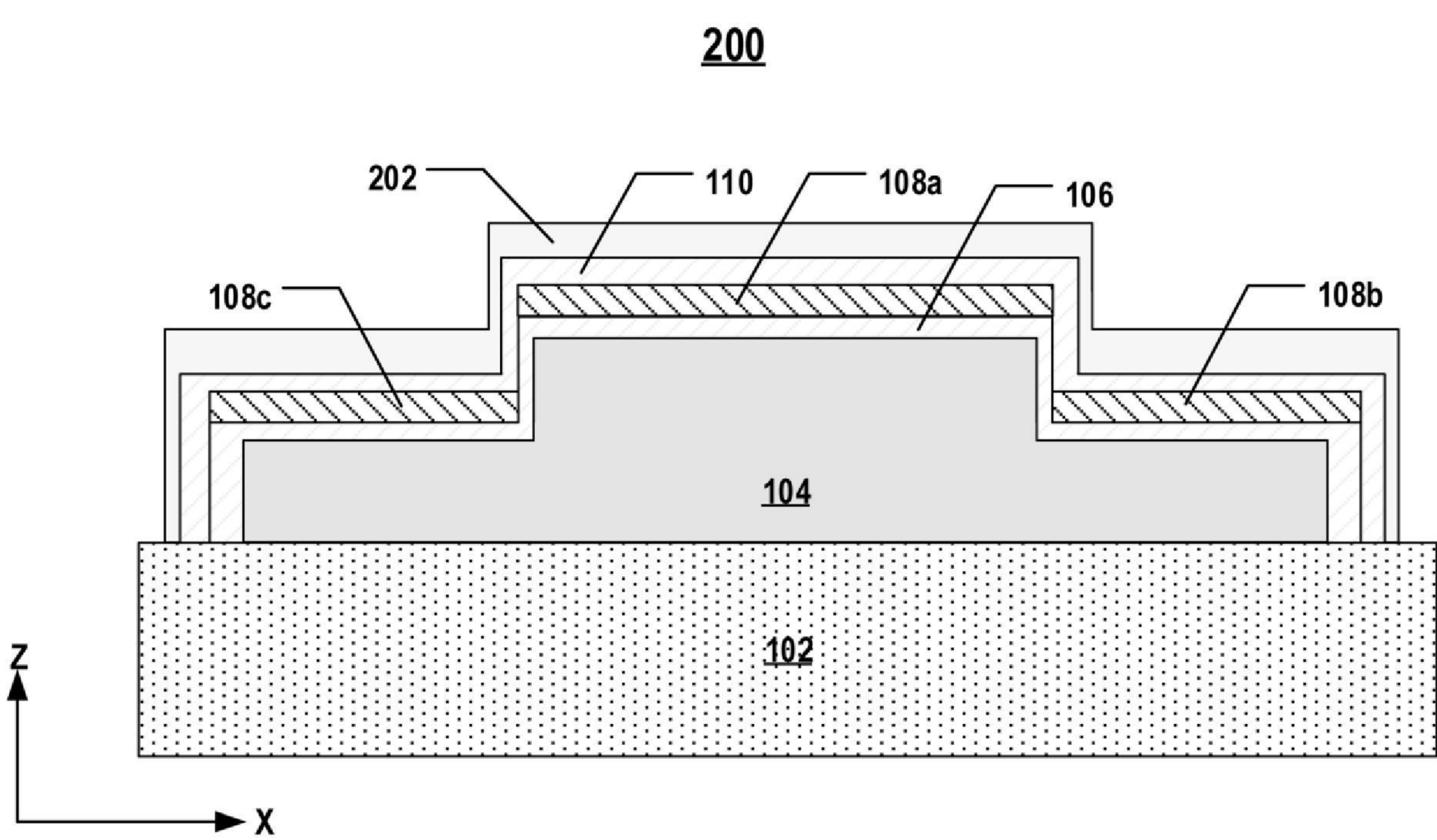
【第19項】如申請專利範圍第18項所述的形成3D記憶體元件的方法，其中，形成該連續的通道層包括使用原子層沉積在該穿隧層上沉積該通道層。

【第20項】如申請專利範圍第18項所述的形成3D記憶體元件的方法，其中，去除該通道層的該第二部分包括使用濕蝕刻來蝕刻該通道層，直到去除該通道層的豎直延伸的該第二部分。

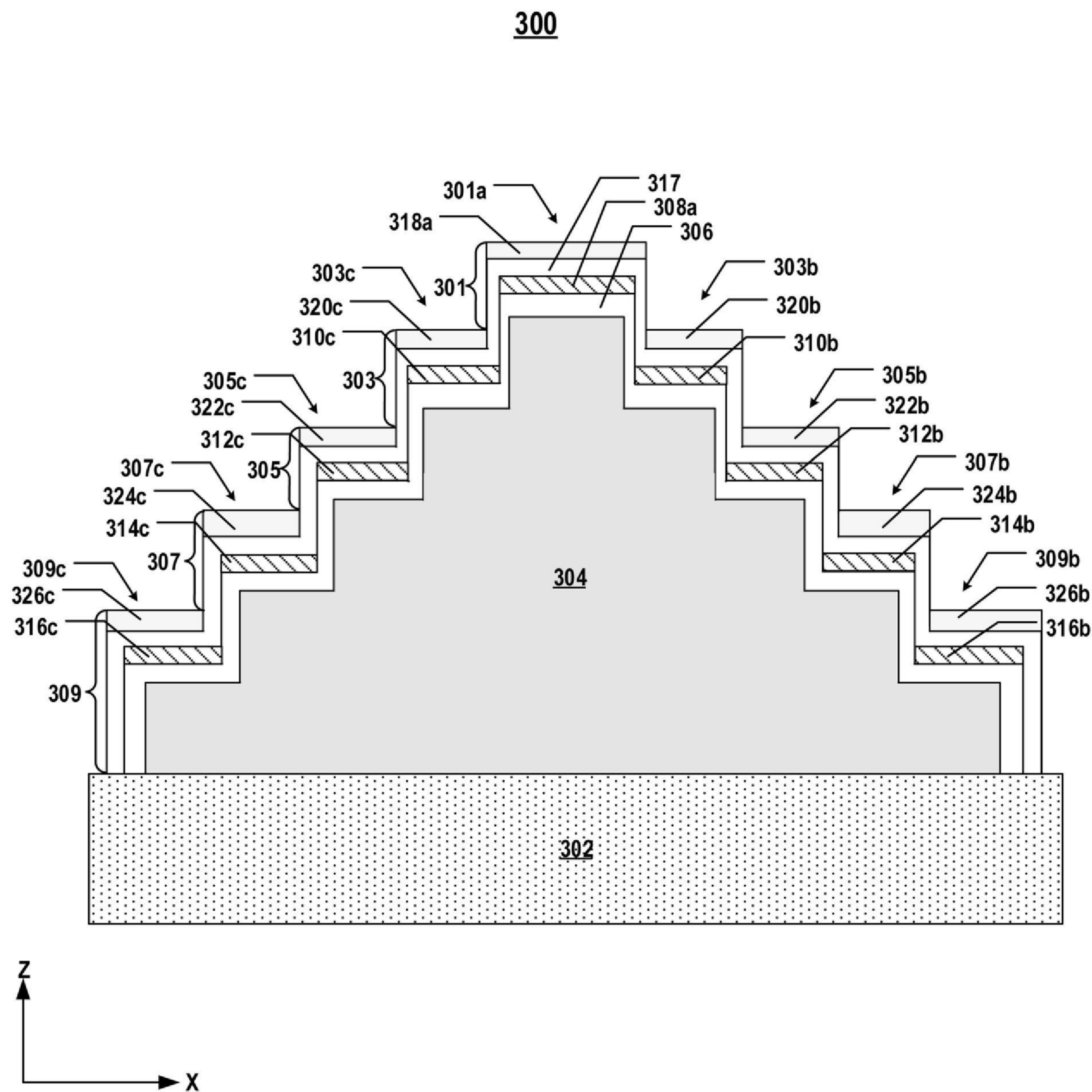
【發明圖式】



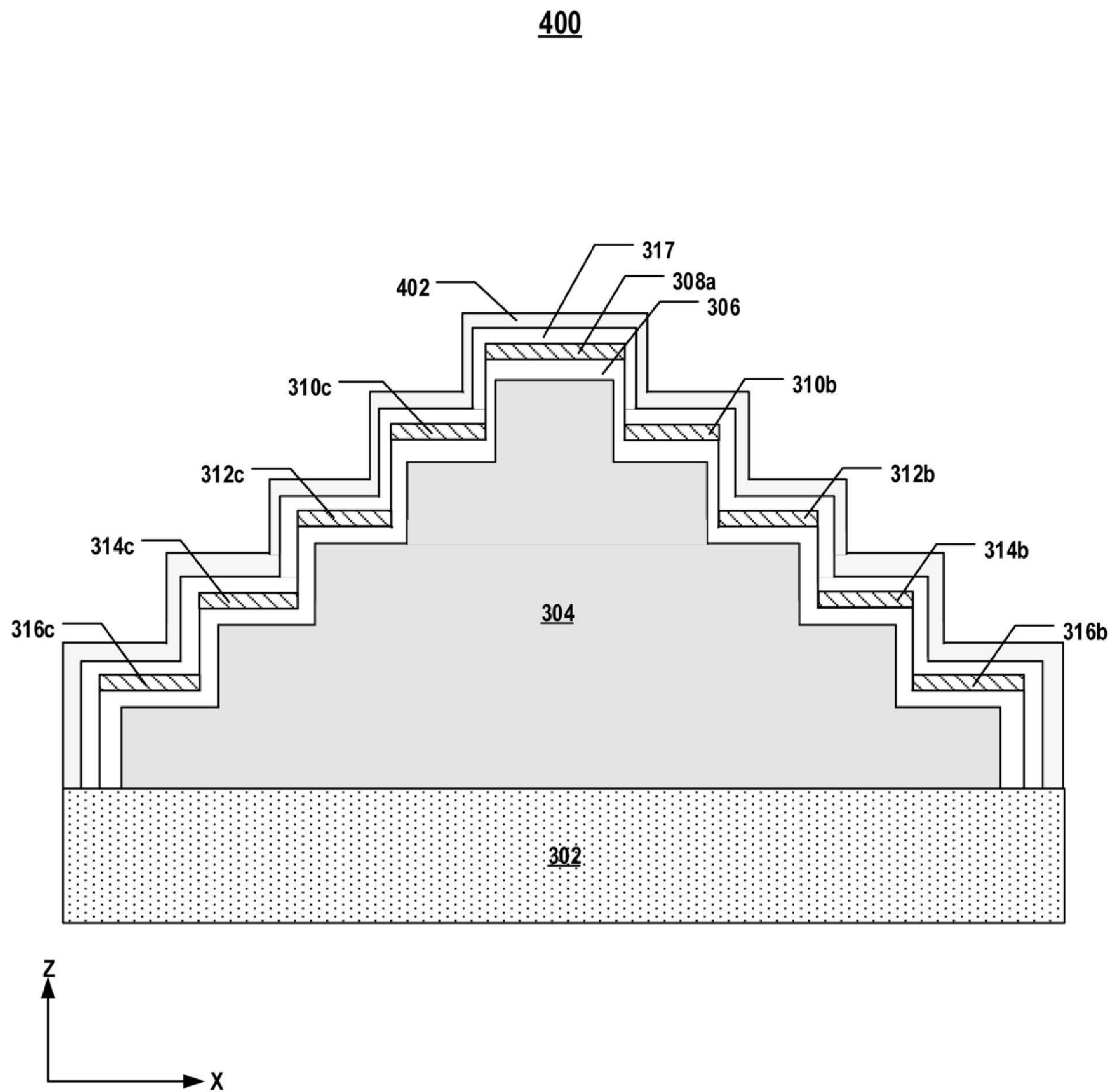
第1圖



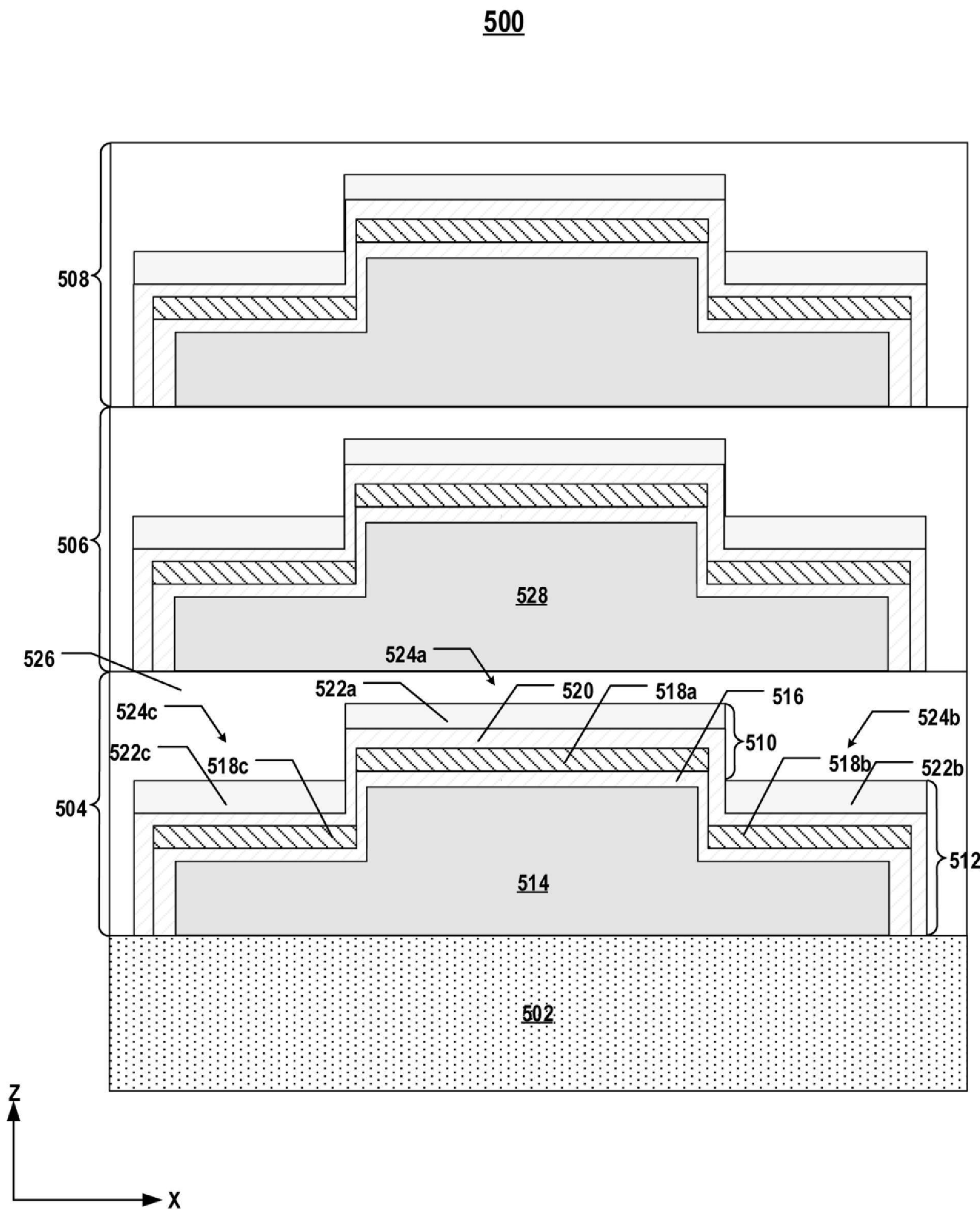
第2圖

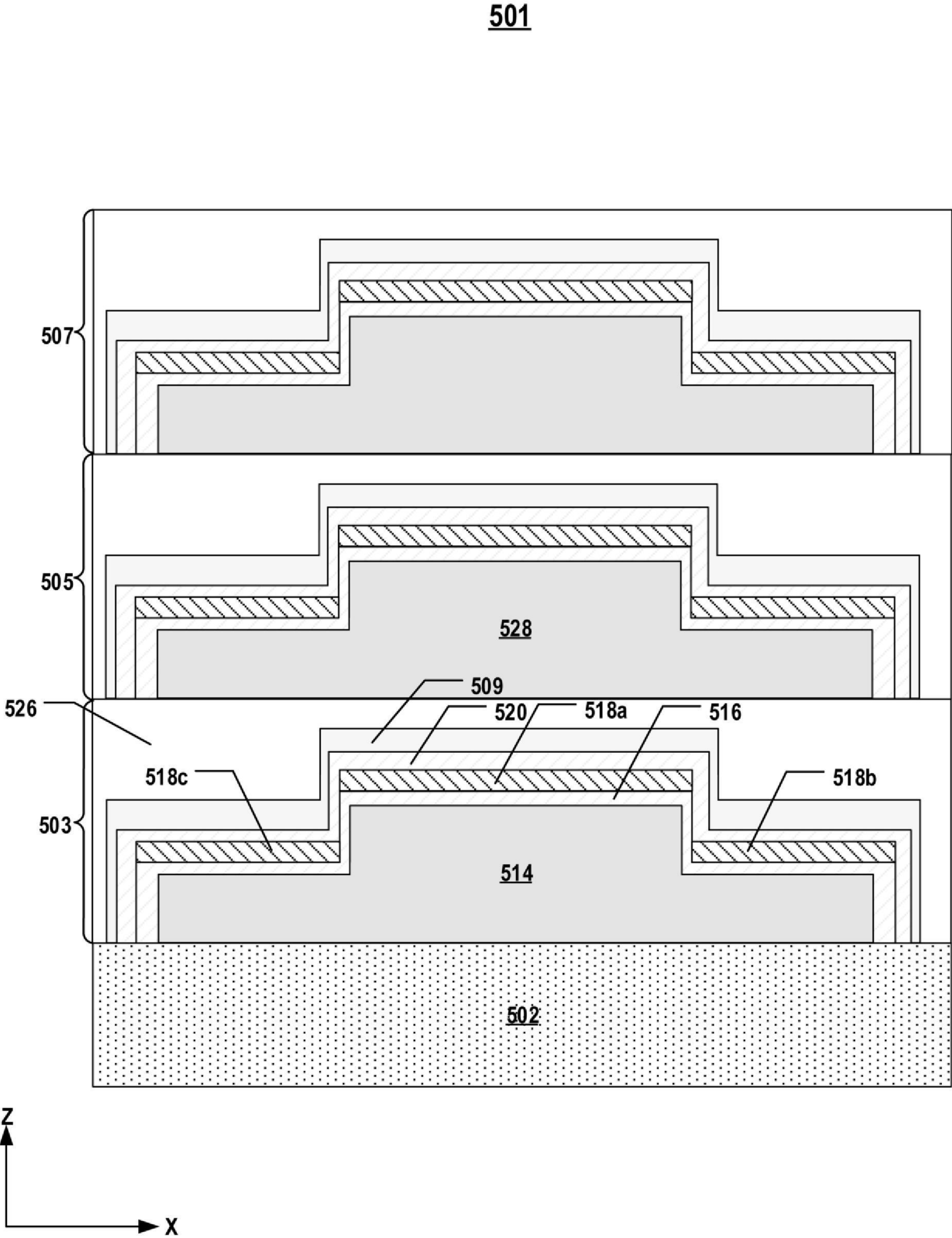


第3圖

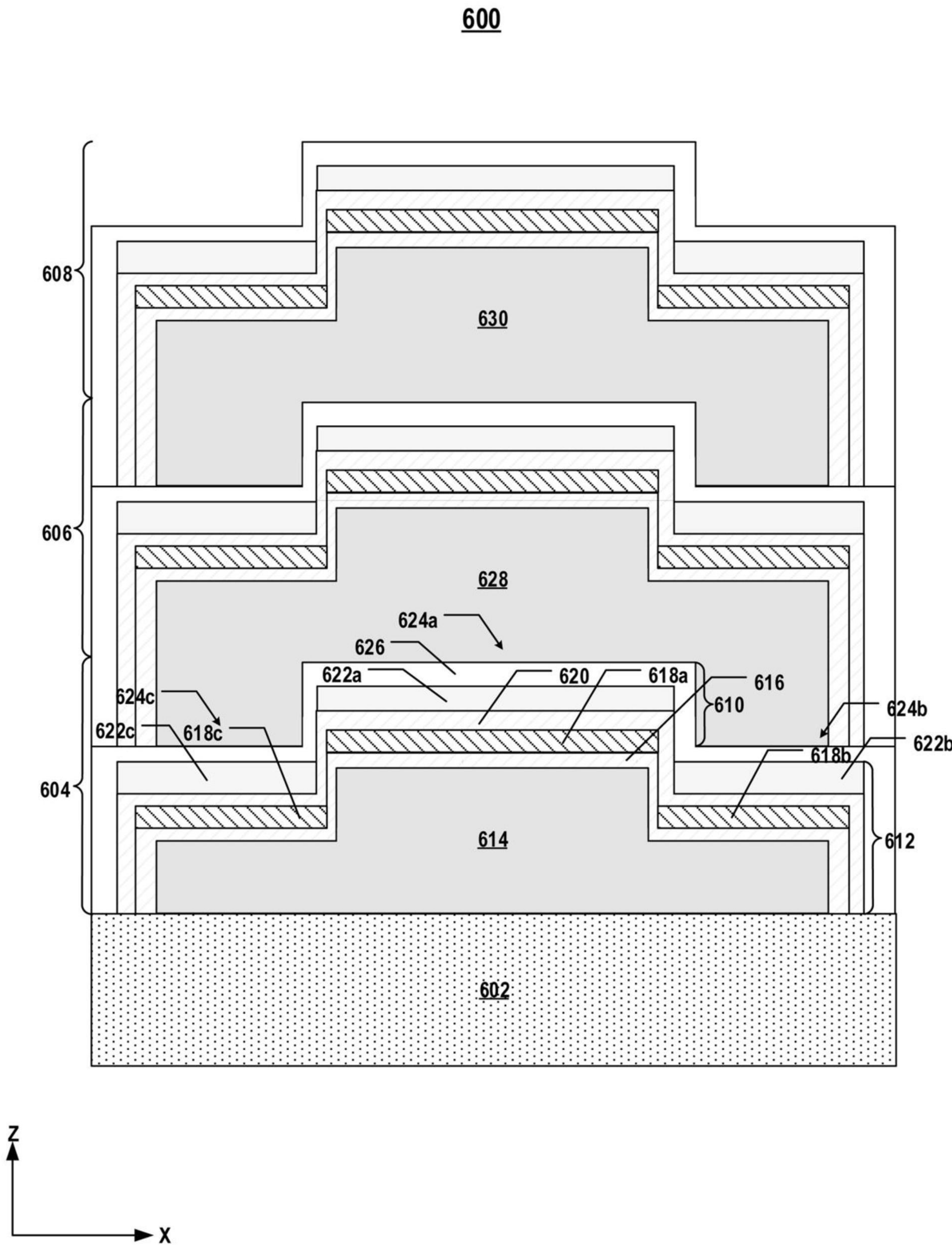


第4圖

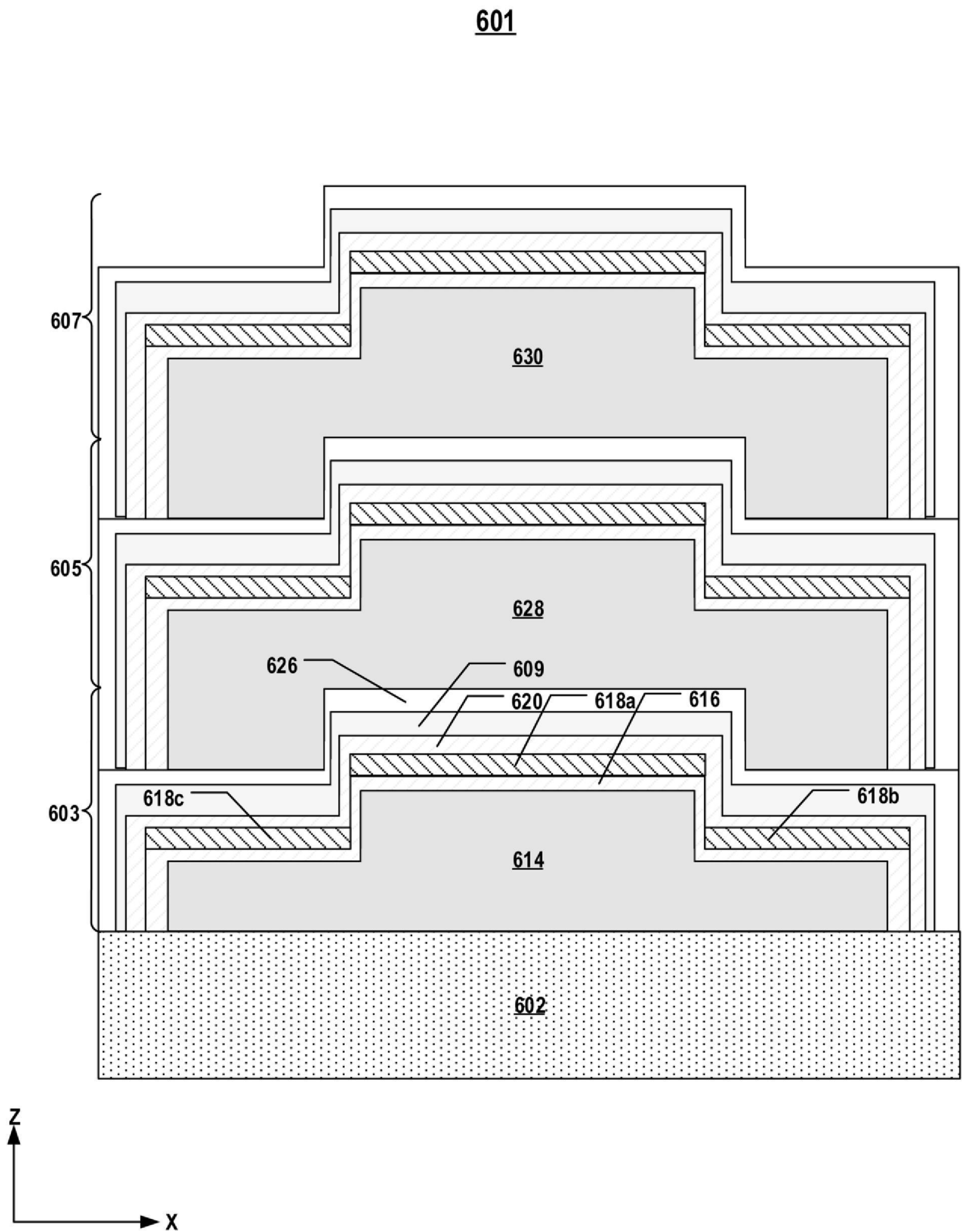




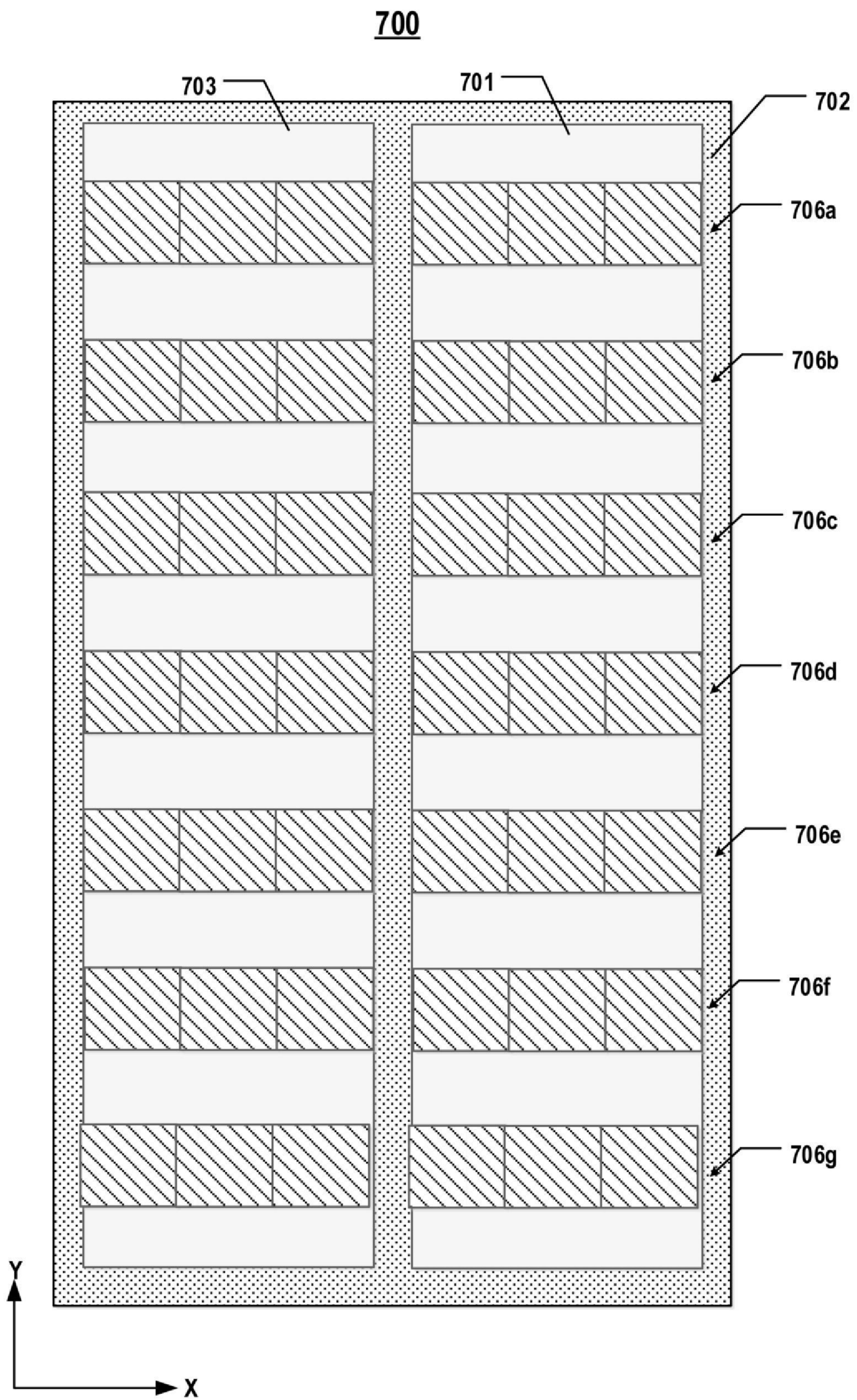
第5B圖



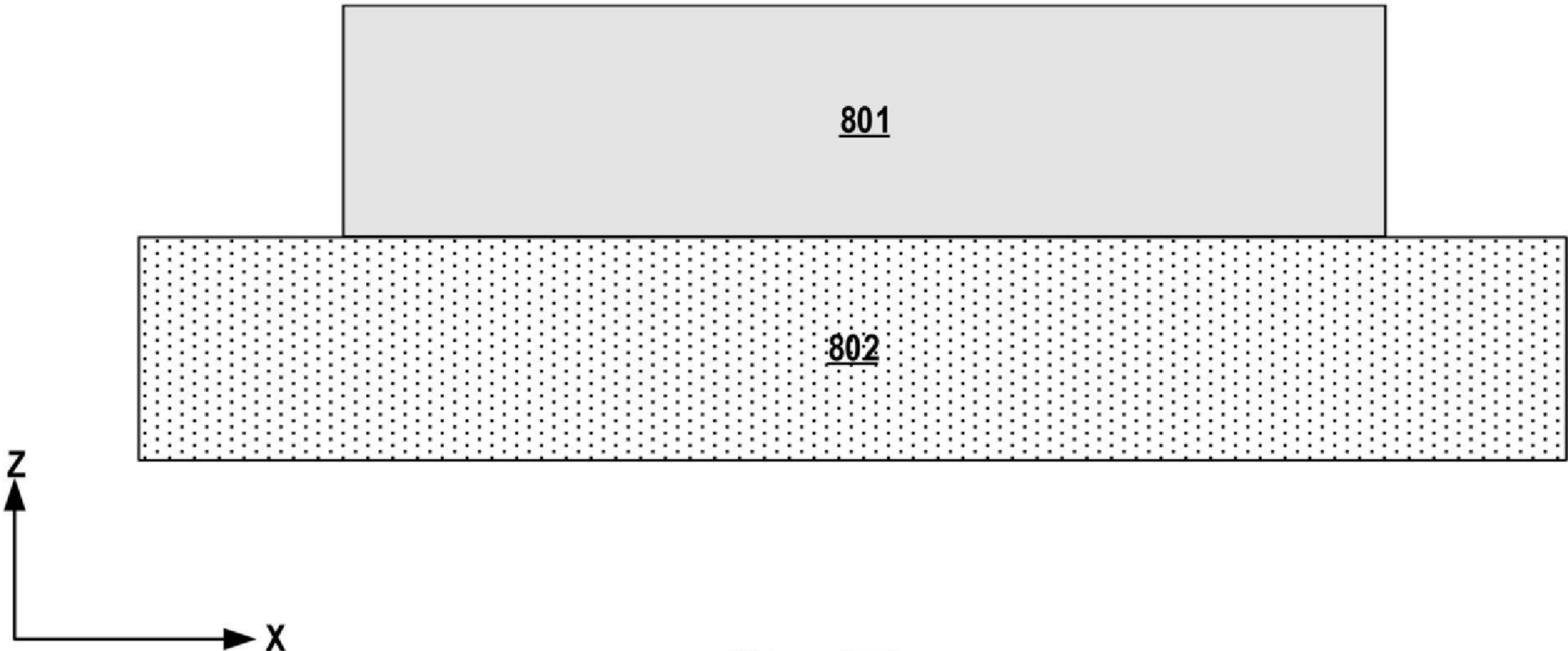
第6A圖



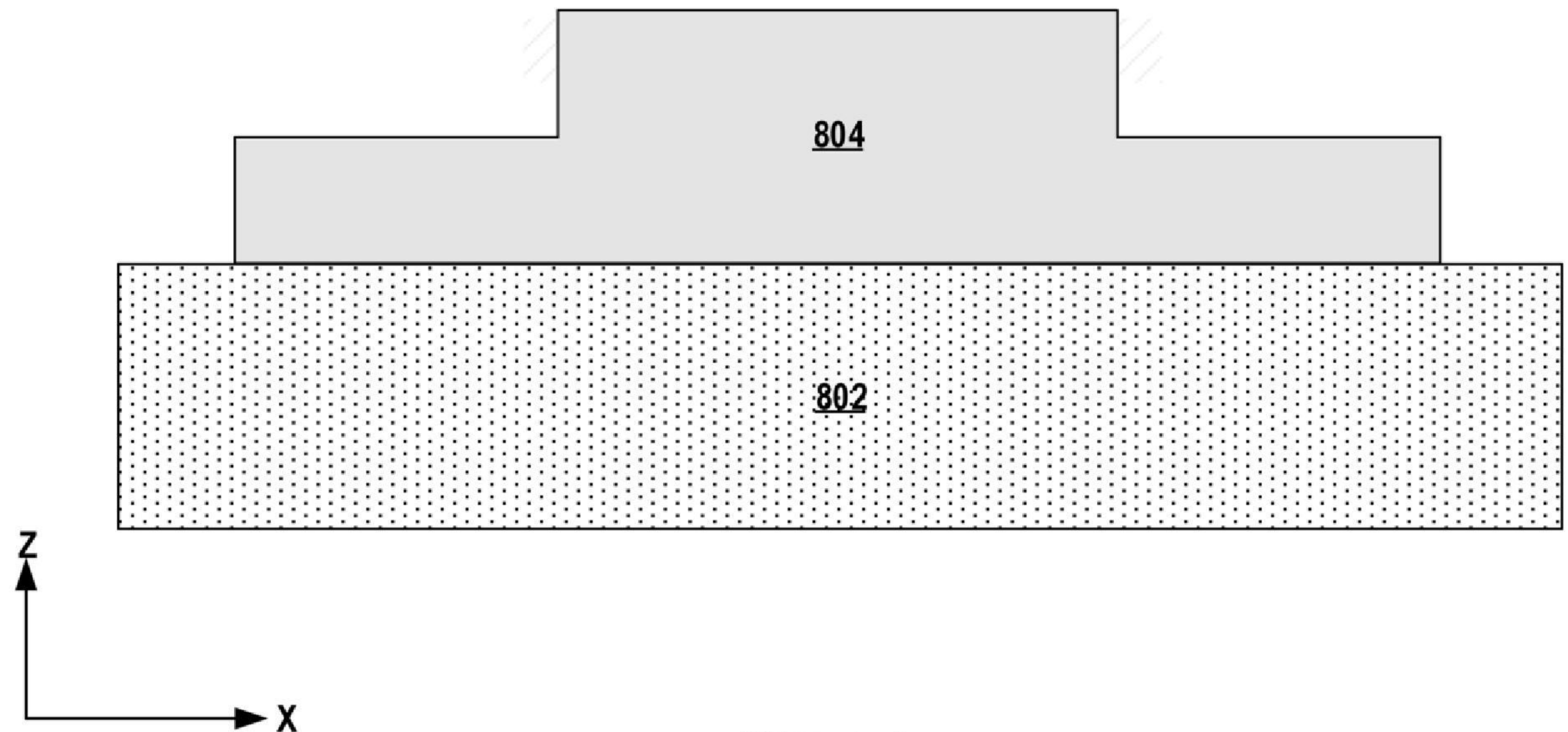
第6B圖



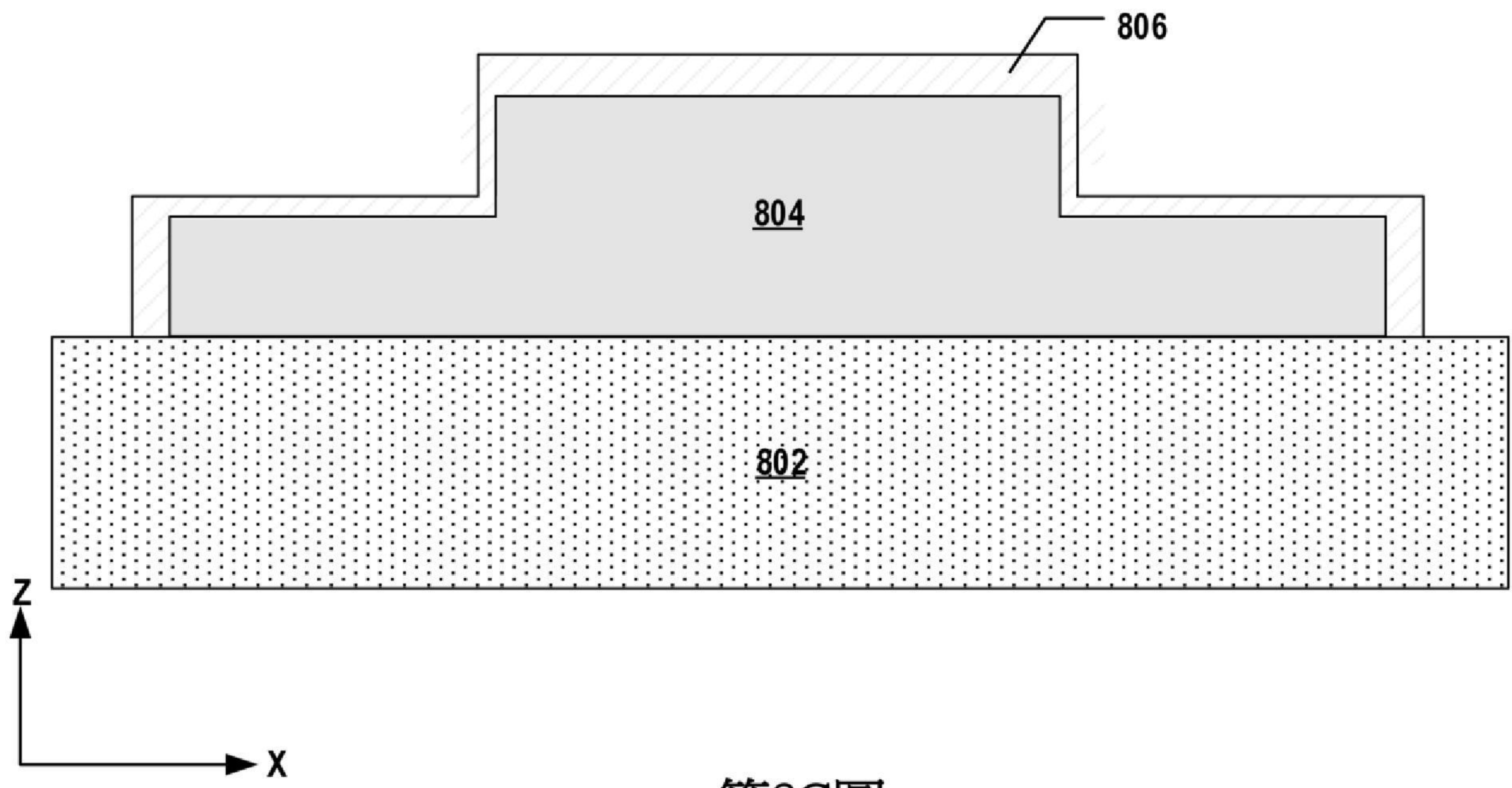
第7圖



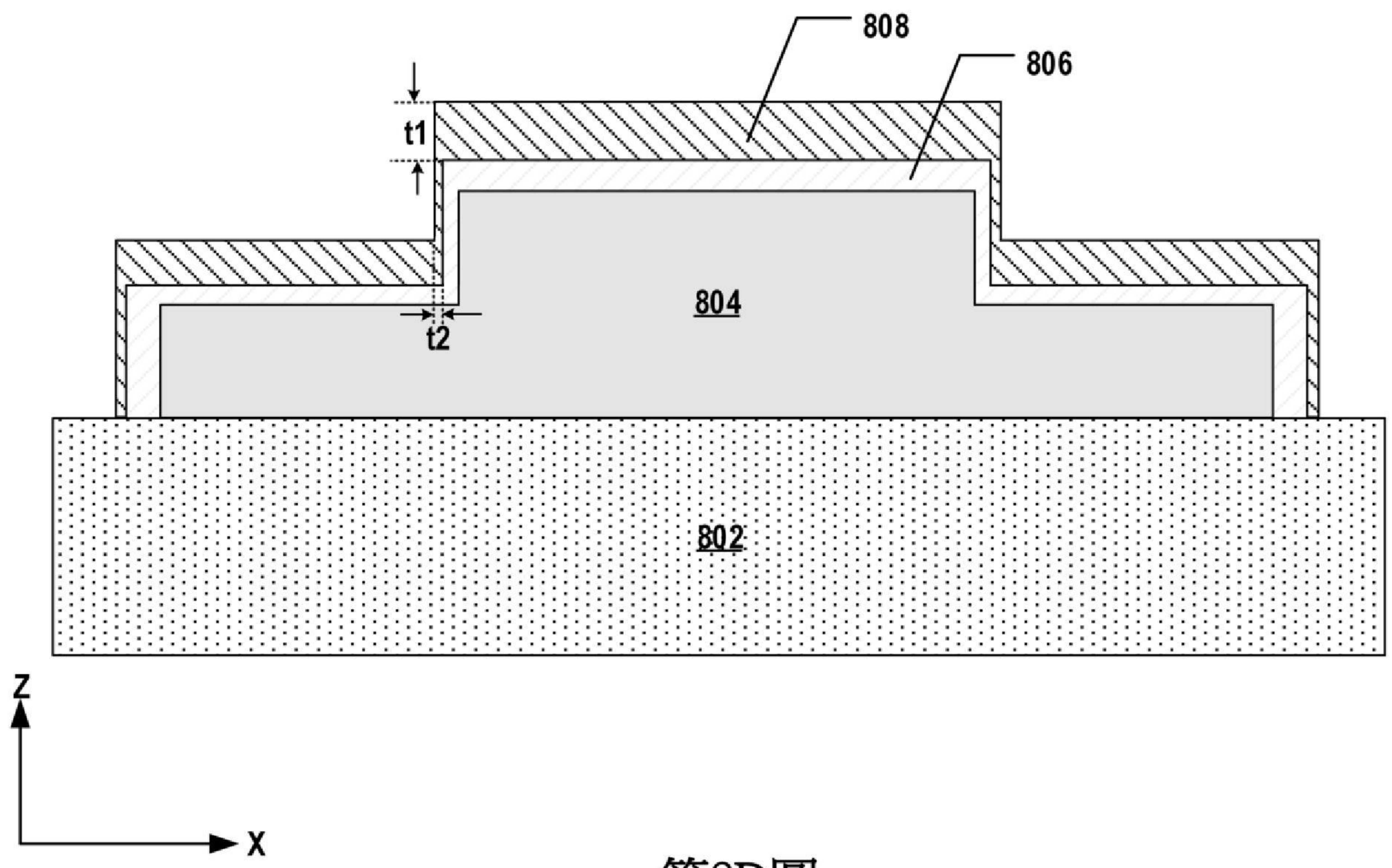
第8A圖



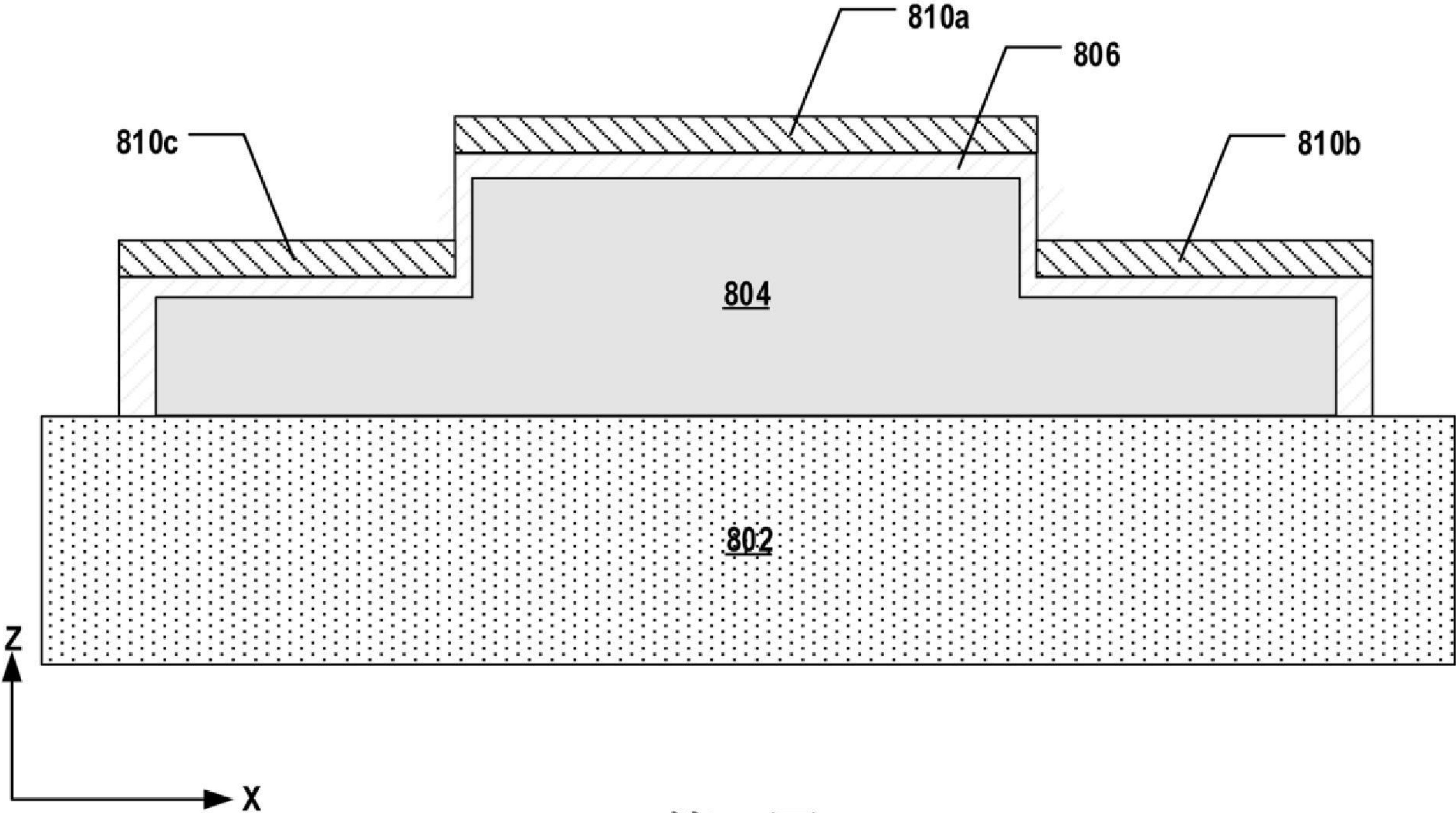
第8B圖



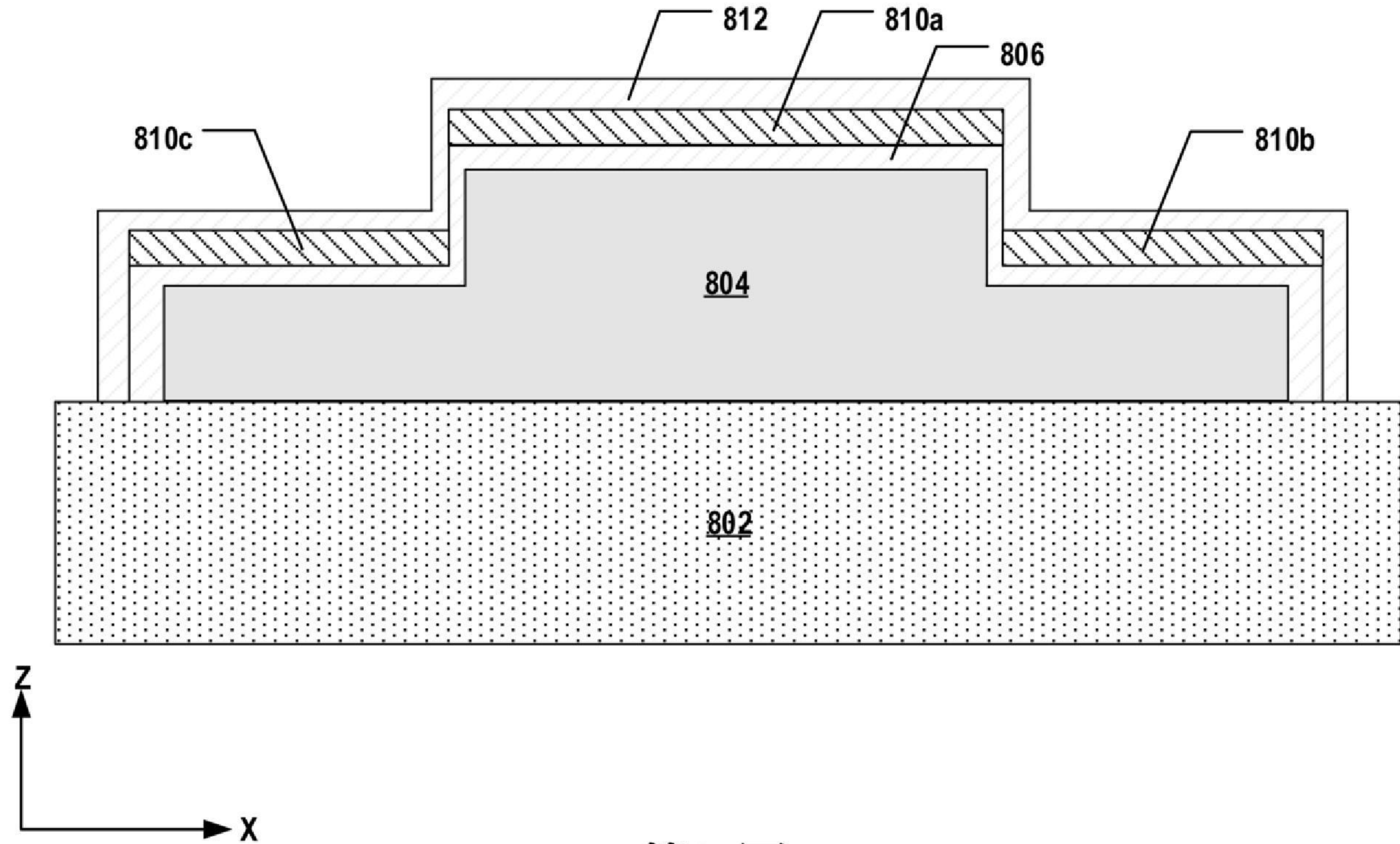
第8C圖



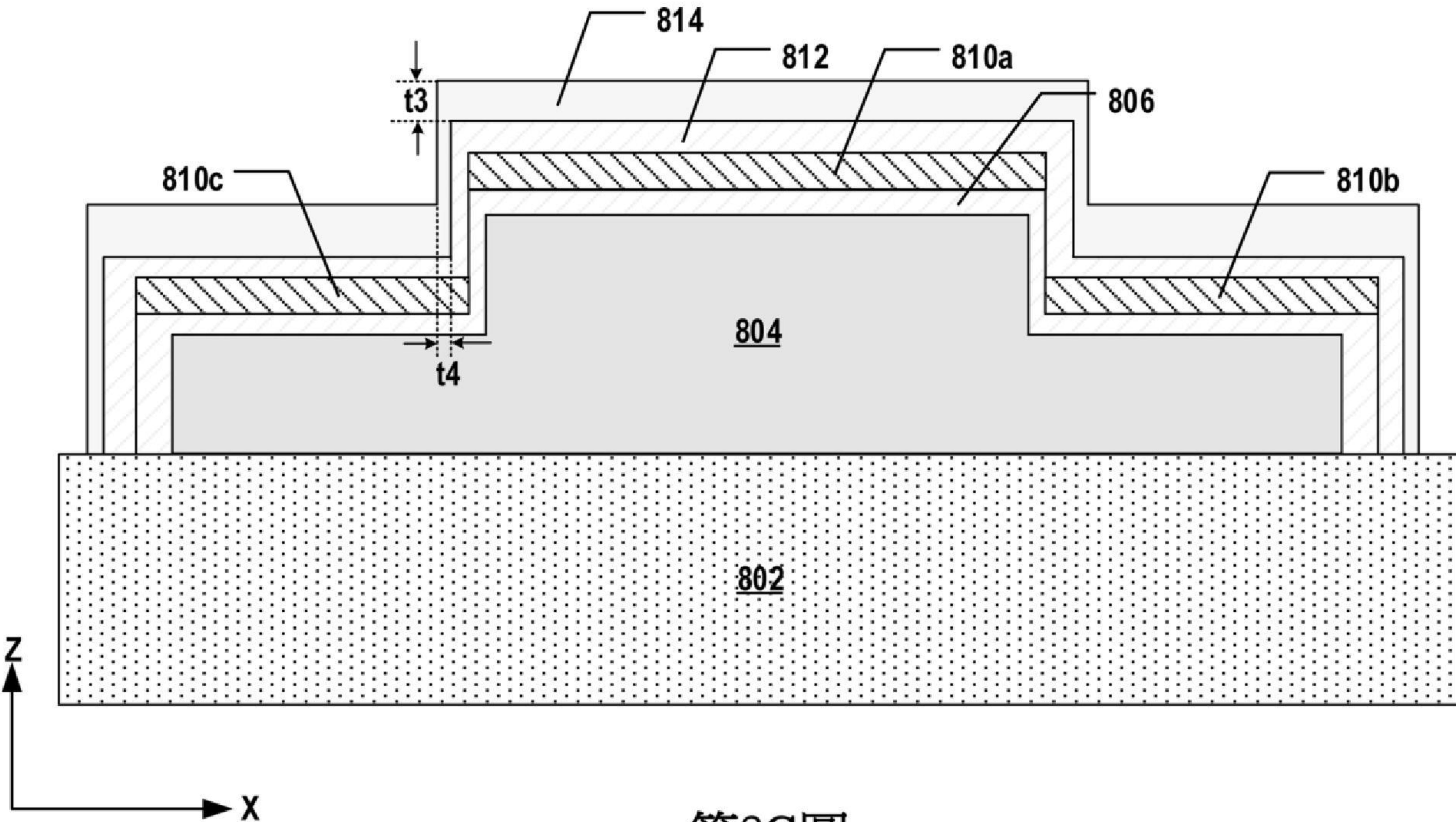
第8D圖



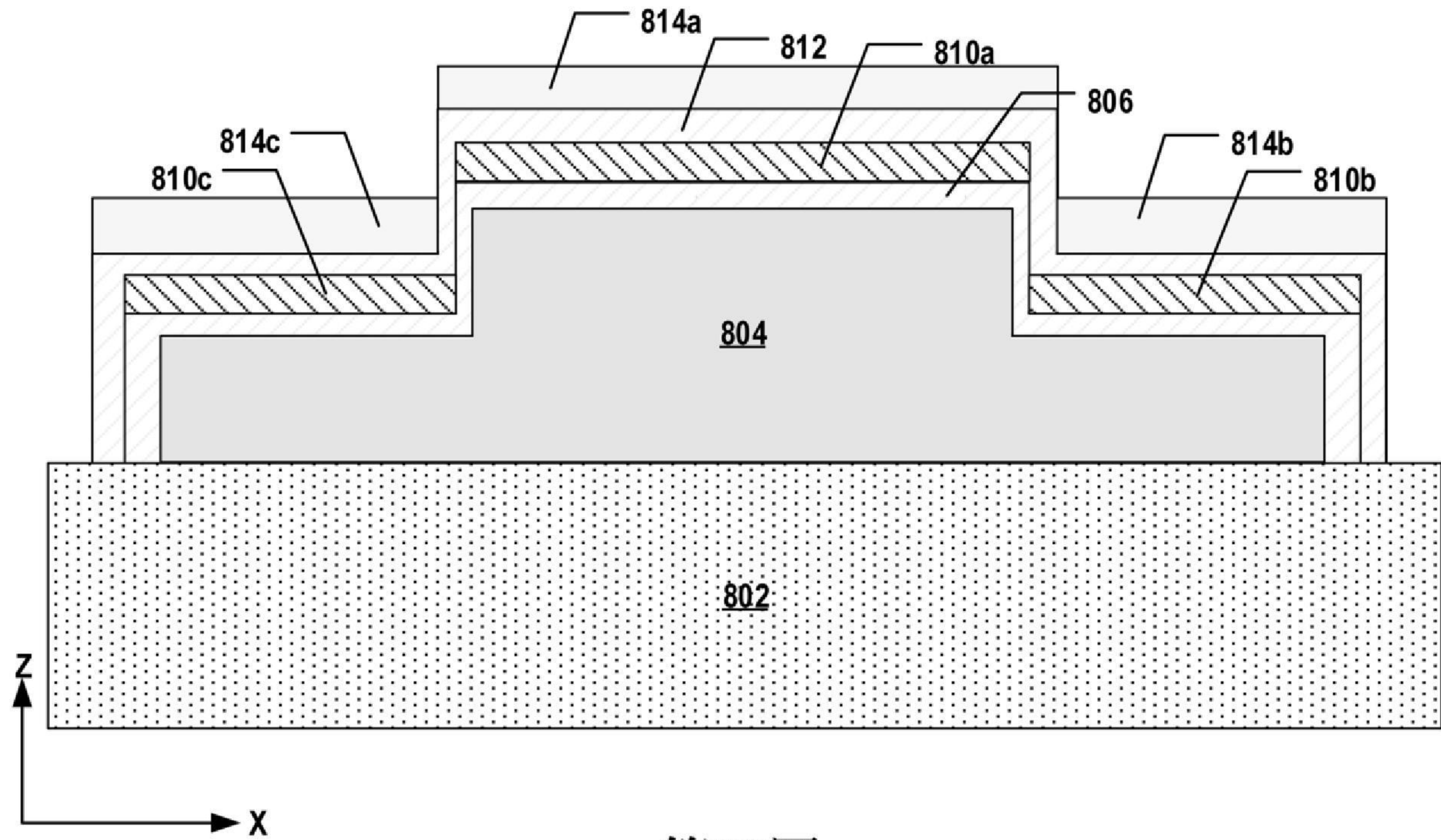
第8E圖



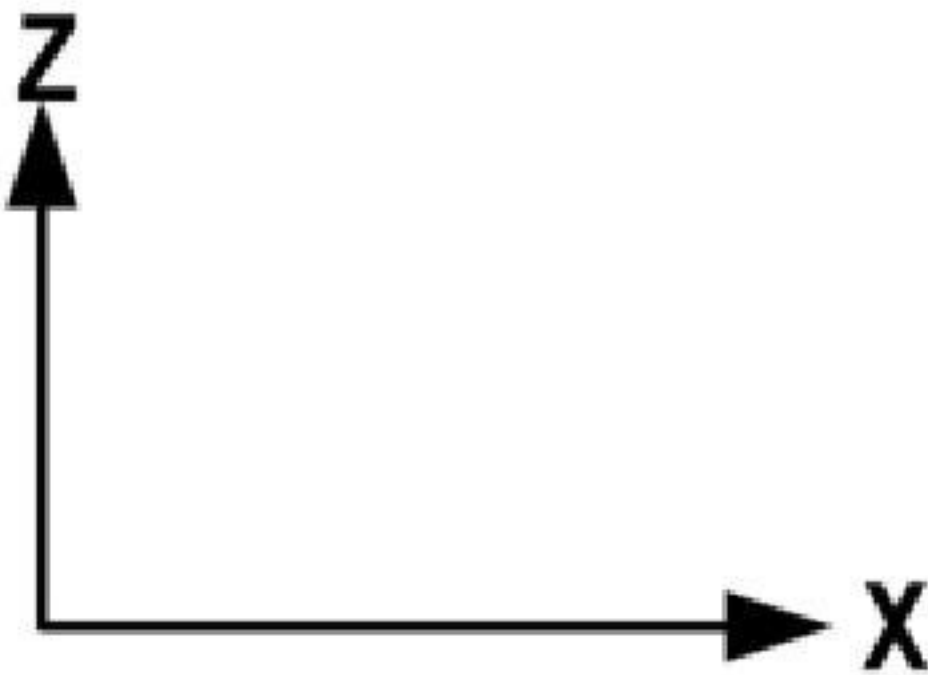
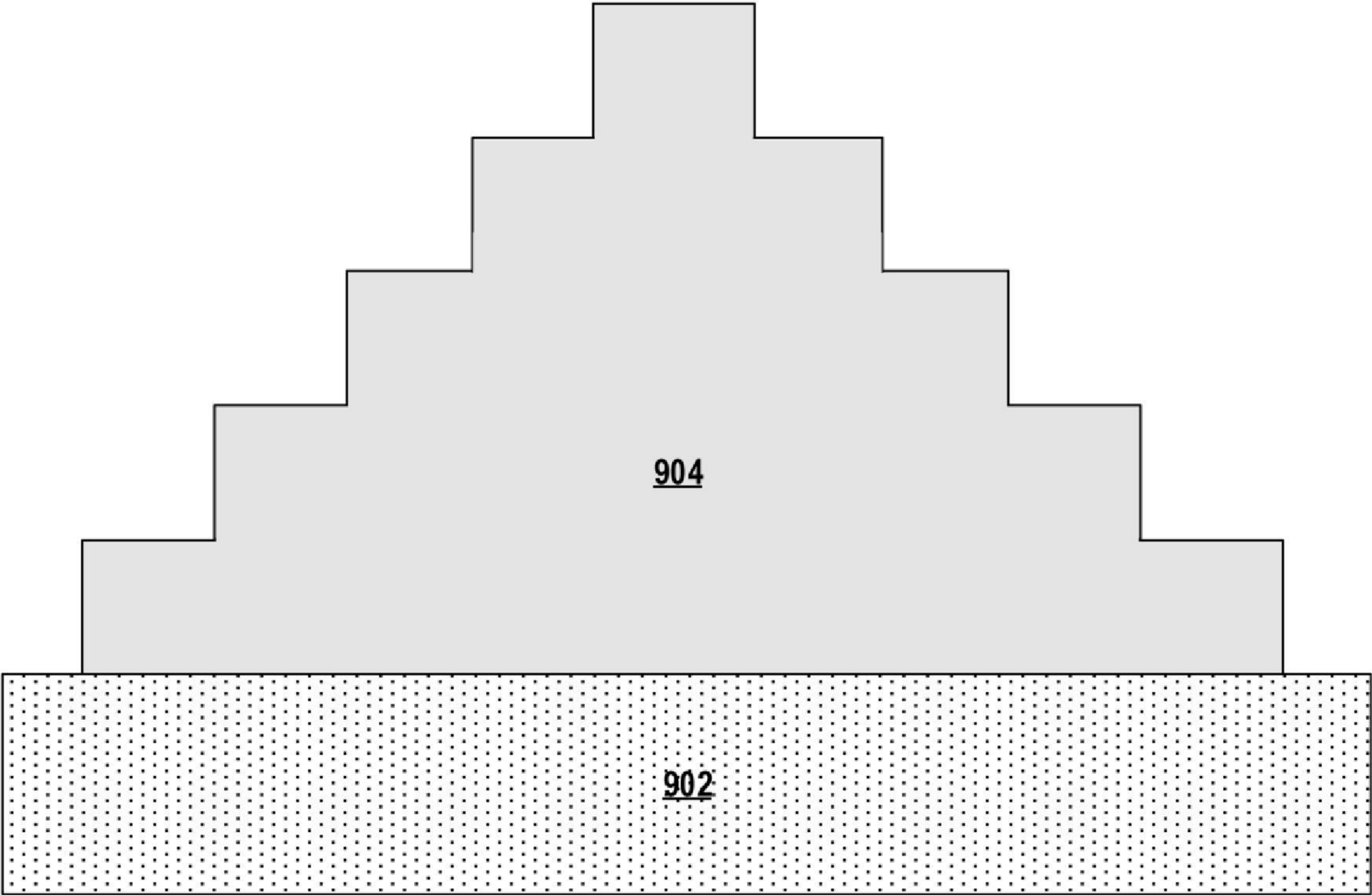
第8F圖



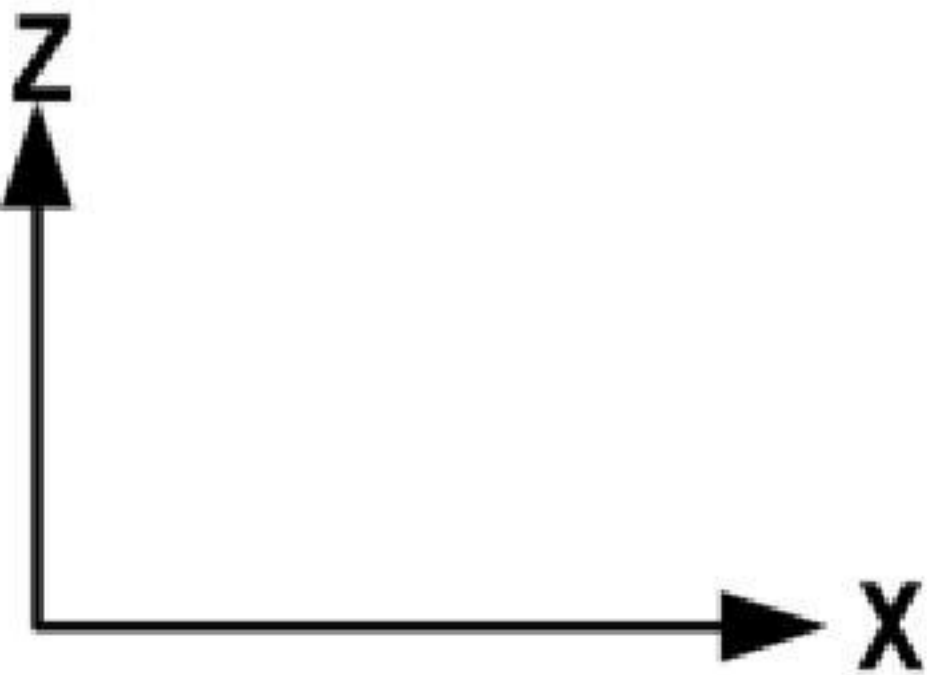
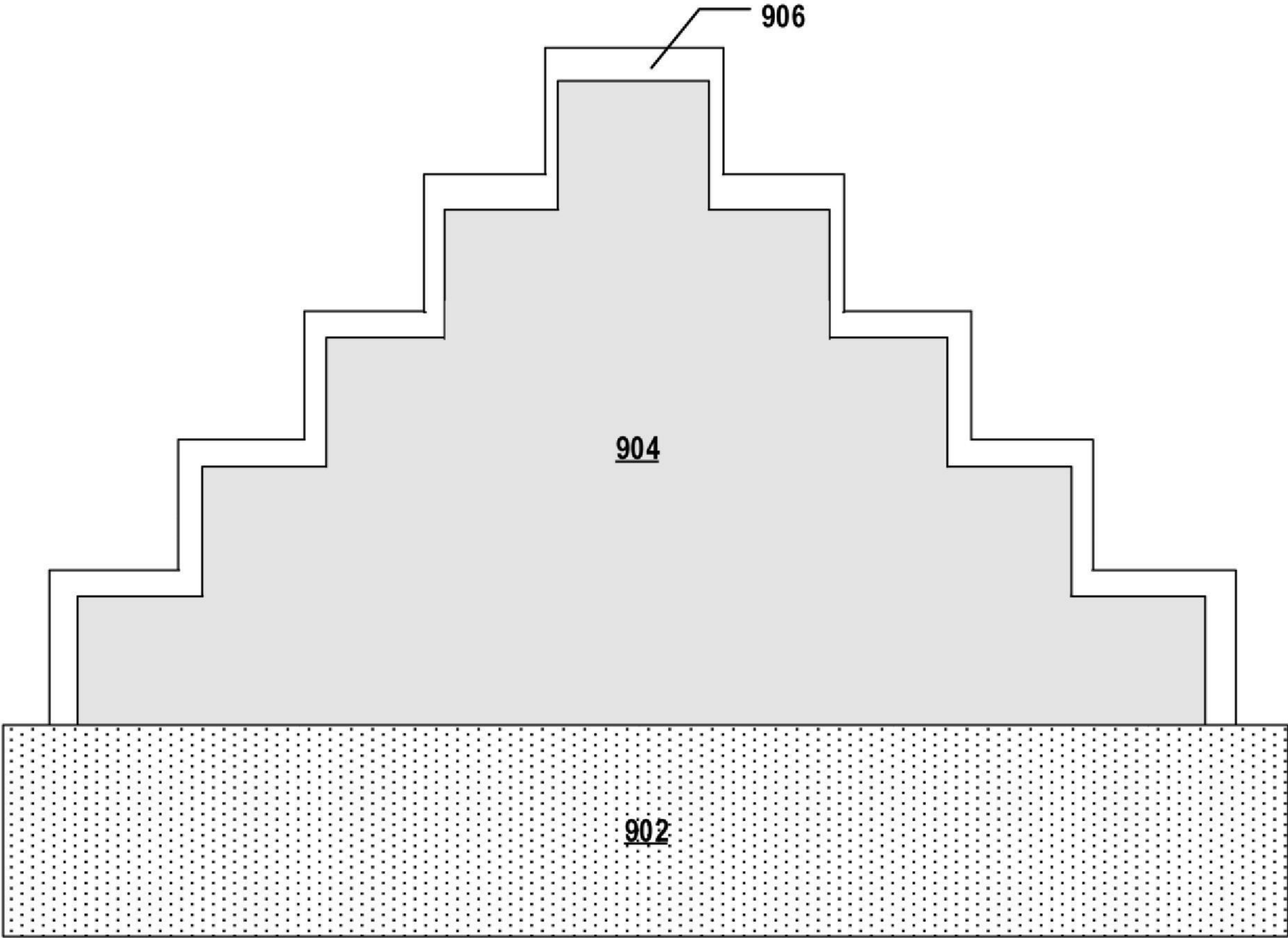
第8G圖



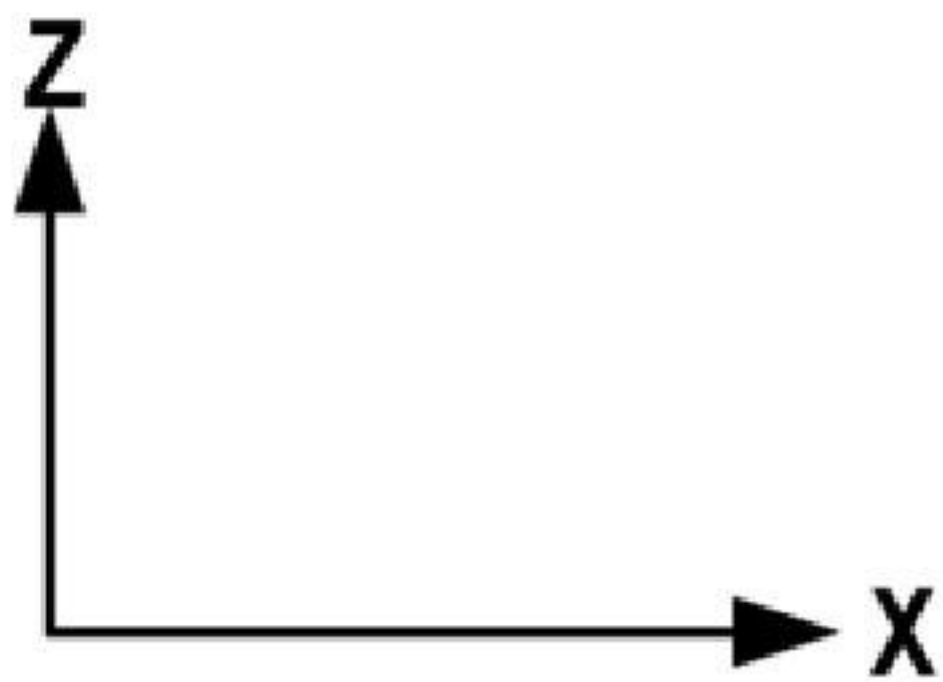
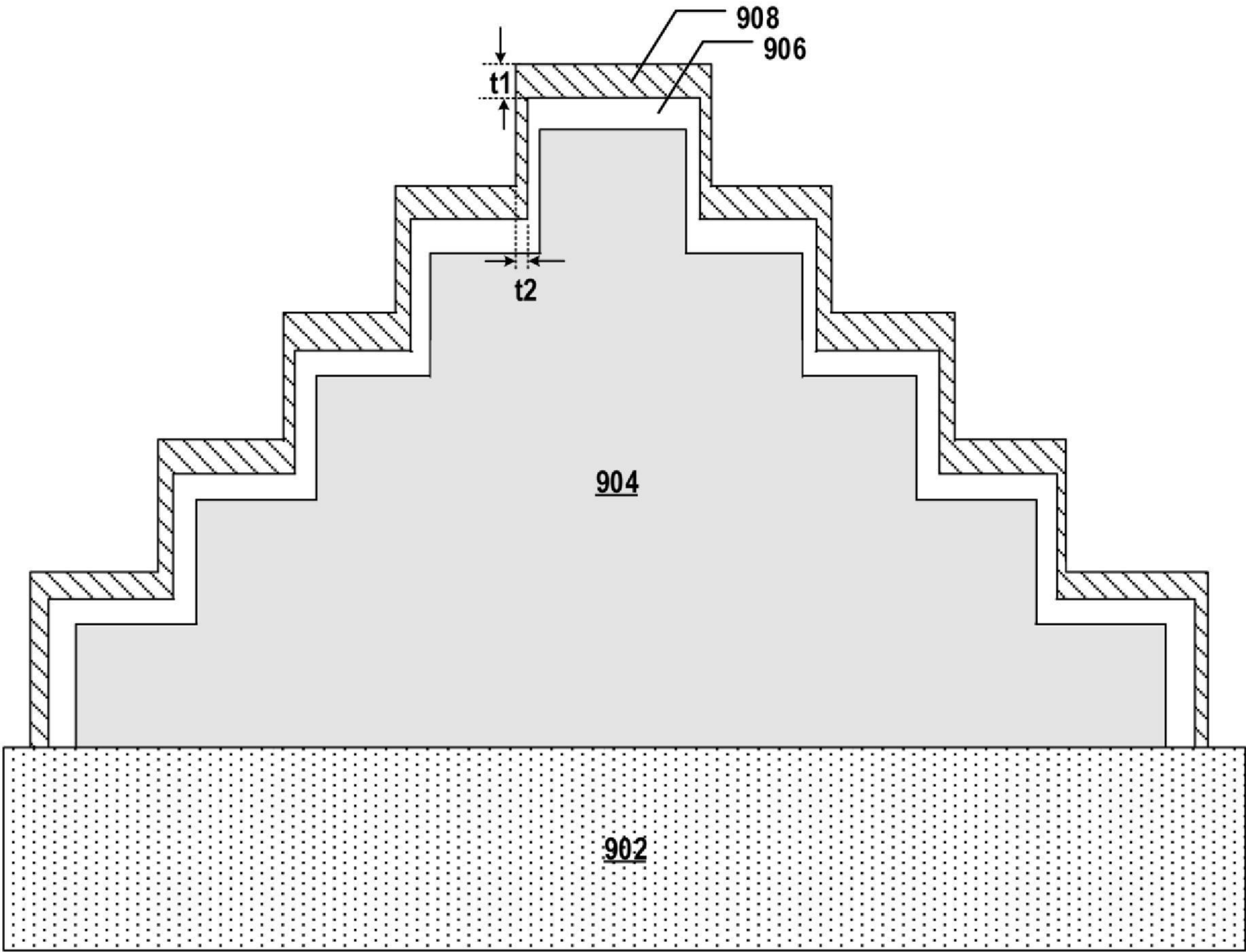
第8H圖



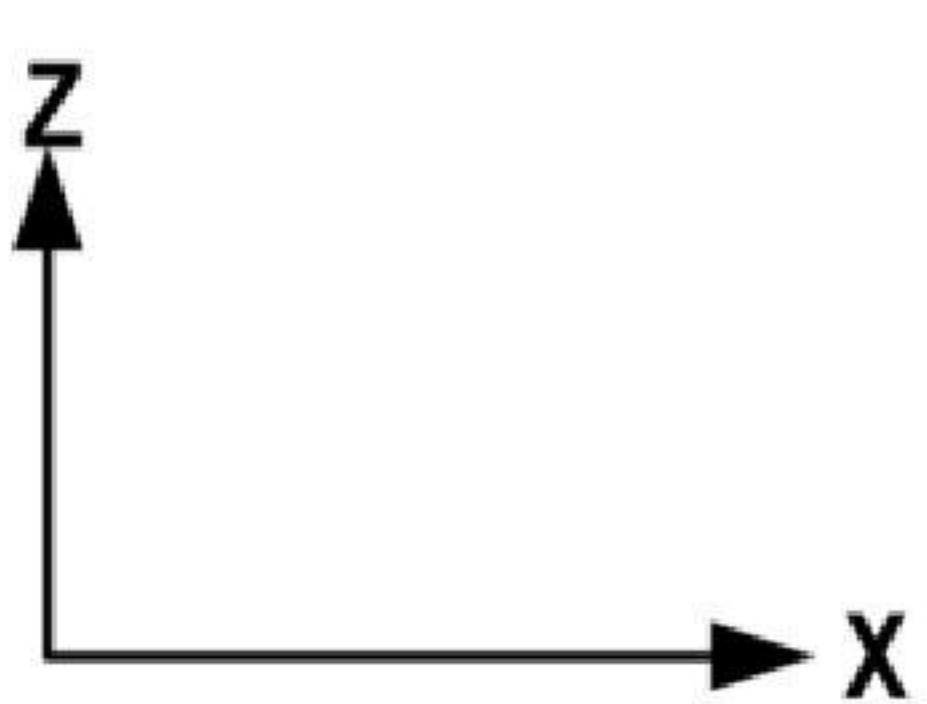
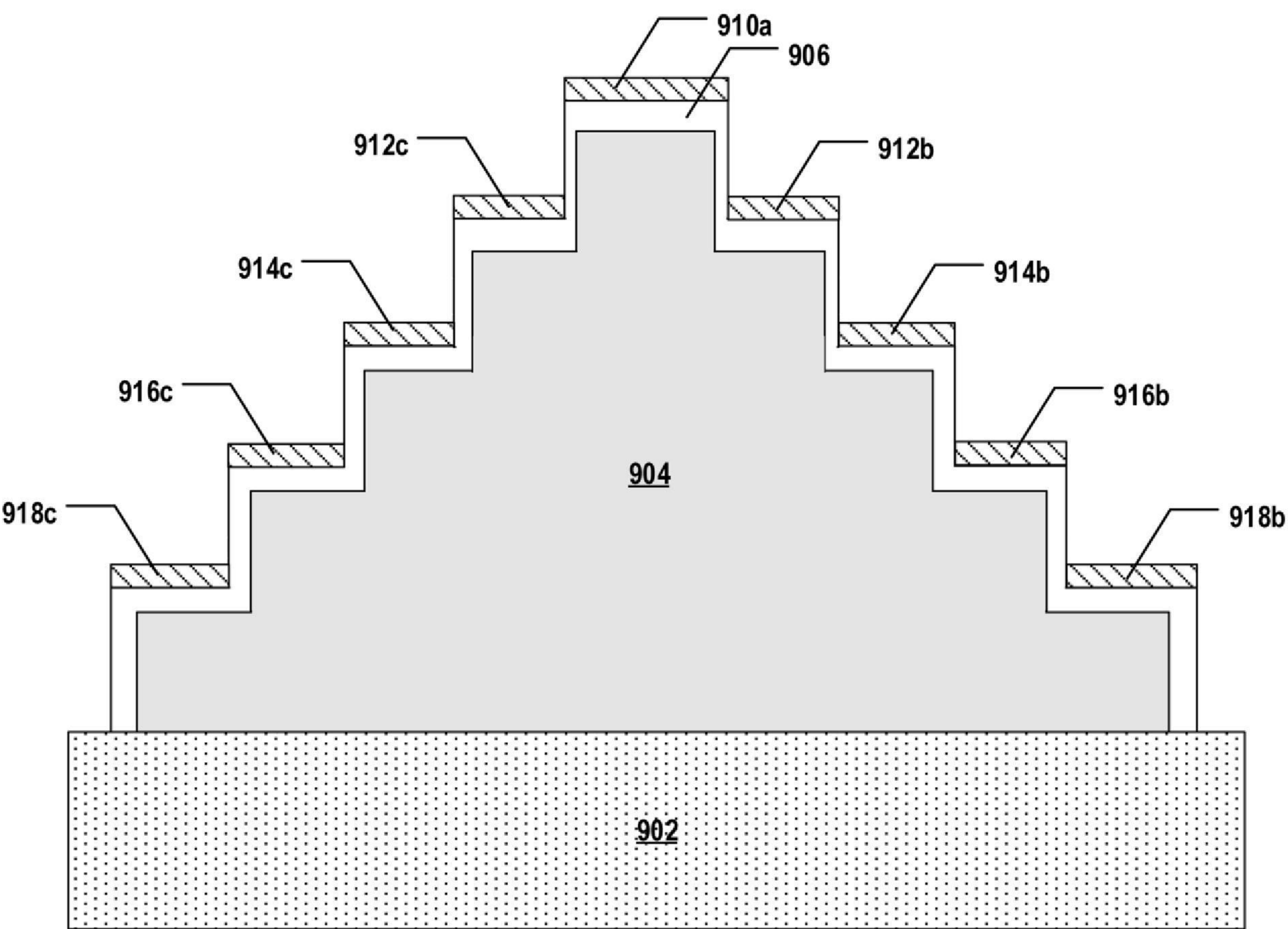
第9A圖



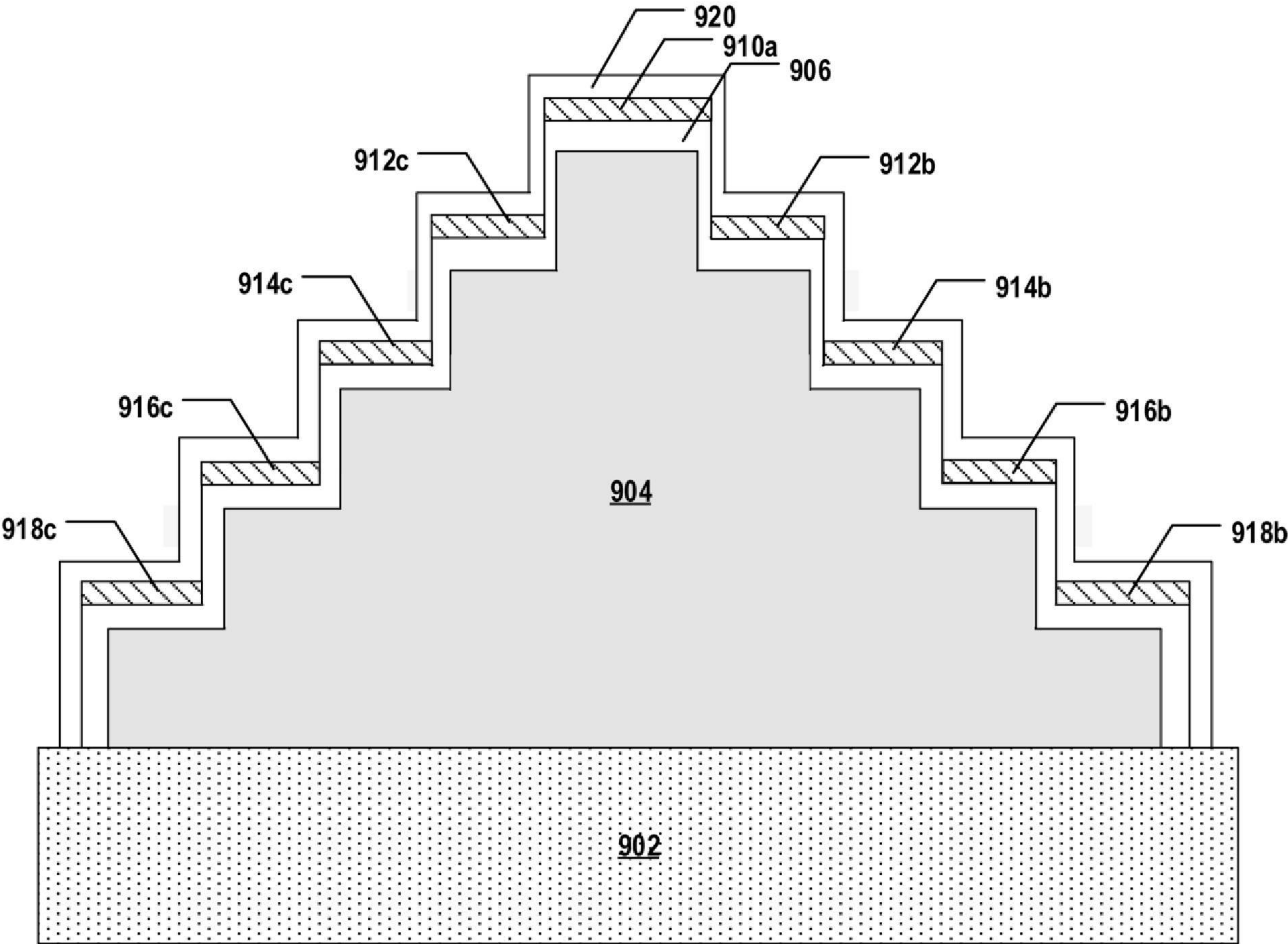
第9B圖



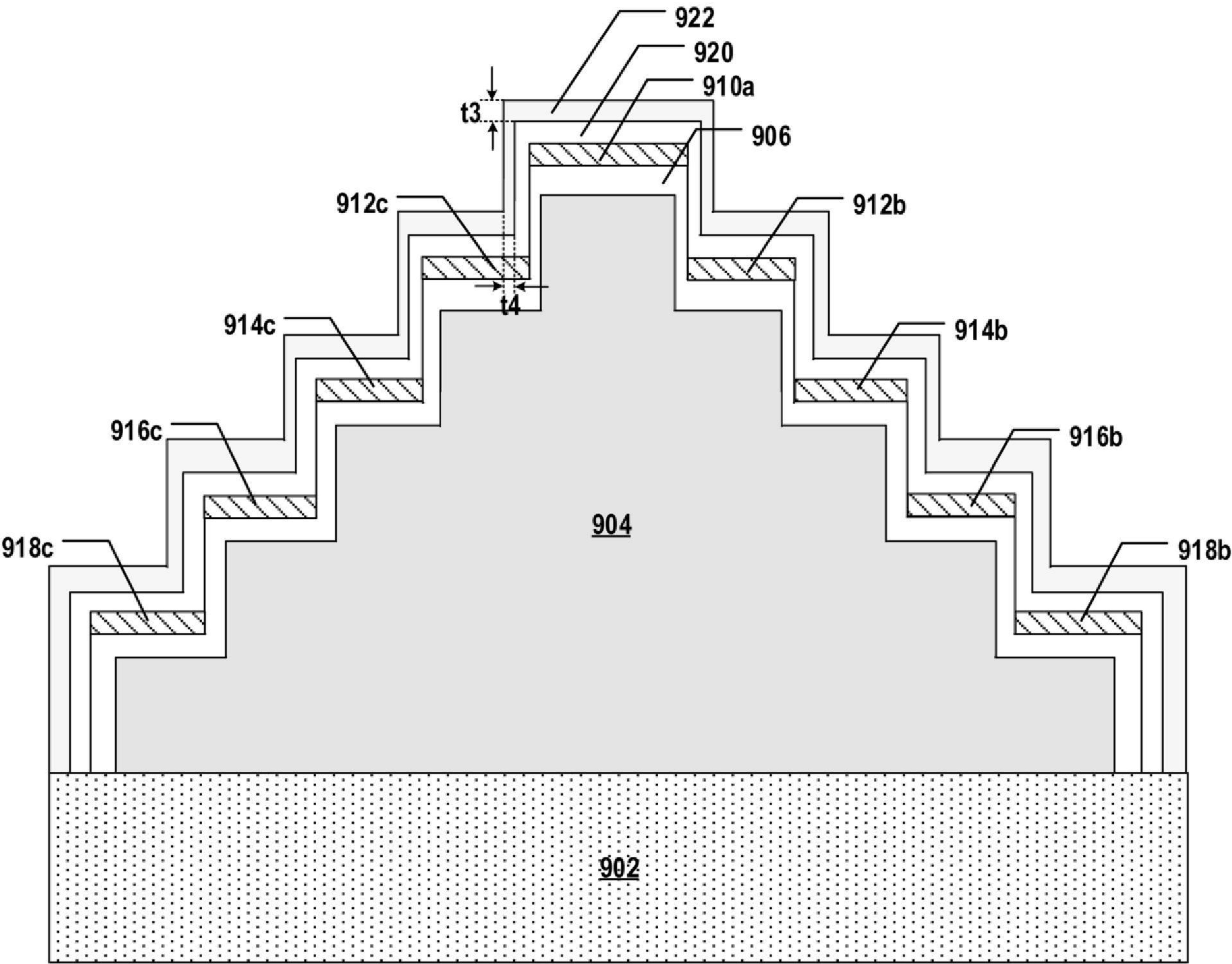
第9C圖



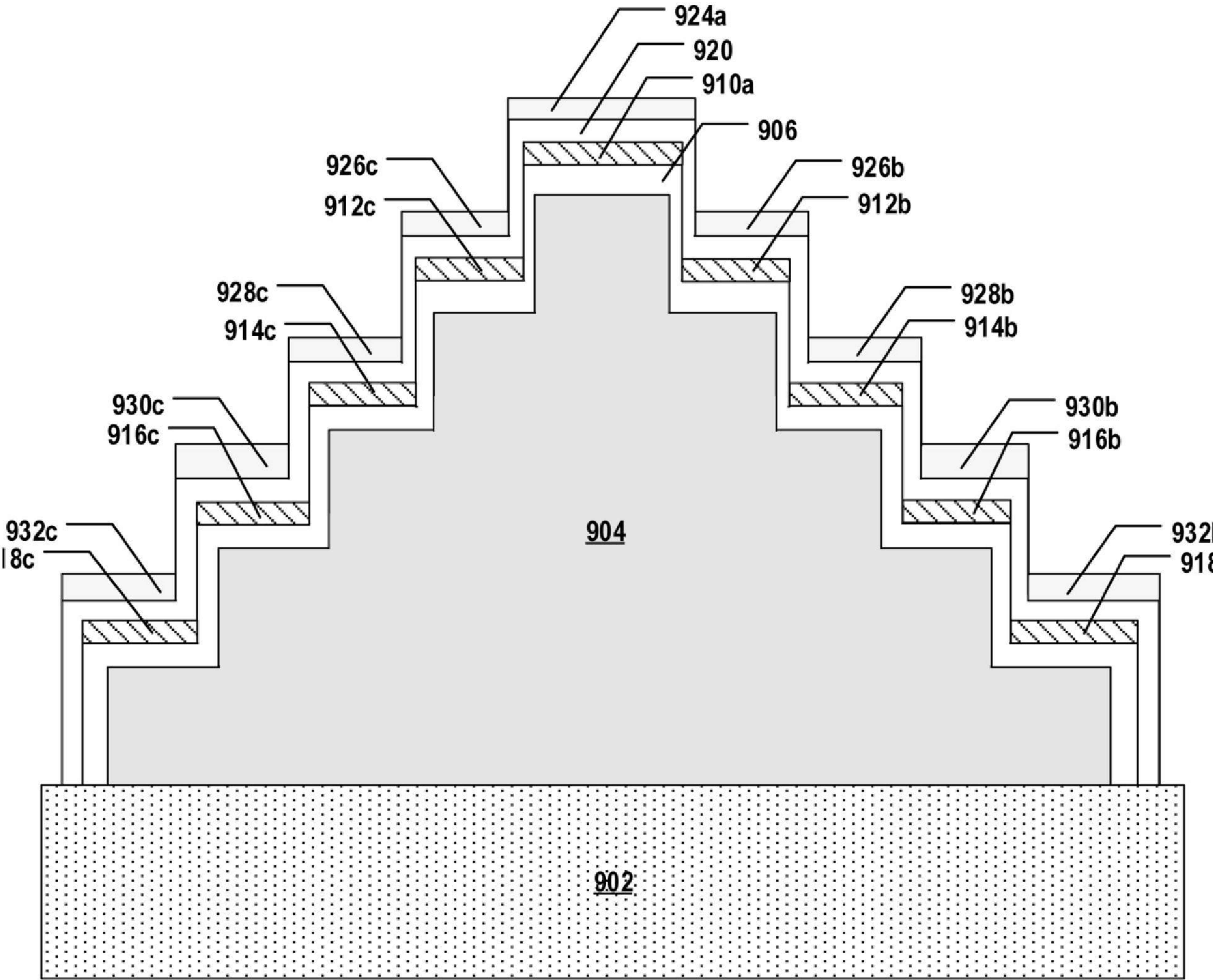
第9D圖



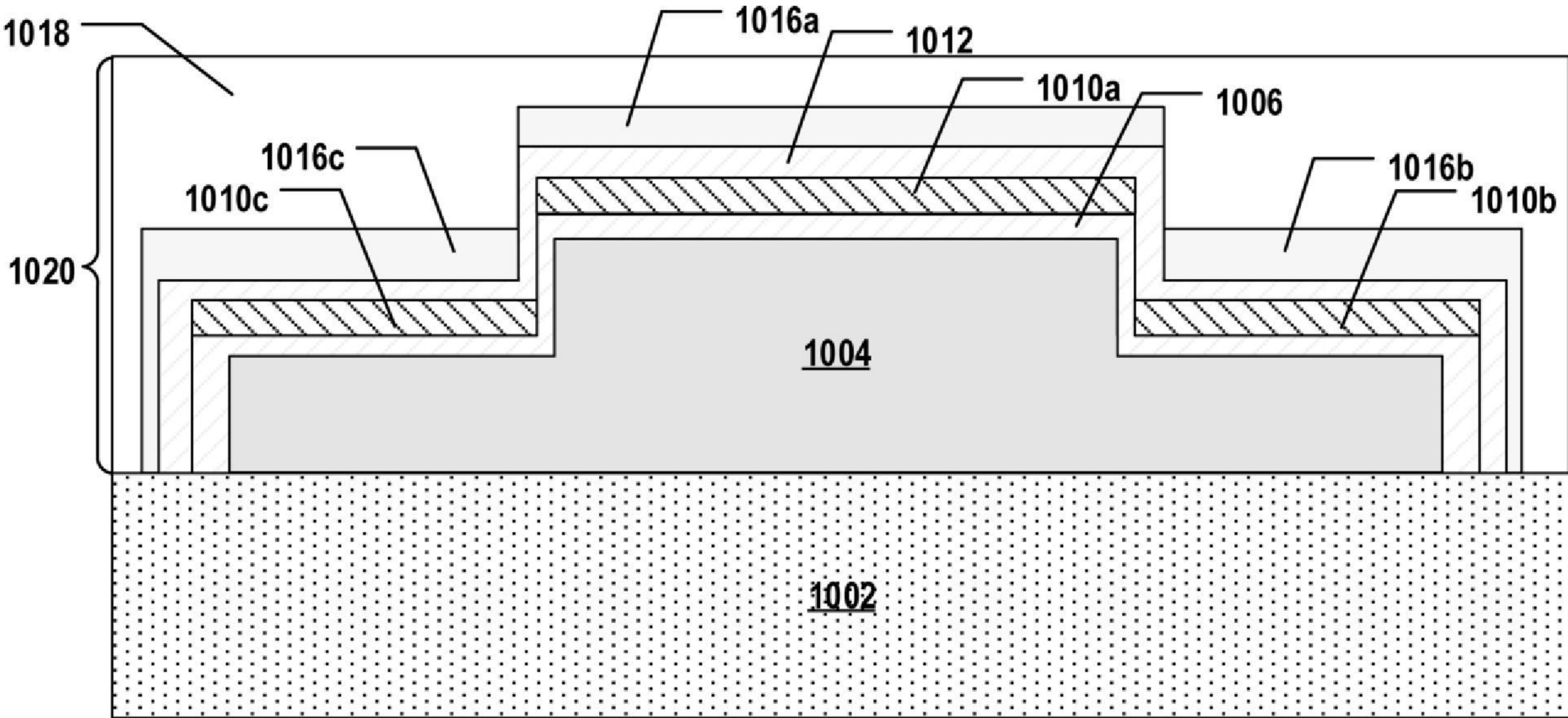
第9E圖



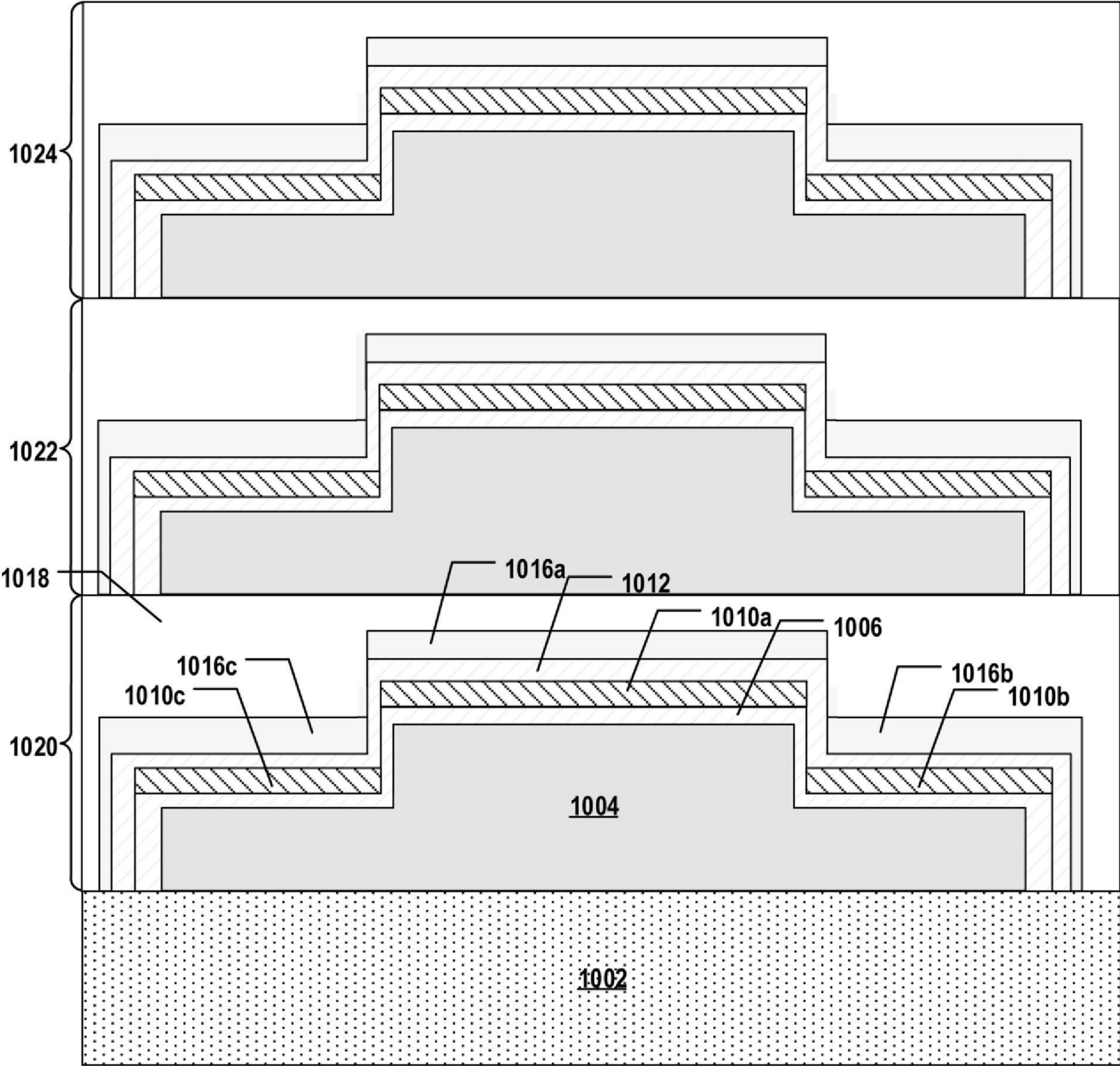
第9F圖



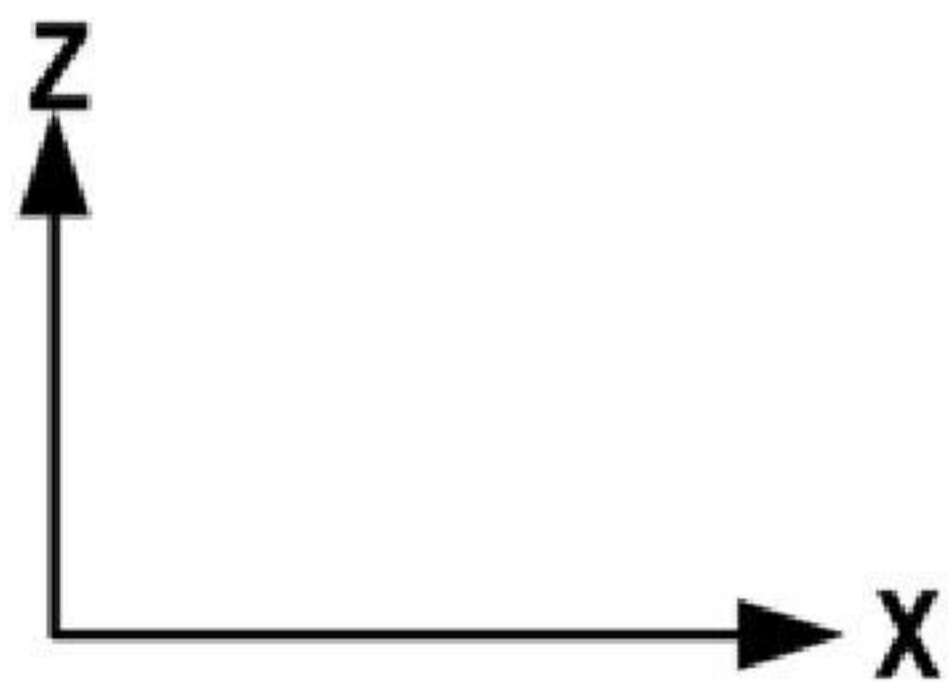
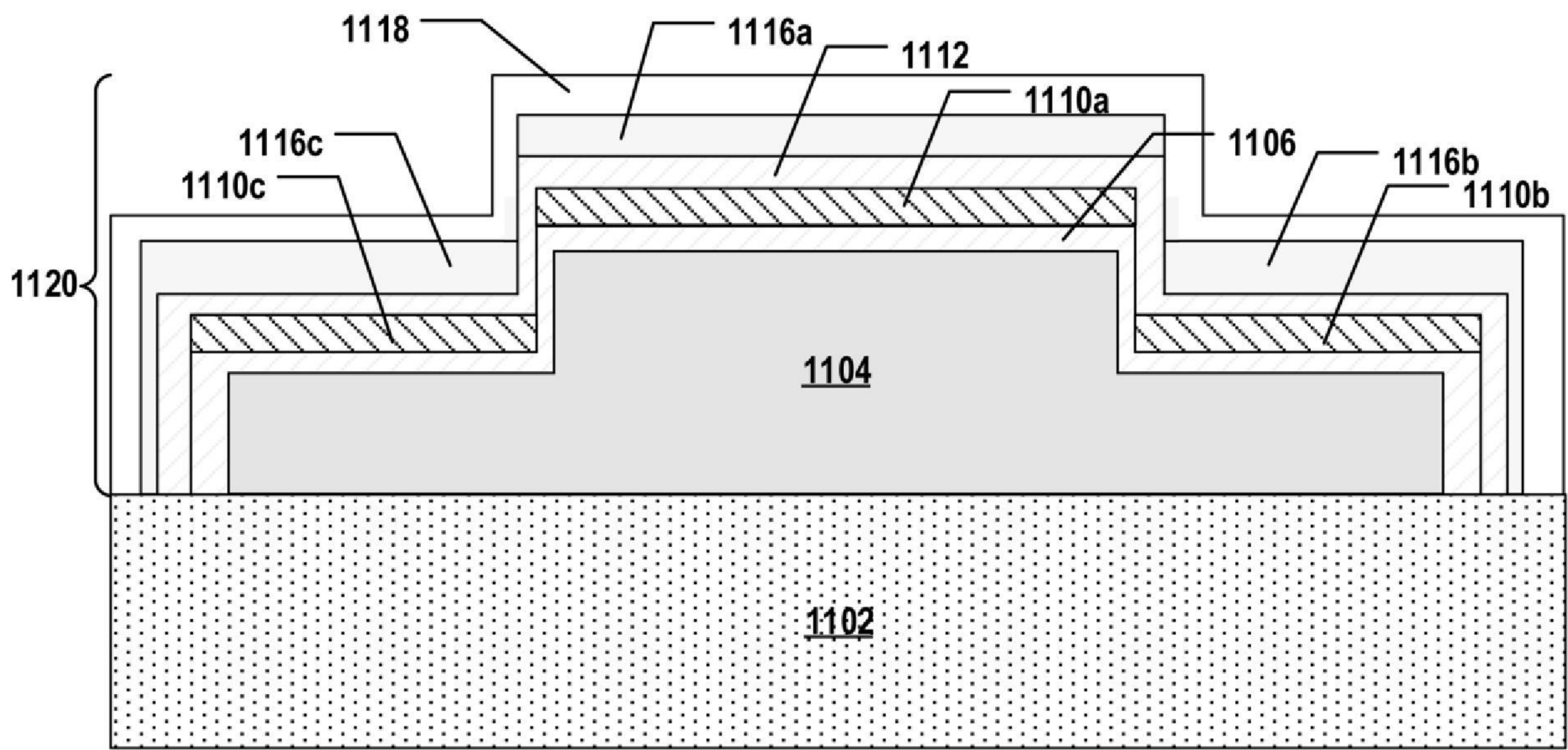
第9G圖



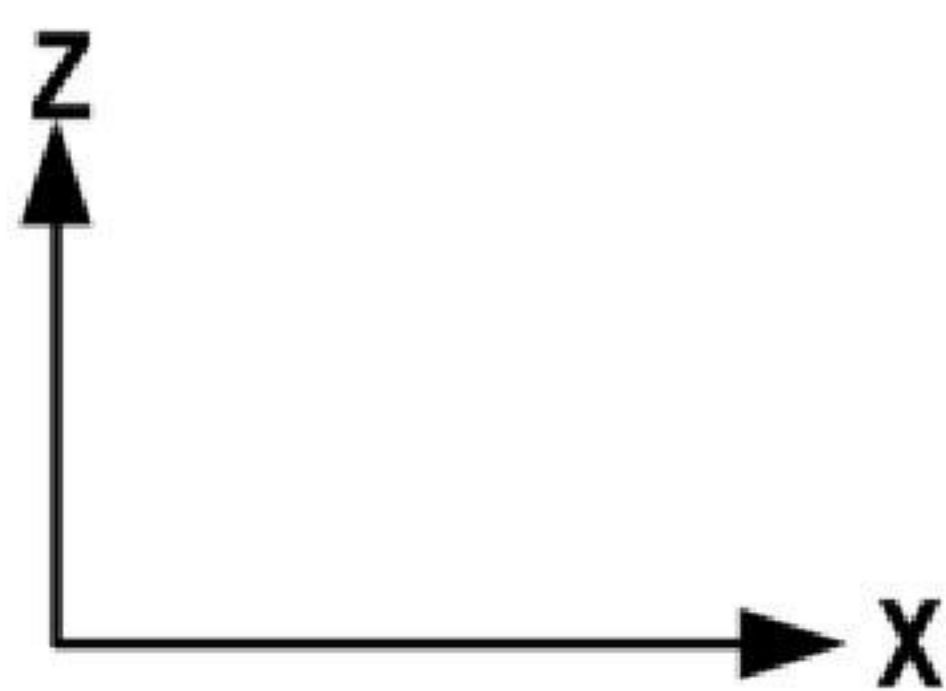
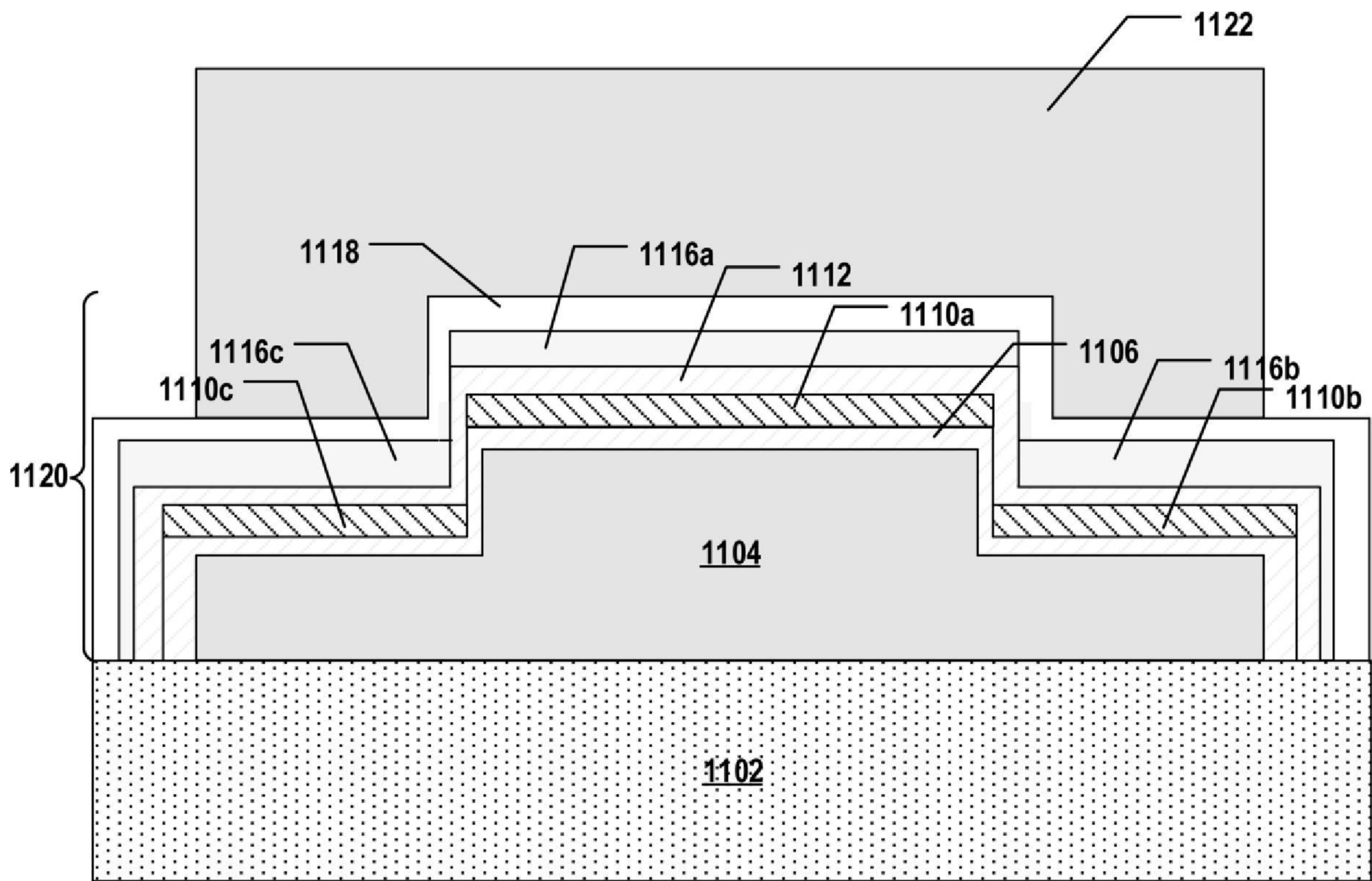
第10A圖



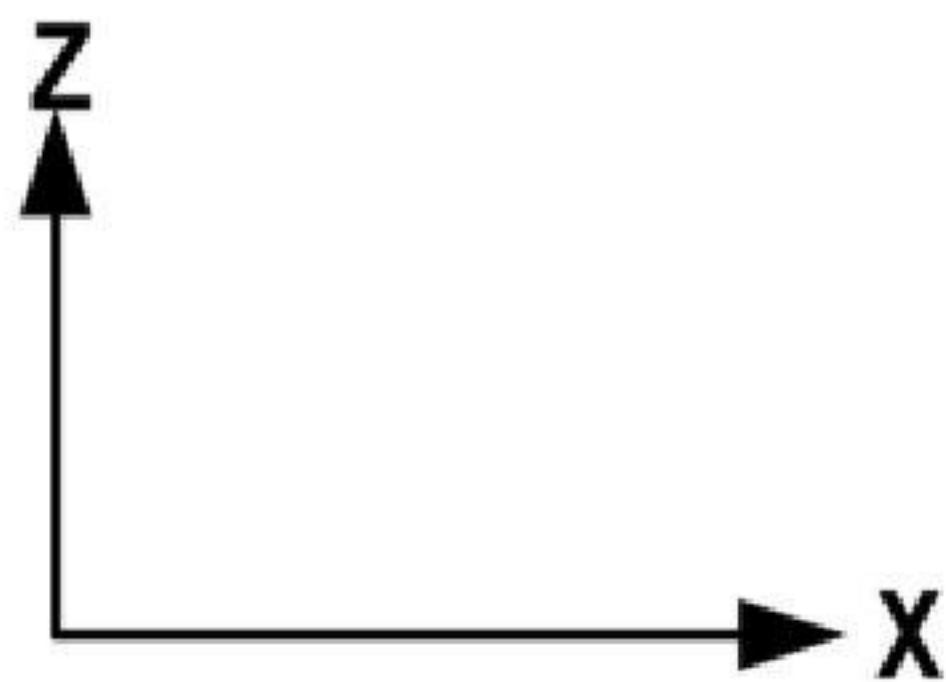
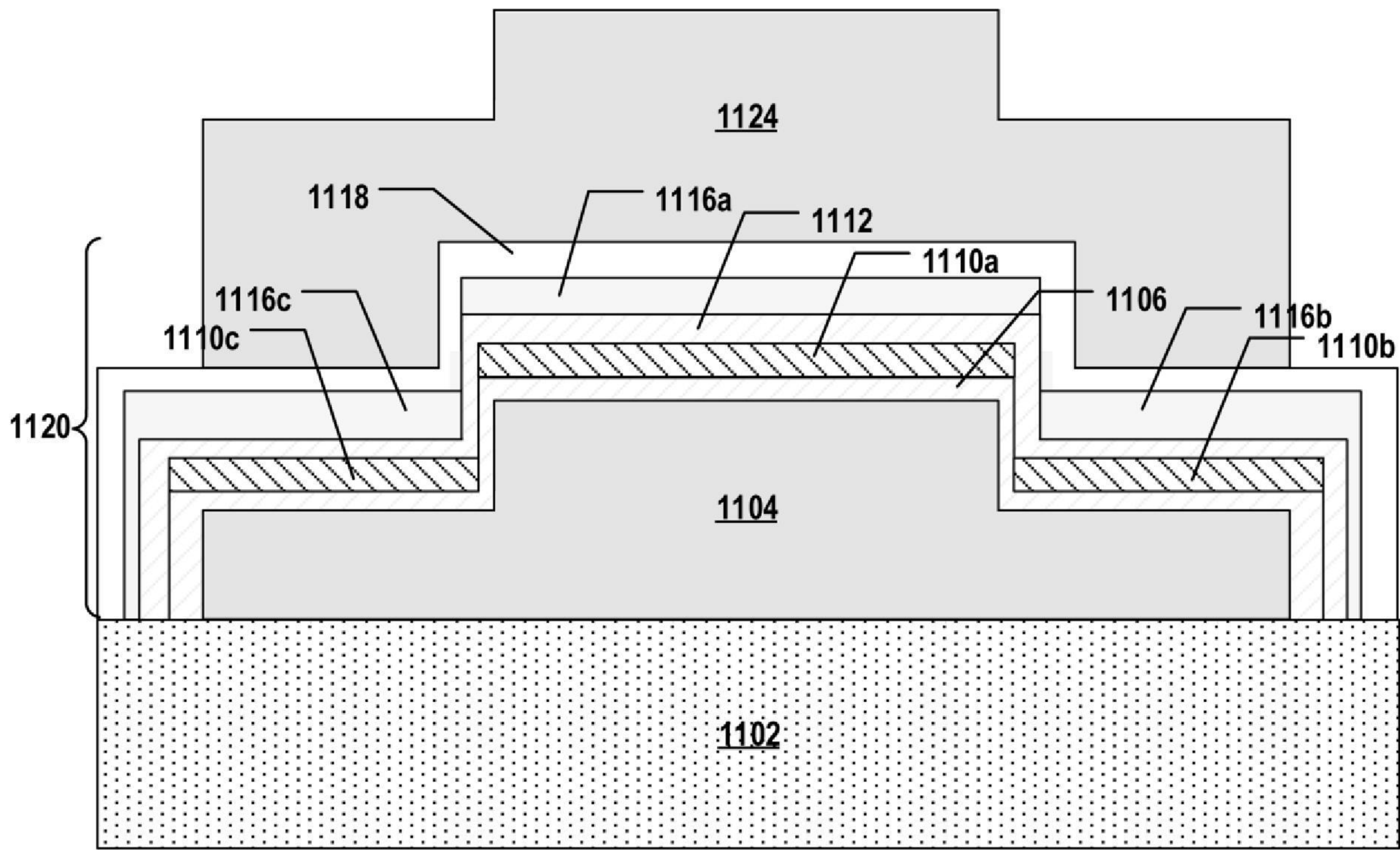
第10B圖



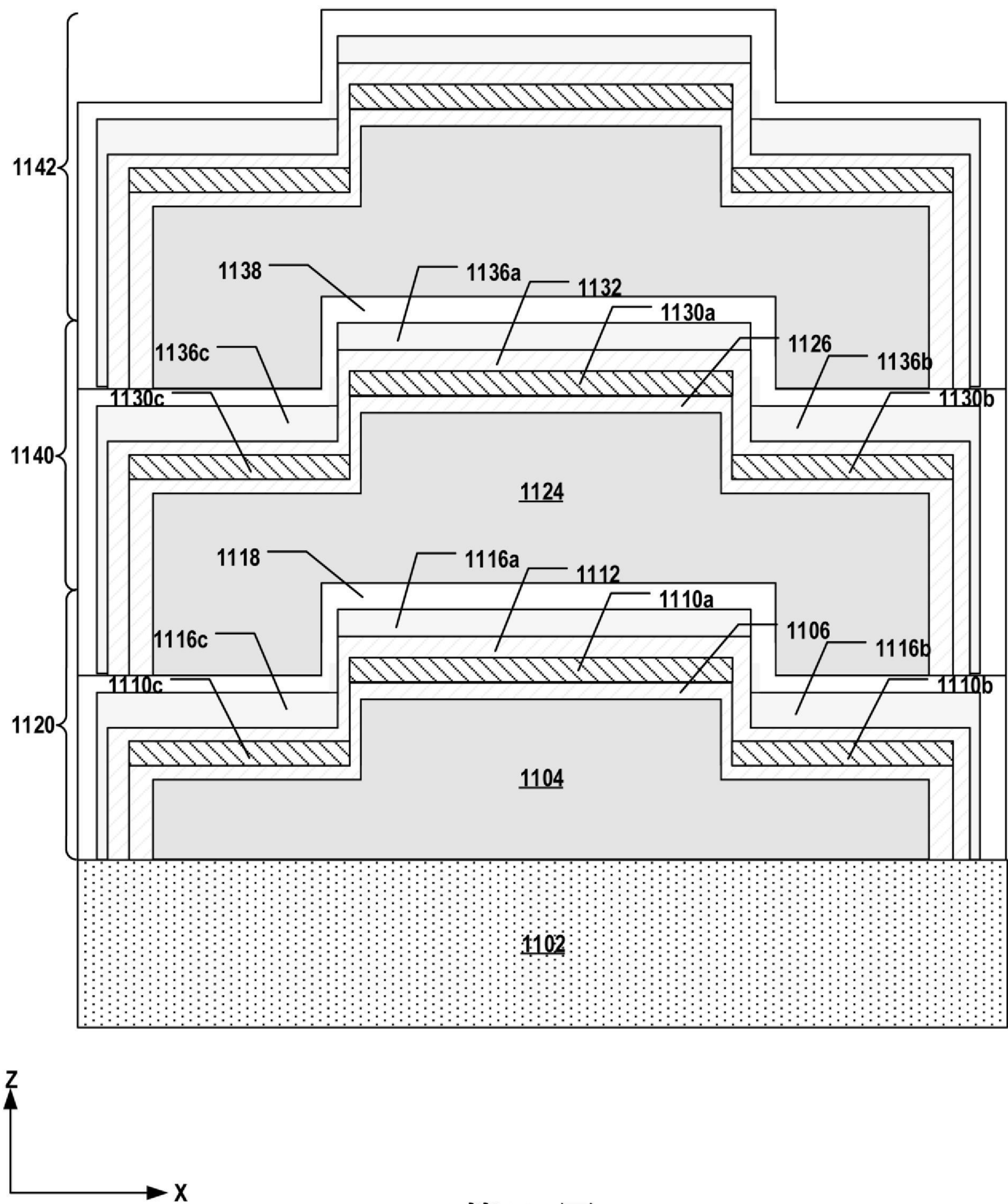
第11A圖



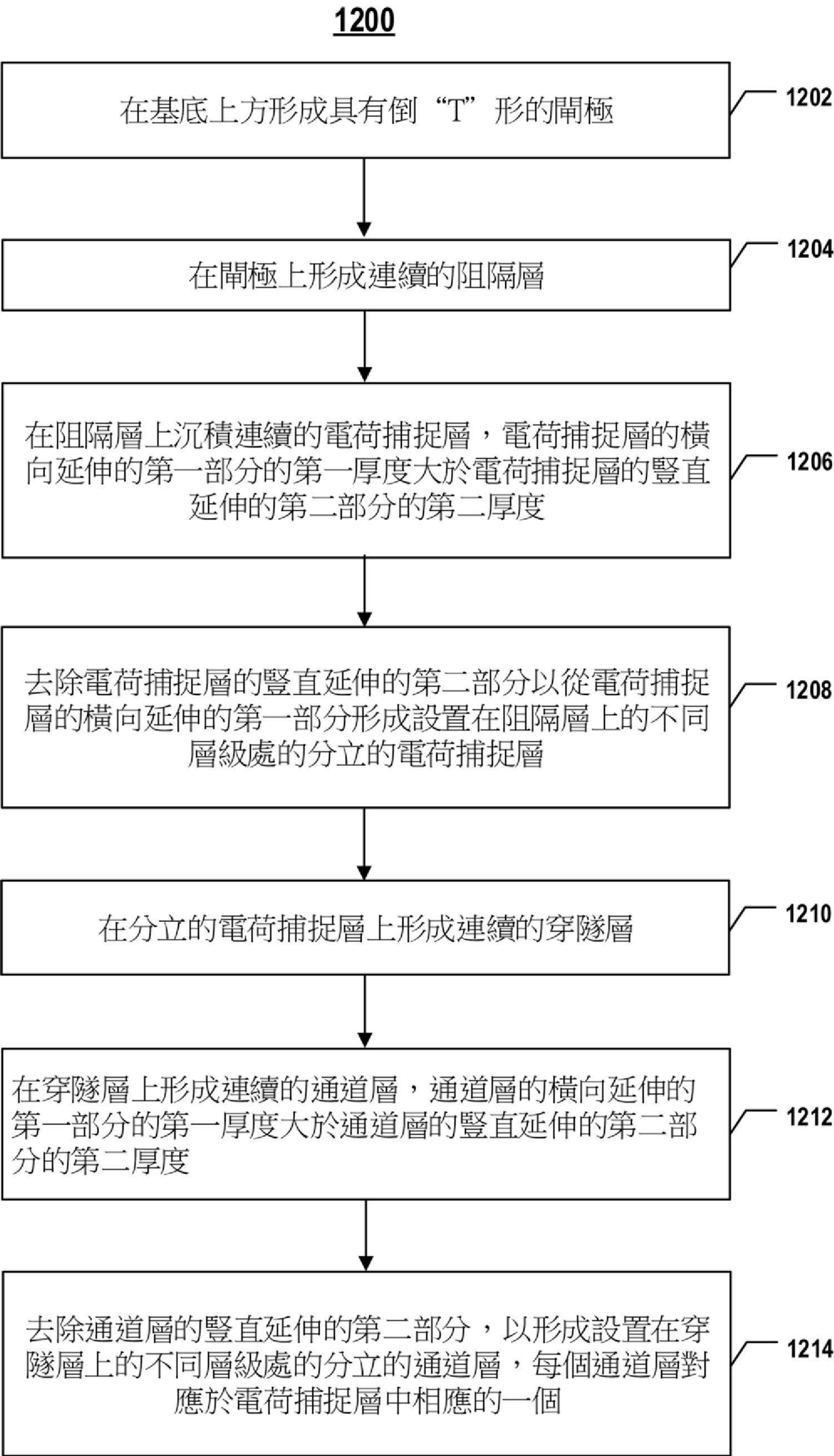
第11B圖



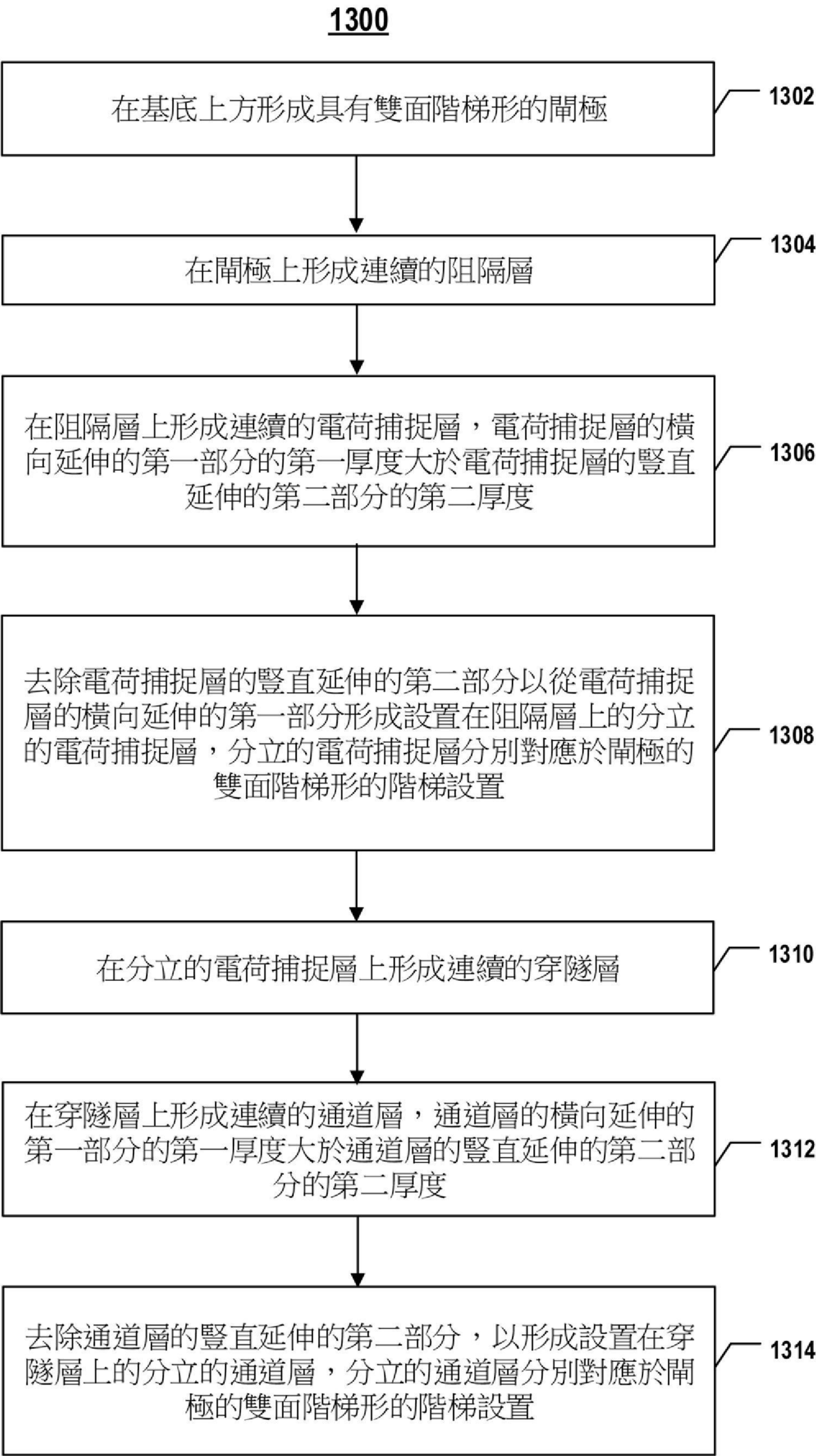
第11C圖



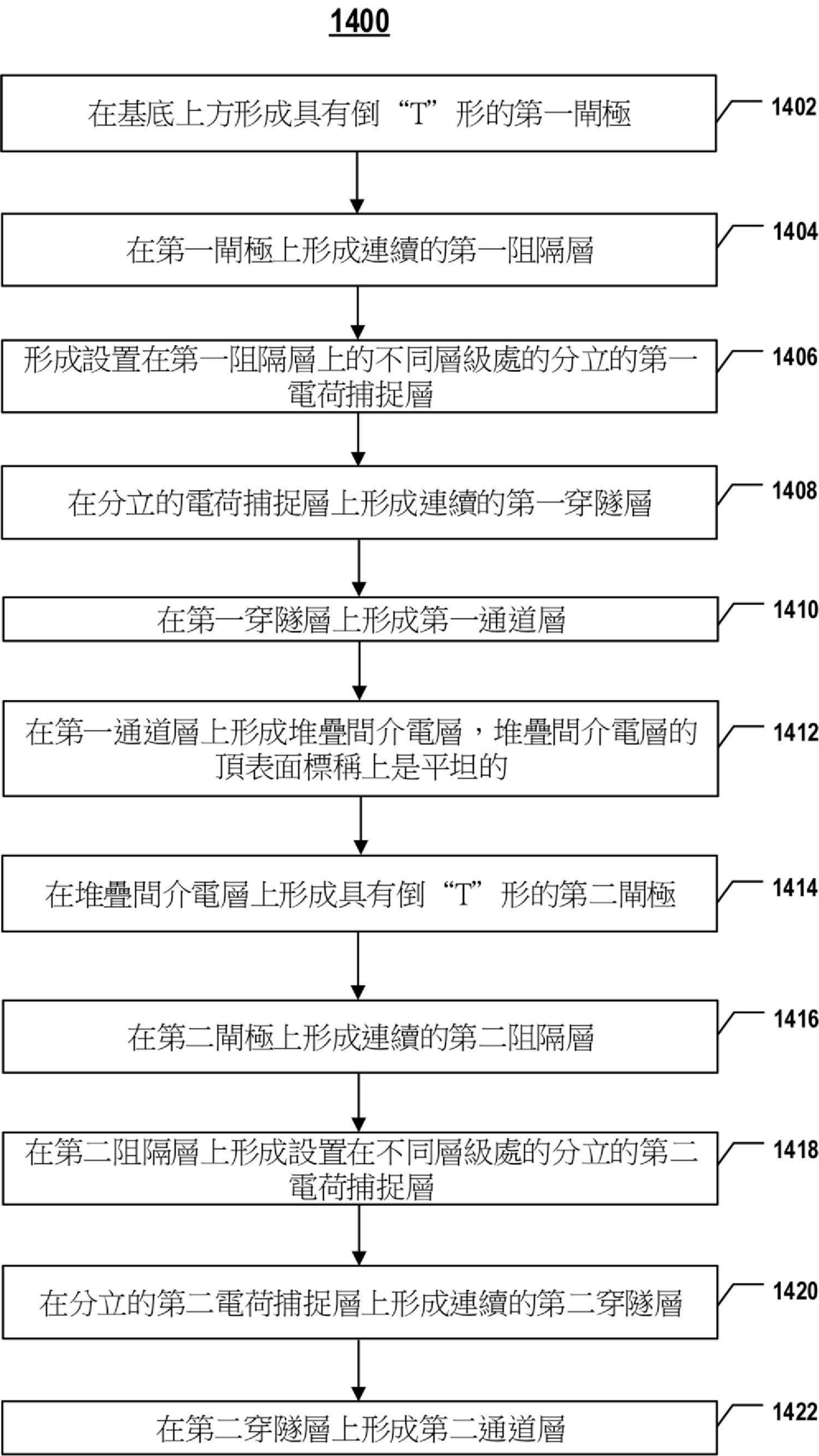
第11D圖



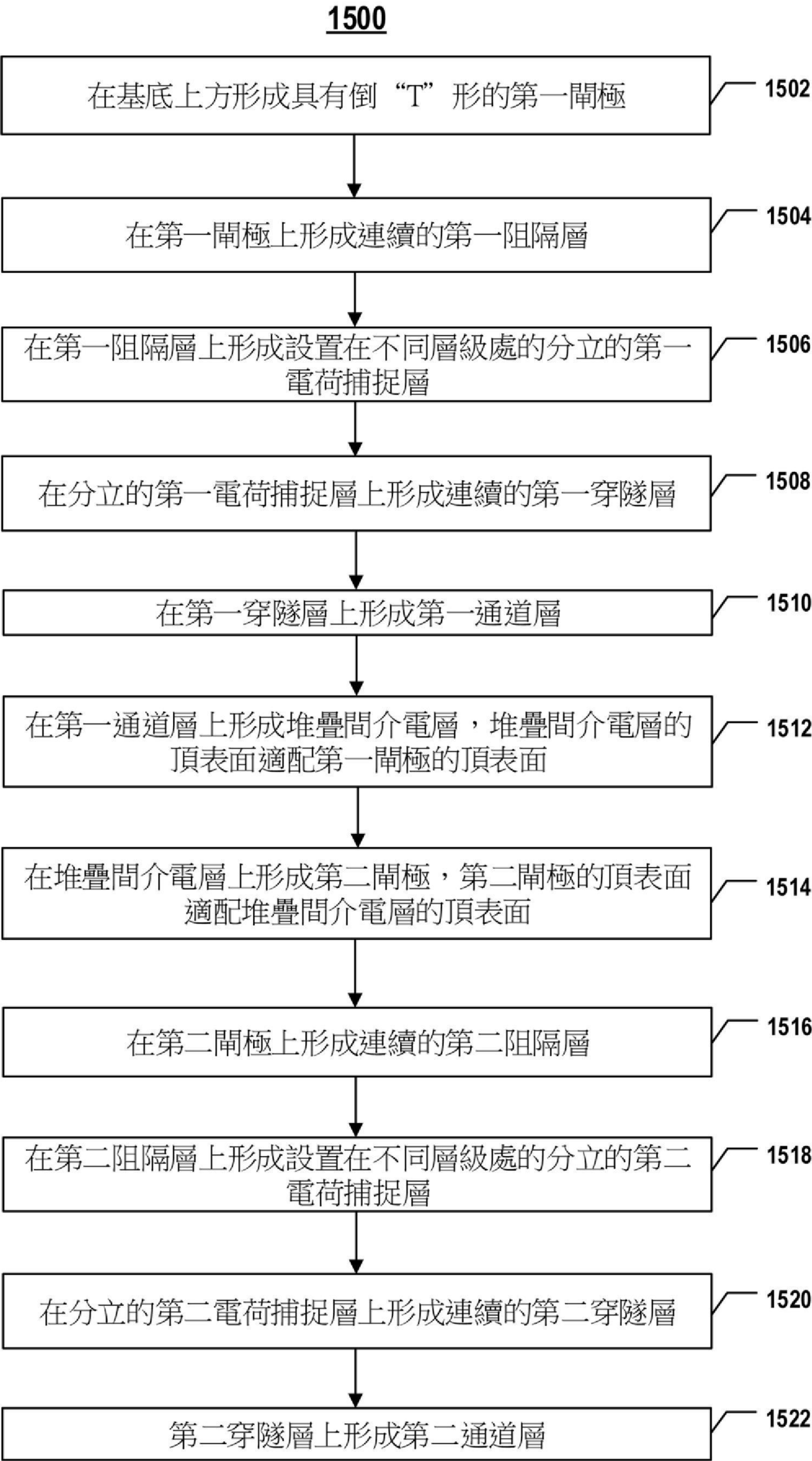
第12圖



第13圖



第14圖



第15圖