

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P4107588

※申請日期：P4. 3. 1/ ※IPC 分類：H01L 21/02 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商羅沐股份有限公司

ROHM CO., LTD.

代表人：(中文/英文)

佐藤 研一郎

住居所或營業所地址：(中文/英文)

日本國京都府京都市右京區西院溝崎町21番地

21, SAIIN MIZOSAKI-CHO UKYO-KU, KYOTO 615-0045, JAPAN

國籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 加藤 工

KATOH, TAKUMI

2. 原 英夫

HARA, HIDEO

國籍：(中文/英文)

1.-2.均日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2004年03月12日；特願2004-070380

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有複數個電源系統之半導體裝置。

【先前技術】

自先前以來，具有複數個電源系統之半導體裝置，即有複數個電源端子與接地端子之對且於各對之間設有半導體元件之半導體裝置採取以所有電源端子以及接地端子為基準之ESD對策(例如專利文獻1)，以使即使施加於信號端子之靜電經由任何一個電源端子或接地端子放電，亦不會藉由該靜電放電(ESD)遭受破壞。

圖4係表示先前之半導體裝置中各端子之連接狀態的部分電路圖，該半導體裝置具有數位用電源系統與類比用電源系統2個電源系統。該半導體裝置101於例如5 V之數位用電源系統包含電源(VCC1)端子110、接地(GND1)端子112、以及與外部進行信號之輸出入之至少一個信號(SIG1)端子111，同樣地於5 V之類比用電源系統包含電源(VCC2)端子113、接地(GND2)端子115、以及與外部進行信號之輸出入之至少一個信號(SIG2)端子114。該等各端子藉由接合線120至125，分別連接於VCC1焊墊130、GND1焊墊132、SIG1焊墊131、VCC2焊墊133、GND2焊墊135、以及SIG2焊墊134。

VCC1焊墊130與GND1焊墊132分別連接於VCC1配線150與GND1配線152，該等配線形成於半導體基板上。VCC1配線150與GND1配線152連接於數位用電源系統之至少一

個輸出入電路143與內部電路145之元件，並且如下所述連接於信號用ESD保護元件部141。輸出入電路143進行與SIG1焊墊131之間之信號輸入或輸出，內部電路145相應於自輸出入電路143輸入之信號進行信號處理，並輸出信號至輸出入電路143。再者，於圖4中之輸出入電路143(及下述輸出入電路144)中，省略輸入元件之圖示。

上述信號用ESD保護元件部141係防止藉由輸出入電路143之ESD造成之破壞者，其包含VCC1側之保護元件與GND1側之保護元件，該VCC1側之保護元件用以使以VCC1端子110為基準施加於SIG1端子111之靜電逃逸至VCC1端子111，該GND1側之保護元件用以使以GND1端子112為基準施加於SIG1端子111之靜電逃逸至GND1端子112。具體的是，該等保護元件使用如圖4所示之二極體或場效電晶體(以金屬配線作為閘極且臨限值較高之MOS電晶體)等。以此方式，關於SIG1端子111，採取以VCC1端子110與GND1端子112為基準之ESD對策。關於以其他電源系統之VCC2端子113與GND2端子115為基準之ESD對策如下所述。

又，VCC2焊墊133與GND2焊墊135亦分別連接於VCC2配線153與GND2配線155，該等配線形成於半導體基板上。VCC2配線153與GND2配線155連接於類比用電源系統之至少一個輸出入電路144與內部電路146之元件，並且連接於信號用ESD保護元件部142。輸出入電路144進行與SIG2焊墊134之間之信號輸入或輸出，內部電路146相應於

自輸出入電路144輸入之信號進行信號處理，並輸出信號至輸出入電路144。信號用ESD保護元件部142亦係防止藉由輸出入電路144之ESD造成之破壞者，其構成或功能與上述信號用ESD保護元件部141實質上相同。

電源用ESD保護元件部140係於施加靜電至任何一個電源端子之間或接地端子之間之情形時，亦可防止藉由輸出入電路143、144或內部電路145、146之元件之ESD造成的破壞者，其包含VCC1端子110與GND1端子112之間之保護元件(一個二極體)、VCC2端子113與GND1端子112之間之保護元件(一個二極體)、VCC2端子113與GND2端子115之間之保護元件(一個二極體)、GND2端子115與GND1端子112之間之保護元件(2個二極體)、VCC1端子110與VCC2端子113之間之保護元件(2個二極體)、以及VCC1端子110與GND2端子115之間之保護元件(一個二極體)。GND2端子115與GND1端子112之間之保護元件及VCC1端子110與VCC2端子113之間之保護元件分別包含2個相互逆向之二極體，此係因為對於ESD之保護能力較高。因二極體之陽極與陰極係同一電位，故而可實現該構成。其他保護元件(例如VCC1端子110與GND1端子112之間之保護元件等)進一步增大保護元件之面積等，以提高保護能力。

進而關於SIG1端子111，說明防止以其他電源系統之VCC2端子113與GND2端子115為基準之ESD造成之破壞的動作。以VCC2端子113為基準施加於SIG1端子111之靜電通過構成信號用ESD保護元件部141之VCC1側之保護元

件、VCC1配線150、構成電源用ESD保護元件部140之VCC1端子110與VCC2端子113之間的保護元件、以及VCC2配線153逃逸至VCC2端子113。以GND2端子115為基準施加於SIG1端子111之靜電亦同樣地，通過構成信號用ESD保護元件部141之GND1側之保護元件、GND1配線152、構成電源用ESD保護元件部140之GND2端子115與GND1端子112之間的保護元件、以及GND2配線155逃逸至GND2端子115。又，關於SIG2端子114，亦同樣地經由信號用ESD保護元件部142與電源用ESD保護元件部140，防止以其他電源系統之VCC1端子110與GND1端子112為基準之ESD造成破壞。

如此，於具有複數個電源系統之半導體裝置中，關於任何一個電源系統之信號端子，以其他電源系統之電源端子或接地端子為基準之ESD對策皆可經由信號用ESD保護元件部與電源用ESD保護元件部防止破壞。再者，上述半導體裝置101係具有數位用電源系統與類比用電源系統兩個電源系統作為複數個電源系統的半導體裝置，但並非限定於此，例如如5 V電源系統與3 V電源系統般，具有電源電壓不同之複數個電源系統之半導體裝置中，亦可藉由設置電源用ESD保護元件部140，防止以其他電源系統之電源端子或接地端子為基準之ESD造成之破壞。但是，例如若使VCC1端子110為5 V，VCC2端子113為3 V時，電源用ESD保護元件部140中之VCC1端子110與VCC2端子113之間的保護元件包含一個二極體(或場效電晶體等)，該二極體

於通常動作中為逆偏壓。

專利文獻1：日本專利特開平8-148650號公報

[發明所欲解決之問題]

然而，具有複數個電源系統之半導體裝置中之電源用ESD保護元件部，如半導體裝置101之電源用ESD保護元件部140般，包含多個電源端子間或接地端子間之保護元件，該等保護元件分別佔有較大面積。因此，半導體裝置將電源用ESD保護元件部配置於未配置內部電路或輸出入電路元件之空置之空間內尚存在問題，必須除內部電路或輸出入電路之空間之外，確保電源用ESD保護元件部使用之空間，故而此情形成為晶片尺寸增大之主要原因。

本發明係鑒於以上理由所完成者，其目的在於提供如下之半導體裝置：於具有複數個電源系統之半導體裝置，可對於任何一個電源系統之信號端子實現以其他電源系統之電源端子或接地端子為基準之ESD破壞防止，且可抑制因其而晶片尺寸之增大。

【發明內容】

為解決上述課題，本發明較好之實施形態之半導體裝置至少具有第1與第2電源系統作為複數個電源系統，第1與第2電源系統分別包含形成於半導體基板上之電源焊墊、接地焊墊及至少一個信號焊墊，以及輸出入電路，該輸出入電路連接於該等各焊墊，並且在與信號焊墊之間進行信號之輸入或輸出；且第1與第2電源系統於半導體基板上分別包含第1ESD保護焊墊，以及連接於信號焊墊與第1ESD

保護焊墊之信號用ESD保護元件部，第1與第2電源系統之第1ESD保護焊墊相互連接。

依據情形，該半導體裝置之第1與第2電源系統於半導體基板上進而分別包含連接於信號用ESD保護元件部之第2ESD保護焊墊，並且第1與第2電源系統之第2ESD保護焊墊相互連接。

較好的是，該半導體裝置進而包含連接於第1與第2電源系統之任一個之第1ESD保護焊墊(以及依據情形，第2ESD保護焊墊)之電源用ESD保護元件部。

較好的是，該半導體裝置之第1與第2電源系統分別包含連接於電源焊墊之電源端子、連接於接地焊墊之接地端子及連接於信號焊墊之信號端子，並且第1與第2電源系統之第1ESD保護焊墊分別連接於電源端子或接地端子之一方(以及依據情形，第2ESD保護焊墊連接於電源端子或接地端子之他方)。

較好的是，於該等焊墊與端子之連接中使用接合線。

[發明之效果]

本發明較好之實施形態的半導體裝置，於具有複數個電源系統之半導體裝置之各個電源系統中，除電源焊墊與接地焊墊之外亦設置ESD保護焊墊，經由其放掉施加於信號端子之靜電。藉此，可對於一個電源系統之信號端子實現以其他電源系統之電源端子或接地端子為基準之ESD破壞對策，且可抑制品片尺寸之增大。

【實施方式】

以下，一面參照圖式一面說明本發明之最佳實施形態。
圖1係於本發明較好之第1實施形態的半導體裝置表示各端子之連接狀態的部分電路圖。該半導體裝置1具有5 V之數位用電源系統(第1電源系統)與5 V之類比用電源系統(第2電源系統)之2個電源系統作為複數個電源系統。

第1電源系統包含電源(VCC1)端子10；接地(GND1)端子12；及至少一個信號(SIG1)端子11，其與外部進行信號之輸出入。第2電源系統包含電源(VCC2)端子13；接地(GND2)端子15；及至少一個信號(SIG2)端子14，其與外部進行信號之輸出入。又，第1電源系統於半導體基板上包含電源(VCC1)焊墊30、接地(GND1)焊墊32及至少一個信號(SIG1)焊墊31。第2電源系統於半導體基板上包含電源(VCC2)焊墊33、接地(GND2)焊墊35及至少一個信號(SIG2)焊墊34。VCC1端子10、SIG1端子11、GND1端子12、VCC2端子13、SIG2端子14、GND2端子15經由接合線20至25，分別連接於VCC1焊墊30、SIG1焊墊31、GND1焊墊32、VCC2焊墊33、SIG2焊墊34、GND2焊墊35。

於第1電源系統中，於半導體基板上，接近於VCC1焊墊30設有VCC1ESD保護焊墊(第1電源系統之第2ESD保護焊墊)36，接近於GND1焊墊32設有GND1ESD保護焊墊(第1電源系統之第1ESD保護焊墊)37。於第2電源系統中，於半導體基板上，接近於VCC2焊墊33設有VCC2ESD保護焊墊(第2電源系統之第2ESD保護焊墊)38，接近於GND2焊墊35設有GND2ESD保護焊墊(第2電源系統之第1ESD保護焊

墊)39。該等各ESD保護焊墊36、37、38、39經由接合線26至29，連接於VCC1端子10、GND1端子12、VCC2端子13、以及GND2端子15。又，VCC1ESD保護焊墊36與VCC2ESD保護焊墊38相互連接，且GND1ESD保護焊墊37與GND2ESD保護焊墊39相互連接。

VCC1焊墊30與GND1焊墊32分別連接於形成於半導體基板上之VCC1配線50與GND1配線52。VCC1配線50與GND1配線52連接於第1電源系統之至少一個輸出入電路43與內部電路45之元件。輸出入電路43進行與SIG1焊墊31之間之信號的輸入或輸出，內部電路45相應於自輸出入電路43輸入之信號進行信號處理，或輸出信號至輸出入電路43。再者，於圖1(以及下述圖3)中之輸出入電路43(以及下述輸出入電路44)中，省略輸入元件之圖示。

此處重要的是，用以防止藉由輸出入電路43之ESD造成之破壞的信號用ESD保護元件部41a藉由VCC1ESD保護配線56，連接於SIG1焊墊31與VCC1ESD保護焊墊36之間，藉由GND1ESD保護配線57連接於SIG1焊墊31與GND1ESD保護焊墊37之間。該信號用ESD保護元件部41a包含VCC1側之保護元件與GND1側之保護元件，該VCC1側之保護元件用以使以VCC1端子10為基準施加至SIG1端子11之靜電自VCC1ESD保護配線56通過VCC1ESD保護焊墊36，逃逸至VCC1端子10，該GND1側之保護元件用以使以GND1端子12為基準施加至SIG1端子11之靜電自GND1ESD保護配線57通過GND1ESD保護焊墊37，逃逸至GND1端子12。具

體的是，該等保護元件使用二極體或場效電晶體(以金屬配線作為閘極且臨限值較高之MOS電晶體)等。

又，VCC2焊墊33與GND2焊墊35分別連接於形成於半導體基板上之VCC2配線53與GND2配線55。VCC2配線53與GND2配線55連接於第2電源系統之至少一個輸出入電路44與內部電路46之元件。該輸出入電路44亦與上述輸出入電路43同樣，進行與SIG2焊墊34之間之信號的輸入或輸出，內部電路46相應於自輸出入電路44輸入之信號進行信號處理，或將信號輸出至輸出入電路44。並且，用以防止藉由輸出入電路44之ESD造成之破壞的信號用ESD保護元件部42a亦藉由VCC2ESD保護配線58，連接於SIG2焊墊34與VCC2ESD保護焊墊38之間，藉由GND2ESD保護配線59連接於SIG2焊墊34與GND2ESD保護焊墊39之間。該信號用ESD保護元件部42a包含VCC2側之保護元件與GND2側之保護元件，該VCC2側之保護元件用以使以VCC2端子13為基準施加於SIG2端子14之靜電自VCC2ESD保護配線58通過VCC2ESD保護焊墊38，逃逸至VCC2端子13，該GND2側之保護元件用以使以GND2端子15為基準施加於SIG2端子14之靜電自GND2ESD保護配線59通過GND2ESD保護焊墊39，逃逸至GND2端子15。

半導體裝置1之電源用ESD保護元件部40a包含保護元件(一個二極體)，該保護元件連接於VCC1ESD保護焊墊36與GND1ESD保護焊墊37之間，具體的是VCC1ESD保護配線56與GND1ESD保護配線57之間。該電源用ESD保護元件部

40a係於靜電施加至VCC1端子10與GND1端子12之間之情形時，以輸出入電路43或內部電路45之元件不遭受破壞之方式逃逸靜電者。又，如上所述，VCC1ESD保護焊墊36與VCC2ESD保護焊墊38相互連接，且GND1ESD保護焊墊37與GND2ESD保護焊墊39相互連接。具體的是，VCC1ESD保護配線56與GND1ESD保護配線57分別於半導體基板上相互連接於VCC2ESD保護配線58與GND2ESD保護配線59。因此，即使於靜電施加至VCC2端子13與GND2端子15之間之情形時，經由VCC2ESD保護配線58與GND2ESD保護配線59，通過電源用ESD保護元件部40a，即連接於VCC1ESD保護配線56與GND1ESD保護配線57之間之保護元件，逃逸靜電。又，靜電施加至此外之組合之電源(包含接地)端子之間的情形亦同樣。

繼而，關於一個電源系統之信號端子，說明以其他電源系統之電源端子或接地端子為基準之ESD造成之破壞得以防止的動作。以VCC2端子13為基準施加於SIG1端子11之靜電自構成信號用ESD保護元件部41a之VCC1側之保護元件，通過VCC1ESD保護配線56、VCC2ESD保護配線58、VCC2ESD保護焊墊38、以及接合線28，逃逸至VCC2端子13。以GND2端子15為基準施加於SIG1端子11之靜電亦同樣地，自構成信號用ESD保護元件部41a之GND1側之保護元件，通過GND1ESD保護配線57、GND2ESD保護配線59、GND2ESD保護焊墊39、以及接合線29，逃逸至GND2端子115。如此，關於SIG1端子11，可防止以其他電源系

統之電源端子或接地端子為基準之ESD造成之破壞。又，關於SIG2端子14，同樣地亦可防止以其他電源系統之電源端子或接地端子，即VCC1端子10與GND1端子12為基準之ESD造成之破壞。

圖2係表示半導體裝置1整體之布局圖。作為引線端子之各端子10至15之作為其內側的內引線部藉由接合線20至29，連接於各焊墊30至39。分別設置複數個作為信號端子之SIG1端子11與SIG2端子14，於各信號端子分別設有接合線21或24、SIG1焊墊31或SIG2焊墊34、信號用ESD保護元件部41a或42a、以及輸出入電路43或44。再者，於圖2中，關於SIG1焊墊31或SIG2焊墊34、信號用ESD保護元件部41a或42a等，省略其符號。GND1ESD保護配線57或GND2ESD保護配線59包圍著各焊墊30至39並設於外側，VCC1ESD保護配線56或VCC2ESD保護配線58設於各焊墊30至39之內側，VCC1配線50或VCC2配線53設於VCC1ESD保護配線56或VCC2ESD保護配線58之內側且包圍輸出入電路43或44而設於外側，GND1配線52或GND2配線55設於輸出入電路43或44之內側。又，構成電源用ESD保護元件部40a之保護元件分割配置於半導體裝置1之空置空間(即圖2中之半導體裝置1之4角)。

如上所述，該半導體裝置1可削減構成電源用ESD保護元件部40a之保護元件之數量，藉此可抑制晶片尺寸之增大。又，於測定半導體裝置之ESD之破壞強度之情形時，以VCC1端子10為基準之情形與以VCC2端子13為基準之情

形中，原理上破壞強度幾乎不變，故而亦可省略以VCC2端子13為基準之測定。以GND1端子12為基準之情形與以GND2端子15為基準之情形亦同樣。

再者，亦可假定藉由起因於第1電源系統即數位用電源系統之元件且重疊於電源配線之電源雜訊傳達之路徑，即VCC1焊墊30、接合線20、VCC1端子10、接合線26、VCC1ESD保護焊墊36、VCC1ESD保護配線56、VCC2ESD保護配線58、VCC2ESD保護焊墊38、接合線28、VCC2端子13、接合線23、以及VCC2焊墊33之路徑，電源雜訊可自數位用電源系統之VCC1配線50傳達至第2電源系統，即類比用電源系統之VCC2配線53，但因該路徑中之複數個接合線之阻抗較高，故電源雜訊得以衰減，且經由阻抗低於其之VCC1端子10與VCC2端子13，藉由外部電源吸收，故而變得極其微小，不足以成為問題。關於重疊於接地配線之電源雜訊亦同樣。

繼而，關於本發明之較好之第2實施形態的半導體裝置，依據圖3加以說明。該半導體裝置2具有電源電壓不同之複數個電源系統，即5 V之第1電源系統與3 V之第2電源系統作為複數個電源系統。該半導體裝置2之VCC1端子10僅連接於VCC1焊墊30，上述半導體裝置1中之VCC1ESD保護焊墊36並不存在，因此VCC1ESD保護配線56亦不存在。同樣地，VCC2端子13僅連接於VCC2焊墊33，半導體裝置1中之VCC2保護焊墊38並不存在，因此VCC2ESD保護配線58亦不存在。然而，GND1ESD保護焊墊(第1電源系統

之第1ESD保護焊墊)37與GND2ESD保護焊墊(第2電源系統之第1ESD保護焊墊)39存在。該等經由GND1ESD保護配線57與GND2ESD保護配線59，於半導體基板上相互連接。並且，包含信號用ESD保護元件部41b與42b以取代半導體裝置1中之信號用ESD保護元件部41a與42a，該元件保護部41b與42b之VCC1側之保護元件、VCC2側之保護元件連接於VCC1配線50、VCC2配線53，GND1側之保護元件、GND2側之保護元件連接於GND1ESD保護焊墊37與GND2ESD保護焊墊39。又，包含電源用ESD保護元件部40b以取代電源用ESD保護元件部40a，該保護元件部40b包含VCC1焊墊30與GND1ESD保護焊墊37之間之保護元件(一個二極體)、VCC2焊墊33與GND1ESD保護焊墊37之間之保護元件(一個二極體)、以及VCC1焊墊30與VCC2焊墊33之間之保護元件(一個二極體)。

於該半導體裝置2中，關於一個電源系統之信號端子，與半導體裝置1同樣地，可防止以其他電源系統之接地端子為基準之情形，即以GND2端子15為基準施加靜電至SIG1端子11之情形，與以GND2端子12為基準施加靜電至SIG2端子14之情形時ESD所造成的破壞。並且，關於一個電源系統之信號端子，與上述先前之半導體裝置同樣地，可防止以其他電源系統之電源端子為基準之情形，即以VCC2端子13為基準施加靜電至SIG1端子11之情形，與以VCC1端子10為基準施加靜電至SIG2端子14之情形時ESD所造成的破壞。

半導體裝置2之電源用ESD保護元件部40b與半導體裝置1之電源用ESD保護元件部40a相比，作為構成要素之保護元件之數量較多，但與先前之電源用ESD保護元件部相比，可削減保護元件之數量，藉此可抑制晶片尺寸之增大。

又，亦可能有如下之情形：藉由複數個電源系統之電壓，與半導體裝置2相反，半導體裝置1中之VCC1ESD保護焊墊36與VCC2ESD保護焊墊38存在，而GND1ESD保護焊墊37與GND2ESD保護焊墊39不存在。

又，於以上說明之實施形態中，端子與對應於其之焊墊使用接合線連接，但使用具有某種程度較高之阻抗之連接構件(例如凸塊)亦可獲得同樣之效果。又，於半導體基板直接安裝於印刷基板等之情形時，可藉由印刷基板之配線將各ESD保護焊墊連接於對應之電源焊墊或接地焊墊。

再者，本發明並非限於上述實施形態，可於申請專利範圍中揭示之事項範圍內實現各種設計變更。例如，於以上實施形態中，為便於理解申請專利範圍，以VCC1ESD保護焊墊36對應於第1電源系統之第2ESD保護焊墊，GND1ESD保護焊墊37對應於第1電源系統之第1ESD保護焊墊，VCC2ESD保護焊墊38對應於第2電源系統之第2ESD保護焊墊，GND2ESD保護焊墊39對應於第2電源系統之第1ESD保護焊墊之方式加以說明，亦可採用如下之構成：VCC1ESD保護焊墊36對應於第1電源系統之第1ESD保護焊墊，GND1ESD保護焊墊37對應於第1電源系統之第2ESD保

護焊墊，VCC2ESD保護焊墊38對應於第2電源系統之第1ESD保護焊墊，GND2ESD保護焊墊39對應於第2電源系統之第2ESD保護焊墊。又，於以上之實施形態中，作為具有複數個電源系統之半導體裝置，就具有兩個電源系統之半導體裝置加以說明，當然本發明亦適用於具有3個以上電源系統之半導體裝置之電源系統的全部或一部分。

【圖式簡單說明】

圖1係本發明較好之第1實施形態之半導體裝置的部分電路圖。

圖2係同上之整體布局圖。

圖3係本發明較好之第2實施形態之半導體裝置的部分電路圖。

圖4係先前之半導體裝置之部分電路圖。

【主要元件符號說明】

1	第1實施形態之半導體裝置
2	第2實施形態之半導體裝置
10	VCC1(第1電源系統之電源)端子
11	SIG1(第1電源系統之信號)端子
12	GND1(第1電源系統之接地)端子
13	VCC2(第2電源系統之電源)端子
14	SIG2(第2電源系統之信號)端子
15	GND2(第2電源系統之接地)端子
20至29	接合線
30	VCC1(第1電源系統之電源)焊墊

31	SIG1(第1電源系統之信號)焊墊
32	GND1(第1電源系統之接地)焊墊
33	VCC2(第2電源系統之電源)焊墊
34	SIG2(第2電源系統之信號)焊墊
35	GND2(第2電源系統之接地)焊墊
36	VCC1(第1電源系統之第2)ESD保護焊墊
37	GND1(第1電源系統之第1)ESD保護焊墊
38	VCC2(第2電源系統之第2)ESD保護焊墊
39	GND2(第2電源系統之第1)ESD保護焊墊
40a	第1實施形態之電源用ESD保護元件部
40b	第2實施形態之電源用ESD保護元件部
41a	第1實施形態之第1電源系統之信號用ESD保護 元件部
42a	第1實施形態之第2電源系統之信號用ESD保護 元件部
41b	第2實施形態之第1電源系統之信號用ESD保護 元件部
42b	第2實施形態之第2電源系統之信號用ESD保護 元件部
43	第1電源系統之輸出入電路
44	第2電源系統之輸出入電路
45	第1電源系統之內部電路
46	第2電源系統之內部電路
50	VCC1配線

52	GND1 配 線
53	VCC2 配 線
55	GND2 配 線
56	VCC1ESD 保 護 配 線
57	GND1ESD 保 護 配 線
58	VCC2ESD 保 護 配 線
59	GND2ESD 保 護 配 線

五、中文發明摘要：

本發明提供一種半導體裝置，其可對於一個電源系統之信號端子實現以其他電源系統之電源(或接地)端子為基準之ESD破壞對策，且可抑制因其而晶片尺寸之增大。該半導體裝置1於第1與第2電源系統中包含：ESD保護焊墊36至39，其藉由接合線26至29連接於電源端子10、13以及接地端子12、15；各信號用ESD保護元件部41a、42a，其連接於信號焊墊31、34與ESD保護焊墊36至39，並保護輸出入電路43、44；以及電源用ESD保護元件部40a，其連接於ESD保護焊墊36、37。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置，其特徵在於：至少具有第1與第2電源系統作為複數個電源系統，第1與第2電源系統分別包含形成於半導體基板上之電源焊墊、接地焊墊及至少一個信號焊墊，以及連接於該等各焊墊且在與信號焊墊之間進行信號的輸入或輸出之輸出入電路；且

第1與第2電源系統於半導體基板上分別包含：

第1ESD保護焊墊；及

信號用ESD保護元件部，其連接於信號焊墊與第1ESD保護焊墊；

第1與第2電源系統之第1ESD保護焊墊相互連接。

2. 如請求項1之半導體裝置，其中

進而包含電源用ESD保護元件部，其連接於第1與第2電源系統之任一個之第1ESD保護焊墊。

3. 如請求項1或2之半導體裝置，其中

第1與第2電源系統分別包含連接於電源焊墊之電源端子、連接於接地焊墊之接地端子及連接於信號焊墊之信號端子；

第1與第2電源系統各自之第1ESD保護焊墊係連接於電源端子或接地端子之一方。

4. 如請求項3之半導體裝置，其中

第1與第2電源系統分別經由接合線連接電源焊墊與電源端子、連接接地焊墊與接地端子、連接信號焊墊與信號端子、連接第1ESD保護焊墊與電源端子或接地端子之

一方。

5. 如請求項1之半導體裝置，其中

第1與第2電源系統於半導體基板上，進而分別包含連接於信號用ESD保護元件部之第2ESD保護焊墊；

第1與第2電源系統之第2ESD保護焊墊相互連接。

6. 如請求項5之半導體裝置，其中

進而包含電源用ESD保護元件部，其連接於第1與第2電源系統之任一個之第1ESD保護焊墊，且連接於任一個之第2ESD保護焊墊。

7. 如請求項5或6之半導體裝置，其中

第1與第2電源系統分別包含連接於電源焊墊之電源端子、連接於接地焊墊之接地端子及連接於信號焊墊之信號端子；

第1與第2電源系統各自之第1ESD保護焊墊連接於電源端子或接地端子之一方，第2ESD保護焊墊連接於電源端子或接地端子之他方。

8. 如請求項7之半導體裝置，其中

第1與第2電源系統分別經由接合線連接電源焊墊與電源端子、連接接地焊墊與接地端子、連接信號焊墊與信號端子、連接第1ESD保護焊墊與電源端子或接地端子之一方、連接第2ESD保護焊墊與電源端子或接地端子之他方。

十一、圖式：

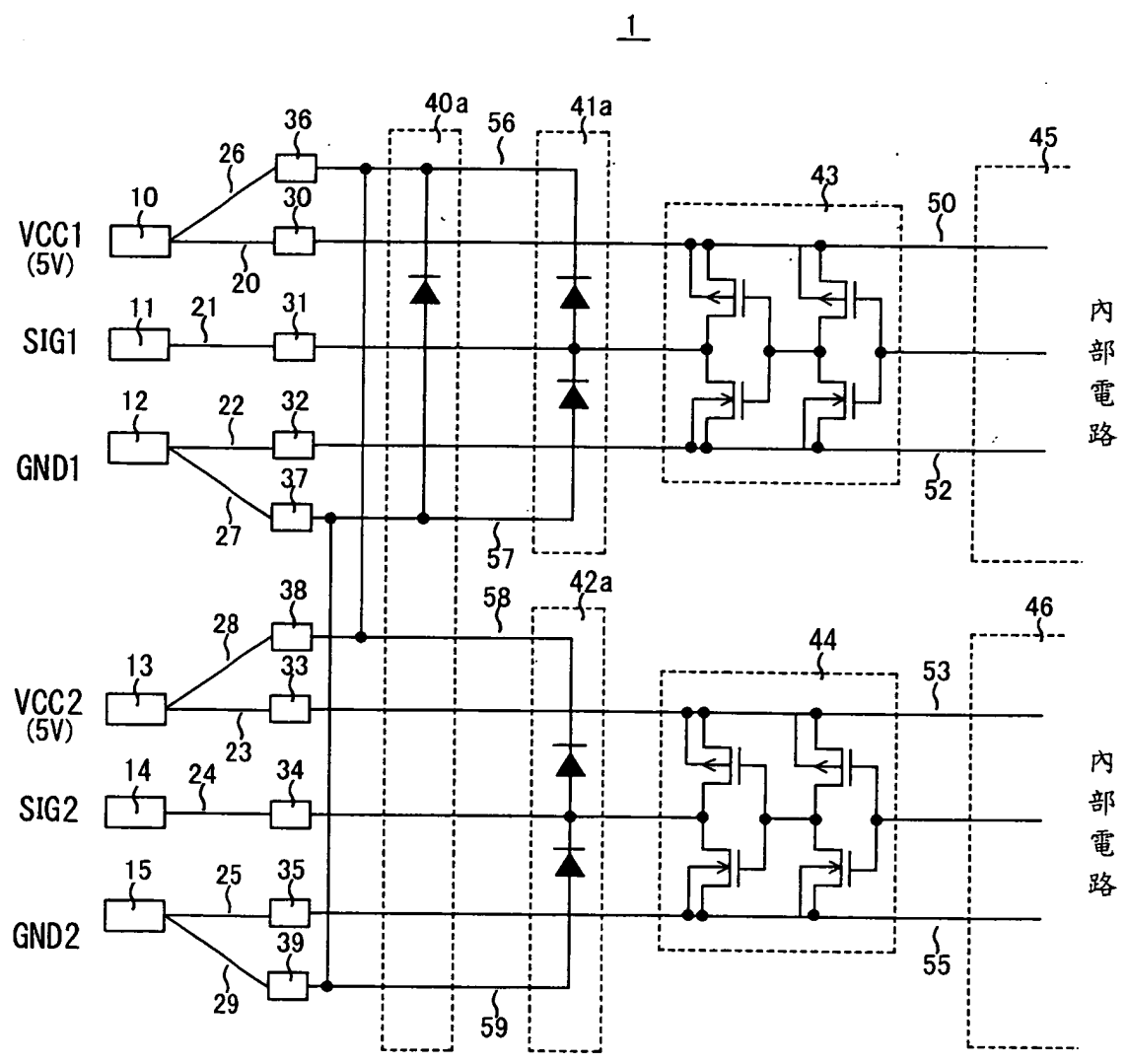


圖 1

1

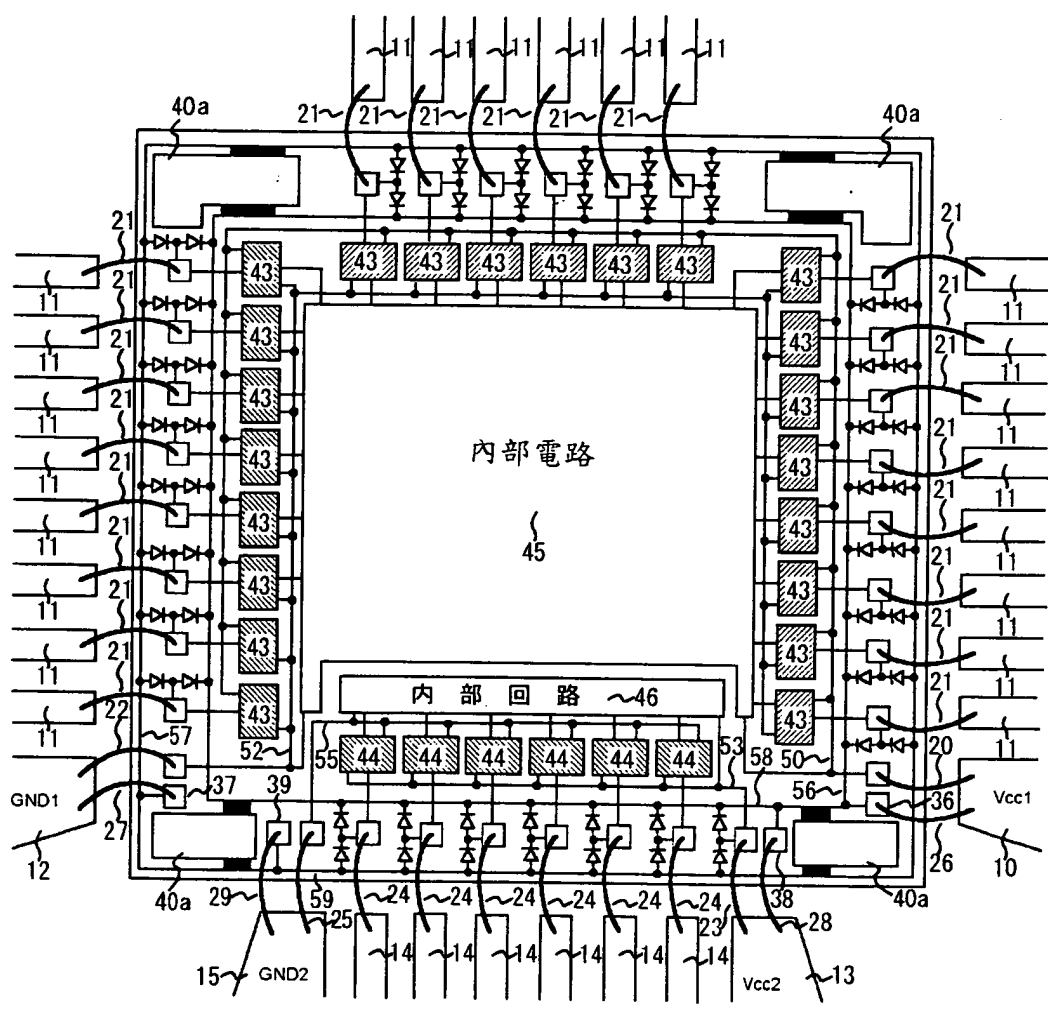


圖2

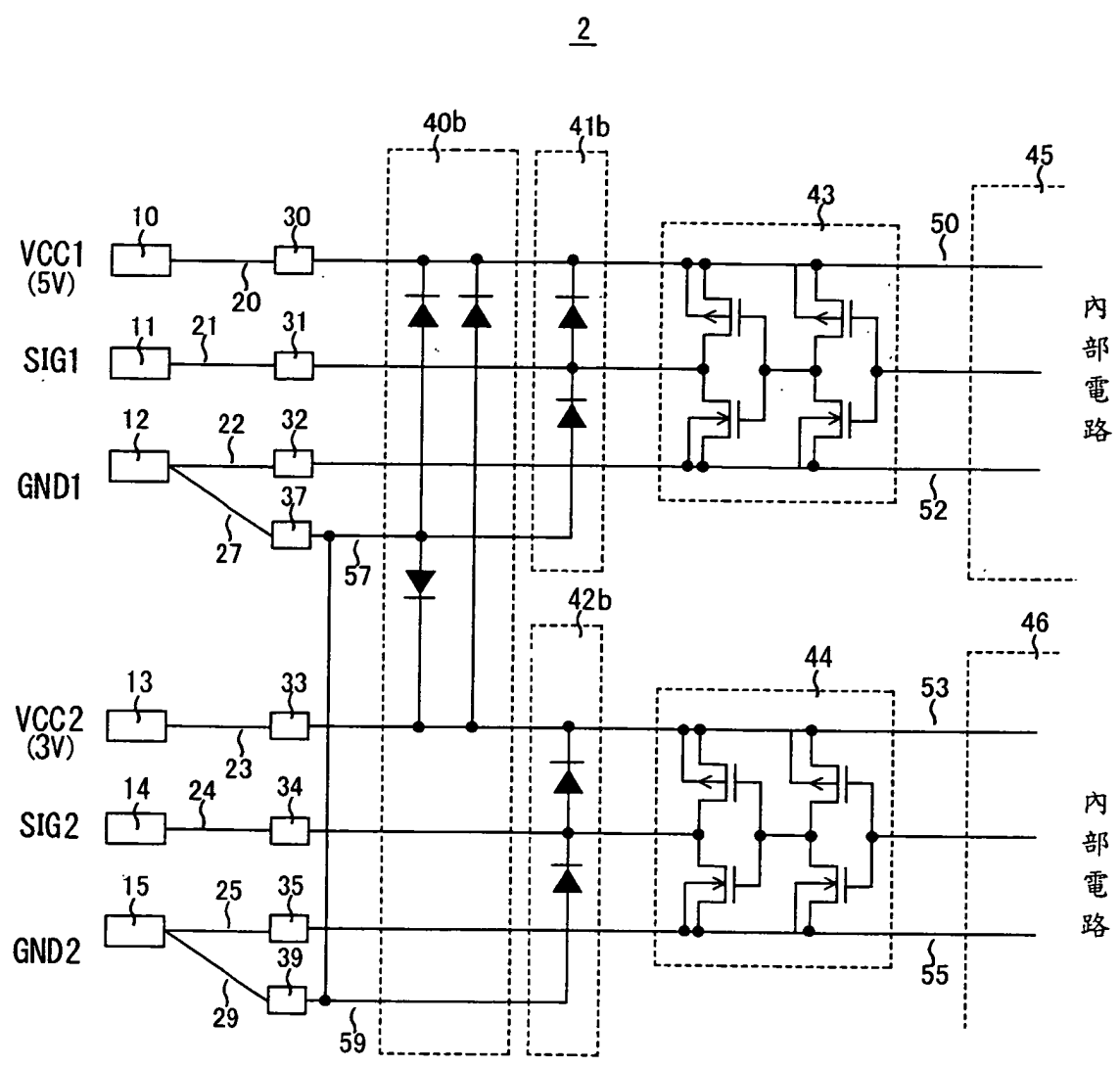


圖 3

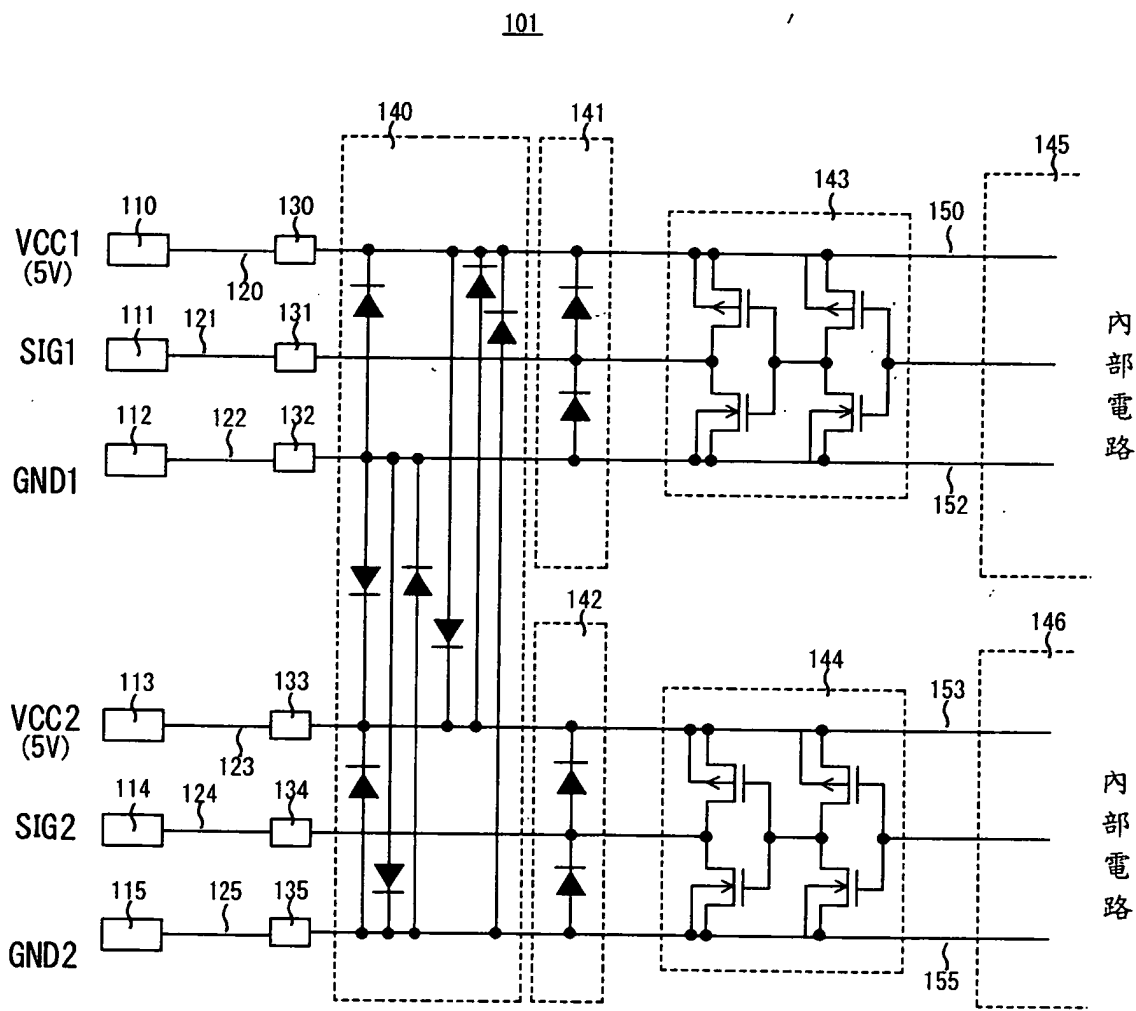


圖 4

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1	半導體裝置
10	VCC1(第1電源系統之電源)端子
11	SIG1(第1電源系統之信號)端子
12	GND1(第1電源系統之接地)端子
13	VCC2(第2電源系統之電源)端子
14	SIG2(第2電源系統之信號)端子
15	GND2(第2電源系統之接地)端子
20至29	接合線
30	VCC1(第1電源系統之電源)焊墊
31	SIG1(第1電源系統之信號)焊墊
32	GND1(第1電源系統之接地)焊墊
33	VCC2(第2電源系統之電源)焊墊
34	SIG2(第2電源系統之信號)焊墊
35	GND2(第2電源系統之接地)焊墊
36	VCC1(第1電源系統之第2)ESD保護焊墊
37	GND1(第1電源系統之第1)ESD保護焊墊
38	VCC2(第2電源系統之第2)ESD保護焊墊
39	GND2(第2電源系統之第1)ESD保護焊墊
40a	電源用ESD保護元件部
41a	第1電源系統之信號用ESD保護元件部
42a	第2電源系統之信號用ESD保護元件部

43	第1電源系統之輸出入電路
44	第2電源系統之輸出入電路
45	第1電源系統之內部電路
46	第2電源系統之內部電路
50	VCC1配線
52	GND1配線
53	VCC2配線
55	GND2配線
56	VCC1ESD保護配線
57	GND1ESD保護配線
58	VCC2ESD保護配線
59	GND2ESD保護配線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)