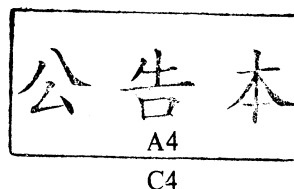


申請日期	91.7.2 ✓
案 號	91105539
類 別	G06F 9/00



(以上各欄由本局填註)

578098

發 明 專 利 說 明 書		
一、發明 名稱	中 文	具有固定、特殊應用的計算元件之多種適應性計算單元之異質且可重新配置的矩陣之適應性積體電路
	英 文	ADAPTIVE INTEGRATED CIRCUITRY WITH HETEROGENEOUS AND RECONFIGURABLE MATRICES OF DIVERSE AND ADAPTIVE COMPUTATIONAL UNITS HAVING FIXED, APPLICATION SPECIFIC COMPUTATIONAL ELEMENTS
二、發明 創作人	姓 名	1.保羅 L.梅斯特 2.歐伊格尼.候格瑙爾 3.瓦特.詹姆斯.修伊爾曼
	國 籍	1.2.3.美國
	住、居所	1.美國加州 94087 太陽谷達特席爾路 796 號 2.美國加州 94070 聖卡洛斯席爾塔普道 93 號 3.美國加州 95070 薩拉托加薩拉托加山丘路 21485 號
三、申請人	姓 名 (名稱)	水銀科技公司
	國 籍	美國
	住、居所 (事務所)	美國加州 95119 聖荷西歐若街 6640 號 120 棟
	代 表 人 姓 名	詹姆斯 R.菲德利克森

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6
B6

本案已向：

美 國 (地 區) 申請專利，申請日期 2001.03.22. 案號：09/815,122，☒有 ☐無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明之領域

本發明大致係有關於積體電路，並且更明確地有關於具有固定的、特殊應用的計算元件之多種適應性計算單元之異質的(heterogeneous)且可重新配置的矩陣之適應性(adaptive)積體電路。

本發明之背景

在積體電路(“IC”)的設計與開發上所做之發展大體而言已經製造出數種不同的類型或是類別之 IC，其係具有不同的性質與功能，例如通用杜林(Turing)機的種類(包含微處理器與數位信號處理器(“DSP”))、特殊應用的積體電路(“ASIC”)、以及現場可程式化的閘陣列(“FPGA”)。這些不同類型的 IC 以及其相對應的設計方法都分別具有不同的優點以及缺點。

例如，微處理器與 DSP 典型上提供一種彈性的、軟體可程式化的解決方案用於廣泛種類的工作之實施。隨著各種技術標準的發展，微處理器與 DSP 可以被再程式化到不同的程度以執行各種新的、或是變化過的功能或是動作。然而，各種工作或是演算法都必須被分割與限制以符合處理器的實體上之限制，例如匯流排寬度以及硬體可利用性。此外，由於處理器是被設計用於指令的執行，因此 IC 的大區域係被配置給指令的處理，其結果是處理器在實際的演算法運算之效能上是效能較差的，其中在任意特定的時脈週期期間，這些運算中只有幾個百分比的運算被執行。此外，微處理器與 DSP 具有一個較為有限的活動因素

五、發明說明 (>)

(activity factor)，例如在任意特定的時間其電晶體只有大約 5 個百分比係從事演算法運算，其中大部分的電晶體都被分配給指令的處理。因此，對於任意特定的演算法運算之效能，相較於其它類型的 IC，例如 ASIC，處理器係顯著地消耗更多的 IC(或是矽)面積並且顯著地消耗更多的功率。

儘管在功率消耗以及大小上具有相對的優點，ASIC 對於一項高度特定的工作或是一個群組之高度特定的工作之執行係提供一種電晶體(或是邏輯閘)之固定不變的或是“硬體連線的(hard-wired)”做法。ASIC 典型上是相當有效地在一個相對較高的活動因素下執行這些工作，例如在任意特定的時間有 25 至 30 個百分比的電晶體係從事開關動作。然而，一旦被蝕刻後，ASIC 不是可容易改變的，其中任何的修改都是耗時且昂貴的，實際上需要新的遮罩與新的製造。另一項結果是，ASIC 設計實際上一直都有一定程度的陳舊過時(obsolescence)，其中的設計週期係落後針對產品製作所發展出的標準。例如，被設計來實施用於行動通訊的 GSM 或是 CDMA 標準之 ASIC 在一種例如是 3G 之新標準的出現之下變為相當過時的。

FPGA 已經發展來提供某種設計以及程式化上的彈性，此係容許一定程度的製造後之修改。FPGA 典型上係由小的、相同的部分或是“島狀(island)”之可程式化的邏輯(邏輯閘)所組成，該可程式化的邏輯係被許多層級的可程式化的互連線(interconnect)所圍繞，並且可以包含記憶體元件

五、發明說明 (3)

。FPGA 是同質的(homogeneous)，其中 IC 係由反覆的陣列之相同的群組之邏輯閘、記憶體以及可程式化的互連線構成的。一種特殊的功能可以藉由配置(或是重新配置)互連線來以特殊的順序與配置連接各種的邏輯閘來加以實施。FPGA 最顯著的優點是其製造後的可重新配置性，其係容許在改變或是開發規格或是標準的實施上有一定程度的彈性。然而，FPGA 之重新配置的過程是較為緩慢的，並且典型上不適合大多數即時、立即的應用。

儘管 FPGA 的此種製造後的彈性係提供一項顯著的優點，但是 FPGA 有著相對應且固有的缺點。相較於 ASIC，FPGA 是非常昂貴的，而且對於特殊功能的實施是非常無效率的，並且經常會遭遇到一種“組合爆炸(combinatorial explosion)”的問題。更明確地說，對於 FPGA 的做法，一個演算法運算相對地可能需要幾個數量級之更大的 IC 面積、時間與功率，尤其是當該特殊的演算法運算對於該 FPGA 材質之早已存在的、同質的邏輯閘島是一種不良的配合時。此外，應該是足夠豐富(rich)且可用來提供重新配置的彈性之可程式化的互連線係具有相對應高的電容，此導致較為緩慢的動作以及較高的功率消耗。例如，相較於 ASIC，一項例如是乘法器之相當簡單的功能之 FPGA 的做法係用掉顯著的 IC 面積以及大量的功率，而提供幾個數量級之顯著較差的效能。此外，FPGA 繞線(routing)有著混亂的成分，此係使得 FPGA 受到不可預料的繞線延遲以及浪費的邏輯資源，其中典型上大致一半或是更多之理論上可

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

用的閘是由於在繞線資源以及繞線法則上的限制而屬於不能用的。

各種合併或是結合這各種處理器、ASIC 與 FPGA 架構之習知技術的嘗試對於某些有限的應用已經具有效用，但是對於低功率、高效率以及即時的應用尚未被證實為成功的或是有用的。典型地，這些習知技術的嘗試只是已經在單一晶片之上提供一個已知的 FPGA 材質的區域(由一個反覆的陣列之相同的邏輯閘以及互連線所組成)相鄰一個處理器或是一個 ASIC，其具有有限的通容性(interoperability)來作為對於處理器或是 ASIC 功能的協助。例如，Trimberger 的美國專利號 5,737,631，名稱為“可再次程式化的(Reprogrammable)指令集加速器”，1998 年 4 月 7 日公告，係被設計來提供指令加速給一般用途的處理器，並且只是揭露一個由此種基本的微處理器平行地結合已知的 FPGA 材質(以及一個 FPGA 配置儲存，這些係一起形成該可再次程式化的指令集加速器)所組成的主 CPU。此可再次程式化的指令集加速器雖然容許一些製造後的重新配置之彈性以及處理器的加速，但是卻遭遇到傳統的處理器以及傳統的 FPGA 材質之各種缺點，例如，高的功率消耗以及高電容，具有較低的速度、較低的效率以及較低的活動因素。

Tavana 等人的美國專利號 6,094,065，名稱為“具有現場可程式化的以及特殊應用的邏輯區域之積體電路”，2000 年 7 月 25 日公告，其係被設計來容許 ASIC 有一定程度之

五、發明說明 (5)

製造後的修改，例如用於設計或是其它佈局的瑕疵之校正，並且揭露一種現場可程式化的閘陣列與一個覆蓋界定(mask-defined)之特殊應用的邏輯區域(亦即，ASIC 材質)平行組合之利用。再次地，已知的 FPGA 材質(在豐富的可程式化的互連線之下，由一個反覆的陣列之相同的邏輯閘所組成)係只是被置放相鄰在同一矽晶片中之 ASIC 材質。儘管潛在地提供了製造後的手段給“故障修復”以及其它的錯誤校正，習知技術的 IC 仍然遭受到傳統的 ASIC 以及傳統的 FPGA 材質之各種缺點，例如，ASIC 之非常有限的可再次程式化，結合了 FPGA 之高的功率消耗、較低的速度、較低的效率以及較低的活動因素。

因此，對於一種新穎形式或是類型的積體電路仍然存在著需求，該積體電路係有效且有效率地結合並且最大化處理器、ASIC 以及 FPGA 的各種優點，而同時最小化潛在的缺點。此種新穎形式或是類型的積體電路應該包含例如處理器的程式化之彈性、FPGA 之製造後的彈性、以及 ASIC 之高速以及高的利用因素。此種積體電路應該是可容易即時地重新配置的，並且能夠具有相對應的、多種模式的動作。此外，此種積體電路應該最小化功率消耗並且應該適合用於低功率的應用，例如用於手持以及其它用電池供電的裝置。

本發明之概要

本發明係提供新穎形式或是類型的積體電路，其係有效且有效率地結合並且最大化處理器、ASIC 以及 FPGA 的

五、發明說明 (6)

各種優點，而同時最小化潛在的缺點。根據本發明，此種新穎形式或是類型的積體電路被稱之為一種適應性計算引擎 (ACE)，其係被揭示為提供處理器的程式化之彈性、FPGA 之製造後的彈性、以及 ASIC 之高速以及高的利用因素。本發明的 ACE 積體電路是可容易即時地重新配置的，並且能夠具有相對應的、多種模式的動作，並且進一步最小化功率消耗而同時增進效能，其中尤其適合於低功率的應用，例如用於手持以及其它用電池供電的裝置。

本發明的用於適應性或是可重新配置的計算之 ACE 架構係包含複數個耦接至一個互連線網路的異質的計算元件，而不是 FPGA 同質的單元。該複數個異質的計算元件係包含具有固定的以及不同的架構之相對應的計算元件，例如，用於不同的功能之固定的架構，例如是記憶體、加法、乘法、複數乘法、減法、配置、重新配置、控制、輸入、輸出以及現場可程式性。回應於配置的資訊，該互連線網路係即時地運作以配置與重新配置該複數個異質的計算元件用於複數種不同的功能模式，其係包含線性的演算法運算、非線性的演算法運算、有限狀態機器運算、記憶體動作、以及位元層級的處理。

如同以下更加詳細地描繪與論述者，本發明的 ACE 架構係提供一種單一 IC，其可以利用這些固定的以及特殊應用的計算元件，即時地被配置與重新配置以執行廣泛種類的工作。例如，隨著時間而利用不同的配置之相同組的異質的計算元件，該 ACE 架構可以施行例如是有限脈衝響應

五、發明說明(7)

的濾波、快速傅立葉轉換、離散餘弦轉換的功能，並且在具有其它類型的計算元件下，可以實施其它許多高階的處理功能用於先進的通訊以及計算。

本發明之其它許多的優點及特點從以下本發明的詳細說明與實施例、從申請專利範圍以及從所附的圖式而將變為容易理解。

圖式之簡要說明

圖 1 是描繪根據本發明之一較佳的裝置實施例之方塊圖。

圖 2 是描繪根據本發明之一個示範性的資料流圖之概要圖。

圖 3 是描繪根據本發明之一個可重新配置的矩陣、複數個計算單元、以及複數個計算元件之方塊圖。

圖 4 是更加詳細地描繪根據本發明的一個可重新配置的矩陣之一個計算單元的方塊圖。

圖 5A 至 5E 是詳細地描繪根據本發明的構成計算單元之示範性的固定且特定的計算元件之方塊圖。

圖 6 是詳細地描繪根據本發明之具有複數個不同的、固定的計算元件之一個較佳的多功能適應性計算單元之方塊圖。

圖 7 是詳細地描繪根據本發明之具有複數個固定的計算元件之一個較佳的適應性邏輯處理器計算單元之方塊圖。

圖 8 是更加詳細地描繪根據本發明的一個適應性邏輯

五、發明說明(8)

處理器計算單元之一個較佳的核心元(cell)以及一個固定的計算元件之方塊圖。

圖 9 是更加詳細地描繪根據本發明的一個適應性邏輯處理器計算單元之一個核心元的一個較佳的固定的計算元件之方塊圖。

主要部份代表符號之簡要說明

- 100 適應性計算引擎(ACE)
- 110 矩陣互連線網路
- 120 控制器
- 140 記憶體
- 150、150A~150N 矩陣
- 200、200A~200N 計算單元
- 210 布林互連線網路
- 220 互連線
- 230 矩陣控制器
- 240 資料互連線網路
- 250、250A~250Z 計算元件
- 251 輸入致能
- 252 輸入選擇
- 253 輸出選擇
- 254 MUX 選擇
- 255 計算單元控制器
- 256 DEMUX 致能
- 257 DEMUX 選擇

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

- 258 DEMUX 輸出選擇
- 260 計算單元核心
- 265 控制位元
- 270 線
- 280 輸入多工器
- 281 輸入線
- 285、290 輸出解多工器
- 291 輸出線
- 295 線
- 300 四點之非對稱的有限脈衝響應(FIR)濾波器的計算單元
- 305 係數記憶體
- 310 資料記憶體
- 315、320、325、385 暫存器
- 330 乘法器
- 335 加法器
- 340、345、350、355 累加器暫存器
- 360、365、390、395、405 多工器
- 370 兩點之對稱的有限脈衝響應(FIR)濾波器的計算單元
- 375 第二加法器
- 380 加法器/減法器
- 400 快速傅立葉轉換(FFT)的計算單元
- 410 記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

- 415 實數累加器暫存器
- 420 虛數累加器暫存器
- 440 複數的有限脈衝響應(FIR)濾波器的計算單元
- 450 雙四結構的(biquad)無限脈衝響應(IIR)濾波器的計算單元
- 460 資料流圖
- 470、475、480、485 暫存器
- 490 輸入記憶體
- 500 多功能適應性計算單元
- 505 輸入
- 510、510A~510KK 多工器
- 515 線
- 520 輸入記憶體
- 525 資料記憶體
- 530、530A~530Q 暫存器
- 540、540A~540D 乘法器
- 545 加法器
- 550、550A~550D 第一算術邏輯單元
- 555、555A~555D 第二算術邏輯單元
- 560 管線暫存器
- 570 輸出
- 600 適應性邏輯處理器(ALP)計算單元
- 610 核心元
- 615 垂直輸入(VI)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（一）

620 垂直中繼器(VR)

625 垂直輸出(VO)

630 水平中繼器(HR)

635 水平終止器(HT)

640 水平控制器(HC)

650 計算元件

655 控制邏輯

660 輸入

665 控制輸入

670 控制輸出

675 輸出

680 XNOR 閘

685 NOR 閘

690 NAND 閘

705 MUX

695 XOR 閘

710 輸出

720 輸入

730 互連線輸入

本發明之詳細說明

儘管本發明可以有許多種不同形式的實施例，但是在圖式中有顯示本發明之特定的實施例並且將在此詳細地加以說明，其中應瞭解到本揭露內容係欲被視為本發明的原理之一個範例，因而並非打算將本發明限制在所描繪之特

五、發明說明 (12)

定的實施例。

如同以上所指出者，對於一種新穎形式或是類型的積體電路仍然存在著需求，該積體電路係有效且有效率地結合並且最大化處理器、ASIC 以及 FPGA 的各種優點，而同時最小化潛在的缺點。根據本發明，此種新穎形式或是類型的積體電路被稱之為一種適應性計算引擎(ACE)，其係被揭示為提供處理器的程式化之彈性、FPGA 之製造後的彈性、以及 ASIC 之高速以及高的利用因素。本發明的 ACE 積體電路是可容易即時地重新配置的、能夠具有相對應的、多種模式的動作、並且進一步最小化功率消耗而同時增進效能，其中尤其適合於低功率的應用。

圖 1 是描繪根據本發明之一較佳的裝置 100 實施例之方塊圖。該裝置 100 在此被稱為適應性計算引擎 (“ACE”)100，其最好是被體現為一個積體電路，或是為一個具有其它額外的組件之積體電路的一部分。在該較佳實施例中，並且如以下更加詳細所述者，該 ACE 100 係包含例如圖示的矩陣 150A 至 150N 之一或多個可重新配置的矩陣(或是節點)150 以及一個矩陣互連線網路 110。同時，在該較佳實施例中，並且如以下更加詳細所述者，一或多個的矩陣 150，例如是矩陣 150A 與 150B 係被配置用於作用為一個控制器 120，而其它的矩陣，例如是矩陣 150C 與 150D 係被配置用於作用為一個記憶體 140。各種的矩陣 150 以及矩陣互連線網路 110 也可以一起被實施為不規則形的(fractal)子單元，其規模可以從幾個節點至幾千個節點

五、發明說明(14)

。一項與習知技術不同之顯著的變更是，該 ACE 100 並未利用傳統的(並且典型為個別的)資料、DMA、隨機存取、配置以及指令匯流排以用於在該可重新配置的矩陣 150、控制器 120 以及記憶體 140 之間的發信號(signaling)以及其它的傳輸、或是用於其它的輸入/輸出("I/O")功能。而是，資料、控制以及配置資訊係利用矩陣互連線網路 110 而被傳送在這些矩陣 150 元件之間，該矩陣互連線網路 110 可以被即時地配置以及重新配置，以提供在包含那些被配置為控制器 120 以及記憶體 140 的矩陣 150 之可重新配置的矩陣 150 之間任意特定的連線，即如同以下更加詳細地論述者。

被配置來作用為記憶體 140 的矩陣 150 可以利用固定的記憶體元件之計算元件(以下所論述)，用任意所要或是較佳的方式被實施，並且可以內含在 ACE 100 中或是納入在另一個 IC 或部分的 IC 之中。在該較佳實施例中，該記憶體 140 係內含在 ACE 100 之中，並且最好是由低功率消耗的隨機存取記憶體(RAM)之計算元件所構成，但是也可以是由任何其它型式的記憶體，例如，快閃記憶體、DRAM、SRAM、MRAM、ROM、EPROM 或是 E²PROM 之計算元件所構成。在該較佳實施例中，該記憶體 140 最好是包含直接記憶體存取(DMA)引擎(未加以個別地描繪出)。

該控制器 120 最好是利用被配置為適應性有限狀態機

五、發明說明(14)

器的矩陣 150A 與 150B 來施行爲一個能夠執行以下所述之兩種類型的功能之精簡指令集(“RISC”)處理器、控制器或是其它的元件或 IC。(或者是，這些功能可以利用一個習知的 RISC 或是其它處理器而被實施。)第一種控制功能被稱之爲“核心(kernal)”控制，其係被描繪爲矩陣 150A 的核心控制器(“KARC”)，而第二種控制功能被稱之爲“矩陣”控制，其係被描繪爲矩陣 150B 的矩陣控制器(“MARC”)。控制器 120 的核心以及矩陣控制功能係在以下更加詳細地解說，關於各種矩陣 150 的配置性以及可重新配置性，並且關於較佳的型式之組合的資料、配置以及控制資訊，在此被稱之爲一個“銀器(silverware)”模組。

圖 1 的矩陣互連線網路 110 以及其子集合的互連線網路係個別地描繪在圖 3 以及 4 中(布林(Boolean)互連線網路 210、資料互連線網路 240、以及互連線 220)，其在此係全體且大致地被稱之爲“互連線”、“互連線”或是“互連線網路”，其可以大致如同在此項技術中已知地加以實施，例如，利用 FPGA 互連線網路或是開關組織(fabrics)，儘管是以一種被相當變化後的方式。在該較佳實施例中，該等各種互連線網路係如同例如在美國專利號 5,218,240、美國專利號 5,336,950、美國專利號 5,245,227、以及美國專利號 5,144,166 中所述，以及也如同以下所述並且如同參考圖 7、8 以及 9 所描繪地加以實施。這些各種的互連線網路係回應於在此大體上被稱之爲“配置資訊”之配置的信號，且在配置的信號之控制下，提供可選的(或是可開關控制的)

五、發明說明 (15)

連線在該控制器 120、記憶體 140、各種矩陣 150、與以下所論述的計算單元 200 及計算元件 250 之間，其係提供實體的基礎用於在此所稱之配置以及重新配置。此外，各種的互連線網路(110、210、240 以及 220)均提供可選的或是可開關控制的資料、輸入、輸出、控制以及配置路徑在該控制器 120、記憶體 140、各種矩陣 150、與計算單元 200 及計算元件 250 之間，以替代任何型式之傳統的或是個別的輸入/輸出匯流排、資料匯流排、DMA、RAM、配置以及指令匯流排。

然而，應該指明的是，儘管各種互連線網路(110、210、240 以及 220)之(或是之中的)任意特定的開關或是選擇動作可以如同在此項技術中已知地加以實施，但是根據本發明之各種互連線網路(110、210、240 以及 220)的設計以及佈局是新穎且創新的，即如同以下更加詳細地論述者。例如，不同的層級之互連線係被提供以回應於不同的層級之矩陣 150、計算單元 200 以及計算元件 250，即如以下所論述者。在矩陣 150 的層級，相較於習知技術的 FPGA 互連線，該矩陣互連線網路 110 是相當有限的並且較不“豐富的”，在一個特定的區域中具有較小的連線能力，以降低電容並且加快動作的速度。然而，在一個特殊的矩陣 150 或是計算單元 200 中，該互連線網路(210、220 以及 240)可以是相當密集且豐富的，以在一個有關之窄的或是緊密的地區中提供更大的適應以及重新配置的功能。

該各種矩陣或是節點 150 是可重新配置的並且是異質

五、發明說明 (16)

的，亦即，一般而言是取決於所要的配置而定：可重新配置的矩陣 150A 通常是不同於可重新配置的矩陣 150B 至 150N；可重新配置的矩陣 150B 通常是不同於可重新配置的矩陣 150A 以及 150C 至 150N；可重新配置的矩陣 150C 通常是不同於可重新配置的矩陣 150A、150B 以及 150D 至 150N，依此類推。各種可重新配置的矩陣 150 通常分別包含不同的或是變化的適應性以及可重新配置的計算單元 (200) 之混和；該計算單元 200 依次通常包含不同的或是變化的固定、特殊應用的計算元件 (250) 之混和，以下參考圖 3 與 4 更加詳細地加以論述，其可以透過各種的互連線網路，以各種的方式被適應性地連接、配置以及重新配置來執行不同的功能。除了不同的內部配置以及重新配置以外，各種的矩陣 150 可以在相關於每個其它的矩陣 150 之較高的層級下，透過該矩陣互連線網路 110 被連接、配置以及重新配置，也如同以下更加詳細地加以論述者。

數種不同的、有深刻見解的以及新穎的概念係被納入在本發明的 ACE 100 架構中，並且對於 ACE 100 之即時的動作以及其固有的優點提供有用的解說基礎。

本發明之第一項新穎的概念是有關特殊應用的、專用的或是固定的硬體單元 (計算元件 250) 之適應性以及可重新配置的用途，以及用於加速將被內含在矩陣 150 的計算單元 200 (圖 3) 之這些特殊應用的、專用的或是固定的硬體單元 (計算元件 250) 中之特殊的功能之選擇，例如，複數個乘法器、複數乘法器、以及加法器，其分別被設計用於相對

五、發明說明 (1)

應的乘法、複數乘法以及加法功能之最佳的執行。假設在該較佳實施例中，ACE 100 係將爲了低的功率消耗而被最佳化，則用於加速的功能是根據功率消耗來被選擇。例如，對於一個例如是行動通訊之特定的應用而言，相對應的C(C+或是 C++)或是其它的碼可以針對於功率消耗來加以分析。此種經驗上的分析例如可以透露出一小部分的此種碼，例如，10%的此種碼當被執行時，實際上消耗 90%的操作功率。根據本發明，在此種功率利用的基礎上，此小部分的碼係被選擇用於在某些類型之可重新配置的矩陣 150 中之加速，而例如是適合執行在矩陣 150 中之其餘的碼係被配置爲控制器 120。額外的碼也可以被選擇用於加速，此致使 ACE 100 的功率消耗之最佳化，而到達任何從設計或是操作上的複雜度所產生之潛在的取捨之程度。此外，如同相關於圖 3 所述，例如控制碼之其它的功能可以在矩陣 150 被配置爲有限狀態機器時，在矩陣 150 中被加速。

接著，被選擇用於加速之演算法或是其它的功能係被轉換成爲一種稱之爲“資料流圖”(“DFG”)之型式。根據本發明的一個示範性的資料流圖之概要圖係被描繪在圖 2 中。如在圖 2 中所描繪地，一種對於 CDMA 語音編碼(QCELP(Qualcomm 碼激勵線性預測))是有用的演算法或是功能，其係利用四個乘法器 190、接著是四個加法器 195 來加以實施。透過不同的層級之互連線，此資料流圖的演算法係接著在任意特定的時間被施行，其係透過固定的計算元件(250)之配置以及重新配置，亦即，在已經針對效率

五、發明說明 (18)

而被最佳化且配置後的硬體中被施行，亦即，一個“機器”係被即時地配置，其係被最佳化以執行該特殊的演算法。繼續看示範性的 DFG 或是圖 2，作為計算元件 250 之四個固定的或是專用的乘法器、以及也作為不同的計算元件之四個固定的或是專用的加法器 250 係透過互連線即時地被配置以執行該特殊的 DFG 之功能或是演算法。

本發明之第三項並且或許是最顯著的特點，並且也是一項與習知技術的觀念及規則之顯著不同處是實施上述之各種所選的演算法所利用之可重新配置的“異質性 (heterogeneity)”之概念。如同以上所指出者，習知技術的可重新配置性係專門依賴同質的 FPGA，其中相同的區塊之邏輯關係在豐富的、可程式化的互連線之內被反覆成為一個陣列，其中該互連線接著被配置以在相同的閘之間提供連線以實施一項特殊的功能，儘管是無效率地並且經常帶有繞線以及組合的問題。明顯的對比是，根據本發明，在計算單元 200 中，不同的計算元件(250)係直接被施行為對應之不同的固定的(或是專用的)特殊應用的硬體，例如，專用的乘法器、複數乘法器以及加法器。利用互連線(210 以及 220)之下，這些不同的、異質的計算元件(250)接著可以適應性地、即時地被配置以執行所選的演算法，例如經常被利用在行動通訊中之離散餘弦轉換的執行。對於圖 2 的資料流圖之例子，四個乘法器以及四個加法器將會被配置，亦即，即時地連接，以執行該特殊的演算法。因此，根據本發明，不同的(“異質的”)計算元件(250)係在任

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

意特定的時間被配置以及被重新配置，以最佳地執行一特定的演算法或是其它的功能。此外，對於反覆的功能而言，計算元件之一種特定的具體化(instantiation)或是配置也可以長時間保持在適當的地方，亦即，在此種反覆的計算之整個過程是不變的。

ACE 100 架構的時間上之性質也應該被注意到。在時間上任意特定的瞬間，利用不同層級的互連線(110、210、240 以及 220)之下，一種特殊的配置可以存在於已經被最佳化來執行一項特定的功能或是實施一個特殊的演算法的 ACE 100 之中。在時間上的另一瞬間，該配置可以被改變來互連線其它的計算元件(250)、或是不同地連接相同的計算元件 250，用於另一項功能或是演算法的執行。兩項重要的特點係從此時間上之可重新配置性產生。第一，由於演算法可能在時間上變化以例如實施一種新穎的技術標準，因此該 ACE 100 可以共同發展並且被重新配置以實施該新穎的演算法。對於一個簡化後的例子，一個第五乘法器以及一個第五加法器可以被納入到圖 2 的 DFG 之中以執行一項對應地新穎的演算法，其中額外的互連線也潛在地被利用來實施任何額外的匯流排(bussing)功能。第二，因為計算元件係在時間上的一個瞬間被互連線作為一種特定的演算法之具體化，並且接著在時間上的另一瞬間對於另一不同的演算法之執行而被重新配置，因此閘(或是電晶體)的利用係被最大化，此係提供比最有效率的 ASIC，有關於其活動因素顯著更佳的效能。

五、發明說明 (21)

計算元件可以在一個第二期間，如同由第二配置的資訊所導引地被重新配置，用於一種也利用立刻可用的資料之第二不同的演算法之執行。用於配置後的計算元件之資料的立刻性(immediacy)係提供一個或是兩個時脈週期的硬體，類似於多個以及個別的判斷出一個記憶體位址並且從定址的暫存器取出所儲存的資料之軟體步驟。此具有進一步額外的效率之結果，因為配置後的計算元件可以在較少個時脈週期中執行一個演算法，該演算法若被呼叫為在一個習知的微處理器或是 DSP 中之一個子程序時，其可能需要幾個數量級之更多的時脈週期用於執行。

銀器模組的此種作為資料以及配置的資訊之混合的用途，結合複數個異質且固定的計算元件 250 之即時的可重新配置性以形成適應性、不同的以及異質的計算單元 200 以及矩陣 150，此係使得該 ACE 100 架構能夠具有多種且不同的動作模式。例如，當被內含在一個手持的裝置之中時，在被給予一個相對應的銀器模組下，該 ACE 100 可以具有各種不同的操作模式為蜂巢式或是其它的行動電話、音樂播放器、傳呼器、個人數位助理、以及其它新穎的或是現有的功能。此外，這些操作模式可以根據該裝置的實際位置而改變；例如，當被配置為用於美國之 CDMA 行動電話時，該 ACE 100 可以被重新配置為 GSM 行動電話以用於歐洲。

請再次參考圖 1，控制器 120 的功能(較佳的是矩陣(KARC)150A 以及矩陣(MARC)150B 被配置為有限狀態機

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

器)可以參考一個銀器模組，亦即，資料以及配置的資訊之緊密耦合在單一的資訊流之中、參考多個潛在的動作模式、參考該可重新配置的矩陣 150、並且參考描繪在圖 3 中之可重新配置的計算單元 200 以及計算元件 150 而被解說。如同以上所指出者，透過一個銀器模組，該 ACE 100 可以被配置或是重新配置來執行一種新穎的或是額外的功能的增加，例如，增加一項音樂功能至一種行動通訊裝置。此種銀器模組可以被儲存在記憶體 140 的矩陣 150 之中、或是可以從一個外部的(有線或是無線的)來源，透過例如是矩陣互連線網路 110 而被輸入。在該較佳實施例中，該複數個矩陣 150 中之一係被配置來解碼此種模組並且爲了安全性的目的而驗證其有效性。接著，在現存的 ACE 100 之任何的配置或是重新配置資源之前，該控制器 120 係透過矩陣(KARC)150A 來檢查並且驗證該配置或是重新配置是否可以發生在無不利地影響任何早已存在的功能之下，例如，是否音樂功能的增加會不利地影響早已存在的行動通訊功能。在該較佳實施例中，此種配置或是重新配置之系統需求係內含在該銀器模組之中，以供矩陣(KARC)150A 使用於執行此種評估的功能。若該配置或是重新配置可以發生在無不利地影響之下，則該銀器模組係被容許載入記憶體 140 的矩陣 150，其中矩陣(KARC)150A 係建立 DMA 引擎在記憶體 140 的矩陣 150C 以及 150D 之中(或是習知的記憶體之其它獨立的 DMA 引擎)。若該配置或是重新配

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

置將會或是可能會有此種不利的影響，則該矩陣 (KARC)150A 並不容許新的模組被納入在該 ACE 100 之中。

請繼續參考圖 1，該矩陣 (MARC)150B 係管理矩陣 150 資源的安排以及任何相對應的資料之時序，以將各種計算元件 250 以及計算單元 200 之任何的配置或是重新配置與任何相對應的輸入資料以及輸出資料同步化。在該較佳實施例中，時序資訊也內含在一個銀器模組之中，以容許該矩陣 (MARC)150B 透過各種的互連線網路來及時地導引各種矩陣 150 的重新配置，並且最好是剛好及時，使得重新配置是發生在相對應的資料已經出現在各種重新配置後的計算單元 200 之任何的輸入之前。此外，該矩陣 (MARC)150B 也可以執行任何尚未被加速在任何的各種矩陣 150 中之剩餘的處理。因此，該矩陣 (MARC)150B 可以被視為一個控制單元，該控制單元係即時地“呼叫”矩陣 150、計算單元 200 以及計算元件 250 的配置以及重新配置，與任何將被這些各種可重新配置的硬體單元利用之相對應的資料同步，並且該控制單元係執行任何剩餘的或是其它的控制處理。其它的矩陣 150 也可以包含此控制功能，其中任意特定的矩陣 150 都能夠呼叫並且控制其它的矩陣 150 之配置以及重新配置。

圖 3 是更加詳細地描繪一個具有複數個計算單元 200 (被描繪為計算單元 200A 至 200N)、以及複數個計算元件 250 (被描繪為計算元件 250A 至 250Z) 之可重新配置的矩陣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

150 之方塊圖，並且其係提供較佳類型的計算元件 250 以及本發明之有用的概要之額外的描述。如在圖 3 中所描繪地，任何矩陣 150 都大致上包含一個矩陣控制器 230、複數個計算單元 200、以及為矩陣互連線網路 110 之邏輯上或是概念上的子集合或是部分之資料互連線網路 240 以及布林互連線網路 210。如上所提及，在該較佳實施例中，隨著該 ACE 100 架構中之“深度”的增加中，互連線網路將變得越來越豐富，用於更大的層級之可適應性以及重新配置。該布林互連線網路 210 也如上所提及地，在各種計算單元 200 之間提供重新配置以及資料互連線的功能，並且最好是小的(亦即，只有幾個位元寬)，而該資料互連線網路 240 係在各種計算單元 200 之間提供重新配置以及資料互連線的功能用於資料輸入與輸出，並且最好是較大的(亦即，多個位元寬)。然而，應該注意的是，雖然概念上被區分成為重新配置以及資料的功能，但是該矩陣互連線網路 110 之任意特定的實體部分在任意特定的時間都可以被運作為該布林互連線網路 210、資料互連線網路 240、最低層級的互連線 220(在各種計算元件 250 之間)、或是其它的輸入、輸出、或是連接功能。

請繼續參考圖 3，內含在一個計算單元 200 之中的是複數個計算元件 250、以及額外的互連線 220，該複數個計算元件 250 係被描繪為計算元件 250A 至 250Z(個別且整體都被稱之為計算元件 250)。該互連線 220 係提供可重新配置的互連線功能以及輸入/輸出路徑在各種計算元件 250 之

五、發明說明 (35)

間。如同以上所指出者，各種計算元件 250 都是由專用的、特殊應用的硬體所組成，其係被設計來執行一項特定的工作或是一個範圍的工作，此導致複數個不同的、固定的計算元件 250。在利用該互連線 220 之下，該等固定的計算元件 250 可以被重新配置地連接在一起成為適應性且多變的計算單元 200，該等計算單元 200 也可以在任意特定的時間，利用該互連線 220、布林網路 210、以及矩陣互連線網路 110 被進一步重新配置並且互連線，以執行一個演算法或是其它的功能，例如，圖 2 的 DFG 之四個乘法以及加法。

在該較佳實施例中，各種計算元件 250 係被設計並且聚集在一起，成為該各種適應性以及可重新配置的計算單元 200(例如，在圖 5A 至 9 中所示者)。除了被設計來執行一個特殊的演算法或是功能，例如，乘法或是加法之計算元件 250 以外，其它類型的計算元件 250 也被利用在該較佳實施例中。如在圖 3 中所描繪地，計算元件 250A 與 250B 係實施記憶體，以提供本地的(相較於較“遠端的”記憶體 140 而言)記憶體元件用於任意特定的計算或是處理功能。此外，計算元件 250I、250J、250K 以及 250L 係被配置來實施有限狀態機器(利用例如是描繪在圖 7、8 以及 9 中之計算元件)，以提供本地的(相較於較“遠端的”矩陣(MARC)150B 而言)處理功能，尤其適合用於複雜的控制處理。

在依據 ACE 100 所要的功能而可能是可得的各種類型

五、發明說明 (26)

之不同的計算元件 250 之下，該等計算單元 200 可以被大略地分類。第一種類型的計算單元 200 係包含執行線性運算，例如，乘法、加法、有限脈衝響應濾波、等等(如以下參考圖 5A 至 5E 以及圖 6 所描繪者)之計算元件 250。第二種類型的計算單元 200 係包含執行非線性運算，例如，離散餘弦變換、三角計算、以及複數乘法之計算元件 250。第三種類型的計算單元 200 係施行一個有限狀態機器，例如，計算單元 200C(如在圖 3 中描繪、並且如在以下相關於圖 7 至 9 更加詳細地描繪者)，對於複雜的控制順序、動態安排、以及輸入/輸出管理是特別有用的，而第四種類型可以實施記憶體以及記憶體管理，例如，在圖 3 中所描繪之計算單元 200A。最後，第五種類型的計算單元 200 可以被包含來執行位元層級的處理，例如，用於加密、解密、通道編碼、維特比(Viterbi)解碼、以及封包與協定的處理(例如網際網路協定的處理)。

在該較佳實施例中，除了來自於其它的矩陣或是節點 150 之控制以外，矩陣控制器 230 也可以內含在任意特定的矩陣 150 之中，也同樣提供任何重新配置的過程以及任何相對應的資料處理的參照與控制之較大的地區性(locality)。例如，一旦計算元件 250 的重新配置已經發生在任意特定的計算單元 200 中，則矩陣控制器 230 可以指示該特殊的具體化(或是配置)保持為完整的一段特定的時間期間，以例如繼續用於一項特定的應用之反覆的資料處理。

五、發明說明 (27)

圖 4 是更加詳細地描繪根據本發明的一個可重新配置的矩陣 150 之一個示範性的或是代表性的計算單元 200 之方塊圖。如同在圖 4 中所描繪地，一個計算單元 200 係典型地包含複數個不同的、異質且固定的計算元件 250，例如，複數個記憶體計算元件 250A 與 250B，以及構成計算單元(“CU”)核心 260、複數個演算法或是有限狀態機器的計算元件 250C 至 250K。如上所論述，該複數個多種計算元件 250 之每個計算元件 250 都是一個固定的或是專用的、特殊應用的電路，其係被設計並且具有一種相對應的邏輯閘佈局以執行一項特定的功能或是演算法，例如，加法或是乘法。此外，各種記憶體計算元件 250A 與 250B 可以被實施為具有各種的位元深度，例如，RAM(具有相當的深度)、或是作為一個具有 1 或是 2 個位元的深度之暫存器。

分別形成該概念上的資料以及布林互連線網路 240 以及 210 之示範性的計算單元 200 也包含複數個輸入多工器 280、複數條輸入線(或是導線)281、以及用於 CU 核心 260 的輸出之被描繪為線或是導線 270、複數個輸出解多工器 285 與 290、以及複數條輸出線(或是導線)291。透過該等輸入多工器 280，一條適當的輸入線 281 可以被選擇用於在資料轉換上、以及在配置與互連線過程上的輸入用途，並且透過該等輸出解多工器 285 與 290，一個輸出或是多個輸出可以被置放在一條所選的輸出線 291 之上，也用於額外的資料轉換以及配置與互連線過程上。

在該較佳實施例中，各種輸入與輸出線 281 與 291 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

選擇、以及透過互連線(210、220 以及 240)之各種連線的產生都是在來自計算單元控制器 255 的控制位元 265 之控制下，即如以下所論述者。根據這些控制位元 265，任意的各種輸入致能 251、輸入選擇 252、輸出選擇 253、MUX 選擇 254、DEMUX 致能 256、DEMUX 選擇 257、以及 DEMUX 輸出選擇 258 都可以被啓動或是解除啓動。

該示範性的計算單元 200 係包含一個計算單元控制器 255，該控制器 255 係透過控制位元 265 來提供控制每個計算元件 250、互連線(210、220 以及 240)、以及其它的元件(上述的)在每個時脈週期要做甚麼。透過互連線(210、220 以及 240)之下，各種的控制位元 265(未個別地描繪)係如可能所需地被分布至計算單元 200 的各種部分，例如，各種輸入致能 251、輸入選擇 252、輸出選擇 253、MUX 選擇 254、DEMUX 致能 256、DEMUX 選擇 257、以及 DEMUX 輸出選擇 258。該 CU 控制器 255 也包含一或多條線 295 用於控制(或是配置)資訊的接收以及狀態資訊的傳輸。

如上所提及，該互連線可以包含一種概念上的區分成爲具有不同的位元寬度之一資料互連線網路 240 以及一布林互連線網路 210。一般而言，該(較寬的)資料互連線網路 240 係被利用於產生可配置的以及可重新配置的連線，用於相對應的資料以及配置的資訊之繞線。該(較窄的)布林互連線網路 210，雖然也被利用於產生可配置的以及可重新配置的連線，但是其係被利用於各種資料流圖的邏輯(或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

是布林)判定之控制、產生在此種 DFG 中之判定節點，並且也可以被用於在此種 DFG 中之資料繞線。

圖 5A 至 5E 是詳細地描繪根據本發明的構成計算單元之示範性的固定且特定的計算元件之方塊圖。如同從這些圖的檢視將會明瞭地，許多相同之固定的計算元件係被利用在不同的配置下，以用於不同的演算法之執行。

圖 5A 是描繪一種四點之非對稱的有限脈衝響應(FIR)濾波器的計算單元 300 之方塊圖。如圖所示，此示範性的計算單元 300 係包含特殊的、第一種配置之複數個固定的計算元件，其係包含係數記憶體 305、資料記憶體 310、暫存器 315、320 與 325、乘法器 330、加法器 335、以及累加器暫存器 340、345、350 與 355，以及構成互連線網路(210、220 以及 240)的一部分之多工器(MUX)360 與 365。

圖 5B 是描繪一種兩點之對稱的有限脈衝響應(FIR)濾波器的計算單元 370 之方塊圖。如圖所示，此示範性的計算單元 370 係包含第二種配置的複數個固定的計算元件，其係包含係數記憶體 305、資料記憶體 310、暫存器 315，320 與 325、乘法器 330、加法器 335、第二加法器 375、以及累加器暫存器 340 與 345，也具有構成互連線網路(210，220 以及 240)的一部分之多工器(MUX)360 與 365。

圖 5C 是描繪用於一個快速傅立葉轉換(FFT)的計算單元 400 之子單元的方塊圖。如圖所示，此示範性的計算單元 400 係包含第三種配置的複數個固定的計算元件，其係包含係數記憶體 305、資料記憶體 310、暫存器 315、320

五、發明說明 (30)

、325 與 385、乘法器 330、加法器 335、與加法器/減法器 380、以及構成該互連線網路(210, 220 以及 240)的一部分之多工器(MUX)360、365、390、395 與 405。

圖 5D 是描繪一個複數的有限脈衝響應(FIR)濾波器的計算單元 440 之方塊圖。如圖所示,此示範性的計算單元 440 係包含第四種配置的複數個固定的計算元件,其係包含記憶體 410、暫存器 315 與 320、乘法器 330、加法器/減法器 380、以及實數與虛數累加器暫存器 415 與 420,也具有構成互連線網路(210、220 以及 240)的一部分之多工器(MUX)360 與 365。

圖 5E 是描繪一個雙四結構的(biquad)無限脈衝響應(IIR)濾波器的計算單元 450 之方塊圖、以及一個相對應的資料流圖 460。如圖所示,此示範性的計算單元 450 係包含第五種配置的複數個固定的計算元件,其係包含係數記憶體 305、輸入記憶體 490、暫存器 470、475、480 與 485、乘法器 330、以及加法器 335,以及構成互連線網路(210、220 以及 240)的一部分之多工器(MUX)360、365、390 與 395。

圖 6 是詳細地描繪根據本發明之具有複數個不同的、固定的計算元件之較佳的多功能適應性計算單元 500 之方塊圖。當如此配置時,該適應性計算單元 500 係執行先前參考圖 5A 至 5E 所描繪的各種功能之每一種,再加上其它例如是離散餘弦轉換的功能。如圖所示,此多功能適應性計算單元 500 係包含用於複數個固定的計算元件之複數種

五、發明說明 (31)

配置的功能，該等計算元件係包含輸入記憶體 520、資料記憶體 525、暫存器 530(被描繪為暫存器 530A 至 530Q)、乘法器 540(被描繪為乘法器 540A 至 540D)、加法器 545、第一算術邏輯單元(ALU)550(被描繪為 ALU_1 550A 至 550D)、第二算術邏輯單元(ALU)555(被描繪為 ALU_2 555A 至 555D)、以及管線(長度 1)暫存器 560、與構成一個互連線網路(210、220 以及 240)之輸入 505、線 515、輸出 570、以及多工器(MUX 或是 MX)510(描繪為 MUX 與 MX 510A 至 510KK)。該兩個不同的 ALU 550 與 555 最好是被利用於例如是平行的加法與減法運算，對於在離散餘弦轉換中之 2 進制的運算尤其是有用的。

圖 7 是詳細地描繪根據本發明的具有複數個固定的計算元件之較佳的適應性邏輯處理器(ALP)計算單元 600 之方塊圖。該 ALP 600 是高度適應性的，並且最好是被用於輸入/輸出配置、有限狀態機器的施行、一般現場可程式性、以及位元處理。ALP 600 之固定的計算元件是複數個適應性核心元(CC)610(圖 8)之每個核心元 610 的一部分(650)，即如在圖 9 中個別地描繪者。一個互連線網路(210、220 以及 240)係由該複數個垂直輸入(VI)615、垂直中繼器(VR)620、垂直輸出(VO)625、水平中繼器(HR)630、水平終止器(HT)635、以及水平控制器(HC)640 之各種的組合與排列所構成。

圖 8 是更加詳細地描繪根據本發明之一個適應性邏輯處理器的計算單元 600 之一個帶有一固定的計算元件 650

五、發明說明 (32)

之較佳的核心單元 610 之方塊圖。該固定的計算元件是一個 3 輸入/2 輸出之函數產生器 550，其係個別地描繪在圖 9 之中。該較佳的核心單元 610 也包含控制邏輯 655、控制輸入 665、控制輸出 670(提供輸出的互連線)、輸出 675、以及輸入(具有互連線多工器)660(提供輸入的互連線)。

圖 9 是更加詳細地描繪根據本發明之一個適應性邏輯處理器計算單元 600 的一個核心單元 610 之一個較佳的固定的計算元件 650 之方塊圖。該固定的計算元件 650 係由複數個互斥 NOR(XNOR)閘 680、NOR 閘 685、NAND 閘 690、以及互斥 OR(XOR)閘 695 之一種固定的佈局所構成，其帶有三個輸入 720 以及兩個輸出 710。配置以及互連線係透過 MUX 705 以及互連線輸入 730 而被提供。

如同從以上的論述可能明顯可知地，透過不同的互連線層級(110、210、240 以及 220)，複數個固定的、異質的計算元件(250)之可以被配置以及重新配置以形成異質的計算單元(200)，而異質的計算單元(200)可以進一步被配置以及重新配置以形成異質的矩陣 150 之此種用途係產生一種完全新穎的種類或是類型的積體電路，其可以被稱之為一種適應性計算架構。應該注意到的是，本發明的適應性計算架構無法從在 FPGA、ASIC 或是處理器的習慣(rubric)或是種類中之一個概念上的或是一個命名法的觀點來加以充分描述特徵。例如，該適應性計算架構的非 FPGA 性質明顯就是如此，因為該適應性計算架構並不包括一個陣列之相同的邏輯單元、或甚至只是任何種類之一個反覆的陣列

五、發明說明 (33)

。例如，該適應性計算架構的非 ASIC 性質也明顯地是如此，因為該適應性計算架構不是特殊應用的，而是提供多種模式的功能並且是可即時地重新配置的。繼續再舉例，該適應性計算架構的非處理器性質也明顯地是如此，因為該適應性計算架構變成所配置的，以直接在資料上運算，而不是在資料處理是以一種副產物的方式來發生之下專注在執行指令上。

本發明的其它優點對於具有此項技術者可以更加明白。例如，對於行動通訊而言，用於一個或是兩個演算法的元件之硬體加速典型上已經被限制至基礎建設的基地台，其係處理許多(典型為 64 個或是更多)通道。此種加速的成本可能是有正當理由的，因為每個通道之增進的效能以及功率的節約，而在多個通道都是如此地進行，因此導致顯著的效能以及功率的節約。此種多個通道的效能以及功率的節約是在單一工作通道的行動終端(或是行動單元)中利用習知技術的硬體加速所無法實現的。然而，相反地，透過本發明的利用，在增進的效能以及功率的節約下，成本的合理化是容易地可得的，因為相同的 IC 面積可以被配置以及重新配置來加速多種演算法的工作，有效地產生或是使得一種用於每個下一種演算法的元件之新穎的硬體加速器能夠產生。

本發明之額外的優點對於具有此項技術者可以更加明白。本發明的 ACE 100 架構係有效且有效率地結合並且最大化處理器、ASIC 以及 FPGA 的各種優點，而同時最小化

五、發明說明 (34)

潛在的缺點。該 ACE 100 係包含處理器的程式化之彈性、FPGA 之製造後的彈性、以及 ASIC 之高速以及高的利用因素。該 ACE 100 是可容易即時地重新配置的，並且能夠具有相對應的、多種模式的動作。此外，透過對於可重新配置的加速之特殊的功能之選擇，該 ACE 100 係最小化功率消耗並且適合用於低功率的應用，例如用於手持以及其它用電池供電的裝置。

從上述的內容將可觀察到的是，許多的變化以及修改都可以在不脫離本發明的新穎概念之精神與範疇下被達成。將瞭解的是，有關在此所描繪之特定的方法以及裝置都不欲被限制或是應該被推斷為限制的。當然，欲藉由所附的申請專利範圍來涵蓋所有此種落入申請專利範圍的範圍中之修改。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：

)

具有固定、特殊應用的計算元件之多種適應性計算單元之異質且可重新配置的矩陣之適應性積體電路

本發明係關於一種新穎類型的積體電路以及一種新穎的方法用於適應性或是可重新配置的計算。較佳的 IC 實施例係包含複數個耦接至一個互連網路之異質的計算元件。該複數個異質的計算元件係包含具有固定的以及不同的架構之相對應的計算元件，例如，用於不同的功能之固定的架構，例如是記憶體、加法、乘法、複數乘法、減法、配置、重新配置、控制、輸入、輸出以及現場可程式性。回應於配置的資訊，該互連網路係即時地運作以配置與重新

英文發明摘要（發明之名稱：ADAPTIVE INTEGRATED CIRCUITRY WITH HETEROGENEOUS AND RECONFIGURABLE MATRICES OF DIVERSE AND ADAPTIVE COMPUTATIONAL UNITS HAVING FIXED, APPLICATION SPECIFIC COMPUTATIONAL ELEMENTS

The present invention concerns a new category of integrated circuitry and a new methodology for adaptive or reconfigurable computing. The preferred IC embodiment includes a plurality of heterogeneous computational elements coupled to an interconnection network. The plurality of heterogeneous computational elements include corresponding computational elements having fixed and differing architectures, such as fixed architectures for different functions such as memory, addition, multiplication, complex multiplication, subtraction, configuration, reconfiguration, control, input, output, and field programmability. In response to configuration information, the interconnection network is operative in real-time to configure and reconfigure the plurality of heterogeneous computational elements for a plurality of different functional modes, including linear algorithmic operations, non-linear algorithmic operations, finite state machine operations, memory operations, and bit-level manipulations. The various fixed architectures are selected to comparatively minimize power consumption and increase

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

線

四、中文發明摘要（發明之名稱：

)

配置該複數個異質的計算元件用於複數種不同的功能模式，其係包含線性的演算法運算、非線性的演算法運算、有限狀態機器運算、記憶體動作，以及位元層級的處理。該等各種固定的架構係被選擇來相較地最小化功率消耗並且增進該適應性計算之積體電路的效能，尤其適合用於行動的、手持的或是其它用電池供電的計算應用。

英文發明摘要（發明之名稱：

)

performance of the adaptive computing integrated circuit, particularly suitable for mobile, hand-held or other battery-powered computing applications.

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

線

圖 1
適應性計算引擎

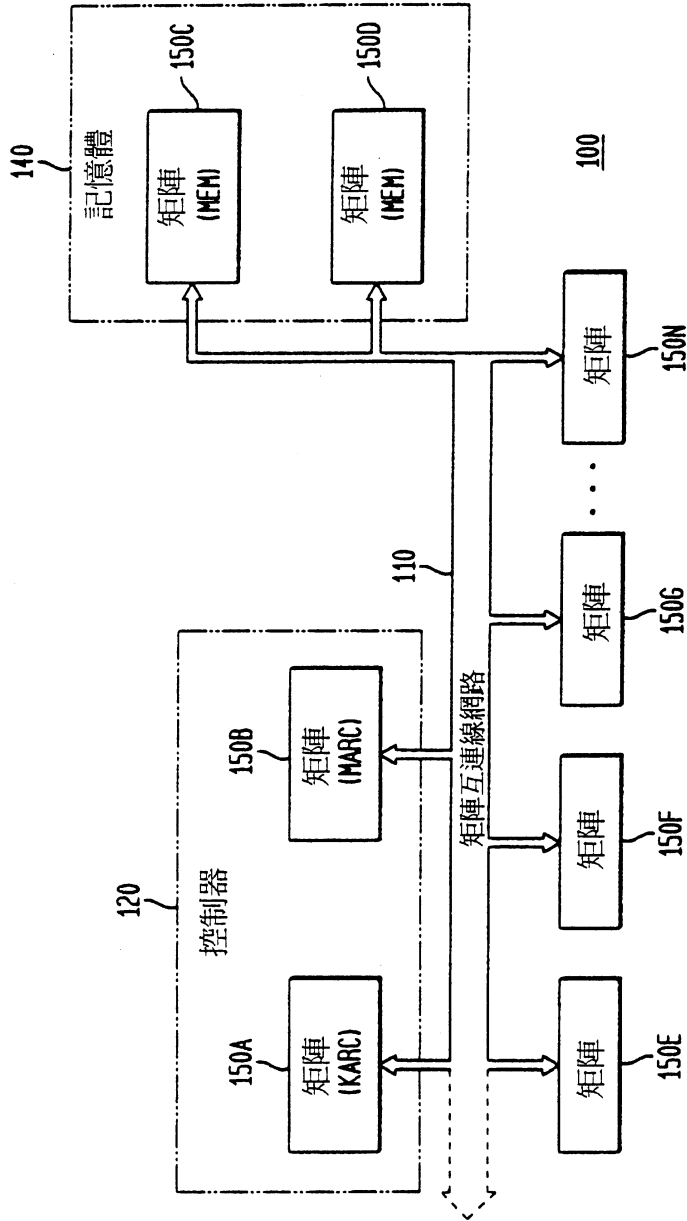


圖 2

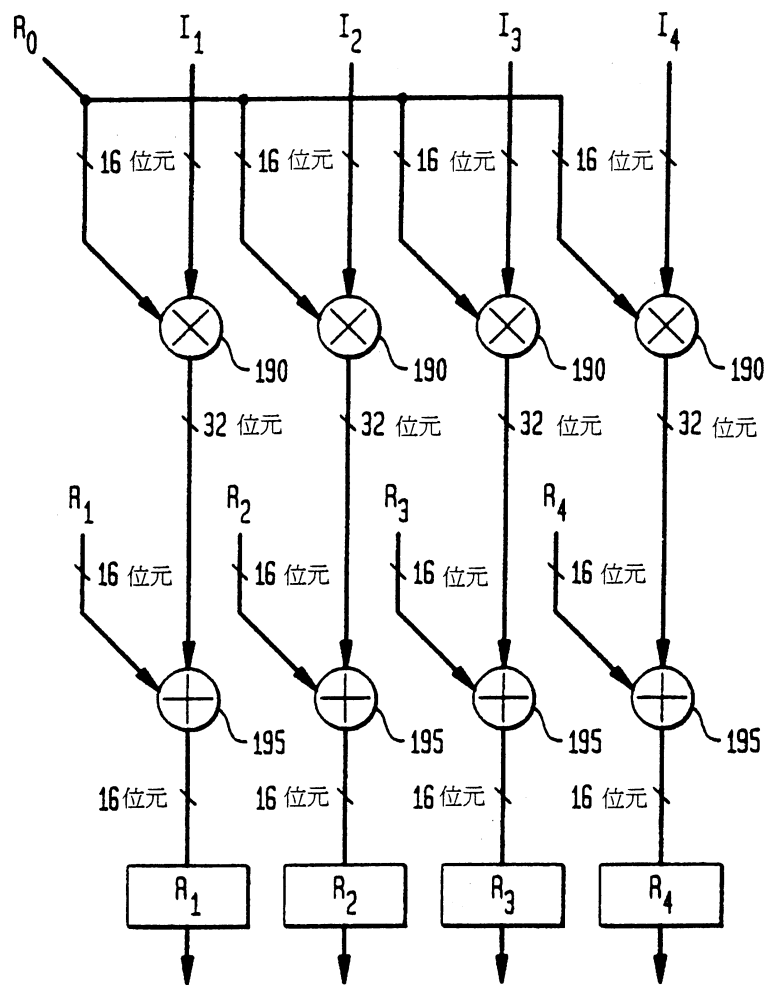
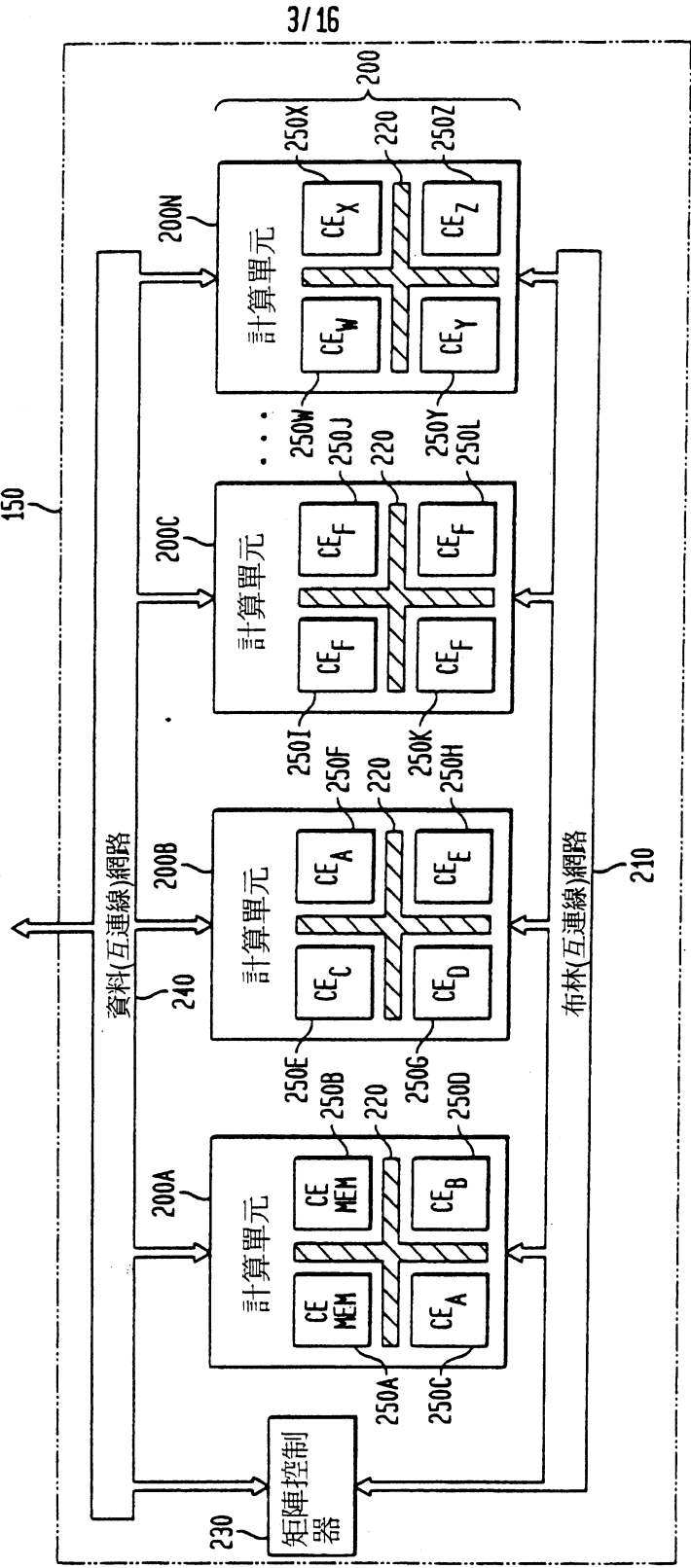


圖 3

至其它矩陣150(包括控制器
120及記憶體140)



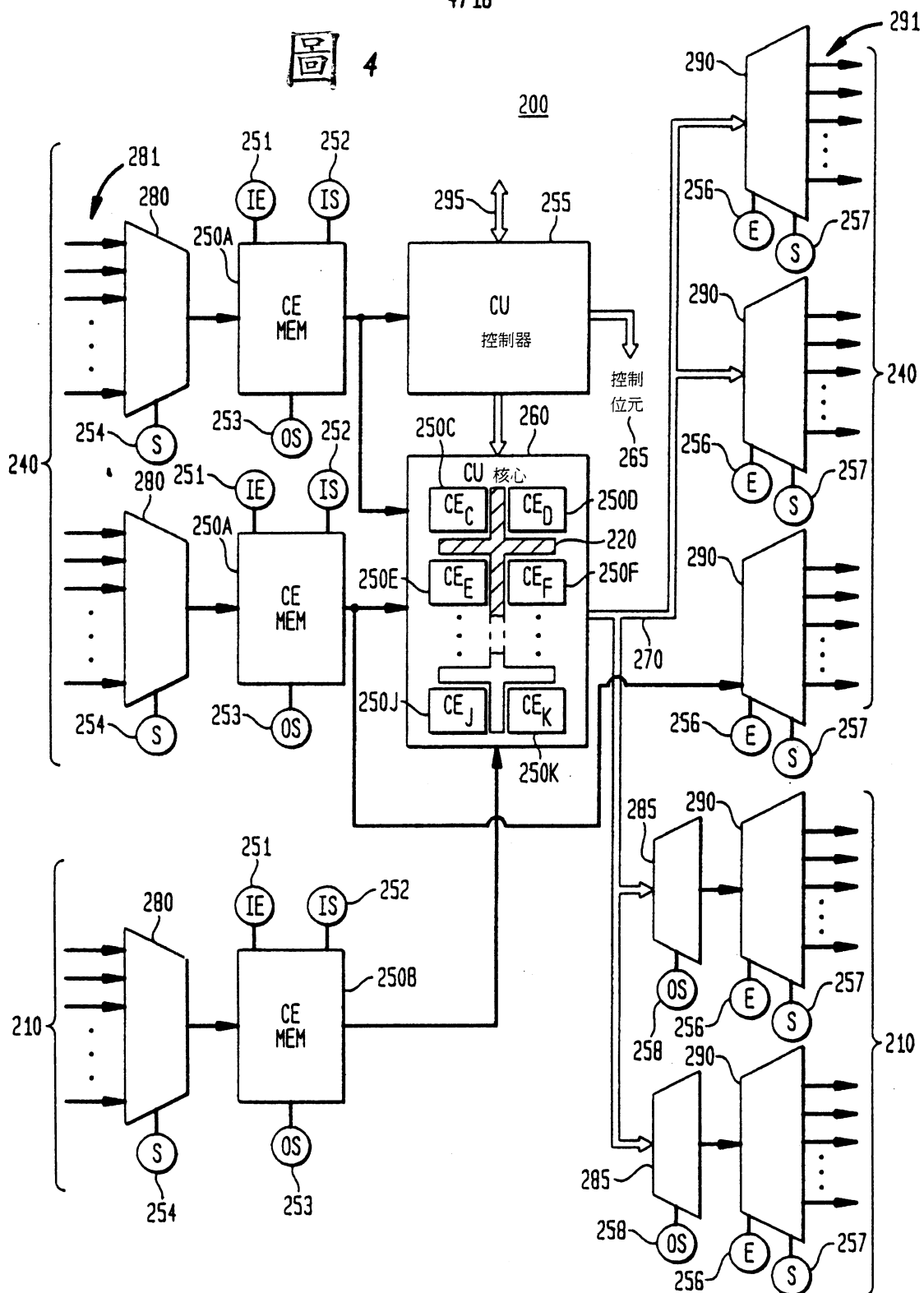


圖 5A

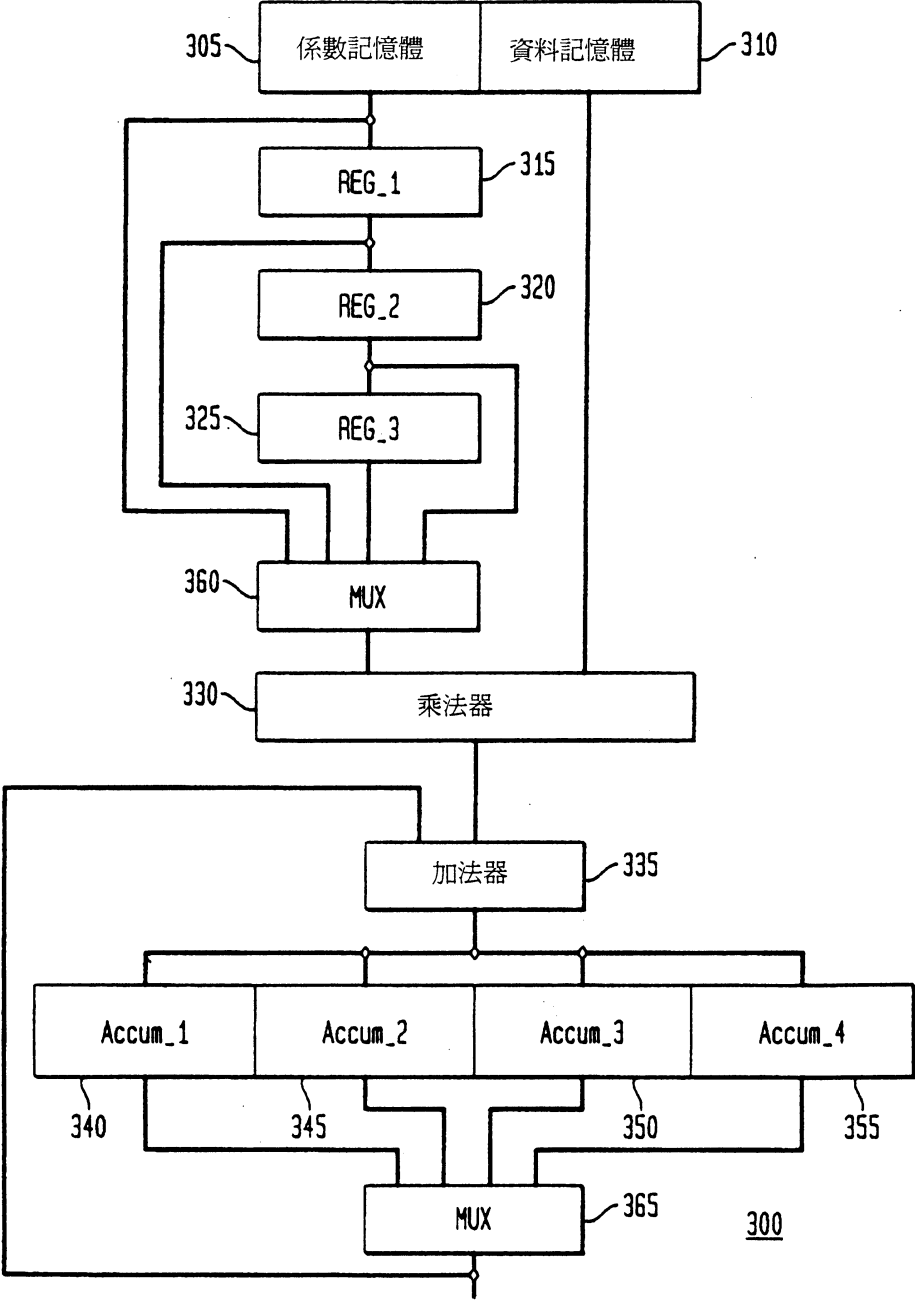


圖 5B

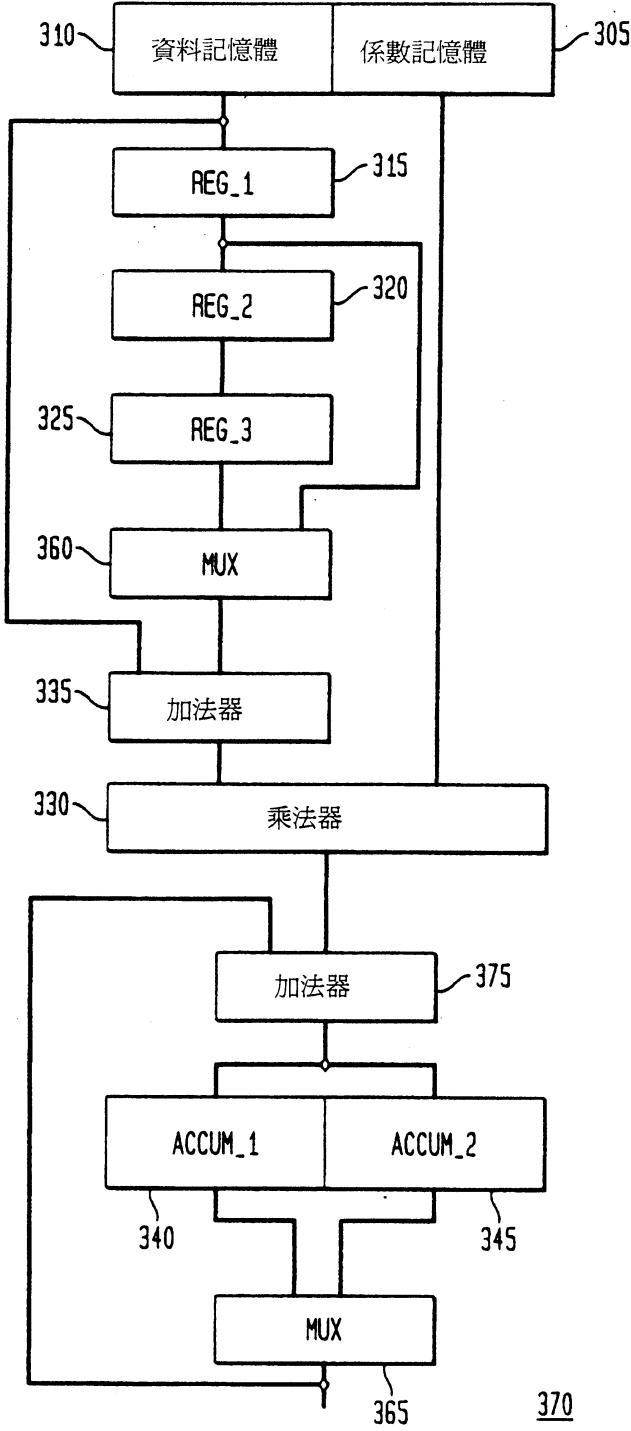


圖 5C

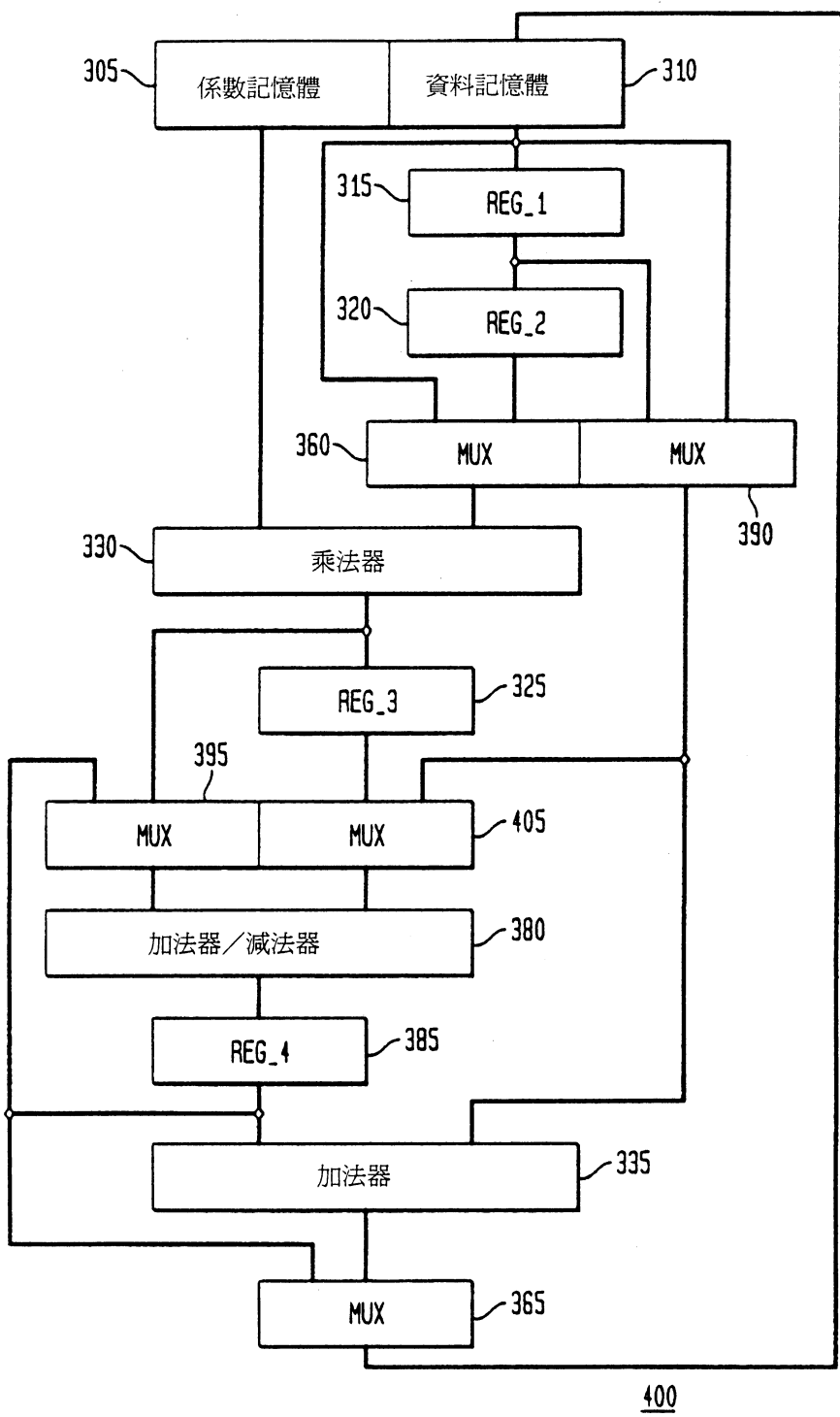
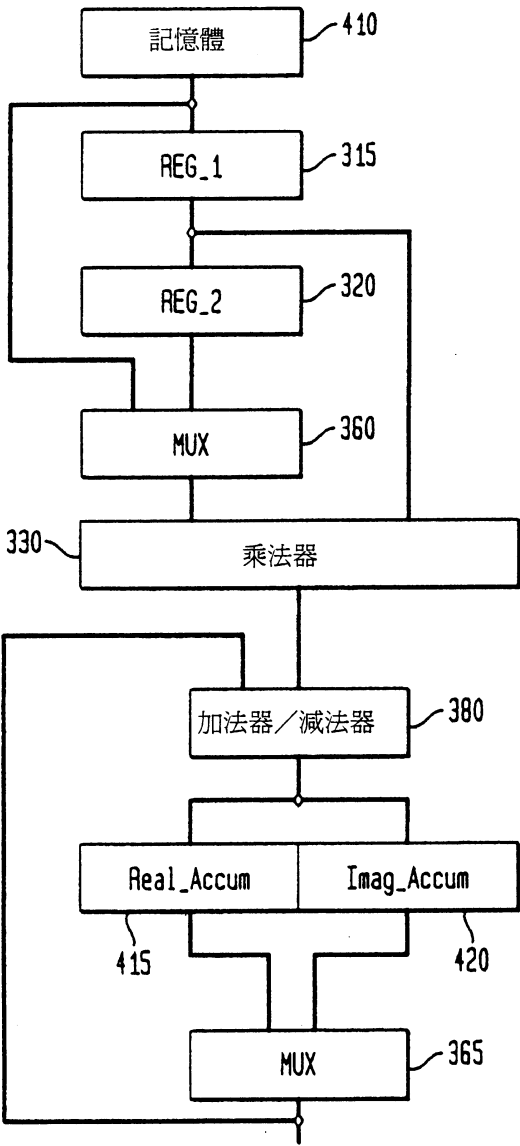
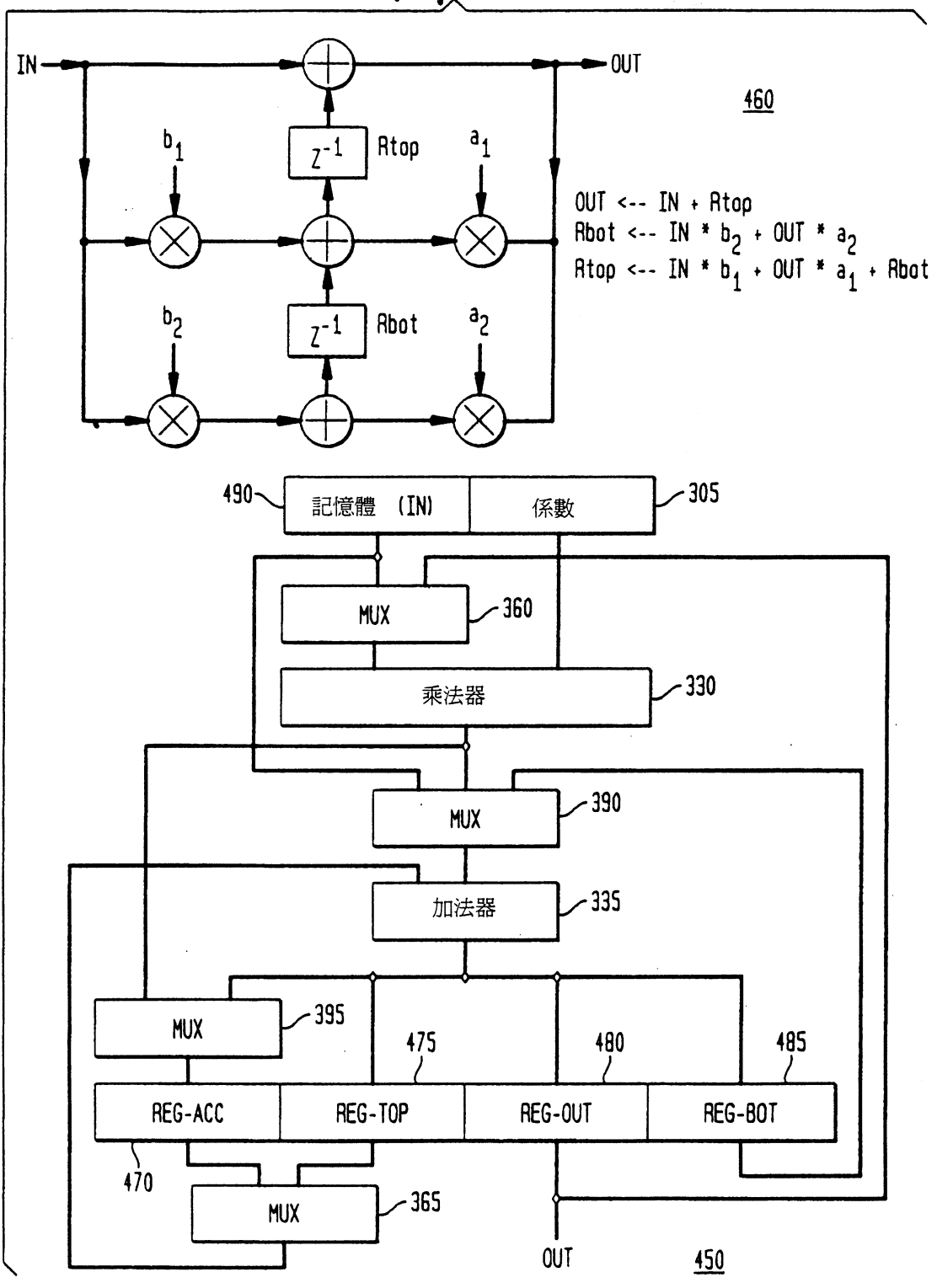


圖 50



9/16
圖 5E



10/16
圖 6

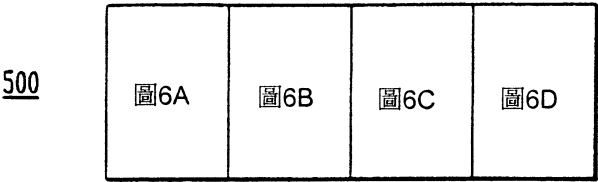


圖 6A

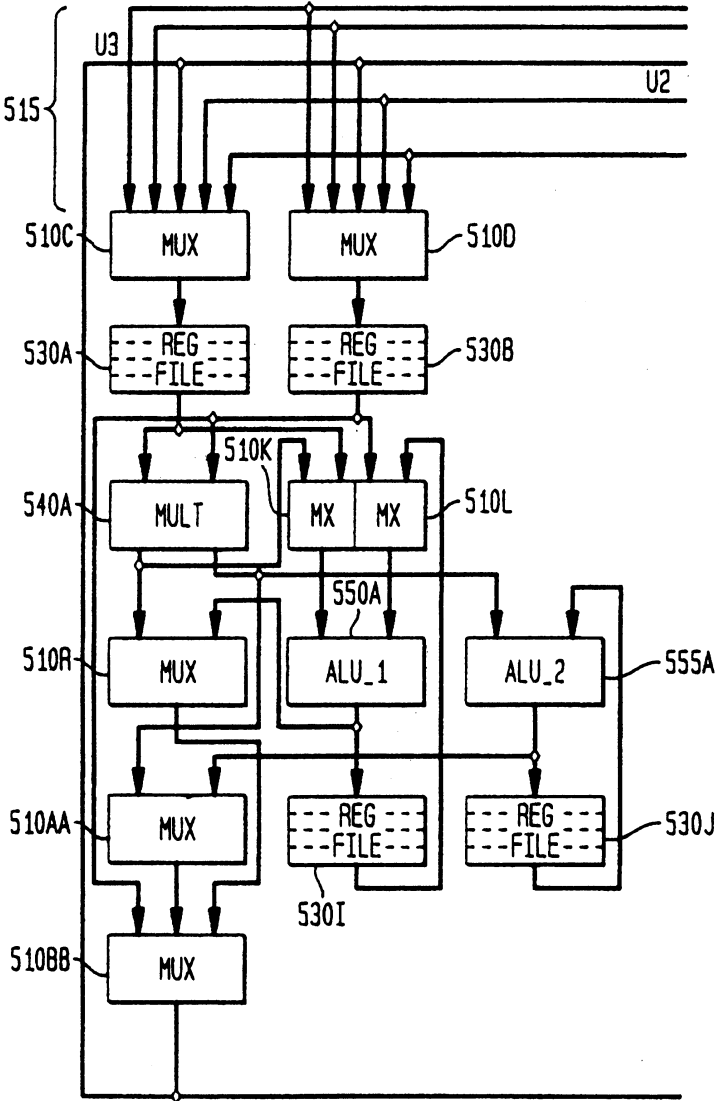


圖 6B

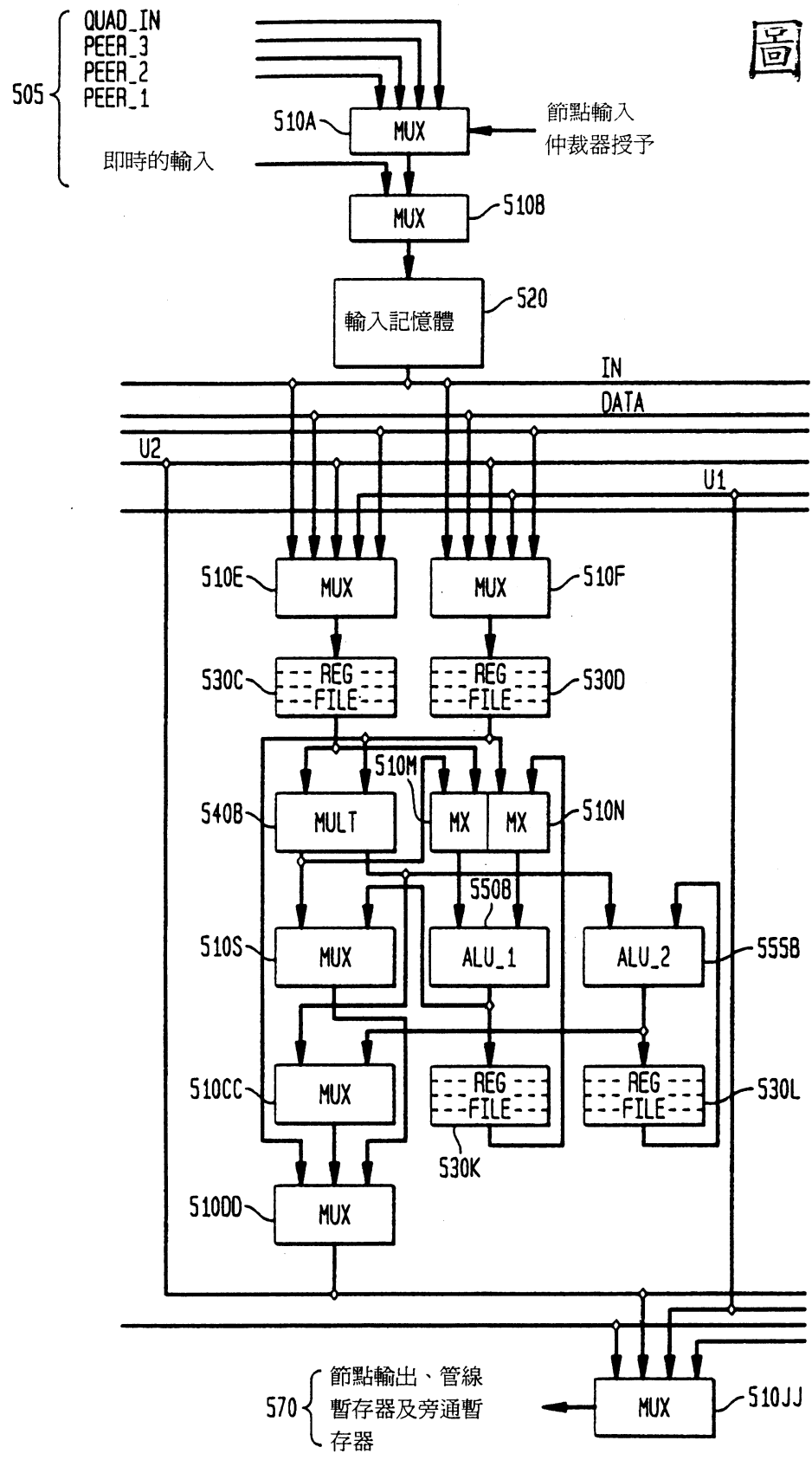
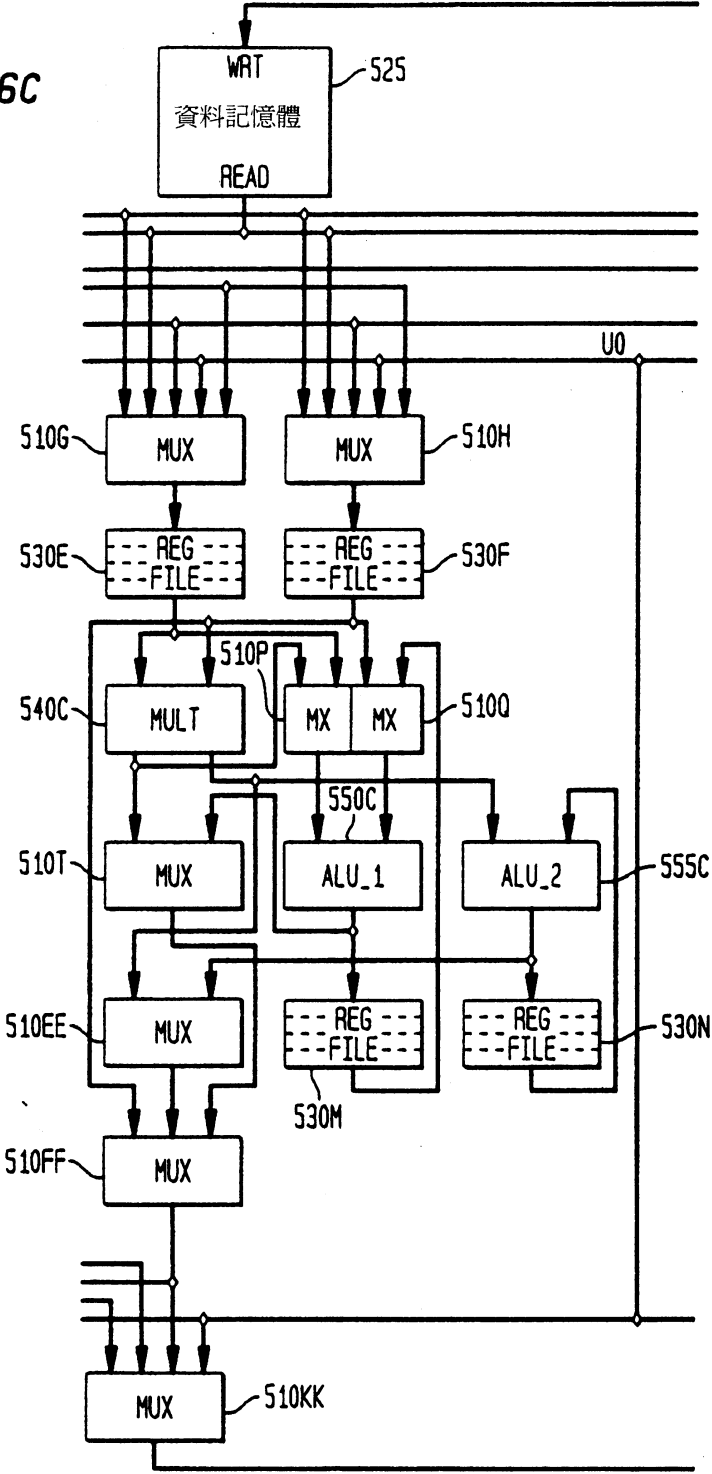
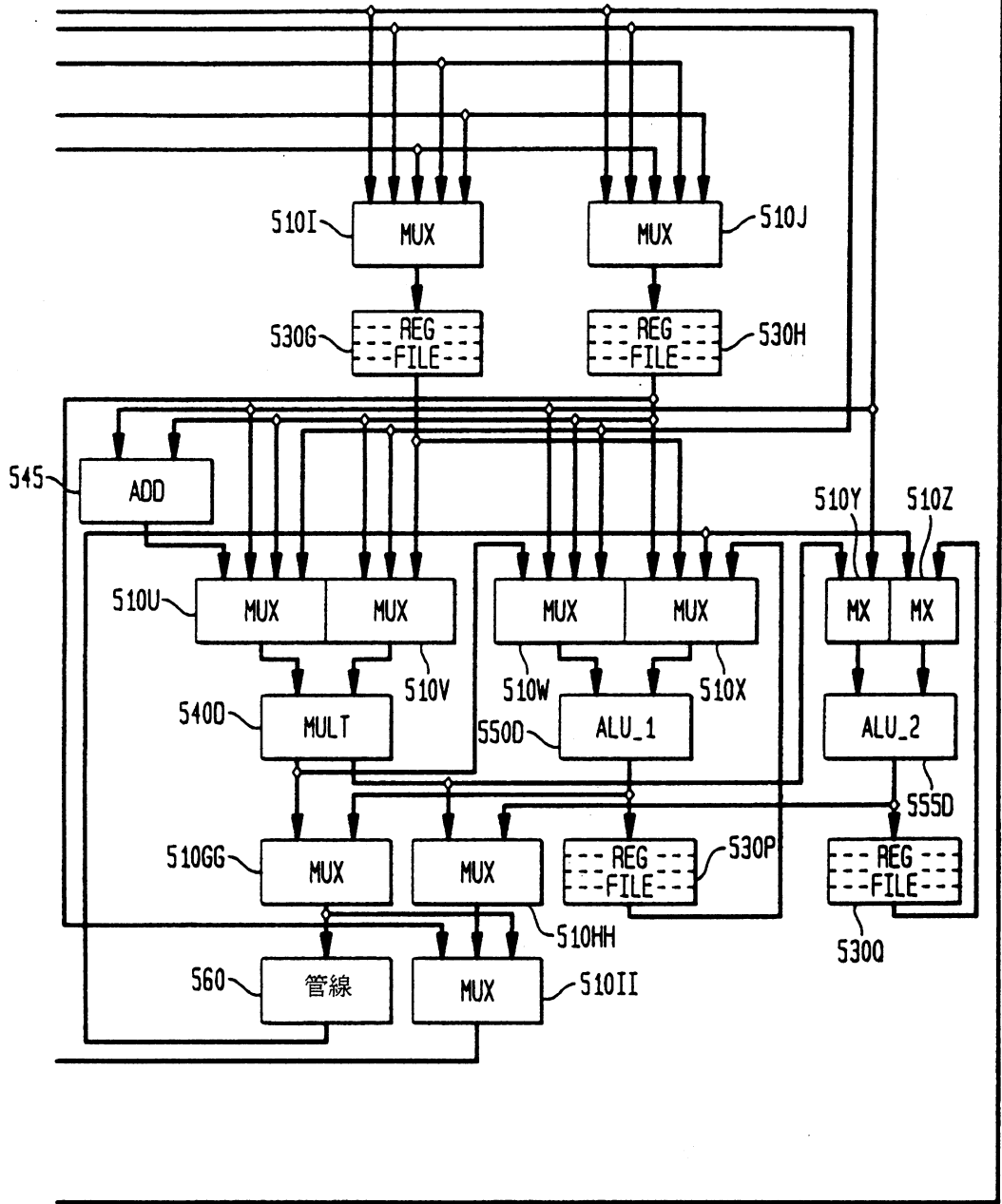
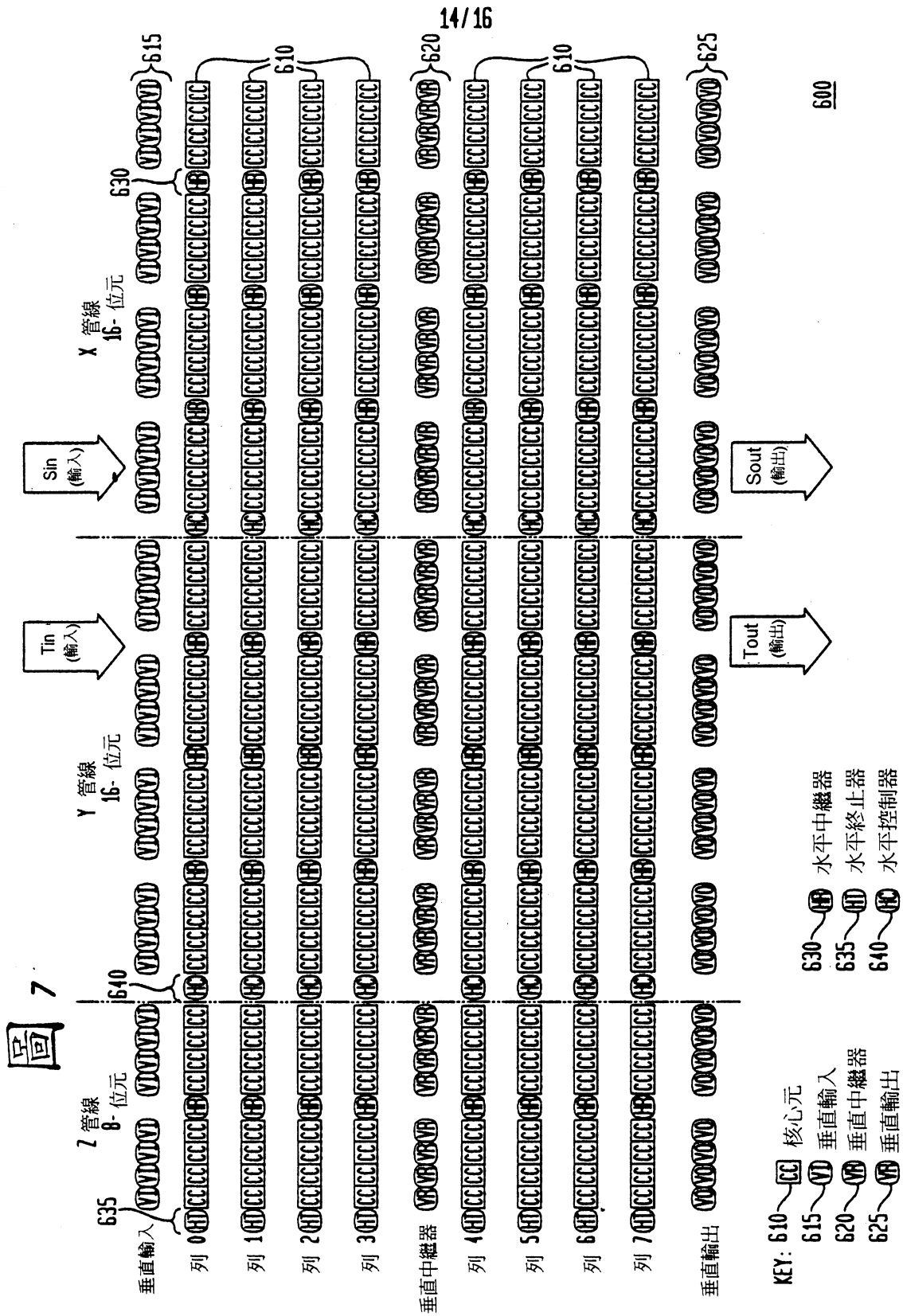


圖 6C







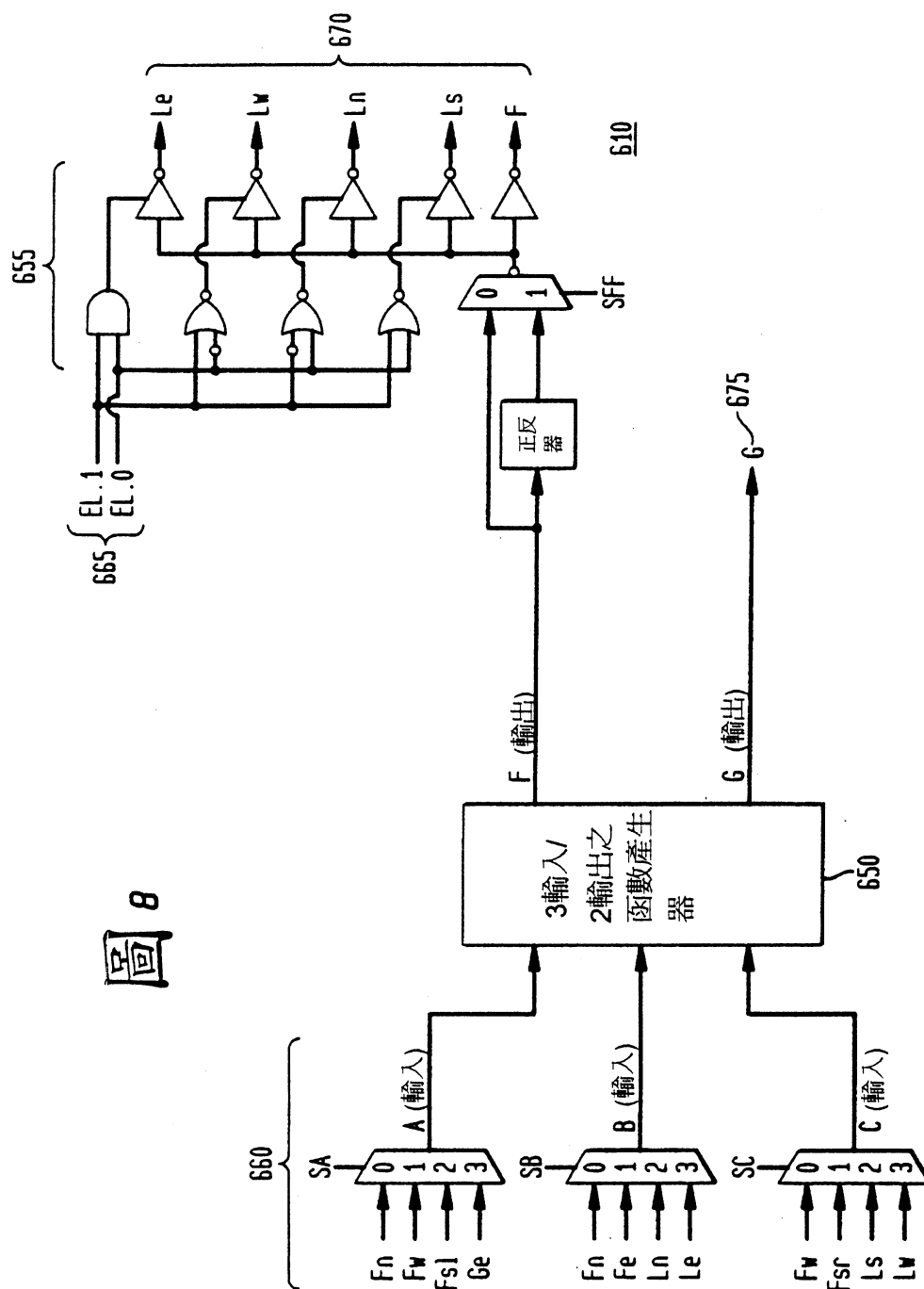
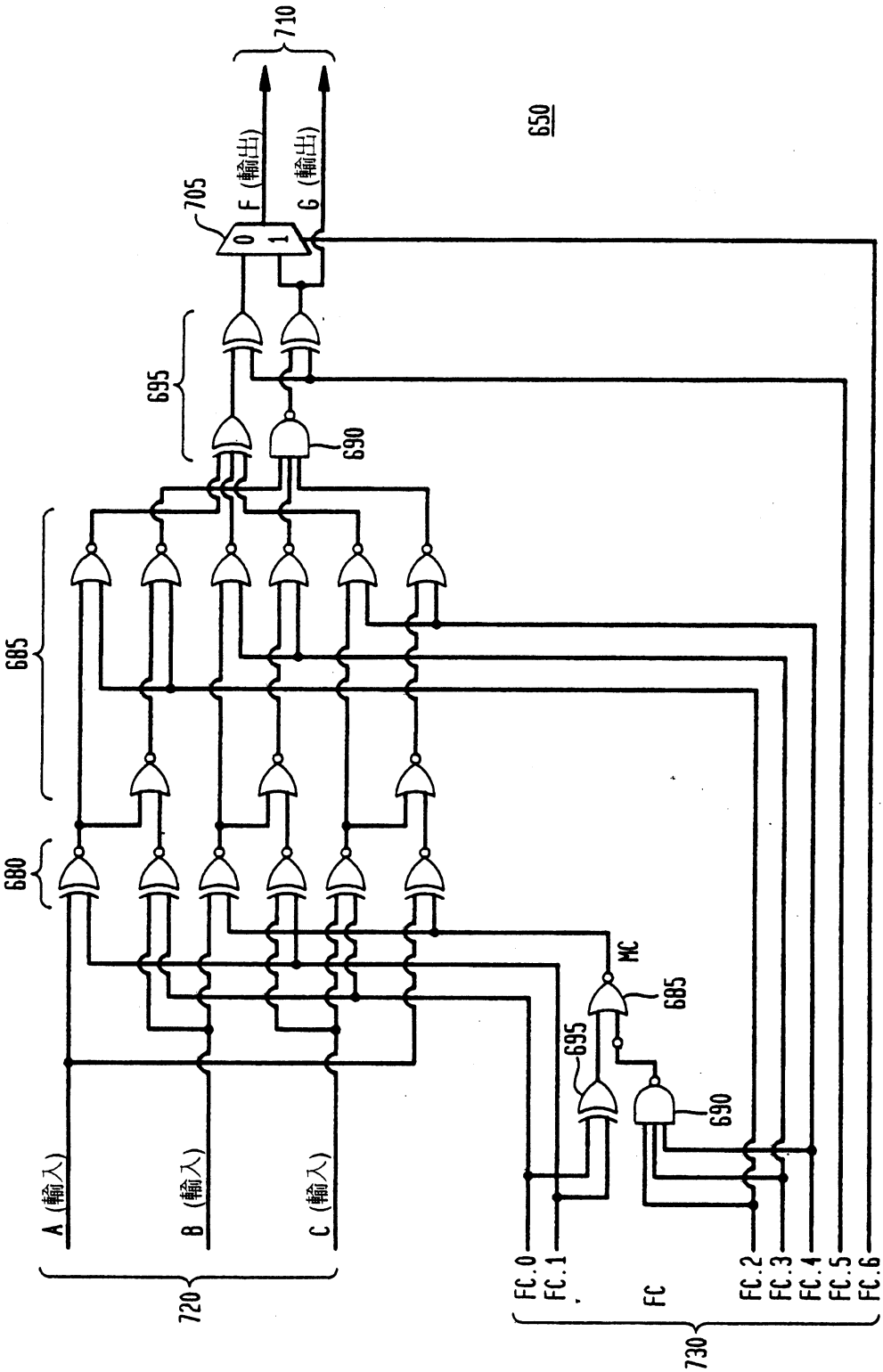


圖 9



五、發明說明(20)

計算元件 250 的此種用於各種不同的演算法之執行的時間上之可重新配置性也描繪出一種在此所用之在一方面是配置以及重新配置、以及在另一方面是程式化或是可再次程式化之間概念上的區別。典型的可程式性係利用一個早已存在的群組或是集合的函數，其可以用各種的順序、在時間上被呼叫，以實施一種特殊的演算法。相反地，在此所用之可配置性以及可重新配置性係包含增加或是產生先前達不到的或是不存在的新穎功能之額外的能力。

接著，本發明也利用資料以及配置(或是其它的控制)資訊的緊密耦合(或是穿插(interdigitation))在一個有效地連續的資訊流之中。此種資料以及配置的資訊之耦合或是混合係被稱之為一個“銀器”模組，其係為一個別的、相關的專利申請案之主題。然而，對於本發明之目的而言，注意到此種資料以及配置的資訊之耦合成為一個資訊(或是位元)流係有助於使得 ACE 100 之即時的可重新配置性成為可行的，而不需要習知技術之(通常未使用的)多個、重疊之網路的硬體互連線，此即已足夠。例如，類似地，在一個特定的第一期間，一種特殊的第一配置的計算元件作為在第一期間之間或是在第一期間之後執行一個相對應的演算法之硬體，其可以被視為或是被概念化為一種在軟體中“呼叫”一個可以執行相同的演算法之子程序之硬體上的對應者。因此，一旦計算元件 250 的配置已經如同由該配置的資訊所導引地產生之後(亦即，在適當的地方)，該演算法用的資料係立刻以銀器模組的部分而為可用的。之後，相同的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1.一種適應性計算之積體電路，其係包括：

複數個異質的計算元件，該複數個異質的計算元件之一個第一計算元件係具有一種第一固定的架構，並且該複數個異質的計算元件之一個第二計算元件係具有一種第二固定的架構，該第一固定的架構係不同於該第二固定的架構；以及

一個耦接至該複數個異質的計算元件之互連線網路，該互連線網路係能夠回應於第一配置的資訊以配置該複數個異質的計算元件用於複數種功能模式之一第一功能模式，並且該互連線網路係進一步能夠回應於第二配置的資訊以重新配置該複數個異質的計算元件用於該複數種功能模式之一第二功能模式，該第一功能模式係不同於該第二功能模式。

2.如申請專利範圍第 1 項之適應性計算之積體電路，其中該第一固定的架構以及該第二固定的架構係從複數種特定的架構中被選出，該複數種特定的架構係包括至少兩個以下對應之功能：記憶體、加法、乘法、複數乘法、減法、配置、重新配置、控制、輸入、輸出以及現場可程式性。

3.如申請專利範圍第 1 項之適應性計算之積體電路，其中該複數種功能模式係包括至少兩個以下對應之功能模式：線性演算法運算、非線性演算法運算、有限狀態機器運算、記憶體動作以及位元層級的處理。

4.如申請專利範圍第 1 項之適應性計算之積體電路，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

91-10-7

六、申請專利範圍

其中該第一固定的架構以及該第二固定的架構係被選擇以相較地最小化該適應性計算之積體電路的功率消耗。

5.如申請專利範圍第 1 項之適應性計算之積體電路，其中該互連線網路係可重新配置地繞線資料以及控制資訊在該複數個異質的計算元件之間。

6.如申請專利範圍第 1 項之適應性計算之積體電路，其中該第一配置的資訊以及該第二配置的資訊係與資料一起被混合以形成單一的位元流。

7.如申請專利範圍第 1 項之適應性計算之積體電路，其更包括：

一個耦接至該複數個異質的計算元件以及該互連線網路的控制器，該控制器係能夠導引並且安排該複數個異質的計算元件之配置用於該第一功能模式、以及該複數個異質的計算元件之重新配置用於該第二功能模式。

8.如申請專利範圍第 7 項之適應性計算之積體電路，其中該控制器係進一步能夠與相對應的資料一起定時並且安排該複數個異質的計算元件之配置以及重新配置。

9.如申請專利範圍第 7 項之適應性計算之積體電路，其中該控制器係進一步能夠從包含與複數個配置的資訊混合之資料之單一的位元流選擇該第一配置的資訊以及該第二配置的資訊。

10.如申請專利範圍第 1 項之適應性計算之積體電路，其更包括：

一個耦接至該複數個異質的計算元件以及該互連線網

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

路之記憶體，該記憶體係能夠儲存該第一配置的資訊以及該第二配置的資訊。

11.如申請專利範圍第 1 項之適應性計算之積體電路，其中該複數個異質的計算元件係透過該互連線網路並且回應於複數個配置的資訊而被配置以及重新配置，以實施一個資料流圖的複數個邏輯功能。

12.如申請專利範圍第 1 項之適應性計算之積體電路，其中該互連線網路係被進一步配置以執行一個資料流圖的複數個邏輯判定。

13.如申請專利範圍第 1 項之適應性計算之積體電路，其中該複數個異質的計算元件係被配置以形成複數個適應性且異質的計算單元。

14.如申請專利範圍第 13 項之適應性計算之積體電路，其中該複數個異質的計算單元之每個計算單元係更包含：

一個耦接至該複數個異質的計算元件之計算單元控制器，該計算單元控制器係回應於複數個配置的資訊以產生複數個控制位元；

複數個輸入多工器，該複數個輸入多工器係回應於該複數個控制位元以從該互連線網路選擇一條輸入線用於輸入資訊的接收；以及

複數個輸出解多工器，該複數個輸出解多工器係回應於該複數個控制位元以從該互連線網路選擇複數條輸出線用於輸出資訊的傳輸。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

15.如申請專利範圍第 13 項之適應性計算之積體電路，其中該複數個計算單元係被配置以形成複數個可重新配置的矩陣。

16.如申請專利範圍第 1 項之適應性計算之積體電路，其中該適應性計算之積體電路係被體現在一個具有複數種操作模式的行動終端之中。

17.如申請專利範圍第 16 項之適應性計算之積體電路，其中該行動端點之複數種操作模式係包括至少兩個以下對應之模式：一行動通訊模式、一個人數位助理模式、一多媒體的接收模式、一種以封包為基礎的行動通訊模式、以及一呼叫模式。

18.一種用於適應性計算之方法，其係包括：

回應於第一配置的資訊，透過一個互連線網路配置複數個異質的計算元件用於複數種功能模式之一第一功能模式，該複數個異質的計算元件係包括一個具有一種第一固定的架構之第一計算元件以及一個具有一種第二固定的架構之第二計算元件，該第一固定的架構係不同於該第二固定的架構；並且

回應於第二配置的資訊，透過該互連線網路來重新配置該複數個異質的計算元件用於該複數種功能模式之一第二功能模式，該第一功能模式係不同於該第二功能模式。

19.如申請專利範圍第 18 項之適應性計算之方法，其中該第一固定的架構以及該第二固定的架構係從複數種特定的架構中被選出，該複數種特定的架構係具有至少兩個

9/10/7

六、申請專利範圍

以下對應之功能：記憶體、加法、乘法、複數乘法、減法、配置、重新配置、控制、輸入、輸出以及現場可程式性。

20.如申請專利範圍第 18 項之適應性計算之方法，其中該複數種功能模式係包括至少兩個以下對應之功能模式：線性演算法運算、非線性演算法運算、有限狀態機器運算、記憶體動作以及位元層級的處理。

21.如申請專利範圍第 18 項之適應性計算之方法，其中該第一固定的架構以及該第二固定的架構係被選擇以相較地最小化該適應性計算之積體電路的功率消耗。

22.如申請專利範圍第 18 項之適應性計算之方法，其更包括：

透過該互連線網路，可重新配置地繞線資料以及控制資訊在該複數個異質的計算元件之間。

23.如申請專利範圍第 18 項之適應性計算之方法，其中該第一配置的資訊以及該第二配置的資訊係與資料一起被混合以形成單一的位元流。

24.如申請專利範圍第 18 項之適應性計算之方法，其更包括：

導引並且安排該複數個異質的計算元件之配置用於該第一功能模式、以及該複數個異質的計算元件之重新配置用於該第二功能模式。

25.如申請專利範圍第 18 項之適應性計算之方法，其更包括：

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

與相對應的資料一起定時並且安排該複數個異質的計算元件之配置以及重新配置。

26.如申請專利範圍第 18 項之適應性計算之方法，其更包括：

從包括與複數個配置的資訊混合之資料之單一的位元流選擇該第一配置的資訊以及該第二配置的資訊。

27.如申請專利範圍第 18 項之適應性計算之方法，其更包括：

在一個記憶體中儲存該第一配置的資訊以及該第二配置的資訊。

28.如申請專利範圍第 18 項之適應性計算之方法，其中該複數個異質的計算元件係透過該互連線網路並且回應於複數個配置的資訊而被配置以及重新配置，以實施一個資料流圖的複數個邏輯功能。

29.如申請專利範圍第 18 項之適應性計算之方法，其中該互連線網路係被進一步配置以執行一個資料流圖的複數個邏輯判定。

30.如申請專利範圍第 18 項之適應性計算之方法，其更包括：

產生複數個控制位元；

回應於該複數個控制位元，從該互連線網路選擇一條輸入線用於輸入資訊的接收；並且

回應於該複數個控制位元，從該互連線網路選擇一條輸出線用於輸出資訊的傳輸。

六、申請專利範圍

31.如申請專利範圍第 18 項之適應性計算之方法，其中該適應性計算之方法係可運作在一個具有複數種操作模式的行動終端之中。

32.如申請專利範圍第 31 項之適應性計算之方法，其中該行動端點之複數種操作模式係包括至少兩個以下對應之模式：一行動通訊模式、一個人數位助理模式、一多媒體的接收模式、一種以封包為基礎的行動通訊模式、以及一呼叫模式。

33.一個適應性計算之積體電路，其係包括：

複數個異質的計算元件，該複數個異質的計算元件之一個第一計算元件係具有一種第一固定的架構，並且該複數個異質的計算元件之一個第二計算元件係具有一種第二固定的架構，該第一固定的架構係不同於該第二固定的架構；

一個耦接至該複數個異質的計算元件之互連線網路，該互連線網路係能夠回應於第一配置的資訊以配置該複數個異質的計算元件用於複數種功能模式之一第一功能模式，並且該互連線網路係進一步能夠回應於第二配置的資訊以重新配置該複數個異質的計算元件用於該複數種功能模式之一第二功能模式，該第一功能模式係不同於該第二功能模式；

其中該複數個異質的計算元件之一第一子集合係被配置用於一種控制器操作模式，該控制器操作模式係包括功能有用於導引該複數個異質的計算元件之配置與重新配置

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

、用於從包括與複數個配置的資訊混合之資料的單一的位元流選擇該第一配置的資訊以及該第二配置的資訊、以及用於與相對應的資料一起安排該複數個異質的計算元件之配置與重新配置；並且

其中該複數個異質的計算元件之一第二子集合係被配置用於一種用於儲存該第一配置的資訊以及該第二配置的資訊之記憶體操作模式。

34.一種適應性計算之積體電路，其係包括：

複數個異質的計算元件，該複數個異質的計算元件之一個第一計算元件係具有複數種固定的架構中之一種第一固定的架構，並且該複數個異質的計算元件之一個第二計算元件係具有該複數種固定的架構中之一種第二固定的架構，該第一固定的架構係不同於該第二固定的架構，並且該複數種固定的架構係包括用於記憶體、加法、乘法、複數乘法、減法、配置、重新配置、控制、輸入、輸出以及現場可程式性之功能；以及

一個耦接至該複數個異質的計算元件之互連線網路，該互連線網路係能夠回應於第一配置的資訊以配置該複數個異質的計算元件用於複數種功能模式之一第一功能模式，並且該互連線網路係進一步能夠回應於第二配置的資訊以重新配置該複數個異質的計算元件用於該複數種功能模式之一第二功能模式，該第一功能模式係不同於該第二功能模式。

35.一種適應性計算之積體電路，其係包括：

六、申請專利範圍

複數個異質的計算元件，該複數個異質的計算元件之一個第一計算元件係具有一種第一固定的架構，並且該複數個異質的計算元件之一個第二計算元件係具有一種第二固定的架構，該第一固定的架構係不同於該第二固定的架構；以及

一個耦接至該複數個異質的計算元件之互連線網路，該互連線網路係能夠回應於第一配置的資訊以配置該複數個異質的計算元件用於複數種功能模式之一第一功能模式，並且該互連線網路係進一步能夠回應於第二配置的資訊以重新配置該複數個異質的計算元件用於該複數種功能模式之一第二功能模式，該第一功能模式係不同於該第二功能模式，並且該複數種功能模式係包括至少兩個以下對應之功能模式：線性演算法運算、非線性演算法運算、有限狀態機器運算、記憶體動作以及位元層級的處理。

(請先閱讀背面之注意事項再填寫本頁)

訂

線