

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale
WO 2018/099741 A1

(43) Date de la publication internationale
07 juin 2018 (07.06.2018)

(51) Classification internationale des brevets :

H03F 3/70 (2006.01) *H03G 3/12* (2006.01)
H03F 1/34 (2006.01) *H03G 1/00* (2006.01)
H03F 3/08 (2006.01)

(21) Numéro de la demande internationale :

PCT/EP2017/079677

(22) Date de dépôt international :

17 novembre 2017 (17.11.2017)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

1661613 29 novembre 2016 (29.11.2016) FR

(71) Déposants : **UNIVERSITE D'AIX-MARSEILLE**
[FR/FR] ; Jardin du Pharo, 58, boulevard Charles Livon,
13007 MARSEILLE (FR). **CENTRE NATIONAL DE LA**
RECHERCHE SCIENTIFIQUE [FR/FR] ; 3, rue Michel
Ange, 75016 PARIS (FR).

(72) Inventeur : **HABIB, Amr** ; 45 Rue De La Loge, 13002
MARSEILLE (FR).

(74) Mandataire : **LOPEZ, Frédérique** et al. ; Immeuble Vi-
sium, 22, avenue Aristide Briand, 94117 ARCUEIL Cedex
(FR).

(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA,
CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR,
KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG,
MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM,
PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC,
SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre de
protection régionale disponible) : ARIPO (BW, GH, GM,
KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM),
européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES,
FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) Title: HIGH-CONVERSION-GAIN CHARGE-AMPLIFIER CIRCUIT

(54) Titre : CIRCUIT AMPLIFICATEUR DE CHARGES A GAIN DE CONVERSION ELEVE

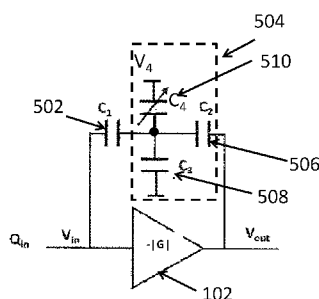


Fig. 5a

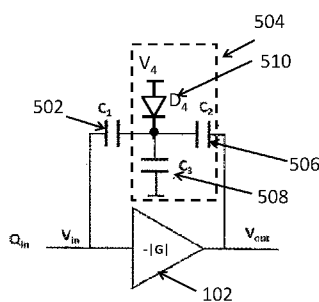


Fig. 5b

(57) Abstract: The present invention relates to a high-conversion-gain charge-amplifier device that comprises a voltage amplifier and a feedback loop between the output and input of the amplifier, such that the feedback loop consists of a capacitor connected in series with a voltage divider, the voltage divider comprising at least one variable capacitor connected between an intermediate voltage point and a variable bias voltage and being arranged so that the voltage at the intermediate point is lower than the output voltage of the amplifier.

(57) Abrégé : La présente invention concerne un dispositif amplificateur de charges à gain de conversion élevé qui comprend un amplificateur en tension et une boucle de rétroaction entre la sortie et l'entrée de l'amplificateur, tel que la boucle de rétroaction est constituée d'une capacité connectée en série avec un diviseur de tension, le diviseur de tension comprenant au moins une capacité variable connectée entre un point intermédiaire de tension et une tension de polarisation variable et étant agencé pour que la tension au point intermédiaire soit inférieure à la tension de sortie de l'amplificateur.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

Publiée:

— avec rapport de recherche internationale (Art. 21(3))

Circuit amplificateur de charges à gain de conversion élevé

Domaine de l'invention

5 L'invention se situe dans le domaine des détecteurs matriciels de rayons X à comptage de photons, et s'intéresse plus particulièrement aux amplificateurs de charges pour de tels détecteurs.

Etat de la Technique

10 Il est connu qu'un photon qui est absorbé dans un matériau semi-conducteur crée une quantité de charges qui est proportionnelle à l'énergie du photon. Chaque pixel d'une matrice d'un détecteur de photons est doté d'un amplificateur de charges qui produit en sortie une tension proportionnelle à la charge incidente. Les signaux issus de la
15 détection de photons doivent être suffisamment amplifiés par l'amplificateur de charge pour être traités.

Il existe des dispositifs qui permettent d'amplifier des signaux issus de la détection de photons.

Le brevet U.S. 6,054,705 de Carroll présente un dispositif qui
20 amplifie les impulsions produites par la détection de photons. Le circuit d'amplification comprend un étage pré-amplificateur de gain unitaire non-inverseur, permettant d'intégrer la charge sur la capacité du détecteur. Le gain de conversion charge/tension de cette configuration étant faible quand la capacité du détecteur est importante, elle ne convient pas à la
25 détection de petites charges.

Or il est nécessaire que l'amplificateur de charges ait un gain de conversion charge/tension très élevé pour permettre la détection de photons de faible énergie.

Il est connu des solutions permettant d'augmenter le gain de conversion des amplificateurs.

La demande de brevet U.S. 2013/0256542 A1 de Soh et al. présente des variantes d'implémentation de circuits permettant d'ajuster
5 le gain de conversion d'un amplificateur de charge, variantes basées sur l'utilisation de une à plusieurs capacités mises en parallèle et commandées par interrupteurs.

Cependant, une amplification élevée du gain de conversion doit être maîtrisable avec une précision fine.

10 La demande de brevet U.S. 2002/066848 A1 de Fowler Boyd propose un circuit amplificateur de charges pour détecteur de photons, basé sur la mise en place d'une boucle de rétroaction constitué d'un réseau de plusieurs capacités dont l'agencement et la valeur permettent de définir le gain de l'amplificateur.

15 Or, dans un détecteur matriciel, chaque pixel de la matrice du détecteur de photons peut être doté d'un amplificateur de charge. A cause de dispersions technologiques de fabrication, il en résulte une dispersion du gain de conversion à travers la matrice, du fait que la valeur exacte de la capacité de contre-réaction varie d'un pixel à l'autre.

20 Par ailleurs, la capacité de contre-réaction étant fixe, elle définit de manière statique et fixée le gain et la dynamique de détection des pixels. Des solutions possibles pour contrôler le gain et la dynamique d'un amplificateur sont proposées dans les demandes de brevet U.S. 2007/007438 A1 et U.S. 2013/0256542 A1. Il est possible de choisir un ou
25 plusieurs gains correspondant à différentes dynamiques en activant une ou plusieurs capacités par l'intermédiaire d'un ou plusieurs interrupteurs. La limite de ces approches reste que pour rendre le circuit plus adaptatif, il faut rajouter autant de capacités et d'interrupteurs, ce qui est coûteux en termes de surface, et impose un ajustement du gain par paliers discrets.
30 Par ailleurs, les valeurs de gain obtenues étant des valeurs discrètes, un choix d'implémentation capacités/interrupteurs permet d'obtenir une

valeur de gain qui va être au mieux la plus proche d'une application visée, mais sans être une valeur optimale.

Ainsi, il n'existe pas de solution connue offrant à la fois une maîtrise pour obtenir une grande amplification de petites charges, de
5 l'ordre de quelques centaines d'électrons, pour uniformiser le gain de conversion pour toute une matrice de pixels, et pour adapter de manière fine le gain et la dynamique de détection selon une application visée.

La présente invention répond à ce besoin.

10 **Résumé de l'invention**

Un objet de la présente invention est de proposer un circuit amplificateur de charges à gain charge/tension très élevé dont la valeur du gain est maîtrisable et reproductible avec une haute précision.

15 Une utilisation avantageuse du circuit de l'invention est celle des détecteurs matriciels de rayons X à comptage de photons. Ainsi, le circuit de l'invention trouvera des applications dans les secteurs de l'imagerie médicale, l'imagerie visible, les applications de synchrotron, le domaine de la sécurité ou encore le tri de produits industriels.

20

Plus généralement, la solution proposée peut être utilisée dans tout domaine nécessitant l'usage d'un amplificateur de charges à haute sensibilité, comme par exemple les capteurs de téléphones portables ou les capteurs médicaux.

25

Dans un mode de réalisation préférentiel, un dispositif amplificateur de charges comprend :

- un amplificateur en tension qui reçoit une tension d'entrée 'Vin' et délivre une tension de sortie 'Vout'; couplé à
- 30 - une boucle de rétroaction qui est connectée entre la sortie et

l'entrée de l'amplificateur. La boucle de rétroaction comprend une première capacité connectée en série avec un circuit diviseur de tension, la première capacité ayant une première borne connectée à l'entrée de l'amplificateur et une deuxième borne définissant un point intermédiaire de tension connectée à une première borne du circuit diviseur de tension. Une deuxième borne du circuit diviseur de tension est connectée à la sortie de l'amplificateur, et comprend des éléments capacitifs agencés pour que la tension au point intermédiaire soit inférieure à la tension de sortie de l'amplificateur. Le dispositif est caractérisé en ce que le diviseur de tension comprend au moins une capacité variable connectée entre le point intermédiaire de tension et une tension de polarisation variable.

Dans un mode réalisation, le circuit diviseur de tension comprend deux capacités connectées en série entre la sortie de l'amplificateur et la masse, le point milieu des deux capacités étant connecté au point intermédiaire de tension, l'une des deux capacités étant ladite capacité variable.

Dans une implémentation, le diviseur de tension comprend une troisième capacité connectée entre le point intermédiaire de tension et une tension de polarisation variable, la troisième capacité étant une capacité variable.

Dans une variante de réalisation, la troisième capacité du diviseur de tension est une diode en polarisation inverse.

Selon les réalisations, la première capacité est une capacité variable, dont la valeur est déterminée par la tension de polarisation appliquée à ses bornes.

30

Dans une variante de réalisation, la tension de polarisation variable

est définie par une mémoire programmable.

Avantageusement, une ou plusieurs des capacités de la boucle de rétroaction sont des capacités variables. Avantageusement, les capacités
5 variables sont des varactors de type MOS. Les capacités du dispositif sont en technologie CMOS.

Selon une implémentation, le diviseur de tension comprend de plus un interrupteur pour activer ou désactiver la capacité connectée entre le
10 point intermédiaire de tension et la masse.

Le diviseur de tension peut comprendre un agencement de capacités combinant les différentes variantes revendiquées.

15 Le dispositif peut comprendre un deuxième diviseur de tension connecté en série au premier diviseur de tension.

L'invention couvre aussi un détecteur matriciel à comptage de photons comprenant au moins un dispositif tel que revendiqué.

20

Description des figures

Différents aspects et avantages de l'invention vont apparaître en appui de la description d'un mode préféré d'implémentation de l'invention
25 mais non limitatif, avec référence aux figures ci-dessous :

La figure 1 est un exemple d'un circuit amplificateur de charges connu ;

La figure 2 est un exemple d'un circuit permettant d'amplifier le gain de conversion de l'amplificateur de charges connu de la figure 1 ;

La figure 3 illustre schématiquement le principe du circuit amplificateur de charges à gain de conversion élevé de l'invention;

La figure 4 illustre un premier mode de réalisation du circuit de l'invention ;

5 Les figures 5a à 5f illustrent des variantes du diviseur de tension de la figure 4;

La figure 6 illustre un second mode de réalisation de l'invention ;

Les figures 7a et 7b illustrent l'uniformisation du gain obtenue par un mode de réalisation du circuit de l'invention ;

10 La figure 8 illustre un mode de réalisation d'un circuit programmable ;

La figure 9 illustre un autre mode de réalisation d'un circuit programmable ;

La figure 10 illustre la variabilité gain/dynamique ;

15 La figure 11 illustre une programmation de pixels en échiquier.

Description détaillée de l'invention

La figure 1 est un exemple d'un circuit 100 amplificateur de charges connu. L'exemple est pris pour un amplificateur de tension inverseur 102 à contre-réaction négative, dont le gain intrinsèque en tension 'G' (noté - IGI sur la figure) est donné par l'équation ' $G = V_{out}/V_{in}$ ' où V_{out} est la tension en sortie du circuit et V_{in} la tension appliquée en entrée.

25 Une capacité 104, notée 'Cf' est connectée entre l'entrée V_{in} et la sortie V_{out} pour produire l'effet d'une contre-réaction négative. Sous

l'effet de la contre-réaction négative, l'entrée de l'amplificateur est considérée comme une masse virtuelle, et toute charge 'Q_{in}' créée à l'entrée de l'amplificateur, suite à la détection d'un photon par exemple, est alors intégrée sur la capacité C_f.

- 5 En prenant pour hypothèse que le gain intrinsèque en tension de l'amplificateur est infini, le gain de conversion 'G_c' est calculé selon l'équation (1) suivante :

$$G_C = \left| \frac{V_{out}}{Q_{in}} \right| = \frac{1}{C_f} \quad (1)$$

- Ainsi, le gain de conversion charge/tension d'un tel amplificateur
10 est entièrement défini par la capacité de contre-réaction 'C_f'. En se basant sur l'équation (1), il ressort que pour augmenter le gain de conversion, il faut réduire la capacité de contre-réaction 'C_f'.

- Les technologies CMOS actuelles offrant des capacités métalliques minimales de l'ordre de 10 fF, le gain conversion qui peut être obtenu,
15 calculé selon l'équation (2) suivante, peut être de l'ordre de 16 mV/ke⁻ :

$$G_C = \left| \frac{V_{out}(mV)}{Q_{in}(ke^-)} \right| = \frac{q}{C_f} = 16 \text{ mV/ke}^- \quad (2)$$

où 'q' est la charge élémentaire.

- Or, pour les applications nécessitant de détecter de petites charges, de l'ordre de quelques centaines d'électrons, tel que cela se
20 produit dans les détecteurs de rayons X, le gain de conversion doit être très élevé, au moins 10 fois supérieur à cette valeur, soit un gain requis de l'ordre de 160 m V/ke⁻. Ce type de circuit n'est alors pas applicable pour les applications recherchées.

- 25 Pour diminuer la valeur de la capacité de contre-réaction, il est possible de créer une capacité de contre-réaction uniquement à partir de capacités parasites. Une capacité parasite peut être celle se créant entre deux métaux, ou bien entre les terminaux d'un transistor. Un inconvénient de cette solution est qu'il n'est pas possible de maîtriser la valeur absolue

de cette capacité parasite, qui peut varier considérablement d'un pixel à l'autre, d'un lot de fabrication à un autre, ou encore d'une technologie à une autre.

5 La figure 2 illustre un exemple d'un circuit 200 permettant d'amplifier le gain de conversion d'un amplificateur de charges 102 comme celui de la figure 1. Pour des raisons de simplification, les éléments identiques entre les figures portent les mêmes références.

10 Dans l'exemple de la figure 2, la capacité de contre-réaction 204 est constituée d'une pluralité de capacités ($C_1, \dots, C_n$) connectées en série. Les capacités sont des capacités standard de valeur minimale.

15 Pour obtenir une capacité de contre-réaction effective de 1fF, conduisant à un gain de l'ordre de 160 m V/ke^- , l'homme du métier comprend qu'il faut connecter en série 10 capacités standard d'une valeur 10 fF chacune. Ces capacités occupent une surface importante, et ce pour chaque amplificateur qui est utilisé dans un détecteur. Il ressort donc un inconvénient de cette solution qui est qu'elle est consommatrice de surface car elle requière un grand nombre de capacités à coupler en série pour obtenir un gain très élevé pour les applications visées.

20 De plus, les nœuds qui existent entre chaque capacité sont des nœuds dits flottants, il y a alors 'N-1' nœuds flottants pour 'N' capacités standards connectées en série. Or les nœuds flottants sont facilement contaminés par le bruit de couplage venant de signaux voisins, amenant ainsi un inconvénient supplémentaire à ce type de solution.

25

La figure 3 illustre schématiquement le principe général de l'invention qui consiste à agencer plusieurs éléments dans une boucle de rétroaction qui vont produire l'effet d'une seule capacité de rétroaction équivalente de très faible valeur.

Le circuit comprend un amplificateur en tension 102, recevant une tension d'entrée V_{in} et délivrant une tension de sortie V_{out} . Une boucle de rétroaction 300 est connectée entre la sortie et l'entrée de l'amplificateur, et comprend en combinaison série, une première capacité
 5 'C1' (302) couplée à un agencement capacitif 304. L'agencement capacitif opère comme diviseur ou atténuateur de tension. Les composants capacitifs sont choisis tels que la tension V_1 au nœud intermédiaire entre la première capacité 302 et le circuit atténuateur de tension 304, est inférieure à la tension de sortie V_{out} , selon l'équation (3) :

10
$$V_1 = \frac{V_{OUT}}{A} \quad (3), \text{ où 'A' est un coefficient strictement supérieur à } 1, \text{ et est déterminé par l'agencement des capacités du circuit diviseur de tension.}$$

En reprenant l'hypothèse précédente que le gain en tension de l'amplificateur est infini, la charge 'Q_{in}' reçue en entrée de l'amplificateur
 15 est alors intégrée sur la capacité C1, et la tension intermédiaire V1 au nœud intermédiaire s'exprime selon l'équation (4) suivante :

$$V_1 = \frac{Q_{in}}{C_1} \quad (4).$$

A partir des équations (3) et (4), la tension de sortie 'V_{out}' peut alors s'exprimer en fonction de la charge en entrée 'Q_{in}', et le gain de
 20 conversion 'G_c' se définir selon l'équation (5) suivante:

$$G_C = \left| \frac{V_{out}}{Q_{in}} \right| = \frac{1}{C_1} \times A = \frac{1}{C_{eq}} \quad (5)$$

où l'ensemble formé par la première capacité 302 et le diviseur de tension 304 est ramené à une capacité équivalente 'C_{eq}' :

25
$$C_{eq} = \frac{C_1}{A} \quad (6).$$

La solution proposée permet ainsi de réaliser une capacité de contre-réaction de très faible valeur, en utilisant un nombre limité de capacités, pour obtenir avec maîtrise un gain d'amplification très élevé. Le circuit de l'invention qui permet une grande amplification de petites charges est particulièrement adapté à la détection de faibles signaux, comme les photons de faibles énergies.

Sans départir du principe de l'invention, l'amplificateur de tension 102 peut être remplacé par un amplificateur transconductance, où la sortie de l'amplificateur est un courant et non une tension. Dans une variante de réalisation, l'amplificateur peut être un amplificateur différentiel, et la contre-réaction est appliquée à l'entrée négative de l'amplificateur, l'entrée positive étant reliée à une tension fixe.

Selon les implémentations, les charges qui sont intégrées sur la capacité équivalente de contre-réaction peuvent être évacuées par l'intermédiaire d'une résistance ou d'une source de courant par exemple, mise en parallèle du circuit de contre-réaction. L'homme du métier comprend que ces exemples ne sont pas limitatifs et que d'autres techniques peuvent être implémentées pour l'évacuation des charges.

La figure 4 illustre un premier mode de réalisation du circuit de l'invention où le circuit diviseur de tension 404 est constitué de deux capacités en série (406, 408) dont le point milieu est connecté à la première capacité 402 au nœud intermédiaire V_1 . Les autres bornes des deuxième 'C2' et troisième 'C3' capacités (406, 408) du diviseur de tension sont respectivement connectées à la sortie de l'amplificateur pour 'C2' et à la masse pour 'C3'.

La tension 'Vin' en entrée de l'amplificateur se comportant comme une masse virtuelle, il existe un circuit diviseur de potentiel entre la tension de sortie 'Vout' et la tension 'V1' du point intermédiaire commun au trois capacités. La tension intermédiaire s'exprime selon l'équation (7) suivante :

$$V_1 = V_{out} \frac{C_2}{C_1 + C_2 + C_3} \quad (7)$$

A partir des équations (3) et (4), la tension de sortie 'Vout' peut alors s'exprimer en fonction de la charge en entrée 'Qin', et le gain de conversion 'Gc' se définir selon l'équation (8) suivante:

$$G_C = \left| \frac{V_{out}}{Q_{in}} \right| = \frac{1}{C_1} \times \frac{C_1 + C_2 + C_3}{C_2} = \frac{1}{C_{eq}} \quad (8)$$

où l'ensemble des trois capacités, de par leur agencement particulier en 'T' est ramené à une capacité équivalente 'Ceq' qui se définit selon l'équation (9) suivante :

$$C_{eq} = \frac{C_1 \times C_2}{C_1 + C_2 + C_3} \quad (9)$$

Avantageusement, la troisième capacité 'C3' étant représentée dans l'équation (9) seulement au dénominateur, il est possible d'augmenter sa valeur afin de diminuer la valeur totale de la capacité équivalente 'Ceq'.

Ainsi, à titre d'exemple non limitatif, pour avoir une capacité équivalente 'Ceq' égale à 1 fF, les capacités 'C1' et 'C2' peuvent être égales chacune à 10 fF et la capacité 'C3' être égale à 80 fF. L'homme du métier peut décliner d'autres combinaisons des trois capacités selon le gain de conversion souhaité. Avantageusement, chaque capacité a une valeur facilement reproductible, offrant ainsi une stabilité au circuit de l'invention.

Les figures 5a à 5f illustrent des variantes du diviseur de tension de la figure 4 selon des modes de réalisation du circuit de l'invention.

Dans la variante de la figure 5a, le diviseur de tension comprend de plus une capacité 'C4' variable connectée entre le point intermédiaire et une tension de polarisation 'V4' variable permettant ainsi d'ajuster la

valeur du gain de conversion. La valeur de la capacité équivalente de la contre-réaction est alors :

$$C_{eq} = \frac{C_1 \times C_2}{C_1 + C_2 + C_3 + C_4} \quad (10).$$

Dans la variante de la figure 5b, la capacité 'C4' de la figure 5a est
 5 remplacée par une diode 'D4' en polarisation inverse, pour polariser le point intermédiaire qui est normalement flottant. C'est la valeur 'C_{D4}' de la capacité de la diode qui entre dans le calcul de la capacité équivalente de la contre-réaction, qui est alors égale à :

$$C_{eq} = \frac{C_1 \times C_2}{C_1 + C_2 + C_3 + C_{D4}} \quad (11).$$

10 La variante de la figure 5c reprend le diviseur de tension de la figure 5a ou 5b, mais la première capacité 'C1' extérieure au diviseur de tension est remplacée par une capacité variable. La valeur de la capacité variable est déterminée en fonction de la tension à ses bornes.

La variante de la figure 5d reprend le circuit de la figure 5b dans
 15 lequel la capacité 'C2' du diviseur de tension est une capacité variable dont la valeur est déterminée en fonction de la tension à ses bornes.

La variante de la figure 5e reprend le circuit de la figure 4, où la capacité 'C3' du diviseur de tension est une capacité variable. Dans cette variante d'implémentation, la boucle de rétroaction est vue comme un
 20 circuit comprenant trois capacités (C1, C2, C3) agencées en forme de 'T'. Les première et deuxième capacités 'C1' et 'C2' sont connectées en série entre l'entrée et la sortie de l'amplificateur, et la troisième capacité 'C3' formant le pied vertical du 'T' est une capacité variable. Elle est connectée par une borne au point intermédiaire des première et
 25 deuxième capacités (502, 506) et par l'autre borne à un générateur de tension pouvant délivrer une tension variable 'V3'.

Dans un mode d'implémentation préférentielle, la capacité variable des différentes variantes est de type MOS, et est aussi nommée MOS-Cap ou 'MOS varactor' (pour acronyme de « *variable reactor* »). Un MOS varactor est un composant de la technologie CMOS, dont la capacité
5 varie selon la tension appliquée. Il présente la particularité de se comporter comme un condensateur dont la valeur de la capacité varie avec la tension appliquée à ses bornes. Alternativement, la capacité variable peut être une diode Varicap.

En fonctionnement, en faisant varier la tension 'V3' ou 'V4' selon
10 les variantes d'implémentation, la capacité 'C3' ou 'C4' varie et la capacité équivalente 'Ceq' varie. Il en résulte que le gain de conversion 'Gc' de l'amplificateur varie.

Avantageusement, les modes de réalisation avec capacité variable permettent de moduler le gain de conversion par l'intermédiaire d'une
15 tension contrôlée. Ces modes de réalisation permettent d'optimiser le gain de l'amplificateur pour une application donnée.

Dans une variante d'implémentation, l'ajustement de la tension aux bornes du varactor peut être réalisé par pixel pour la matrice de pixels d'un même détecteur, permettant alors de corriger la dispersion de gain
20 d'un pixel à l'autre, et aboutir à une réponse matricielle plus uniforme.

Avantageusement, pour les détecteurs matriciels où chaque pixel est doté d'un amplificateur de charge, le circuit de la figure 5e permet de fixer le gain de conversion pixel par pixel, de manière indépendante. En couplant chaque capacité variable 'C3' à une mémoire programmable, il
25 est possible de définir une valeur pour la tension 'V3' et ainsi ajuster une valeur pour la capacité variable 'C3'. Par conséquent, la valeur programmée de la capacité 'C3' détermine le gain de conversion du pixel correspondant. Ainsi en calibrant la valeur du gain pixel par pixel et en programmant chaque mémoire associée à un circuit amplificateur, le
30 dispositif de l'invention permet de réduire les effets de dispersion sur une

matrice de pixels tels qu'illustré sur la figure 7a, pour obtenir un gain uniforme à travers la matrice de pixels, tel qu'illustré sur la figure 7b.

Dans un mode de réalisation montré sur la figure 8, la mémoire programmable peut être réalisée sous la forme d'un DAC « Digital to
5 Analog Converter ». Le DAC est programmé sur un certain nombre 'N' de bits qui définissent la valeur de la tension V_3 . Chaque DAC peut être programmé différemment pour avoir le gain souhaité pour chaque pixel individuellement.

Dans un autre mode de réalisation montré sur la figure 9, la
10 mémoire programmable peut être une mémoire analogique réalisée sous la forme d'une capacité 'C_{Mem}' et d'un interrupteur 'I1'. Dans la phase de programmation, l'interrupteur est passant, et une valeur de tension externe 'V_{ext}' est appliquée à la capacité 'C_{Mem}'. De manière préférentielle, la valeur de la capacité 'C_{Mem}' est très supérieure à celle
15 de la capacité variable 'C3' pour permettre sa fonction de mémoire, sans perturbation par le fonctionnement du circuit. Après programmation, l'interrupteur 'I1' est bloqué et la valeur 'V_{ext}' reste mémorisée sur la capacité 'C_{Mem}'.

Dans une autre variante, il est possible de faire varier le gain de
20 conversion d'un pixel à l'autre. Ainsi, pour un même seuil de détection, chaque pixel détecte une gamme d'énergie de photon différente.

Pour certaines applications, il est nécessaire de pouvoir adapter le gain et la dynamique. Il est alors intéressant de pouvoir changer la valeur moyenne du gain à travers la matrice de pixels, pour adapter le gain et la
25 dynamique du détecteur à une application donnée, de manière optimale. La figure 10 permet d'illustrer la variabilité qui peut être recherchée entre gain et dynamique.

Avantageusement, le circuit de l'invention permet cette double adaptabilité pour un même circuit et offre une gamme de valeurs 'gain-
30 dynamique' qui est en continu par opposition aux solutions existantes qui

proposent uniquement des valeurs discrètes et/ou nécessitent de changer totalement le circuit en fonction de l'application recherchée. Dans ce contexte, il est possible de programmer chaque pixel d'une même matrice indépendamment, certains pixels pouvant avoir un gain fort et donc une forte sensibilité, et d'autres pixels pouvant avoir une dynamique de détection étendue. La figure 11 illustre une réalisation d'une programmation des pixels d'une matrice, dite en échiquier. D'autres variantes de programmation peuvent être déclinées selon les mêmes principes.

10

La figure 5f présente une variante de réalisation du diviseur de tension de la figure 4, dans laquelle un interrupteur 511 est inséré en série avec la troisième capacité 'C3'. Cette configuration permet de définir deux gains de conversion, selon que l'interrupteur est bloqué ou passant.

Dans l'état passant de l'interrupteur, la capacité équivalente de la boucle de contre-réaction correspond à celle du circuit de la figure 4 dans l'équation (9). Dans l'état bloqué de l'interrupteur, la capacité 'C3' est déconnectée et la capacité équivalente de la boucle de contre-réaction est égale à :

$$C_{eq} = \frac{C_1 \times C_2}{C_1 + C_2} \quad (12).$$

20

La figure 6 illustre un mode de réalisation de l'invention pour lequel la capacité de contre-réaction équivalente est obtenue par un agencement total de cinq capacités. Selon le principe général de l'invention, une première capacité 'C1' (602) est connectée par une première borne à l'entrée 'Vin' de l'amplificateur 102 et par une seconde borne à une borne d'un circuit diviseur de tension 604, par un point intermédiaire 'V1'. L'autre borne du circuit diviseur de tension est connectée à la sortie 'Vout' de l'amplificateur 102. Dans cette configuration, le diviseur de tension 604 comprend quatre capacités 'C2 à C5' agencées par paire (C2, C3) et (C4, C5), chaque paire créant un

30

diviseur de tension semblable à celui de la figure 4. La première paire (606, 608) est connectée entre le point intermédiaire 'V1' et un second point intermédiaire 'V2', et la deuxième paire (607, 609) est connectée entre le deuxième point intermédiaire 'V2' et la sortie 'Vout' de l'amplificateur 102.

En reprenant pour hypothèse que le gain de l'amplificateur est infini, la valeur de la capacité équivalente s'obtient par le calcul suivant :

$$V_1 = \frac{Q_{in}}{C_1} \text{ et } V_1 = V_2 \frac{C_2}{C_1 + C_2 + C_3} \text{ avec}$$

$$V_2 = V_{out} \frac{C_4}{C_4 + C_5 + C_X} \text{ où}$$

$$C_X = \frac{C_2(C_1 + C_3)}{C_1 + C_2 + C_3}$$

De ces équations, on obtient :

$$\frac{V_{out}}{Q_{in}} = \frac{C_4 + C_5 + C_X}{C_4} \times \frac{C_1 + C_2 + C_3}{C_2} \times \frac{1}{C_1} = \frac{1}{C_{eq}} \text{ d'où la valeur de la}$$

capacité équivalente est :

$$C_{eq} = \frac{C_1 \times C_2 \times C_4}{[C_1 + C_2 + C_3] \times \left[C_4 + C_5 + \frac{C_2(C_1 + C_3)}{C_1 + C_2 + C_3} \right]}$$

Bien que requérant plus de capacités que la configuration de base à trois capacités, cette configuration offre l'avantage pour obtenir une capacité équivalente de faible valeur d'occuper moins de surface.

En effet, en prenant pour exemple d'obtenir une capacité équivalente de 1 fF, il est possible de choisir les valeurs suivantes :

- C1 = C2 = C3 = C4 = 10 fF, et C5 = 16,6 fF.

En utilisant l'architecture principale à 3 capacités en forme de T, la même valeur de capacité équivalente est obtenue pour les valeurs suivantes :

- C1 = C2 = 10 fF et C3 = 80 fF.

En considérant que pour une capacité métallique, la valeur de la capacité est proportionnelle à la surface, si une capacité de 10 fF occupe S_0 de surface, alors une capacité de 100 fF occupera $10 \times S_0$ de surface.

Dans l'exemple à double diviseur de tension, la surface totale 'S1'
5 occupée par les cinq capacités est de :

$$S_1 = S_0 + S_0 + S_0 + S_0 + 1.6 S_0 = 5.6 S_0$$

Dans l'exemple à un seul diviseur de tension, la surface totale 'S2'
10 occupée par les trois capacités est de :

$$S_2 = S_0 + S_0 + 8 S_0 = 10 S_0$$

Ainsi, l'architecture à 5 capacités permet une économie en surface
15 de 44% par rapport à l'architecture à 3 capacités pour l'exemple choisi.

La présente description illustre différentes implémentations non limitatives de l'invention. Les exemples ont été choisis pour permettre une bonne compréhension des principes de l'invention, mais ne sont en rien
20 exhaustifs et doivent permettre à l'homme du métier d'apporter des modifications et des variantes d'implémentation tout en conservant les mêmes principes, par exemple sur le nombre et les valeurs des capacités, sur la combinaison des agencements de capacités fixes et variables pour la première capacité et le diviseur de tension.

25 De plus, le circuit de contre-réaction négative de l'invention peut être utilisé dans d'autres architectures que pour des amplificateurs de charge. Ainsi, il peut être utilisé par exemple pour des amplificateurs de tension, des intégrateurs de tension ou encore des filtres.

Revendications

1. Un dispositif amplificateur de charges comprenant :
 - un amplificateur en tension (102), recevant une tension d'entrée 'Vin' et délivrant une tension de sortie 'Vout'; et
 - une boucle de rétroaction (300) connectée entre la sortie 'Vout' et l'entrée 'Vin' de l'amplificateur, la boucle de rétroaction comprenant une première capacité (502) connectée en série avec un circuit diviseur de tension (504), la première capacité ayant une première borne connectée à l'entrée 'Vin' de l'amplificateur et une deuxième borne définissant un point intermédiaire de tension 'V1' connectée à une première borne du circuit diviseur de tension, une deuxième borne du circuit diviseur de tension étant connectée à la sortie 'Vout' de l'amplificateur, le circuit diviseur de tension comprenant des éléments capacitifs agencés pour que la tension 'V1' au point intermédiaire soit inférieure à la tension de sortie 'Vout' de l'amplificateur, le dispositif étant caractérisé en ce que le diviseur de tension (504) comprend au moins une capacité variable (508) connectée entre le point intermédiaire de tension 'V1' et une tension de polarisation variable 'V3'.
2. Le dispositif selon la revendication 1 dans lequel le circuit diviseur de tension (404) comprend deux capacités (406, 408) connectées en série entre la sortie de l'amplificateur et la masse, le point milieu des deux capacités étant connecté au point intermédiaire de tension 'V1', l'une des deux capacités étant ladite capacité variable.
3. Le dispositif selon la revendication 1 ou 2 dans lequel le

diviseur de tension (504) comprend une troisième capacité (510) connectée entre le point intermédiaire de tension 'V1' et une tension de polarisation variable 'V4', la troisième capacité étant une capacité variable.

5

4. Le dispositif selon la revendication 3 dans lequel la troisième capacité du diviseur de tension est une diode 'D4' en polarisation inverse.

10

5. Le dispositif selon les revendications 3 ou 4 dans lequel la première capacité (302, 402, 502) est une capacité variable, dont la valeur est déterminée par la tension de polarisation appliquée à ses bornes.

15

6. Le dispositif selon l'une quelconque des revendications 1 à 5 dans lequel la tension de polarisation variable 'V3' est définie par une mémoire programmable.

20

7. Le dispositif selon l'une quelconque des revendications 1 à 6 dans lequel une ou plusieurs des capacités de la boucle de rétroaction sont des capacités variables.

25

8. Le dispositif selon l'une quelconque des revendications 1 à 7 dans lequel les capacités variables sont des varactors de type MOS.

9. Le dispositif selon l'une quelconque des revendications 1 à 8

dans lequel le diviseur de tension comprend de plus un interrupteur (511) pour activer ou désactiver la capacité (408, 508) connectée entre le point intermédiaire de tension et la masse.

5

10. Le dispositif selon l'une quelconque des revendications 1 à 9 dans lequel les capacités sont en technologie CMOS.

10

11. Le dispositif selon l'une quelconque des revendications 1 à 10 comprenant un deuxième diviseur de tension connecté en série au premier diviseur de tension.

15

12. Le dispositif selon la revendication 11 dans lequel les diviseurs de tension sont agencés selon l'une quelconque des revendications 1 à 10.

13. Un détecteur matriciel à comptage de photons comprenant au moins un dispositif selon l'une quelconque des revendications 1 à 12.

1/8

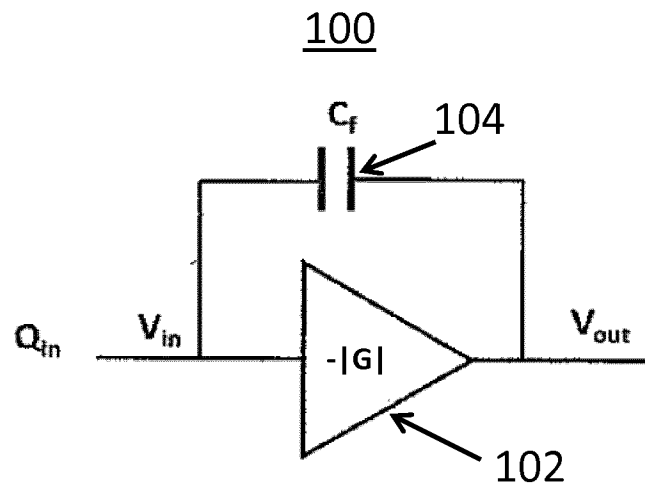


Fig. 1

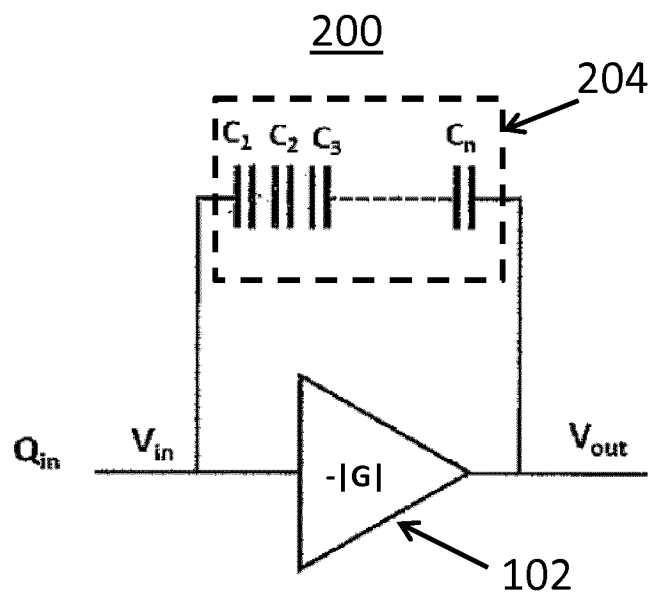


Fig. 2

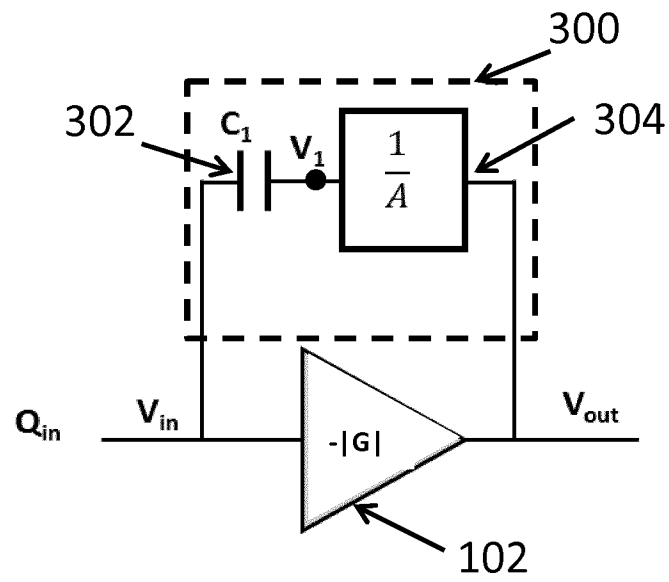


Fig. 3

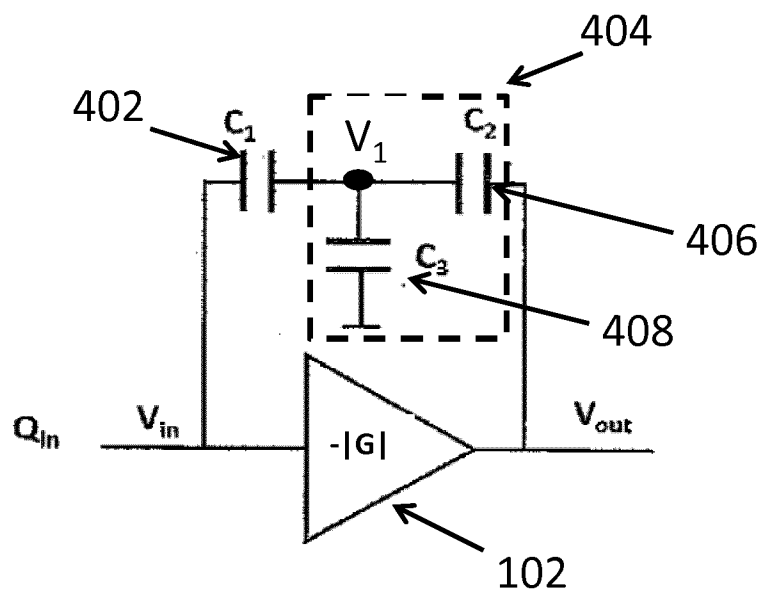


Fig. 4

3/8

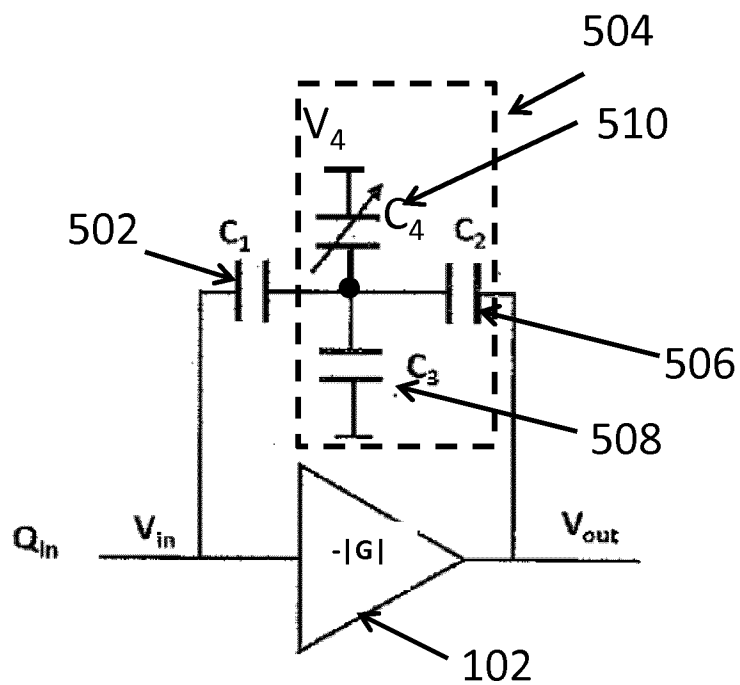


Fig. 5a

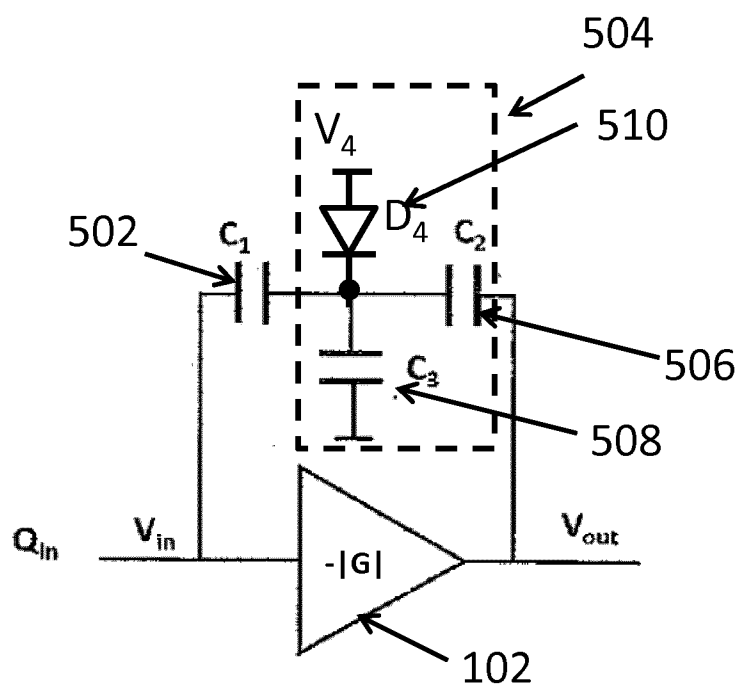


Fig. 5b

4/8

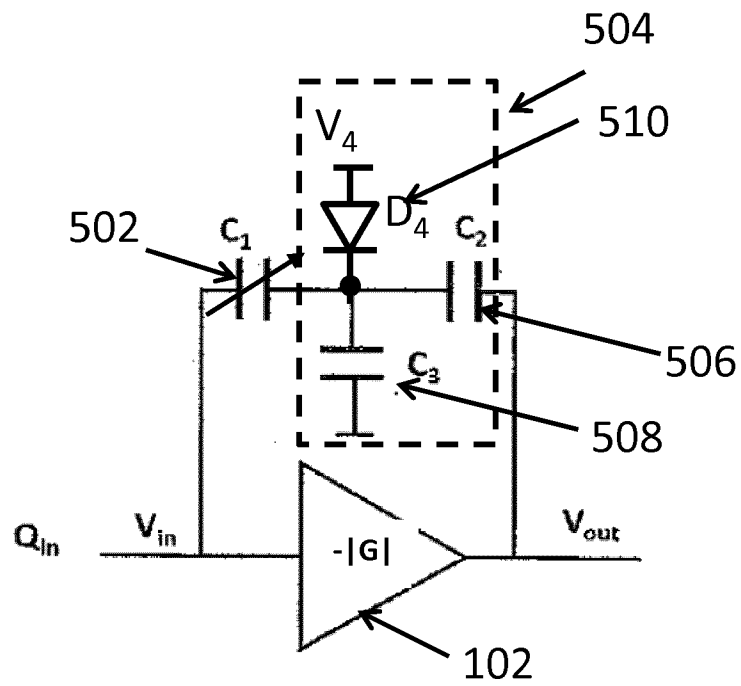


Fig. 5c

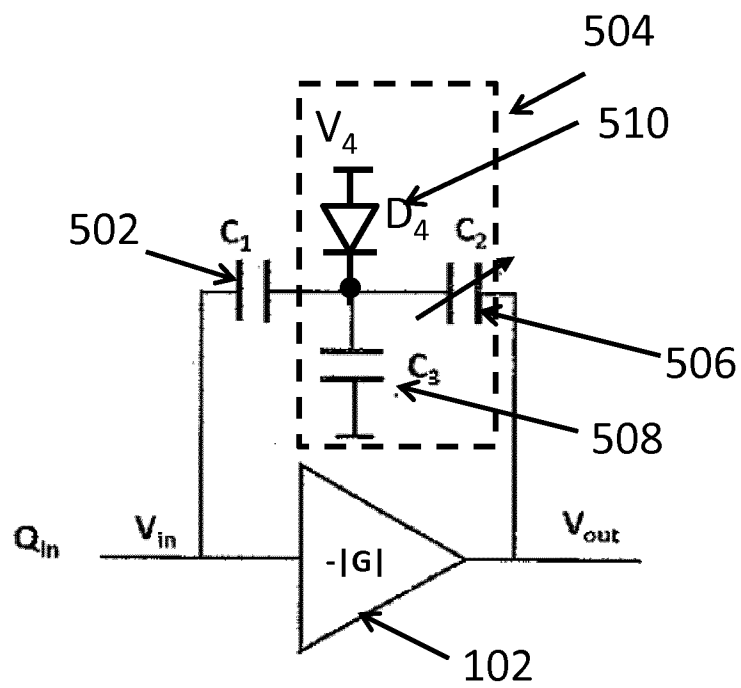


Fig. 5d

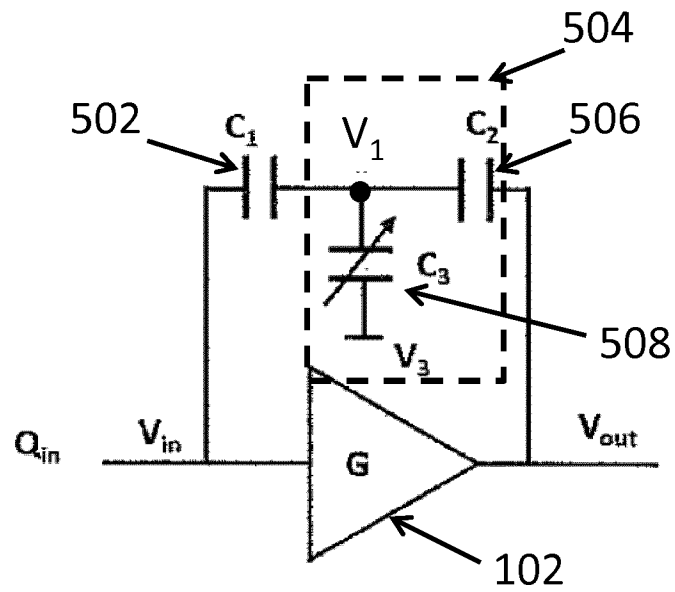


Fig. 5e

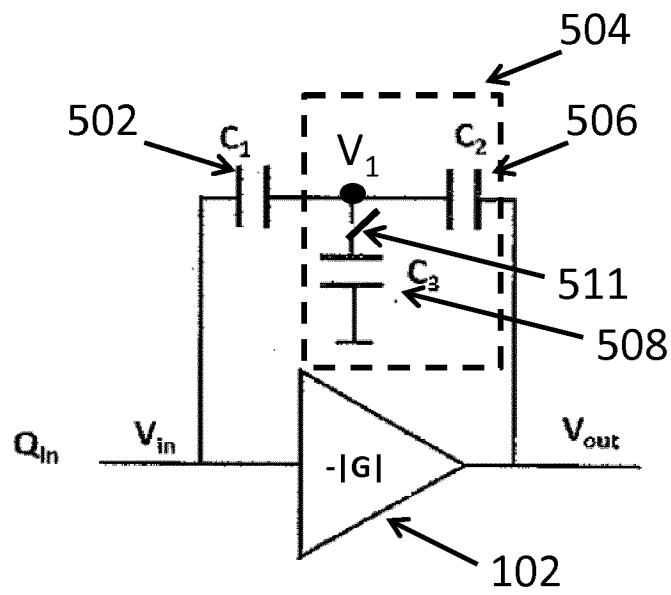


Fig. 5f

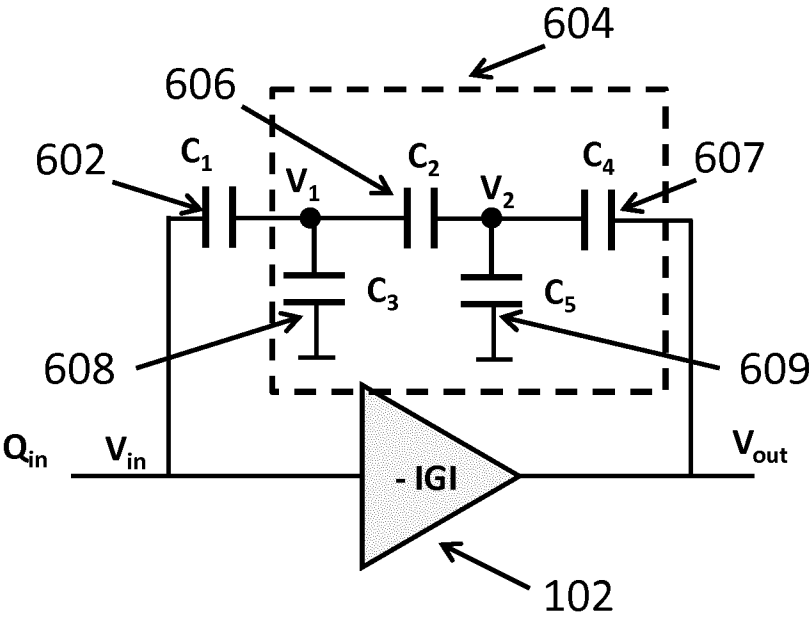
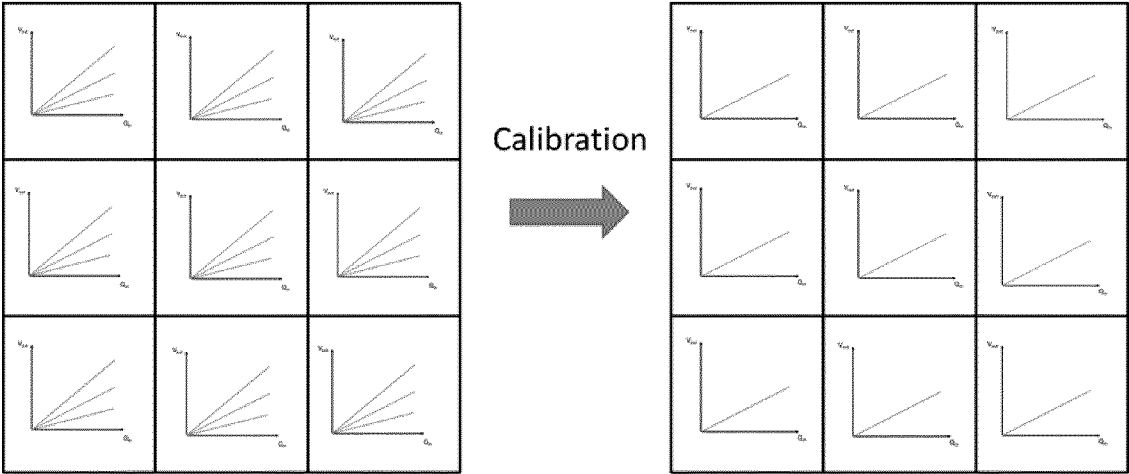


Fig. 6



Gain varie d'un pixel à l'autre

Gain uniforme

Fig. 7a

Fig. 7b

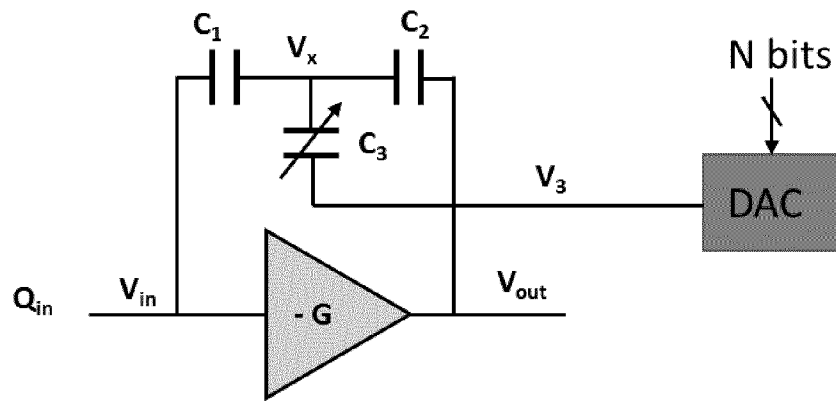


Fig. 8

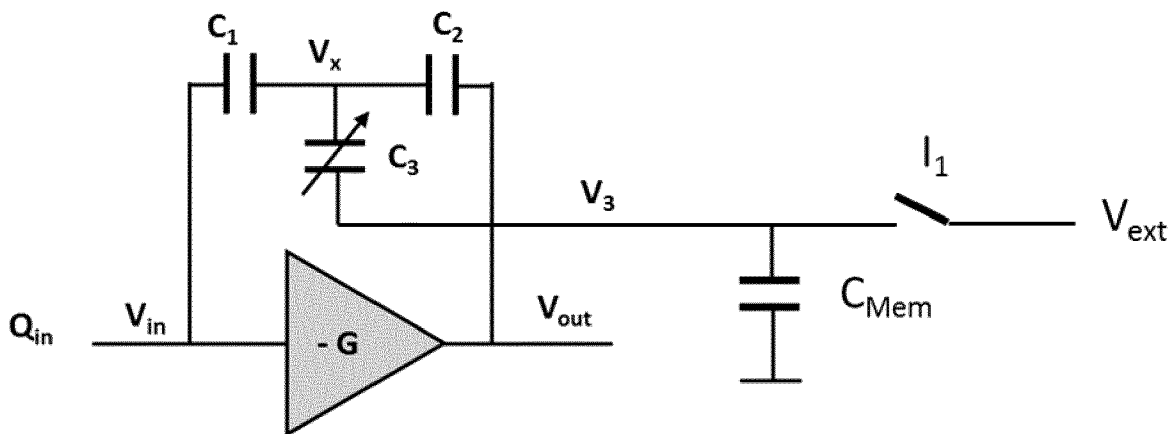


Fig. 9

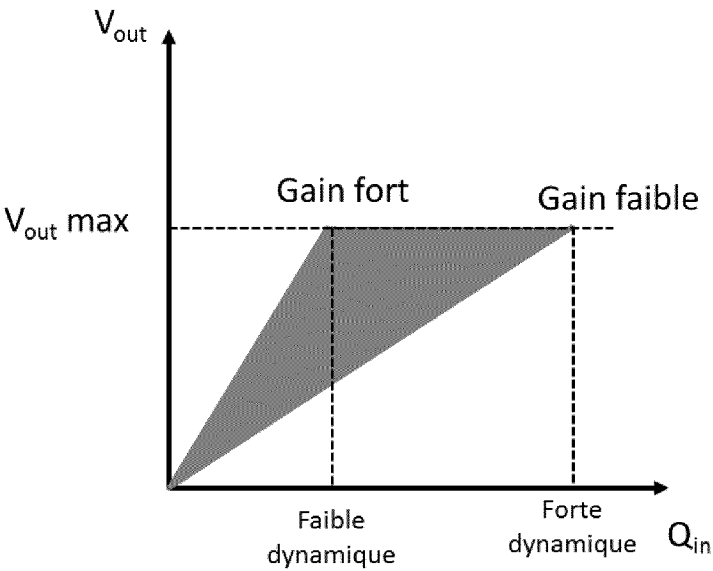


Fig. 10

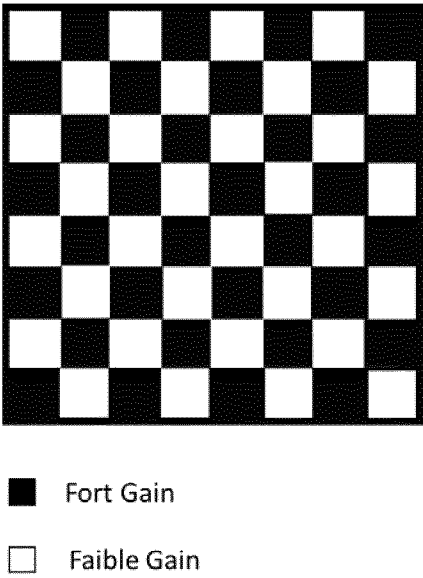


Fig. 11

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/079677

A. CLASSIFICATION OF SUBJECT MATTER INV. H03F3/70 H03F1/34 H03F3/08 H03G3/12 H03G1/00 ADD.														
According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03F H03G Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2007/007438 A1 (LIU XINQIAO CHIAO [US] ET AL) 11 January 2007 (2007-01-11) paragraph [0032] - paragraph [0033]; figures 5,6 paragraph [0035] - paragraph [0036]; figure 9</td> <td>1-13</td> </tr> <tr> <td>X</td> <td>US 2002/066848 A1 (FOWLER BOYD [US]) 6 June 2002 (2002-06-06) paragraph [0001] - paragraph [0002] paragraph [0024] - paragraph [0027]; figures 2,3</td> <td>1-13</td> </tr> <tr> <td>X</td> <td>US 6 339 363 B1 (FOWLER BOYD [US]) 15 January 2002 (2002-01-15) column 3, line 27 - column 4, line 21; figures 2, 3 -/--</td> <td>1-13</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2007/007438 A1 (LIU XINQIAO CHIAO [US] ET AL) 11 January 2007 (2007-01-11) paragraph [0032] - paragraph [0033]; figures 5,6 paragraph [0035] - paragraph [0036]; figure 9	1-13	X	US 2002/066848 A1 (FOWLER BOYD [US]) 6 June 2002 (2002-06-06) paragraph [0001] - paragraph [0002] paragraph [0024] - paragraph [0027]; figures 2,3	1-13	X	US 6 339 363 B1 (FOWLER BOYD [US]) 15 January 2002 (2002-01-15) column 3, line 27 - column 4, line 21; figures 2, 3 -/--	1-13
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X	US 2007/007438 A1 (LIU XINQIAO CHIAO [US] ET AL) 11 January 2007 (2007-01-11) paragraph [0032] - paragraph [0033]; figures 5,6 paragraph [0035] - paragraph [0036]; figure 9	1-13												
X	US 2002/066848 A1 (FOWLER BOYD [US]) 6 June 2002 (2002-06-06) paragraph [0001] - paragraph [0002] paragraph [0024] - paragraph [0027]; figures 2,3	1-13												
X	US 6 339 363 B1 (FOWLER BOYD [US]) 15 January 2002 (2002-01-15) column 3, line 27 - column 4, line 21; figures 2, 3 -/--	1-13												
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.														
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family														
Date of the actual completion of the international search		Date of mailing of the international search report												
9 January 2018		19/01/2018												
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Wienema, David												

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/079677

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/274873 A1 (LIU XINQIAO [US] ET AL) 15 December 2005 (2005-12-15) paragraph [0024]; figure 4 -----	1-13
X	US 2015/124135 A1 (HE XINPING [US]) 7 May 2015 (2015-05-07) paragraph [0026] - paragraph [0031]; figures 4,5 -----	1-13
A	US 5 724 312 A (OPPELT RALPH [DE]) 3 March 1998 (1998-03-03) column 13, line 51 - line 67; figure 15 -----	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/079677

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2007007438	A1	11-01-2007	NONE
US 2002066848	A1	06-06-2002	EP 1399746 A1 24-03-2004 US 2002066848 A1 06-06-2002 WO 0246779 A1 13-06-2002
US 6339363	B1	15-01-2002	US 6339363 B1 15-01-2002 WO 0247255 A1 13-06-2002
US 2005274873	A1	15-12-2005	US 2005274873 A1 15-12-2005 WO 2005123228 A2 29-12-2005
US 2015124135	A1	07-05-2015	NONE
US 5724312	A	03-03-1998	DE 19514308 A1 24-10-1996 DK 0738883 T3 17-03-2003 EP 0738883 A2 23-10-1996 ES 2186744 T3 16-05-2003 US 5724312 A 03-03-1998

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2017/079677

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H03F3/70 H03F1/34 H03F3/08 H03G3/12 H03G1/00 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) H03F H03G		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2007/007438 A1 (LIU XINQIAO CHIAO [US] ET AL) 11 janvier 2007 (2007-01-11) alinéa [0032] - alinéa [0033]; figures 5,6 alinéa [0035] - alinéa [0036]; figure 9 -----	1-13
X	US 2002/066848 A1 (FOWLER BOYD [US]) 6 juin 2002 (2002-06-06) alinéa [0001] - alinéa [0002] alinéa [0024] - alinéa [0027]; figures 2,3 -----	1-13
X	US 6 339 363 B1 (FOWLER BOYD [US]) 15 janvier 2002 (2002-01-15) colonne 3, ligne 27 - colonne 4, ligne 21; figures 2, 3 -----	1-13
X	US 2005/274873 A1 (LIU XINQIAO [US] ET AL) 15 décembre 2005 (2005-12-15) alinéa [0024]; figure 4 -----	1-13
-/-		
☒ Voir la suite du cadre C pour la fin de la liste des documents ☒ Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 9 janvier 2018		Date d'expédition du présent rapport de recherche internationale 19/01/2018
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Wienema, David

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2015/124135 A1 (HE XINPING [US]) 7 mai 2015 (2015-05-07) alinéa [0026] - alinéa [0031]; figures 4,5 -----	1-13
A	US 5 724 312 A (OPPELT RALPH [DE]) 3 mars 1998 (1998-03-03) colonne 13, ligne 51 - ligne 67; figure 15 -----	1

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2017/079677

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2007007438 A1	11-01-2007	AUCUN	
US 2002066848 A1	06-06-2002	EP 1399746 A1	24-03-2004
		US 2002066848 A1	06-06-2002
		WO 0246779 A1	13-06-2002
US 6339363 B1	15-01-2002	US 6339363 B1	15-01-2002
		WO 0247255 A1	13-06-2002
US 2005274873 A1	15-12-2005	US 2005274873 A1	15-12-2005
		WO 2005123228 A2	29-12-2005
US 2015124135 A1	07-05-2015	AUCUN	
US 5724312 A	03-03-1998	DE 19514308 A1	24-10-1996
		DK 0738883 T3	17-03-2003
		EP 0738883 A2	23-10-1996
		ES 2186744 T3	16-05-2003
		US 5724312 A	03-03-1998