

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294634
(P2005-294634A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/822	HO 1 L 27/04	4 M 1 O 4
HO 1 L 21/28	HO 1 L 21/28	3 O 1 S
HO 1 L 27/04		5 F O 3 8

審査請求 有 請求項の数 14 O L (全 12 頁)

(21) 出願番号	特願2004-109162 (P2004-109162)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成16年4月1日(2004.4.1)	(74) 代理人	100110858 弁理士 柳瀬 睦肇
		(74) 代理人	100110777 弁理士 宇都宮 正明
		(74) 代理人	100100413 弁理士 渡部 温
		(72) 発明者	齊木 隆行 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	大川 和彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

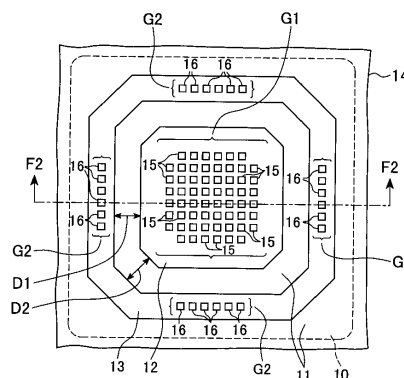
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 より縮小された領域に、ESD等の過剰電荷の放電域が大きく確保できる高性能の抵抗素子を有する半導体装置及びその製造方法を提供する。

【解決手段】 分離用絶縁膜11で隔てられたN型ウェル10において、さらにN型の不純物が高濃度に導入されたN型領域12, 13が形成されている。層間の絶縁膜14が形成され、複数の開孔を介してN型領域12上に複数の電極15を有する電極群G1、N型領域13上に複数の電極16を有する電極群G2が形成されている。N型領域12とN型領域13の関係は、島状の領域とそれを囲む環状の領域になる。島状の領域(12)と環状の領域(13)の間にあるN型ウェル10の環状の領域が抵抗Rとして機能し得る領域である。これにより、ESD等によって過剰に印加された電荷の放電路は、N型領域12の周囲(四方)均等に存在する構成となっている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基体と、

前記半導体基体に設けられた第 1 導電型の第 1 導電接続領域と、

前記半導体基体において前記第 1 導電接続領域を囲むように設けられた第 1 導電型の第 2 導電接続領域と、

前記第 1 導電接続領域上に設けられた複数の電極を有する第 1 電極群と、

前記第 2 導電接続領域上に設けられた複数の電極を有する第 2 電極群と、

を含む半導体装置。

【請求項 2】

第 1 導電型の半導体基体と、

前記半導体基体上に設けられた第 1 絶縁膜と、

前記第 1 絶縁膜で分離された中央部の第 1 導電型の第 1 導電接続領域及びその周囲の第 1 導電型の第 2 導電接続領域と、

前記第 1 導電接続領域及び前記第 2 導電接続領域上に設けられた第 2 絶縁膜と、

前記第 2 絶縁膜の複数の開孔を介して前記第 1 導電接続領域上に設けられた複数の電極を有する第 1 電極群と、

前記第 2 絶縁膜の複数の開孔を介して前記第 2 導電接続領域上に設けられた複数の電極を有する第 2 電極群と、

前記第 1 電極群における所定の複数電極と接続された第 1 配線パターンと、

前記第 2 電極群における所定の複数電極と接続された第 2 配線パターンと、

を含む半導体装置。

【請求項 3】

前記第 1 導電接続領域及び前記第 2 導電接続領域は、前記第 1 絶縁膜に隣接した所定領域を除いてシリサイド金属層が形成されている請求項 2 記載の半導体装置。

【請求項 4】

前記半導体基体は、半導体基板上に設けられたウェル領域の一つであり、かつ前記第 1 導電接続領域と前記第 2 導電接続領域の間が抵抗体として機能する請求項 1 ~ 3 いずれか一つに記載の半導体装置。

【請求項 5】

前記半導体基体は、半導体基板上に設けられたウェル領域の一つであり、かつ少なくとも前記第 1 導電接続領域の中心から四方がそれぞれ対称となるようなパターンを伴い前記第 1 導電接続領域と前記第 2 導電接続領域の間が抵抗体として機能する請求項 1 ~ 3 いずれか一つに記載の半導体装置。

【請求項 6】

前記第 1 電極群に関し、周辺の電極は四方で所定数個ずつ前記第 1 導電接続領域の縁部に最も近い距離で配列され、前記第 2 電極群の電極は、前記第 1 電極群の周辺の電極それぞれと対向するように、四方に所定数配列されている請求項 1 ~ 5 いずれか一つに記載の半導体装置。

【請求項 7】

前記第 1 電極群は、前記第 1 導電接続領域の中央から所定領域全域に分布し、そのうち周辺の電極は四方で所定数個ずつ前記第 1 導電接続領域の縁部に最も近い距離で配列され、前記第 2 電極群の電極は、少なくとも前記第 1 電極群の周辺の所定数個の電極それぞれと対向するように、所定数配列されている請求項 1 ~ 5 いずれか一つに記載の半導体装置。

【請求項 8】

前記第 1 導電接続領域は、四角形の四隅部分をなくした少なくとも四辺を有する平面形状を呈し、前記第 1 電極群は少なくとも前記四辺に沿ってそれぞれ所定数の電極が配列されるように準備され、前記第 2 電極群の電極は、少なくとも前記第 1 電極群の所定数個の電極それぞれと対向するように、所定数配列されている請求項 1 ~ 5 いずれか一つに記載の半導体装置。

10

20

30

40

50

【請求項 9】

前記第 1 導電接続領域と前記第 2 導電接続領域との距離は、前記第 1 電極群と前記第 2 電極群が対向する領域が他の領域よりも小さい請求項 1 ~ 8 いずれか一つに記載の半導体装置。

【請求項 10】

半導体基体上に環状の第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜をマスクに前記半導体基体の中央部に第 1 導電型の第 1 導電接続領域及びその周囲に第 1 導電型の第 2 導電接続領域を形成する工程と、

前記第 1 導電接続領域及び前記第 2 導電接続領域上に第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜の複数の開孔を介して前記第 1 導電接続領域上及び前記第 2 導電接続領域上にそれぞれ複数の電極を有する第 1 電極群及び第 2 電極群を形成する工程と、
を含む半導体装置の製造方法。 10

【請求項 11】

前記第 1 電極群における所定の複数電極と接続される第 1 配線パターン及び前記第 2 電極群における所定の複数電極と接続される第 2 配線パターンを形成する工程をさらに含む請求項 10 記載の半導体装置の製造方法。

【請求項 12】

前記半導体基体は、半導体基板上に設けられたウェル領域の一つであり、かつ少なくとも前記第 1 導電接続領域の中心から四方がそれぞれ対称となるような前記第 1 導電接続領域と前記第 2 導電接続領域の間の抵抗体を形成する請求項 10 または 11 記載の半導体装置
の製造方法。 20

【請求項 13】

前記第 1 絶縁膜に関し、内周は少なくとも長手の四辺を有する八角形状とし、外周は前記四辺と対向する四辺の領域を形成し少なくとも四隅領域より幅を小さくする請求項 10 ~ 12 いずれか一つに記載の半導体装置の製造方法。

【請求項 14】

前記第 2 絶縁膜を形成する工程の前に、少なくとも前記第 1 絶縁膜に隣接した前記第 1 導電接続領域及び前記第 2 導電接続領域の所定領域を覆うシリサイド化防止のための保護層を形成する工程と、前記所定領域を除いて前記第 1 導電接続領域及び前記第 2 導電接続領域上にシリサイド金属層を形成する工程と、をさらに含む請求項 10 ~ 13 いずれか一つ
に記載の半導体装置の製造方法。 30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体集積回路内で利用される保護抵抗素子を有する半導体装置及びその製造方法に関する。

【背景技術】**【0002】**

半導体集積回路の微細化に伴い、入出力トランジスタのサイズが小さくなると、ESD（静電気放電）によるゲート酸化膜破壊が生じ易くなる。静電保護対策としては、入出力トランジスタの前段において、入出力保護装置を併設する構成がある。例えば、寄生バイポーラトランジスタを含む入出力保護装置であり、パッドから ESD 等の過剰な電圧が伝達された場合に、バイポーラ動作によって電流を逃がし、入出力トランジスタを保護する（例えば、特許文献 1 参照）。 40

【特許文献 1】特開 2001 - 36006 号公報（第 3、第 4 頁、図 1）

【発明の開示】**【発明が解決しようとする課題】****【0003】**

入出力トランジスタのサイズあるいは構成によっては、入出力保護装置の併設が必須でない構成もあり、抵抗素子という安価な構成が静電保護に寄与する。入出力保護装置を設 50

置する構成であっても、パッドと入出力保護装置間、または入出力トランジスタ前段に抵抗素子を設けることは、適当な電圧降下を促す重要な構成である。これら抵抗素子の構成は様々であるが、拡散抵抗（ウェル抵抗）が一般的である。このような拡散抵抗に関し、放電対策が不十分で、好ましい構成とはいえず、改善の余地がある。

【0004】

上記拡散抵抗（ウェル抵抗）による抵抗素子は、他のトランジスタ素子等の形成工程と同時に作られるため、不純物濃度の単独調整は一般にしない。よって、接続される配線と配線との間の拡散領域における長さや幅で抵抗値の調整がなされる。これにより、制約された領域内での所望の抵抗素子形成が困難になる場合があった。また、放電路は単一方向であって、ESD等によって過剰に印加された電荷が抵抗を破壊する可能性があった。

10

【0005】

本発明は上記のような事情を考慮してなされたもので、より縮小された領域に、ESD等の過剰電荷の放電域が大きく確保できる安価で高性能の抵抗素子を有する半導体装置及びその製造方法を提供しようとするものである。

【課題を解決するための手段】

【0006】

本発明に係る半導体装置は、第1導電型の半導体基体と、前記半導体基体に設けられた第1導電型の第1導電接続領域と、前記半導体基体において前記第1導電接続領域を囲むように設けられた第1導電型の第2導電接続領域と、前記第1導電接続領域上に設けられた複数の電極を有する第1電極群と、前記第2導電接続領域上に設けられた複数の電極を有する第2電極群と、を含む。

20

【0007】

本発明に係る半導体装置は、第1導電型の半導体基体と、前記半導体基体上に設けられた第1絶縁膜と、前記第1絶縁膜で分離された中央部の第1導電型の第1導電接続領域及びその周囲の第1導電型の第2導電接続領域と、前記第1導電接続領域及び前記第2導電接続領域上に設けられた第2絶縁膜と、前記第2絶縁膜の複数の開孔を介して前記第1導電接続領域上に設けられた複数の電極を有する第1電極群と、前記第2絶縁膜の複数の開孔を介して前記第2導電接続領域上に設けられた複数の電極を有する第2電極群と、前記第1電極群における所定の複数の電極と接続された第1配線パターンと、前記第2電極群における所定の複数の電極と接続された第2配線パターンと、を含む。

30

【0008】

上記それぞれ本発明に係る半導体装置によれば、第1導電接続領域と第2導電接続領域の関係は、島状の領域とそれを囲む環状の領域になる。島状の領域と環状の領域の間にある環状の領域が抵抗として機能し得る領域である。これにより、ESD等によって過剰に印加された電荷の放電路は第1導電接続領域の周囲（四方）均等に存在する。

【0009】

また、前記第1絶縁膜で分離された第1導電接続領域及び第2導電接続領域に関し、好ましくは、前記第1絶縁膜に隣接した所定領域を除いてシリサイド金属層が形成されている。すなわち、表面にシリサイド金属層が形成されるものについては、上記抵抗として機能し得る領域の端部（縁部）領域において、電荷の集中を避けるためにシリサイド金属層を除いた領域が形成されている方がよい。

40

【0010】

上記それぞれ本発明に係る半導体装置において、前記半導体基体は、半導体基板上に設けられたウェル領域の一つであり、かつ前記第1導電接続領域と前記第2導電接続領域の間が抵抗体として機能する。他の素子形成の工程と同時に形成でき、製造効率、コストの面でも有利である。

また、上記それぞれ本発明に係る半導体装置において、少なくとも前記第1導電接続領域の中心から四方がそれぞれ対称となるようなパターンを伴い前記第1導電接続領域と前記第2導電接続領域の間が抵抗体として機能する。他の素子形成の工程と同時に形成でき、製造効率、コストの面でも有利である。さらに、パターンの第1電極群から四方がそ

50

れぞれ対称な抵抗素子を構成することが可能になる。これにより、第2電極群の接続構成の自由度が広がる。

【0011】

上記それぞれ本発明に係る半導体装置において、前記第1電極群に関し、周辺の電極は四方で所定数個ずつ前記第1導電接続領域の縁部に最も近い距離で配列され、前記第2電極群の電極は、前記第1電極群の周辺の電極それぞれと対向するように、四方に所定数配列されている。

【0012】

また、上記それぞれ本発明に係る半導体装置において、前記第1電極群は、前記第1導電接続領域の中央から所定領域全域に分布し、そのうち周辺の電極は四方で所定数個ずつ前記第1導電接続領域の縁部に最も近い距離で配列され、前記第2電極群の電極は、少なくとも前記第1電極群の周辺の所定数個の電極それぞれと対向するように、所定数配列されている。

10

【0013】

また、上記それぞれ本発明に係る半導体装置において、前記第1導電接続領域は、四角形の四隅部分をなくした少なくとも四辺を有する平面形状を呈し、前記第1電極群は少なくとも前記四辺に沿ってそれぞれ所定数の電極が配列されるように準備され、前記第2電極群の電極は、少なくとも前記第1電極群の所定数個の電極それぞれと対向するように、所定数配列されている。

【0014】

上記それぞれ本発明に係る半導体装置によれば、抵抗の両端部が、所定数個の電極の1対1対応で構成され、抵抗として優先的に働く領域が確立する。これにより、抵抗素子としてより設計し易い構成となる。なお、前記第1導電接続領域と前記第2導電接続領域の間の距離は、前記第1電極群と前記第2電極群が対向する領域が他の領域よりも小さいことも重要である。

20

【0015】

本発明に係る半導体装置の製造方法は、半導体基体上に環状の第1絶縁膜を形成する工程と、前記第1絶縁膜をマスクに前記半導体基体の中央部に第1導電型の第1導電接続領域及びその周囲に第1導電型の第2導電接続領域を形成する工程と、前記第1導電接続領域及び前記第2導電接続領域上に第2絶縁膜を形成する工程と、前記第2絶縁膜の複数の開孔を介して前記第1導電接続領域上及び前記第2導電接続領域上にそれぞれ複数の電極を有する第1電極群及び第2電極群を形成する工程と、を含む。

30

【0016】

上記本発明に係る半導体装置の製造方法によれば、第1導電接続領域と第2導電接続領域は、島状の領域とそれを囲む環状の領域として形成される。島状の領域と環状の領域の間にある環状の領域が抵抗として機能し得る領域となる。それぞれ複数の電極を有する第1電極群及び第2電極群を形成することにより、ESD等によって過剰に印加された電荷は第1導電接続領域の周囲（四方）均等に放電させることができる。

なお、好ましくは、前記第1電極群における所定の複数電極と接続される第1配線パターン及び前記第2電極群における所定の複数電極と接続される第2配線パターンを形成する工程をさらに含む。

40

【0017】

上記本発明に係る半導体装置の製造方法において、前記半導体基体は、半導体基板上に設けられたウェル領域の一つであり、かつ少なくとも前記第1導電接続領域の中心から四方がそれぞれ対称となるような前記第1導電接続領域と前記第2導電接続領域の間の抵抗体を形成する。これにより、第1電極群から四方がそれぞれ対称な抵抗素子の形成が可能となる。これにより、第2電極群の接続パターンの自由度が広がる。

【0018】

上記本発明に係る半導体装置の製造方法において、前記第1絶縁膜に関し、内周は少なくとも長手の四辺を有する八角形状とし、外周は前記四辺と対向する四辺の領域を形成し

50

少なくとも四隅領域より幅を小さくする。配線設計の構成上、また、抵抗素子としてより設計し易い構成となる。

【0019】

また、上記本発明に係る半導体装置の製造方法において、前記第2絶縁膜を形成する工程の前に、少なくとも前記第1絶縁膜に隣接した前記第1導電接続領域及び前記第2導電接続領域の所定領域を覆うシリサイド化防止のための保護層を形成する工程と、前記所定領域を除いて前記第1導電接続領域及び前記第2導電接続領域上にシリサイド金属層を形成する工程と、をさらに含む。すなわち、抵抗として機能し得る領域の端部（縁部）領域において、電荷の集中を避けるためにシリサイド化防止のための保護層を要する。

【発明を実施するための形態】

【0020】

図1は、本発明の第1実施形態に係る半導体装置の要部を示す平面図、図2は、図1のF2-F2線断面図である。

半導体基板上的N型の半導体基体、例えばN型ウェル10に、分離用絶縁膜11が形成されている。分離用絶縁膜11で隔てられたN型ウェル10において、さらにN型の不純物が高濃度に導入されたN型領域12, 13が形成されている。すなわち、中央部にN型領域12、その周囲をN型領域13が囲む形態である。層間の絶縁膜14が形成され、複数の開孔を介してN型領域12上に複数の電極15を有する電極群G1、N型領域13上に複数の電極16を有する電極群G2が形成されている。すなわち、N型領域12とN型領域13が互いにN型ウェル10による抵抗領域両端の導電接続領域となる。理想的な構成としては、N型領域12の中心から四方がそれぞれ対称となるようなパターンを伴い、N型領域12とN型領域13の間のN型ウェル10が抵抗体として機能する。

【0021】

N型領域12は、分離用絶縁膜11によって、四角形の四隅部分をなくした少なくとも四辺を有する平面形状を呈している。図では、長手の四辺を有する八角形状に近似している。また、N型領域13に関しても、分離用絶縁膜11によって、内周、外周とも長手の四辺を有する八角形状に近似している。N型領域12と13互いの四辺の対向距離D1は、少なくとも四隅領域の対向距離D2より小さくなっている。

【0022】

電極群G1は、N型領域12の中央から所定領域全域に分布している。電極15のうち、周辺の電極は四方で所定数個（ここでは6個）ずつN型領域12の縁部に最も近い距離で配列されている。電極群G2の各電極16は、上記電極群G1の周辺の各電極15それぞれと対向するように、四方に所定数個（ここでは6個）ずつ配列されている。なお、電極16は四方それぞれ所定数個（ここでは6個）が1列に並ぶ形態を示したが、これに限らず、所定数個（ここでは6個）が複数列に並ぶ形態であってもよい。

【0023】

図1及び図2の構成で示した抵抗素子の製造方法は次のようである。N型ウェル10上に少なくとも環状の分離用絶縁膜11を形成する。この分離用絶縁膜11に関し、内周は少なくとも長手の四辺を有する八角形状とし、外周は内周の四辺と対向する四辺の領域を形成する。四辺の対向領域は少なくとも四隅領域より幅を小さくする（ $D1 < D2$ ）。

【0024】

次に、分離用絶縁膜11をマスクにN型ウェル10の中央部及びその周囲にN型の不純物をイオン注入し、N型領域12, 13それぞれを形成する。イオン種や濃度は、同時に形成される図示しない他の半導体素子のN型領域によって決まる。次に、CVD（化学気相成長）技術等を利用して全面に層間の絶縁膜14を形成する。その後、フォトリソグラフィ工程、エッチング工程を経てN型領域12, 13それぞれの所定領域上に複数の開孔を形成する。これらも、図示しない他の半導体素子に係るコンタクト開孔と同一工程で形成される。

【0025】

次に、N型領域12上に複数の電極15を有する電極群G1、N型領域13上に複数の

10

20

30

40

50

電極 16 を有する電極群 G2 を形成する。これらも、図示しない他の半導体素子に係る配線工程と同一工程で形成される。配線工程が開孔を埋めるプラグの形成と配線層のパターニングからなるとすれば、上記電極群 G1, G2 が構成される。しかし、開孔を同時に埋める配線層のパターニングであれば、電極群 G1, G2 と共に配線パターンも同時に形成される構成となる。また、電極群 G2 のうち、上方に電極群 G1 と接続される配線パターンが通る領域に当たる電極 16 は、形成しない形態となる。あるいは、電極群 G1 と接続される配線パターンが電極群 G2 と接続される配線パターンより上層の配線パターンで形成されることが考えられる。

【0026】

上記実施形態の構成及び方法によれば、N型領域 12 と N型領域 13 の関係は、島状の領域とそれを囲む環状の領域になる。島状の領域 (12) と環状の領域 (13) の間にある N型ウェル 10 の環状の領域が抵抗 R として機能し得る領域である。これにより、ESD 等によって過剰に印加された電荷の放電路は、N型領域 12 の周囲 (四方) 均等に存在する構成となっている。これにより、ウェル領域の最小デザインルール、またはそれに近い占有領域においても、従来のもより抵抗素子としての実効幅 (長) が大きく確保できる。また、他の素子形成の工程と同時に形成でき、製造効率、コストの面でも有利である。これにより、安価な構成で電荷の集中を防ぐことができ、破壊され難い高信頼性の抵抗素子を実現できる。さらに、パターンの中心から四方がそれぞれ対称な抵抗素子を構成することが可能になる。これにより、電極群 G2 の接続構成の自由度が広がる。すなわち、多層の配線パターンを用いるなどして電極群 G2 の要部または全部を活用することができる。

【0027】

図 3 は、図 1 の構成が抵抗素子として半導体集積回路に組み込まれるための配線パターンを付加した平面図である。また、図 4 (a), (b) は、IC チップ周辺の入出力系で、保護用の抵抗素子を含む回路図である。

図 3 において、配線パターン 18 は、N型領域 12 上の複数の電極 15 と接続されている。配線パターン 19 は、N型領域 13 上の四方に分かれたうちの領域に配された複数の電極 16 と接続されている。配線パターン 18, 19 は、電極 15, 16 と同一工程で形成されてもよい。その際、少なくとも上方に電極群 G1 と接続される配線パターン 18 が通る領域に当たる電極 16 (破線で示す電極群 G2) は、形成しない形態となる。また、配線パターン 18, 19 は、必ずしも同一層で構成されていなくてもよい。すなわち、電極群 G1 と接続される配線パターン 18 は、電極群 G2 と接続される配線パターン 19 より上層の配線パターンとして形成される。すなわち、配線層に合わせて電極群を積み上げることで、異なる配線層のパターンによる構成が可能である。

【0028】

図 4 (a) において、半導体チップにおける信号線の一つは、パッド PAD から保護用の抵抗素子 R1 を介してバッファ回路 BF1 と繋がり、内部回路に導かれている。バッファ回路 BF1 は、信号の入力回路や出力回路、または入出力回路である。保護用の抵抗素子 R1 に、図 3 のような構成を用いることによって、安価で高性能、高信頼性の保護抵抗素子を有する回路が配備できる。

【0029】

図 4 (b) において、半導体チップにおける信号線の一つは、パッド PAD から保護用の抵抗素子 R21, R22 を介してバッファ回路 BF2 と繋がり、内部回路に導かれている。バッファ回路 BF2 は、信号の入力回路、出力回路、または入出力回路である。バッファ回路 BF2 のサイズが小さく、静電破壊され易いため抵抗素子 R21 と R22 の間のノードと接地電位 GND 間に ESD 保護回路が設けられている。保護用の抵抗素子 R21, R22 に、図 3 のような構成を用いることによって、安価でより信頼性の向上した保護抵抗素子を有する回路が配備できる。

【0030】

図 5 (a), (b) は、それぞれ第 1 実施形態に関する変形例の構成を示す平面図であ

る。図3と同一の符号を付して説明する。

N型領域12上の電極群G1について、実質的に抵抗素子としての電極として作用するのはN型領域12周囲の電極である。従って、図5(a)では、中央領域A1には電極15を配さず、周囲2列の電極15を配する構成としている。また、図5(b)では、中央領域A2には電極15を配さず、周囲1列の電極15を配する構成としている。

【0031】

このように、N型領域12上の電極群G1は、必ずしも中央から所定領域全域に分布するような構成でなくてもよい。電極群G1は、少なくともN型領域12周辺の四辺に沿ってそれぞれ所定数の電極15が配列されていることが重要である。しかも、N型領域12と13互いの四辺の対向距離D1は、少なくとも四隅領域の対向距離D2より小さくしてある。かつ、好ましくは、N型領域13上の電極群G2は、電極群G1における最前列の所定数個の電極それぞれと1対1で対向するように、所定数個配列されている。すなわち、抵抗の両端部が、所定数個の電極の1対1対応で構成され、抵抗として優先的に働く領域が確立する。これにより、抵抗素子としてより設計し易い構成となる。

【0032】

図6は、本発明の第2実施形態に係る半導体装置の要部を示す平面図、図7は、図6のF7-F7線断面図である。第1実施形態と同様の箇所には図1、図2と同一の符号を付している。

この第2実施形態では、第1実施形態に比べて、N型領域12, 13のシリサイド化工程が付加され、所定領域にシリサイド金属層21が設けられている。その他の構成は第1実施形態と同様であるため、説明は省略する。シリサイド金属層21は、N型領域12, 13上において、分離用絶縁膜11に隣接した所定領域を除いて配置されている。抵抗として機能し得る領域の端部(縁部)領域においては、電荷の集中を避けるため、シリサイド金属層を除いた領域が形成されている方がよいからである。理想的な構成としては、N型領域12の中心から四方がそれぞれ対称となるようなパターンを伴い、N型領域12とN型領域13の間のN型ウェル10が抵抗体として機能する。

【0033】

上記電荷の集中を回避する構成実現のため、シリサイドプロテクト領域PROTを表している。シリサイドプロテクト領域PROTは、N型領域12, 13上のシリサイド化を阻止するために設けられる絶縁膜である。シリサイドプロテクト領域PROTは、その配置に多少合わせずれがあっても、シリサイド金属層21の形成領域がN型領域12と13で同じようにずれるだけである。よって、シリサイド金属層21が形成され低抵抗になる領域12s, 13s全体のバランスは保持できる。

【0034】

図6及び図7の構成で示した抵抗素子の製造方法は次のようである。N型ウェル10上に少なくとも環状の分離用絶縁膜11を形成する。この分離用絶縁膜11に関し、内周は少なくとも長手の四辺を有する八角形状とし、外周は内周の四辺と対向する四辺の領域を形成する。四辺の対向領域は少なくとも四隅領域より幅を小さくする($D1 < D2$)。

【0035】

次に、分離用絶縁膜11をマスクにN型ウェル10の中央部及びその周囲にN型の不純物をイオン注入し、N型領域12, 13それぞれを形成する。イオン種や濃度は、同時に形成される図示しない他の半導体素子のN型領域によって決まる。次に、CVD(化学気相成長)技術等を利用して絶縁膜を形成し、フォトリソグラフィ工程、エッチング工程を経てシリサイドプロテクト領域PROTとしてパターンニングする。シリサイドプロテクト領域PROTは、層間の絶縁膜と同様の絶縁膜でもよいし、他の膜でもよい。いずれにしても図示しない他の半導体素子の製造工程に準じた工程(シリサイドプロテクト工程)で形成されることが望ましい。

【0036】

次に、CVD(化学気相成長)技術等を利用して全面に層間の絶縁膜14を形成する。その後、フォトリソグラフィ工程、エッチング工程を経てN型領域12, 13それぞれの

10

20

30

40

50

所定領域上に複数の開孔を形成する。これらも、図示しない他の半導体素子に係るコンタクト開孔と同一工程で形成される。

【0037】

次に、N型領域12上に複数の電極15を有する電極群G1、N型領域13上に複数の電極16を有する電極群G2を形成する。これらも、図示しない他の半導体素子に係る配線工程と同一工程で形成される。配線工程が開孔を埋めるプラグの形成と配線層のパターニングからなるとすれば、上記電極群G1、G2が構成される。しかし、開孔を同時に埋める配線層のパターニングであれば、電極群G1、G2と共に配線パターンも同時に形成される構成となる。また、電極群G2のうち、上方に電極群G1と接続される配線パターンが通る領域に当たる電極16は、形成しない形態となる。あるいは、電極群G1と接続される配線パターンが電極群G2と接続される配線パターンより上層の配線パターンで形成されることが考えられる。配線パターンを形成した構成は図示しないが、例えば図3において説明した配線パターン18、19と同様に形成される。

10

【0038】

上記実施形態の構成及び方法によれば、第1実施形態と同様の効果が得られる。すなわち、島状のN型領域12と環状のN型領域13の間にあるN型ウェル10の環状の領域が抵抗Rとして機能し得る領域である。これにより、ESD等によって過剰に印加された電荷の放電路は、N型領域12の周囲(四方)均等に存在する構成となっている。また、抵抗Rとして機能し得る領域の端部(縁部)領域においては、電荷の集中を避けるため、シリサイド金属層21が除かれた領域が形成されている。これにより、ウェル領域の最小デザインルール、またはそれに近い占有領域においても、従来のもより抵抗素子としての実効幅(長)が大きく確保できる。また、他の素子形成の工程と同時に形成でき、製造効率、コストの面でも有利である。これにより、安価な構成で電荷の集中を防ぐことができ、破壊され難い高信頼性の抵抗素子を実現できる。さらに、パターニング的に電極群G1の中心から四方がそれぞれ対称な抵抗素子を構成することが可能になる。これにより、電極群G2の接続構成の自由度が広がる。すなわち、多層の配線パターンを用いるなどして電極群G2の要部または全部を活用することができる。

20

【0039】

なお、上記第2実施形態の構成においても、図5(a)、(b)で示したような変形例の構成を採用することも十分考えられ、その効果が同様に期待できる。また、図4(a)

30

(b)で示したような、ICチップ周辺の入出力系の回路前段に配される保護用の抵抗素子に採用すれば、安価で高性能、高信頼性の保護抵抗素子を有する回路が配備できる。また、各実施形態において、半導体基板上のN型ウェル(10)を基体としたウェル抵抗を示したが、これに限らず、P型ウェルを基体としたウェル抵抗を構成してもよい。また、ウェルが形成される基板はSOI(silicon on insulator)基板であることも考えられる。

【0040】

以上説明したように本発明によれば、小さい占有面積しか与えられないウェル抵抗の構成であっても、放電対策が十分改善された抵抗素子を実現できる。すなわち、ウェル抵抗を、島状の導電接続領域と環状の導電接続領域の間にある環状の領域で機能させる。この結果、より縮小された領域に、ESD等の過剰電荷の放電域が大きく確保できる安価で高性能の抵抗素子を有する半導体装置及びその製造方法を提供することができる。

40

【図面の簡単な説明】

【0041】

【図1】第1実施形態に係る半導体装置の要部を示す平面図。

【図2】図1のF2-F2線断面図。

【図3】図1の構成に配線パターンを付加した平面図。

【図4】それぞれICチップ周辺の入出力系で保護用の抵抗素子を含む回路図。

【図5】それぞれ第1実施形態に関する変形例の構成を示す平面図。

【図6】第2実施形態に係る半導体装置の要部を示す平面図。

50

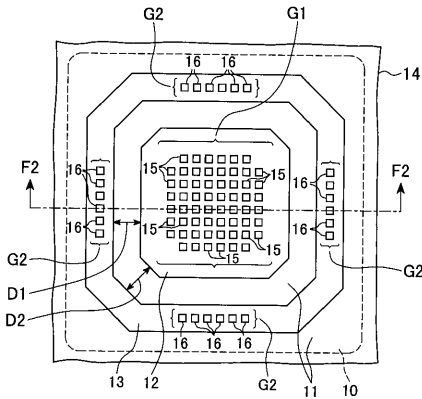
【図7】図6のF7 - F7線断面図。

【符号の説明】

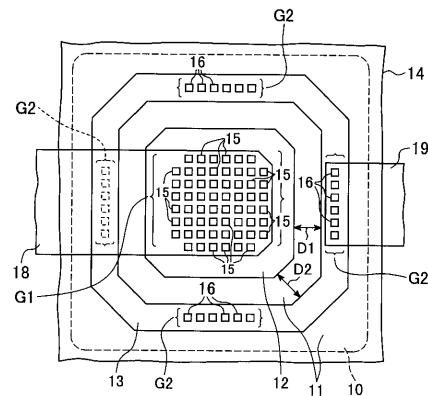
【0042】

10...N型ウェル、11...分離用絶縁膜、12, 13...N型領域、14...絶縁膜、15, 16...電極、18, 19...配線パターン、21...シリサイド金属層、G1, G2...電極群、R1, R21, R22...抵抗素子、BF1, BF2...バッファ回路、A1, A2...中央領域、PROT...シリサイドプロテクト領域。

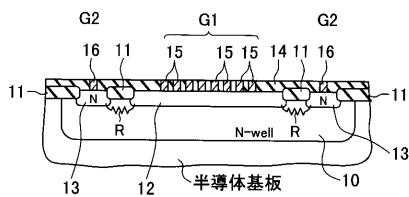
【図1】



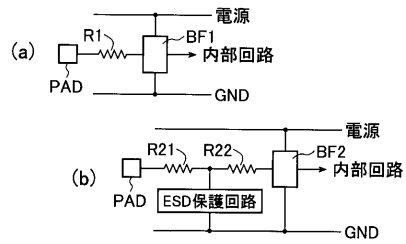
【図3】



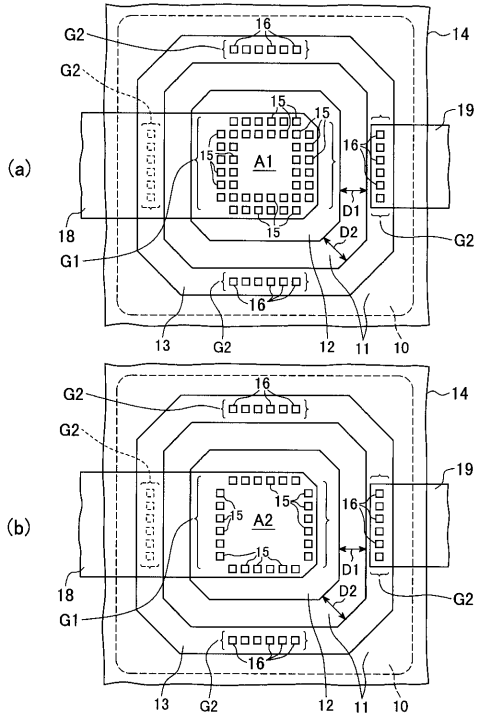
【図2】



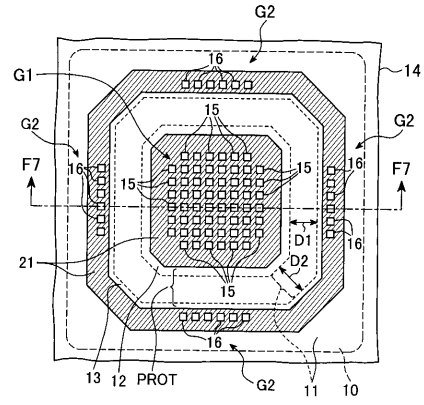
【図4】



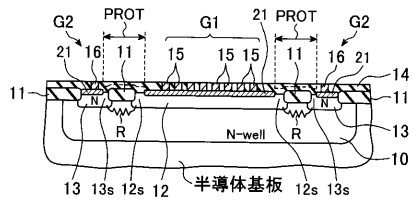
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

Fターム(参考) 4M104 AA01 AA09 BB19 CC01 FF01 GG19
5F038 AR01 AR13 AR14 AR16 BH02 BH13 CA10 EZ06 EZ13 EZ20