

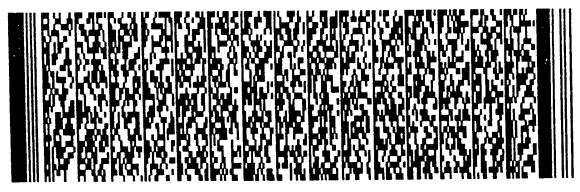
公告本

| | | | |
|-------|------------------------|-----|----------|
| 申請日期： | Po. 2. 5 | 案號： | 9010231P |
| 類別： | HOLL ²³ /60 | | |

(以上各欄由本局填註)

發明專利說明書 483143

| | | |
|------------|--------------------|---|
| 一、 發明名稱 | 中文 | 適用於靜電放電防護的電壓控制元件及其相關電路 |
| | 英文 | |
| 二、 發明人 | 姓名 (中文) | 1. 林耿立 2. 柯明道 |
| | 姓名 (英文) | 1. Geeng-Lih Lin 2. Ming-Dou Ker |
| | 國籍 | 1. 中華民國 2. 中華民國 |
| | 住、居所 | 1. 新竹縣竹東鎮中興路二段658巷10弄1號6樓之1 2. 新竹市東區高峰里8鄰寶山路200巷3號4樓之三 |
| 三、 申請人 | 姓名 (名稱) (中文) | 1. 世界先進積體電路股份有限公司 |
| | 姓名 (名稱) (英文) | 1. Vanguard International Semiconductor Corporation |
| | 國籍 | 1. 中華民國 |
| | 住、居所 (事務所) | 1. 新竹科學工業園區新竹縣園區三路123號 |
| | 代表人 姓名 (中文) | 1. 張忠謀 |
| | 代表人 姓名 (英文) | 1. |



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

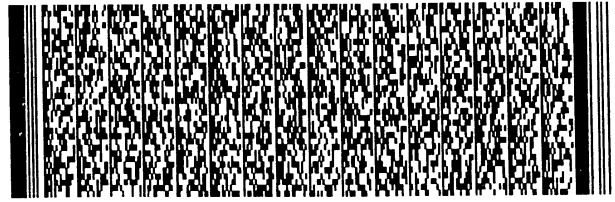
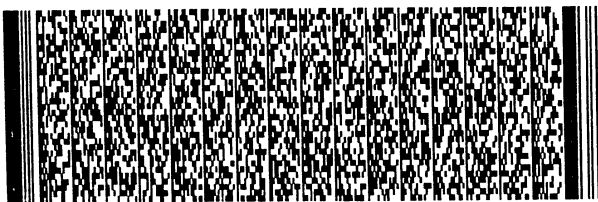
無

五、發明說明 (1)

本發明係有關於一種靜電放電(electrostatic discharge, ESD)防護元件以及其相關之ESD防護電路與ESD防護系統。

隨著製程技術的進步，ESD之耐受力已經是積體電路(integrated circuit, IC)可靠度的主要考量之一。尤其是半導體製程技術進入深次微米時代(deep submicron regime)後，縮小尺寸(scaled-down)的電晶體、較淺的摻雜接面深度、較薄的閘氧化層、輕摻雜之汲極結構(lightly-doped drain, LDD)、淺溝隔離(shallow trench isolation, STI)製程以及金屬矽化物(salicide)製程等，對於ESD應力而言都是比較脆弱的。因此，在IC的輸出入埠便必須設置ESD防護電路，用以保護IC中的元件免於遭受ESD損害。

第1A圖為一習知的ESD防護電路，係使用一NMOS(N-type Metal oxide semiconductor transistor)NE作為主要的ESD防護元件。NE的閘極與源極相接。第1B圖為第1A圖中的NMOS電晶體之電壓電流曲線圖。因為NE為一個加強式(enhance-mode)NMOS，於一般正常操作時，NE為關閉狀態，所以外界的電訊信號可以透過輸出入(input/output)接合墊10而進入內部電路12。當一相對於VSS為正脈衝的ESD事件發生於I/O接合墊10時，NE之汲極電壓超過觸發電壓 V_{trig} ，即為NE的汲極(drain)與基極(substrate)之間的接面崩潰電壓，觸發了寄生於NE中的雙接面電晶體。在ESD應力破壞內部電路中的元件之



五、發明說明 (2)

前，釋放ESD電流。

然而，經由一般的CMOS製程所製造，NMOS的汲極與基極之間的接面崩潰電壓通常高達10多伏特。如此的高電壓對於先進的製程所製作出的閘極絕緣層都是難以忍受的。因此，如何降低觸發電壓 V_{trig} 便成為此類ESD防護電路之主要課題。

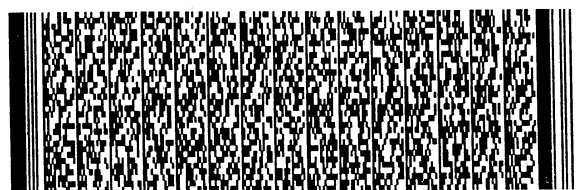
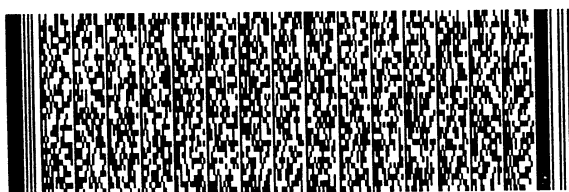
第2A圖以及第2B圖為兩個習知具有較低觸發電壓的NMOS剖面示意圖。藉由離子佈值，在源極與汲極的N+摻雜區下形成一崩潰觸發層(20或22)。崩潰觸發層(20或22)的目的在於形成一個相對於原本N+摻雜層16與P型基底18所形成之PN接面更為容易崩潰的PN接面，也就是降低了NMOS之汲極對基極的崩潰電壓。如此，可以加速寄生於NMOS之BJT的開啟時間，避免ESD應力破壞了內部電路中之元件。

習知的ESD防護電路亦有運用SCR來作為主要的ESD防護元件。SCR在一般的工作狀態時，呈現關閉的狀態。當ESD事件發生時，SCR才會被觸發而釋放ESD電流。而如何降低SCR的觸發電壓 V_t ，往往也是使用SCR為防護元件的主要課題。

本發明的目的，在於可以完全不用考慮習知的ESD防護元件所要面對的觸發電壓之問題。

本發明的另一目的，在於使整個積體電路的接合墊，都可獲得良好的ESD防護。

根據上述之目的，本發明提出一種ESD防護元件，適用於一積體電路，耦合於一第一接合墊與一第二接合墊之

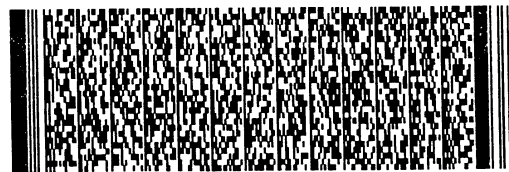
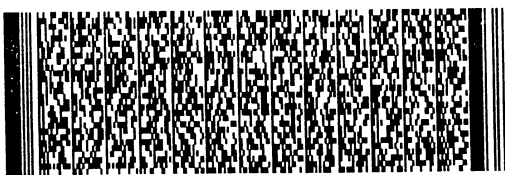


五、發明說明 (3)

間。當一工作電源供給該積體電路電源時，該防護元件呈現關閉狀態。當該工作電源不供給該積體電路電源時，該防護元件呈現保持導通(always on)狀態，可以釋放發生於該第一接合墊與該第二接合墊之間的一ESD事件所產生之電流。

本發明另提出一種適用於一積體電路之ESD防護電路，連接於一第一接合墊以及一第二接合墊之間。該ESD防護電路包含有一ESD防護元件以及一偏壓產生器。該ESD防護元件，連接於該第一接合墊以及該第二接合墊之間。當一工作電源提供該積體電路電源時，該偏壓產生器用以控制該靜電防護元件呈現關閉狀態。相反的，當該積體電路並未被提供電源時，該靜電防護元件為開啟(always on)狀態，可以釋放發生於該第一接合墊與該第二接合墊之間的一ESD事件所產生之電流。

本發明另提出一種ESD防護系統，適用於一積體電路。該積體電路包含有複數個接合墊Pad1...PadN以及複數個電源供應墊。該防護系統包含有一ESD匯流線(ESD bus line)、複數個ESD防護元件D1...DN以及一偏壓產生器。每一ESD防護元件Dn連接於一相對應之Padn與該ESD匯流線之間。當一工作電源供給該積體電路電源時，該偏壓產生器用以提供一預設電壓，以關閉D1...DN。當該工作電源不供給該積體電路電源時，D1...DN呈現保持導通(always conductive)狀態，可以釋放發生於一Padx與一Pady之間的一ESD事件所產生之電流。



五、發明說明 (4)

本發明中之ESD防護元件可以是P型是N型的空乏式(depletion-mode)金氧半電晶體(metal oxide semiconductor transistor, MOS)。

本發明之優點在於，ESD電流可以輕易的透過本發明之ESD防護元件而釋放。在工作電源尚未接到積體電路時，ESD防護元件總是呈現開啟或是導通的狀態。因此，在沒有工作電源之狀態下，ESD電流可以輕易的透過本發明之ESD防護元件而釋放。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1A圖為一習知的ESD防護電路；

第1B圖為第1A圖中的NMOS電晶體之電壓電流曲線圖；

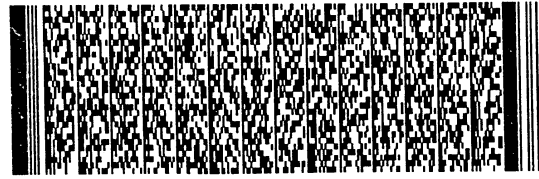
第2A圖以及第2B圖為兩個習知具有較低觸發電壓的NMOS剖面示意圖；

第3圖為本發明之一ESD防護電路圖；

第4A圖到第4C圖為作為本發明的ESD防護元件之潛藏式通道NMOS以及一般NMOS的製程示意圖；

第5A圖到第5C圖為運用本發明之初級(primary)ESD防護電路或次級(secondary)ESD防護電路。

第6A圖到第6C圖為本發明同時運用於I/O接合墊與VDD/VSS之間的ESD防護電路的三個實施例；



五、發明說明 (5)

第7圖為依據本發明，以空乏型PMOS實施一ESD防護電路圖；以及

第8圖為本發明提供之一ESD防護系統示意圖。

符號說明：

| | |
|----------------|----------------|
| 10 輸出入接合墊 | 12 內部電路 |
| 14、32 偏壓產生器 | |
| 16 N+ 摻雜區 | 18 P型基底 |
| 19 本發明之ESD防護電路 | 20、22 崩潰觸發層 |
| 24、42 空乏型NMOS | 26 潛藏式通道 |
| 28 光阻層 | 30 場氧化層 |
| 40 ESD匯流線 | 60 一般的NMOS元件區域 |
| 62 空乏型NMOS元件區域 | |

實施例：

第3圖為本發明之一ESD防護電路圖。本發明之ESD防護電路19設於一積體電路中，包含有一空乏型的NMOS(DN) 24作為主要的ESD防護元件，以及一偏壓產生器14。DN 24的汲極與源極分別耦合到I/O接合墊10與VSS。DN 24的閘極受偏壓產生器14控制。

當一工作電源供應給積體電路時，偏壓產生器14會產生一個低於VSS的電壓，用來關閉DN 24。此時，I/O接合墊10上的電訊信號便可以進入內部電路12，進行正常的操作。

當工作電源沒有供應給積體電路時，DN 24之閘極的



五、發明說明 (6)

偏壓為0。由於空乏型NMOS的臨界電壓(threshold voltage)是低於0伏特。因此，DN 24總是呈現開啟或是導通的狀態。換句話說，當沒有工作電源時，I/O接合墊10與VSS之間掛上了一個等效的電阻。任何在I/O接合墊與VSS之間的應力，都可以使此等效電阻產生導通電流。當然的，於ESD事件時，此等效電阻更可以有效的釋放ESD電流，達到保護內部電路12的目的。

ND 24可以為表面型通道之MOS或是潛藏式通道之MOS。對ESD防護而言，潛藏式通道之MOS相對的將會是比較好的選擇，因為其具有比較寬大的電流導通路徑，可以較有效的散發ESD事件時所產生的能量。

第4A圖到第4C圖為作為ESD防護元件之潛藏式通道NMOS以及一般NMOS的製程示意圖。左半邊為一般的NMOS元件60，右半邊為本發明所使用的空乏型NMOS元件62。在一般的CMOS製程流程中，都有調整NMOS臨界電壓(V_t)的離子佈值製程。因此，可以利用 V_t 佈值時所使用的光阻層28a將ESD防護元件的區域62遮著，而對一般的NMOS元件之區域60進行離子佈值，如第4A圖所示。製程中可以加入一道ESD離子佈值製程以及相關的微影製程，利用光阻層28b將一般的NMOS區域60擋住，對ESD防護元件的區域62進行離子佈值，如第4B圖所示。之後，在P基底的表面上形成閘結構以及LDD結構的源/汲極，使一般的NMOS以及作為ESD防護用之NMOS趨於完整，如第4C圖所示。ESD離子佈值製程中的佈值能量以及濃度可以調整ESD防護用的NMOS的臨



五、發明說明 (7)

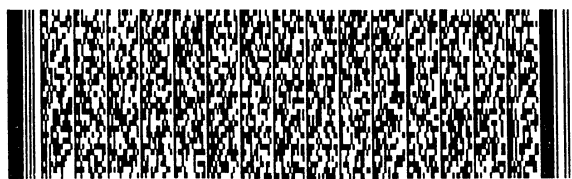
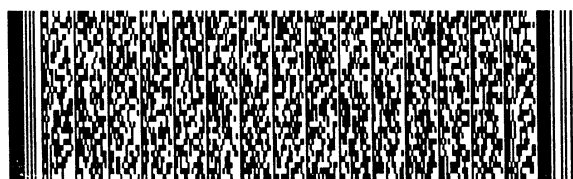
界電壓以及其通道深度。只要適當的控制ESD離子佈值製程，便可以同時形成空乏式NMOS以及潛藏式通道NMOS。如第4C圖所示，ESD防護用的NMOS之導電通道26位於表面之下，所以稱為潛藏式通道NMOS；而一般的NMOS是表面式通道NMOS。

空乏型NMOS可以使用於初級(primary)ESD防護電路或是次級(secondary)ESD防護電路。如第5A圖到第5C圖所示。

第5A圖為本發明之空乏型NMOS使用於初級ESD防護電路的示意圖。初級ESD防護電路必須直接耦合到一個接合墊，第5A圖中的DN1之汲極直接耦合到I/O接合墊10，而I/O接合墊10與內部電路12之間串有一電阻R。當積體電路沒有接上工作電源時，DN1為導通狀態。VSS接地時，不論是在I/O接合墊10上為正或負的ESD脈衝，ESD電流可以透過導通的DN1加以釋放。當積體電路接上工作電壓時，偏壓產生器14提供一低於VSS的負電壓以關閉DN1。I/O接合墊10上的信號可以進入內部電路12。

第5B圖為將本發明運用於次級ESD防護電路的示意圖。初級ESD防護電路是以一個閘極耦合到源極的加強式NMOS EN1所構成。電阻R連接在I/O接合墊10與作為次級ESD防護電路的空乏式NMOS DN2之間。DN2可以分擔一些EN1於ESD事件時的電流，並具有極低的導通電壓，因此可以更為有效地保護內部電路。

第5C圖為將本發明同時運用於初級與次級ESD防護電



五、發明說明 (8)

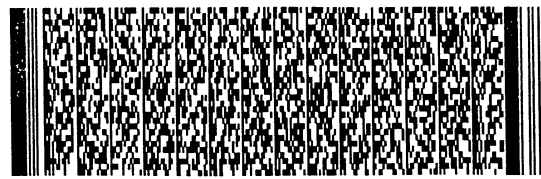
路的示意圖。初級ESD防護電路使用了空乏式NMOS DN1，而次級ESD防護電路則使用了空乏式NMOS DN2。DN1與DN2的閘極均受偏壓產生器14控制，確保工作電源提供積體電路電源時，DN1與DN2都是關閉狀態。

除了提供I/O接合墊10到VSS之間的ESD防護外，相同的概念，本發明亦可同時提供I/O接合墊10到VDD與VSS之間的ESD防護。請參閱第6A圖到第6C圖，第6A圖到第6C圖為本發明運用於I/O接合墊到VDD與VSS之間的ESD防護電路的三個實施例。空乏式NMOS DNH連接於VDD與I/O接合墊10之間，其閘極受偏壓產生器14的控制。沒有工作電源時，可以釋放I/O接合墊10到VDD之間的ESD電流。有工作電源時，DNH為關閉狀態。

除了運用空乏式NMOS之外，本發明亦可以運用空乏式PMOS作為ESD防護元件，如第7圖所示。第7圖類似第3圖。空乏式PMOS DPL連接於I/O接合墊10與VSS之間，其閘極受偏壓產生器32的控制。一樣的，沒有工作電源供電時，DPL呈現導通的狀態，可以釋放ESD電流。而有工作電源供電時，偏壓產生器32提供一個高於工作電源之最高電壓（一般為VDD）的電壓，使DPL關閉。

相同的道理，第5圖以及第6圖中的空乏式NMOS均可以換成空乏式PMOS。只是偏壓產生器，在有工作電源供電時，所提供的電壓由低於VSS的電壓，改成高於VDD的電壓。

第8圖為本發明所提供的ESD防護系統示意圖。積體電

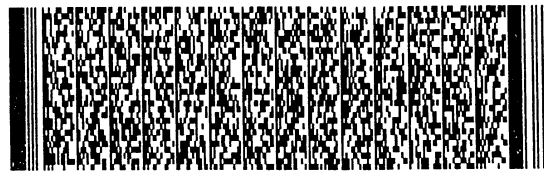
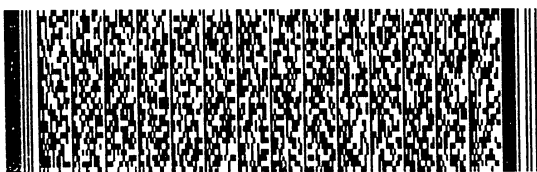


五、發明說明 (9)

路包含有複數個接合墊，其中可能包含有輸出入接合墊 I/O1、I/O2...、VDD1、VDD2...、VSS1、VSS2... 等等。ESD 防護系統使用了一個 ESD 匯流線 (bus line) 40。複數個空乏型 NMOS DN1-DNn 分別連接在接合墊與 ESD 匯流線 40 之間。ESD 匯流線一般是以一寬大的金屬線，環繞整個積體電路晶片所構成，以方便連接到大部分的接合墊。

譬如說，當一 ESD 事件發生於接合墊 I/O1 以及 I/O2 之間時，ESD 電流將會透過相連的 DN1、DN2 以及 ESD 匯流線而釋放，以保護積體電路中之元件。當工作電源正常供電時，DN1-DNn 的閘極都接受偏壓產生器 14 所產生的負電壓而呈現關閉的狀態。因此，每個接合墊都可以正常的運作。

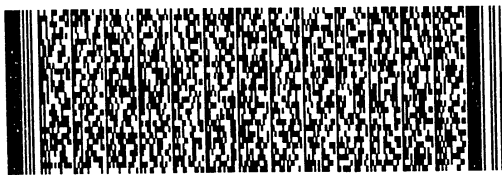
本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：適用於靜電放電防護的電壓控制元件及其相關電路)

本發明提出一種ESD防護元件與其相關之電路，適用於一積體電路，耦合於一第一接合墊與一第二接合墊之間。當一工作電源供給該積體電路電源時，一偏壓產生器提供一偏壓電壓，使該防護元件呈現關閉狀態。當該工作電源不供給該積體電路電源時，該防護元件呈現保持導通(always on)狀態，可以釋放發生於該第一接合墊與該第二接合墊之間的一ESD事件所產生之電流。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種靜電放電(electrostatic discharge, ESD)防護元件，適用於一積體電路，耦合於一第一接合墊與一第二接合墊之間，當一工作電源供給該積體電路電源時，該防護元件呈現關閉狀態，當該工作電源不供給該積體電路電源時，該防護元件呈現保持導通狀態，可以釋放發生於該第一接合墊與該第二接合墊之間的一ESD事件所產生之電流。

2. 如專利申請範圍第1項之防護元件，其中，該防護元件係受控於一偏壓產生器，於該工作電源供給該積體電路電源時，該偏壓產生器提供一預設電壓，以關閉該防護元件。

3. 如專利申請範圍第1項之防護元件，其中，該防護元件係為一空乏式(depletion-mode)金氧半電晶體(metal oxide semiconductor transistor, MOS)。

4. 如專利申請範圍第3項之防護元件，其中，該空乏型MOS係為一潛藏式通道(buried-channel)元件。

5. 如專利申請範圍第3項之防護元件，其中，該空乏型MOS係為一表面式通道(surface-channel)元件。

6. 如專利申請範圍第3項之防護元件，其中，該空乏型MOS係為一N型空乏式MOS。

7. 如專利申請範圍第3項之防護元件，其中，該空乏型MOS係為一P型空乏式MOS。

8. 一種適用於一積體電路之靜電放電(electrostatic discharge, ESD)防護電路，連接於一第一接合墊以及一



六、申請專利範圍

第二接合墊之間，包含有：

一ESD防護元件，連接於該第一接合墊以及該第二接合墊之間；以及

一偏壓產生器，當一工作電源提供該積體電路電源時，用以控制該靜電防護元件呈現關閉狀態；

其中，當該工作電源沒提供該積體電路時，該靜電防護元件為開啟狀態，可以釋放發生於該第一接合墊與該第二接合墊之間的一ESD事件所產生之電流。

9. 如專利申請範圍第8項之ESD防護電路，其中，該ESD防護電路係為一初級ESD防護電路，直接連接於該第一接合墊與該第二接合墊之間。

10. 如專利申請範圍第8項之ESD防護電路，其中，該ESD防護電路係為一次級ESD防護電路，透過一電阻，連接至該第一接合墊。

11. 如專利申請範圍第8項之ESD防護電路，其中，該ESD防護元件係為一空乏式(depletion-mode)金氧半電晶體(metal oxide semiconductor transistor, MOS)。

12. 如專利申請範圍第11項之ESD防護電路，其中，該空乏型MOS係為一潛藏式通道元件。

13. 如專利申請範圍第11項之ESD防護電路，其中，該空乏型MOS係為一表面式通道元件。

14. 如專利申請範圍第11項之ESD防護電路，其中，該空乏型MOS係為一N型空乏式MOS。

15. 如專利申請範圍第14項之ESD防護電路，其中，於



六、申請專利範圍

該工作電源供給該積體電路電源時，該偏壓產生器提供一預設負電壓予該N型空乏式MOS之一閘極，以關閉該該N型空乏式MOS。

16. 如專利申請範圍第11項之ESD防護電路，其中，該空乏型MOS係為一P型空乏式MOS。

17. 如專利申請範圍第16項之ESD防護電路，其中，於該工作電源供給該積體電路電源時，該偏壓產生器提供一預設正電壓予該P型空乏式MOS之一閘極，以關閉該該P型空乏式MOS。

18. 一種ESD防護系統，適用於一積體電路，該積體電路包含有複數個接合墊Pad1...PadN，該防護系統包含有：
一ESD匯流線(ESD bus line)；

複數個ESD防護元件D1...DN，每一ESD防護元件Dn連接於一相對應之Padn與該ESD匯流線之間；以及

一偏壓產生器，當一工作電源供給該積體電路電源時，用以提供一預設電壓，以關閉D1...DN；

其中，當該工作電源不供給該積體電路電源時，D1...DN呈現保持導通狀態，可以釋放發生於一Padx與一Pady之間的一ESD事件所產生之電流。

19. 如專利申請範圍第18項之ESD防護系統，其中，Dn係為一空乏式(deletion-mode)金氧半電晶體(metal oxide semiconductor transistor, MOS)。

20. 如專利申請範圍第19項之ESD防護系統，其中，該空乏型MOS係為一潛藏式通道元件。



六、申請專利範圍

21. 如專利申請範圍第19項之ESD防護系統，其中，該空乏型MOS係為一表面式通道元件。

22. 如專利申請範圍第19項之ESD防護系統，其中，該空乏型MOS係為一N型空乏式MOS。

23. 如專利申請範圍第19項之ESD防護系統，其中，該空乏型MOS係為一P型空乏式MOS。

24. 如專利申請範圍第19項之ESD防護系統，其中，該預設電壓係提供至D1...DN之控制閘，以關閉D1...DN。

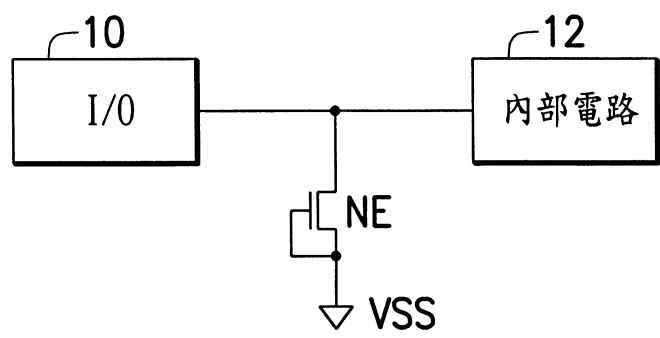
25. 如專利申請範圍第18項之ESD防護系統，其中，該ESD匯流線係為一金屬線。

26. 如專利申請範圍第18項之ESD防護系統，其中，Padx係為一電源接合墊。

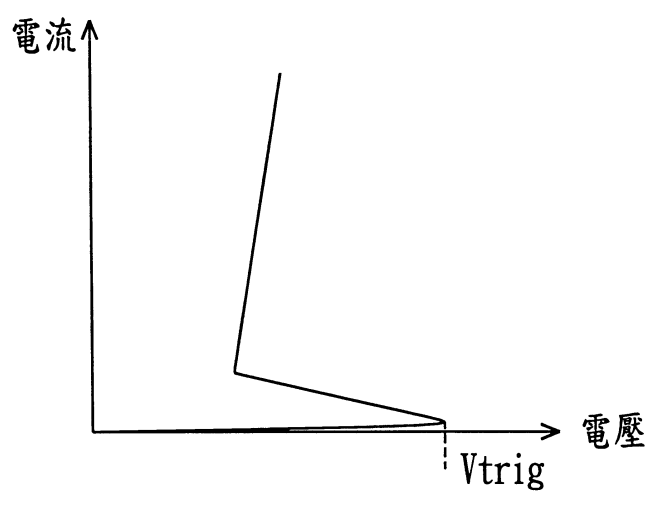
27. 如專利申請範圍第18項之ESD防護系統，其中，Padx係為一輸出入接合墊。



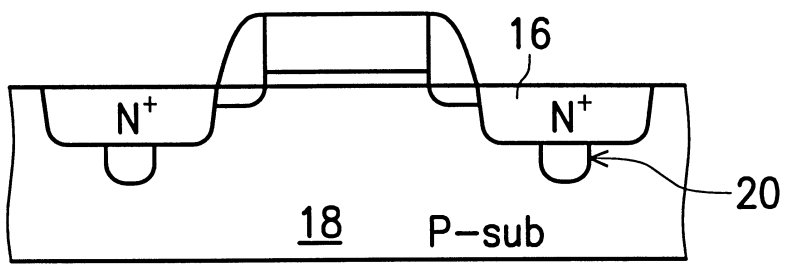
Polozhif.



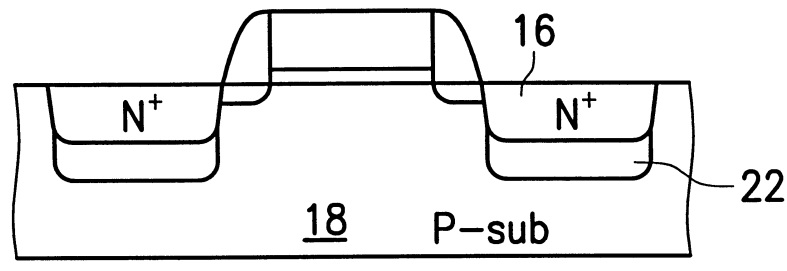
第 1A 圖



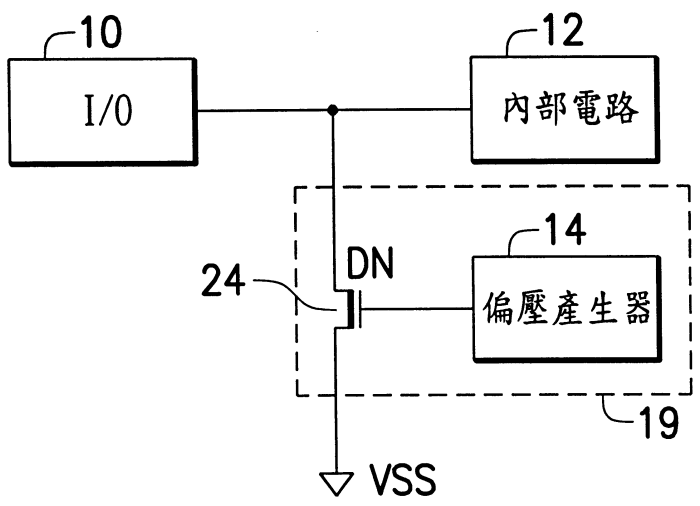
第 1B 圖



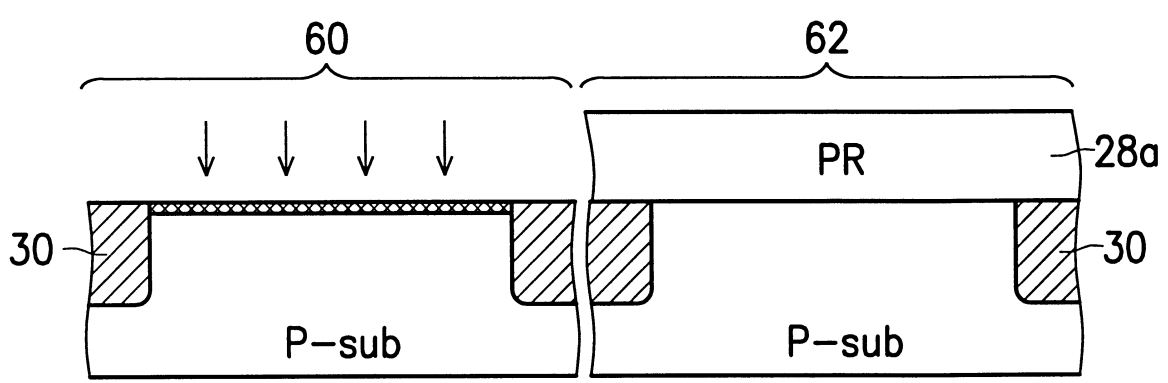
第 2A 圖



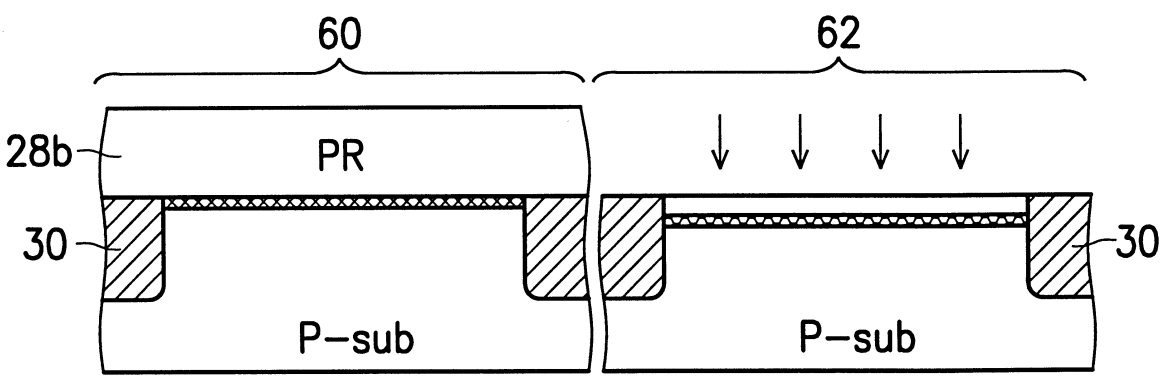
第 2B 圖



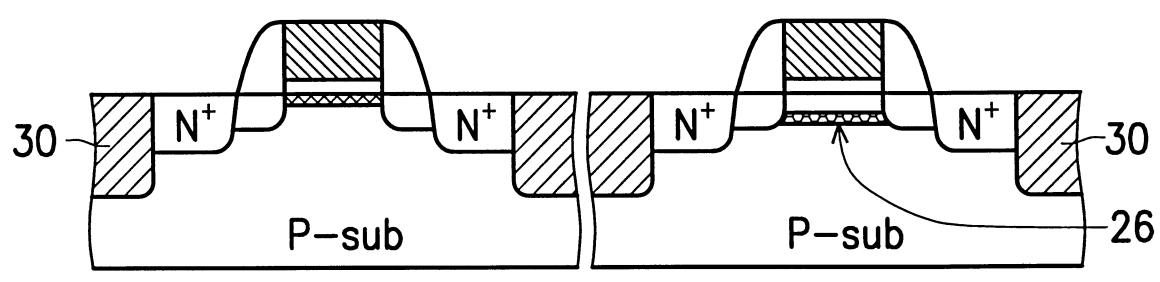
第 3 圖



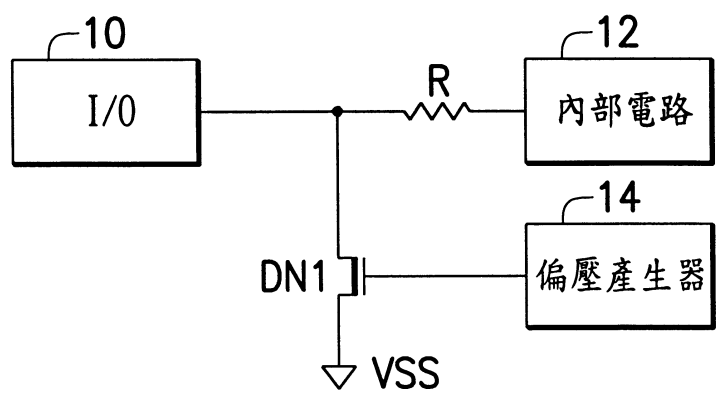
第4A圖



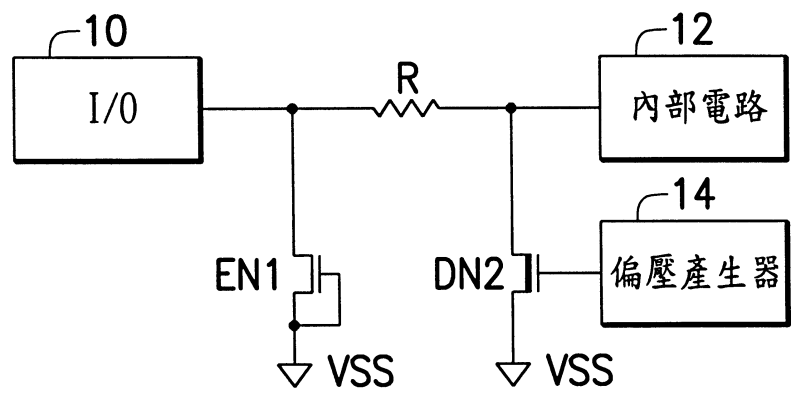
第4B圖



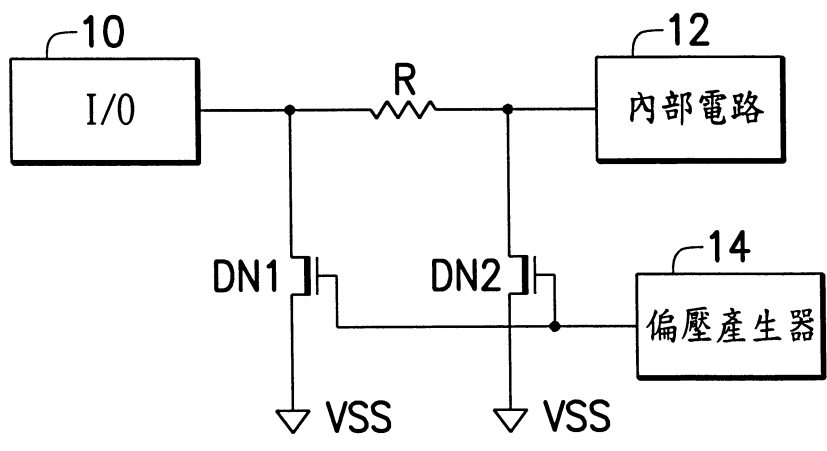
第4C圖



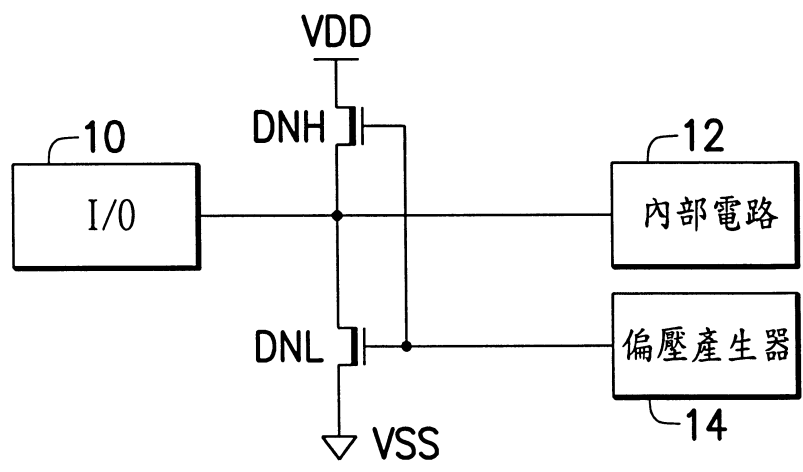
第5A圖



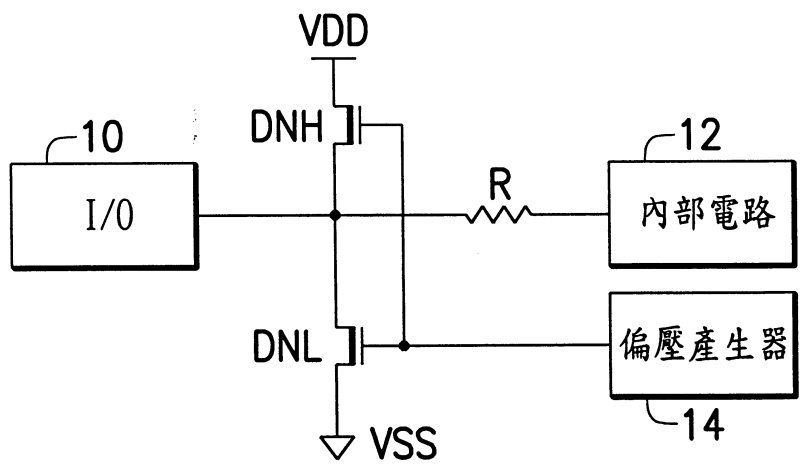
第5B圖



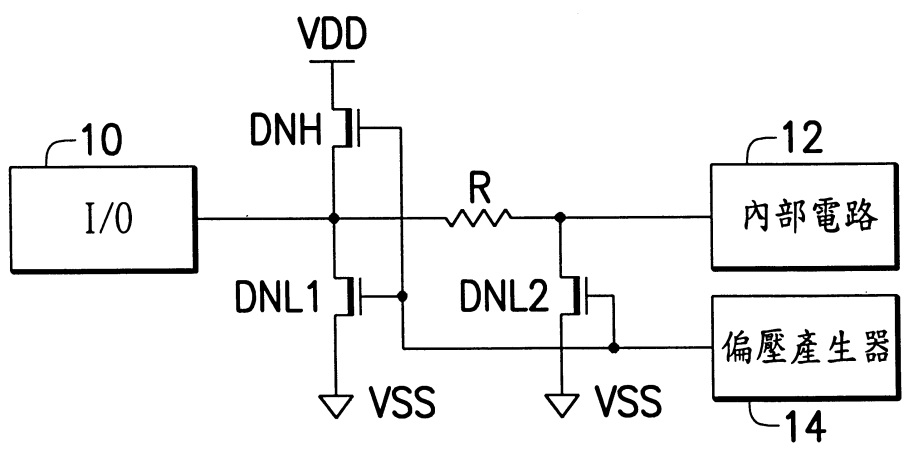
第5C圖



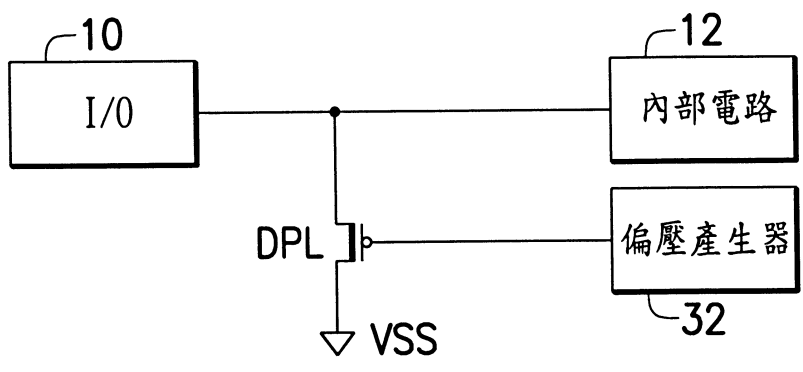
第 6A 圖



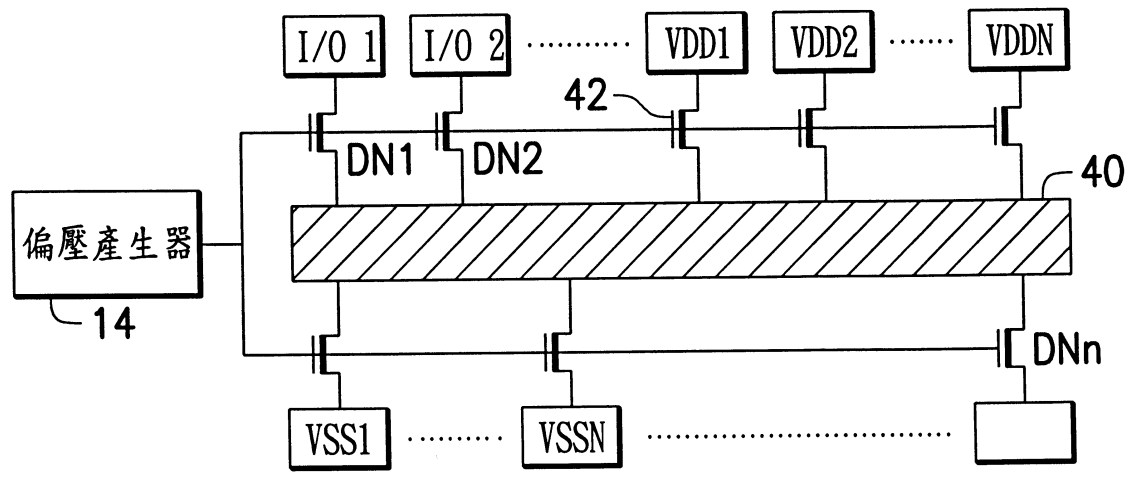
第 6B 圖



第 6C 圖



第 7 圖



第 8 圖