

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7343607号

(P7343607)

(45)発行日 令和5年9月12日(2023.9.12)

(24)登録日 令和5年9月4日(2023.9.4)

(51)国際特許分類

F I

H 0 1 L	21/28 (2006.01)	H 0 1 L	21/28	A
H 0 1 L	21/205 (2006.01)	H 0 1 L	21/205	
H 0 1 L	21/20 (2006.01)	H 0 1 L	21/20	
H 0 1 L	33/32 (2010.01)	H 0 1 L	33/32	
H 0 1 S	5/343(2006.01)	H 0 1 S	5/343	6 1 0

請求項の数 31 (全21頁) 最終頁に続く

(21)出願番号 特願2021-553694(P2021-553694)  
 (86)(22)出願日 令和2年10月29日(2020.10.29)  
 (86)国際出願番号 PCT/JP2020/040692  
 (87)国際公開番号 WO2021/085556  
 (87)国際公開日 令和3年5月6日(2021.5.6)  
 審査請求日 令和4年4月25日(2022.4.25)  
 (31)優先権主張番号 特願2019-196342(P2019-196342)  
 (32)優先日 令和1年10月29日(2019.10.29)  
 (33)優先権主張国・地域又は機関  
 日本国(JP)

(73)特許権者 000006633  
 京セラ株式会社  
 京都府京都市伏見区竹田鳥羽殿町6番地  
 (74)代理人 110000338  
 弁理士法人 HARAKENZO WOR  
 LD PATENT & TRADEMA  
 RK  
 (72)発明者 村川 賢太郎  
 京都府京都市伏見区竹田鳥羽殿町6番地  
 京セラ株式会社内  
 審査官 佐藤 靖史

最終頁に続く

(54)【発明の名称】 半導体素子および半導体素子の製造方法

(57)【特許請求の範囲】

【請求項1】

窒化ガリウムを有する半導体素子であって、

第1領域および前記第1領域より突出した帯状の凸部または前記第1領域より凹んだ帯状の凹部である第2領域を含む第1面を有する半導体層を備え、

前記第1面のうち、前記第1領域または前記第2領域の表面の少なくとも一方は、(000-1)面方位および(1-100)面方位とは異なる面方位を含む結晶面を有しており、

前記半導体層は、前記第1面と対向する第2面をさらに有しており、

前記第2面はリッジを有し、

前記凸部は、互いに異なる面方位からなる3以上の結晶面を有している、半導体素子。

【請求項2】

請求項1に記載の半導体素子であって、

前記第1面のうち、前記第1領域または前記第2領域の表面の少なくとも一方は、前記第2面が有する面方位に対向した面方位と異なる面方位を含む結晶面を有している、半導体素子。

【請求項3】

請求項1または2に記載の半導体素子であって、

前記凸部の前記3以上の結晶面のうち1つは、(000-1)面方位および(1-100)面方位を含む結晶面である、半導体素子。

10

20

## 【請求項 4】

請求項 1 ~ 3 のいずれかに記載の半導体素子であって、  
前記第 1 領域の表面は、前記第 2 領域の表面と異なる面方位を含む結晶面を有している、半導体素子。

## 【請求項 5】

請求項 1 ~ 3 のいずれかに記載の半導体素子であって、  
前記第 1 領域の表面は、前記第 2 領域の表面と同一の面方位を含む結晶面を有している、半導体素子。

## 【請求項 6】

請求項 1 ~ 5 のいずれかに記載の半導体素子であって、  
前記第 1 面の前記第 1 領域および前記第 2 領域に配された第 1 電極を、さらに備える、半導体素子。

10

## 【請求項 7】

請求項 6 に記載の半導体素子であって、  
前記第 1 電極は、n 型電極である、半導体素子。

## 【請求項 8】

請求項 1 ~ 7 のいずれかに記載の半導体素子であって、  
前記第 2 面に配された第 2 電極をさらに有している、半導体素子。

## 【請求項 9】

請求項 1 ~ 8 のいずれかに記載の半導体素子であって、  
前記第 1 領域の表面は、(0 0 0 - 1) 面方位である、半導体素子。

20

## 【請求項 10】

請求項 1 ~ 9 のいずれかに記載の半導体素子であって、  
前記第 2 領域の表面は、(0 0 0 - 1) 面方位である、半導体素子。

## 【請求項 11】

請求項 1 ~ 10 のいずれかに記載の半導体素子であって、  
前記第 1 面は、前記第 2 領域と、前記第 2 領域を挟んだ複数の第 1 領域を有している、半導体素子。

## 【請求項 12】

請求項 11 に記載の半導体素子であって、  
前記複数の第 1 領域の表面は、(0 0 0 - 1) 面方位および(1 - 1 0 0) 面方位とは異なる面方位を含む結晶面を有している、半導体素子。

30

## 【請求項 13】

請求項 1 ~ 11 のいずれかに記載の半導体素子であって、  
前記第 1 領域の表面は、(0 0 0 - 1) 面方位および(1 - 1 0 0) 面方位とは異なる面方位を含む結晶面を有している、半導体素子。

## 【請求項 14】

請求項 6 または 7 に記載の半導体素子であって、  
前記第 1 電極と前記第 1 領域との接触領域は、前記第 1 電極と前記第 2 領域との接触領域よりも大きい、半導体素子。

40

## 【請求項 15】

請求項 6 または 7 に記載の半導体素子であって、  
前記第 1 電極と前記第 1 領域との接触領域において、(0 0 0 - 1) 面方位または(1 - 1 0 0) 面方位を含む結晶面の面積は、(0 0 0 - 1) 面方位および(1 - 1 0 0) 面方位とは異なる面方位を含む結晶面の面積よりも小さい、半導体素子。

## 【請求項 16】

請求項 6 または 7 に記載の半導体素子であって、  
前記第 1 電極と前記第 2 領域との接触領域において、(0 0 0 - 1) 面方位または(1 - 1 0 0) 面方位を含む結晶面の面積は、(0 0 0 - 1) 面方位および(1 - 1 0 0) 面方位とは異なる面方位を含む結晶面の面積よりも小さい、半導体素子。

50

## 【請求項 17】

請求項 16 に記載の半導体素子であって、  
前記凹部は、互いに異なる面方位から成る複数の結晶面を有している、半導体素子。

## 【請求項 18】

請求項 17 に記載の半導体素子であって、  
前記凹部の前記複数の結晶面のうち 1 つは、 $(000-1)$  面方位および  $(1-100)$  面方位を含む結晶面である、半導体素子。

## 【請求項 19】

請求項 1 ~ 18 のいずれかに記載の半導体素子であって、  
前記第 1 領域は、粗面領域をさらに有している、半導体素子。

10

## 【請求項 20】

基板を準備する工程と、  
前記基板の第 1 面上に窒化ガリウムを有する半導体層を形成する工程と、  
前記半導体層を前記基板から剥離する工程と、を備え、  
前記半導体層を前記基板から剥離するときに、剥離面が  $(000-1)$  面方位および  $(1-100)$  面方位とは異なる面方位を含む結晶面となるように剥離する、半導体素子の製造方法。

## 【請求項 21】

請求項 20 に記載の半導体素子の製造方法であって、  
前記半導体層を前記基板から剥離するときに、前記半導体層に接続している前記基板の一部とともに、前記半導体層を剥離する、半導体素子の製造方法。

20

## 【請求項 22】

請求項 21 に記載の半導体素子の製造方法であって、  
前記半導体層を前記基板から剥離するときに、前記半導体層の一部が前記基板上に残存するように、前記半導体層を剥離する、半導体素子の製造方法。

## 【請求項 23】

請求項 20 ~ 22 のいずれかに記載の半導体素子の製造方法であって、  
前記半導体層を形成する前に、前記基板の前記第 1 面上に、前記半導体層の成長の起点になる領域を露出させつつマスクを形成する工程を、さらに備え、  
前記半導体層は、前記領域から前記マスクの表面に沿って成長する、半導体素子の製造方法。

30

## 【請求項 24】

請求項 23 に記載の半導体素子の製造方法であって、  
前記マスクの表面のうち前記半導体層が成長する表面は、凹凸を有している、半導体素子の製造方法。

## 【請求項 25】

窒化ガリウムを有する半導体素子であって、  
第 1 領域および前記第 1 領域に隣接した第 2 領域を含む第 1 面を有する、基板を起点にエピタキシャル成長させた半導体層を、備え、  
前記第 2 領域は、前記基板から分離したときに形成される剥離面であり、  
前記剥離面は、 $(000-1)$  面方位および  $(1-100)$  面方位とは異なる面方位を含む結晶面を有している、半導体素子。

40

## 【請求項 26】

請求項 25 に記載の半導体素子であって、  
前記第 2 領域は、前記第 1 領域よりも突出する凸部を有し、  
前記凸部は、第 1 凸領域と、前記第 1 凸領域よりも不純物濃度の少ない第 2 凸領域を有している、半導体素子。

## 【請求項 27】

請求項 26 に記載の半導体素子であって、  
前記第 1 凸領域は、前記第 2 凸領域よりも先端に位置している、半導体素子。

50

## 【請求項 28】

請求項 26 に記載の半導体素子であって、  
前記凸部は、第 1 凸領域と、前記第 1 凸領域よりも転位密度の少ない第 2 凸領域を有している、半導体素子。

## 【請求項 29】

請求項 26 に記載の半導体素子であって、  
前記凸部は、前記第 1 凸領域と前記第 2 凸領域とが接続した接続部を有しており、  
前記接続部の転位密度は、前記第 1 凸領域よりも大きい、半導体素子。

## 【請求項 30】

請求項 27 に記載の半導体素子であって、  
前記凸部は、前記第 1 凸領域と前記第 2 凸領域とが接続した接続部を有しており、  
前記接続部の転位密度は、前記第 2 凸領域よりも大きい、半導体素子。

10

## 【請求項 31】

請求項 26 に記載の半導体素子であって、  
前記第 1 凸領域は、前記第 2 凸領域よりも広い、半導体素子。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本開示は、Ga<sub>n</sub>N 系半導体からなる半導体素子および半導体素子の製造方法に関する。

## 【背景技術】

20

## 【0002】

従来の半導体素子および半導体素子の製造方法は、たとえば特許文献 1 に記載されている。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【文献】特開 2011-66398 号公報

## 【発明の概要】

## 【0004】

本開示の半導体素子は、窒化ガリウムを有する半導体素子であって、第 1 領域および前記第 1 領域より突出した帯状の凸部または前記第 1 領域より凹んだ帯状の凹部である第 2 領域を含む第 1 面を有する半導体層を備え、前記第 1 面のうち、前記第 1 領域または前記第 2 領域の表面の少なくとも一方は、(000-1) 面方位および(1-100) 面方位とは異なる面方位を含む結晶面を有している。

30

## 【0005】

また本開示の半導体素子の製造方法は、基板を準備する工程と、前記基板の第 1 面上に窒化ガリウムを有する半導体層を形成する工程と、前記半導体層を前記基板から剥離する工程と、を備え、前記半導体層を前記基板から剥離するときに、剥離面が(000-1) 面方位および(1-100) 面方位とは異なる面方位を含む結晶面となるように剥離する。

## 【0006】

40

また本開示の半導体素子は、窒化ガリウムを有する半導体素子であって、第 1 領域および前記第 1 領域に隣接した第 2 領域を含む第 1 面を有する、基板を起点にエピタキシャル成長させた半導体層を、備え、前記第 2 領域は、前記基板から分離したときに形成される剥離面であり、前記剥離面は、(000-1) 面方位および(1-100) 面方位とは異なる面方位を含む結晶面を有している。

## 【図面の簡単な説明】

## 【0007】

本開示の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

【図 1】本開示の一実施形態の半導体素子を模式的に示す断面図である。

50

【図 2】本開示の半導体素子の製造方法を説明するための図である。

【図 3】ベース基板 1 の開口部付近の断面形状を示す拡大写真である。

【図 4】ベース基板 1 の開口部付近の断面形状を示す拡大写真である。

【図 5 A】ベース基板 1 の第 1 ベース面上に堆積抑制マスクが積層された状態を模式的に示す断面図である。

【図 5 B】堆積抑制マスク上に半導体層が形成された状態を模式的に示す断面図である。

【図 5 C】半導体層にリッジが形成された状態を模式的に示す断面図である。

【図 5 D】リッジを有する半導体層の平面部に n 型絶縁層が形成された状態を模式的に示す断面図である。

【図 5 E】リッジおよび絶縁層上に p 型電極が積層された状態を模式的に示す断面図である。

10

【図 5 F】p 型電極上に電極パッドが積層された状態を模式的に示す断面図である。

【図 5 G】堆積抑制マスクが除去された状態を模式的に示す断面図である。

【図 5 H】ベース基板から分離された半導体レーザ素子を表裏反転した状態を模式的に示す断面図である。

【図 5 I】半導体レーザ素子の第 2 ベース面上に n 型電極が積層された状態を模式的に示す断面図である。

【図 5 J】一对の共振器面が端面コートされた状態を模式的に示す断面図である。

【図 5 K】n 型電極を介して半導体レーザ素子が実装基板に接合された状態を模式的に示す断面図である。

20

【図 6】図 5 H の上方から見た半導体層の拡大写真である。

【図 7】本開示の一実施形態の半導体素子を模式的に示す断面図である。

【発明を実施するための形態】

【0008】

まず、本開示に係る半導体素子および半導体素子に製造方法が基礎とする構成について説明する。

【0009】

従来、半導体素子および半導体素子の製造方法は、たとえば前述の特許文献 1 に記載されるように、C 面サファイア基板および (111) 面方位のシリコン基板等の GaN 系半導体とは異なる物質からなるベース基板に、複数のストライプ状の開口を有するマスク層を形成し、開口から露出するベース基板の表面上に GaN 系半導体層を (0001) 面方位に選択成長させて、GaN 系半導体素子を製造する。

30

【0010】

このような半導体素子の製造方法により製造された GaN 系半導体層には電極が形成されるが、電極の GaN 系半導体に対するオーミック接触性などには、改善の余地があった。

【0011】

以下、本開示の実施形態について、図面を参照しつつ説明する。図面は図解を容易にするため、模式的に示されている。

【0012】

(第 1 実施形態)

40

図 1 は本開示の一実施形態の半導体素子を示す断面図である。本実施形態の半導体素子 S は、GaN 系半導体から成り、GaN 系半導体の (0001) 面方位 ((0001) 面 32 に垂直な方向) に結晶成長した結晶構造を有する。また、後述の図 2 に示すように、ベース基板 1 の一方主面である平面状の第 1 ベース面 1a に対向する、GaN 系半導体の (000-1) 面方位の第 1 面 31 を有する。第 1 面 31 は、平面状の第 1 領域 W1 と、第 1 領域 W1 よりも突出した第 2 領域 W2 とを有している。したがって、第 1 面 31 は、(000-1) 面とは異なる面方位を含む 3 つの結晶面 10a, 10b, 10c (第 2 領域 W2) と、これらの結晶面 10a, 10b, 10c の <11-20> 方向 (図 1 の左右方向) に位置する 2 つの窒素極性面 (以下、「N 面」ともいう) 10d, 10e (第 1 領域 W1) と、を有する。

50

## 【0013】

このような複数の結晶面は、後述するように、ベース基板1から半導体層3を剥離することによって形成された帯状の凸部9の破断面10a、一方の側面10b、他方の側面10cによって構成され、3以上の面方位が互いに異なる結晶面を有する。このような複数の結晶面10a, 10b, 10cは、凸部9によって形成されるので、(000-1)面から該(000-1)面方位((000-1)面に垂直な方向)に突出している。

## 【0014】

凸部9は、ベース基板1からエピタキシャル成長(ELO; Epitaxial Lateral Overgrowth)したGaN半導体である半導体層3のN面に、GaN半導体が突出した構造として実現されるので、N面(000-1)以外の結晶面を露出させることができる。凸部9には、堆積抑制マスクを形成する際にすでに存在していたGaNが含まれ、ベース基板1側の不純物、例えばSiのドーパ量を調整することによって、オーミック接触性を向上することができる。

10

## 【0015】

凸部9では、前述のように、3つの方位の異なる結晶面10a, 10b, 10cが露出するので、よりオーミック接触をとりやすくなる。3つの結晶面10a, 10b, 10cは、窒素極性面10d, 10e以外の結晶面、例えばM面(1-100)、A面(11-20)、R面(1-102)が露出することになる。そして、n型電極12を複数の結晶面10a, 10b, 10cおよび窒素極性面10d, 10eに連続して形成される。これにより、n型電極12とのオーミック接触性を大幅に向上させて、n型電極12の密着性および安定性を向上させることができる。半導体層3の第1面31に対向する第2面32には、第2電極として、後述のp型電極14が配される。

20

## 【0016】

オーミック接触性を判断するためのオーミック抵抗は、例えば、TLM(Transmission Line Model)法またはCTL M(Circular Transmission Line Model)法によって測定することができる。

## 【0017】

本実施形態における半導体素子は、第1面31の中央部に凸部9を有していてもよい。言い換えれば、第1面31は、第2領域W2を挟んだ複数の第1領域W1を有している。

## 【0018】

また、第1領域W1の表面は、第2領域W2の表面と同一の面方位を含む結晶面を有していてもよい。この場合、例えば、第2領域W2の一部の表面(例えば10a)を研磨することによって、第1領域W1および第2領域W2が(000-1)面方位の結晶面を有していてもよい。

30

## 【0019】

また、本実施形態における半導体素子において第1電極12と第1領域W1との接触領域は、第1電極12と前記第2領域W2との接触領域よりも大きくてもよい。

## 【0020】

第1電極12と第2領域W2との接触領域において、(000-1)面方位または(1-100)面方位を含む結晶面の面積は、(000-1)面方位および(1-100)面方位とは異なる面方位を含む結晶面の面積よりも小さくてもよい。

40

## 【0021】

図2は本開示の半導体素子の製造方法の一実施形態を説明するための図である。同図において、半導体素子の製造工程である工程(a), (b), (c), (d)を示す。

## 【0022】

実施形態の半導体素子の製造方法は、前述の工程(a)~(d)を繰り返す基板再使用工程を1回以上行なうことによって構成される。

## 【0023】

図2において、工程(a)はマスク形成工程を示し、工程(b)は素子形成工程を示す。工程(c)はマスク除去工程を示す。工程(d)は素子分離工程を示す。

50

## 【0024】

各工程(a)～(d)で共通して使用するベース基板1は、半導体の結晶成長の起点となる平坦な一方主面である第1ベース面1aと、その裏面の平坦な他方主面である第2ベース面1bとを有する。第1ベース面1aは、少なくとも表面が、窒化物半導体で覆われている。実施形態で使用するベース基板1は、例えば、窒化ガリウム(GaN)の単結晶インゴットから切り出したGaN基板である。

## 【0025】

GaN基板は、半導体中にSiなどの不純物がドーブされたn型基板またはp型基板のどちらでもよい。例えば、基板の不純物密度は $1 \times 10^{19} \text{ cm}^{-3}$ 程度以下のものを使用することができる。また、ベース基板1としては、GaN基板のほか、サファイア基板、シリコン基板、SiC基板等のGaN以外の基板の表面にGaN半導体層を形成した基板を使用してもよい。

10

## 【0026】

ベース基板1の表面は、GaN層に限定されることはなく、GaN系半導体で構成されている基板であれば使用可能である。ここでいう「GaN系半導体」とは、例えば、 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1; x + y + z = 1$ )によって構成されるものいう。

## 【0027】

また、半導体の結晶成長の起点となる第1ベース面1aを除く、第1ベース面1aに対して反対側(下側)に位置するベース基板1の第2ベース面1bおよび基板端面1cには、保護層4が形成されていてもよい。保護層4は、後述の工程によるベース基板1の変質と、窒化物半導体の分解とを抑制するなどのために形成する。保護層4は、例えば、酸化アルミニウムまたはアルミナ等を含む層で形成されてもよい。ただし、基板端面1cには保護層4が無くてもよい。

20

## 【0028】

保護層4が無い場合には、ベース基板1の裏面が徐々に熱分解し変質しやすい。そのため、ベース基板1の裏面である第2ベース面1bの変質による熱輻射率の変化および熱輻射率の面内分布が生じる。これにより、半導体結晶の成長条件が最適条件からずれやすく、量産性を低下させる要因となる。本実施形態のように、ベース基板1の第2ベース面1bに保護層4を被覆することによって、ベース基板1の第2ベース面1bの変質を抑制し、半導体結晶の成長条件を安定させ、量産性を向上することができる。

30

## 【0029】

前述のベース基板1を用いた、第1回目の半導体素子の製造方法は、図2に示す工程(a)～(d)を含む。工程(a)では、ベース基板1の第1ベース面1a上に堆積抑制マスク2を形成する。工程(b)では、マスクされたベース基板1の第1ベース面1a上に半導体層3を形成する。工程(c)では、エッチングにより堆積抑制マスク2を除去する。工程(d)では、半導体層3をベース基板1の第1ベース面1aから分離する。

## 【0030】

## (1) 工程(a) (一回目)

マスク形成工程である工程(a)では、ベース基板1(GaN基板)の第1ベース面1a上に、半導体結晶(半導体層3)の成長を抑制する堆積抑制マスク2を、予め定められたパターン状に形成する。

40

## 【0031】

具体的な例としては、堆積抑制マスク2として、厚さ100～1000nm程度のSiO<sub>2</sub>層を形成する。SiO<sub>2</sub>層の形成は、まず、第1ベース面1a上に、堆積抑制マスク2の材料となる酸化ケイ素(SiO<sub>2</sub>)を、PCVD(Plasma Chemical Vapor Deposition)法等によって、100～1000nm程度積層する。

## 【0032】

続いて、フォトリソグラフィ法とHF(フッ酸)系ウェットエッチング、または、CF<sub>4</sub>等のフッ素系のガスを用いたドライエッチングにより、不要のSiO<sub>2</sub>層部位を取り

50

除く。これにより、予め定められたパターン状の  $\text{SiO}_2$  層を、堆積抑制マスク 2 として第 1 ベース面 1 a 上に形成することができる。

【0033】

マスク 2 とマスク 2 の間の、帯状の溝（上向き開口）から覗く露出面 E は、前述の第 1 ベース面 1 a が露出する、第 1 の結晶成長領域であり、続いて行われる工程（b）において、半導体結晶の成長の起点となる領域である。

【0034】

露出面 E の（11 - 20）面方位、すなわち並行方向（図示左右方向）の幅である開口幅または溝幅は、例えば 2 ~ 20  $\mu\text{m}$  である。また、実施形態における、堆積抑制マスク 2 の並行方向の幅は、例えば 50 ~ 200  $\mu\text{m}$  に設定される。

10

【0035】

堆積抑制マスク 2 の並行方向の幅と、露出面 E の並行方向の幅との関係は、以下に示す結晶成長速度の比率と成長させる半導体層 3 の厚みとを考慮して設定すればよい。つまり、結晶成長速度の比率とは、工程（b）において形成される半導体層 3 の、ベース基板 1 の第 1 ベース面 1 a に垂直な方向の結晶成長速度と、ベース基板 1 の第 1 ベース面 1 a に平行な方向の結晶成長速度との比率である。

【0036】

また、堆積抑制マスク 2 のマスクパターンとしては、帯状またはストライプ状のほか、帯状体が縦横に直交するように複数配置した格子状であってもよい。一定の間隔（リピートピッチ）で分断された開口が複数回繰り返される、いわゆるリピート柄（パターン）であれば、どのようなパターンであってもよい。

20

【0037】

堆積抑制マスク 2 においては、表面にエッチングなどで凹凸をつけてもよい。これによって、工程（d）により分離した半導体素子 S の裏面に凹凸をつけることができ、半導体素子 S の第 1 面 3 1（半導体素子 S を分離した後の剥離面）と n 型電極 1 2 との、オーミック接触性および密着性を向上させる効果を奏する。

【0038】

さらに、ベース基板 1 の第 1 ベース面 1 a における、ベース基板 1 の基板端面 1 c 近傍の縁部領域も、後述の半導体層 3 の剥離・分離の容易さを考慮して、前述の堆積抑制マスク 2 で覆われている。これにより、ベース基板 1 の端に位置する、縁部近傍の半導体層 3

30

【0039】

また、堆積抑制マスク 2 を構成するマスク材料としては、例えば  $\text{SiO}_2$  等の酸化シリコンを含むものを用いる。堆積抑制マスク 2 は、気相成長によって、マスク材料の表面を起点として、半導体層 3 が成長しない材料であればよい。酸化シリコンを含むもの以外では、例えば、酸化ジルコニウム（ $\text{ZrO}_x$ ）、酸化チタン（ $\text{TiO}_x$ ）、酸化アルミニウム（ $\text{AlO}_x$ ）等の酸化物を用いることができる。あるいは、クロム（Cr）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）およびニオブ（Nb）等から選択される遷移金属を使用してもよい。また、マスク材料の堆積方法は、蒸着、スパッタリング、および塗布硬化等、マスク材料に適合した方法を適宜用いることができる。

40

【0040】

（2）工程（b）（一回目）

素子形成工程である工程（b）では、第 1 の結晶成長領域である露出面 E から、隣接する堆積抑制マスク 2 の上に広がるように半導体結晶を成長させ、素子となる半導体層 3 を形成する。本実施形態における半導体層 3 は窒化物半導体であり、エピタキシャル成長によって、窒化物半導体を、第 1 ベース面 1 a から、堆積抑制マスク 2 の溝の上縁開口を越えて、該堆積抑制マスク 2 の上にまで、成長させる。

【0041】

具体的な例として、素子形成工程には、III 族（第 3 族元素）原料に塩化物を用いるハイドライド気相成長（HVPE；Hydride Vapor Phase Epitaxy）法、III 族原料

50

に有機金属を用いる有機金属気相成長 (MOCVD; Metal Organic Chemical Vapor Deposition) 法、または分子線気相成長 (MBE; Molecular Beam Epitaxy) 法等の気相成長法を用いることができる。

【0042】

例えば、半導体層3であるGaN層を、MOCVD法で成長させる場合、まず、堆積抑制マスク2がパターン形成されたベース基板1を、エピタキシャル装置の反応室に挿入し、水素ガス、窒素ガス、または、水素と窒素の混合ガスと、アンモニア等のV族原料(第15族元素含有)ガスを供給しながら、ベース基板1を加熱して、所定の成長温度、例えば1050~1100 まで、昇温させる。

【0043】

ついで、ベース基板1の温度が安定してから、上記ガスの他に、トリメチルガリウム(TMG)等のIII族(第13族元素含有)原料を供給して、結晶成長領域である露出面Eから半導体層3を気相成長させる。

【0044】

このとき、Si等のn型不純物、または、Mg等のp型不純物等の原料ガスを供給することによってドーパ量を調製し、所望の導電型のGaN層を得ることができる。また、成長結晶が堆積抑制マスク2間の溝の上縁開口を越える、または溝を埋め尽くす前に、原料の供給を一旦止めて、半導体結晶の成長をストップさせ、原料の供給を再開させる前に、後述の半導体層3の剥離を容易にする「脆弱部」を、部分的な層または膜として形成してもよい。

【0045】

脆弱部の例としては、例えば、GaN層を結晶成長させる場合、前述の溝内の開口側の上部半導体層3と露出面E側の下部半導体層3との間に、GaNと、BN、AlN、InN等との混晶結晶からなる層を、脆弱部として形成してもよい。

【0046】

他にも、脆弱部として、結晶成長層とは格子定数の異なる、 $Al_xGa_yIn_zN$  ( $0 < x < 1 - 1 < y < 1 - 1 < z < 1$ ;  $x + y + z = 1$ ) からなる半導体層3を形成してもよい。また、AlGaN層とGaN層を交互に積層した、超格子構造の脆弱部を形成してもよい。結晶の成長条件を周期的に変化させて、GaNの結晶粒の大きい層と結晶粒の小さな層とを交互に積み重ねるか、あるいは、GaNのn型不純物として使用される、シリコン(Si)の濃度を变化させる等、不純物濃度を変えた層を形成して、脆弱部を形成してもよい。

【0047】

これらの脆弱部によって、半導体素子Sをベース基板1から分離・剥離するとき、脆弱部に応力が集中して亀裂を発生させ易くなり、半導体素子Sを、ベース基板1から容易に分離することができる。さらに、これらの脆弱部によって、半導体素子Sの第1面31の一部である凸部9の3つ結晶面10a, 10b, 10cを覆うようにn型電極12を形成することでオーミック接触性を向上させることができる。

【0048】

前述の脆弱部を作製した場合、その脆弱部の上面(表面)を起点として、GaNを横方向成長(ELO; Epitaxial Lateral Over-Growth)させる。脆弱部を作製しない場合は先に述べたマスクとマスクの間の露出面E(ベース基板1の第1ベース面1a)を起点として、GaNを横方向成長させる。例えば、MOCVD法によって、n型不純物として例えばSiがドーパされたn+型GaN層を(0001)面方位に島状に成長させる。n+型GaN層の厚さは例えば10 $\mu$ m、不純物濃度は例えば $1 \times 10^{18} \text{ cm}^{-3}$ とする。n+型GaN層とn+型GaN層との<11-20>方向の間隔は、例えば約10 $\mu$ mである。

【0049】

n+型GaN層の成長は、例えば、温度1100、圧力30kPaで行なう。n+型GaN層の成長時には、例えば、原料ガスとしてTMGおよびNH<sub>3</sub>を用い、キャリアガ

10

20

30

40

50

スとして $H_2$ および $N_2$ を用い、 $n$ 型ドーパントとして窒素で希釈した $SiH_4$ を用いる。1つの島状の $n+$ 型 $GaN$ 層は、1つのストライプウインドウから成長したものである。

【0050】

次に、縦方向への成長が促進されるように、結晶成長条件を調節して、MOCVD法によって、 $n+$ 型 $GaN$ 層上に $n$ 型 $GaN$ 層を成長させる。この $n$ 型 $GaN$ 層の厚さは、例えば $5\mu m$ 、不純物濃度は例えば $1 \times 10^{16} cm^{-3}$ とする。このようにして、 $n$ 型 $GaN$ 層を成長させた後の $n+$ 型 $GaN$ 層および $n$ 型 $GaN$ 層の全体の11-20方向の間隔は、例えば約 $5\mu m$ である。

【0051】

半導体層3は、結晶成長面が堆積抑制マスク2の上縁を越えた後は、堆積抑制マスク2の上面に沿って横方向（図示左右方向）に成長する。そのため、半導体層3は、貫通転位が少ない、発光ダイオード（略称LED）およびレーザーダイオード（略称LD）素子等への使用に適した半導体層とすることができる。

10

【0052】

そして、工程（b）（一回目）は、それぞれのマスク間の露出面Eから成長を始めた各半導体層3が、隣接する半導体層3に接触した後、または互いに重なる前に、終了してもよいし、接触させてから終了させてもよい。

【0053】

（3）工程（c）（一回目）

前述の工程（b）（一回目）完了後、マスク除去工程である工程（c）を行なう。工程（c）では、ベース基板1を気相成長装置（エピタキシャル装置）から取り出し、成長した半導体層3を実質的に侵さないエッチャントを用いて、堆積抑制マスク2を除去する。

20

【0054】

例えば、 $SiO_2$ 膜からなるマスクの場合、HF系ウェットエッチングを行なう。エッチングによって、各堆積抑制マスク2が除去され、半導体層3は、図2の（c）に示すような、互いに隣接する堆積抑制マスク2と堆積抑制マスク2との間の露出面E上に、細かい半導体の壁または柱からなる接続部だけを残す、略T字状の態様となる。この形状により、半導体層3の分離を円滑に行なうことができるようになる。

【0055】

（4）工程（d）（一回目）

素子分離工程である工程（d）では、半導体層3の1つの面（本実施形態では、第2面32）に、 $AuSn$ 等の材料を用いた半田からなる接着層5を有する支持基板6などの部材または治具などを用いて、半導体層3をベース基板1から分離し、それぞれ、個々の半導体素子Sとする。

30

【0056】

工程（d）では、まず、例えば、下面に接着層5を有する支持基板6を、ベース基板1の半導体層3が形成された面（すなわち、第1ベース面1aに対向させて、接着層5を半導体層3に加圧および加熱し、接着させる。

【0057】

その後、接着層5に接着し一体となった半導体層3を、上方に引き剥がすように外力を加え、これら半導体層3を、ベース基板1の第1ベース面1aから引き上げる。これにより、半導体素子Sの本体を分離することができる。

40

【0058】

工程（d）では、前述の $AuSn$ 等の材料を用いた半田からなる接着層5を用いて分離する工程の代わりに、ダイシングテープなどの粘着テープ、または両面テープなどを用いて分離してもよい。

【0059】

この半導体素子を分離した後のベース基板1に対して、研磨によって、エピタキシャル成長の工程での半導体素子Sの剥離の際のダメージを除去し、一回目の製造と同様の、マスク形成工程である工程（a）、素子形成工程である工程（b）、マスク除去工程である

50

工程(c)および素子分離工程である工程(d)を行なう。これにより、一回目の製造で得られたものと同様な、優れたオーミック接触性を有する高品質な半導体素子Sを、同じベース基板1を用いて、繰り返し製造することができる。ダメージの種類としては、SiO<sub>2</sub>マスクとGaとの反応によるピット、SiO<sub>2</sub>のマスクの形成、昇温、除去工程によるGaNの表面荒れ、剥離により生じる転位などが挙げられる。

【0060】

このダメージ除去の工程には研磨のほか、ウェットエッチング、またはドライエッチングを用いてもよい。また、ダメージを除去せずにマスク開口部をずらすことにより、工程(a)~(d)の各工程を繰り返してもよい。

【0061】

図3および図4はベース基板1の開口部付近の断面形状を示す拡大写真である。半導体素子Sを剥離後のベース基板1の開口部の断面形状は、凹状になっており、そのダメージ深さdは1μm以下であった。

【0062】

したがって、使用後のベース基板1の第1ベース面1aを1μm以下研磨またはウェットエッチングを行なうことによって、前述のピット、表面荒れ、転位などの結晶の格子欠陥を除去することができる。

【0063】

(第2実施形態)

図5A~図5Kは、本開示に係る第2実施形態の半導体レーザ素子の製造手順を模式的に示す断面図である。図5Aはベース基板1の第1ベース面1a上に堆積抑制マスク2が積層された状態を示し、図5Bは堆積抑制マスク2上に半導体層3が形成された状態を示す。図5Cは半導体層3にリッジ3cが形成された状態を示し、図5Dはリッジ3cを有する半導体層3の平面部3bに絶縁膜15が形成された状態を示す。図5Eはリッジ3cおよび絶縁膜15上にp型電極14が積層された状態を示し、図5Fはp型電極14上に電極パッド16が積層された状態を示す。図5Gは堆積抑制マスク2が除去された状態を示し、図5Hはベース基板1から分離された半導体レーザ素子を表裏反転した状態を示す。図5Iは半導体層3の第1面31上にn型電極12が形成された状態を示し、図5Jは一对の共振器面が端面コートされた状態を示し、図5Kはn型電極12を介して半導体レーザ素子が実装基板17に接合された状態を示す。図6は、図5Hの上方から見た半導体層3の拡大写真である。なお、前述の実施形態と対応する部分には、同一の参照符を付し、重複する説明は省略する。

【0064】

本実施形態の半導体素子である半導体レーザ素子は、縦50~1300μm、横30~250μm、高さ5~150μmの略直方体状であり、図5Kの紙面に垂直な長手方向に2つの共振器面が向かい合うように形成され、一方の共振器面からレーザ光を出射するように構成されている。

【0065】

ベース基板1は、n型の窒化ガリウム(GaN)によって構成され、例えば、第1ベース面1aおよび第2ベース面1bの法線がc軸方向またはc軸に対してオフ角を有する透明な基板であって、厚さが40~600μm程度である。ベース基板1は、直径が2インチ程度のGaNウェハから形成することが可能である。ベース基板11は、Siなどのn型のドーパントがドーパされており、導電性を有していてもよい。

【0066】

ベース基板1の第1ベース面1a上には、図5Aに示されるように、ストライプ状に複数の溝2aを有する堆積抑制マスク2が積層され、堆積抑制マスク2上に窒化物半導体をエピタキシャル成長させ、図5Bに示されるように半導体層3が積層される。堆積抑制マスク2としては、例えば、厚さ100~1000nm程度のSiO<sub>2</sub>層を形成する。SiO<sub>2</sub>層の形成は、まず、第1ベース面1a上に、堆積抑制マスク2の材料となる酸化ケイ素(SiO<sub>2</sub>)を、P C V D (Plasma Chemical Vapor Deposition)法等によって、1

10

20

30

40

50

00 ~ 1000 nm程度積層する。続いて、フォトリソグラフィ法とHF（フッ酸）系ウェットエッチング、または、CF<sub>4</sub>等のフッ素系のガスを用いたドライエッチングにより、不要のSiO<sub>2</sub>層部位を取り除く。これによって、予め定められたパターン状のSiO<sub>2</sub>層を、堆積抑制マスク2として形成することができる。堆積抑制マスク2の帯状の溝2aからは、第1ベース面1aが部分的に露出し、半導体結晶の成長の起点となる領域Eである。

【0067】

半導体層3は、図5Cに示されるように、ベース基板1とは反対側に、リッジ3cを有している。半導体層3のリッジ3cの上面を除く平面部3bには、図5Dに示されるように、絶縁膜15が設けられている。また、半導体層3上には、第2電極であるp型電極14が設けられている。本例では、リッジ3c以外の半導体層3上に絶縁膜15が設けられ、当該箇所では、絶縁膜15を介して半導体層3上にp型電極14が設けられている。このように、半導体層3とp型電極14とは、全面で電氣的に接続している必要はなく、本実施形態のように、p型電極14の下のリッジ3c以外の部分が絶縁膜15で覆われていてもよい。

10

【0068】

また、半導体層3は、図5Cに示されるように、ベース基板1に対向する領域に帯状の凸部9を有している。半導体層3の第1面31には、図5Jに示されるように、第1電極であるn型電極12が設けられている。本例では、凸部9を含む半導体層3の第1面31にn型電極12が設けられている。

20

【0069】

半導体層3は、厚さが2 ~ 5 μm程度であり、窒化物半導体の薄膜が積層された構成とされる。たとえば、半導体層3は、ベース基板1の第1ベース面1a上に第1n型窒化物半導体層、第2n型窒化物半導体層、活性層、第1p型窒化物半導体層、第2p型窒化物半導体層、第3p型窒化物半導体層、および第4p型窒化物半導体層が、この順に積層されて構成されている。これらの半導体層3は、組成式でIn<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>N(0 < x < 1 - 1 y < 1 - 1 x + y < 1)と表すことができる、窒化インジウム(InN)、窒化アルミニウム(AlN)、窒化ガリウム(GaN)の混晶が主成分である。また、半導体層3に含まれるn型不純物として、シリコン(Si)、ゲルマニウム(Ge)、錫(Sn)、硫黄(S)、酸素(O)、チタン(Ti)、亜鉛(Zr)、カドニウム(Cd)などを用いることが可能である。またp型不純物として、マグネシウム(Mg)、亜鉛(Zn)、ベリリウム(Be)、マンガン(Mn)、カルシウム(Ca)、ストロンチウム(Sr)などを用いることが可能である。活性層は、たとえば、InGaNのInとGaの成分の割合を変化させて障壁層、井戸層を繰り返し積層した多重量子井戸構造とすることができる。活性層は、不純物を添加しても添加しなくてもよい。

30

【0070】

第3p型窒化物半導体層および第4p型窒化物半導体層は、エッチングによって帯状に突出するように形成されたリッジ3cとなる。リッジ3cの幅は、2 ~ 20 μm程度であり、高さは、0.3 ~ 0.6 μm程度である。リッジ3cは、長さ方向において、半導体層3の一方の共振器面から他方の共振器面までの全体に存在している。リッジ3cの長手方向の両端面のそれぞれは、半導体レーザ素子の共振器面に含まれている。各共振器面上に、アルミニウム酸窒化物(AlO<sub>x</sub>N<sub>y</sub>(0 < x < 1 - 1 y < 1.5))、二酸化シリコン(SiO<sub>2</sub>)、五酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)などの薄膜でミラー層が形成されていてもよい。

40

【0071】

このように、半導体レーザ素子の半導体層3は、複数の半導体層が積層された積層体であって、第1領域W1とよりも突出する凸部9(第2領域W2)と、を有する積層体である半導体層3と、第1領域W1および第2領域W2上に位置するn型電極12と、を備える。第1領域W1は、n型電極12との接触領域に、他の領域bよりも表面粗さの大きい粗面領域aとを有している。なお、表面粗さは、例えば、原子間力顕微鏡(Atomic Force

50

Microscope ; A F M ) によって測定することができる。本例では、粗面領域 a と凸部 9 との間に、他の領域 b が位置している。

【 0 0 7 2 】

他の領域 b は、凸部 9 の近傍で該凸部 9 に沿って帯状に延び、粗面領域 a は、他の領域 b に沿って、帯状に延びて位置している。このような粗面領域 a は、ベース基板 1 に配された堆積抑制マスク 2 の少なくとも一部の表面を粗面にすることによって、その堆積抑制マスク 2 の表面に位置した半導体層 3 の第 1 領域 W 1 の一部 ( 粗面領域 a ) の表面粗さを調整することができる。第 1 領域 W 1 の一部の表面粗さが大きいことによって、電極 1 2 との接続を良好にすることができる。

【 0 0 7 3 】

また、第 1 領域 W 1 の一部の表面粗さが大きいことによって、( 0 0 0 - 1 ) 面方位および ( 1 - 1 0 0 ) 面方位とは異なる面方位の結晶面を第 1 領域 W 1 上に位置させることができる。すなわち、第 1 領域 W 1 の表面は、( 0 0 0 - 1 ) 面方位および ( 1 - 1 0 0 ) 面方位とは異なる面方位を含む結晶面を有することができる。この場合、粗面領域 a は、例えば、A 面 ( 1 1 - 2 0 )、R 面 ( 1 - 1 0 2 ) などの結晶面を有していてもよい。

【 0 0 7 4 】

また、第 1 電極 1 2 と第 1 領域 W 1 との接触領域において、( 0 0 0 - 1 ) 面方位または ( 1 - 1 0 0 ) 面方位を含む結晶面の面積は、( 0 0 0 - 1 ) 面方位および ( 1 - 1 0 0 ) 面方位とは異なる面方位を含む結晶面の面積よりも小さくてもよい。

【 0 0 7 5 】

凸部 9 の長手方向に垂直な方向 ( 並行方向 ) において、第 1 領域 W 1 の全幅を B 0 とし、他の領域 b の幅を B 1 とし、粗面領域 a の幅を B 2 としたとき、他の領域 b の幅 B 1 は、全幅 B 0 の 1 0 % 以上 8 0 % 以下であり、粗面領域 a の幅 B 2 は、全幅 B 0 の 2 0 % 以上 9 0 % 以下である。

【 0 0 7 6 】

本例では、積層体である半導体層 3 は、G a N 系半導体から成り、第 1 領域 W 1 の他の領域 a および粗面領域 b は、第 1 面 3 1 の前述の 3 つの結晶面 1 0 a , 1 0 b , 1 0 c の < 1 1 - 2 0 > 方向 ( 図 5 C の左右方向 ) に位置する 2 つの窒素極性面 ( 以下、「N 面」ともいう ) である。

【 0 0 7 7 】

他の領域 b の表面粗さは 0 . 0 5 n m 以上 1 n m 未満であり、粗面領域 a の表面粗さは、1 n m 以上 1 0 0 0 n m 未満である。

【 0 0 7 8 】

凸部 9 は、図 7 に示されるように、半導体層 3 側に位置する第 1 凸領域 9 a と、第 1 凸領域 9 a よりもベース基板 1 側 ( 凸部 9 の先端側 ) に位置した第 2 凸領域 9 b とを有している。第 2 凸領域 9 b の不純物濃度は、第 1 凸領域 9 a の不純物濃度よりも小さい。第 1 凸領域 9 a は、第 2 凸領域 9 b よりも凸部 9 の先端側に位置していてもよい。これらの第 1 凸領域 9 a および第 2 凸領域 9 b は接続された状態で、接続部を構成する。このような凸部 9 は、ベース基板 1 から、ベース基板 1 の一部を伴って半導体層 3 を分離することによって、形成することができる。

【 0 0 7 9 】

第 2 凸領域 9 b の転位密度は、第 1 凸領域 9 a の転位密度よりも小さくてもよい。凸部 9 は、ベース基板 1 の第 1 ベース面 1 a の露出面 E に窒化物半導体が結晶成長することによって形成され、第 1 凸領域 9 a と、第 2 凸領域 9 b とが接続した状態をいう。この場合、第 1 凸領域 9 a の転位密度としては、例えば、 $1 \times 10^4$  以上  $1 \times 10^7$  以下であり、第 2 凸領域 9 b の転位密度としては、例えば、 $1 \times 10^3$  以上  $5 \times 10^6$  以下である。また、接続部の転位欠陥は、第 2 凸領域 9 b の転位欠陥よりも多くてもよい。また、接続部の転位欠陥は、第 1 凸領域 9 a の転位欠陥よりも多くてもよい。半導体層 3 の成長時に成長条件を変動させることによって転位密度を調整することができる。すなわち、転位密度は、前記接続部の上方および下方に位置する領域よりも大きくてもよい。

10

20

30

40

50

## 【0080】

このような半導体結晶の結晶欠陥である転位の密度は、半導体層3の成長条件を適宜制御することによって、調整することができる。

## 【0081】

第1凸領域9aの凸部9の突出方向における長さは、第2凸領域9bの凸部9の突出方向における長さよりも大きいてもよい。また、第1凸領域9aの表面積は、第2凸領域9bの表面積よりも大きいてもよい。

## 【0082】

第1領域W1は、全面が粗面であってもよく、一部の領域だけが粗面であってもよい。また、一部の領域だけが粗面である場合に、その粗面領域aは凸部9の近傍に位置していてもよい。すなわち、並行方向において、粗面領域aの外縁と凸部9との間の領域の面積は、粗面領域aの他方の外縁と半導体層3の外縁との間の領域の面積よりも小さくてもよい。

10

## 【0083】

凸部9の両側には、複数の粗面領域aが位置してもよい。本例では、2つの粗面領域aの間に凸部9が位置している。またこの場合、n型電極12は、凸部9の両側の粗面領域aのうちいずれか一方の領域だけを覆う構成であってもよい。

## 【0084】

前述の実施形態では、半導体層3は帯状の凸部9を有する構成について述べたが、他の実施形態では、凸部9の代わりに、第1面31が平坦状の第1領域W1よりも凹んだ帯状の凹部9'（第2領域W2）が設けられた構成であってもよい。このような構成においても、第1領域W1または第2領域W2の少なくとも一方は、(000-1)面方位および(1-100)面方位とは異なる面方位の結晶面を有することによって、電極等の導体層に対して高いオーミック接触性を有する結晶面を発現させ、層間の接合信頼性を向上することができる。なお、半導体層3を剥離する際の応力の発生する方向を調整することによって、図7の仮想線で示されるように凹部9'を形成し結晶面10aを発現させることができる。

20

## 【0085】

本実施形態の半導体素子Sは、ベース基板1の一方主面である平面状の第1ベース面1aに対向する、GaN系半導体の(000-1)面方位の第1面31を有する。第1面31は、平面状の第1領域W1と、第1領域W1よりも凹んだ第2領域W2とを有している。したがって、第1面31は、(000-1)面とは異なる面方位を含む複数の結晶面(第2領域W2)と、これらの結晶面の<11-20>方向(図1の左右方向)に位置する2つの窒素極性面(以下、「N面」ともいう)10d, 10e(第1領域W1)と、を有する。など、複数の結晶面は、窒素極性面10d, 10e以外の結晶面、例えばM面(1-100)、A面(11-20)、R面(1-102)が露出することになる。

30

## 【0086】

本開示は、次の態様(1)~(32)が実施可能である。

## 【0087】

(1)窒化ガリウムを有する半導体素子であって、

40

第1領域および前記第1領域より突出した帯状の凸部または凹んだ凹部である第2領域を含む第1面を有する半導体層を備え、

前記第1面のうち、前記第1領域または前記第2領域の表面の少なくとも一方は、(000-1)面方位および(1-100)面方位とは異なる面方位を含む結晶面を有している、半導体素子。

## 【0088】

(2)前記半導体層は、前記第1面と対向する第2面をさらに有しており、

前記第1面のうち、前記第1領域または前記第2領域の表面の少なくとも一方は、前記第2面が有する面方位に対向した面方位と異なる面方位を含む結晶面を有している、半導体素子。

50

## 【 0 0 8 9 】

( 3 ) 前記凸部は、互いに異なる面方位からなる 3 以上の結晶面を有している、半導体素子。

## 【 0 0 9 0 】

( 4 ) 前記凸部の前記 3 以上の結晶面のうち 1 つは、( 0 0 0 - 1 ) 面方位および ( 1 - 1 0 0 ) 面方位を含む結晶面である、半導体素子。

## 【 0 0 9 1 】

( 5 ) 前記第 1 領域の表面は、前記第 2 領域の表面と異なる面方位を含む結晶面を有している、半導体素子。

## 【 0 0 9 2 】

( 6 ) 前記第 1 領域の表面は、前記第 2 領域の表面と同一の面方位を含む結晶面を有している、半導体素子。

## 【 0 0 9 3 】

( 7 ) 前記第 1 面の前記第 1 領域および前記第 2 領域に配された第 1 電極を、さらに備える、半導体素子。

## 【 0 0 9 4 】

( 8 ) 前記第 1 電極は、n 型電極である、半導体素子。

## 【 0 0 9 5 】

( 9 ) 前記半導体層は、第 1 面に対向する第 2 面をさらに有しており、前記第 2 面に配された第 2 電極をさらに有している、半導体素子。

## 【 0 0 9 6 】

( 1 0 ) 前記第 1 領域の表面は、( 0 0 0 - 1 ) 面方位である、半導体素子。

## 【 0 0 9 7 】

( 1 1 ) 前記第 2 領域の表面は、( 0 0 0 - 1 ) 面方位である、半導体素子。

## 【 0 0 9 8 】

( 1 2 ) 前記第 1 面は、前記第 2 領域と、前記 2 領域を挟んだ複数の第 2 領域を有している、半導体素子。

## 【 0 0 9 9 】

( 1 3 ) 前記複数の第 2 領域の表面は、( 0 0 0 - 1 ) 面方位および ( 1 - 1 0 0 ) 面方位とは異なる面方位を含む結晶面を有している、半導体素子。

## 【 0 1 0 0 】

( 1 4 ) 前記第 1 領域の表面は、( 0 0 0 - 1 ) 面方位および ( 1 - 1 0 0 ) 面方位とは異なる面方位を含む結晶面を有している、半導体素子。

## 【 0 1 0 1 】

( 1 5 ) 前記第 1 電極と前記第 1 領域との接触領域は、前記第 1 電極と前記第 2 領域との接触領域よりも大きい、半導体素子。

## 【 0 1 0 2 】

( 1 6 ) 前記第 1 電極と第 1 領域との接触領域において、( 0 0 0 - 1 ) 面方位または ( 1 - 1 0 0 ) 面方位を含む結晶面の面積は、( 0 0 0 - 1 ) 面方位および ( 1 - 1 0 0 ) 面方位とは異なる面方位を含む結晶面の面積よりも小さい。

## 【 0 1 0 3 】

( 1 7 ) 前記第 1 電極と第 2 領域との接触領域において、( 0 0 0 - 1 ) 面方位または ( 1 - 1 0 0 ) 面方位を含む結晶面の面積は、( 0 0 0 - 1 ) 面方位および ( 1 - 1 0 0 ) 面方位とは異なる面方位を含む結晶面の面積よりも小さい。

## 【 0 1 0 4 】

( 1 8 ) 前記凹部は、互いに異なる面方位から成る複数の結晶面を有している、半導体素子。

## 【 0 1 0 5 】

( 1 9 ) 前記凹部の前記複数の結晶面のうち 1 つは、( 0 0 0 - 1 ) 面方位および ( 1 - 1 0 0 ) 面方位を含む結晶面である、半導体素子。

10

20

30

40

50

## 【 0 1 0 6 】

( 2 0 ) 前記半導体層を前記基板から剥離するときに、前記半導体層に接続している前記基板の一部とともに、前記半導体層を剥離する、半導体素子の製造方法。

## 【 0 1 0 7 】

( 2 1 ) 前記半導体層を前記基板から剥離するときに、前記半導体層の一部が前記基板上に残存するように、前記半導体層を剥離する、半導体素子の製造方法。

## 【 0 1 0 8 】

( 2 2 ) 前記半導体層を形成する前に、前記基板の前記第 1 面上に、前記半導体層の成長の起点になる領域を露出させつつマスクを形成する工程を、さらに備え、

前記半導体層は、前記領域から前記マスクの表面に沿って成長する、半導体素子の製造方法。 10

## 【 0 1 0 9 】

( 2 3 ) 前記マスクの表面のうち前記半導体層が成長する表面は、凹凸を有している、半導体素子の製造方法。

## 【 0 1 1 0 】

( 2 4 ) 窒化ガリウムを有する半導体素子であって、

第 1 領域および前記第 1 領域に隣接した第 2 領域を含む第 1 面を有する、基板を起点にエピタキシャル成長させた半導体層を、備え、

前記第 2 領域は、前記基板から分離したときに形成される剥離面であり、

前記剥離面は、( 0 0 0 - 1 ) 面方位および ( 1 - 1 0 0 ) 面方位とは異なる面方位を含む結晶面を有している、半導体素子。 20

## 【 0 1 1 1 】

( 2 5 ) 前記凸部は、第 1 凸領域と、前記第 1 凸領域よりも不純物濃度の少ない第 2 凸領域を有している、半導体素子。

## 【 0 1 1 2 】

( 2 6 ) 前記第 1 凸領域は、前記第 2 凸領域よりも先端に位置している、半導体素子。

## 【 0 1 1 3 】

( 2 7 ) 前記凸部は、第 1 凸領域と、前記第 1 凸領域よりも転位密度の少ない第 2 凸領域を有している、半導体素子。

## 【 0 1 1 4 】

( 2 8 ) 前記凸部は、前記第 1 凸領域と前記第 2 凸領域とが接続した接続部を有しており、前記接続部の転位密度は、前記第 1 凸領域よりも大きい、半導体素子。 30

## 【 0 1 1 5 】

( 2 9 ) 前記凸部は、前記第 1 凸領域と前記第 2 凸領域とが接続した接続部を有しており、前記凸部は、第 1 凸領域と、前記第 1 凸領域よりも転位密度の少ない第 2 凸領域を有している、半導体素子。

## 【 0 1 1 6 】

( 3 0 ) 前記凸部は、前記第 1 凸領域と前記第 2 凸領域とが接続した接続部を有しており、前記接続部の転位密度は、前記第 1 凸領域よりも大きい、半導体素子。

## 【 0 1 1 7 】

( 3 1 ) 前記凸部 7、前記第 1 凸領域と前記第 2 凸領域とが接続した接続部を有しており、

前記接続部の転位密度は、前記第 2 凸領域よりも大きい、半導体素子。

## 【 0 1 1 8 】

( 3 2 ) 前記第 1 凸領域は、前記第 2 凸領域よりも広い、半導体素子。

## 【 0 1 1 9 】

本開示の半導体素子によれば、半導体素子はオーミック接触性の高い平面部 1 0 a ~ 1 0 e を有するので、半導体層 3 と絶縁膜 1 5 および半導体層 3 と n 型電極 1 2 の間のオーミック接触性を改善するための処理を行なう工程を要せずに高い接合信頼性が得られ、半導体素子を、例えば半導体レーザー素子として実現することができる。これによって、半導

10

20

30

40

50

体素子の生産性を向上させて、量産性に優れた半導体素子を提供することができる。

【0120】

本開示の半導体素子の製造方法によれば、工程数を増加させずにオーミック接触性の高い表面を有する半導体素子を実現することができる。これによって、高い接合信頼性を有する半導体素子の量産性を容易化することができる。

【0121】

以上、本開示について詳細に説明したが、本開示は、その精神または主要な特徴から逸脱することなく、他のいろいろな形態で実施できる。したがって、前述の実施形態はあらゆる点で単なる例示に過ぎず、本開示の範囲は請求の範囲に示すものであって、明細書本文には何ら拘束されない。さらに、請求の範囲に属する変形や変更は全て本開示の範囲内

10

【符号の説明】

【0122】

- 1 ベース基板
- 1 a 第1ベース面
- 1 b 第2ベース面
- 1 d 縁部
- 2 堆積抑制マスク
- 3 半導体層
- 3 a 半導体層の残部
- 3 b 平面部
- 3 c リッジ
- 4 保護層
- 5 接着層
- 6 支持基板
- 9 接続部
- 9 a 第1凸領域
- 9 b 第2凸領域
- 10 a , 10 b , 10 c 複数の結晶面
- 12 n型電極
- 14 p型電極
- 15 絶縁層
- 16 実装基板
- 31 第1面
- 32 第2面
- E 露出面
- S 半導体素子

20

30

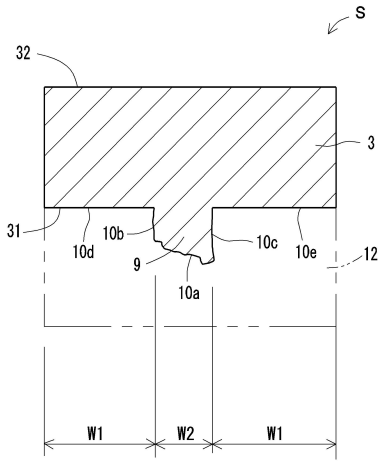
40

50

【図面】

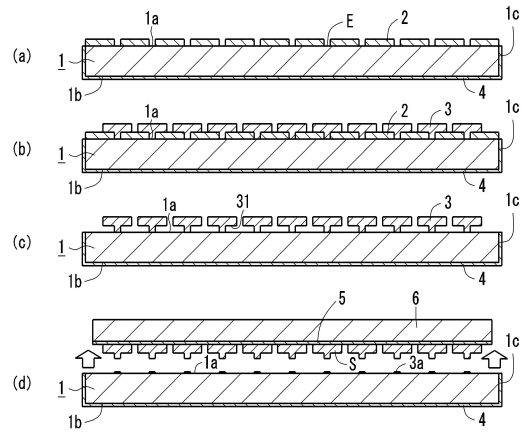
【図 1】

FIG. 1



【図 2】

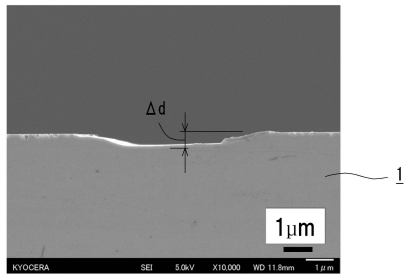
FIG. 2



10

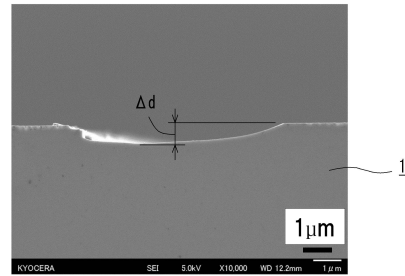
【図 3】

FIG. 3



【図 4】

FIG. 4



20

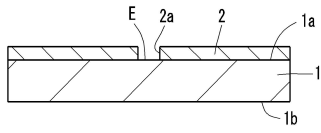
30

40

50

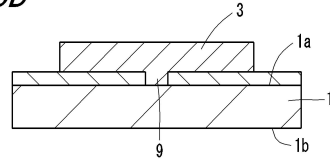
【 5 A 】

FIG. 5A



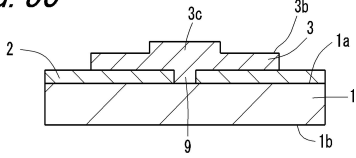
【 5 B 】

FIG. 5B



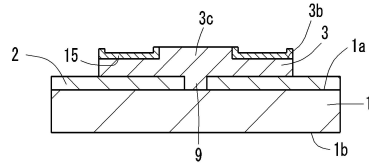
【 5 C 】

FIG. 5C



【 5 D 】

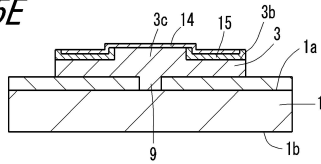
FIG. 5D



10

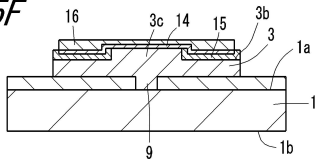
【 5 E 】

FIG. 5E



【 5 F 】

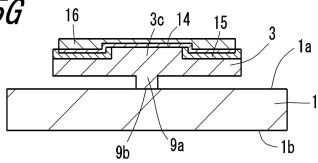
FIG. 5F



20

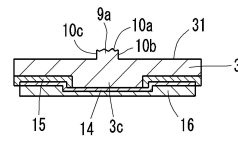
【 5 G 】

FIG. 5G



【 5 H 】

FIG. 5H



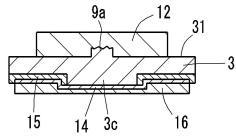
30

40

50

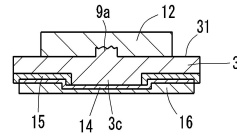
【図 5 I】

FIG. 5I



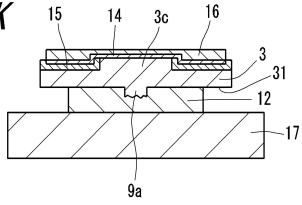
【図 5 J】

FIG. 5J



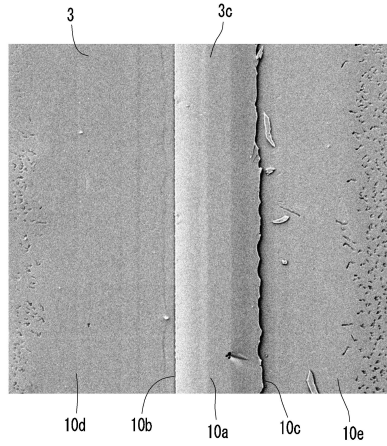
【図 5 K】

FIG. 5K



【図 6】

FIG. 6

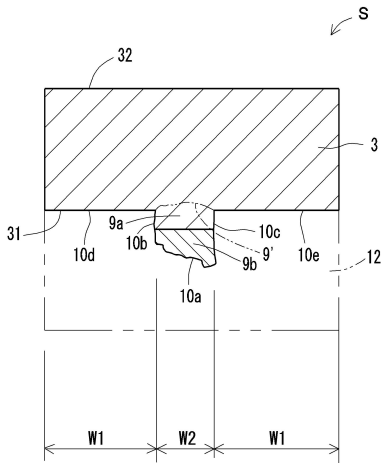


10

20

【図 7】

FIG. 7



30

40

50

## フロントページの続き

## (51)国際特許分類

F I

*H 0 1 L 33/36 (2010.01)*

H 0 1 L 33/36

*H 0 1 S 5/042(2006.01)*

H 0 1 S 5/042 6 1 2

## (56)参考文献

特開 2 0 0 5 - 2 6 8 7 6 9 ( J P , A )

特開 2 0 1 2 - 0 6 0 0 2 3 ( J P , A )

特開 2 0 0 3 - 2 1 8 3 8 9 ( J P , A )

特開 2 0 0 8 - 1 5 3 2 8 6 ( J P , A )

特開 2 0 0 7 - 1 8 9 1 3 5 ( J P , A )

特開 2 0 1 2 - 1 1 4 2 6 3 ( J P , A )

## (58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 1 / 2 8

H 0 1 L 2 1 / 2 0 5

H 0 1 L 2 1 / 2 0

H 0 1 L 3 3 / 3 2

H 0 1 S 5 / 3 4 3

H 0 1 L 3 3 / 3 6

H 0 1 S 5 / 0 4 2