



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

237036
(11) (B1)

(51) Int. Cl.⁴
G 11 B 31/00

(22) Přihlášeno 30 09 83
(21) (PV 7146-83)

(40) Zveřejněno 18 06 84

(45) Vydáno 15 02 87

(75)

Autor vynálezu

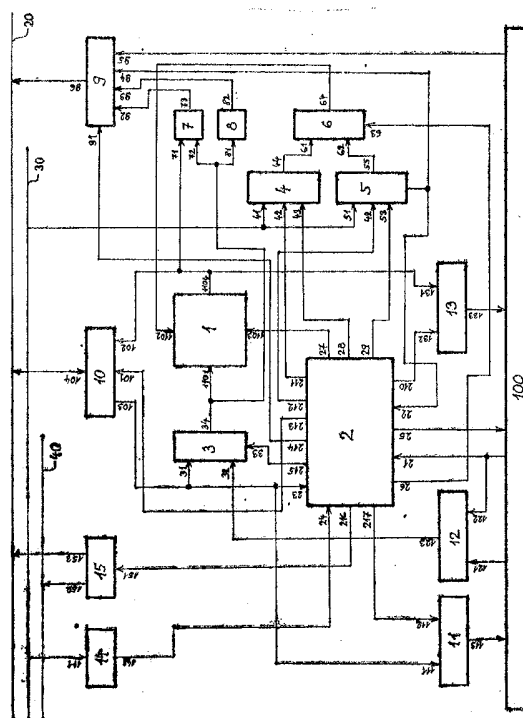
REŽ JAROSLAV ing., NOVÝ BOR

(54) Zapojení pro styk magnetickopáskové paměti s procesorem technologického zařízení

1

Zapojení je určeno pro styk magnetickopáskové paměti (například PT 305, CM 5300, CM 5300.1, CM 5300.2) s technologickým zařízením, které obsahuje procesor ve funkci centrální řídicí jednotky. Účelem vynálezu je snížení obvodové složitosti, tím snížení pořizovacích nákladů, dále možnost dokonalejší programové diagnostiky, a tím zjednodušení servisu a oživení celého systému. Uvedeného účelu se dosáhne pamětí typu RAM, která je přístupná jak procesoru, tak magnetickopáskové paměti, a tím, že je většina řídicích sekvencí, vyhodnocení stavu a kontrol přečtených dat prováděna programem procesoru technologického zařízení.

2



Vynález řeší zapojení pro styk magnetickopáskové paměti s procesorem technologického zařízení pomocí vyrovnávací paměti zapojené jako část operační paměti procesoru.

V současné době se magnetickopáskové paměti připojují k technologickým zařízením, například zařízení pro vstup a výstup grafické informace pomocí univerzálních řídicích jednotek, které jsou navrhovány pro připojení MPP k počítači a pro konkrétní připojení k technologickému zařízení jsou vybavovány příslušnými stykovými obvody. Nevýhoda tohoto řešení spočívá ve zbytečné technické složitosti, protože některé funkce řídicí jednotky nejsou technologickým zařízením zpravidla využity, naproti tomu jiné funkce lze řešit programem procesoru technologického zařízení. Programový styk s řídicí jednotkou je na úrovni registrů, kde se znázorňují výsledky celé operace, například příkaz piš nebo čti blok, čímž se snižuje možnost programové diagnostiky.

Uvedené nedostatky odstraňuje zapojení pro styk MPP s procesorem technologického zařízení podle vynálezu, jehož podstata spočívá v tom, že na datovou sběrnici procesoru je připojen vstup-výstup přijímače-vysílače, dále výstup obvodu přerušení a výstup stavového registru, dále, že datový výstup přijímače-vysílače je spojen se vstupem přijímače dat, se vstupem řadiče a se vstupem příkazového registru, dále, že výstup přepínače dat je spojen s datovým vstupem paměti RAM, se vstupem komparátoru shody a se vstupem generátoru parity, dále, že první datový výstup paměti RAM je spojen se vstupem vysílače dat, se vstupem komparátoru shody a se vstupem přijímače-vysílače, dále, že výstup vstupního registru je spojen se vstupem přepínače dat, přičemž na adresovou sběrnici procesoru je připojen vstup čítače zápisu, vstup čítače čtení a vstup dekodéru adresy, dále, že na řídicí sběrnici procesoru je připojen výstup obvodu přerušení, dále, že výstup čítače je spojen se vstupem přepínače adresy, dále, že výstup čítače je spojen se vstupem přepínače adresy, dále, že výstup přepínače adresy je spojen s adresním vstupem paměti RAM, dále, že výstup komparátoru shody je spojen se vstupem stavového registru, dále, že výstup generátoru parity je spojen se vstupem stavového registru, dále, že nulový obsah z výstupu čítače čtení je spojen se vstupem řadiče a se vstupem stavového registru, dále, že výstup řadiče je spojen s prvním vstupem pro zápis čítače zápisu, dále, že výstup řadiče je spojen s druhým vstupem pro zápis čítače čtení, dále, že výstup řadiče je spojen se vstupem pro čítání dolů čítače zápisu, dále, že výstup řadiče je spojen se vstupem pro čítání dolů čítače čtení.

Výhodou uvedeného zapojení je zjednodušení obvodů pro styk MPP s procesorem technologického zařízení tím, že je většina funkcí prováděna programem, což umožňuje

dokonalejší programovou diagnostiku a způsobuje vyšší spolehlivost.

Na výkresu je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením. Na datovou sběrnici procesoru 20 je připojen vstup-výstup 104 přijímače-vysílače 10, dále je na datovou sběrnici procesoru 20 připojen výstup 153 obvodu přerušení 15 výstup 96 stavového registru 9. Na adresovanou sběrnici procesoru 30 je připojen vstup 141 dekodéru adresy 14 a vstupy 41, 51 čítače zápisu 4 a čítače čtení 5.

Na řídicí sběrnici procesoru 40 je připojen výstup 152 obvodu přerušení 15. Datový výstup 103 přijímače-vysílače 10 je spojen se vstupem 31 přepínače dat 3, dále se vstupem 23 řadiče 2 a se vstupem 111 příkazového registru 11. Dekódovaná adresa z výstupu 142 dekodéru adresy 14 je spojena se vstupem 24 řadiče 2. Výstup 34 přepínače dat 3 je spojen s datovým vstupem 1101 paměti RAM 1, dále se vstupem 72 komparátoru shody 7 a se vstupem 81 generátoru parity 8.

První datový výstup 1104 paměti RAM 1 je spojen s prvním datovým vstupem 102 přijímače-vysílače 10, dále se vstupem 71 komparátoru shody 7 a se vstupem 131 vysílače dat 13. Výstup 73 komparátoru shody 7 je spojen se vstupem 92 stavového registru 9, výstup 82 generátoru parity 8 je spojen se vstupem 93 stavového registru 9. Výstup 44 čítače zápisu 4 je spojen se vstupem 61 přepínače adresy 6, výstup 55 čítače čtení 5 je spojen se vstupem 62 přepínače adresy 6, výstup 64 přepínače adresy 6 je spojen s adresním vstupem 1102 paměti RAM 1.

Výstup 27 řadiče 2 je spojen se zápisovým vstupem 1103 paměti RAM 1, dále výstup 28 řadiče 2 je spojen s prvním vstupem pro čítání dolů 43 čítače zápisu 4, výstup 29 řadiče 2 je spojen s druhým vstupem pro čítání dolů 53 čítače čtení 5. Výstup 210 řadiče 2 je spojen s prvním vstupem otevření 132 vysílače dat 13, dále výstupy 211 a 212 řadiče 2 jsou spojeny s prvním a druhým vstupem pro zápis 42, 52 čítače zápisu 4 a čítače čtení 5. Výstup 213 řadiče 2 je spojen se vstupem řízení směru 101 přijímače-vysílače 10, výstup 214 řadiče 2 je spojen s druhým vstupem otevření 91 stavového registru 9, dále výstup 215 řadiče 2 je spojen se vstupem volby zdroje 33 přepínače dat 3.

Výstup 216 řadiče 2 je spojen se vstupem žádosti o přerušení 151 obvodu přerušení 15, dále výstup 217 řadiče 2 je spojen se vstupem pro zápis dat 112 příkazového registru 11 a synchronizace zápisu z výstupu 25 řadiče 2 jsou vedeny na MPP 100, dále výstup 26 řadiče 2 je spojen se vstupem volby zdroje 63 přepínače adresy 6. Nulový obsah z výstupu 54 čítače čtení 5 je spojen se vstupy 22 řadiče 2 a 94 stavového registru 9. Výstup 123 vstupního registru 12 je spojen se vstupem 32 přepínače dat 3. Příkazy z výstupu 113 příkazového regis-

tru 11 jsou vedeny na MPP 100. Strobe čtení dat z MPP 100 je spojen se vstupem 21 řadiče 2 a 122 vstupního registru 12. Čtecí datové vodiče z MPP 100 jsou spojeny se vstupem 121 vstupního registru 12. Stavové signály z MPP 100 jsou spojeny se vstupem 95 stavového registru 9 a zápisové datové vodiče z výstupu 133 vysílače dat 13 jsou spojeny s MPP 100.

Funkce zapojení pro styk MPP 100 s procesorem technologického zařízení bude vysvětlena popisem vykonání příkazu píš blok. Obslužný program MPP 100 nejdříve provede inicializaci, tj. podle typu připojené MPP 100 se nahrají z datové sběrnice procesoru 20 pomocí datového výstupu 103 přijímače-vysílače 10 a vstupu 23 řadiče 2 údaje o době rozjezdu a zastavení MPP 100, údaje o délce zapisovaného bloku dat a údaje o časových závislostech generovaných jako synchronulisy zápisu z výstupu 25 řadiče 2 směrem k MPP 100. Pak se z datové sběrnice procesoru 20 pomocí datového výstupu 103 přijímače-vysílače 10, vstupu 31 a výstupu 34 přijímače dat 3 a datového vstupu 1101 paměti RAM 1 nahraje do paměti RAM 1 zapisovaný blok dat doplněný o znak podélné parity, cyklické kontroly a paritní bit. Buňky paměti RAM 1 jsou při této operaci adresovány pomocí čítače čtení 5 kam se adresa z adresové sběrnice procesoru 30 nahraje, po dekodování na výstupu 142 dekodéru adresy 14, který je spojen se vstupem 24 řadiče 2, pomocí výstupu 212 řadiče 2, který je spojen s druhým vstupem pro zápis 52 čítače čtení 5. Z výstupu 55 čítače čtení 5 je adresa vedena na vstup 62 přepínače adresy 6, dále pak z výstupu 64 přepínače adresy 6 na adresní vstup 1102 paměti RAM 1, přičemž je z výstupu 26 řadiče 2, který je spojen se vstupem volby zdroje 63 přepínače adresy 6, navolen vstup 62 přepínače adresy 6.

Nyní se z datové sběrnice procesoru 20 přes přijímač-vysílač 10 a pomocí vstupu 111 příkazového registru 11 nahraje do příkazového registru 11 povel pro pohyb média a nastavení MPP 100 do stavu zápis. Příkaz je nahrán signálem generovaným z výstupu 217 řadiče 2, který je spojen se vstupem pro zápis dat 112 příkazového registru 11. Po ustálení pohybu média MPP 100 na nominální rychlosti generuje řadič 2 na výstupu 216, který je spojen se vstupem žádosti o přerušování 151 obvodu přerušování 15, žádost o přerušování aktivováním signálu z výstupu 152 obvodu přerušování 15 na řídicí sběrnici procesoru 40. Po vyřízení této žádosti je z výstupu 153 obvodu přerušování 15 předán na datovou sběrnici procesoru 20 vektor přerušování.

Obslužný program nahraje do čítače zápisu 4 a čítače čtení 5 pomocí prvního a druhého vstupu pro zápis 42 a 52 adresu prvního byte zapisovaných dat, z adresní sběrnice procesoru 30 pomocí vstupu 41 a 51 čítače zápisu 4 a čítače čtení 5, paměti RAM 1. Pak se zapíše příkaz do řadiče 2, který provede

spuštění generace synchronulských zápisu dat z výstupu 25 řadiče 2 na MPP 100. Řadič 2 zároveň se synchronulsky zápisu dat generuje na výstupu 28, který je spojen s prvním vstupem pro čtení dolů 43 čítače zápisu 4, signál, který snižuje obsah čítače zápisu 4, a tím provádí adresaci, z výstupu 44 čítače zápisu 4 na vstup 61 přepínače adresy 6 a z výstupu 64 přepínače adresy 6 na adresní vstup 1102 paměti RAM 1, příslušného byte dat v paměti RAM 1, který je z prvního datového výstupu 1104 paměti RAM 1 pomocí vstupu 131 a prvního vstupu otevření 132 vysílače dat 13 přenášen na výstup 133 vysílače dat 13 směrem k MPP 100.

Čtené byte z MPP 100 jsou k dispozici na čtecích datových vodičích, které jsou spojeny se vstupem 121 vstupního registru 12, do něhož jsou nahrány pomocí strobe čtení dat vedeného na vstup 122 vstupního registru 12 a vstup 21 řadiče 2. Řadič 2 po přijetí tohoto signálu provede snížení obsahu čítače čtení 5 pomocí výstupu 29, který je spojen se vstupem pro čtení dolů 53 čítače čtení 5. Zároveň je navolen z výstupu 26 řadiče 2, který je spojen se vstupem volby zdroje 63 přepínače adresy 6, vstup 62, a tím dochází k adresování byte paměti RAM 1 definovaného okamžitým stavem čítače čtení 5. Tento byte je přiveden na vstup 71 komparátoru shody 7, na vstup 72 komparátoru shody 7 je přiveden právě čtený byte z MPP 100, který je zapsán ve vstupním registru 12 a z výstupu 123 je přes vstup 32 a výstup 34 přepínače dat 3 veden na vstup 72 komparátoru shody 7. Výsledek komparace shody je k dispozici na výstupu 73 komparátoru shody 7, který je spojen se vstupem 92 stavového registru 9. Právě čtená data jsou též na vstupu 81 generátoru parity 8 a výsledná parita je vedena z výstupu 82 generátoru parity 8 na vstup 93 stavového registru 9.

Nulový obsah na výstupu 54 čítače čtení 5 vyvolá pomocí vstupu 22 a výstupu 216 řadiče 2 žádost o přerušování na výstupu 152 obvodu přerušování 15. Obslužný program si přečte výsledek operace z výstupu 96 stavového registru 9 a výše popsaným způsobem zadá do příkazového registru 11 další povel pro MPP 100. Při provádění čtení bloku dat se čtená data ze vstupního registru 12 zapisují přes přepínač dat 3 do paměti RAM 1 pomocí zápisového vstupu 1103, který je spojen s výstupem 27 řadiče 2 a je odvozen od strobe čtení dat, který je přiveden na vstup 21 řadiče 2 od MPP 100. Paměť RAM 1 je v tomto případě adresována pouze čítačem čtení 5, který je příslušně inicializován před začátkem operace.

Operace čtení bloku je ukončena nulovým obsahem čítače čtení 5, nebo objeví-li se mezikloková mezera na médiu MPP 100. V těchto případech se opět vyvolá přerušování na výstupu 152 obvodu přerušování 15. Kontrola čteného bloku se provádí programově čtením dat paměti RAM 1 z jejího prvního da-

tového výstupu **1104**, který je spojen se vstupem **102** přijímače-vysílače **10**, na jehož výstupu **104** jsou čtená data k dispozici na datové sběrnici procesoru **20**. Adresování paměti RAM **1** je prováděno popsáním způsobem pomocí čítače čtení **5**. Kontrola příčné parity se provádí pomocí generátoru parity **8**, z jehož výstupu **82** je přivedena na vstup **93** stavového registru **9**. Veškeré adresy při programovém styku procesoru s MPP **100** jsou rozpoznány dekodérem adresy **14**, který je spojen svým vstupem **141** na adresní sběrnici procesoru **30**. Stav MPP **100** je snímán ve stavovém registru **9**, který je na datovou sběrnici procesoru **20** zobrazován pomocí výstupu **214** řadiče **2**, který je spojen s druhým vstupem otevření **91** stavového

registru **9**. Z MPP **100** jsou stavové funkce vedeny na vstup **95** stavového registru **9**. Volba zdroje na vstupu **33** přepínače dat **3** je prováděna z výstupu **215** řadiče **2**. Řízení přijímač-vysílač **10** je prováděno pomocí vstupu řízení směru **101**, který je spojen s výstupem **213** řadiče **2**.

Uvedené zapojení lze použít pro připojení k technologickému zařízení, které obsahuje centrální řídicí jednotku s procesorem, například „Digigraf“, „Digitezér“ nebo „Digipos“. V případě, kdy je vyžadováno pouze čtení dat, lze zapojení zjednodušit vypuštěním čítače zápisu **4**, přepínače adresy **6**, komparátoru shody **7** a vysílače dat **13**. Z toho vyplývá i patřičné zjednodušení řadiče **2**.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro styk magnetickopáskové paměti s procesorem technologického zařízení, vyznačující se tím, že na datovou sběrnici procesoru (**20**) je připojen vstup-výstup (**104**) přijímače-vysílače (**10**), dále výstup (**153**) obvodu přerušení (**15**) a výstup (**96**) stavového registru (**9**), že datový výstup (**103**) přijímače-vysílače (**10**) je spojen se vstupem (**31**) přijímače dat (**3**), se vstupem (**23**) řadiče (**2**) a se vstupem (**111**) příkazového registru (**11**), výstup (**34**) přepínače dat (**3**) je spojen s datovým vstupem (**1101**) paměti RAM (**1**), se vstupem (**72**) komparátoru shody (**7**) a se vstupem (**81**) generátoru parity (**8**), že první datový výstup (**1104**) paměti RAM (**1**) je spojen se vstupem (**131**) vysílače dat (**13**), se vstupem (**71**) komparátoru shody (**7**) a se vstupem (**102**) přijímače-vysílače (**10**), výstup (**123**) vstupního registru (**12**) je spojen se vstupem (**32**) přepínače dat (**3**) a dále, že na adresovou sběrnici procesoru (**30**) je připojen vstup (**41**) čítače zápisu (**4**), vstup (**51**) čítače čtení (**5**) a vstup (**141**) dekodéru adresy (**14**), na řídicí sběrnici procesoru (**40**) je připojen výstup (**152**) obvodu přerušení (**15**), výstup (**44**) čítače zápisu (**4**) je spojen se vstupem (**61**) přepínače adresy (**6**), výstup (**55**) čítače čtení (**5**) je spojen se vstupem (**62**) přepínače adresy (**6**) a dále, že výstup (**64**) přepínače adresy (**6**) je spojen s adresním vstupem (**1102**) paměti RAM (**1**), výstup (**73**) komparátoru shody (**7**) je spojen se vstupem (**92**) stavového registru (**9**), výstup (**82**) generátoru parity (**8**) je spojen se vstupem (**93**) stavového registru (**9**), nulový obsah z výstupu (**54**) čítače čtení (**5**) je spojen se vstupem (**22**) řadiče (**2**) a se vstupem (**94**) stavového registru (**9**), výstup (**211**) řadiče (**2**) je spojen s prvním vstupem pro zápis (**42**) čítače zápisu (**4**), výstup (**212**) řadiče (**2**) je spojen s druhým vstupem pro zápis (**52**) čítače čtení (**5**), výstup (**28**) řadiče (**2**)

je spojen se vstupem pro čítání dolů (**43**) čítače zápisu (**4**) a dále, že výstup (**29**) řadiče (**2**) je spojen se vstupem pro čítání dolů (**53**) čítače čtení (**5**).

2. Zapojení pro styk magnetickopáskové paměti s procesorem technologického zařízení podle bodu 1, vyznačující se tím, že výstup (**26**) řadiče (**2**) je spojen se vstupem volby zdroje (**63**) přepínače adresy (**6**), že výstup (**214**) řadiče (**2**) je spojen s druhým vstupem otevření (**91**) stavového registru (**9**), výstup (**215**) řadiče (**2**) je spojen se vstupem volby zdroje (**33**) přepínače dat (**3**), výstup (**213**) řadiče (**2**) je spojen se vstupem pro řízení směru (**101**) přijímače-vysílače (**10**), výstup (**216**) řadiče (**2**) je spojen se vstupem žádosti o přerušení (**151**) obvodu přerušení (**15**), dále že výstup (**217**) řadiče (**2**) je spojen se vstupem pro zápis dat (**112**) příkazového registru (**11**) výstup (**210**) řadiče (**2**) je spojen s prvním vstupem otevření (**132**) vysílače dat (**13**), výstup (**142**) dekodéru adresy (**14**) je spojen se vstupem (**24**) řadiče (**2**), výstup (**27**) řadiče (**2**) je spojen se zápisovým vstupem (**1103**) paměti RAM (**1**).

3. Zapojení pro styk magnetickopáskové paměti s procesorem technologického zařízení podle bodu 1, vyznačující se tím, že na vstup (**21**) řadiče (**2**) a (**122**) vstupního registru (**12**) je připojen strobe čtení dat z magnetickopáskové paměti (**100**), synchronizace zápisu z výstupu (**25**) řadiče (**2**) jsou vedeny na magnetickopáskovou paměť (**100**), výstup (**113**) příkazového registru (**11**) je veden na magnetickopáskovou paměť (**100**), že na vstup (**121**) vstupního registru (**12**) jsou vedena čtená data z magnetickopáskové paměti (**100**), výstup (**133**) vysílače dat (**13**) je veden na magnetickopáskovou paměť (**100**) a dále, že na vstup (**95**) stavového registru (**9**) jsou připojeny vodiče stavu magnetickopáskové paměti (**100**).

