

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成19年9月13日(2007.9.13)

【公開番号】特開2005-244276(P2005-244276A)

【公開日】平成17年9月8日(2005.9.8)

【年通号数】公開・登録公報2005-035

【出願番号】特願2004-47301(P2004-47301)

【国際特許分類】

H 03 F 3/45 (2006.01)

【F I】

H 03 F 3/45 A

【手続補正書】

【提出日】平成19年7月26日(2007.7.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

バイアス電圧を発生させるバイアス部と、

第1の出力ノードと第1の電源電位の間に接続され、制御電圧によって導通状態が制御される第1のトランジスタと、

第2の出力ノードと前記第1の電源電位の間に接続され、前記制御電圧によって導通状態が制御される第2のトランジスタと、

前記第1及び第2の出力ノードの間を接続する複数の抵抗と、

正相入力端子が前記複数の抵抗の間の点に接続され、逆相入力端子に基準電圧が与えられて前記制御電圧を出力する演算増幅器と、

内部ノードと前記第1の出力ノードの間に接続され、制御電極に第1の入力信号が与えられる第3のトランジスタと、

前記内部ノードと前記第2の出力ノードの間に接続され、制御電極に第2の入力信号が与えられる第4のトランジスタと、

第2の電源電位と前記内部ノードの間に接続され、前記バイアス電圧に対応した一定の電流を流す第5のトランジスタとを、

備えたことを特徴とする差動増幅回路。

【請求項2】

バイアス電圧を発生させるバイアス部と、

第1の出力ノードと第1の電源電位の間に接続され、制御電圧によって導通状態が制御される第1のトランジスタと、

第2の出力ノードと前記第1の電源電位の間に接続され、前記制御電圧によって導通状態が制御される第2のトランジスタと、

前記第1及び第2の出力ノードの間を接続する複数抵抗と、

正相入力端子が前記複数の抵抗の間の点に接続され、逆相入力端子に基準電圧が与えられて前記制御電圧を出力する演算増幅器と、

第1の内部ノードと前記第1の出力ノードの間に接続され、制御電極に第1の入力信号が与えられる第3のトランジスタと、

第2の内部ノードと前記第2の出力ノードの間に接続され、制御電極に第2の入力信号が与えられる第4のトランジスタと、

前記第1及び第2の内部ノードの間を接続する抵抗と、

第2の電源電位と前記第1の内部ノードの間に接続され、前記バイアス電圧に対応した一定の電流を流す第5のトランジスタと、

前記第2の電源電位と前記第2の内部ノードの間に接続され、前記バイアス電圧に対応した一定の電流を流す第6のトランジスタとを、

備えたことを特徴とする差動増幅回路。

【請求項3】

バイアス電圧を発生させるバイアス部と、

第1の出力ノードと第1の電源電位の間に接続され、制御電圧によって導通状態が制御される第1のトランジスタと、

第2の出力ノードと前記第1の電源電位の間に接続され、前記制御電圧によって導通状態が制御される第2のトランジスタと、

前記第1及び第2の出力ノードの間を接続する抵抗と、

第1の内部ノードと前記第1の出力ノードの間に接続され、制御電極に第1の入力信号が与えられる第3のトランジスタと、

第2の内部ノードと前記第2の出力ノードの間に接続され、制御電極に第2の入力信号が与えられる第4のトランジスタと、

前記第1及び第2の内部ノードの間を接続する抵抗と、

第2の電源電位と前記第1の内部ノードの間に接続され、前記バイアス電圧に対応した一定の電流を流す第5のトランジスタと、

前記第2の電源電位と前記第2の内部ノードの間に接続され、前記バイアス電圧に対応した一定の電流を流す第6のトランジスタと、

前記第1及び第2の出力ノードに接続され、基準電圧と該第1及び第2の出力ノードの平均電圧の差に応じた電圧を前記制御電圧として出力する増幅部とを、

備えたことを特徴とする差動増幅回路。

【請求項4】

バイアス電圧を発生させるバイアス部と、

第1の出力ノードと第1の電源電位の間に接続され、制御電極を有する第1のトランジスタと、

第2の出力ノードと前記第1の電源電位の間に接続され、制御電極を有する第2のトランジスタと、

前記第1及び第2の出力ノードの間に直列に接続された複数の抵抗と、

前記第1の抵抗と第2の抵抗との間に接続された正相入力端子と、基準電圧が与えられる逆相入力端子と、前記第1の及び第2のトランジスタの前記制御電極に接続された出力端子とを有する演算増幅器と、

第1の内部ノードと前記第1の出力ノードの間に接続され、第1の入力信号が与えられる制御電極を有する第3のトランジスタと、

第2の内部ノードと前記第2の出力ノードの間に接続され、第2の入力信号が与えられる制御電極を有する第4のトランジスタと、

前記第1及び第2の内部ノードの間に接続された抵抗と、

前記第1及び第2の内部ノードと前記第1の電源電位よりも低い第2の電源電位との間に接続され、前記バイアス電圧によって制御される定電流回路とを、

備えたことを特徴とする差動増幅回路。

【請求項5】

前記バイアス部は、一定電流を流す抵抗素子を有しており、

前記バイアス電圧は、前記抵抗素子に流れる前記一定電流に基づいて生成されることを特徴とする請求項1～4のいずれか1項に記載された差動増幅回路。

【請求項6】

前記複数の抵抗は、それぞれ実質的に等しい抵抗値を有することを特徴とする請求項1、2又は4記載の差動増幅回路。

【請求項 7】

前記第1及び第2の内部ノードの間に接続された前記抵抗は、直列に接続された複数の抵抗素子から成ることを特徴とする請求項2又は4記載の差動増幅回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

本発明の差動増幅回路は、バイアス電圧を発生させるバイアス部と、第1の出力ノードと第1の電源電位の間に接続され、制御電圧によって導通状態が制御される第1のトランジスタと、第2の出力ノードと前記第1の電源電位の間に接続され、前記制御電圧によって導通状態が制御される第2のトランジスタと、前記第1及び第2の出力ノードの間を接続する複数の抵抗と、正相入力端子が前記複数の抵抗の間の点に接続され、逆相入力端子に基準電圧が与えられて前記制御電圧を出力する演算増幅器と、内部ノードと前記第1の出力ノードの間に接続され、制御電極に第1の入力信号が与えられる第3のトランジスタと、前記内部ノードと前記第2の出力ノードの間に接続され、制御電極に第2の入力信号が与えられる第4のトランジスタと、第2の電源電位と前記内部ノードの間に接続され、前記バイアス電圧に対応した一定の電流を流す第5のトランジスタとを備えたことを特徴としている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

本発明では、第1及び第2の出力ノードを接続する複数の抵抗の間の点の電圧と基準電圧に応じて制御電圧を出力する演算増幅器を設け、この制御電圧を第1の電源電位と第1及び第2の出力ノードに接続された第1及び第2のトランジスタの制御電極にフィードバックさせるようにしている。これにより、出力信号の中心電圧が常に基準電圧と同じ電位に制御され、電源電位の変動に影響されない差動増幅回路が得られる。更に、この差動増幅回路を用いれば、直流遮断用のキャパシタを介さずに、後段の回路の入力部に接続することができるという効果がある。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

また、この複数の抵抗とバイアス部の抵抗を同じ製造工程で形成すれば、出力信号の最大振幅値や電圧利得の製造条件による変動をなくすことができるという効果がある。