

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年11月21日(21.11.2024)



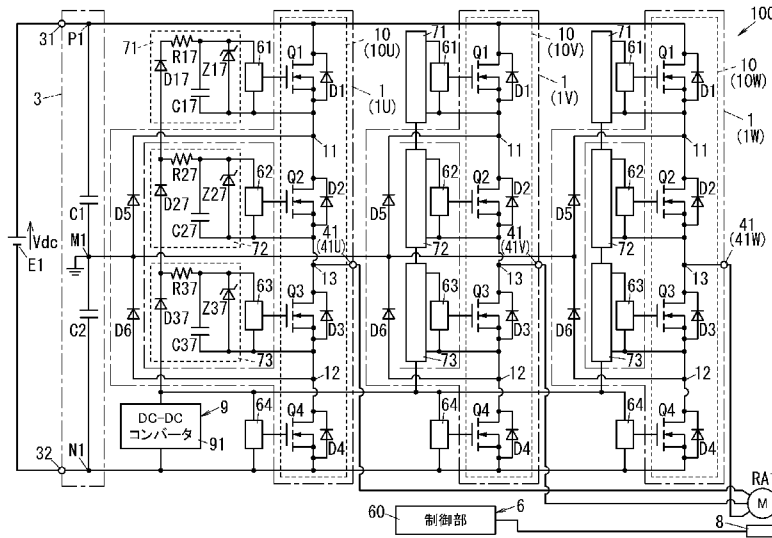
(10) 国際公開番号

WO 2024/236980 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01) H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2024/015024
- (22) 国際出願日: 2024年4月15日(15.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-081077 2023年5月16日(16.05.2023) JP
- (71) 出願人: パナソニックIPマネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5710057 大阪府門真市元町2番6号 Osaka (JP).
- (72) 発明者: 梶島 孝宗 (KABASHIMA, Takamune). 新井 康弘 (ARAI, Yasuhiro). 鈴木 朝実良 (SUZUKI, Asamira). 中村 裕一 (NAKAMURA, Hirokazu). ヘガデアナンタ (HEGDE, Anantha).
- (74) 代理人: 弁理士法人北斗特許事務所 (HOKUTO PATENT ATTORNEYS OFFICE); 〒5300001 大阪府大阪市北区梅田一丁目12-17 JR E 梅田スクエアビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: ELECTRIC POWER CONVERSION APPARATUS

(54) 発明の名称: 電力変換装置



60 Control unit
91 DC-DC converter

(57) Abstract: The present invention addresses the problem of suppressing a voltage drop in a bootstrap circuit. A control unit (60) has: a first control mode in which a first switching element (Q1) is turned on, a second switching element (Q2) is turned on, a third switching element (Q3) is turned off, and a fourth switching element (Q4) is turned off; a second control mode in which the first switching element (Q1) is turned off, the second switching element (Q2) is turned on, the third switching element (Q3) is turned on, and the fourth switching element (Q4) is turned off; and a third control mode in

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO(BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

which the first switching element (Q1) is turned off, the second switching element (Q2) is turned on, the third switching element (Q3) is turned off, and the fourth switching element (Q4) is turned on. When the polarity of the current flowing through an output terminal (41) is positive, the control unit (60) shifts, immediately after the third control mode, to the second mode and then to the first control mode.

(57) 要約: 課題は、ブートストラップ回路の電圧低下を抑制することである。制御部(60)は、第1スイッチング素子(Q1)をオンさせ、第2スイッチング素子(Q2)をオンさせ、第3スイッチング素子(Q3)をオフさせ、第4スイッチング素子(Q4)をオフさせる第1制御モードと、第1スイッチング素子(Q1)をオフさせ、第2スイッチング素子(Q2)をオンさせ、第3スイッチング素子(Q3)をオンさせ、第4スイッチング素子(Q4)をオフさせる第2制御モードと、第1スイッチング素子(Q1)をオフさせ、第2スイッチング素子(Q2)をオンさせ、第3スイッチング素子(Q3)をオフさせ、第4スイッチング素子(Q4)をオンさせる第3制御モードと、を有する。制御部(60)は、出力端子(41)に流れる電流の極性が正のときには、第3制御モードの直後に、第2制御モードを経てから第1制御モードに移行する。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本開示は、電力変換装置に関し、より詳細には、ブートストラップ回路を備える電力変換装置に関する。

背景技術

[0002] 特許文献1は、3レベル中性点クランプ形インバータのスイッチング素子駆動回路を開示している。

[0003] 特許文献1に開示された中性点クランプ形インバータは、第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子の直列回路（スイッチング回路）と、第1クランプダイオード（第1ダイオード）と、第2クランプダイオード（第2ダイオード）と、直流電圧の平滑化及びその中性点電位を生成する、2つの平滑コンデンサの直列回路（直流電源部）と、を備える。

[0004] また、スイッチング素子駆動回路は、第1スイッチング素子を駆動するための第1ゲート駆動回路（第1ゲートドライバ）と、第2スイッチング素子を駆動するための第2ゲート駆動回路（第2ゲートドライバ）と、第3スイッチング素子を駆動するための第3ゲート駆動回路（第3ゲートドライバ）と、第4スイッチング素子を駆動するための第4ゲート駆動回路（第4ゲートドライバ）と、を備える。第1ゲート駆動回路、第2ゲート駆動回路、第3ゲート駆動回路及び第4ゲート駆動回路には、制御回路（制御部）によりスイッチング信号が入力される。

[0005] また、スイッチング素子駆動回路は、ゲート電源（電源部）を備える。ゲート電源の負側端子は、第4ゲート駆動回路の負側端子と共に負側電源線に接続されている。ゲート電源の正側端子は、第4ゲート駆動回路の正側端子と共に、順方向のダイオードを介して第3ゲート駆動回路の正側端子に接続されている。

[0006] 第3ゲート駆動回路の負側端子は、第3スイッチング素子及び第4スイッチング素子の共通接続点に接続されている。第3ゲート駆動回路に対しては、コンデンサが並列に接続されている。

[0007] 特許文献1に開示された3レベル中性点クランプ形インバータとスイッチング素子駆動回路とを備える電力変換装置では、第3ゲート駆動回路に並列に接続されているコンデンサとダイオードとを含むブートストラップ回路の電圧低下が問題となることがある。

先行技術文献

特許文献

[0008] 特許文献1：特開2018-133876号公報

発明の概要

[0009] 本開示の目的は、ブートストラップ回路の電圧低下を抑制することが可能な電力変換装置を提供することにある。

[0010] 本開示に係る一態様の電力変換装置は、直流電源部と、スイッチング回路と、第1ダイオードと、第2ダイオードと、出力端子と、第1ゲートドライバと、第2ゲートドライバと、第3ゲートドライバと、第4ゲートドライバと、ブートストラップ回路と、電源部と、制御部と、を備える。前記直流電源部は、正極と負極と中間電位点とを有する。前記スイッチング回路は、第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子を有する。前記スイッチング回路では、前記正極と前記負極との間において、前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子が、前記正極側から前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子の順に並んで直列接続されている。前記第1ダイオードは、前記第1スイッチング素子と前記第2スイッチング素子との第1接続点にカソードが接続されており、前記中間電位点にアノードが接続されている。前記第2ダイオードは、前記第3スイッチング素子と前記第4スイッチング素子との第2接続点にアノードが接続されてお

り、前記中間電位点にカソードが接続されている。前記出力端子は、前記第2スイッチング素子と前記第3スイッチング素子との第3接続点に接続されており、交流負荷に接続される。前記第1ゲートドライバは、前記第1スイッチング素子を駆動する。前記第2ゲートドライバは、前記第2スイッチング素子を駆動する。前記第3ゲートドライバは、前記第3スイッチング素子を駆動する。前記第4ゲートドライバは、前記第4スイッチング素子を駆動する。前記ブートストラップ回路は、前記第3ゲートドライバに電圧を供給する。前記電源部は、前記ブートストラップ回路及び前記第4ゲートドライバに電圧を供給する。前記制御部は、前記第1ゲートドライバ、前記第2ゲートドライバ、前記第3ゲートドライバ及び前記第4ゲートドライバを制御する。前記制御部は、第1制御モードと、第2制御モードと、第3制御モードと、を有する。前記制御部は、前記第1制御モードでは、前記第1スイッチング素子をオンさせ、前記第2スイッチング素子をオンさせ、前記第3スイッチング素子をオフさせ、前記第4スイッチング素子をオフさせる。前記制御部は、前記第2制御モードでは、前記第1スイッチング素子をオフさせ、前記第2スイッチング素子をオンさせ、前記第3スイッチング素子をオンさせ、前記第4スイッチング素子をオフさせる。前記制御部は、前記第3制御モードでは、前記第1スイッチング素子をオフさせ、前記第2スイッチング素子をオンさせ、前記第3スイッチング素子をオフさせ、前記第4スイッチング素子をオンさせる。前記制御部は、前記出力端子に流れる電流の極性が正のときには、前記第3制御モードの直後に、前記第2制御モードを経てから前記第1制御モードに移行する。

図面の簡単な説明

[0011] [図1]図1は、実施形態に係る電力変換装置を備えるシステムの回路図である。

[図2]図2は、同上の電力変換装置においてスイッチング回路が第1スイッチング状態のとき（制御部が第1制御モードで動作したとき）の電流経路の説明図である。

[図3]図3は、同上の電力変換装置においてスイッチング回路が第1スイッチング状態のときの放電経路及び充電経路の説明図である。

[図4]図4は、同上の電力変換装置においてスイッチング回路が第2スイッチング状態のときの電流経路の説明図である。

[図5]図5は、同上の電力変換装置においてスイッチング回路が第2スイッチング状態のときの放電経路及び充電経路の説明図である。

[図6]図6は、同上の電力変換装置においてスイッチング回路が第3スイッチング状態のときの電流経路の説明図である。

[図7]図7は、同上の電力変換装置においてスイッチング回路が第3スイッチング状態のときの放電経路及び充電経路の説明図である。

[図8]図8は、同上の電力変換装置においてスイッチング回路が第4スイッチング状態のときの電流経路の説明図である。

[図9]図9は、同上の電力変換装置においてスイッチング回路が第4スイッチング状態のときの放電経路及び充電経路の説明図である。

[図10]図10は、同上の電力変換装置における出力電流の波形図である。

[図11]図11は、同上の電力変換装置の動作説明図である。

[図12]図12は、同上の電力変換装置の動作波形図である。

[図13]図13は、同上の電力変換装置の動作波形図である。

[図14]図14は、同上の電力変換装置の動作波形図である。

[図15]図15は、同上の電力変換装置における各相の電圧指令値の説明図である。

[図16]図16は、同上の電力変換装置に関する一群の電圧ベクトルの説明図である。

[図17]図17は、同上の電力変換装置に関する一群の電圧ベクトルのより詳細な説明図である。

[図18]図18は、同上の電力変換装置における制御部の動作を説明するためのベクトル図である。

[図19]図19は、変形例に係る電力変換装置を備えるシステムの回路図であ

る。

発明を実施するための形態

[0012] (実施形態)

以下では、実施形態に係る電力変換装置100について、図1～18に基づいて説明する。

[0013] (1) 概要

電力変換装置100は、例えば、図1に示すように、直流電源部3と、複数(例えば、3つ)のインバータ回路1と、制御装置6と、を備える。直流電源部3は、正極P1と負極N1と中間電位点M1とを有する。複数のインバータ回路1は、直流電源部3の正極P1と負極N1との間に接続されている。制御装置6は、複数のインバータ回路1を制御する。「中間電位点M1」とは、直流電源部3の正極P1の電位と負極N1の電位との間の中間の電位となる点である。

[0014] 電力変換装置100は、ダイオードクランプ型の3レベル3相インバータである。電力変換装置100では、複数のインバータ回路1の各々が出力端子41を有している。電力変換装置100では、複数の出力端子41に交流負荷RA1が接続される。

[0015] 交流負荷RA1は、例えば、3相モータである。電力変換装置100では、複数のインバータ回路1のうちの1つが、U相の電圧を出力するインバータ回路1Uであり、別の1つが、V相の電圧を出力するインバータ回路1Vであり、残りの1つが、W相の電圧を出力するインバータ回路1Wである。

[0016] 複数のインバータ回路1の各々は、スイッチング回路10と、ダイオードD1と、ダイオードD2と、ダイオードD3と、ダイオードD4と、を有する。また、複数のインバータ回路1の各々は、ダイオード(第1ダイオード)D5(以下、第1ダイオードD5とも称する)と、ダイオードD6(以下、第2ダイオードD6とも称する)と、を有する。電力変換装置100では、中間電位点M1の電位が、各インバータ回路1の第1ダイオードD5及び第2ダイオードD6によってクランプされる。

- [0017] 各スイッチング回路10は、第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4を有する。各スイッチング回路10では、第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4が、直流電源部3の正極P1側から負極N1側へ第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4の順に並ぶように直列接続されている。
- [0018] 各インバータ回路1では、ダイオードD1は、第1スイッチング素子Q1に逆並列接続されている。ダイオードD2は、第2スイッチング素子Q2に逆並列接続されている。ダイオードD3は、第3スイッチング素子Q3に逆並列接続されている。ダイオードD4は、第4スイッチング素子Q4に逆並列接続されている。第1ダイオードD5は、第1スイッチング素子Q1と第2スイッチング素子Q2との第1接続点11にカソードが接続されており、中間電位点M1にアノードが接続されている。第2ダイオードD6は、第3スイッチング素子Q3と第4スイッチング素子Q4との第2接続点12にアノードが接続されており、中間電位点M1にカソードが接続されている。
- [0019] 制御装置6は、複数（例えば、3つ）の第1ゲートドライバ61と、複数（例えば、3つ）の第2ゲートドライバ62と、複数（例えば、3つ）の第3ゲートドライバ63と、複数（例えば、3つ）の第4ゲートドライバ64と、を有する。また、制御装置6は、複数（例えば、3つ）の第1ブートストラップ回路71と、複数（例えば、3つ）の第2ブートストラップ回路72と、複数（例えば、3つ）の第3ブートストラップ回路73と、電源部9と、制御部60と、を有する。
- [0020] 複数の第1ゲートドライバ61は、複数のインバータ回路1の各々の第1スイッチング素子Q1を駆動する。複数の第2ゲートドライバ62は、複数のインバータ回路1の各々の第2スイッチング素子Q2を駆動する。複数の第3ゲートドライバ63は、複数のインバータ回路1の各々の第3スイッチング素子Q3を駆動する。複数の第4ゲートドライバ64は、複数のインバ

ータ回路 1 の各々の第 4 スwitching 素子 Q 4 を駆動する。

[0021] 複数の第 1 ブートストラップ回路 7 1 は、複数の第 1 ゲートドライバ 6 1 に一対一に対応する。複数の第 1 ブートストラップ回路 7 1 の各々は、対応する第 1 ゲートドライバ 6 1 に電圧を供給する。複数の第 2 ブートストラップ回路 7 2 は、複数の第 2 ゲートドライバ 6 2 に一対一に対応する。複数の第 2 ブートストラップ回路 7 2 の各々は、対応する第 2 ゲートドライバ 6 2 に電圧を供給する。複数の第 3 ブートストラップ回路 7 3 は、複数の第 3 ゲートドライバ 6 3 に一対一に対応する。複数の第 3 ブートストラップ回路 7 3 の各々は、対応する第 3 ゲートドライバ 6 3 に電圧を供給する。電源部 9 は、複数の第 4 ゲートドライバ 6 4 に電圧を供給する。

[0022] 制御部 6 0 は、複数の第 1 ゲートドライバ 6 1、複数の第 2 ゲートドライバ 6 2、複数の第 3 ゲートドライバ 6 3 及び複数の第 4 ゲートドライバ 6 4 を制御する。

[0023] (2) 電力変換装置の詳細

直流電源部 3 は、第 1 コンデンサ C 1 と、第 2 コンデンサ C 2 と、を有する。直流電源部 3 では、第 1 コンデンサ C 1 と第 2 コンデンサ C 2 とが直列接続されている。直流電源部 3 は、正極 P 1 に接続されている第 1 直流端子 3 1 と、負極 N 1 に接続されている第 2 直流端子 3 2 と、を更に有している。直流電源部 3 では、第 1 コンデンサ C 1 の第 1 端が第 1 直流端子 3 1 に接続されており、第 1 コンデンサ C 1 の第 2 端が第 2 コンデンサ C 2 の第 1 端に接続されており、第 2 コンデンサ C 2 の第 2 端が第 2 直流端子 3 2 に接続されている。直流電源部 3 では、第 1 コンデンサ C 1 と第 2 コンデンサ C 2 との接続点が中間電位点 M 1 である。第 1 直流端子 3 1 と第 2 直流端子 3 2 との間には、例えば、直流電圧源 E 1 が接続される。この場合、直流電源部 3 の正極 P 1 と負極 N 1 との間には、直流電圧源 E 1 の出力電圧 V_{dc} が印加される。なお、第 2 コンデンサ C 2 のキャパシタンスは、第 1 コンデンサ C 1 のキャパシタンスと同じである。「第 2 コンデンサ C 2 のキャパシタンスは、第 1 コンデンサ C 1 のキャパシタンスと同じである」とは、第 2 コン

デンサC 2のキャパシタンスが第1コンデンサC 1のキャパシタンスに完全に一致する場合だけに限らず、第2コンデンサC 2のキャパシタンスが第1コンデンサC 1のキャパシタンスの95%以上105%以下の範囲内であればよい。

[0024] 以下では、説明の便宜上、複数のスイッチング回路10に関し、インバータ回路1Uに含まれるスイッチング回路10をスイッチング回路10Uと称し、インバータ回路1Vに含まれるスイッチング回路10をスイッチング回路10Vと称し、インバータ回路1Wに含まれるスイッチング回路10をスイッチング回路10Wと称することもある。また、複数の出力端子41のうちインバータ回路1Uに含まれる出力端子41を出力端子41Uと称し、インバータ回路1Vに含まれる出力端子41を出力端子41Vと称し、インバータ回路1Wに含まれる出力端子41を出力端子41Wと称することもある。

[0025] 各スイッチング回路10の第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4は、制御端子と、第1主端子と、第2主端子と、を有する。各スイッチング回路10の第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4は、例えば、MOSFETである。したがって、各スイッチング回路10の第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4の各々における、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート端子、ドレイン端子及びソース端子である。各スイッチング回路10において、第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4の各々を構成するMOSFETは、例えば、ノーマリオフ型のnチャンネルMOSFETである。なお、MOSFETは、Si系MOSFETであるが、Si系MOSFETに限らず、例えば、SiC系MOSFETであってもよい。

[0026] 各スイッチング回路10の第1スイッチング素子Q1の制御端子は、複数

の第1ゲートドライバ61のうち対応する第1ゲートドライバ61に接続されている。また、各スイッチング回路10の第2スイッチング素子Q2の制御端子は、複数の第2ゲートドライバ62のうち対応する第2ゲートドライバ62に接続されている。また、各スイッチング回路10の第3スイッチング素子Q3の制御端子は、複数の第3ゲートドライバ63のうち対応する第3ゲートドライバ63に接続されている。また、各スイッチング回路10の第4スイッチング素子Q4の制御端子は、複数の第4ゲートドライバ64のうち対応する第4ゲートドライバ64に接続されている。

[0027] 各スイッチング回路10では、第1スイッチング素子Q1の第1主端子が直流電源部3の正極P1に接続され、第1スイッチング素子Q1の第2主端子が第2スイッチング素子Q2の第1主端子に接続されている。また、各スイッチング回路10では、第2スイッチング素子Q2の第2主端子が第3スイッチング素子Q3の第1主端子に接続されている。また、各スイッチング回路10では、第3スイッチング素子Q3の第2主端子が第4スイッチング素子Q4の第1主端子に接続され、第4スイッチング素子Q4の第2主端子が直流電源部3の負極N1に接続されている。

[0028] インバータ回路1Uでは、スイッチング回路10Uにおける第2スイッチング素子Q2と第3スイッチング素子Q3との第3接続点13が出力端子41Uに接続されている。また、インバータ回路1Vでは、スイッチング回路10Vにおける第2スイッチング素子Q2と第3スイッチング素子Q3との第3接続点13が出力端子41Vに接続されている。また、インバータ回路1Wでは、スイッチング回路10Wにおける第2スイッチング素子Q2と第3スイッチング素子Q3との第3接続点13が出力端子41Wに接続されている。インバータ回路1Uの第3接続点13には、出力端子41Uを介して、例えば、交流負荷RA1のU相が接続される。また、インバータ回路1Vの第3接続点13には、出力端子41Vを介して、例えば、交流負荷RA1のV相が接続される。また、インバータ回路1Wの第3接続点13には、出力端子41Wを介して、例えば、交流負荷RA1のW相が接続される。

[0029] 各インバータ回路1では、ダイオードD1のアノードが、第1スイッチング素子Q1の第2主端子（ソース端子）に接続され、ダイオードD1のカソードが、第1スイッチング素子Q1の第1主端子（ドレイン端子）に接続されている。また、各インバータ回路1では、ダイオードD2のアノードが、第2スイッチング素子Q2の第2主端子（ソース端子）に接続され、ダイオードD2のカソードが、第2スイッチング素子Q2の第1主端子（ドレイン端子）に接続されている。また、各インバータ回路1では、ダイオードD3のアノードが、第3スイッチング素子Q3の第2主端子（ソース端子）に接続され、ダイオードD3のカソードが、第3スイッチング素子Q3の第1主端子（ドレイン端子）に接続されている。また、各インバータ回路1では、ダイオードD4のアノードが、第4スイッチング素子Q4の第2主端子（ソース端子）に接続され、ダイオードD4のカソードが、第4スイッチング素子Q4の第1主端子（ドレイン端子）に接続されている。

[0030] 各インバータ回路1では、ダイオードD1は、第1スイッチング素子Q1を構成するMOSFETの寄生ダイオードで代用されてもよい。また、各インバータ回路1では、ダイオードD2は、第2スイッチング素子Q2を構成するMOSFETの寄生ダイオードで代用されてもよい。また、各インバータ回路1では、ダイオードD3は、第3スイッチング素子Q3を構成するMOSFETの寄生ダイオードで代用されてもよい。また、各インバータ回路1では、ダイオードD4は、第4スイッチング素子Q4を構成するMOSFETの寄生ダイオードで代用されてもよい。

[0031] 各インバータ回路1では、第1ダイオードD5のカソードは、第1スイッチング素子Q1と第2スイッチング素子Q2との第1接続点11に接続されている。また、第1ダイオードD5のアノードは、直流電源部3の中間電位点M1に接続されている。実施形態では、中間電位点M1がグラウンドに接続されているので、中間電位点M1の電位が0Vである。この場合、直流電源部3の両端電圧を V_{dc} とすると、正極P1の電位は、 $V_{dc}/2$ であり、負極N1の電位は、 $-V_{dc}/2$ である。

- [0032] 第2ダイオードD6のカソードは、中間電位点M1に接続されている。第2ダイオードD6のアノードは、第3スイッチング素子Q3と第4スイッチング素子Q4との第2接続点12に接続されている。
- [0033] 複数の第1ゲートドライバ61は、複数の第1スイッチング素子Q1に一对一に対応する。複数の第1ゲートドライバ61の各々は、対応する第1スイッチング素子Q1の制御端子に接続されている。複数の第1ゲートドライバ61の各々は、対応する第1スイッチング素子Q1を駆動する。複数の第1ゲートドライバ61は、制御部60に接続されている。制御部60は、複数の第1ゲートドライバ61に一对一に対応する複数の第1制御信号S1（図2参照）を出力する。複数の第1ゲートドライバ61の各々は、与えられた第1制御信号S1に基づいて、第1スイッチング素子Q1をオンオフ制御する。
- [0034] 複数の第2ゲートドライバ62は、複数の第2スイッチング素子Q2に一对一に対応する。複数の第2ゲートドライバ62の各々は、対応する第2スイッチング素子Q2の制御端子に接続されている。複数の第2ゲートドライバ62の各々は、対応する第2スイッチング素子Q2を駆動する。複数の第2ゲートドライバ62は、制御部60に接続されている。制御部60は、複数の第2ゲートドライバ62に一对一に対応する複数の第2制御信号S2（図2参照）を出力する。複数の第2ゲートドライバ62の各々は、与えられた第2制御信号S2に基づいて、第2スイッチング素子Q2をオンオフ制御する。
- [0035] 複数の第3ゲートドライバ63は、複数の第3スイッチング素子Q3に一对一に対応する。複数の第3ゲートドライバ63の各々は、対応する第3スイッチング素子Q3の制御端子に接続されている。複数の第3ゲートドライバ63の各々は、対応する第3スイッチング素子Q3を駆動する。複数の第3ゲートドライバ63は、制御部60に接続されている。制御部60は、複数の第3ゲートドライバ63に一对一に対応する複数の第3制御信号S3（図2参照）を出力する。複数の第3ゲートドライバ63の各々は、与えられ

た第3制御信号S3に基づいて、第3スイッチング素子Q3をオンオフ制御する。

[0036] 複数の第4ゲートドライバ64は、複数の第4スイッチング素子Q4に一対一に対応する。複数の第4ゲートドライバ64の各々は、対応する第4スイッチング素子Q4の制御端子に接続されている。複数の第4ゲートドライバ64の各々は、対応する第4スイッチング素子Q4を駆動する。複数の第4ゲートドライバ64は、制御部60に接続されている。制御部60は、複数の第4ゲートドライバ64に一対一に対応する複数の第4制御信号S4（図2参照）を出力する。複数の第4ゲートドライバ64の各々は、与えられた第4制御信号S4に基づいて、第4スイッチング素子Q4をオンオフ制御する。

[0037] 複数の第1ブートストラップ回路71は、複数の第1ゲートドライバ61に一対一に対応する。複数の第1ブートストラップ回路71は、対応する第1ゲートドライバ61に電圧を供給する。複数の第1ブートストラップ回路71の各々は、ダイオードD17と、抵抗R17と、コンデンサC17（昇圧用コンデンサC17ともいう）と、を有する。各第1ブートストラップ回路71では、ダイオードD17のアノードがダイオードD27及びダイオードD37を介して電源部9の正側端子に接続されており、ダイオードD17のカソードが抵抗R17を介してコンデンサC17の第1端に接続されている。コンデンサC17の第1端は、第1ゲートドライバ61の高電位側電源端子61H（図3参照）に接続されており、コンデンサC17の第2端は、第1ゲートドライバ61の低電位側電源端子61L（図3参照）に接続されている。第1ブートストラップ回路71は、第1ゲートドライバ61において第1スイッチング素子Q1をオンさせるために必要な電圧を第1ゲートドライバ61に供給する。複数の第1ブートストラップ回路71の各々は、コンデンサC17に並列接続されているツェナダイオードZ17を更に有する。

[0038] 複数の第2ブートストラップ回路72は、複数の第2ゲートドライバ62

に一对一に対応する。複数の第2ブートストラップ回路72は、対応する第2ゲートドライバ62に電圧を供給する。複数の第2ブートストラップ回路72の各々は、ダイオードD27と、抵抗R27と、コンデンサC27（昇圧用コンデンサC27ともいう）と、を有する。各第2ブートストラップ回路72では、ダイオードD27のアノードがダイオードD37を介して電源部9の正側端子に接続されており、ダイオードD27のカソードが抵抗R27を介してコンデンサC27の第1端に接続されている。コンデンサC27の第1端は、第2ゲートドライバ62の高電位側電源端子62H（図3参照）に接続されており、コンデンサC27の第2端は、第2ゲートドライバ62の低電位側電源端子62L（図3参照）に接続されている。第2ブートストラップ回路72は、第2ゲートドライバ62において第2スイッチング素子Q2をオンさせるために必要な電圧を第2ゲートドライバ62に供給する。複数の第2ブートストラップ回路72の各々は、コンデンサC27に並列接続されているツェナダイオードZ27を更に有する。

[0039] 複数の第3ブートストラップ回路73は、複数の第3ゲートドライバ63に一对一に対応する。複数の第3ブートストラップ回路73は、対応する第3ゲートドライバ63に電圧を供給する。複数の第3ブートストラップ回路73の各々は、ダイオードD37と、抵抗R37と、コンデンサC37（昇圧用コンデンサC37ともいう）と、を有する。各第3ブートストラップ回路73では、ダイオードD37のアノードが電源部9の正側端子に接続されており、ダイオードD37のカソードが抵抗R37を介してコンデンサC37の第1端に接続されている。コンデンサC37の第1端は、第3ゲートドライバ63の高電位側電源端子63H（図3参照）に接続されており、コンデンサC37の第2端は、第3ゲートドライバ63の低電位側電源端子63L（図3参照）に接続されている。第3ブートストラップ回路73は、第3ゲートドライバ63において第3スイッチング素子Q3をオンさせるために必要な電圧を第3ゲートドライバ63に供給する。複数の第3ブートストラップ回路73の各々は、コンデンサC37に並列接続されているツェナダイ

オードZ37を更に有する。

[0040] 電源部9は、複数(3つ)の第1ブートストラップ回路71、複数(3つ)の第2ブートストラップ回路72、複数(3つ)の第3ブートストラップ回路73及び複数(3つ)の第4ゲートドライバ64に電圧を供給する。電源部9は、例えば、絶縁型のDC-DCコンバータ91を含む直流電源である。電源部9の正側端子は、複数の第4ゲートドライバ64の各々の高電位側電源端子64H(図3参照)に接続されており、電源部9の負側端子は、複数の第4ゲートドライバ64の各々の低電位側電源端子64L(図3参照)に接続されている。

[0041] 制御部60は、複数の第1ゲートドライバ61、複数の第2ゲートドライバ62、複数の第3ゲートドライバ63及び複数の第4ゲートドライバ64を制御する。これにより、制御部60は、複数の第1スイッチング素子Q1、複数の第2スイッチング素子Q2、複数の第3スイッチング素子Q3及び複数の第4スイッチング素子Q4を制御する。制御部60の実行主体は、コンピュータシステムを含んでいる。コンピュータシステムは、1又は複数のコンピュータを有している。コンピュータシステムは、ハードウェアとしてのプロセッサ及びメモリを主構成とする。コンピュータシステムのメモリに記録されたプログラムをプロセッサが実行することによって、本開示における制御部60の実行主体としての機能が実現される。プログラムは、コンピュータシステムのメモリに予め記録されていてもよいが、電気通信回線を通じて提供されてもよいし、コンピュータシステムで読み取り可能なメモリカード、光学ディスク、ハードディスクドライブ(磁気ディスク)等の非一時的記録媒体に記録されて提供されてもよい。コンピュータシステムのプロセッサは、半導体集積回路(IC)又は大規模集積回路(LSI)を含む1乃至複数の電子回路で構成される。複数の電子回路は、1つのチップに集約されていてもよいし、複数のチップに分散して設けられていてもよい。複数のチップは、1つの装置に集約されていてもよいし、複数の装置に分散して設けられていてもよい。

[0042] 制御部60は、複数(3つ)の第1スイッチング素子Q1を制御するための複数(3つ)の第1制御信号S1(図2参照)と、複数(3つ)の第2スイッチング素子Q2を制御するための複数(3つ)の第2制御信号S2(図2参照)と、複数の第3スイッチング素子Q3を制御するための複数(3つ)の第3制御信号S3(図2参照)と、複数(3つ)の第4スイッチング素子Q4を制御するための複数(3つ)の第4制御信号S4と、を出力する。なお、図2では、3つのインバータ回路1(図1参照)のうち1つのインバータ回路1のみを記載し、残りの2つのインバータ回路1の図示を省略してある。また、図2では、図1における、複数の第1ゲートドライバ61と、複数の第2ゲートドライバ62と、複数の第3ゲートドライバ63と、複数の第4ゲートドライバ64と、複数の第1ブートストラップ回路71と、複数の第2ブートストラップ回路72と、複数の第3ブートストラップ回路73と、電源部9との図示を省略してある。また、図3では、3つのインバータ回路1(図1参照)のうち1つのインバータ回路1のみを記載し、残りの2つのインバータ回路1の図示を省略してある。また、図3では、図1における、2つの第1ゲートドライバ61と、2つの第2ゲートドライバ62と、2つの第3ゲートドライバ63と、2つの第4ゲートドライバ64と、2つの第1ブートストラップ回路71と、2つの第2ブートストラップ回路72と、2つの第3ブートストラップ回路73との図示を省略してある。

[0043] 3つの第1制御信号S1は、スイッチング回路10Uの第1スイッチング素子Q1を制御する第1制御信号S1Uと、スイッチング回路10Vの第1スイッチング素子Q1を制御する第1制御信号S1Vと、スイッチング回路10Wの第1スイッチング素子Q1を制御する第1制御信号S1Wと、を含む。

[0044] 3つの第2制御信号S2は、スイッチング回路10Uの第2スイッチング素子Q2を制御する第2制御信号S2Uと、スイッチング回路10Vの第2スイッチング素子Q2を制御する第2制御信号S2Vと、スイッチング回路10Wの第2スイッチング素子Q2を制御する第2制御信号S2Wと、を含

む。

[0045] 3つの第3制御信号S3は、スイッチング回路10Uの第3スイッチング素子Q3を制御する第3制御信号S3Uと、スイッチング回路10Vの第3スイッチング素子Q3を制御する第3制御信号S3Vと、スイッチング回路10Wの第3スイッチング素子Q3を制御する第3制御信号S3Wと、を含む。

[0046] 3つの第4制御信号S4は、スイッチング回路10Uの第4スイッチング素子Q4を制御する第4制御信号S4Uと、スイッチング回路10Vの第4スイッチング素子Q4を制御する第4制御信号S4Vと、スイッチング回路10Wの第4スイッチング素子Q4を制御する第4制御信号S4Wと、を含む。

[0047] 複数の第1制御信号S1、複数の第2制御信号S2、複数の第3制御信号S3及び複数の第4制御信号S4の各々は、例えば、電位レベルが第1電位レベル（以下、ローレベルともいう）と、第1電位レベルよりも高電位の第2電位レベル（以下、ハイレベルともいう）と、の間で変化する信号である。

[0048] 第1電位レベルは、例えば、0Vであり、第2電位レベルは、MOSFETのゲート閾値電圧よりも大きな電位レベルである。つまり、複数の制御信号（複数の第1制御信号S1、複数の第2制御信号S2、複数の第3制御信号S3及び複数の第4制御信号S4）の各々において、第1電位レベルは、その制御信号に対応するスイッチング素子をオフ状態とするための電位レベルであり、第2電位レベルは、その制御信号に対応するスイッチング素子をオン状態とするための電位レベルである。

[0049] 複数の第1スイッチング素子Q1の各々は、対応する第1制御信号S1がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第2スイッチング素子Q2の各々は、対応する第2制御信号S2がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第3スイッチング素子Q3の各々は、対応する第3制御信

号S 3がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第4スイッチング素子Q 4の各々は、対応する第4制御信号S 4がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。

[0050] 電力変換装置100では、複数のインバータ回路1の各々が、第1スイッチング状態又は第2スイッチング状態、第3スイッチング状態又は第4スイッチング状態に制御される。つまり、電力変換装置100は、3つのインバータ回路1U、1V、1Wの各々において、スイッチング回路10のスイッチング状態が、第1スイッチング状態と、第2スイッチング状態と、第3スイッチング状態と、第4スイッチング状態と、のいずれかに制御される。第1スイッチング状態と第2スイッチング状態と第3スイッチング状態と第4スイッチング状態とは、第1～第4スイッチング素子Q 1～Q 4のオンオフの状態の組み合わせが異なる。複数のインバータ回路1の各々では、第1スイッチング状態のときの出力電圧と第2スイッチング状態のときの出力電圧と第3スイッチング状態のときの出力電圧とが互いに異なる。つまり、複数のインバータ回路1の各々では、第1～第4スイッチング素子Q 1～Q 4の状態によって出力電圧の電位レベルが3レベルで変化する。なお、複数のインバータ回路1の出力電圧に関して、U相のインバータ回路1Uの出力電圧と、V相のインバータ回路1Vの出力電圧と、W相のインバータ回路1Wの出力電圧とは、互いの位相が異なる。

[0051] 第1スイッチング状態は、第1スイッチング素子Q 1及び第2スイッチング素子Q 2の両方がオン状態、かつ、第3スイッチング素子Q 3及び第4スイッチング素子Q 4の両方がオフ状態となる組み合わせである。複数のインバータ回路1の各々は、第1スイッチング状態に制御されているときに、直流電源部3の正極P 1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第1スイッチング状態では、第3接続点13の電位が直流電源部3の正極P 1の電位レベル（例えば、 $V_{dc}/2$ ）となる。

- [0052] 第2スイッチング状態は、第1スイッチング素子Q1及び第4スイッチング素子Q4の両方がオフ状態、かつ、第2スイッチング素子Q2及び第3スイッチング素子Q3の両方がオン状態となる組み合わせである。複数のインバータ回路1の各々は、第2スイッチング状態に制御されているときに、直流電源部3の中間電位点M1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第2スイッチング状態では、第3接続点13の電位が中間電位点M1の電位レベル（例えば、0）となる。
- [0053] 第3スイッチング状態は、第1スイッチング素子Q1及び第2スイッチング素子Q2の両方がオフ状態、かつ、第3スイッチング素子Q3及び第4スイッチング素子Q4の両方がオン状態となる組み合わせである。複数のインバータ回路1の各々は、第3スイッチング状態に制御されているときに、直流電源部3の負極N1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第3スイッチング状態では、第3接続点13の電位が直流電源部3の負極N1の電位レベル（例えば、 $-V_{dc}/2$ ）となる。
- [0054] 第4スイッチング状態は、第2スイッチング素子Q2及び第4スイッチング素子Q4の両方がオン状態、かつ、第1スイッチング素子Q1及び第3スイッチング素子Q3の両方がオフ状態となる組み合わせである。複数のインバータ回路1の各々は、第4スイッチング状態に制御されているときに、直流電源部3の中間電位点M1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第4スイッチング状態では、第3接続点13の電位が中間電位点M1の電位レベル（例えば、0）となる。
- [0055] インバータ回路1のスイッチング回路10が第1スイッチング状態のときには、図2に示すように、直流電源部3の正極P1－第1スイッチング素子Q1－第2スイッチング素子Q2－第3接続点13－出力端子41の経路で電流I1が流れて、交流負荷RA1（図1参照）への出力電圧の電圧値が略 $V_{dc}/2$ となる。
- [0056] また、インバータ回路1のスイッチング回路10が第1スイッチング状態

のときには、第1ブートストラップ回路71のコンデンサC17から第1ゲートドライバ61に、第1ゲートドライバ61により第1スイッチング素子Q1をオンさせるために必要な電圧が供給される。したがって、第1ブートストラップ回路71のコンデンサC17の電荷が、図3に示すように、コンデンサC17-第1ゲートドライバ61の高電位側電源端子61H-第1ゲートドライバ61の低電位側電源端子61L-コンデンサC17の放電経路Ru1で放電される。これにより、第1ブートストラップ回路71では、コンデンサC17の両端電圧が時間経過とともに低下する。

[0057] また、インバータ回路1のスイッチング回路10が第1スイッチング状態のときには、第2ブートストラップ回路72のコンデンサC27から第2ゲートドライバ62に、第2ゲートドライバ62により第2スイッチング素子Q2をオンさせるために必要な電圧が供給される。したがって、第2ブートストラップ回路72のコンデンサC27の電荷が、コンデンサC27-第2ゲートドライバ62の高電位側電源端子62H-第2ゲートドライバ62の低電位側電源端子62L-コンデンサC27の放電経路Ru2で放電される。これにより、第2ブートストラップ回路72では、コンデンサC27の両端電圧が時間経過とともに低下する。

[0058] また、インバータ回路1のスイッチング回路10が第1スイッチング状態のときには、第1条件を満たす場合にコンデンサC27によりコンデンサC17が充電される。図3に示すように、コンデンサC17の両端電圧を V_{o1} とし、コンデンサC27の両端電圧を V_{o2} とし、ダイオードD17の両端電圧を V_{d1} とし、抵抗R17の両端電圧を V_{R1} とし、第2スイッチング素子Q2の両端電圧を V_{f2} とすると、第1条件は、 $V_{o2} > (V_{o1} + V_{d1} + V_{R1} + V_{f2})$ という条件である。コンデンサC27によりコンデンサC17を充電する充電経路Ru21は、コンデンサC27-抵抗R27-ダイオードD17-抵抗R17-コンデンサC17-第1接続点11-第2スイッチング素子Q2-コンデンサC27の経路である。

[0059] また、インバータ回路1のスイッチング回路10が第2スイッチング状態

かつ出力電流の極性が正のときには、図4に示すように、直流電源部3の中間電位点M1－第1ダイオードD5－第2スイッチング素子Q2－第3接続点13－出力端子41の経路（太い実線矢印で示す経路）で電流I1が流れて、交流負荷RA1への出力電圧の電圧値が0となる。より詳細には、スイッチング回路10U、10V、10Wが、それぞれ、第2スイッチング状態、第3スイッチング状態、第3スイッチング状態の場合には、直流電源部3の中間電位点M1－インバータ回路1Uの第1ダイオードD5－スイッチング回路10Uの第2スイッチング素子Q2－第3接続点13－出力端子41の経路で電流I1が流れる。

[0060] また、インバータ回路1のスイッチング回路10が第2スイッチング状態かつ出力電流の極性が負のときには、図4に示すように、出力端子41－第3接続点13－第3スイッチング素子Q3－第2接続点12－第2ダイオードD6の経路（太い破線矢印で示す経路）で電流I1が流れて、交流負荷RA1への出力電圧の電圧値が0となる。より詳細には、スイッチング回路10U、10V、10Wが、それぞれ、第2スイッチング状態、第2スイッチング状態、第1スイッチング状態の場合には、インバータ回路1Uにおいて、出力端子41－第3接続点13－第3スイッチング素子Q3－第2接続点12－第2ダイオードD6の経路（太い破線矢印で示す経路）で電流I1が流れて、交流負荷RA1への出力電圧の電圧値が0となる。

[0061] また、インバータ回路1のスイッチング回路10が第2スイッチング状態のときには、第2ブートストラップ回路72のコンデンサC27から第2ゲートドライバ62に、第2ゲートドライバ62により第2スイッチング素子Q2をオンさせるために必要な電圧が供給される。したがって、第2ブートストラップ回路72のコンデンサC27の電荷が、図5に示すように、コンデンサC27－第2ゲートドライバ62の高電位側電源端子62H－第2ゲートドライバ62の低電位側電源端子62L－コンデンサC27の放電経路Ru2で放電される。また、インバータ回路1のスイッチング回路10が第2スイッチング状態のときには、第3ブートストラップ回路73のコンデン

サC 3 7から第3ゲートドライバ6 3に、第3ゲートドライバ6 3により第3スイッチング素子Q 3をオンさせるために必要な電圧が供給される。したがって、第3ブートストラップ回路7 3のコンデンサC 3 7の電荷が、コンデンサC 3 7－第3ゲートドライバ6 3の高電位側電源端子6 3 H－第3ゲートドライバ6 3の低電位側電源端子6 3 L－コンデンサC 3 7の放電経路R u 3で放電される。

[0062] また、インバータ回路1のスイッチング回路1 0が第2スイッチング状態のときには、第2条件を満たす場合にコンデンサC 3 7によりコンデンサC 2 7が充電され、第3条件を満たす場合にコンデンサC 2 7によりコンデンサC 1 7が充電される。図5に示すように、コンデンサC 1 7、C 2 7、C 3 7それぞれの両端電圧を V_{o1} 、 V_{o2} 、 V_{o3} とし、ダイオードD 1 7、D 2 7それぞれの両端電圧を V_{d1} 、 V_{d2} とし、抵抗R 1 7、R 2 7それぞれの両端電圧を V_{R1} 、 V_{R2} とし、第2スイッチング素子Q 2、第3スイッチング素子Q 3それぞれの両端電圧を V_{f2} 、 V_{f3} とすると、第2条件は、 $V_{o3} > (V_{o2} + V_{d2} + V_{R2} + V_{f3})$ という条件である。第3条件は、 $V_{o2} > (V_{o1} + V_{d1} + V_{R1} + V_{f2})$ という条件である。コンデンサC 3 7によりコンデンサC 2 7を充電する充電経路R u 3 2は、コンデンサC 3 7－抵抗R 3 7－ダイオードD 2 7－抵抗R 2 7－コンデンサC 2 7－第3接続点1 3－第3スイッチング素子Q 3－コンデンサC 3 7の経路である。コンデンサC 2 7によりコンデンサC 1 7を充電する充電経路R u 2 1は、コンデンサC 2 7－抵抗R 2 7－ダイオードD 1 7－抵抗R 1 7－コンデンサC 1 7－第1接続点1 1－第2スイッチング素子Q 2－コンデンサC 2 7の経路である。

[0063] また、インバータ回路1のスイッチング回路1 0が第3スイッチング状態のときには、図6に示すように、出力端子4 1－第3接続点1 3－第3スイッチング素子Q 3－第4スイッチング素子Q 4－直流電源部3の負極N 1の経路で電流I 1が流れて、交流負荷R A 1への出力電圧の電圧値が $-V_{dc}/2$ となる。また、インバータ回路1のスイッチング回路1 0が第3スイッ

チング状態のときには、コンデンサC 3 7により第2ブートストラップ回路7 2（図1参照）のコンデンサC 2 7が充電されるので、コンデンサC 2 7の電圧が時間経過とともに上昇し、コンデンサC 2 7が満充電状態となる。また、インバータ回路1のスイッチング回路1 0が第3スイッチング状態のときには、第3ブートストラップ回路7 3のコンデンサC 3 7から第3ゲートドライバ6 3に、第3ゲートドライバ6 3により第3スイッチング素子Q 3をオンさせるために必要な電圧が供給される。したがって、第3ブートストラップ回路7 3のコンデンサC 3 7の電荷が、図7に示すように、コンデンサC 3 7－第3ゲートドライバ6 3の高電位側電源端子6 3 H－第3ゲートドライバ6 3の低電位側電源端子6 3 L－コンデンサC 3 7の放電経路R u 3で放電される。また、インバータ回路1のスイッチング回路1 0が第3スイッチング状態のときには、第4条件を満たす場合に電源部9によりコンデンサC 3 7が充電され、第5条件を満たす場合にコンデンサC 3 7によりコンデンサC 2 7が充電される。図7に示すように、電源部9の両端電圧をV o oとし、コンデンサC 2 7、C 3 7それぞれの両端電圧をV o 2、V o 3とし、ダイオードD 2 7、D 3 7それぞれの両端電圧をV d 2、V d 3とし、抵抗R 2 7、R 3 7それぞれの両端電圧をV R 2、V R 3とし、第3スイッチング素子Q 3、第4スイッチング素子Q 4それぞれの両端電圧をV f 3、V f 4とすると、第4条件は、 $V o o > (V o 3 + V d 3 + V R 3 + V f 4)$ という条件である。第5条件は、 $V o 3 > (V o 2 + V d 2 + V R 2 + V f 3)$ という条件である。電源部9によりコンデンサC 3 7を充電する充電経路R u 9 3は、電源部9の正側端子－ダイオードD 3 7－抵抗R 3 7－コンデンサC 3 7－第2接続点1 2－第4スイッチング素子Q 4－電源部9の負側端子の経路である。コンデンサC 3 7によりコンデンサC 2 7を充電する充電経路R u 3 2は、コンデンサC 3 7－抵抗R 3 7－ダイオードD 2 7－抵抗R 2 7－コンデンサC 2 7－第3接続点1 3－第3スイッチング素子Q 3－コンデンサC 3 7の経路である。

[0064] また、インバータ回路1のスイッチング回路1 0が第4スイッチング状態

のときには、図8に示すように、直流電源部3の中間電位点M1－第1ダイオードD5－第2スイッチング素子Q2－第3接続点13－出力端子41の経路で電流I1が流れて、交流負荷RA1への出力電圧の電圧値が0となる。

[0065] また、インバータ回路1のスイッチング回路10が第4スイッチング状態のときには、第2ブートストラップ回路72のコンデンサC27から第2ゲートドライバ62に、第2ゲートドライバ62により第2スイッチング素子Q2をオンさせるために必要な電圧が供給される。したがって、第2ブートストラップ回路72のコンデンサC27の電荷が、図9に示すように、コンデンサC27－第2ゲートドライバ62の高電位側電源端子62H－第2ゲートドライバ62の低電位側電源端子62L－コンデンサC27の放電経路Ru2で放電される。また、インバータ回路1のスイッチング回路10が第4スイッチング状態のときには、電源部9から第4ゲートドライバ64に、第4ゲートドライバ64により第4スイッチング素子Q4をオンさせるために必要な電圧が供給される。また、インバータ回路1のスイッチング回路10が第4スイッチング状態のときには、電源部9によりコンデンサC37が充電される。図9に示すように、電源部9によりコンデンサC37を充電する充電経路Ru93は、電源部9の正側端子－ダイオードD37－抵抗R37－コンデンサC37－第2接続点12－第4スイッチング素子Q4－電源部9の負側端子の経路である。

[0066] 制御部60は、第1制御モードと、第2制御モードと、第3制御モードと、を有する。

[0067] 制御部60は、第1制御モードでは、第1スイッチング素子Q1をオンさせ、第2スイッチング素子Q2をオンさせ、第3スイッチング素子Q3をオフさせ、第4スイッチング素子Q4をオフさせる。より具体的には、制御部60は、第1制御モードでは、スイッチング回路10が第1スイッチング状態になるように第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4を制御する。

- [0068] 制御部60は、第2制御モードでは、第1スイッチング素子Q1をオフさせ、第2スイッチング素子Q2をオンさせ、第3スイッチング素子Q3をオンさせ、第4スイッチング素子Q4をオフさせる。より具体的には、制御部60は、第2制御モードでは、スイッチング回路10が第2スイッチング状態になるように第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4を制御する。
- [0069] 制御部60は、第3制御モードでは、第1スイッチング素子Q1をオフさせ、第2スイッチング素子Q2をオンさせ、第3スイッチング素子Q3をオフさせ、第4スイッチング素子Q4をオンさせる。より具体的には、制御部60は、第3制御モードでは、スイッチング回路10が第4スイッチング状態になるように第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4を制御する。
- [0070] インバータ回路1では、出力端子41を流れる出力電流（電流I1）の極性に関して、第3接続点13から出力端子41へ流れる向きを正とし、出力端子41から第3接続点13へ流れる向きを負と規定した場合、出力電流の波形は、例えば、図10に示すように、正弦波状の波形となる。なお、U相の出力電流と、V相の出力電流と、W相の出力電流とは、例えば、互いの位相が 120° 異なる正弦波状の電流となる。
- [0071] 制御部60は、出力端子41に流れる電流の極性が正のときには、第1制御モードと第2制御モードとを交互に繰り返す。ここで、制御部60は、図11に示すように、第1制御モードから第2制御モードへ移行するときに、第1制御モードと第2制御モードとの間に第3制御モードによる制御を行う。したがって、制御部60は、第3制御モードの直後に、第2制御モードを経てから第1制御モードに移行する。なお、図11では、第1制御信号S1、第2制御信号S2、第3制御信号S3及び第4制御信号S4の各々の電位レベルに関し、ローレベルを“L”と表記し、ハイレベルを“H”と表記してある。
- [0072] また、制御部60は、第4スイッチング素子Q4のオン期間と第3スイ

チング素子Q3のオン期間とが重複しないように、制御信号S4の電位レベルがハイレベルの期間と制御信号S3の電位レベルがハイレベルの期間との間にデッドタイム期間Tdを設定する。また、制御部60は、第1スイッチング素子Q1のオン期間と第4スイッチング素子Q4のオン期間とが重複しないように、制御信号S1の電位レベルがハイレベルの期間と制御信号S4の電位レベルがハイレベルの期間との間にデッドタイム期間Tdを設定する。また、制御部60は、第3スイッチング素子Q3のオン期間と第1スイッチング素子Q1のオン期間とが重複しないように、制御信号S3の電位レベルがハイレベルの期間と制御信号S1の電位レベルがハイレベルの期間との間にデッドタイム期間Tdを設定する。なお、デッドタイム期間Tdの長さは、0であってもよい。また、実施形態に係る電力変換装置100では、制御部60は、第3制御モードにおいて、第4スイッチング素子Q4のオン期間の長さT4を、第3ゲートドライバ63に電圧を供給する第3ブートストラップ回路73のCR時定数の90%以上110%以下の長さとする。実施形態に係る電力変換装置100では、第3ブートストラップ回路73のCR時定数は、第3ブートストラップ回路73のコンデンサC37のキャパシタンスと抵抗R37の抵抗値とにより決まる。

[0073] また、制御部60は、第4制御モードを更に有する。制御部60は、第4制御モードでは、第1スイッチング素子Q1をオフさせ、第2スイッチング素子Q2をオフさせ、第3スイッチング素子Q3をオンさせ、第4スイッチング素子Q4をオンさせる。より具体的には、制御部60は、第4制御モードでは、スイッチング回路10が第3スイッチング状態になるように第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4を制御する。

[0074] 制御部60は、出力端子41に流れる出力電流（電流I1）の極性が負のときには、第2制御モードと第4制御モードとを交互に繰り返す。

[0075] 図12には、実施例において、出力端子41に流れる出力電流の極性が正となる期間について、電流I1、コンデンサC17の両端電圧Vo1、コン

デンサC 2 7の両端電圧 V_{o2} 及びコンデンサC 3 7の両端電圧 V_{o3} それぞれの波形を示している。なお、図1 2は、スイッチング周波数を20kHz、出力電流（電流I 1）の周波数を50Hzに設定した場合の例である。また、図1 2は、デッドタイム期間 T_d の長さを0に設定した場合の例である。

[0076] また、図1 3には、上記実施例において、出力端子4 1に流れる出力電流の極性が正となる期間の一部について、電流I 1、制御信号S 3、制御信号S 4、第3スイッチング素子Q 3の両端電圧 V_{Q3} 、第4スイッチング素子Q 4の両端電圧 V_{Q4} 、コンデンサC 1 7の両端電圧 V_{o1} 、コンデンサC 2 7の両端電圧 V_{o2} 、コンデンサC 3 7の両端電圧 V_{o3} それぞれの波形を示している。

[0077] 図1 3において時点 t_1 と時点 t_2 との間の期間は、制御部6 0の制御モードが第2制御モードとなる期間である。また、図1 3において時点 t_2 と時点 t_3 との期間は、制御部6 0の制御モードが第1制御モードとなる期間である。図1 3において、時点 t_3 と時点 t_4 との間の期間は、制御部6 0の制御モードが第3制御モードとなる期間である。図1 3において、時点 t_4 と時点 t_5 との間の期間は、制御部6 0の制御モードが第2制御モードとなる期間である。

[0078] 図1 3から、制御部6 0が第3制御モードでの制御を行っている期間毎に、第3ブートストラップ回路7 3のコンデンサC 3 7が充電されており、第3ブートストラップ回路7 3の電圧（コンデンサC 3 7の両端電圧 V_{o3} ）の低下が抑制されていることが分かる。

[0079] 図1 4には、上記実施例及び比較例に関して、電流I 1、第1ブートストラップ回路7 1のコンデンサC 1 7の両端電圧 V_{o1} 、第2ブートストラップ回路7 2のコンデンサC 2 7の両端電圧 V_{o2} 、第3ブートストラップ回路7 3のコンデンサC 3 7の両端電圧 V_{o3} それぞれの波形を示している。比較例は、制御部6 0が第3制御モードを有しておらず、出力電流が正の期間において上述の第1制御モードと第2制御モードとを交互に繰り返す構成

である。図14において、「A0」は、上記実施例の電流I1の波形である。上記比較例の電流I1は、上記実施例の電流I1から低下しておらず「A0」に重なるので、図示を省略してある。第1ブートストラップ回路71のコンデンサC17の両端電圧V01に関しては、「A1」が上記実施例での波形を示し、「B1」が上記比較例での波形を示している。また、第2ブートストラップ回路72のコンデンサC27の両端電圧V02に関しては、「A2」が上記実施例での波形を示し、「B2」が上記比較例での波形を示している。また、第3ブートストラップ回路73のコンデンサC37の両端電圧V03に関しては、「A3」が上記実施例での波形を示し、「B3」が上記比較例での波形を示している。

[0080] 図14から、上記実施例では、上記比較例と比べて出力電流に影響を与えずにコンデンサC17の両端電圧V01、コンデンサC27の両端電圧V02、コンデンサC37の両端電圧V03それぞれの低下を抑制できることが分かる。これにより、上記実施例では、第1ゲートドライバ61、第2ゲートドライバ62及び第3ゲートドライバ63それぞれに必要な電圧を維持することが可能となる。

[0081] 制御部60は、制御方式として電圧ベクトル制御を採用している。以下、制御部60で行う電圧ベクトル制御に関して、図15～図18を参照しながら説明する。

[0082] 制御部60は、インバータ回路1U、1V、1Wそれぞれの出力電圧に関する電圧指令Vu、Vv、Vw（図15参照）に基づいて、第1～第4制御信号S1U～S4U、第1～第4制御信号S1V～S4V、第1～第4制御信号S1W～S4Wを生成する。第1～第4制御信号S1U～S4Uは、インバータ回路1Uの第1～第4スイッチング素子Q1～Q4に対する第1～第4制御信号S1～S4である。第1～第4制御信号S1V～S4Vは、インバータ回路1Vの第1～第4スイッチング素子Q1～Q4に対する第1～第4制御信号S1～S4である。第1～第4制御信号S1W～S4Wは、インバータ回路1Wの第1～第4スイッチング素子Q1～Q4に対する第1～

第4制御信号S1～S4である。

[0083] 図15に示すように、電圧指令Vuと、電圧指令Vvと、電圧指令Vwとは、例えば、互いの位相が120°異なる正弦波状の信号であり、それぞれ、時間とともに値（電圧指令値）が変化する。なお、電圧指令Vu、電圧指令Vv及び電圧指令Vwそれぞれの1周期の長さは、同じである。制御部60は、交流負荷RA1の状態を検出する検出部8（図1参照）から出力される情報に基づいて電圧指令Vu、Vv、VwをPI（Proportional Integral）制御してもよい。交流負荷RA1が3相モータの場合、検出部8から出力される情報は、例えば、交流負荷RA1のU相、V相及びW相それぞれに流れる出力電流を検出する複数の電流センサの検出結果の情報と、3相モータの回転数、回転角等を検出するエンコーダの検出結果の情報と、のうち少なくとも1つを含む。

[0084] 以下、3つのインバータ回路1のうち1つ（例えば、U相のインバータ回路1U）の動作について説明する。V相のインバータ回路1V、W相のインバータ回路1Wの動作は、U相のインバータ回路1Uの動作と同様である。U相のインバータ回路1Uの出力電圧と、V相のインバータ回路1Vの出力電圧と、W相のインバータ回路1Wの出力電圧とは、互いの位相が異なる。

[0085] 制御部60は、電圧ベクトル制御を行うことによって、複数の第1ゲートドライバ61と複数の第2ゲートドライバ62と複数の第3ゲートドライバ63と複数の第4ゲートドライバ64とを制御する。

[0086] 以下、制御部60での電圧ベクトル制御について、より詳細に説明する。

[0087] 制御部60は、あらかじめ一群の電圧ベクトルを記憶している。一群の電圧ベクトルの各々は、複数のインバータ回路1の第2スイッチング素子Q2と第3スイッチング素子Q3との接続点（第3接続点13）の電位レベルの組み合わせで定まる。言い換えれば、一群の電圧ベクトルは、U相に対応するスイッチング回路10Uのスイッチング状態と、V相に対応するスイッチング回路10Vのスイッチング状態と、W相に対応するスイッチング回路10Wのスイッチング状態と、で定まる。一群の電圧ベクトルに含まれる電圧

ベクトルの数は、 $3^3 = 27$ 個である。

[0088] 一群の電圧ベクトルは、図16に示すように、各々の大きさが零である3個の零ベクトル V_{0p} 、 V_{0n} 、 V_{0o} を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot 2V_{dc}$ であり向きが異なる6個の電圧ベクトル V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot V_{dc}$ である12個の電圧ベクトル V_{7p} 、 V_{7n} 、 V_{8p} 、 V_{8n} 、 V_{9p} 、 V_{9n} 、 V_{10p} 、 V_{10n} 、 V_{11p} 、 V_{11n} 、 V_{12p} 、 V_{12n} を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot 3^{1/2} \cdot V_{dc}$ であり向きが異なる6個の電圧ベクトル V_{13} 、 V_{14} 、 V_{15} 、 V_{16} 、 V_{17} 、 V_{18} を含む。図16において、6個の電圧ベクトル V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 のうち隣り合う2つの電圧ベクトルのなす角度は、60度である。また、6個の電圧ベクトル V_{13} 、 V_{14} 、 V_{15} 、 V_{16} 、 V_{17} 、 V_{18} のうち隣り合う2つの電圧ベクトルのなす角度は、60度である。なお、図16は、一群の電圧ベクトルを直交d-q座標上に図示したベクトル図である。

[0089] 一群の電圧ベクトルは、第1スイッチング状態、第2スイッチング状態及び第3スイッチング状態を、それぞれ、「P」、「O」及び「N」の記号で表現し、U相、V相、W相の順に表記すると、図17に示すように表現できる。

[0090] 図17に示すように、3個の零ベクトル V_{0p} 、 V_{0n} 、 V_{0o} は、それぞれ、 V_{0p} [PPP]、 V_{0n} [NNN]、 V_{0o} [OOO]と表現できる。例えば、 V_{0p} [PPP]は、零ベクトル V_{0p} に関して、U相のスイッチング回路10Uのスイッチング状態が「P」であり、V相のスイッチング回路10Vのスイッチング状態が「P」であり、W相のスイッチング回路10Wのスイッチング状態が「P」であることを表現している。例えば、 V_{10p} のように「p」を付してある電圧ベクトルは、「P」を含み、かつ「N」を含まない。この点は、以下、同様である。また、 V_{10n} のように「

n」を付してある電圧ベクトルは、「N」を含み、かつ、「P」を含まない。この点は、以下、同様である。また、V0oのように「o」を付してある電圧ベクトルは、「0」を含み、かつ、「P」及び「N」を含まない。スイッチング回路10のスイッチング状態が「P」の場合、そのスイッチング回路10における第3接続点13の電位は、直流電源部3の正極P1の電位となる。スイッチング回路10のスイッチング状態が「N」の場合、そのスイッチング回路10における第3接続点13の電位は、直流電源部3の負極N1の電位となる。スイッチング回路10のスイッチング状態が「0」の場合、そのスイッチング回路10における第3接続点13の電位は、直流電源部3の中間電位点M1の電位となる。

[0091] また、6個の電圧ベクトルV1、V2、V3、V4、V5、V6は、それぞれ、V1 [PNN]、V2 [PPN]、V3 [NPN]、V4 [NPP]、V5 [NNP]、V6 [PNP]と表現できる。V1 [PNN]、V2 [PPN]、V3 [NPN]、V4 [NPP]、V5 [NNP]、V6 [PNP]のように、「V」に付した数字の後に「p」、「n」、「o」のいずれも付してない電圧ベクトルは、3相のスイッチング状態として、「P」及び「N」を含む。

[0092] また、12個の電圧ベクトルV7p、V7n、V8p、V8n、V9p、V9n、V10p、V10n、V11p、V11n、V12p、V12nは、それぞれ、V7p [P00]、V7n [0NN]、V8p [PP0]、V8n [00N]、V9p [OP0]、V9n [NON]、V10p [OPP]、V10n [N00]、V11p [00P]、V11n [NN0]、V12p [POP]、V12n [ON0]と表現できる。

[0093] また、6個の電圧ベクトルV13、V14、V15、V16、V17、V18は、それぞれ、V13 [PON]、V14 [OPN]、V15 [NPO]、V16 [NOP]、V17 [ONP]、V18 [PN0]と表現できる。

[0094] 制御部60は、複数のインバータ回路1の各々の出力電圧に関する指令電

圧の瞬時値を指令電圧ベクトル V^* （図18参照）に変換する。指令電圧ベクトル V^* の、直交 $d-q$ 座標上における d 軸成分を V_d とし、指令電圧ベクトル V^* の、直交 $d-q$ 座標上における q 軸成分を V_q とすると、指令電圧ベクトル V^* は、式（1）を用いて求めることができる。

[0095] [数1]

$$V^* = \begin{bmatrix} V_d \\ V_q \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_u \\ V_v \\ V_w \end{bmatrix} \quad \dots \text{式 (1)}$$

[0096] 制御部60は、一群の電圧ベクトルのうち指令電圧ベクトル V^* に隣接する複数（例えば、5つ）の電圧ベクトルを選択する。図18の例では、複数の電圧ベクトルは、 V_{8p} [PP0]、 V_{8n} [00N]、 V_{13} [PON]、 V_{7p} [P00]、 V_{7n} [0NN] である。

[0097] 指令電圧ベクトル V^* に最も近い電圧ベクトル（以下、電圧ベクトル V_{V1} ともいう）と指令電圧ベクトル V^* とのなす角度は、30度よりも小さい。

[0098] 制御部60は、所定の制御周期 T_s 内において、指令電圧ベクトル V^* を囲む正三角形の頂点のベクトルの合成ベクトルを、指令電圧ベクトル V^* に一致させる。すなわち、制御部60では、電圧ベクトル V_{V1} （図18の例では、 V_{8p} [PP0] 及び V_{8n} [00N]）と、電圧ベクトル V_{13} [PON] と、電圧ベクトル V_{7p} [P00] 及び V_{7n} [0NN] と、の合成ベクトルを指令電圧ベクトル V^* と一致させる。制御周期 T_s は、キャリア信号の1周期である。制御部60では、制御周期 T_s 内において、時系列的に並ぶ2つの電圧ベクトルにおいてU相、V相、W相のうち1相のみのスイッチング状態が「P」と「0」との間又は「0」と「N」との間で変化し、かつ、同じ電圧ベクトルが2回ずつ出力される。制御周期 T_s に対する、電圧ベクトル V_{8p} 及び電圧ベクトル V_{8n} の配分時間を T_0 とし、電圧ベクトル V_{13} の配分時間を T_1 とし、電圧ベクトル V_{7p} 及び電圧ベクトル V_{7n} の配分時間を T_2 とする場合、 T_0 、 T_1 、 T_2 については、指令電圧ベク

トル V^* を囲む正三角形の頂点の電圧ベクトルを V_a 、 V_b 、 V_c とし、指令電圧ベクトル V^* の大きさを V 、角度を θ とすると、式(2)及び式(3)を満足するように、 T_0 、 T_1 、 T_2 を決める。式(2)における「 j 」は、虚数単位である。なお、図18の例では、例えば、電圧ベクトル V_a は、電圧ベクトル V_{8p} [P P 0] 及び V_{8n} [0 0 N] であり、電圧ベクトル V_b は、電圧ベクトル V_{13} [P 0 N] であり、電圧ベクトル V_c は、電圧ベクトル V_{7p} [P 0 0] 及び V_{7n} [0 N N] である。

[0099] [数2]

$$\begin{aligned} V_a \cdot T_0 + V_b \cdot T_1 + V_c \cdot T_2 \\ = V \cdot T_s \cdot \cos \theta + j V \cdot T_s \cdot \sin \theta \quad \dots \text{式 (2)} \end{aligned}$$

[0100] [数3]

$$T_0 + T_1 + T_2 = T_s \quad \dots \text{式 (3)}$$

[0101] (3) 利点

実施形態に係る電力変換装置100では、制御部60は、出力端子41に流れる電流 I_1 の極性が正のときには、第3制御モードの直後に、第2制御モードを経てから第1制御モードに移行する。

[0102] 上記構成によれば、複数の第1ブートストラップ回路71、複数の第2ブートストラップ回路72及び複数の第3ブートストラップ回路73それぞれの電圧低下を抑制することが可能となる。

[0103] ところで、仮に制御部60が第3制御モードの直後に第2制御モードを経ずに第1制御モードに移行すると、第3スイッチング素子 Q_3 の両端電圧 V_{Q3} が第4スイッチング素子 Q_4 の両端電圧 V_{Q4} よりも大きくなり、第3スイッチング素子 Q_3 が絶縁破壊してしまう可能性がある。より具体的には、第1制御モードに移行したときに、第3制御モードのときに第3スイッチング素子 Q_3 にかかっていた電圧を維持したまま、 $V_{dc}/2$ が第3スイッチング素子 Q_3 と第4スイッチング素子 Q_4 とで分圧される。第3スイッチング素子 Q_3 の両端電圧 V_{Q3} が第4スイッチング素子 Q_4 の両端電圧 V_{Q4}

4よりも大きくなる一要因としては、第3制御モードのときに第3スイッチング素子Q3を構成するMOSFETの寄生コンデンサに充電された電荷が放電されずに残ったまま第1制御モードに移行することが考えられる。

[0104] また、実施形態に係る電力変換装置100では、制御部60は、第3制御モードにおいて、第4スイッチング素子Q4のオン期間の長さT4を、第3ゲートドライバ63に電圧を供給する第3ブートストラップ回路73のCR時定数の90%以上110%以下の長さとする。

[0105] 上記の構成によれば、第3ゲートドライバ63の小型化を図ることが可能となる。

[0106] また、実施形態に係る電力変換装置100では、電源部9に含まれるDC-DCコンバータ91が、複数の第4ゲートドライバ64と複数の第3ブートストラップ回路73とに電圧を供給する。これにより、実施形態に係る電力変換装置100は、小型化を図りつつ複数の第3ブートストラップ回路73それぞれの電圧低下を抑制することが可能となる。

[0107] (変形例)

上記の実施形態は、本開示の様々な実施形態の一つに過ぎない。上記の実施形態は、本開示の目的を達成できれば、設計等に依じて種々の変更が可能である。

[0108] 複数の第1スイッチング素子Q1、複数の第2スイッチング素子Q2、複数の第3スイッチング素子Q3及び複数の第4スイッチング素子Q4の各々は、MOSFETに限らず、例えば、IGBT (Insulated Gate Bipolar Transistor) であってもよい。この場合、複数の第1スイッチング素子Q1、複数の第2スイッチング素子Q2、複数の第3スイッチング素子Q3及び複数の第4スイッチング素子Q4の各々における、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート端子、コレクタ端子及びエミッタ端子である。

[0109] また、制御部60は、電圧ベクトル制御を行うように構成される場合に限らず、PWM制御を行うように構成されていてもよい。

[0110] また、複数の第1ブートストラップ回路71の各々は、ツェナダイオードZ17を含んでいるが、ツェナダイオードZ17を含んでいない構成であってもよい。また、複数の第2ブートストラップ回路72の各々は、ツェナダイオードZ27を含んでいるが、ツェナダイオードZ27を含んでいない構成であってもよい。また、複数の第3ブートストラップ回路73の各々は、ツェナダイオードZ37を含んでいるが、ツェナダイオードZ37を含んでいない構成であってもよい。

[0111] また、複数の第1ブートストラップ回路71の各々は、抵抗R17を含んでおり、コンデンサC17のキャパシタンスと抵抗R17の抵抗値とでCR時定数が決まる構成であるが、抵抗R17を含まずにコンデンサC17のキャパシタンスとコンデンサC17のESR (Equivalent Series Resistance) とでCR時定数が決まる構成であってもよい。また、複数の第2ブートストラップ回路72の各々は、抵抗R27を含んでおり、コンデンサC27のキャパシタンスと抵抗R27の抵抗値とでCR時定数が決まる構成であるが、抵抗R27を含まずにコンデンサC27のキャパシタンスとコンデンサC27のESRとでCR時定数が決まる構成であってもよい。また、複数の第3ブートストラップ回路73の各々は、抵抗R37を含んでおり、コンデンサC37のキャパシタンスと抵抗R37の抵抗値とでCR時定数が決まる構成であるが、抵抗R37を含まずにコンデンサC37のキャパシタンスとコンデンサC37のESRとでCR時定数が決まる構成であってもよい。

[0112] また、電力変換装置100は、3つの第4ゲートドライバ64に電圧を供給する電源部9として、図1のように1つのDC-DCコンバータ91を備えた構成に限らず、例えば、図19に示す変形例に係る電力変換装置100のように、電源部9が、複数(3つ)のDC-DCコンバータ91を備えた構成であってもよい。複数のDC-DCコンバータ91は、複数(3つ)の第4ゲートドライバ64に対応し、対応する第4ゲートドライバ64に電圧を供給する。変形例に係る電力変換装置100の場合、複数の第1ブートストラップ回路71の各々では、複数のDC-DCコンバータ91のうち対応

するDC-DCコンバータ91の正側端子に、ダイオードD17のアノードが接続されている。また、複数の第2ブートストラップ回路72の各々では、複数のDC-DCコンバータ91のうち対応するDC-DCコンバータ91の正側端子に、ダイオードD27のアノードが接続されている。また、複数の第3ブートストラップ回路73の各々では、複数のDC-DCコンバータ91のうち対応するDC-DCコンバータ91の正側端子に、ダイオードD37のアノードが接続されている。

[0113] また、電力変換装置100は、複数の第1ブートストラップ回路71の各々の代わりに、複数のDC-DCコンバータを備えていてもよい。また、電力変換装置100は、複数の第2ブートストラップ回路72の各々の代わりに、複数のDC-DCコンバータを備えていてもよい。

[0114] また、電力変換装置100は、複数のスイッチング回路10を備える構成に限らず、1つのスイッチング回路10を備える構成であってもよい。電力変換装置100は、複数ではなく1つのスイッチング回路10を備える構成の場合、第1ゲートドライバ61、第2ゲートドライバ62、第3ゲートドライバ63及び第4ゲートドライバ64も1つずつであり、第1ブートストラップ回路71、第2ブートストラップ回路72、第3ブートストラップ回路73も1つずつである。この場合も、第1ブートストラップ回路71及び第2ブートストラップ回路72の各々の代わりに、DC-DCコンバータを備えてもよい。

[0115] また、電力変換装置100は、3レベル以上の電力変換装置であればよく、例えば、5レベルインバータであってもよい。

[0116] (態様)

本明細書には以下の態様が開示されている。

[0117] 第1の態様に係る電力変換装置(100)は、直流電源部(3)と、スイッチング回路(10)と、第1ダイオード(D5)と、第2ダイオード(D6)と、出力端子(41)と、第1ゲートドライバ(61)と、第2ゲートドライバ(62)と、第3ゲートドライバ(63)と、第4ゲートドライバ

(64) と、ブートストラップ回路 (第3ブートストラップ回路73) と、電源部 (9) と、制御部 (60) と、を備える。直流電源部 (3) は、正極 (P1) と負極 (N1) と中間電位点 (M1) とを有する。スイッチング回路 (10) は、第1スイッチング素子 (Q1)、第2スイッチング素子 (Q2)、第3スイッチング素子 (Q3) 及び第4スイッチング素子 (Q4) を有する。スイッチング回路 (10) では、正極 (P1) と負極 (N1) との間において、第1スイッチング素子 (Q1)、第2スイッチング素子 (Q2)、第3スイッチング素子 (Q3) 及び第4スイッチング素子 (Q4) が、正極 (P1) 側から第1スイッチング素子 (Q1)、第2スイッチング素子 (Q2)、第3スイッチング素子 (Q3) 及び第4スイッチング素子 (Q4) の順に並んで直列接続されている。第1ダイオード (D5) は、第1スイッチング素子 (Q1) と第2スイッチング素子 (Q2) との第1接続点 (11) にカソードが接続されており、中間電位点 (M1) にアノードが接続されている。第2ダイオード (D6) は、第3スイッチング素子 (Q3) と第4スイッチング素子 (Q4) との第2接続点 (12) にアノードが接続されており、中間電位点 (M1) にカソードが接続されている。出力端子 (41) は、第2スイッチング素子 (Q2) と第3スイッチング素子 (Q3) との第3接続点 (13) に接続されており、交流負荷 (RA1) に接続される。第1ゲートドライバ (61) は、第1スイッチング素子 (Q1) を駆動する。第2ゲートドライバ (62) は、第2スイッチング素子 (Q2) を駆動する。第3ゲートドライバ (63) は、第3スイッチング素子 (Q3) を駆動する。第4ゲートドライバ (64) は、第4スイッチング素子 (Q4) を駆動する。ブートストラップ回路 (第3ブートストラップ回路73) は、第3ゲートドライバ (63) に電圧を供給する。電源部 (9) は、ブートストラップ回路 (第3ブートストラップ回路73) 及び第4ゲートドライバ (64) に電圧を供給する。制御部 (60) は、第1ゲートドライバ (61)、第2ゲートドライバ (62)、第3ゲートドライバ (63) 及び第4ゲートドライバ (64) を制御する。制御部 (60) は、第1制御モードと、第2制

御モードと、第3制御モードと、を有する。制御部(60)は、第1制御モードでは、第1スイッチング素子(Q1)をオンさせ、第2スイッチング素子(Q2)をオンさせ、第3スイッチング素子(Q3)をオフさせ、第4スイッチング素子(Q4)をオフさせる。制御部(60)は、第2制御モードでは、第1スイッチング素子(Q1)をオフさせ、第2スイッチング素子(Q2)をオンさせ、第3スイッチング素子(Q3)をオンさせ、第4スイッチング素子(Q4)をオフさせる。制御部(60)は、第3制御モードでは、第1スイッチング素子(Q1)をオフさせ、第2スイッチング素子(Q2)をオンさせ、第3スイッチング素子(Q3)をオフさせ、第4スイッチング素子(Q4)をオンさせる。制御部(60)は、出力端子(41)に流れる電流の極性が正のときには、第3制御モードの直後に、第2制御モードを経てから第1制御モードに移行する。

- [0118] この態様によれば、ブートストラップ回路(第3ブートストラップ回路73)の電圧低下を抑制することが可能となる。
- [0119] 第2の態様に係る電力変換装置(100)は、第1の態様において、第1ゲートドライバ(61)に電圧を供給するブートストラップ回路(第1ブートストラップ回路71)と、第2ゲートドライバ(62)に電圧を供給するブートストラップ回路(第2ブートストラップ回路72)と、を更に備える。
- [0120] この態様によれば、電力変換装置(100)の更なる小型化を図ることが可能となる。
- [0121] 第3の態様に係る電力変換装置(100)では、第1又は2の態様において、制御部(60)は、第3制御モードにおいて、第4スイッチング素子(Q4)のオン期間の長さ(T4)を、第3ゲートドライバ(63)に電圧を供給するブートストラップ回路(第3ブートストラップ回路73)のCR時定数の90%以上110%以下の長さとする。
- [0122] この態様によれば、第3ゲートドライバ(63)に電圧を供給するブートストラップ回路(第3ブートストラップ回路73)の出力電圧が所定値以下

になることを防止することが可能となる。

[0123] 第4の態様に係る電力変換装置(100)では、第1～3の態様のいずれか一つにおいて、第3ゲートドライバ(63)に電圧を供給するブートストラップ回路(第3ブートストラップ回路73)は、コンデンサ(C37)と、コンデンサ(C37)に直列接続されているダイオード(D37)と、を含む。

[0124] 第5の態様に係る電力変換装置(100)では、第4の態様において、第3ゲートドライバ(63)に電圧を供給するブートストラップ回路(第3ブートストラップ回路73)は、コンデンサ(C37)に直列接続されている抵抗(R37)を更に含む。

[0125] 第6の態様に係る電力変換装置(100)では、第1～5の態様のいずれか一つにおいて、電源部(9)は、DC-DCコンバータ(91)を含む。

[0126] 第7の態様に係る電力変換装置(100)は、第1の態様において、スイッチング回路(10)を複数備え、第1ゲートドライバ(61)を複数備え、第2ゲートドライバ(62)を複数備え、第3ゲートドライバ(63)を複数備え、第4ゲートドライバ(64)を複数備え、ブートストラップ回路(第3ブートストラップ回路73)を複数備える。電源部(9)は、少なくとも複数の第4ゲートドライバ(64)及び複数のブートストラップ回路(第3ブートストラップ回路73)に電圧を供給する。

[0127] この態様によれば、小型化を図りつつ複数のブートストラップ回路(第3ブートストラップ回路73)それぞれの電圧低下を抑制することが可能となる。

符号の説明

- [0128]
- 1 インバータ回路
 - 3 直流電源部
 - 6 制御装置
 - 60 制御部
 - 61 第1ゲートドライバ

- 6 2 第2ゲートドライバ
- 6 3 第3ゲートドライバ
- 6 4 第4ゲートドライバ
- 9 電源部
 - 9 1 DC-DCコンバータ
- 1 0 スイッチング回路
 - 1 1 第1接続点
 - 1 2 第2接続点
 - 1 3 第3接続点
- 4 1 出力端子
- 7 1 第1ブートストラップ回路
- 7 2 第2ブートストラップ回路
- 7 3 第3ブートストラップ回路
- 1 0 0 電力変換装置
- C 1 7、C 2 7、C 3 7 コンデンサ
- D 1 ダイオード
- D 2 ダイオード
- D 3 ダイオード
- D 4 ダイオード
- D 5 第1ダイオード
- D 6 第2ダイオード
- D 1 7、D 2 7、D 3 7 ダイオード
- P 1 正極
- Q 1 第1スイッチング素子
- Q 2 第2スイッチング素子
- Q 3 第3スイッチング素子
- Q 4 第4スイッチング素子
- M 1 中間電位点

N 1 負極

R 1 7、R 2 7、R 3 7 抵抗

V 0 p、V 0 n、V 0 o 零ベクトル

V 1 ~ V 6 電圧ベクトル

V 7 p、V 7 n、V 8 p、V 8 n、V 9 p、V 9 n、V 1 0 p、V 1 0 n
、V 1 1 p、V 1 1 n、V 1 2 p、V 1 2 n 電圧ベクトル

V 1 3 ~ V 1 8 電圧ベクトル

V * 指令電圧ベクトル

請求の範囲

[請求項1]

正極と負極と中間電位点とを有する直流電源部と、

第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子を有し、前記正極と前記負極との間において、前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子が、前記正極側から前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子の順に並んで直列接続されている、スイッチング回路と、

前記第1スイッチング素子と前記第2スイッチング素子との第1接続点にカソードが接続されており、前記中間電位点にアノードが接続されている第1ダイオードと、

前記第3スイッチング素子と前記第4スイッチング素子との第2接続点にアノードが接続されており、前記中間電位点にカソードが接続されている第2ダイオードと、

前記第2スイッチング素子と前記第3スイッチング素子との第3接続点に接続されており、交流負荷に接続される出力端子と、

前記第1スイッチング素子を駆動する第1ゲートドライバと、

前記第2スイッチング素子を駆動する第2ゲートドライバと、

前記第3スイッチング素子を駆動する第3ゲートドライバと、

前記第4スイッチング素子を駆動する第4ゲートドライバと、

前記第3ゲートドライバに電圧を供給するブートストラップ回路と、

、

前記ブートストラップ回路及び前記第4ゲートドライバに電圧を供給する電源部と、

前記第1ゲートドライバ、前記第2ゲートドライバ、前記第3ゲートドライバ及び前記第4ゲートドライバを制御する制御部と、を備え、

、

前記制御部は、

前記第1スイッチング素子をオンさせ、前記第2スイッチング素子をオンさせ、前記第3スイッチング素子をオフさせ、前記第4スイッチング素子をオフさせる第1制御モードと、

前記第1スイッチング素子をオフさせ、前記第2スイッチング素子をオンさせ、前記第3スイッチング素子をオンさせ、前記第4スイッチング素子をオフさせる第2制御モードと、

前記第1スイッチング素子をオフさせ、前記第2スイッチング素子をオンさせ、前記第3スイッチング素子をオフさせ、前記第4スイッチング素子をオンさせる第3制御モードと、を有し、

前記制御部は、前記出力端子に流れる電流の極性が正のときには、

前記第3制御モードの直後に、前記第2制御モードを経てから前記第1制御モードに移行する、

電力変換装置。

[請求項2] 前記第1ゲートドライバに電圧を供給するブートストラップ回路と、
前記第2ゲートドライバに電圧を供給するブートストラップ回路と、を更に備える、
請求項1に記載の電力変換装置。

[請求項3] 前記制御部は、
前記第3制御モードにおいて、前記第4スイッチング素子のオン期間の長さを、前記第3ゲートドライバに電圧を供給する前記ブートストラップ回路のCR時定数の90%以上110%以下の長さとする、
請求項1又は2に記載の電力変換装置。

[請求項4] 前記第3ゲートドライバに電圧を供給する前記ブートストラップ回路は、
コンデンサと、

前記コンデンサに直列接続されているダイオードと、を含む、
請求項 1 ～ 3 のいずれか一項に記載の電力変換装置。

[請求項5] 前記第 3 ゲートドライバに電圧を供給する前記ブートストラップ回路は、

前記コンデンサに直列接続されている抵抗を更に含む、
請求項 4 に記載の電力変換装置。

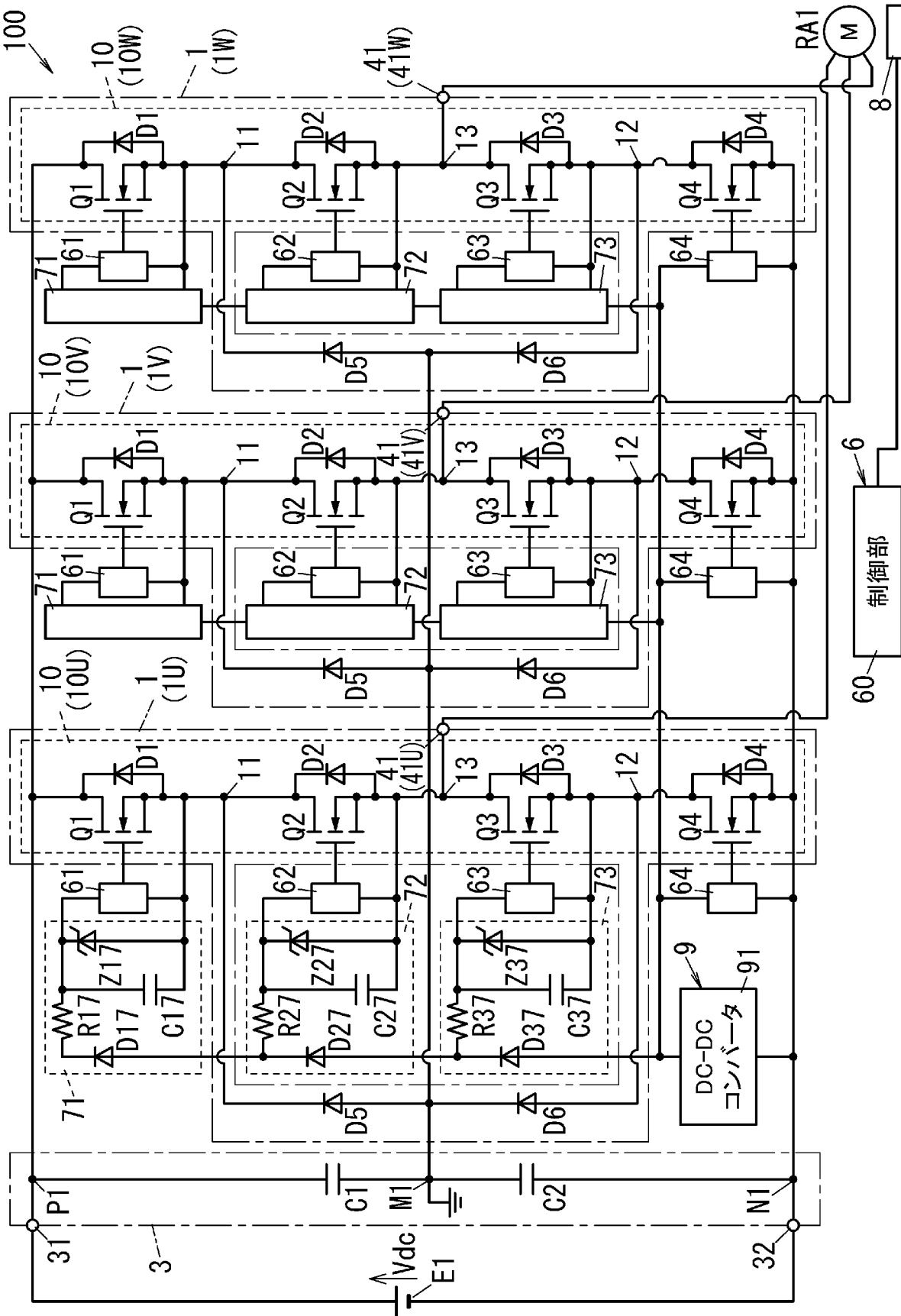
[請求項6] 前記電源部は、

DC-DCコンバータを含む、
請求項 1 ～ 5 のいずれか一項に記載の電力変換装置。

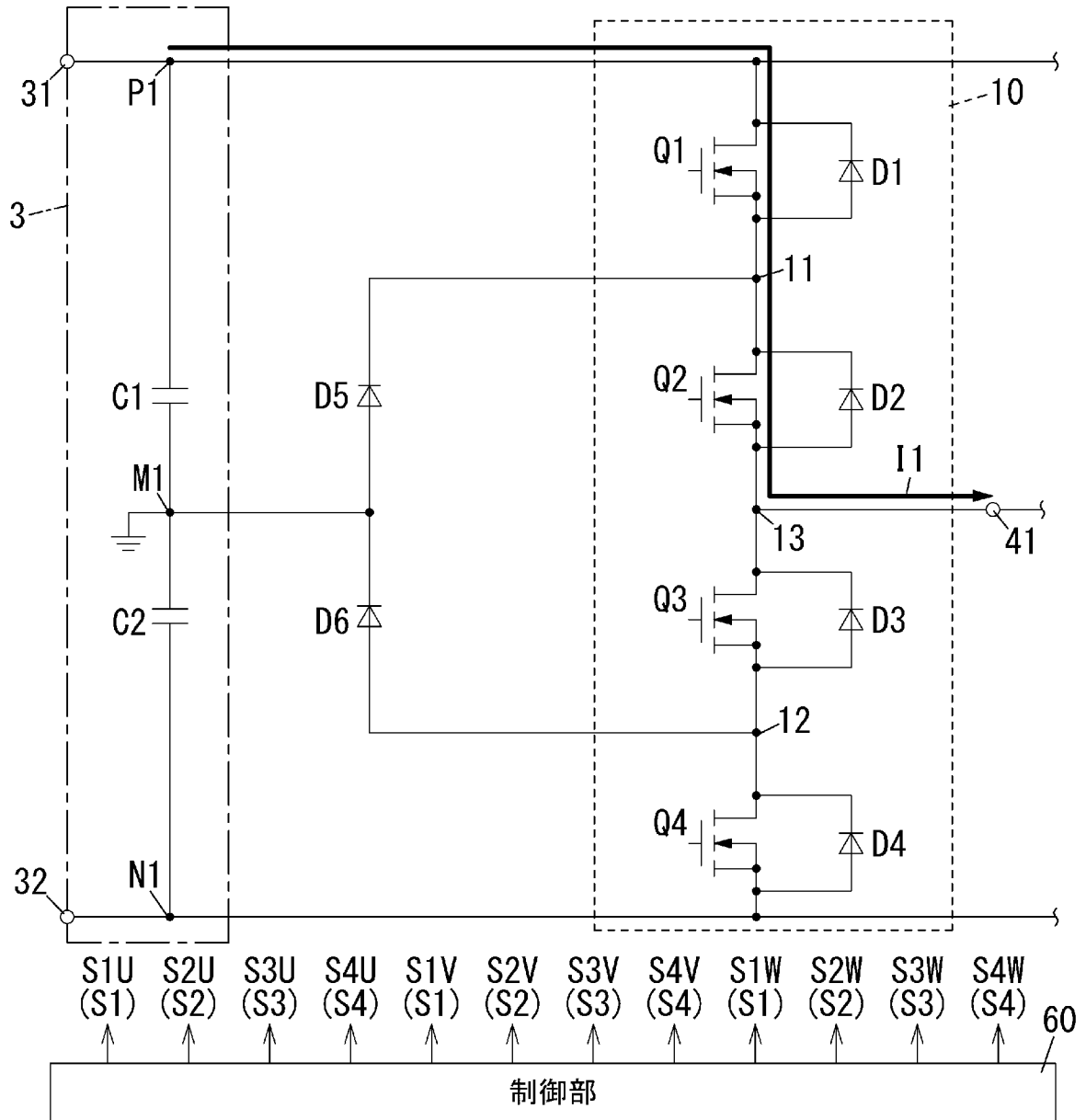
[請求項7] 前記スイッチング回路を複数備え、
前記第 1 ゲートドライバを複数備え、
前記第 2 ゲートドライバを複数備え、
前記第 3 ゲートドライバを複数備え、
前記第 4 ゲートドライバを複数備え、
前記ブートストラップ回路を複数備え、
前記電源部は、

少なくとも前記複数の第 4 ゲートドライバ及び前記複数のブート
ストラップ回路に電圧を供給する、
請求項 1 に記載の電力変換装置。

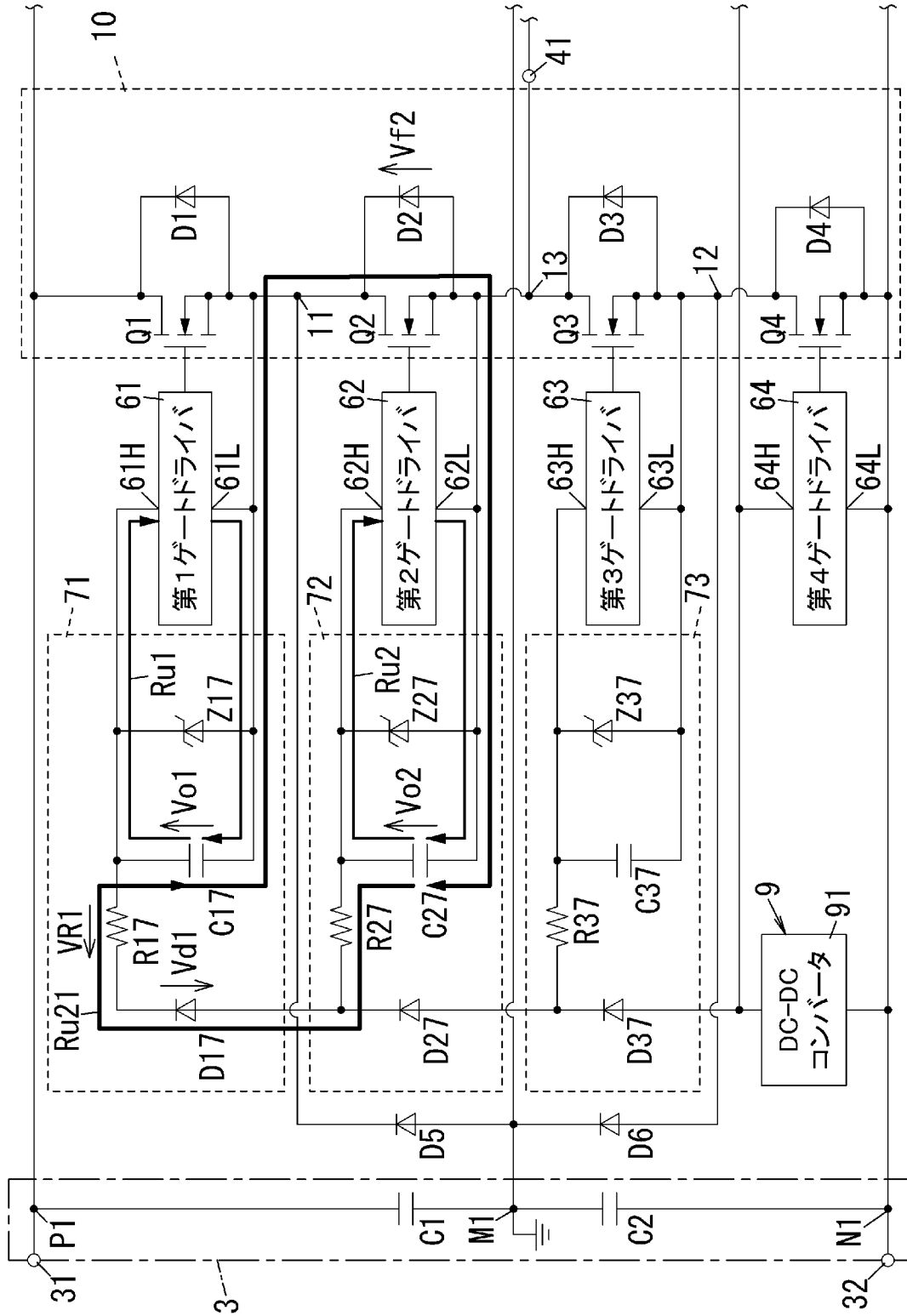
[図1]



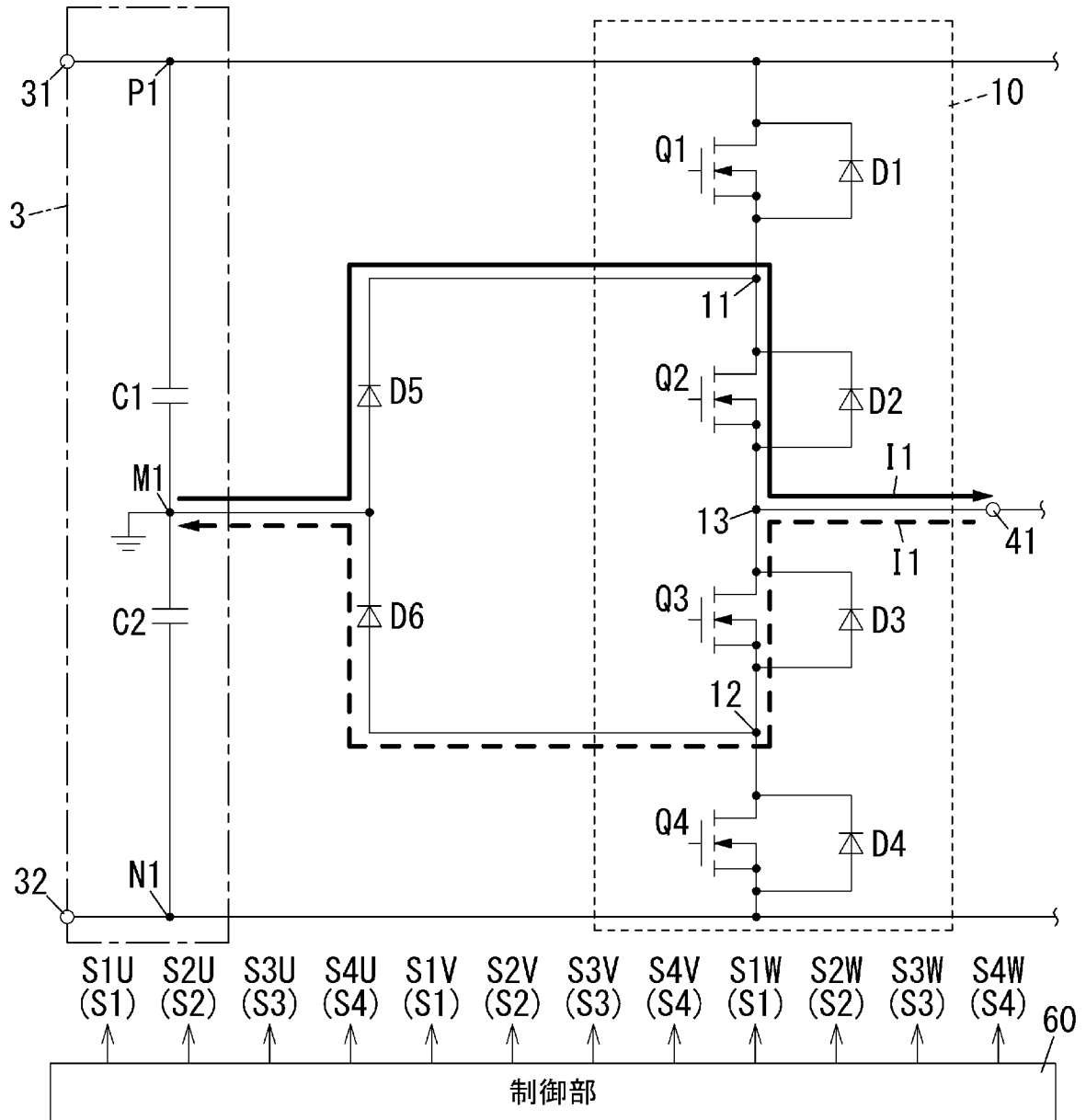
[図2]



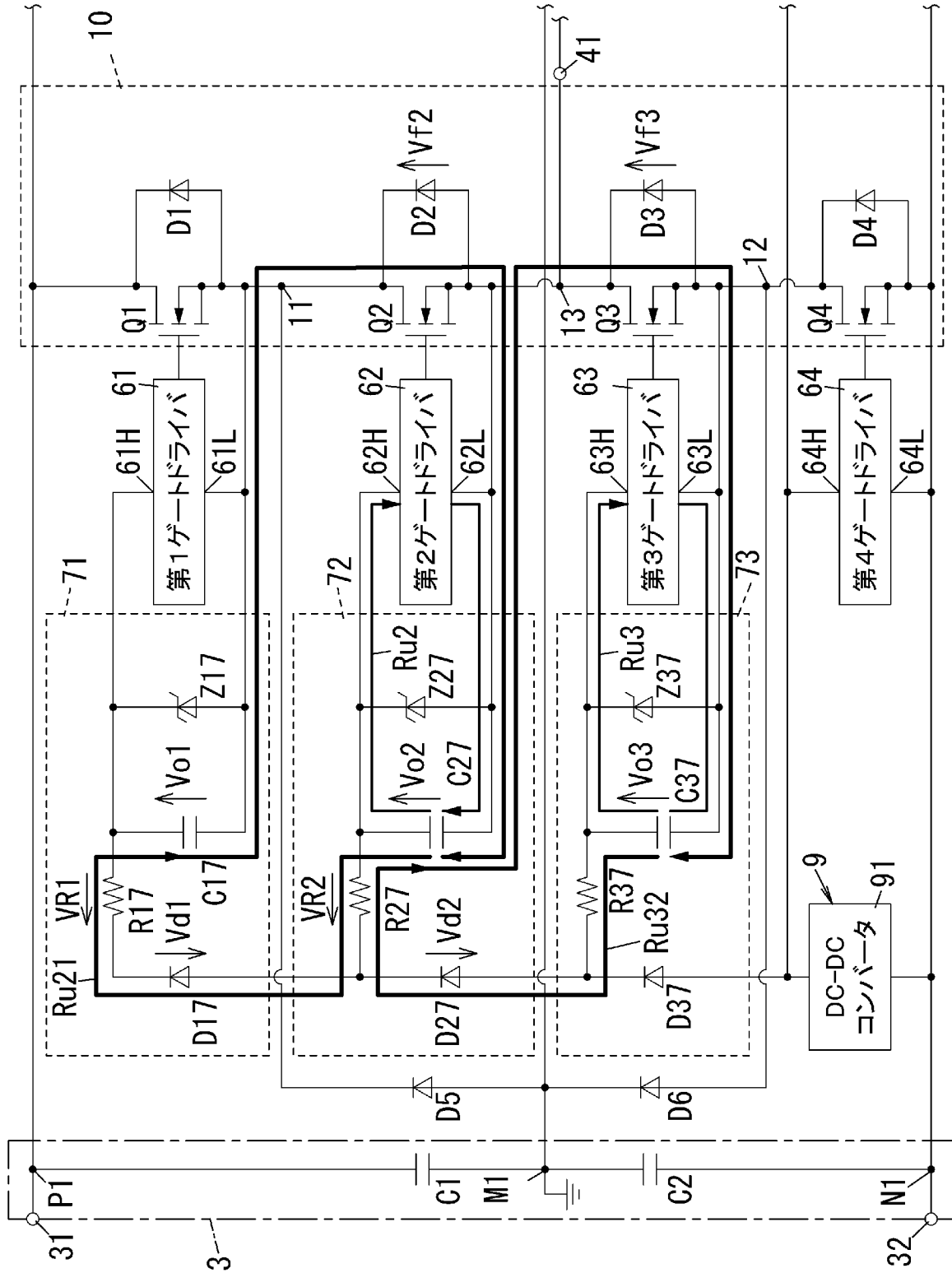
[図3]



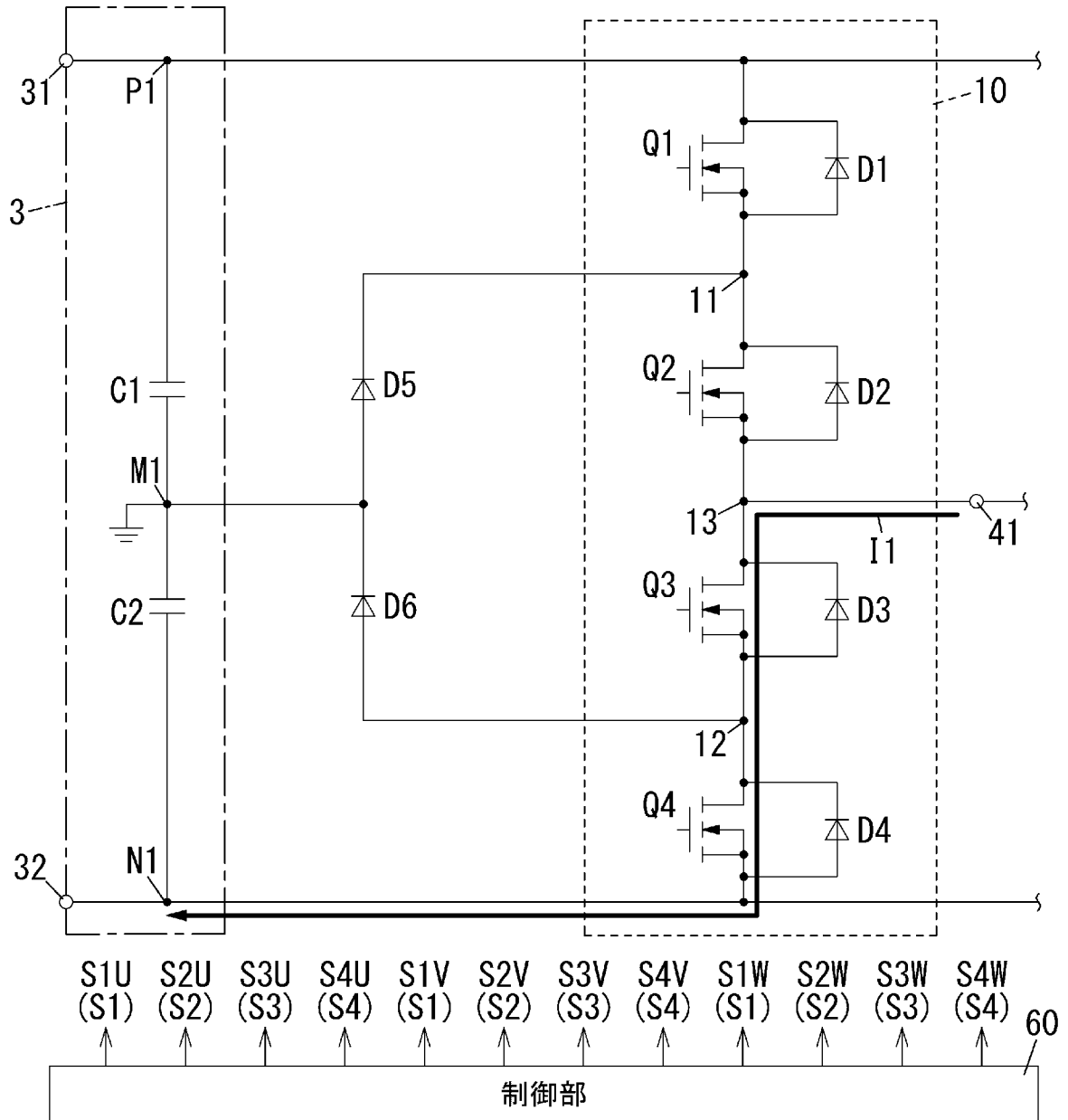
[図4]



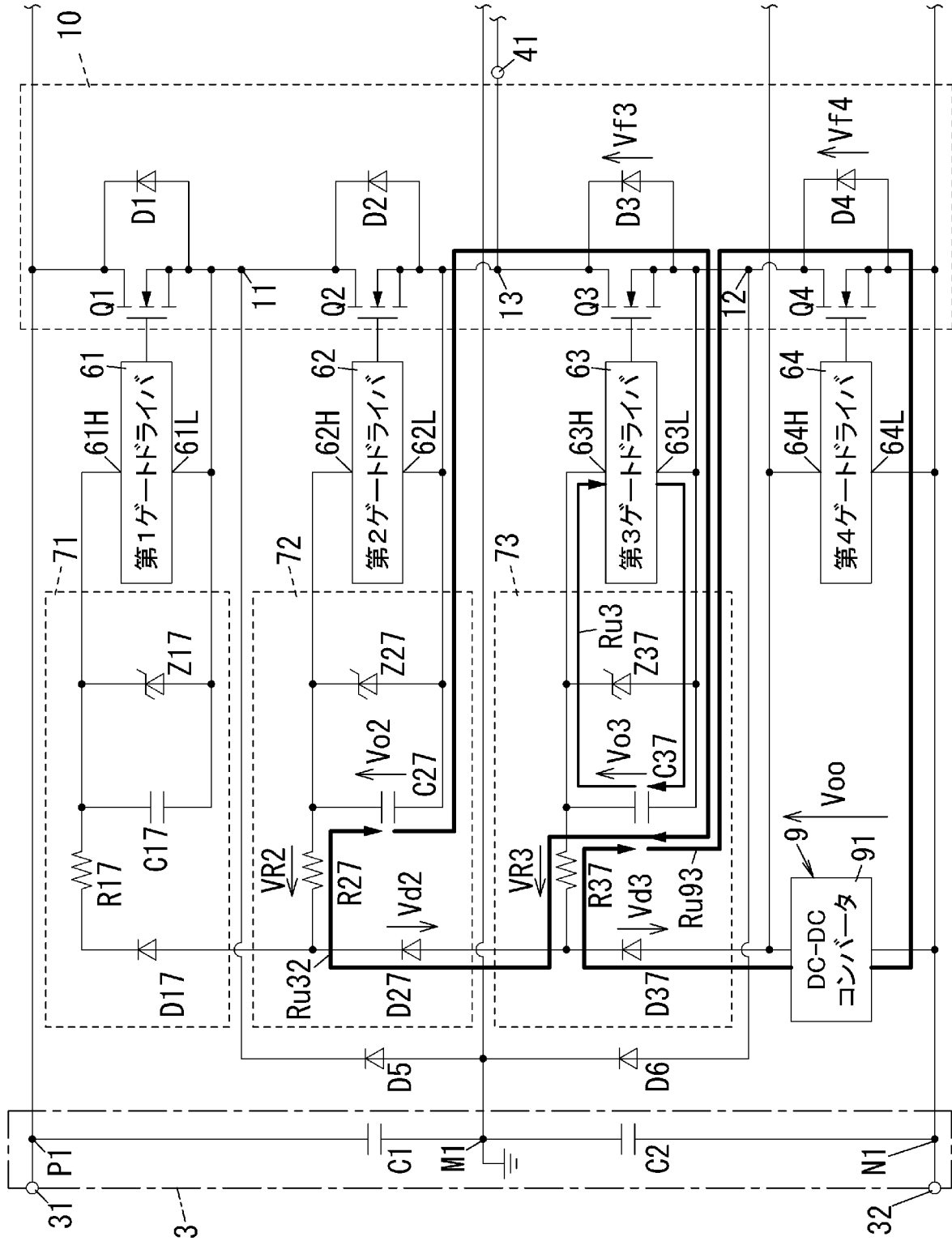
[図5]



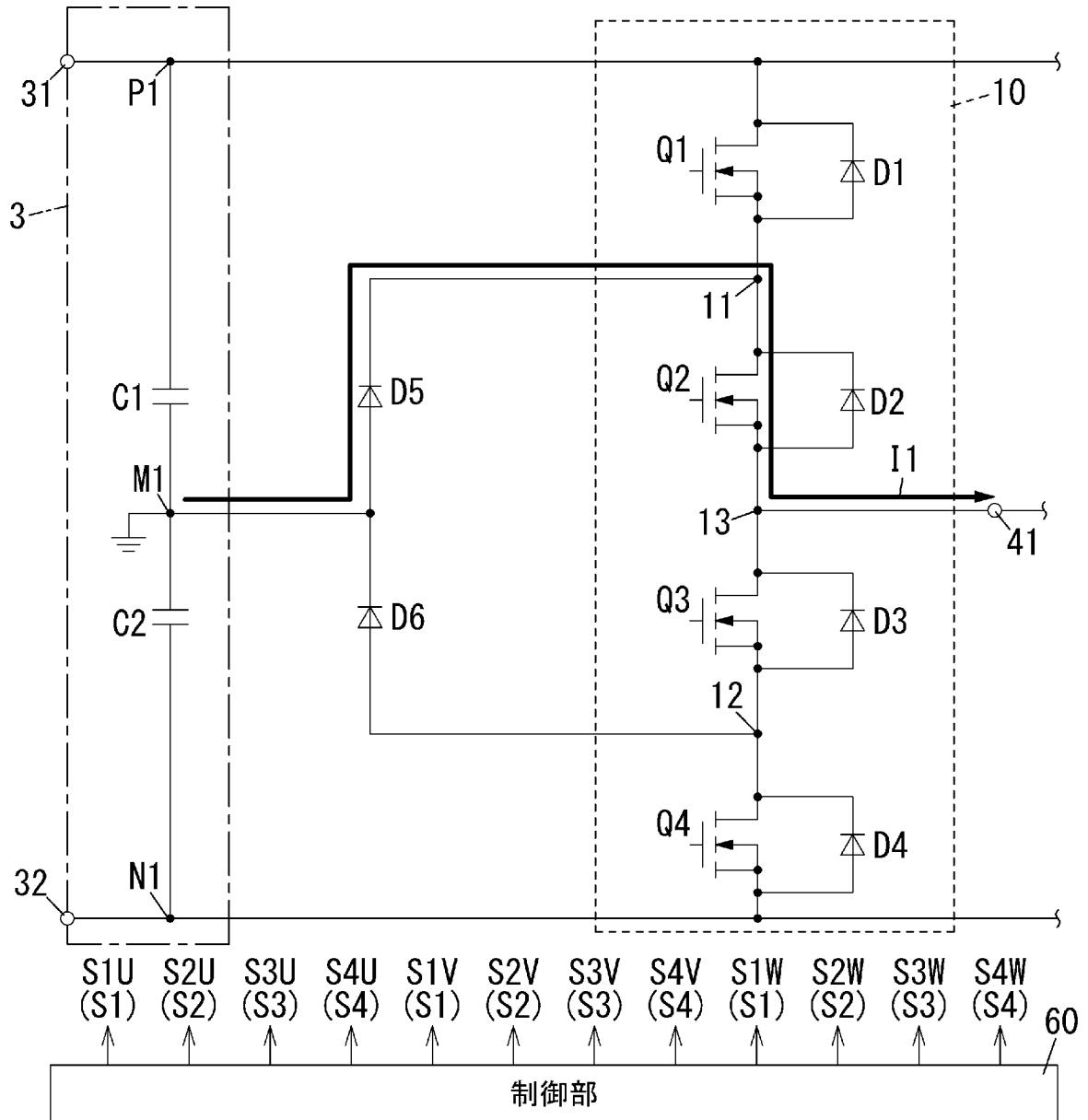
[図6]



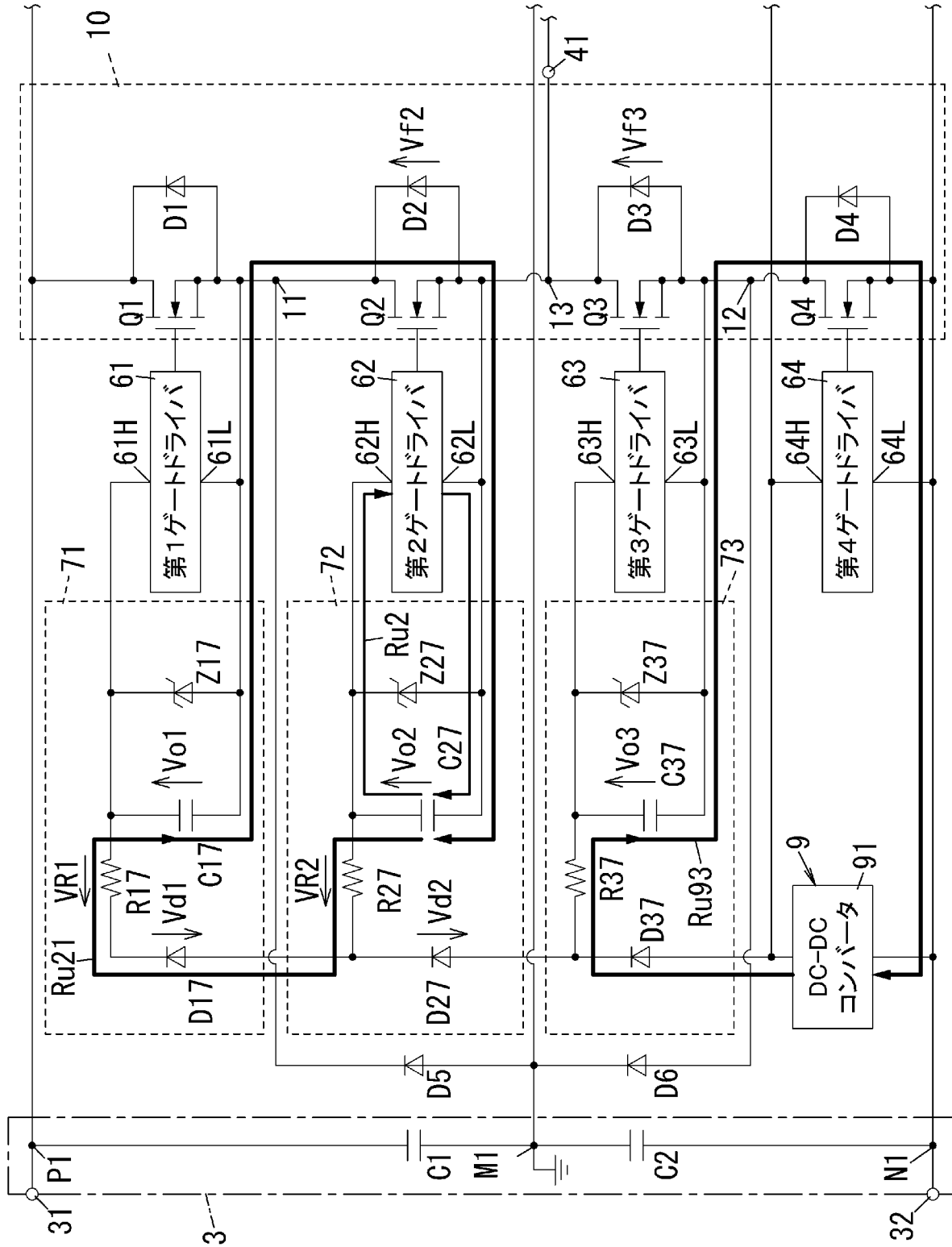
[図7]



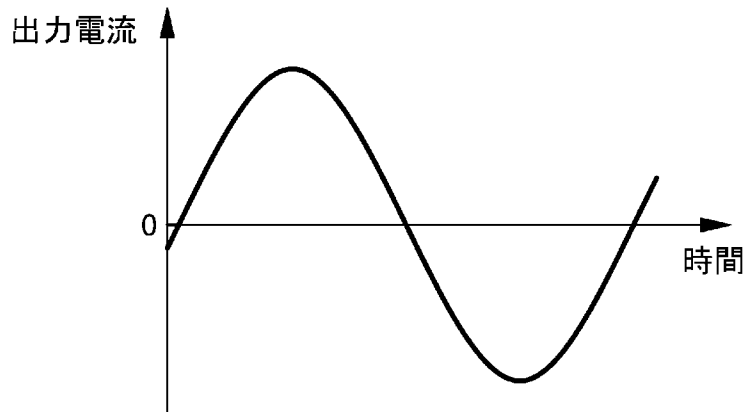
[図8]



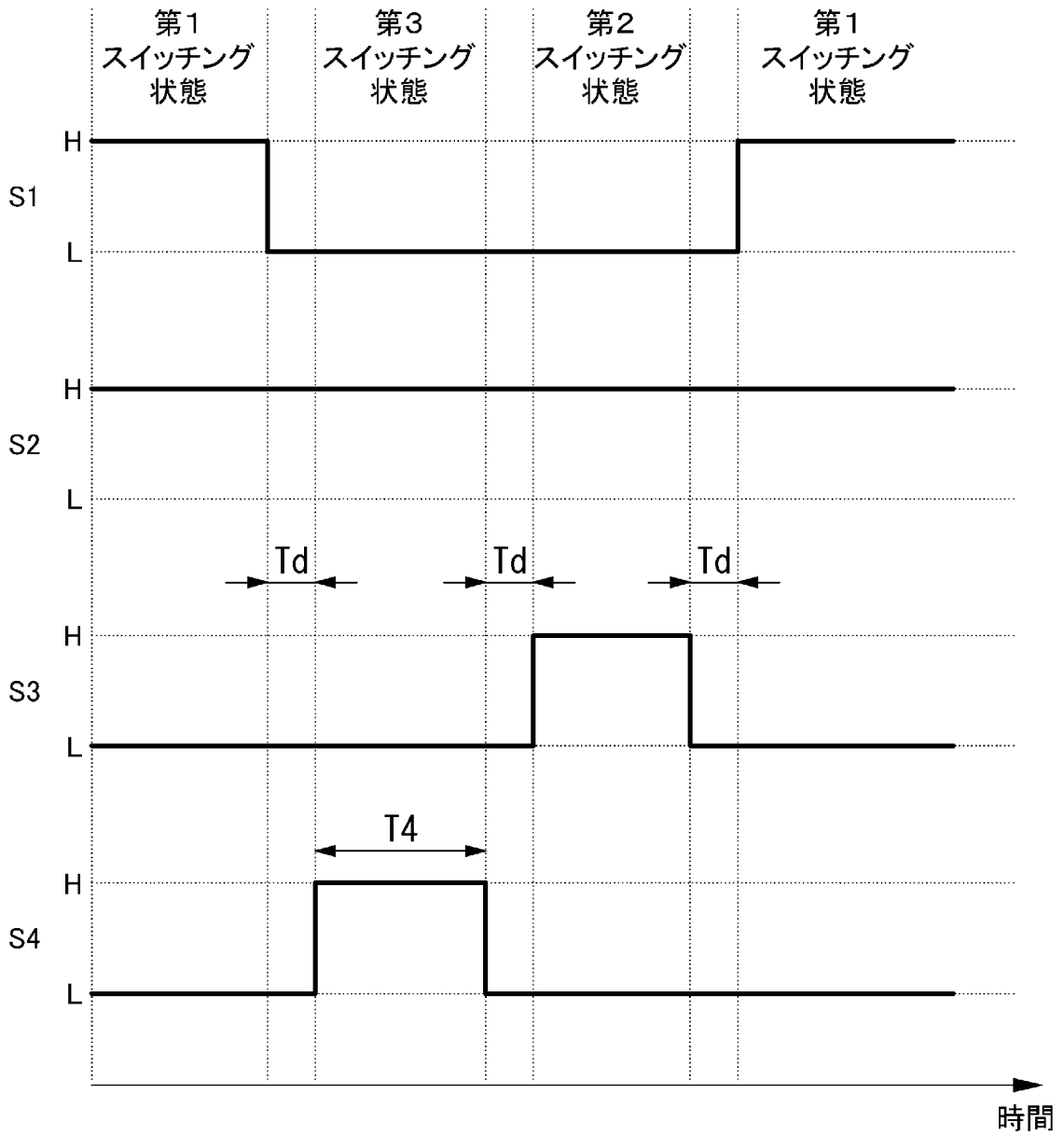
[図9]



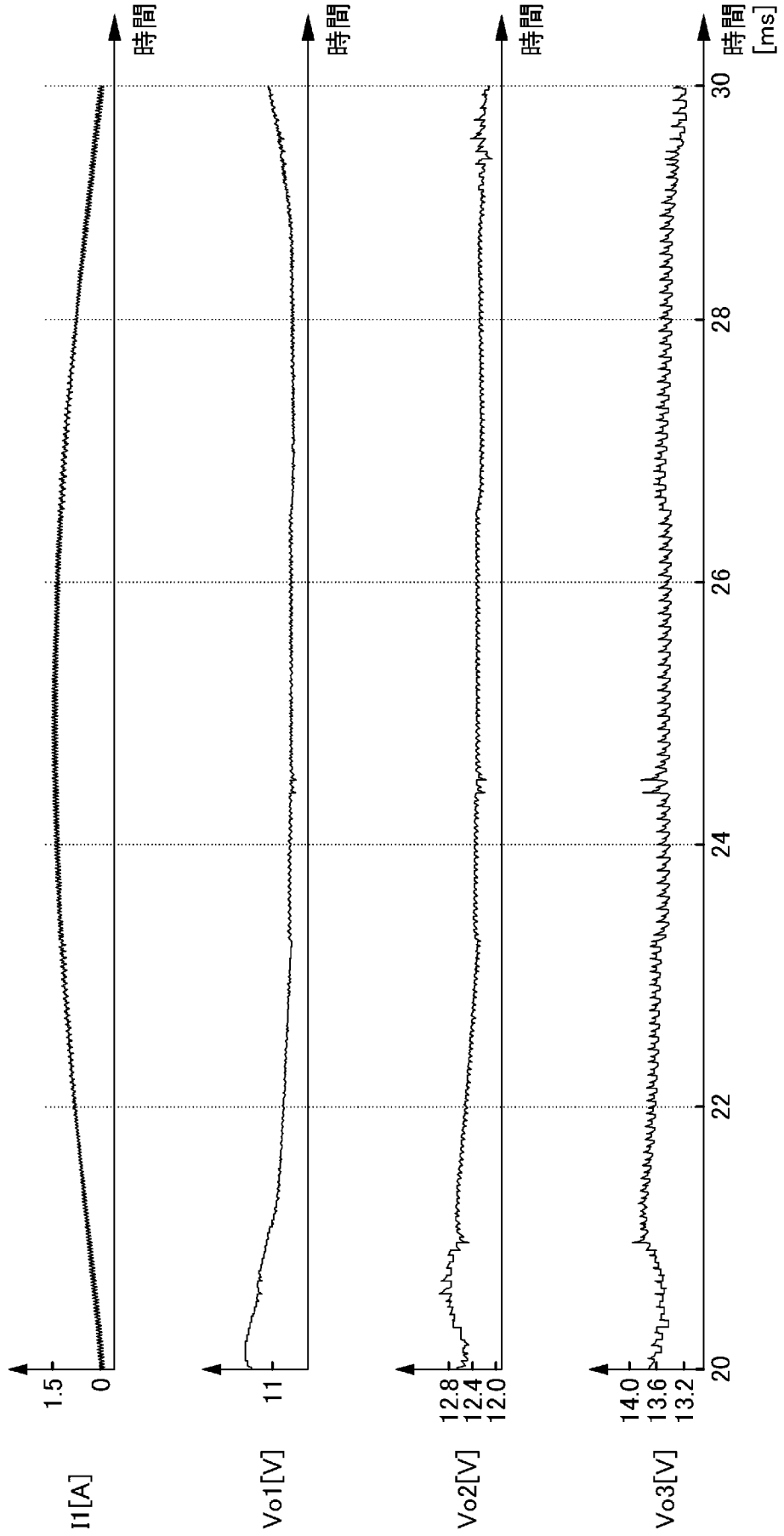
[図10]



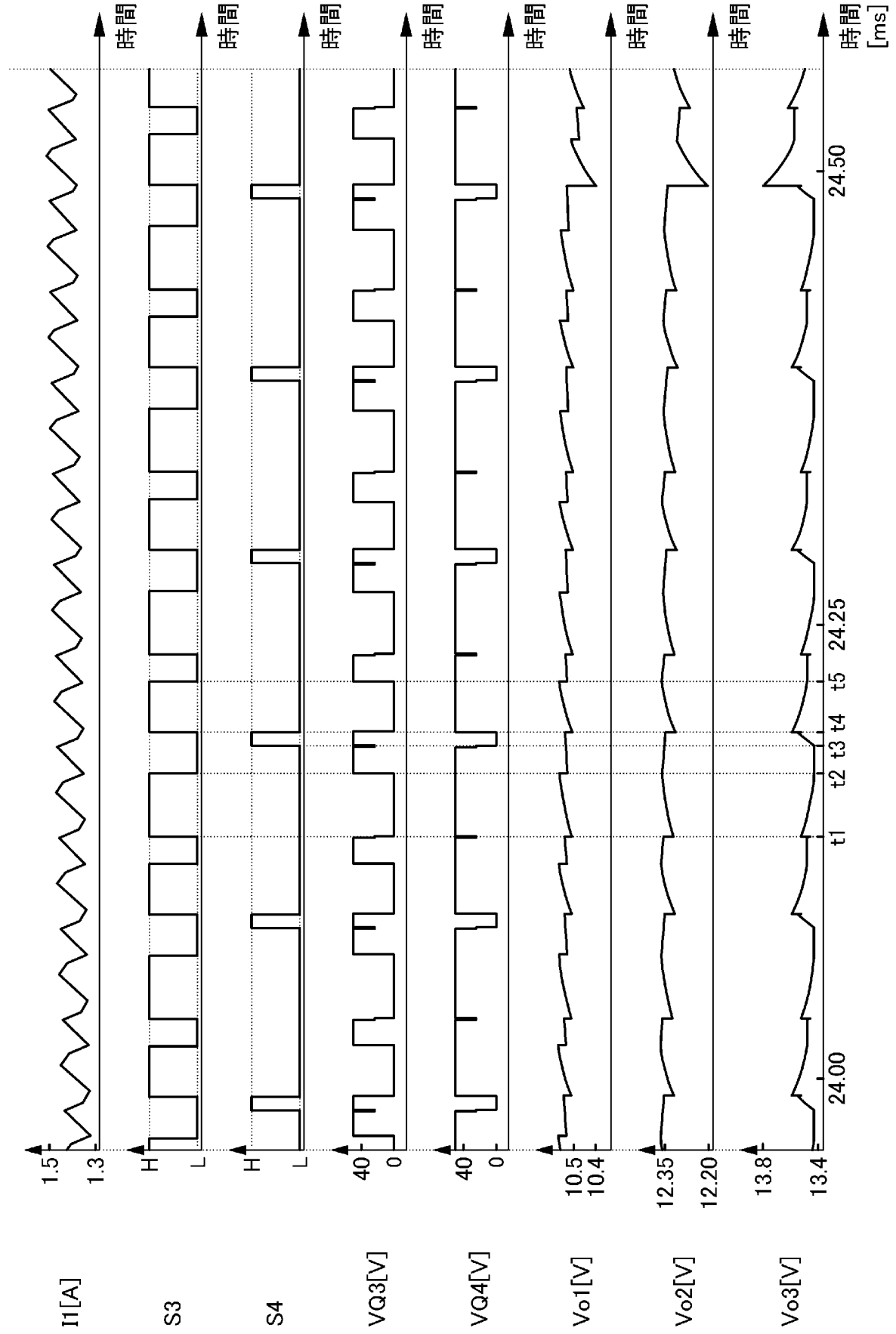
[図11]



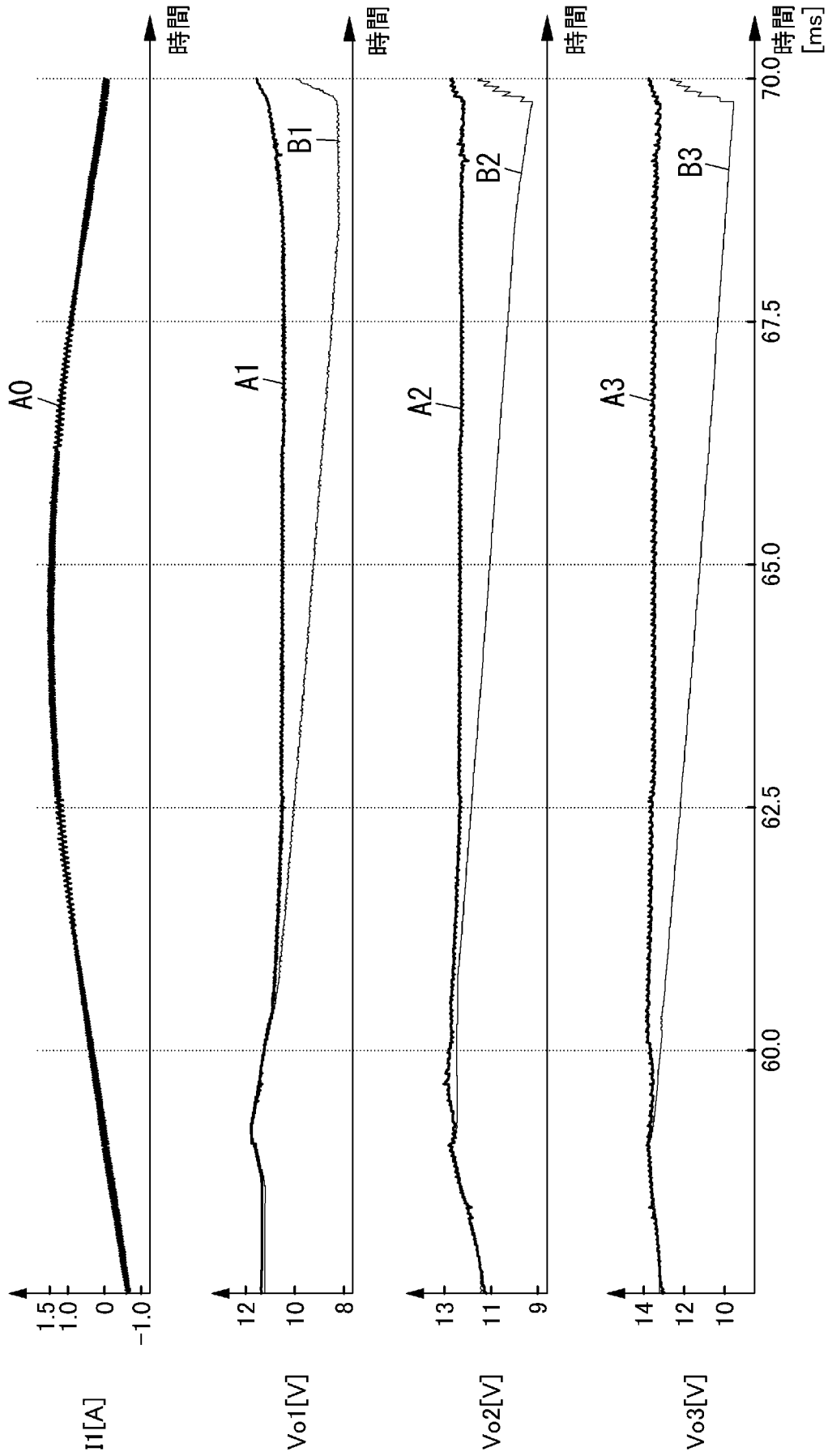
[図12]



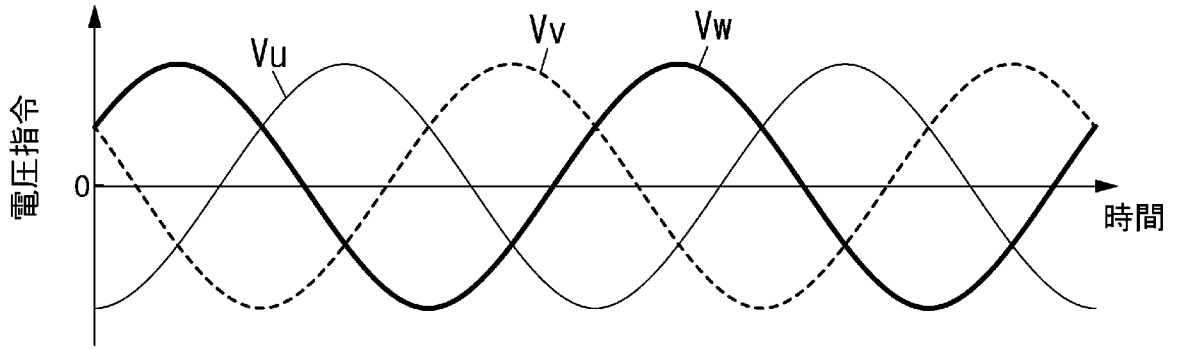
[図13]



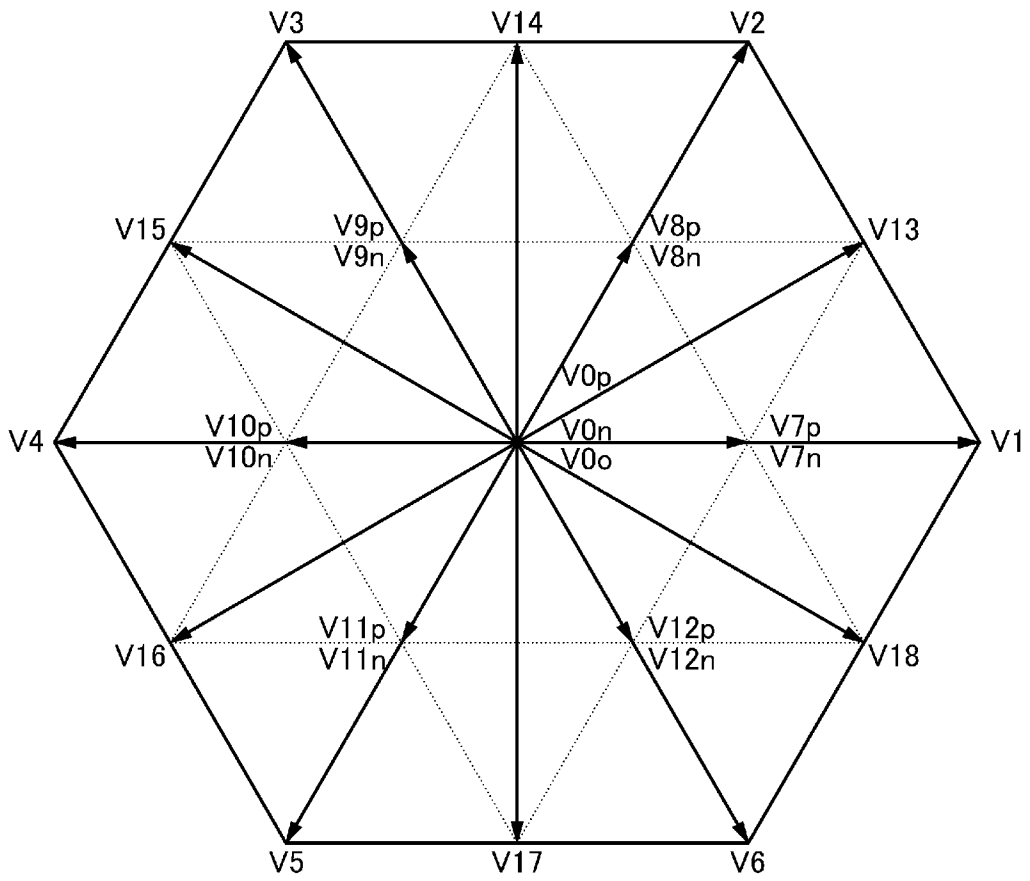
[図14]



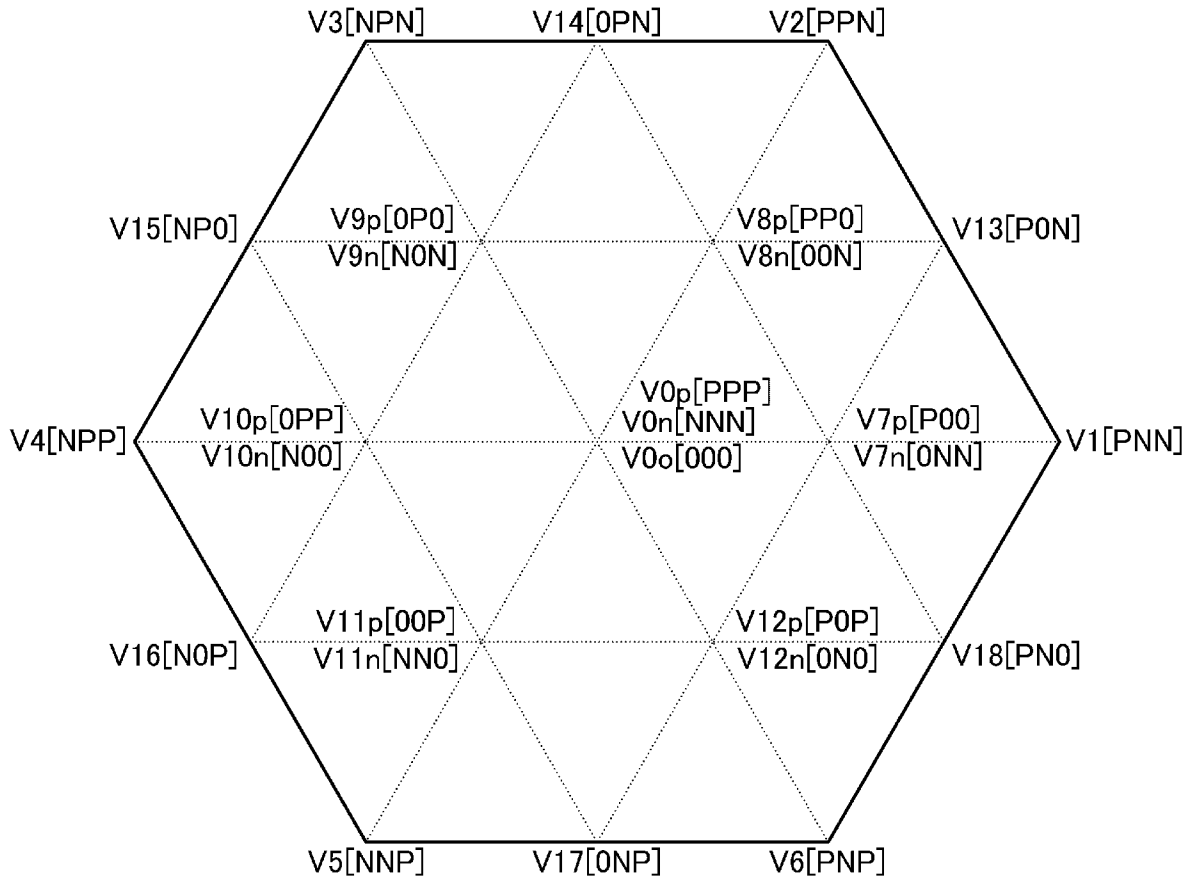
[図15]



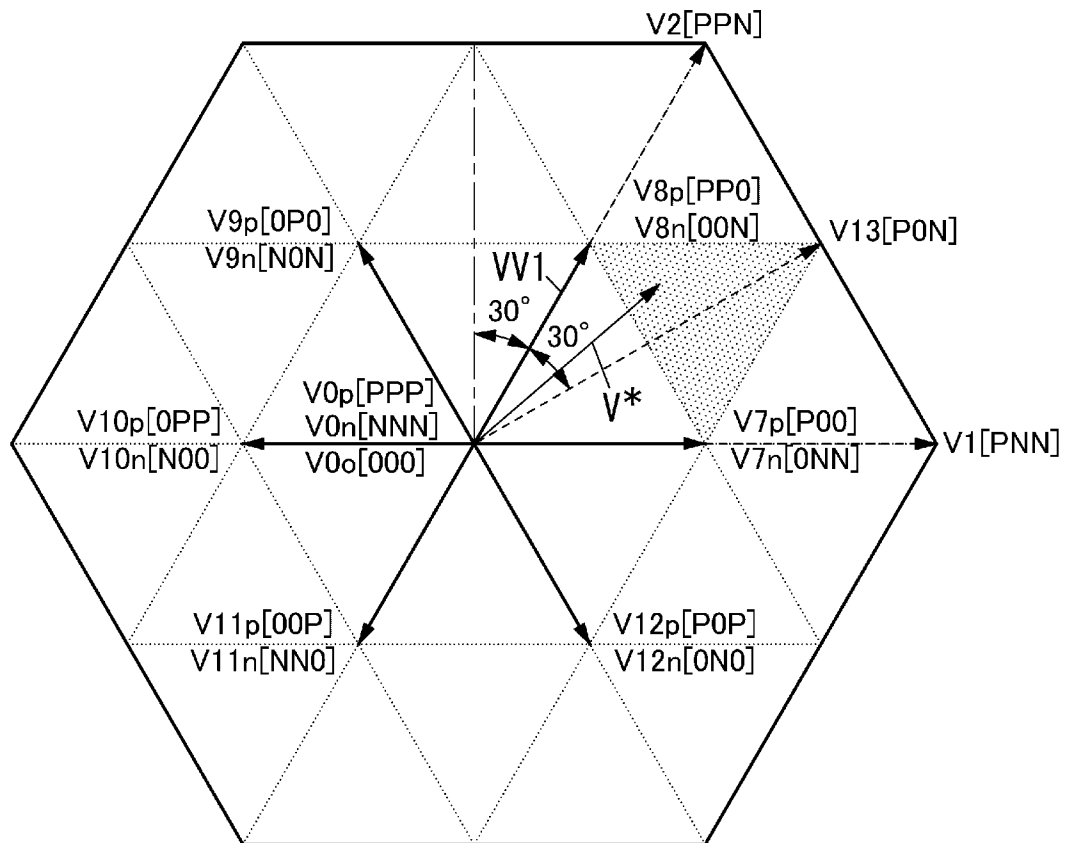
[図16]



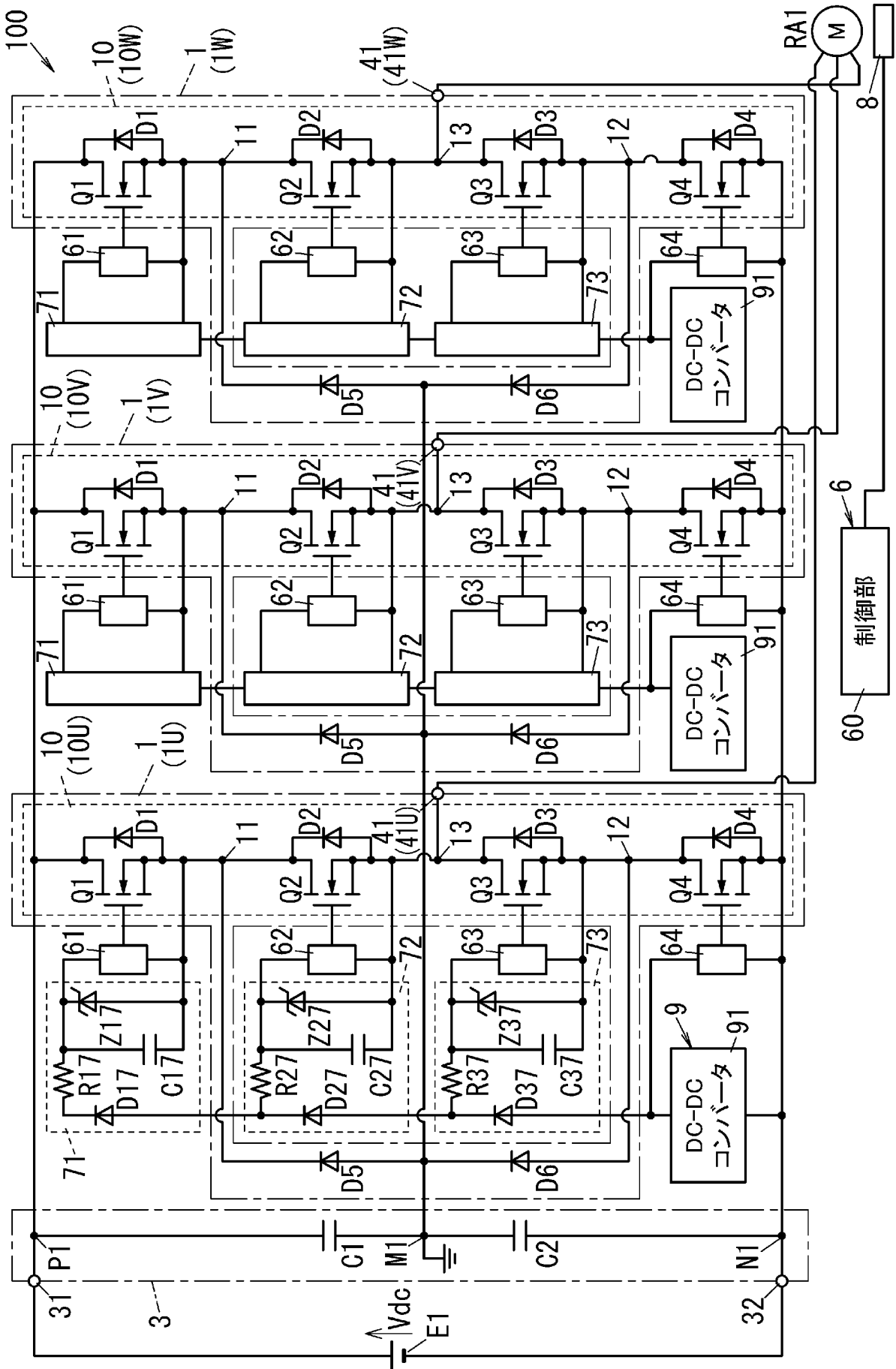
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/015024

A. CLASSIFICATION OF SUBJECT MATTER <i>H02M 7/48</i> (2007.01)i; <i>H02M 1/08</i> (2006.01)j FI: H02M7/48 E; H02M1/08 A According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M7/48; H02M1/08		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-236544 A (SHARP KABUSHIKI KAISHA) 21 November 2013 (2013-11-21) paragraphs [0087]-[0098], fig. 6	1-7
P, A	WO 2024/053452 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 14 March 2024 (2024-03-14) paragraphs [0013]-[0238], fig. 1-54	1-7
P, A	WO 2024/053453 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 14 March 2024 (2024-03-14) paragraphs [0011]-[0226], fig. 1-46	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 09 May 2024		Date of mailing of the international search report 21 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2024/015024

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2013-236544 A	21 November 2013	US 2013/0083580 A1 paragraphs [0098]-[0109], fig. 6 CN 103036466 A KR 10-2013-0035923 A	
----- WO 2024/053452 A1	14 March 2024	(Family: none)	
----- WO 2024/053453 A1	14 March 2024	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 7/48(2007.01)i; H02M 1/08(2006.01)i FI: H02M7/48 E; H02M1/08 A		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H02M7/48; H02M1/08		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2024年 日本国実用新案登録公報 1996 - 2024年 日本国登録実用新案公報 1994 - 2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-236544 A (シャープ株式会社) 21.11.2013 (2013 - 11 - 21) 段落[0087]-[0098], 図6	1-7
P, A	WO 2024/053452 A1 (パナソニック IPマネジメント株式会社) 14.03.2024 (2024 - 03 - 14) 段落[0013]-[0238], 図1-54	1-7
P, A	WO 2024/053453 A1 (パナソニック IPマネジメント株式会社) 14.03.2024 (2024 - 03 - 14) 段落[0011]-[0226], 図1-46	1-7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 09.05.2024	国際調査報告の発送日 21.05.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 安食 泰秀 3H 3740 電話番号 03-3581-1101 内線 3316	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/015024

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-236544 A	21.11.2013	US 2013/0083580 A1 段落[0098]-[0109], FIG. 6 CN 103036466 A KR 10-2013-0035923 A	
WO 2024/053452 A1	14.03.2024	(ファミリーなし)	
WO 2024/053453 A1	14.03.2024	(ファミリーなし)	