



(12) 发明专利

(10) 授权公告号 CN 103250252 B

(45) 授权公告日 2015. 12. 23

(21) 申请号 201280004074. 1
 (22) 申请日 2012. 10. 03
 (30) 优先权数据
 2011-222247 2011. 10. 06 JP
 (85) PCT国际申请进入国家阶段日
 2013. 06. 07
 (86) PCT国际申请的申请数据
 PCT/JP2012/006368 2012. 10. 03
 (87) PCT国际申请的公布数据
 W02013/051267 JA 2013. 04. 11
 (73) 专利权人 松下电器产业株式会社
 地址 日本大阪府
 (72) 发明人 魏志强 高木刚 三谷觉
 村冈俊作 片山幸治
 (74) 专利代理机构 永新专利商标代理有限公司
 72002
 代理人 陈萍

(51) Int. Cl.
 H01L 27/105(2006. 01)
 H01L 45/00(2006. 01)
 H01L 49/00(2006. 01)
 (56) 对比文件
 CN 102714210 A, 2012. 10. 03, 说明书第
 [0075]~[0101] 段, 附图 1B.
 WO 2008/149484 A1, 2008. 12. 11, 全文.
 JP 特开 2008-306157 A, 2008. 12. 18, 全文.
 CN 102077293 A, 2011. 05. 25, 全文.
 US 2010/0308298 A1, 2010. 12. 09, 全文.

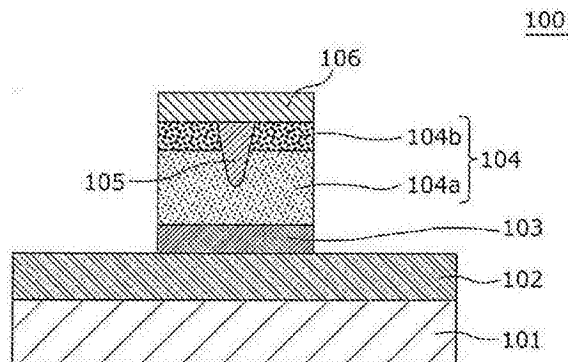
审查员 李利哲

权利要求书3页 说明书21页 附图17页

(54) 发明名称
 非易失性存储元件及非易失性存储装置

(57) 摘要

非易失性存储装置具备第 1 电极(103)、第 2 电极(106) 和电阻变化层(104), 电阻变化层(104) 具备: 第 1 氧化物层(104a), 含有第 1 金属的氧化物; 第 2 氧化物层(104b), 在第 1 氧化物层(104a) 和第 2 电极(106) 之间相接配置, 含有第 2 金属的氧化物, 与第 1 氧化物层(104a) 相比氧不足率小; 及局部区域(105), 在第 1 氧化物层(104a) 及第 2 氧化物层(104b) 内与第 2 电极(106) 相接配置, 不与第 1 电极(103) 相接, 与第 2 氧化物层(104b) 相比氧不足率大, 氧不足率与第 1 氧化物层(104a) 不同。



CN 103250252 B

1. 一种电阻变化型的非易失性存储元件,其中,

具备第 1 电极、第 2 电极和电阻变化层,该电阻变化层介于上述第 1 电极和上述第 2 电极之间,根据在上述第 1 电极及上述第 2 电极间赋予的电压极性而可逆地使高电阻状态和低电阻状态转变;

上述电阻变化层包含:

第 1 氧化物层,含有第 1 金属的氧化物;

第 2 氧化物层,在上述第 1 氧化物层和上述第 2 电极之间相接配置,含有第 2 金属的氧化物,与上述第 1 氧化物层相比氧不足率小;及

局部区域,在上述第 1 氧化物层及上述第 2 氧化物层内与上述第 2 电极相接配置,不与上述第 1 电极相接,与上述第 2 氧化物层相比氧不足率大,氧不足率与上述第 1 氧化物层不同;

上述局部区域包含:

第 1 局部区域,配置在上述第 1 氧化物层内,不与上述第 1 电极相接,与上述第 1 氧化物层相比氧不足率大;及

第 2 局部区域,在上述第 1 局部区域和上述第 2 电极之间与上述第 1 局部区域及上述第 2 电极相接配置,与上述第 1 局部区域相比氧不足率小,与上述第 2 氧化物层相比氧不足率大。

2. 根据权利要求 1 所记载的电阻变化型的非易失性存储元件,其中,

上述电阻变化层在上述第 2 局部区域使高电阻状态和低电阻状态转变。

3. 根据权利要求 1 所记载的电阻变化型的非易失性存储元件,其中,

上述第 2 局部区域在从上述第 1 电极向上述第 2 电极的方向的膜厚上具有比上述第 2 氧化物层的膜厚还小的部分。

4. 根据权利要求 1 所记载的电阻变化型的非易失性存储元件,其中,

上述第 2 氧化物层和上述第 1 氧化物层所含的金属的氧化物,是同种的金属的氧化物。

5. 根据权利要求 4 所记载的电阻变化型的非易失性存储元件,其中,

上述同种的金属是 Ta。

6. 根据权利要求 1 记载的电阻变化型的非易失性存储元件,其中,

还具备与上述电阻变化层电连接的负载元件。

7. 根据权利要求 6 所记载的电阻变化型的非易失性存储元件,其中,

上述负载元件是固定电阻、晶体管或二极管。

8. 根据权利要求 1 所记载的电阻变化型的非易失性存储元件,其中,

在上述电阻变化层仅形成 1 个上述局部区域。

9. 一种电阻变化型的非易失性存储元件,其中,

具备第 1 电极、第 2 电极和电阻变化层,该电阻变化层介于上述第 1 电极和上述第 2 电极之间,根据在上述第 1 电极及上述第 2 电极间赋予的电压极性而可逆地使高电阻状态和低电阻状态转变;

上述电阻变化层包含:

第 1 氧化物层,含有第 1 金属的氧化物;

第 2 氧化物层,在上述第 1 氧化物层和上述第 2 电极之间相接配置,含有第 2 金属的氧

化物,与上述第 1 氧化物层相比氧不足率小;及

局部区域,在上述第 1 氧化物层及上述第 2 氧化物层内与上述第 2 电极相接配置,不与上述第 1 电极相接,与上述第 2 氧化物层相比氧不足率大,氧不足率与上述第 1 氧化物层不同;

上述第 1 电极和上述第 2 电极由同一材料构成。

10. 一种非易失性存储装置,其具备:

基板;

存储单元阵列,具备:在上述基板上相互平行地形成的多条第 1 布线;在上述多条第 1 布线的上方在与上述基板的主面平行的面内相互平行且与上述多条第 1 布线立体交叉地形成的多条第 2 布线;及对应于上述多条第 1 布线和上述多条第 2 布线的立体交叉点而设置的权利要求 1~9 之中的任一项所记载的非易失性存储元件;

选择电路,从上述存储单元阵列具备的非易失性存储元件中,选择至少一个非易失性存储元件;

写入电路,通过向由上述选择电路选择出的非易失性存储元件施加电压,写入数据;及读出电路,通过检测由上述选择电路选择出的非易失性存储元件的电阻值,读出数据。

11. 根据权利要求 10 所记载的非易失性存储装置,其中,

上述非易失性存储元件具备与上述电阻变化层电连接的电流控制元件。

12. 一种非易失性存储装置,其具备:

基板;

存储单元阵列,具备:在上述基板上形成的多条字线及多条位线;分别与上述多条字线及多条位线连接的多个晶体管;及与上述多个晶体管一一对应设置的多个权利要求 1~9 的任一项所记载的非易失性存储元件;

选择电路,从上述存储单元阵列具备的非易失性存储元件中,选择至少一个非易失性存储元件;

写入电路,通过向由上述选择电路选择出的非易失性存储元件施加电压,写入数据;及读出电路,通过检测由上述选择电路选择出的非易失性存储元件的电阻值,读出数据。

13. 一种非易失性存储装置,其具备:

基板;

存储单元阵列,具备:在上述基板上相互平行地形成的多条第 1 布线;在上述多条第 1 布线的上方在与上述基板的主面平行的面内相互平行且与上述多条第 1 布线立体交叉地形成的多条第 2 布线;及对应于上述多条第 1 布线和上述多条第 2 布线的立体交叉点而设置的电阻变化型的非易失性存储元件;

选择电路,从上述存储单元阵列具备的非易失性存储元件中,选择至少一个非易失性存储元件;

写入电路,通过向由上述选择电路选择出的非易失性存储元件施加电压,写入数据;及读出电路,通过检测由上述选择电路选择出的非易失性存储元件的电阻值,读出数据;

上述电阻变化型的非易失性存储元件具备第 1 电极、第 2 电极和电阻变化层,该电阻变化层介于上述第 1 电极和上述第 2 电极之间,根据在上述第 1 电极及上述第 2 电极间赋予

的电压极性而可逆地使高电阻状态和低电阻状态转变；

上述电阻变化层包含：

第 1 氧化物层，含有第 1 金属的氧化物；

第 2 氧化物层，在上述第 1 氧化物层和上述第 2 电极之间相接配置，含有第 2 金属的氧化物，与上述第 1 氧化物层相比氧不足率小；及

局部区域，在上述第 1 氧化物层及上述第 2 氧化物层内与上述第 2 电极相接配置，不与上述第 1 电极相接，与上述第 2 氧化物层相比氧不足率大，氧不足率与上述第 1 氧化物层不同。

14. 一种非易失性存储装置，其具备：

基板；

存储单元阵列，具备：在上述基板上形成的多条字线及多条位线；分别与上述多条字线及多条位线连接的多个晶体管；及与上述多个晶体管一一对应设置的多个电阻变化型的非易失性存储元件；

选择电路，从上述存储单元阵列具备的非易失性存储元件中，选择至少一个非易失性存储元件；

写入电路，通过向由上述选择电路选择出的非易失性存储元件施加电压，写入数据；及

读出电路，通过检测由上述选择电路选择出的非易失性存储元件的电阻值，读出数据；

上述电阻变化型的非易失性存储元件具备第 1 电极、第 2 电极和电阻变化层，该电阻变化层介于上述第 1 电极和上述第 2 电极之间，根据在上述第 1 电极及上述第 2 电极间赋予的电压极性而可逆地使高电阻状态和低电阻状态转变；

上述电阻变化层包含：

第 1 氧化物层，含有第 1 金属的氧化物；

第 2 氧化物层，在上述第 1 氧化物层和上述第 2 电极之间相接配置，含有第 2 金属的氧化物，与上述第 1 氧化物层相比氧不足率小；及

局部区域，在上述第 1 氧化物层及上述第 2 氧化物层内与上述第 2 电极相接配置，不与上述第 1 电极相接，与上述第 2 氧化物层相比氧不足率大，氧不足率与上述第 1 氧化物层不同。

非易失性存储元件及非易失性存储装置

技术领域

[0001] 本发明涉及非易失性存储元件,特别涉及非易失性存储装置,该非易失性存储装置具备电阻值对应于施加的电信号而可逆地变化的电阻变化型的非易失性存储元件及非易失性存储元件。

背景技术

[0002] 近年来,伴随电气设备的数字技术的发展,为了保存音乐、图像、信息等数据,针对大容量且非易失性的存储装置的要求正在提高。作为响应这样的要求的一个对策,将电阻值因被赋予的电信号而变化、持续保持该状态的非易失性存储元件用于存储单元的非易失性存储装置(以下,称作 ReRAM)正被注目。这起因于非易失性存储元件的构成比较简单且易于高密度化,以及容易取得与已有的半导体工艺的匹配性等特征。

[0003] 这样的非易失性存储元件因电阻变化层中使用的材料(电阻变化材料)而分为 2 大类。其中一类是将专利文献 1 等中公开的钙钛矿材料($\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ (PCMO), $\text{La}_{1-x}\text{Sr}_x\text{MnO}_3$ (LSMO), $\text{GdBaCo}_x\text{O}_y$ (GBCO) 等)用于电阻变化材料的电阻变化型的非易失性存储元件。

[0004] 而且,另一类是将二元过渡金属氧化物用于电阻变化材料中的电阻变化型的非易失性存储元件。二元过渡金属氧化物与上述钙钛矿材料相比较,组成及构造非常单纯,所以制造时的组成控制及成膜容易。而且,还有与半导体制造工艺的匹配性也较好这样的优点,近年来进行了很多研究。

[0005] 有关电阻变化的物理的机理,还不明白的地方很多,但近年来的研究中,二元过渡金属氧化物中形成导电性的导电丝(filament),氧化还原引起的该导电丝中的缺陷密度变化作为电阻变化的主要原因而被重视(例如,参照专利文献 2 及非专利文献 1)。

[0006] 图 17 是示出专利文献 2 所公开的已有的非易失性存储元件 1400 的构成的剖面图。

[0007] 对由过渡金属氧化物构成的电阻变化层 1405 被第 1 电极 1403 和第 2 电极 1406 夹着的原形构造(图 17(a)),在第 1 电极 1403 及第 2 电极 1406 间施加电压(初始分断电压(初始破坏电压):Initial break voltage),从而形成成为第 1 电极 1403 及第 2 电极 1406 间的电流路径(在第 1 电极 1403 及第 2 电极 1406 间流动的电流的电流密度局部变高的部分)的导电丝 1405c (图 17 (b))。

[0008] 在先技术文献

[0009] 专利文献

[0010] 专利文献 1 :美国专利第 6473332 号说明书

[0011] 专利文献 2 :日本特开 2008-306157 号公报

[0012] 非专利文献

[0013] 非专利文献 1 :R. Waser et al., Advanced Materials, N021, 2009, pp. 2632-2663

[0014] 在将上述那样的过渡金属氧化物用于电阻变化材料中的已有的非易失性存储元件中,期望电阻变化特性的偏差的减小。于是,本发明人等进行了深刻研究,结果发现在已

有的电阻变化元件中,存在以下问题。

[0015] 使用了过渡金属氧化物的已有的非易失性存储元件,因初始分断电压的施加,在电阻变化层形成导电丝,从而成为能发生电阻变化的状态。此时,电阻变化层中形成的导电丝以将第 1 电极和第 2 电极连接的方式,贯穿电阻变化层。具有这样的导电丝的电阻变化元件,存在如下问题:其电阻变化的电阻变化层的电阻值的偏差变大,电阻变化特性的偏差变大。

发明内容

[0016] 本发明是为了解决上述课题而提出的,目的在于提供一种电阻变化特性的偏差小的非易失性存储元件及非易失性存储装置。

[0017] 为了解决现有的课题,本发明的一个方式涉及的非易失性存储元件,其特征在于,具备第 1 电极、第 2 电极和电阻变化层,该电阻变化层介于上述第 1 电极和上述第 2 电极之间,根据在上述第 1 电极及上述第 2 电极间赋予的电压极性而可逆地使高电阻状态和低电阻状态转变;上述电阻变化层具备:第 1 氧化物层,含有第 1 金属的氧化物;第 2 氧化物层,在上述第 1 氧化物层和上述第 2 电极之间相接配置,含有第 2 金属的氧化物,与上述第 1 氧化物层相比氧不足率小;及局部区域,在上述第 1 氧化物层及上述第 2 氧化物层内与上述第 2 电极相接配置,不与上述第 1 电极相接,与上述第 2 氧化物层相比氧不足率大,氧不足率与上述第 1 氧化物层不同。

[0018] 本明的效果如下:

[0019] 根据本发明,在局部区域控制电阻变化,从而得到电阻变化特性的偏差少的非易失性存储元件。而且,能实现使用了该非易失性存储元件的非易失性存储装置的微细化及大容量化。

附图说明

[0020] 图 1 是本发明的实施方式 1 涉及的非易失性存储元件的剖面图。

[0021] 图 2A 是用于说明局部区域的导电丝的形成图。

[0022] 图 2B 是用于说明局部区域的导电丝的形成图。

[0023] 图 2C 是用于说明局部区域的导电丝的形成图。

[0024] 图 3A 是示出本发明的实施方式 1 涉及的非易失性存储元件的主要部分的制造方法的剖面图。

[0025] 图 3B 是示出本发明的实施方式 1 涉及的非易失性存储元件的主要部分的制造方法的剖面图。

[0026] 图 3C 是示出本发明的实施方式 1 涉及的非易失性存储元件的主要部分的制造方法的剖面图。

[0027] 图 3D 是示出本发明的实施方式 1 涉及的非易失性存储元件的主要部分的制造方法的剖面图。

[0028] 图 4 是示出本发明的实施方式 1 涉及的非易失性存储元件的动作例的图。

[0029] 图 5A 是示出在本发明的实施方式 1 涉及的电阻变化层中使用了氧不足型钽氧化物的非易失性存储元件中,在第 1 电极和第 2 电极中使用了 Pt 时的、电阻变化的初始分断

电压相对于电压脉冲的施加次数的依存性的图。

[0030] 图 5B 是示出在本发明的实施方式 1 涉及的电阻变化层中使用了氧不足型钽氧化物的非易失性存储元件中,在第 1 电极和第 2 电极中使用了 Pt 时的、电阻变化的初始分断电压相对于电压脉冲的施加次数的依存性的图。

[0031] 图 5C 是示出在本发明的实施方式 1 涉及的电阻变化层中使用了氧不足型钽氧化物的非易失性存储元件中,在第 1 电极和第 2 电极中使用了 Pt 时的、电阻变化的初始分断电压相对于电压脉冲的施加次数的依存性的图。

[0032] 图 5D 是示出在本发明的实施方式 1 涉及的电阻变化层中使用了氧不足型钽氧化物的非易失性存储元件中,在第 1 电极和第 2 电极中使用了 Pt 时的、高电阻状态(高阻态)下的电流值及低电阻状态(低阻态)下的电流值的正规分布的图。

[0033] 图 5E 是示出图 5D 的高电阻状态下的电流值及低电阻状态下的电流值的正规分布的斜率(slope)的初始分断电压依存性的图。

[0034] 图 6A 是示出在本发明的实施方式 1 涉及的电阻变化层中使用了氧不足型钽氧化物的非易失性存储元件中,在第 1 电极和第 2 电极中使用了 Pt 时的、相对于电压脉冲的施加次数的电阻变化的图。

[0035] 图 6B 是示出在本发明的实施方式 1 涉及的电阻变化层中使用了氧不足型钽氧化物的非易失性存储元件中,在第 1 电极和第 2 电极中使用了 Pt 时的、相对于电压脉冲的施加次数的电阻变化的图。

[0036] 图 6C 是示出在本发明的实施方式 1 涉及的电阻变化层中使用了氧不足型钽氧化物的非易失性存储元件中,在第 1 电极和第 2 电极中使用了 Pt 时的、相对于电压脉冲的施加次数的电阻变化的图。

[0037] 图 7 是本发明的实施方式 1 的变形例涉及的非易失性存储元件的剖面图。

[0038] 图 8A 是将初始分断电压设为 -2.5V 来动作的非易失性存储元件的局部区域的 TEM 照片。

[0039] 图 8B 是将初始分断电压设为 -5.0V 来动作的非易失性存储元件的局部区域的 TEM 照片。

[0040] 图 9 是用于对本发明的实施方式 1 涉及的电阻变化层的氧含有量的典型例进行说明的图。

[0041] 图 10 是示出本发明的实施方式 2 涉及的非易失性存储装置的构成的方框图。

[0042] 图 11 是示出图 10 的 A 部的构成(4 比特大小的构成)的立体图。

[0043] 图 12 是示出本发明的实施方式 2 涉及的非易失性存储装置具备的非易失性存储元件的构成的剖面图。

[0044] 图 13 是示出本发明的实施方式 2 涉及的非易失性存储装置的动作例的时序图。

[0045] 图 14 是示出本发明的实施方式 3 涉及的非易失性存储装置的构成的方框图。

[0046] 图 15 是示出图 14 的 C 部的构成(2 比特大小的构成)的剖面图。

[0047] 图 16 是示出本发明的实施方式 3 涉及的非易失性存储装置的动作例的时序图。

[0048] 图 17 是已有例涉及的非易失性存储元件的剖面图。

具体实施方式

[0049] 本发明的一个方式涉及的非易失性存储元件,具备第1电极、第2电极和电阻变化层,该电阻变化层介于上述第1电极和上述第2电极之间,根据在上述第1电极及上述第2电极间赋予的电压极性而可逆地使高电阻状态和低电阻状态转变;上述电阻变化层具备:第1氧化物层,含有第1金属的氧化物;第2氧化物层,在上述第1氧化物层和上述第2电极之间相接配置,含有第2金属的氧化物,与上述第1氧化物层相比氧不足率小;及局部区域,在上述第1氧化物层及上述第2氧化物层内与上述第2电极相接配置,不与上述第1电极相接,与上述第2氧化物层相比氧不足率大,氧不足率与上述第1氧化物层不同。

[0050] 通过这样的构成、即形成局部区域比电阻变化层的膜厚还小的构成,使初始分断电压较低,能通过低电压进行电阻变化。进而,由于局部区域不与第1电极相接,所以能抑制因第1电极的影响而产生的寄生电阻的电阻变化,能使电阻变化特性的偏差较小。

[0051] 在此,上述局部区域也可以包含:第1局部区域,配置于上述第1氧化物层内,不与上述第1电极相接,与上述第1氧化物层相比氧不足率大;及第2局部区域,在上述第1局部区域和上述第2电极之间与上述第1局部区域及上述第2电极相接配置,与上述第1局部区域相比氧不足率小,与上述第2氧化物层相比氧不足率大。

[0052] 而且,上述电阻变化层也可以在上述第2局部区域中使高电阻状态和低电阻状态转变。

[0053] 而且,上述第2局部区域也可以在从上述第1电极向上述第2电极的方向的膜厚中具有比上述第2氧化物层的膜厚还小的部分。

[0054] 而且,上述第2氧化物层和上述第1氧化物层中所含的金属的氧化物也可以是同种的金属的氧化物。

[0055] 而且,上述同种的金属也可以是Ta。

[0056] 而且,上述第1电极和上述第2电极也可以由同一材料构成。

[0057] 而且,非易失性存储元件也可以还具备与上述电阻变化层电连接的负载元件。

[0058] 而且,上述负载元件也可以是固定电阻、晶体管或二极管。

[0059] 而且,上述第1局部区域也可以在上述电阻变化层仅形成一个。

[0060] 而且,本发明的一个方式涉及的非易失性存储装置具备:存储单元阵列,具备基板、在上述基板上相互平行形成的多条第1布线;在上述多条第1布线的上方与上述基板的主面平行的面内相互平行且与上述多条第1布线立体交叉地形成的多条第2布线、与上述多条第1布线和上述多条第2布线的立体交叉点相对应设置的权利要求1~9的任一项所记载的非易失性存储元件;选择电路,从上述存储单元阵列具备的非易失性存储元件中,选择至少一个非易失性存储元件;写入电路,通过向由上述选择电路选择出的非易失性存储元件施加电压,写入数据;及读出电路,通过检测由上述选择电路选择出的非易失性存储元件的电阻值,读出数据。

[0061] 通过成为这样的构成,能使电阻变化特性的偏差较小。

[0062] 在此,上述非易失性存储元件也可以具备与上述电阻变化层电连接的电流控制元件。

[0063] 而且,本发明的一个方式涉及的非易失性存储装置具备:存储单元阵列,具备基板、在上述基板上形成的多条字线及多条位线、分别与上述多条字线及多条位线连接的多个晶体管、及与上述多个晶体管一一对应设置的多个上述非易失性存储元件;选择电路,从

上述存储单元阵列具备的非易失性存储元件中,选择至少一个非易失性存储元件;写入电路,通过向由上述选择电路选择出的非易失性存储元件施加电压,写入数据;读出电路,通过检测由上述选择电路选择出的非易失性存储元件的电阻值,读出数据。

[0064] 通过成为这样的构成,能使电阻变化特性的偏差较小。

[0065] 根据本发明,在局部区域控制电阻变化,从而得到电阻变化特性的偏差少的非易失性存储元件。而且,能实现使用了该非易失性存储元件的非易失性存储装置的微细化及大容量化。

[0066] 以下,对于本发明的实施方式,一边参照附图一边进行说明。

[0067] 并且,在附图中,对于实质上表现同一构成、动作及效果的要素,赋予同一符号,省略说明。而且,以下记述的数值、材料、成膜方法等,都是为了具体说明本发明的实施方式而例示出的,本发明不限于这些。再有,以下记述的构成要素间的连接关系,是为了具体说明本发明的实施方式而例示出的,实现本发明功能的连接关系不限于此。进而,本发明由权利要求书确定。因此,关于以下的实施方式中的构成要素之中的、表示本发明的最上位概念的独立权利要求所未记载的构成要素,不是达成本发明的课题所必须的,但作为构成更优选的形态的例子进行说明。

[0068] (实施方式 1)

[0069] [非易失性存储元件的构成]

[0070] 图 1 是示出本发明的实施方式 1 涉及的非易失性存储元件的一构成例的剖面图。

[0071] 本实施方式的非易失性存储元件 100 具备基板 101、在该基板 101 上形成的层间绝缘膜 102、在该层间绝缘膜 102 上形成的第 1 电极 103、第 2 电极 106 和被第 1 电极 103 及第 2 电极 106 夹着的电阻变化层 104。

[0072] 电阻变化层 104 是介于第 1 电极 103 和第 2 电极 106 之间,电阻值根据被赋予给第 1 电极 103 和第 2 电极 106 之间的电信号而可逆地变化的层。例如,电阻变化层 104 是对应于被赋予给第 1 电极 103 和第 2 电极 106 之间的电压的极性而使高电阻状态和低电阻状态可逆地转变的层。

[0073] 在此,电阻变化层 104 是将与第 1 电极 103 连接的第 1 氧化物层 104a 和在该第 1 氧化物层 104a 上形成且与第 2 电极 106 连接的第 2 氧化物层 104b 这至少 2 层叠层起来构成的,而且具备局部区域 105,该局部区域 105 在第 1 氧化物层 104a 及第 2 氧化物层 104b 内与第 2 电极 106 相接配置,不与第 1 电极 103 相接。局部区域 105 的至少一部分形成于第 2 氧化物层 104b,氧不足率对应于电脉冲的施加而可逆地变化。可认为局部区域 105 包含由氧缺陷部位(位置, site)构成的导电丝(filament)。

[0074] 认为叠层构造的电阻变化层 104 的电阻变化现象,在微小的局部区域 105 中引起氧化还原反应,局部区域 105 中的导电丝(导电路径)变化,从而其电阻值变化。

[0075] 也就是说,在第 2 电极 106 上以第 1 电极 103 为基准施加了正的电压时,电阻变化层 104 中的氧离子被吸引到第 2 氧化物层 104b 侧。由此,在微小的局部区域 105 中发生氧化反应,氧不足率减少。其结果,认为局部区域 105 中的导电丝变得难以连接,电阻值增大。

[0076] 相反,在第 2 电极 106 上以第 1 电极 103 为基准施加了负的电压时,第 2 氧化物层 104b 中的氧离子被挤出到第 1 氧化物层 104a 侧。由此,在第 2 氧化物层 104b 中形成的微小的局部区域 105 中发生还原反应,氧不足率增加。其结果,认为局部区域 105 中的导电丝

变得容易连接,电阻值减少。

[0077] 电阻变化层 104 具有第 1 氧化物层 104a 和第 2 氧化物层 104b 的叠层构造。第 1 氧化物层 104a 含有氧不足型的第 1 金属的氧化物,第 2 氧化物层 104b 含有氧不足率比第 1 金属的氧化物小的第 2 金属的氧化物。因此,第 2 氧化物层 104b 的氧不足率比第 1 氧化物层的氧不足率还小。因此,第 2 氧化物层 104b 的电阻值比第 1 氧化物层 104a 的电阻值高。

[0078] 换而言之,电阻变化层 104 包括至少含有第 1 金属的氧化物的第 1 氧化物层 104a 和含有第 2 金属的氧化物的第 2 氧化物层 104b 的叠层构造。另外,第 1 氧化物层 104a 配置在第 1 电极 103 和第 2 氧化物层 104b 之间,第 2 氧化物层 104b 配置在第 1 氧化物层 104a 和第 2 电极 106 之间。第 2 氧化物层 104b 的厚度也可以比第 1 氧化物层 104a 的厚度还薄。这种情况下,能容易地形成后述的局部区域 105 不与第 1 电极 103 相接的构造。第 2 氧化物层 104b 的电阻值比第 1 氧化物层 104a 的电阻值还高,所以施加在电阻变化层 104 上的电场易于集中于第 2 氧化物层 104b。

[0079] 并且,本说明书中,所谓“氧不足率”是指在金属的氧化物中,该化学量论的组成(多个化学量论的组成存在的情况下,相对于构成其中电阻值最高的化学量论的组成)的氧化物的氧的量,不足的氧的比例而言。化学量论的组成的金属的氧化物,与其他组成的金属的氧化物相比,具有更稳定且更高的电阻值。

[0080] 例如,金属是钽(Ta)的情况,上述定义的化学量论的组成的氧化物是 Ta_2O_5 ,所以能表现为 $TaO_{2.5}$ 。 $TaO_{2.5}$ 的氧不足率是 0%, $TaO_{1.5}$ 的氧不足率为氧不足率 = $(2.5 - 1.5) / 2.5 = 40\%$ 。而且,氧过剩的金属的氧化物的氧不足率为负的值。并且,本说明书中,只要没有特别的事先声明,设定氧不足率包括正的值、0、负的值来进行说明。

[0081] 氧不足率小的氧化物接近化学量论的组成的氧化物,所以电阻值高,氧不足率大的氧化物更接近构成氧化物的金属,所以电阻值低。

[0082] 而且,本说明书中,构成第 1 氧化物层 104a 和第 2 氧化物层 104b 的金属是同种的情况下,有时取代“氧不足率”而使用“氧含有率”这样的术语。所谓“氧含有率高”对应于“氧不足率小”,所谓“氧含有率低”对应于“氧不足率大”。但是,如后所述,本实施方式涉及的电阻变化层 104 不限于构成第 1 氧化物层 104a 和第 2 氧化物层 104b 的金属是同种的情况。

[0083] 所谓“氧含有率”是指氧原子占总原子数的比率。例如, Ta_2O_5 的氧含有率是氧原子占总原子数的比率($O / (Ta + O)$),为 71.4atm%。因此,氧不足型的钽氧化物的氧含有率比 0 大,比 71.4atm% 小。例如,构成第 1 氧化物层 104a 的第 1 金属和构成第 2 氧化物层 104b 的第 2 金属是同种的情况下,氧含有率与氧不足率存在对应关系。即,第 2 金属的氧化物的氧含有率比第 1 金属的氧化物的氧含有率还大时,第 2 金属的氧化物的氧不足率比第 1 金属的氧化物的氧不足率小。

[0084] 电阻变化层 104 在第 1 氧化物层 104a 和第 2 氧化物层 104b 的界面附近,具备局部区域 105。局部区域 105 的氧不足率比第 2 氧化物层 104b 的氧不足率还大,与第 1 氧化物层 104a 的氧不足率不同。

[0085] 局部区域 105 能通过对具备第 1 氧化物层 104a 和第 2 氧化物层 104b 的叠层构造的电阻变化层 104 施加初始分断电压而形成。如后所述,此时,初始分断电压也可以是低电

压。通过初始分断,与第2电极106相接,贯穿第2氧化物层104b,侵入第1氧化物层104a的一部分,形成不与第1电极103相接的局部区域105。

[0086] 本说明书中,所谓“局部区域”意为电阻变化层104之中,在第1电极103和第2电极106之间施加了电压时,电流支配性地流动的区域。并且,局部区域105意味着如下区域:包含在电阻变化层104内形成的多条导电丝(导电路径)的集合的区域。即,电阻变化层104的电阻变化,通过局部区域105而发现。因此,在对低电阻状态的电阻变化层104施加了驱动电压时,在具备导电丝的局部区域105中,电流支配性地流动。电阻变化层104在局部区域105中使高电阻状态和低电阻状态转变。

[0087] 局部区域105的大小也可以是小,是其下端不与第1电极103相接的大小。通过将局部区域105的大小设定得小,电阻变化的偏差减小。但是,局部区域105是至少能确保为了使电流流动而需要的导电丝(导电路径)的大小。

[0088] 从图2A到图2C是用于说明局部区域105的导电丝的形成的图,使用浸透模型(Percolation Model)示出模拟的结果。在此,假设导电丝(导电路径)通过局部区域105中的氧缺陷部位连结而形成。所谓“浸透模型”是基于如下理论的模型:假设局部区域105中的氧缺陷部位(以下,简记作缺陷部位)等的随机的分布,当缺陷部位等的密度超过某一阈值时缺陷部位等的关联被形成的概率增加这样的理论。并且,在此,金属的氧化物由金属离子和氧离子构成,所谓“缺陷”意味着该金属的氧化物中相对于化学量论的组成欠缺氧,“缺陷部位的密度”也对应于氧不足率。也就是说,当氧不足率变大时,缺陷部位的密度也变大。

[0089] 在此,将电阻变化层104的氧离子的部位近似地假设为呈格子状隔开的区域(以下称作部位),通过模拟来求得由概率地形成的缺陷部位(氧离子欠缺的部位)形成的导电丝。从图2A到图2C中,记作“0”的部位表示在局部区域105内形成的缺陷部位。涂黑的部位(记载了“0”以外的数字的部位)的簇(相互连接的缺陷部位的集合体),表示在图中的上下方向上施加了电压的情况下在局部区域105内形成的导电丝,示出电流流动的路径。涂成灰色的部位(未记载数字的部位)表示氧离子占有的部位,是高电阻的区域。如图2A到图2C所示,局部区域105中随机分布的缺陷部位中,从上端到下端为止连接的缺陷部位的簇由在局部区域105的下表面和上表面间流过电流的导电丝的集合构成。根据浸透模型,导电丝的条数和形状概率地形成。导电丝的条数和形状的分布为电阻变化层104的电阻值的偏差。

[0090] 局部区域105也可以在非易失性存储元件100的1个电阻变化层104仅形成1个。由此,能减小非易失性存储元件100的电阻值的偏差。并且,形成于电阻变化层104的局部区域105的数量,例如能通过EBAC(Electron Beam Absorbed Current)分析来确认。

[0091] 驱动该非易失性存储元件100的情况,通过外部的电源,将满足规定条件的电压施加在第1电极103和第2电极106之间。随着施加的电压的电压值及极性,非易失性存储元件100的电阻变化层104的电阻值可逆地增加或减少。例如,施加了振幅比规定的阈值电压还大的规定的极性的脉冲电压的情况,电阻变化层104的电阻值增加或减少。以下有时将这样的电压称作“写入用电压”。另一方面,在施加了振幅比该阈值电压还小的脉冲电压的情况下,电阻变化层104的电阻值不变化。以下有时将这样的电压称作“读出用电压”。

[0092] 电阻变化层104由氧不足型的金属的氧化物构成。该金属的氧化物的母体金属可

以是从钽(Ta)、铪(Hf)、钛(Ti)、锆(Zr)、铌(Nb)、钨(W)、镍(Ni)、铁(Fe)等过渡金属和铝(Al)中选择出的至少一个。过渡金属能得到多个氧化状态,所以能通过氧化还原反应来实现不同的电阻状态。在此,所谓“氧不足型的金属的氧化物”是指氧含有量(原子比:总原子数中所占的氧原子数的比例)比具有化学量论的组成的金属的氧化物(通常为绝缘体)的组成少的金属的氧化物,通常进行半导体的动作者较多。通过将氧不足型的金属的氧化物用于电阻变化层 104,能在非易失性存储元件 100 中,实现再现性好且稳定的电阻变化动作。

[0093] 例如,作为构成电阻变化层 104 的金属的氧化物而使用铪氧化物的情况,在使第 1 金属的氧化物的组成为 HfO_x 的情况下 x 为 0.9 以上 1.6 以下,而且,在使第 2 金属的氧化物的组成为 HfO_y 的情况 y 比 x 的值还大的情况下,能使电阻变化层 104 的电阻值稳定而高速地变化。这种情况下,第 2 金属的氧化物的膜厚也可以是 3 ~ 4nm。

[0094] 而且,作为构成电阻变化层 104 的金属的氧化物而使用锆氧化物的情况,在使第 1 金属的氧化物的组成为 ZrO_x 的情况下 x 为 0.9 以上 1.4 以下,而且,在使第 2 金属的氧化物的组成为 ZrO_y 的情况 y 比 x 的值还大的情况下,能使电阻变化层 104 的电阻值稳定而高速地变化。这种情况下,第 2 金属的氧化物的膜厚也可以是 1 ~ 5nm。

[0095] 第 2 氧化物层 104b 和第 1 氧化物层 104a 中所含的金属的氧化物是同种的金属的氧化物,考虑构成电阻变化层 104 的金属是钽(Ta)的情况。此时,将第 1 氧化物层 104a 中所含的氧不足型钽氧化物表示为 TaO_x ,将第 2 氧化物层 104b 中所含的钽氧化物表示为 TaO_y 的情况,也可以满足 $0 < x < 2.5, x < y$ 。为了使电阻变化动作稳定实现,也可以满足 $2.1 \leq y, 0.8 \leq x \leq 1.9$ 。关于金属氧化物层的组成,可使用卢瑟福背散射法来测定。

[0096] 并且,第 2 氧化物层 104b 和第 1 氧化物层 104a 中所含的金属的氧化物也可以为异种的金属的氧化物。也就是说,构成作为第 1 氧化物层 104a 的第 1 金属的氧化物的第 1 金属和构成作为第 2 氧化物层 104b 的第 2 金属的氧化物的第 2 金属也可以使用不同的金属。这种情况下,第 2 金属的氧化物与第 1 金属的氧化物相比氧不足率小,也就是说电阻也可以为高。通过成为这样的构成,电阻变化时在第 1 电极 103 和第 2 电极 106 之间施加的电压,对第 2 金属的氧化物分配更多的电压,能更容易地引起第 2 金属的氧化物中发生的氧化还原反应。

[0097] 而且,对第 1 金属和第 2 金属使用互不相同的材料的情况,第 2 金属的标准电极电位也可以低于第 1 金属的标准电极电位。标准电极电位表现出其值越高越难以氧化的特性。由此,在标准电极电位相对低的第 2 金属的氧化物中,变得易于引起氧化还原反应。并且,认为电阻变化现象,在电阻高的第 2 金属的氧化物中形成的微小的局部区域 105 中发生氧化还原反应,导电丝(导电路径)变化,从而其电阻值(氧不足率)变化。

[0098] 例如,作为第 1 金属的氧化物使用氧不足型的钽氧化物,作为第 2 金属的氧化物使用高电阻的钛氧化物(例如, TiO_2),从而得到稳定的电阻变化动作。钛(标准电极电位 = -1.63eV)是标准电极电位低于钽(标准电极电位 = -0.6eV)的材料。这样,对第 2 金属的氧化物使用标准电极电位比第 1 金属的氧化物低的金属的氧化物,从而在第 2 金属的氧化物中氧化还原反应变得更容易发生。作为其他组合,能对成为高电阻层的第 2 金属的氧化物使用铝氧化物(Al_2O_3)。例如,也可以对第 1 金属的氧化物使用氧不足型的钽氧化物(TaO_x),对第 2 金属的氧化物使用铝氧化物(Al_2O_3)。标准电极电位表现出其值在正的方向越高越容易氧化的特性。构成第 2 氧化物层 104b 的钛的标准电极电位比构成第 1 氧化物

层 104a 的钽的标准电极电位还低,所以在第 2 氧化物层 104b 中比在第 1 氧化物层 104a 中氧化还原反应更容易发生,电阻变化元件的电阻变化现象也变得更易发生。

[0099] 而且,第 2 氧化物层 104b 的介电常数也可以比第 1 氧化物层 104a 的介电常数还大。或者,第 2 氧化物层 104b 的带隙也可以小于第 1 氧化物层 104a 的带隙。例如, TiO_2 (相对介电常数 = 95) 是相对介电常数比 Ta_2O_5 (相对介电常数 = 26) 大的材料。再者, TiO_2 (带隙 = 3.1eV) 是带隙比 Ta_2O_5 (带隙 = 4.4eV) 小的材料。一般而言,相对介电常数大的材料与相对介电常数小的材料相比容易击穿,而且,带隙小的材料与带隙大的材料相比容易击穿,所以作为第 2 氧化物层 104b 而使用 TiO_2 能使初始分断电压较低。

[0100] 通过将满足上述条件的某一个或两者的金属的氧化物用于第 2 氧化物层 104b,第 2 氧化物层 104b 的绝缘破坏电场强度变得比第 1 氧化物层 104a 的绝缘破坏电场强度小,初始分断电压能减小。这是因为如 J. McPherson et al., IEDM2002, p. 633-636 的图 1 所示,在氧化物层的绝缘破坏电场强度(Breakdown Strength)和介电常数之间,看出介电常数越大绝缘破坏电场强度就越小这样的相关关系。而且,这是因为如 J. McPherson et al., IEDM2002, p. 633-636 的图 2 所示,在氧化物层的绝缘破坏电场和带隙之间,看出带隙越大绝缘破坏电场强度变得越大这样的相关关系。

[0101] 作为第 1 电极 103 及第 2 电极 106 的材料,从例如 Pt (白金)、Ir (铱)、Pd (钯)、Ag (银)、Ni (镍)、W (钨)、Cu (铜)、Al (铝)、Ta (钽)、Ti (钛)、TiN (氮化钛)、TaN (氮化钽) 及 TiAlN (氮化钛铝) 等中选择。

[0102] 具体而言,与氧不足率更小的第 2 金属的氧化物连接的第 2 电极 106,例如由白金(Pt)、铱(Ir)、钯(Pd)等,与构成第 2 金属的氧化物的金属及构成第 1 电极 103 的材料相比较标准电极电位更高的材料构成。而且,与氧不足率更高的第 1 金属的氧化物连接的第 1 电极 103 例如也可以由钨(W)、镍(Ni)、钽(Ta)、钛(Ti)、铝(Al)、氮化钽(TaN)、氮化钛(TiN)等,与构成第 1 金属的氧化物的构成金属相比标准电极电位更低材料构成。标准电极电位表示其值越高越难氧化。

[0103] 即,第 2 电极 106 的标准电极电位 V_2 、构成第 2 金属的氧化物的金属的标准电极电位 V_{r2} 、构成第 1 金属的氧化物的金属的标准电极电位 V_{r1} ,在第 1 电极 103 的标准电极电位 V_1 之间,满足 $V_{r2} < V_2$,而且 $V_1 < V_2$ 的关系也可以。进而,也可以满足 $V_2 > V_{r2}$, $V_{r1} \geq V_1$ 的关系。

[0104] 通过上述的构成,在第 2 电极 106 和第 2 金属的氧化物的界面附近的第 2 金属的氧化物中,选择性地发生氧化还原反应,得到稳定的电阻变化现象。

[0105] 并且,在本实施方式中,局部区域 105 形成为不与第 1 电极 103 相接,所以第 1 电极 103 不影响电阻变化。因此,通过设置本实施方式的局部区域 105,第 1 电极 103 的材料选择的自由度提高。因此,例如,第 1 电极 103 及第 2 电极 106 也可以由同一材料构成。这种情况下,通过将第 1 电极 103 的工艺条件应用于第 2 电极 106,能使工艺简化。

[0106] 而且,作为基板 101,例如可以使用单晶硅基板或半导体基板,但不限于这些。电阻变化层 104 能用比较低的基板温度形成,例如,能在树脂材料等之上形成电阻变化层 104。

[0107] 而且,非易失性存储元件 100 还可以具备与电阻变化层 104 电连接的负载元件,例如固定电阻、晶体管或二极管。

[0108] [非易失性存储元件的制造方法和动作]

[0109] 接着,一边参照图 3A ~图 3D,一边对本实施方式的非易失性存储元件 100 的制造方法的一个例子进行说明。

[0110] 首先,如图 3A 所示,例如在是单晶硅的基板 101 上,通过热氧化法形成厚度 200nm 的层间绝缘膜 102。然后,作为第 1 电极 103,例如将厚度 100nm 的 Pt 薄膜通过溅射法形成在层间绝缘膜 102 上。并且,也可以在第 1 电极 103 和层间绝缘膜 102 之间通过溅射法形成 Ti、TiN 等的密接层。之后,在第 1 电极 103 上,通过例如使用了 Ta 靶的反应性溅射法形成氧不足型的第 1 氧化物层 104a。

[0111] 接着,通过例如基于第 1 氧化物层 104a 的最表面的氧化进行的改质、或使用了 Ta 靶的反应性溅射法,在第 1 氧化物层 104a 的表面,形成氧不足率比该第 1 氧化物层 104a 小的(也就是说,电阻值高)第 2 氧化物层 104b。通过叠层了这些第 1 氧化物层 104a 和第 2 氧化物层 104b 的叠层构造,构成电阻变化层 104。

[0112] 在此,有关第 2 氧化物层 104b 的厚度,若过大则存在初始电阻值变得过高等的异常,而且若过小则存在不能得到稳定的电阻变化这样的异常,所以也可以是 1nm 以上 8nm 以下的程度。

[0113] 接着,在第 2 氧化物层 104b 上,作为第 2 电极 106,例如通过溅射法形成厚度 150nm 的 Pt 薄膜。

[0114] 接着,如图 3B 所示,通过光刻工序,形成基于光抗蚀剂的图形 107。之后,如图 3C 所示,通过将图形 107 作为掩膜使用的干蚀,形成元件区域 109。

[0115] 之后,如图 3D 所示,通过在第 1 电极 103 和第 2 电极 106 之间(电极间)施加初始分断电压,在电阻变化层 104 内形成局部区域 105。关于形成该局部区域 105 的电压的范围的一个例子,使用图 4 到图 6C 如下说明。

[0116] 作为使用了从图 4 到图 6C 的测定的样品的非易失性存储元件,是将第 1 电极 103 及第 2 电极 106 还有电阻变化层 104 的大小设为 $0.5 \mu\text{m} \times 0.5 \mu\text{m}$ (面积 $0.25 \mu\text{m}^2$) 的元件。而且,也可以将第 1 氧化物层 104a 的组成设为 TaO_x ($x = 1.38$),将第 2 氧化物层 104b 的组成设为 TaO_y ($y = 2.47$)。再者,将电阻变化层 104 的厚度设为 30nm,将第 1 氧化物层 104a 的厚度设为 25nm,将第 2 氧化物层 104b 的厚度设为 5nm。针对这样的非易失性存储元件 100,在电极间施加了读出用电压(例如 0.4V)的情况下,初始电阻值约为 $107 \sim 108 \Omega$ 。

[0117] 如图 4 所示,非易失性存储元件 100 的电阻值是初始电阻值(比高电阻状态下的电阻值 HR 还高的值,例如 $107 \sim 108 \Omega$)的情况下,通过将初始分断电压加在电极间,电阻状态发生变化。之后,若在非易失性存储元件 100 的第 1 电极 103 和第 2 电极 106 之间,作为写入用电压,交替地施加例如脉冲宽度为 100ns 的极性不同的 2 种电压脉冲,则电阻变化层 104 的电阻值如图 4 所示那样变化。即,在作为写入用电压将负电压脉冲(脉冲宽度 100ns)施加在电极间的情况下,电阻变化层 104 的电阻值从高电阻值 HR 向低电阻值 LR 减少。另一方面,在作为写入用电压将正电压脉冲(脉冲宽度 100ns)施加在电极间的情况下,电阻变化层 104 的电阻值从低电阻值 LR 向高电阻值 HR 增加。并且,在本说明书中,在以第 1 电极 103 的电位为基准、第 2 电极 106 的电位高的情况下,电压脉冲的极性为“正”,在以第 1 电极 103 的电位为基准、第 2 电极 106 的电位低的情况下,电压脉冲的极性为“负”。

[0118] 图 5A ~图 5C 是示出对同一基板上存在的 3 个非易失性存储元件 100,分别施加了 -2.5V、-3.5V、-4.0V 这样的初始分断电压脉冲 V_{break} 而成为低电阻状态之后,交替地

加上写入用的负电压脉冲及正电压脉冲时的、各非易失性存储元件 100 的电流值的变化图。在此,写入用的负电压脉冲的电压值为 -1.5V ,脉冲宽度为 100ns ,写入用的正电压脉冲的电压值为 $+2.0\text{V}$,脉冲宽度为 100ns 。而且,各非易失性存储元件 100 的电流值,是通过在电极间施加读出用电压 0.4V 而读出的值。在此,读出用电压是振幅比写入阈值电压足够小的电压,即使将读出用电压施加在非易失性存储元件 100 上其电阻状态也不变化。在图 5A ~ 图 5C 中,横轴是所加的写入用电压脉冲(交替地施加负电压脉冲及正电压脉冲)的施加次数,纵轴是所读出的电流值。在图 5A ~ 图 5C 中,写入用电压脉冲的施加次数分别为 100 次。

[0119] 图 5D 是示出图 5A ~ 图 5C 中所得到的电流值和电流值的正规分布的关系的图。图 5D 的左侧示出高电阻状态的电流值的正规分布,右侧示出低电阻状态的电流的正规分布。在图 5D 中,正规分布的斜率对应于电阻值的偏差。

[0120] 图 5E 是示出图 5D 中所得到的正规分布的斜率和初始分断电压的绝对值的关系的图。图 5E 的纵轴是高电阻状态或低电阻状态下的电流值的正规分布的斜率,横轴是初始分断电压脉冲 V_{break} 的绝对值。

[0121] 从图 5E 可知初始分断电压的绝对值越高,高电阻状态及低电阻状态这两者,电流值的正规分布的斜率变得越小。这意味着初始分断电压越高,高电阻值 HR 及低电阻值 LR 的偏差越增大。认为这是因为初始分断电压变高,从而局部区域 105 变大,局部区域 105 中的缺陷密度增加,电阻值的偏差容易产生。再者,若初始分断电压变高,则电阻变化特性变得更不稳定。

[0122] 图 6A ~ 图 6C 是示出对同一基板上存在的 3 个非易失性存储元件 100,施加与 -5V 相同的初始分断电压脉冲而成为低电阻状态之后,交替地加上写入用的负电压脉冲及正电压脉冲时、各非易失性存储元件 100 的电流值的变化图。在此,写入用的负电压脉冲的电压值为 -1.5V ,脉冲宽度为 100ns ,写入用的正电压脉冲的电压值为 $+2.0\text{V}$,脉冲宽度为 100ns 。而且,各非易失性存储元件 100 的电流值,是通过在电极间施加读出用电压 0.4V 而读出的值。在图 6A ~ 图 6C 中,横轴是加上的写入用电压脉冲的施加次数,纵轴是所读出的电流值。在图 6A ~ 图 6C 中,写入用电压脉冲的施加次数分别约为 70 次的程度。

[0123] 图 6A 所示的非易失性存储元件 100 的电流值反复如下变化:施加正电压脉冲时为 I_{h1} ,施加负电压脉冲时为 I_{l1} 。从该图可知至少 70 次的程度,电阻值比较稳定地变化。

[0124] 图 6B 所示的非易失性存储元件 100 的电流值,到脉冲施加次数为 20 次程度为止,电流值在 I_{h2} 和 I_{l2} 之间变化,但若脉冲施加次数超过 20 次,则电阻变化幅度扩大,电流值在 I_{h2} 和 I_{l3} 之间变化。图 6B 示出该非易失性存储元件 100 的电阻值的变化不稳定的情形。

[0125] 图 6C 所示的非易失性存储元件 100 的电流值,随着脉冲施加次数的增大,电阻变化幅度变窄。具体而言,到脉冲施加次数为 20 次程度为止,电流值在 I_{h3} 和 I_{l4} 之间变化,但若脉冲施加次数超过 30 次,则电阻变化幅度变窄,电流值在 I_{h3} 和 I_{l5} 之间变化。

[0126] 由图 6A ~ 图 6C 可知,若使初始分断电压为 -5V 这样高的值,则尽管施加同一初始分断电压脉冲、同一写入用电压脉冲,每个非易失性存储元件 100 的电阻变化特性的偏差还是变大。其理由如下推测。第一,若初始分断电压的绝对值大,则所形成的局部区域 105 变大,第 2 氧化物层 104b 附近的局部区域 105 变大。由此,如上所述,认为电阻变化层 104

中的导电丝的条数及形状的偏差变大。第二,若初始分断电压的绝对值大,则所形成的局部区域 105 变大,局部区域 105 贯穿电阻变化层 104,局部区域 105 与第 1 电极 103 和第 2 电极 106 这两者相接。由此,在局部区域 105 和第 1 电极 103 的界面附近、及局部区域 105 和第 2 电极 106 的界面附近的 2 处的区域,存在引起电阻变化的可能性。其结果,认为非易失性存储元件 100 具有以 2 个模式进行电阻变化的性质,有时得不到期望的稳定的电阻变化。

[0127] 根据以上的实验结果,通过适当的初始分断电压,使氧不足率比周围大的局部区域 105 形成为不与第 1 电极 103 相接,从而得到具有稳定的可逆电阻变化特性的非易失性存储元件。

[0128] (变形例)

[0129] 图 7 是示出本发明的实施方式 1 的变形例涉及的非易失性存储元件的一构成例的剖面图。以下,仅对与实施方式 1 的非易失性存储元件 100 不同之处进行说明。

[0130] 本实施方式的非易失性存储元件 100 与实施方式 1 的非易失性存储元件 100 的不同之处,在于局部区域 105 由第 1 氧化物层 104a 内形成的第 1 局部区域 105a、在第 1 局部区域 105a 和第 2 电极 106 之间与第 1 局部区域 105a 及第 2 电极 106 相接配置的第 2 局部区域 105b 构成。

[0131] 第 1 局部区域 105a 不与第 1 电极 103 相接。第 1 局部区域 105a 的氧不足率比第 1 氧化物层 104a 的氧不足率还大。而且,第 2 局部区域 105b 的氧不足率比第 1 局部区域 105a 的氧不足率还小,比第 2 氧化物层 104b 的氧不足率还大。

[0132] 第 2 局部区域 105b 是有效地形成着导电丝的区域,第 1 局部区域 105a 是协助第 2 局部区域 105b 的氧的交换以协助导电丝的形成的区域。因此,电阻变化层 104 的电阻变化通过第 2 局部区域 105b 发现。其结果,在对低电阻状态的电阻变化层 104 施加了驱动电压时,在具备导电丝的第 2 局部区域 105b 及电阻值比较低的第 1 局部区域 105a,电流支配性地流动。电阻变化层 104 在第 2 局部区域 105b 使高电阻状态和低电阻状态转变。

[0133] 第 1 局部区域 105a 是其下端不与第 1 电极 103 相接的大小。而且,第 2 局部区域 105b 的直径虽不依存于元件尺寸等而不同,但也可以小,例如,也可以小于直径 40nm (参照图 8B)。通过使局部区域 105 的大小较小,特别是使第 2 局部区域 105b 较小,电阻变化的偏差被减小。但是,第 2 局部区域 105b 是能确保为了至少使电流流动而需要的导电丝(导电路径)的大小。例如,在构成第 2 局部区域 105b 的金属为钽的情况下,由于其氧缺陷部位间的距离约为 0.4nm,所以因局部区域 105 的形成方法而不同,但第 2 局部区域 105b 也可以为 1nm 以上。例如,在图 8A 中,第 2 局部区域 105b 的直径约为 10nm。

[0134] 第 1 局部区域 105a 是在距离第 2 电极 106 远的部位不与第 1 电极 103 相接地形成的、氧不足率大的区域。第 2 局部区域 105b 是在接近第 2 电极 106 的部位贯穿第 2 氧化物层 104b,与第 2 电极 106 及第 1 局部区域 105a 相接地形成的、氧不足率小的区域。

[0135] 第 2 局部区域 105b 的膜厚也可以部分地具有比第 2 氧化物层 104b 薄的区域。也就是说,第 2 局部区域 105b 在从第 1 电极 103 向第 2 电极 106 的方向的膜厚具有比第 2 氧化物层 104b 的膜厚还小的部分。这样,通过使第 2 局部区域 105b 的大小较小,能使电阻变化层 104 中的缺陷部位密度等适当化,有效地抑制电阻变化特性的偏差。

[0136] 图 8A 及图 8B 示出初始分断电压不同的非易失性存储元件 100 的电阻变化动作后的剖面 TEM 照片。图 8A 是与施加了初始分断电压 -2.5V 的非易失性存储元件 100 有关的

电阻变化后的剖面 TEM (Transmission Electron Microscope) 照片。图 8B 是与施加了初始分断电压 $V_{\text{break}} = -5.0\text{V}$ 的非易失性存储元件 100 有关的电阻变化后的剖面 TEM 照片。在 TEM 照片中, 图像为白色的区域是氧多的区域, 图像为黑色的区域是氧少的区域。即, 在电阻变化层 104 中示出, 图像为白色的区域, 电阻值比较高, 图像为黑色的区域, 电阻值比较低。并且, 图 8A 及图 8B 的样品使用与使用了图 4 到图 6C 的测定的样品一样的样品。

[0137] 图 8A 的情况下, 第 2 局部区域 105b 的直径约为 10nm, 第 1 局部区域 105a 不与第 1 电极 103 相接。在图 8A 中, 被第 1 氧化物层 104a 围住的局部区域 105 (第 1 局部区域 105a) 变得比周围黑, 是因为局部区域 105 (第 1 局部区域 105a) 的氧含有率变得比周围低, 电阻变低的缘故。贯穿了第 2 氧化物层 104b 的局部区域 105 变得比周围的第 2 氧化物层 104b 黑, 是因为局部区域 105 的氧含有率变得比周围的第 2 氧化物层 104b 低, 电阻变低的缘故。图 8B 的情况下, 第 2 氧化物层 104b 附近的局部区域 105 的直径约为 40nm, 比图 8A 的第 2 局部区域 105b 还大。而且, 局部区域 105 与第 1 电极 103 相接。这是将初始分断电压设得高时的不稳定动作的原因。

[0138] 图 9 是用于对实施方式 1 涉及的电阻变化层 104 的氧含有量的典型例进行说明的图。图 9 (b) 是使用 EELS (Electron Energy-Loss Spectroscopy) 法, 对图 8A 中用虚线围起的范围的氧含有量的分布进行了映射的图。并且, 在图 9 (b) 中, 用虚线围起来示出第 1 氧化物层 104a、第 2 氧化物层 104b、第 1 局部区域 105a 及第 2 局部区域 105b。

[0139] 在图 9 (b) 中, 示出氧含有率越高的区域越黑, 氧含有率越低的区域越白。即, 第 2 氧化物层 104b 与第 1 氧化物层 104a 相比变黑, 是因为第 2 氧化物层 104b 的氧含有率比第 1 氧化物层 104a 高的缘故。同样, 第 1 氧化物层 104a 的氧含有率比第 1 局部区域 105a 高。而且, 在图 9 (b) 中所示的例子中, 第 2 局部区域 105b 的膜厚比第 2 氧化物层 104b 还薄。

[0140] 图 9 (a) 是示出图 9 (b) 的线段 A-A' 的氧含有率的图。并且, 图 9 (a) 的横轴与图 9 (b) 的横轴对应。如图 9 (a) 所示, 第 2 局部区域 105b 的氧含有率变得比第 2 氧化物层 104b 还低 (图 9 (a) 中的虚线)。

[0141] 因此, 电阻变化层 104 的氧含有率依照第 1 局部区域 105a、第 1 氧化物层 104a、第 2 局部区域 105b、第 2 氧化物层 104b 的顺序变高。换言之, 电阻变化层 104 的氧不足率依照第 1 局部区域 105a、第 1 氧化物层 104a、第 2 局部区域 105b、第 2 氧化物层 104b 的顺序变小。

[0142] 并且, 在上述说明中, 对初始分断电压的极性为负的例子进行了说明, 但也可以为正。在初始分断的极性为负的情况下, 第 1 氧化物层 104a 和第 2 氧化物层 104b 的界面附近的氧通过由初始分断产生的电场而被挤出, 从而形成第 1 局部区域 105a。另一方面, 在初始分断的极性为正的情况下, 逆方向的电场对第 1 氧化物层 104a 中的氧工作, 所以仅通过初始分断, 基本不形成第 1 局部区域 105a。但是, 进行了正的初始分断之后, 在施加了写入用的负电压脉冲时, 与图 8A 一样, 形成第 2 局部区域 105b。

[0143] (实施方式 2)

[0144] 上述的实施方式 1 涉及的非易失性存储元件, 能适用于各种形态的非易失性存储装置。实施方式 2 涉及的非易失性存储装置, 是具备实施方式 1 涉及的非易失性存储元件的非易失性存储装置, 是在字线和位线的交点 (立体交叉点) 存在实施方式 1 涉及的非易失

性存储元件的所谓交叉点型的非易失性存储装置。

[0145] [非易失性存储装置的构成]

[0146] 图 10 是示出构成本发明的实施方式 2 涉及的非易失性存储装置 300 的构成的方框图。而且,图 11 是示出图 10 的 A 部的构成(4 比特大小的构成)的立体图。

[0147] 如图 10 所示,本实施方式涉及的非易失性存储装置 200 具备半导体基板,在半导体基板上具备存储器本体部 201,该存储器本体部 201 具备存储器阵列 202、行选择电路·驱动器 203、列选择电路·驱动器 204、用于进行信息的写入的写入电路 205、检测流到选择位线的电流量且进行数据“1”或“0”的判别的读出放大器 206、以及经由端子 DQ 进行输入输出数据的输入输出处理的数据输入输出电路 207。

[0148] 而且,非易失性存储装置 200 还具备:地址输入电路 208,接受从外部输入的地址信号;及控制电路 209,根据从外部输入的控制信号,来控制存储器本体部 201 的动作。

[0149] 存储器阵列 202 如图 10 及图 11 所示具备:多条字线 WL0、WL1、WL2、...,在半导体基板上相互平行地形成;及多条位线 BL0、BL1、BL2、...,在这些字线 WL0、WL1、WL2、...的上方与该半导体基板的主面平行的面内相互平行,而且与多条字线 WL0、WL1、WL2、...立体交叉地形成。

[0150] 而且,设有与这些字线 WL0、WL1、WL2、...及位线 BL0、BL1、BL2、...的立体交叉部相对应而呈矩阵状设置的多个存储单元 M111、M112、M113、M121、M122、M123、M131、M132、M133、... (以下,表示为“存储单元 M111、M112、...”)。

[0151] 在此,存储单元 M111、M112、...相当于实施方式 1 涉及的非易失性存储元件。但是,在本实施方式中,这些存储单元 M111、M112、...如后所述具备电流控制元件。

[0152] 并且,图 10 的存储单元 M111、M112、...,在图 11 中用符号 220 表示。

[0153] 地址输入电路 208 从外部电路(未图示)接受地址信号,根据该地址信号将行地址信号输出至行选择电路·驱动器 203,而且将列地址信号输出至列选择电路·驱动器 204。在此,地址信号是表示多个存储单元 M111、M112、...之中的被选择的特定的存储单元的地址的信号。而且,行地址信号是表示地址信号所示的地址之中的行的地址的信号,列地址信号同样是表示列的地址的信号。

[0154] 在信息的写入周期,控制电路 209 对应于输入到数据输入输出电路 207 中的输入数据 Din,将指示写入用电压的施加的写入信号输出至写入电路 205。另一方面,在信息的读出周期,控制电路 209 将指示读出动作的读出信号输出至列选择电路·驱动器 204。

[0155] 行选择电路·驱动器 203 接受从地址输入电路 208 输出的行地址信号,对应于该行地址信号,选择多条字线 WL0、WL1、WL2、...之中的某一个,对该选择出的字线施加规定的电压。行选择电路·驱动器 203 从存储器阵列 202 具备的存储单元 M111、M112、...中选择至少一个存储单元。

[0156] 而且,列选择电路·驱动器 204 接受从地址输入电路 208 输出的列地址信号,对应于该列地址信号,选择多条位线 BL0、BL1、BL2、...之中的某一个,对该选择出的位线施加写入用电压或读出用电压。列选择电路·驱动器 204 通过在由行选择电路·驱动器 203 选择出的存储单元上施加电压,写入数据。列选择电路·驱动器 204 通过检测由行选择电路·驱动器 203 选择出的存储单元的电阻值,读出数据。

[0157] 写入电路 205 接受了从控制电路 209 输出的写入信号的情况下,对行选择电路·驱

驱动器 203 输出信号,该信号指示针对所选择出的字线的电压的施加,而且对列选择电路·驱动器 204 输出信号,该信号指示对所选择出的位线施加写入用电压。

[0158] 而且,在信息的读出周期,读出放大器 206 检测流到作为读出对象的选择位线的电流,进行数据“1”或“0”的判别。其结果,得到的输出数据 D0 经由数据输入输出电路 207 输出至外部电路。

[0159] 并且,通过将图 10 及图 11 所示的本实施方式涉及的非易失性存储装置中的存储器阵列,三维地堆积垒积起来,能实现多层化构造的非易失性存储装置。通过设置这样构成的多层化存储器阵列,能实现超大容量非易失性存储器。

[0160] [非易失性存储元件的构成]

[0161] 图 12 是示出本发明的实施方式 2 涉及的非易失性存储装置 200 具备的非易失性存储元件 220 的构成的剖面图。并且,在图 12 中示出图 11 的 B 部的构成。

[0162] 如图 12 所示,本实施方式涉及的非易失性存储装置 200 具备的非易失性存储元件 220,介于是铜布线的下部布线 212 (相当于图 11 的字线 WL1) 和上部布线 211 (相当于图 11 的位线 BL1) 之间,下部电极 216、电流控制元件 215、内部电极 214、电阻变化层 224 和上部电极 226 按照这个顺序叠层起来构成。

[0163] 电阻变化层 224 由氧不足率大的第 1 氧化物层 224a 和在该第 1 氧化物层 224a 上形成的氧不足率小的第 2 氧化物层 224b 构成。

[0164] 在电阻变化层 224 中配置了局部区域 225,该局部区域 225 与上部电极 226 相接,贯穿第 2 氧化物层 224b 而侵入第 1 氧化物层 224a 的一部分,不与内部电极 214 相接。

[0165] 局部区域 225 在第 1 氧化物层 224a 及第 2 氧化物层 224b 内与上部电极 226 相接配置,不与内部电极 214 相接。局部区域 225 与第 2 氧化物层 224b 相比氧不足率大,氧不足率与第 1 氧化物层 224a 不同。

[0166] 在此,内部电极 214、电阻变化层 224、局部区域 225 及上部电极 226,分别相当于图 1 所示的实施方式 1 涉及的非易失性存储元件 100 中的第 1 电极 103、电阻变化层 104、局部区域 105 及第 2 电极 106。

[0167] 电流控制元件 215 是经由内部电极 214 与电阻变化层 224 串联连接的负载元件。该电流控制元件 215 是二极管所代表的元件,相对于电压表现出非线性的电流特性。而且,该电流控制元件 215 构成为,相对于电压具有双向性的电流特性,通过将规定的阈值电压 V_f 以上的振幅的电压(以一个电极为基准,例如 +1V 以上或 -1V 以下)施加在电流控制元件 215 上,电流控制元件 215 的电阻值下降并导通。

[0168] [非易失性存储装置的动作]

[0169] 接着,对于写入信息的情况下的写入周期及读出信息的情况下的读出周期内的本实施方式涉及的非易失性存储装置的动作例,一边参照图 13 所示的时序图一边进行说明。

[0170] 图 13 是示出本发明的实施方式 2 涉及的非易失性存储装置 200 的动作例的时序图。并且,在此,示出将电阻变化层 224 是高电阻状态的情况分配给信息“1”,将低电阻状态的情况分配给信息“0”时的动作例。而且,为了便于说明,有关存储单元 M111 及 M122,仅示出进行信息的写入及读出的情况。

[0171] 图 13 中的 VP 表示由电阻变化元件和电流控制元件构成的存储单元的电阻变化所需要的脉冲电压的振幅。在此,也可以成立 $VP/2 < \text{阈值电压 } V_f$ 的关系。是因为若将在非

选择的存储单元上施加的电压设为 $V_P/2$, 则非选择的存储单元的电流控制元件不为导通状态, 能抑制绕流到非选择的存储单元的泄漏电流。其结果, 能抑制向写入信息不需要的存储单元提供的多余的电流, 能进一步谋求低消费电流化。而且, 还有向非选择的存储单元的不想要的写入(一般称作干扰: disturb)被抑制等优点。在选择存储单元上施加 V_P , 满足阈值电压 $V_f < V_P$ 的关系。

[0172] 而且, 在图 13 中, 用 t_W 表示 1 次的写入周期所需要的时间即写入周期时间, 用 t_R 表示 1 次的读出周期所需要的时间即读出周期时间。

[0173] 在针对存储单元 M111 的写入周期中, 在字线 WL0 上施加脉冲宽度 t_P 的脉冲电压 V_P , 对应于该定时, 在位线 BL0 上同样施加 0V 的电压。由此, 在存储单元 M111 中写入信息“1”的情况下的写入用电压被施加, 其结果, 存储单元 M111 的电阻变化层 224 高电阻化。即, 成为在存储单元 M111 中写入了信息“1”的情形。

[0174] 接着, 在针对存储单元 M122 的写入周期中, 在字线 WL1 上施加脉冲宽度 t_P 的 0V 的电压, 对应于该定时, 在位线 BL1 上同样施加脉冲电压 V_P 。由此, 在 M122 中写入信息“0”的情况下的写入用电压被施加, 其结果, 存储单元 M122 的电阻变化层 224 低电阻化。即, 成为在存储单元 M122 中写入了信息“0”。

[0175] 在针对存储单元 M111 的读出周期中, 作为振幅比写入时的脉冲小的脉冲电压、且比 0V 还大比 $V_P/2$ 还小的值的电压, 施加在字线 WL0 上。而且, 对应于该定时, 作为振幅比写入时的脉冲小的脉冲电压、且比 $V_P/2$ 还大比 V_P 还小的值的电压, 被施加在位线 BL0 上。若将此时的读出电压设为 V_{read} , 则在存储单元 M111 上施加阈值电压 $V_f < V_{read} < V_P$ 这样的读出电压 V_{read} , 输出与被高电阻化的存储单元 M111 的电阻变化层 224 的电阻值相对应的电流, 通过检测该输出电流值, 读出信息“1”。

[0176] 接着, 在针对存储单元 M122 的读出周期, 与针对前面的存储单元 M111 的读出周期相同的电压施加在字线 WL1 及位线 BL1 上。由此, 输出与低电阻化的存储单元 M122 的电阻变化层 224 的电阻值相对应的电流, 通过检测该输出电流值, 读出信息“0”。

[0177] 本实施方式的非易失性存储装置 200 具备能进行良好的电阻变化动作的非易失性存储元件 220, 所以能实现稳定的动作。

[0178] (实施方式 3)

[0179] 实施方式 3 涉及的非易失性存储装置是具备实施方式 1 涉及的非易失性存储元件的非易失性存储装置, 是作为 1 晶体管 /1 非易失性存储部的所谓 1T1R 型的非易失性存储装置。

[0180] [非易失性存储装置的构成]

[0181] 图 14 是示出本发明的实施方式 3 涉及的非易失性存储装置 300 的构成的方框图。而且, 图 15 是示出图 14 中的 C 部的构成(2 比特大小的构成)的剖面图。

[0182] 如图 14 所示, 本实施方式涉及的非易失性存储装置 300 具备半导体基板, 在半导体基板上具备存储器本体部 301, 该存储器本体部 301 具备存储器阵列 302、行选择电路·驱动器 303、列选择电路 304、用于进行信息的写入的写入电路 305、检测流到选择位线的电流且进行数据“1”或“0”的判定的读出放大器 306、以及经由端子 DQ 进行输入输出数据的输入输出处理的数据输入输出电路 307。

[0183] 而且, 非易失性存储装置 300 还具备单元板极电源(VCP 电源) 308、从外部接受输

入的地址信号的地址输入电路 309、以及根据从外部输入的控制信号来控制存储器本体部 301 的动作的控制电路 310。

[0184] 存储器阵列 302 具备：多条字线 WL0、WL1、WL2、…及位线 BL0、BL1、BL2、…，在半导体基板之上形成，相互交叉地排列；多个晶体管 T11、T12、T13、T21、T22、T23、T31、T32、T33、…（以下，记作“晶体管 T11、T12、…”），对应于这些字线 WL0、WL1、WL2、…及位线 BL0、BL1、BL2、…的立体交叉部而分别设置，与这些字线 WL0、WL1、WL2、…及位线 BL0、BL1、BL2、…分别连接；以及多个存储单元 M211、M212、M213、M221、M222、M223、M231、M232、M233（以下，记作“存储单元 M211、M212、…”），与晶体管 T11、T12、…一对一地设置。

[0185] 而且，存储器阵列 302 具备与字线 WL0、WL1、WL2、…平行排列的多个板极线 PL0、PL1、PL2、…。

[0186] 如图 15 所示，在字线 WL0、WL1 的上方配置位线 BL0，在该字线 WL0、WL1 和位线 BL0 之间配置板极线 PL0、PL1。

[0187] 在此，存储单元 M211、M212、…相当于实施方式 1 涉及的非易失性存储元件。更具体而言，图 15 的非易失性存储元件 320 相当于图 14 的存储单元 M211、M212、…，该非易失性存储元件 320 由上部电极 326、电阻变化层 324、局部区域 325 及下部电极 323 构成。

[0188] 电阻变化层 324 由氧不足率大的第 1 氧化物层 324a 和在该第 1 氧化物层 324a 上形成的氧不足率小的第 2 氧化物层 324b 构成。

[0189] 在电阻变化层 324 中配置局部区域 325，该局部区域 325 与上部电极 326 相接，贯穿第 2 氧化物层 324b 而侵入第 1 氧化物层 324a 的一部分，不与下部电极 323 相接。

[0190] 局部区域 325 在第 1 氧化物层 324a 及第 2 氧化物层 324b 内与上部电极 326 相接配置，不与下部电极 323 相接。局部区域 325 与第 2 氧化物层 324b 相比氧不足率大，氧不足率与第 1 氧化物层 324a 不同。

[0191] 另外，这些的上部电极 326、电阻变化层 324、局部区域 325 及下部电极 323，分别相当于图 1 所示的实施方式 1 涉及的非易失性存储元件 100 中的第 1 电极 103、电阻变化层 104、局部区域 105 及第 2 电极 106。

[0192] 并且，图 15 中的符号 317 表示栓塞 (plug) 层，318 表示金属布线层，319 表示源 / 漏区域。

[0193] 如图 14 所示，晶体管 T11、T12、T13、…的漏极与位线 BL0 连接，晶体管 T21、T22、T23、…的漏极与位线 BL1 连接，晶体管 T31、T32、T33、…的漏极与位线 BL2 连接。

[0194] 而且，晶体管 T11、T21、T31、…的栅极与字线 WL0 连接，晶体管 T12、T22、T32、…的栅极与字线 WL1 连接，晶体管 T13、T23、T33、…的栅极与字线 WL2 连接。

[0195] 再者，晶体管 T11、T12、…的源极分别与存储单元 M211、M212、…连接。

[0196] 而且，存储单元 M211、M221、M231、…与板极线 PL0 连接，存储单元 M212、M222、M232、…与板极线 PL1 连接，存储单元 M213、M223、M233、…与板极线 PL2 连接。

[0197] 地址输入电路 309 从外部电路 (未图示) 接受地址信号，根据该地址信号将行地址信号输出至行选择电路·驱动器 303，而且将列地址信号输出至列选择电路 304。在此，地址信号是表示多个存储单元 M211、M212、…之中的被选择的特定的存储单元的地址的信号。而且，行地址信号是表示地址信号所示的地址之中的行的地址的信号，列地址信号是表示地址信号所示的地址之中的列的地址的信号。

[0198] 在信息的写入周期中,控制电路 310 对应于输入到数据输入输出电路 307 中的输入数据 Din,将指示写入用电压的施加的写入信号输出至写入电路 305。另一方面,在信息的读出周期中,控制电路 310 将指示读出用电压的施加的读出信号输出至列选择电路 304。

[0199] 行选择电路·驱动器 303 接受从地址输入电路 309 输出的行地址信号,对应于该行地址信号,选择多条字线 WL0、WL1、WL2、…之中的某一个,对该选择出的字线施加规定的电压。行选择电路·驱动器 303 从存储器阵列 302 具备的存储单元 M213、M223、M233、…中选择至少一个存储单元。

[0200] 而且,列选择电路 304 接受从地址输入电路 309 输出的列地址信号,对应于该列地址信号,选择多条位线 BL0、BL1、BL2、…之中的某一个,对该选择出的位线施加写入用电压或读出用电压。列选择电路 304 通过向由行选择电路·驱动器 303 选择出的存储单元施加电压,写入数据。列选择电路 304 通过检测由行选择电路·驱动器 303 选择出的存储单元的电阻值,读出数据。

[0201] 写入电路 305 接受了从控制电路 310 输出的写入信号的情况下,对列选择电路 304 输出信号,该信号指示对选择出的位线施加写入用电压。

[0202] 而且,在信息的读出周期中,读出放大器 306 检测流到作为读出对象的选择位线的电流,判断为数据“1”或“0”。其结果,所得到的输出数据 DO 经由数据输入输出电路 307 输出至外部电路。

[0203] 并且,在是 1 晶体管 /1 非易失性存储部的构成的本实施方式的情况下,与实施方式 2 的交叉点型的构成相比存储容量变小。但是,不需要像二极管这样的电流控制元件,所以有如下优点:能容易地组合 CMOS 工艺,而且,动作的控制也容易。

[0204] 并且,在图 14 及图 15 中,例示了上部电极 326 与板极线连接,晶体管的源极或漏极的一端与位线连接的构成,但也可以是其他的构成。这种情况下,也可以在朝使存储单元低电阻化而使电流在存储单元中流动时,以晶体管为源极跟随连接的方式选择晶体管的种类(P 型或 N 型),而且与存储单元连接。

[0205] 而且,在图 14 中,虽然为源极线作为板极线被供给一定电压的构成,但也可以是具备能对各源极线个别地供给不同的电压或电流的驱动器的构成。

[0206] 进而,在图 14 中,虽然板极线(源极线)与字线平行配置,但也可以与位线平行配置。

[0207] [非易失性存储装置的动作例]

[0208] 接着,对于写入信息的情况下的写入周期及读出信息的情况下的读出周期的本实施方式涉及的非易失性存储装置 300 的动作例,一边参照图 16 所示的时序图一边进行说明。

[0209] 图 16 是示出本发明的实施方式 3 涉及的非易失性存储装置 300 的动作例的时序图。并且,在此,示出将电阻变化层 324 是高电阻状态的情况分配给信息“1”,将低电阻状态的情况分配给信息“0”时的动作例。而且,为了便于说明,仅示出对存储单元 M211 及 M222 进行信息的写入及读出的情况。

[0210] 在图 16 中,VP 表示电阻变化元件的电阻变化所需要的脉冲电压,VT 表示晶体管的阈值电压。而且,在板极线上始终施加电压 VP,非选择的情况下,位线也预充电到电压 VP。

[0211] 在针对存储单元 M211 的写入周期中,在字线 WL0 上施加比脉冲宽度 tP 的脉冲电

压 $2VP$ + 晶体管的阈值电压 VT 还大的电压, 晶体管 $T11$ 成为 ON 状态。另外, 对应于该定时, 在位线 $BL0$ 上施加脉冲电压 $2VP$ 。由此, 施加在存储单元 $M211$ 中写入信息“1”的情况下的写入用电压, 其结果, 存储单元 $M211$ 的电阻变化层 324 高电阻化。即, 成为在存储单元 $M211$ 中写入信息“1”。

[0212] 接着, 在针对存储单元 $M222$ 的写入周期, 在字线 $WL1$ 上施加比脉冲宽度 tP 的脉冲电压 $2VP$ + 晶体管的阈值电压 VT 还大的电压, 晶体管 $T22$ 成为 ON 状态。对应于该定时, 在位线 $BL1$ 上施加 $0V$ 的电压。由此, 施加在存储单元 $M222$ 中写入信息“0”的情况下的写入用电压, 其结果, 存储单元 $M222$ 的电阻变化层 324 低电阻化。即, 成为在存储单元 $M222$ 中写入信息“0”。

[0213] 在针对存储单元 $M211$ 的读出周期, 为了使晶体管 $T11$ 为 ON 状态, 规定的电压被施加在字线 $WL0$ 上, 对应于该定时, 振幅比写入时的脉冲宽度小的脉冲电压被施加在位线 $BL0$ 上。由此, 输出与高电阻化的存储单元 $M211$ 的电阻变化层 324 的电阻值相对应的电流, 通过检测该输出电流值, 读出信息“1”。

[0214] 接着, 在针对存储单元 $M222$ 的读出周期, 与针对前面的存储单元 $M211$ 的读出周期同样的电压施加在字线 $WL1$ 及位线 $BL1$ 上。由此, 输出与低电阻化的存储单元 $M222$ 的电阻变化层 324 的电阻值相对应的电流, 通过检测该输出电流值, 读出信息“0”。

[0215] 与实施方式 2 的情况一样, 在本实施方式的非易失性存储装置 300 中也具备能进行良好的电阻变化动作的非易失性存储元件 320, 所以能实现稳定的动作。

[0216] 并且, 上述实施方式的非易失性存储元件的制造方法, 不限于上述实施方式的形态。即, 对于具备电阻变化元件的电子装置的全部, 通过上述制造方法, 或通过组合上述制造方法和公知的方法, 能制造上述实施方式的非易失性存储元件。

[0217] 以上, 对于本发明的非易失性存储元件及非易失性存储装置, 虽然根据实施方式进行了说明, 但本发明不限于这些实施方式。在不脱离本发明的主旨的范围内实施了本领域的技术人员想到的各种变形的发明也包含在本发明的范围内。而且, 也可以在不脱离本发明的主旨的范围内, 任意组合多个实施方式的各构成要素。

[0218] 例如, 在上述实施方式中, 电阻变化元件的叠层构造中的第 1 氧化物层 104a 和第 2 氧化物层 104b 的叠层顺序也可以上下相反地配置。而且, 在上述实施方式中, 叠层构造的各层也可以是埋入到接触孔内的形状。

[0219] 而且, 在上述实施方式中, 也可以在 1 个非易失性存储元件 100 中形成多个局部区域 105。

[0220] 而且, 在上述实施方式中, 虽然板极线与字线平行配置, 但也可以与位线平行配置。而且, 虽然板极线构成为对晶体管赋予共用的电位, 但也可以为具有与行选择电路·驱动器一样的构成的板极线选择电路·驱动器, 用不同的电压(也包含极性)驱动所选择出的板极线和非选择的板极线的构成。

[0221] 工业应用性

[0222] 本发明对于非易失性存储元件及非易失性存储装置是有用的, 特别是对于数字家电、存储卡、个人计算机及便携式电话机等各种电子设备中使用的存储元件及存储装置等是有用的。

[0223] 符号说明

- [0224] 100、220、320、1400 非易失性存储元件
- [0225] 101 基板
- [0226] 102 层间绝缘膜
- [0227] 103、1403 第 1 电极
- [0228] 104、224、324、1405 电阻变化层
- [0229] 104a、224a、324a 第 1 氧化物层
- [0230] 104b、224b、324b 第 2 氧化物层
- [0231] 105、225、325 局部区域
- [0232] 105a 第 1 局部区域
- [0233] 105b 第 2 局部区域
- [0234] 106、1406 第 2 电极
- [0235] 107 图形
- [0236] 200、300 非易失性存储装置
- [0237] 201、301 存储器本体部
- [0238] 202、302 存储器阵列
- [0239] 203、303 行选择电路·驱动器
- [0240] 204 列选择电路·驱动器
- [0241] 205、305 写入电路
- [0242] 206、306 读出放大器
- [0243] 207、307 数据输入输出电路
- [0244] 208 地址输入电路
- [0245] 209、310 控制电路
- [0246] 211 上部布线
- [0247] 212 下部布线
- [0248] 214 内部电极
- [0249] 215 电流控制元件
- [0250] 216、323 下部电极
- [0251] 226、326 上部电极
- [0252] 304 列选择电路
- [0253] 308 VCP 电源
- [0254] 309 地址输入电路
- [0255] 317 栓塞层
- [0256] 318 金属布线层
- [0257] 319 源 / 漏区域
- [0258] 1405c 导电丝
- [0259] BL0、BL1、… 位线
- [0260] T11、T12、… 晶体管
- [0261] M111、M112、… 存储单元
- [0262] M211、M212、… 存储单元

-
- [0263] PL0、PL1、… 板极(plate)线
- [0264] WL0、WL1、… 字线

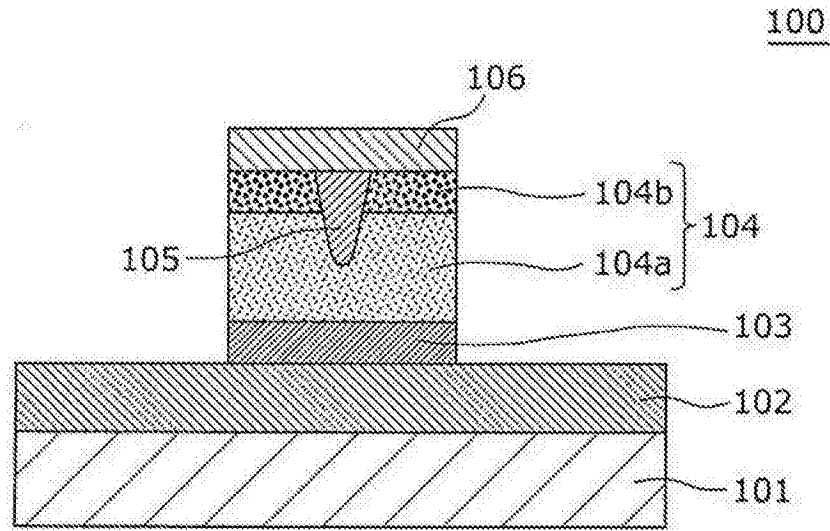


图 1

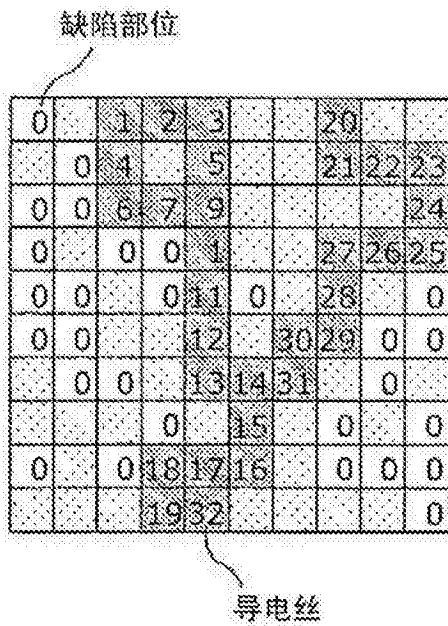


图 2A

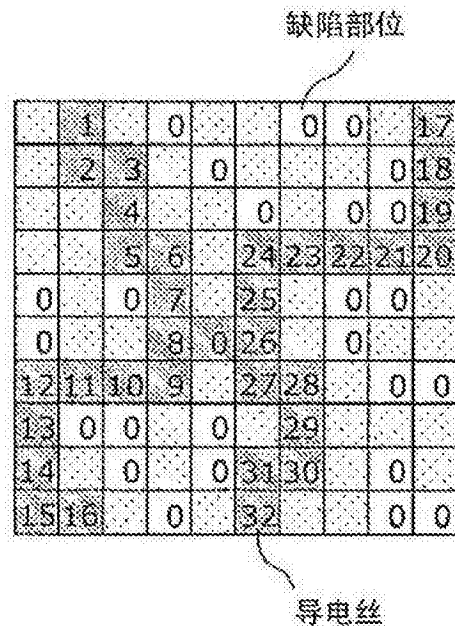


图 2B

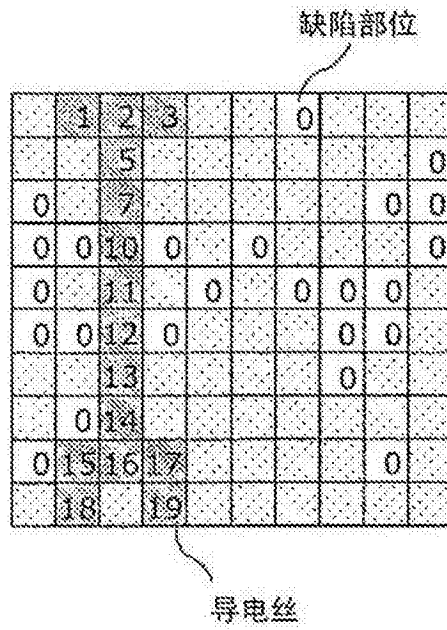


图 2C

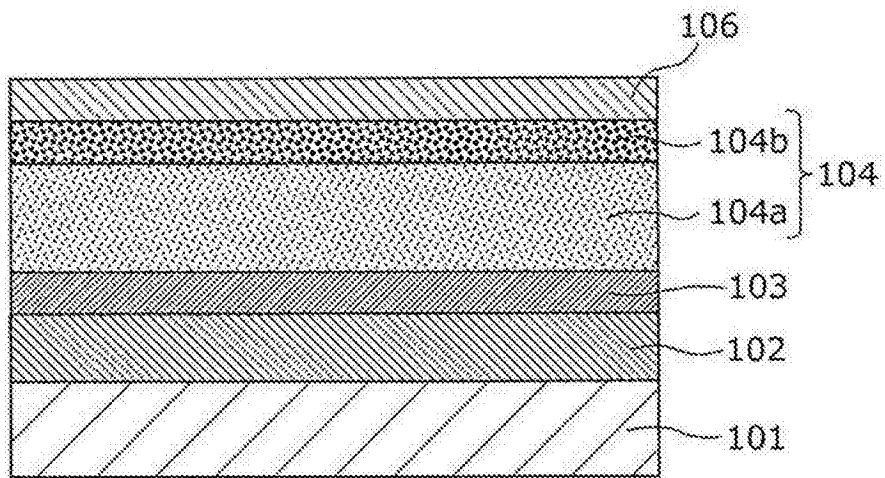


图 3A

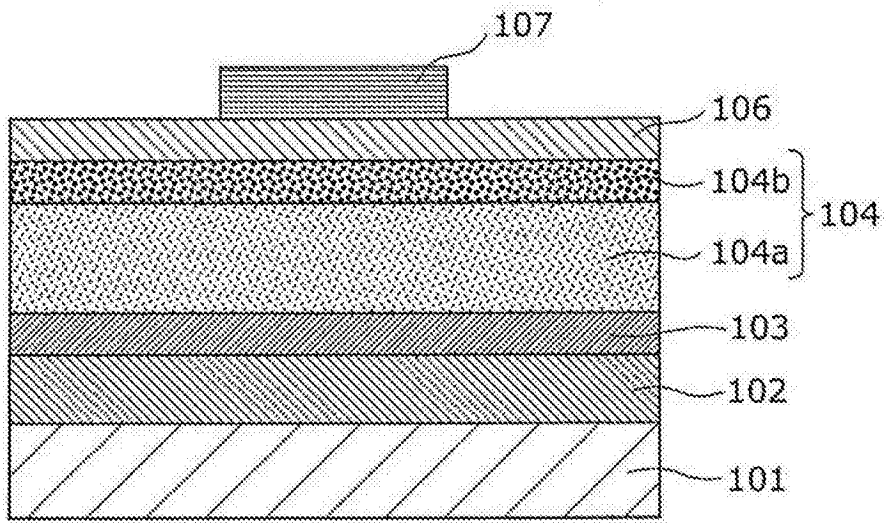


图 3B

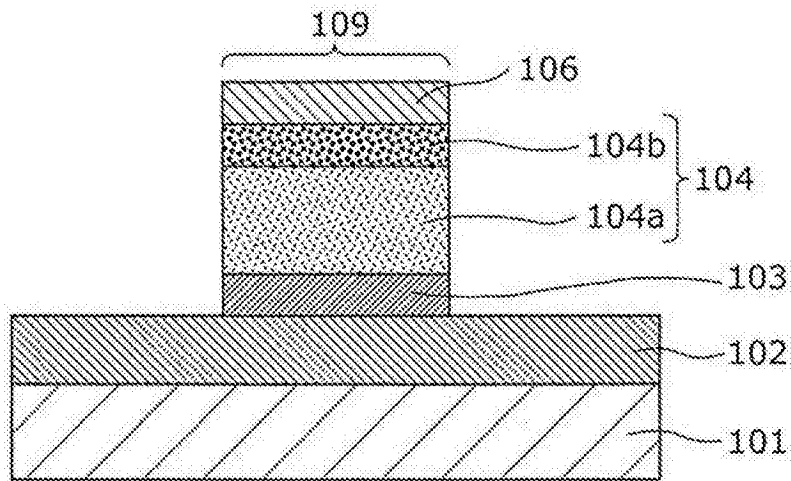


图 3C

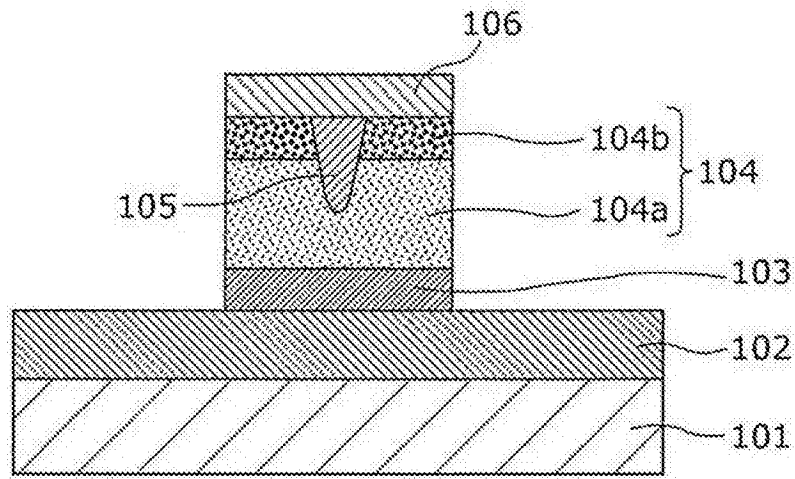


图 3D

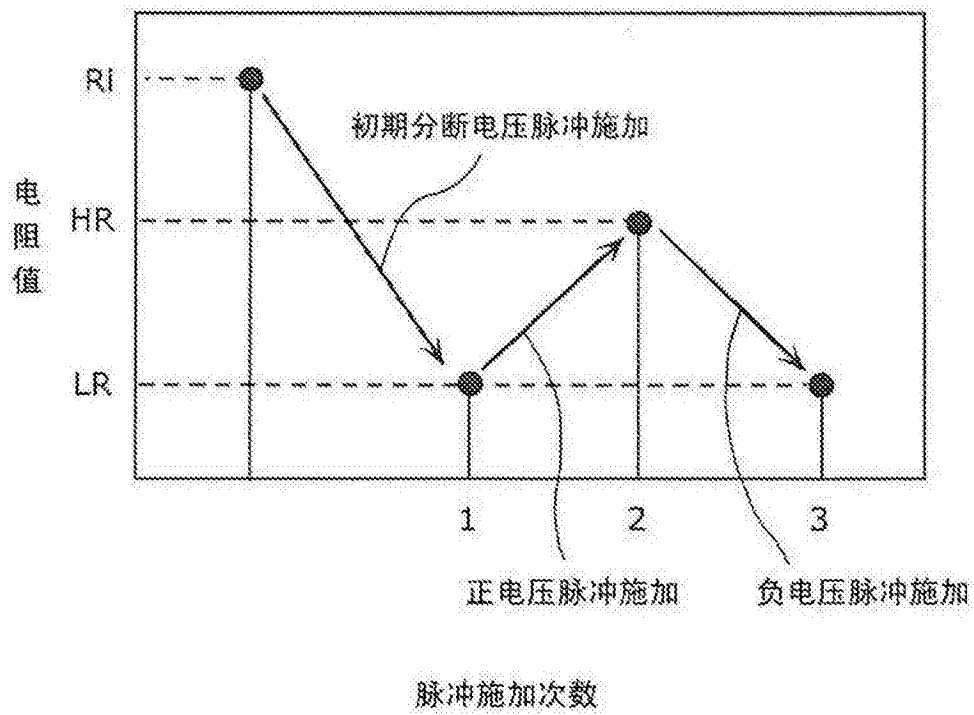


图 4

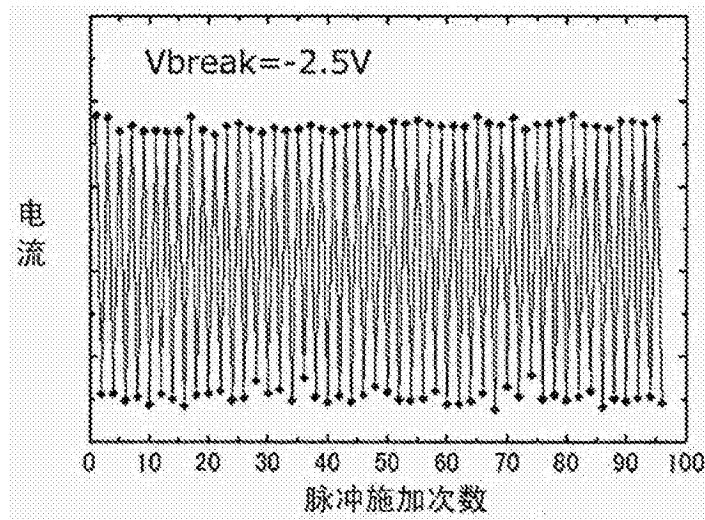


图 5A

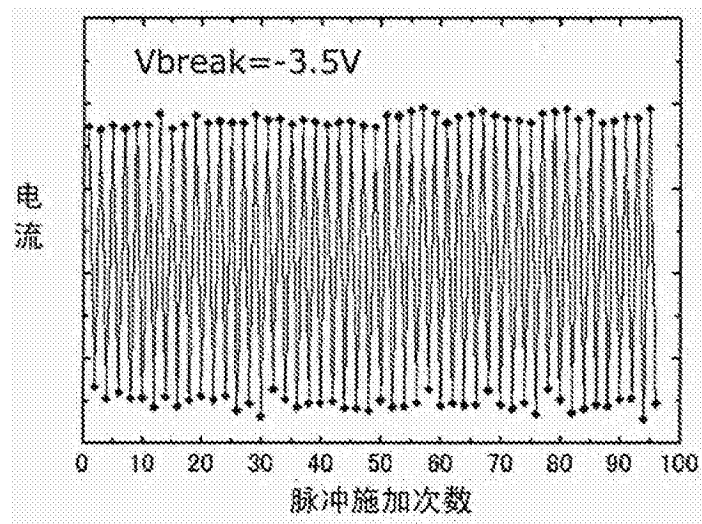


图 5B

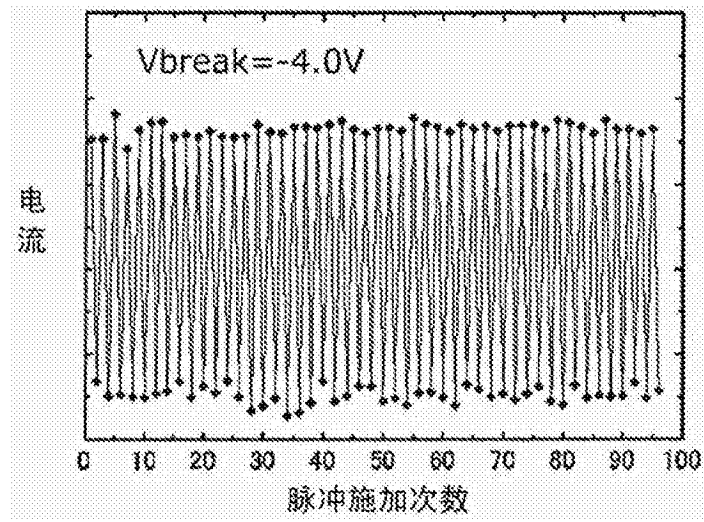


图 5C

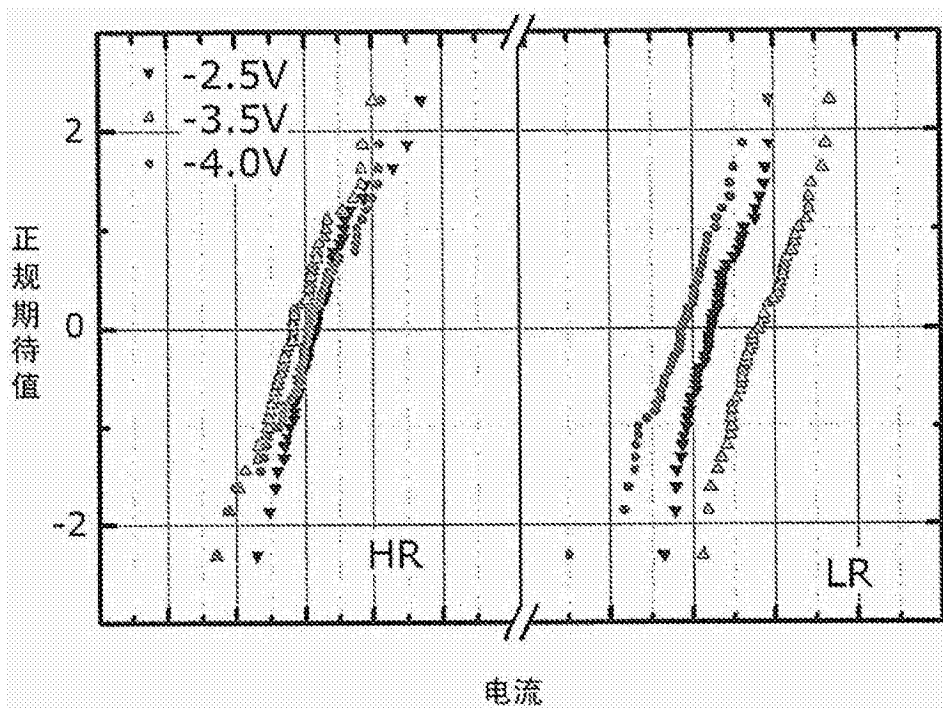


图 5D

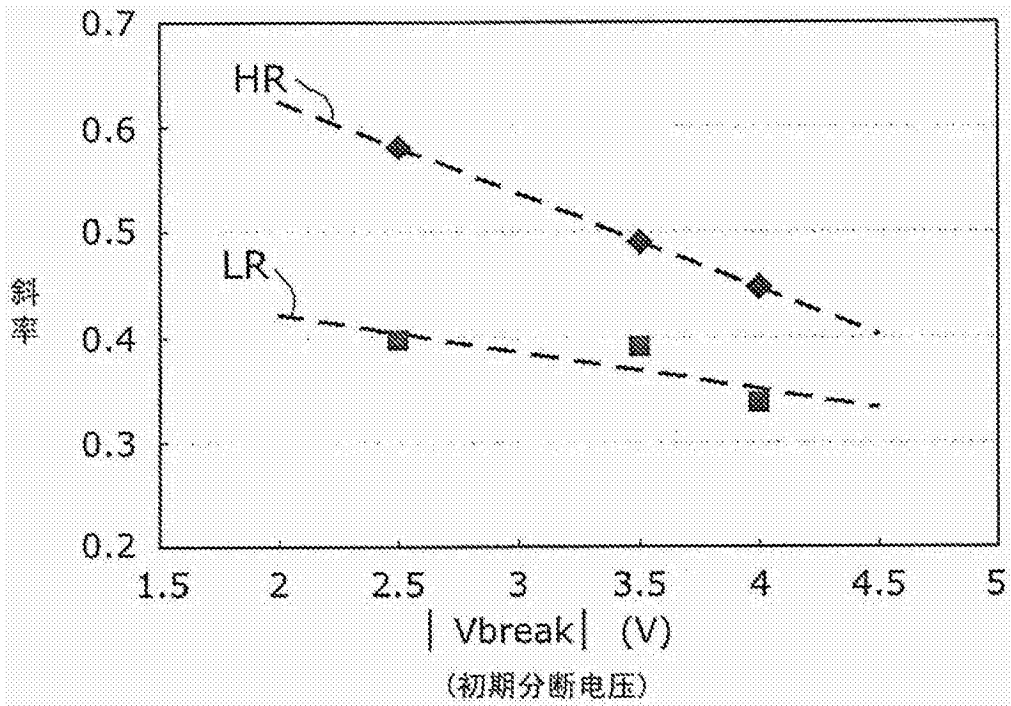


图 5E

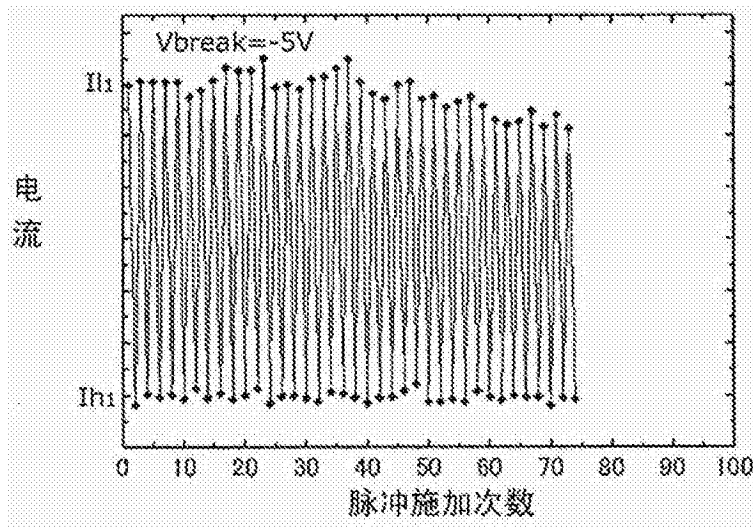


图 6A

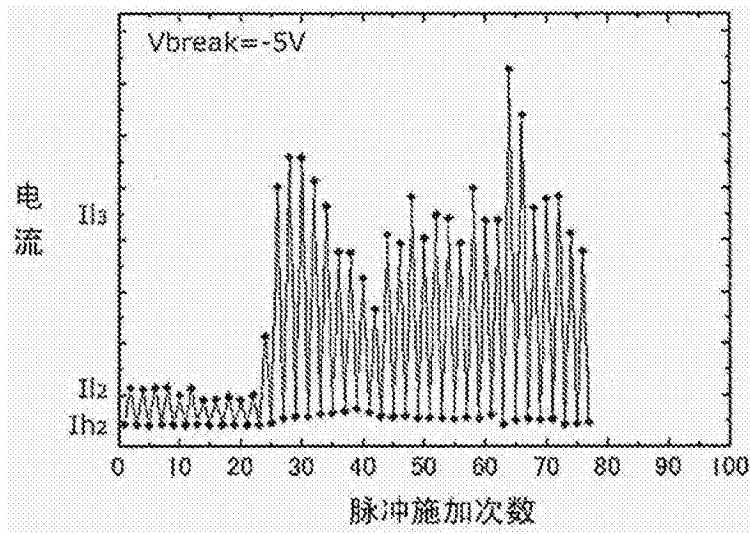


图 6B

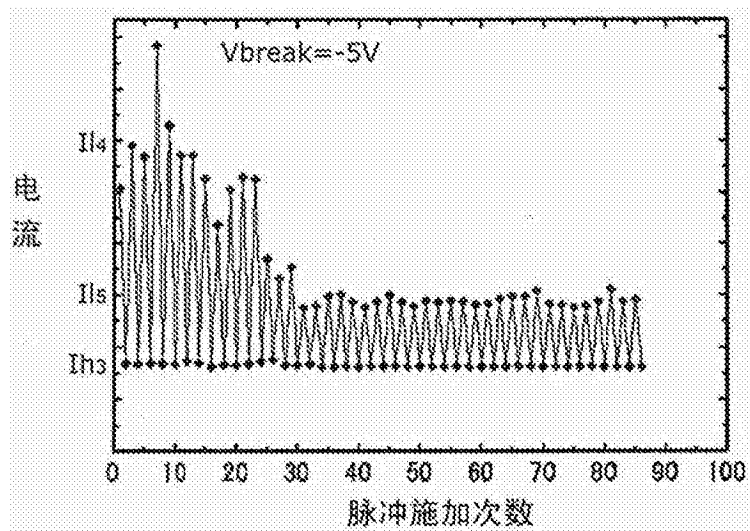


图 6C

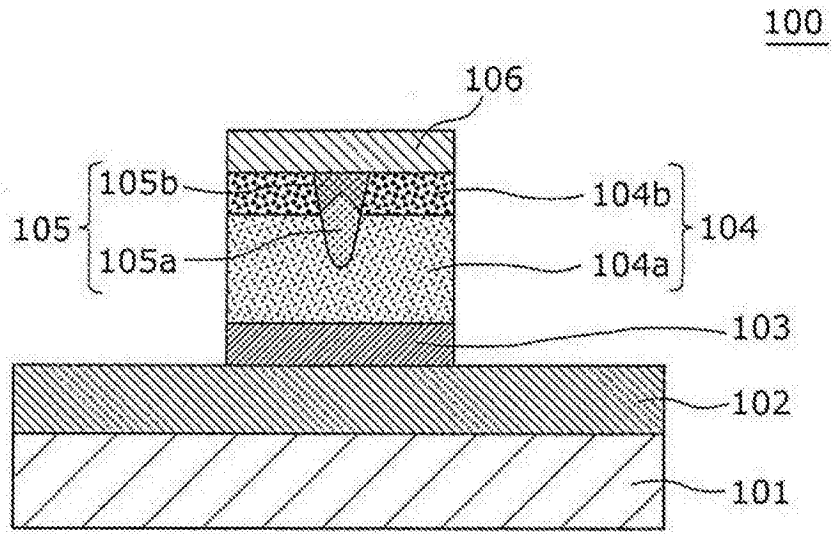


图 7

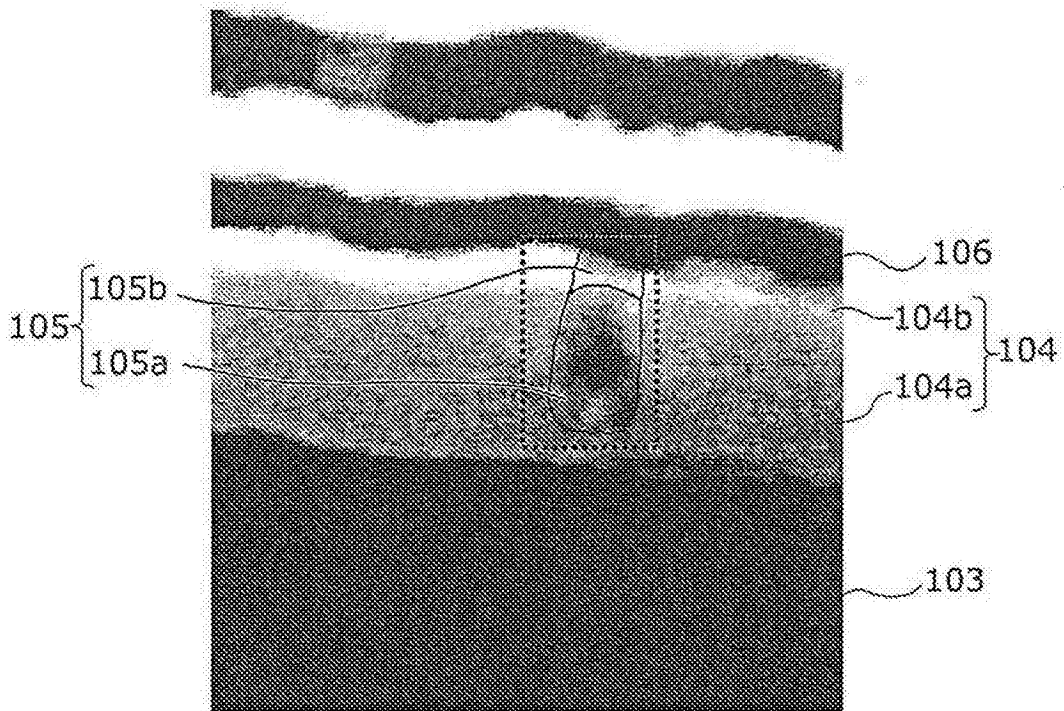


图 8A

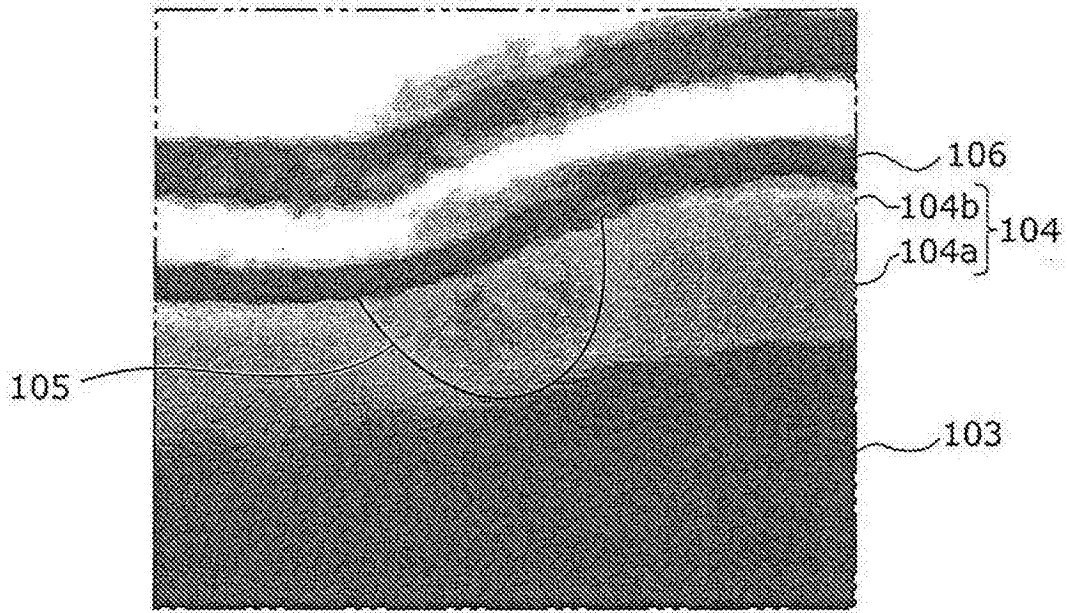


图 8B

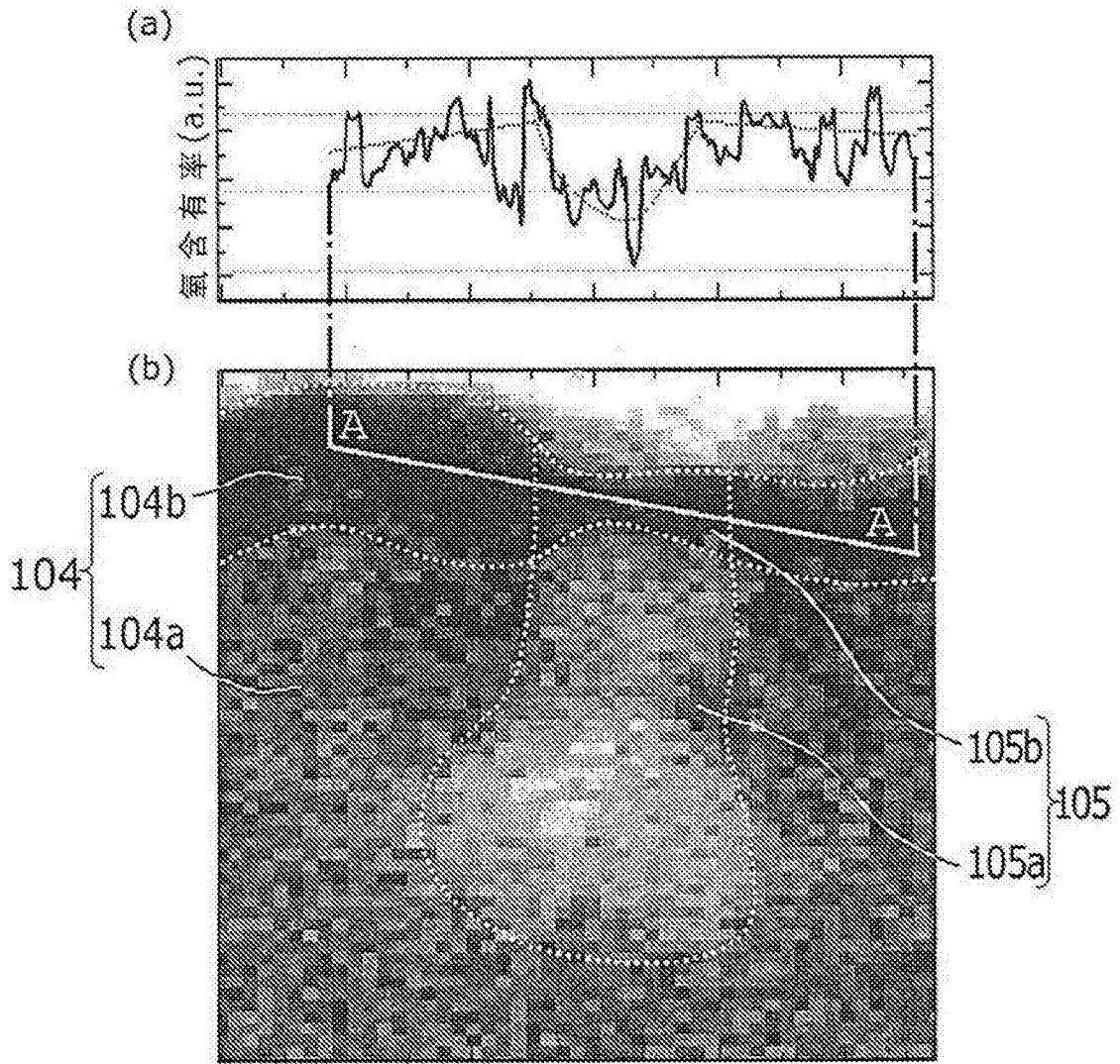


图 9

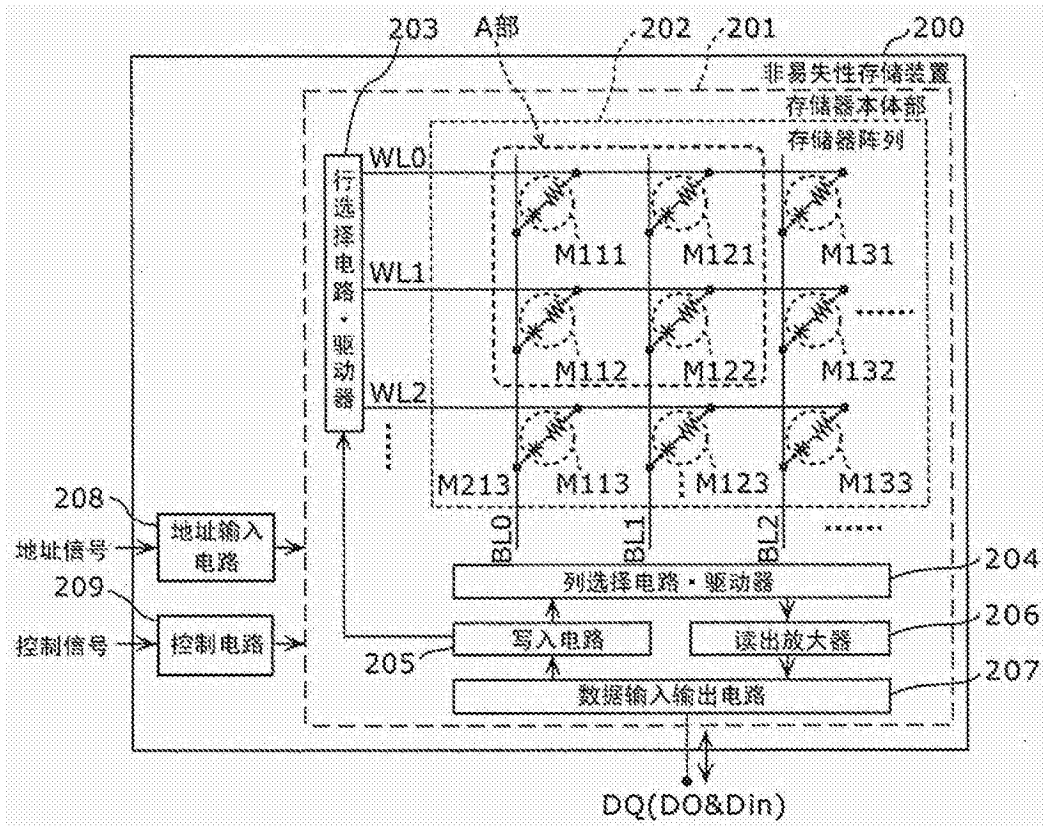


图 10

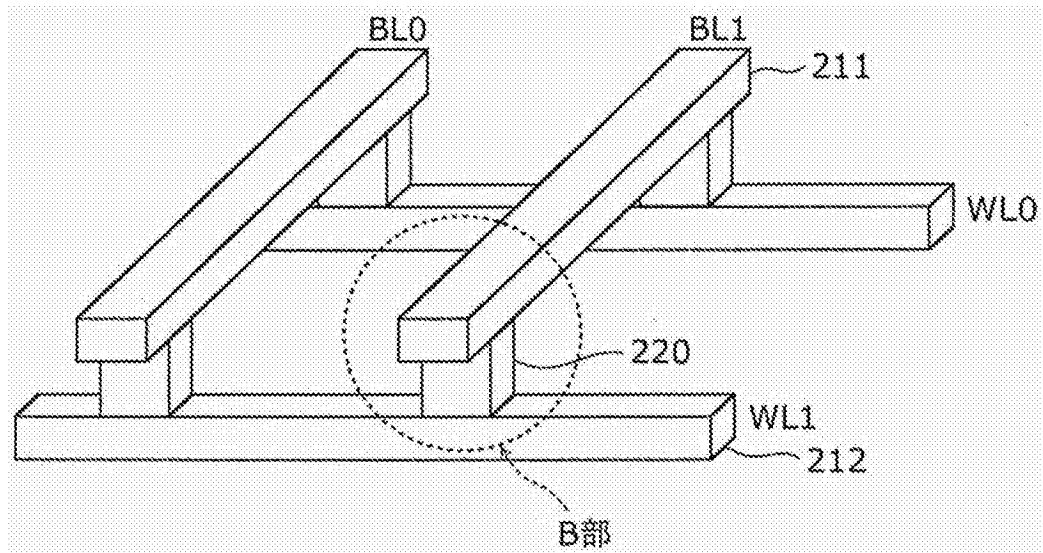


图 11

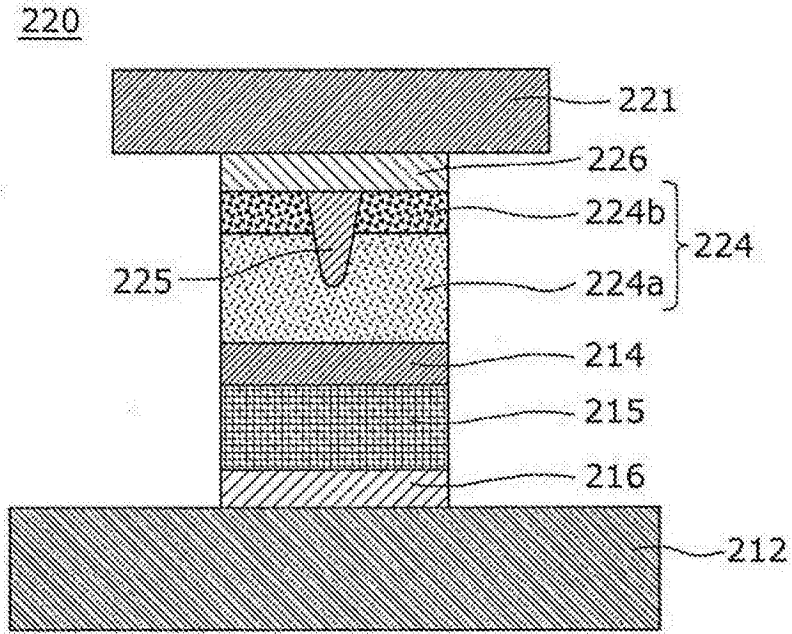


图 12

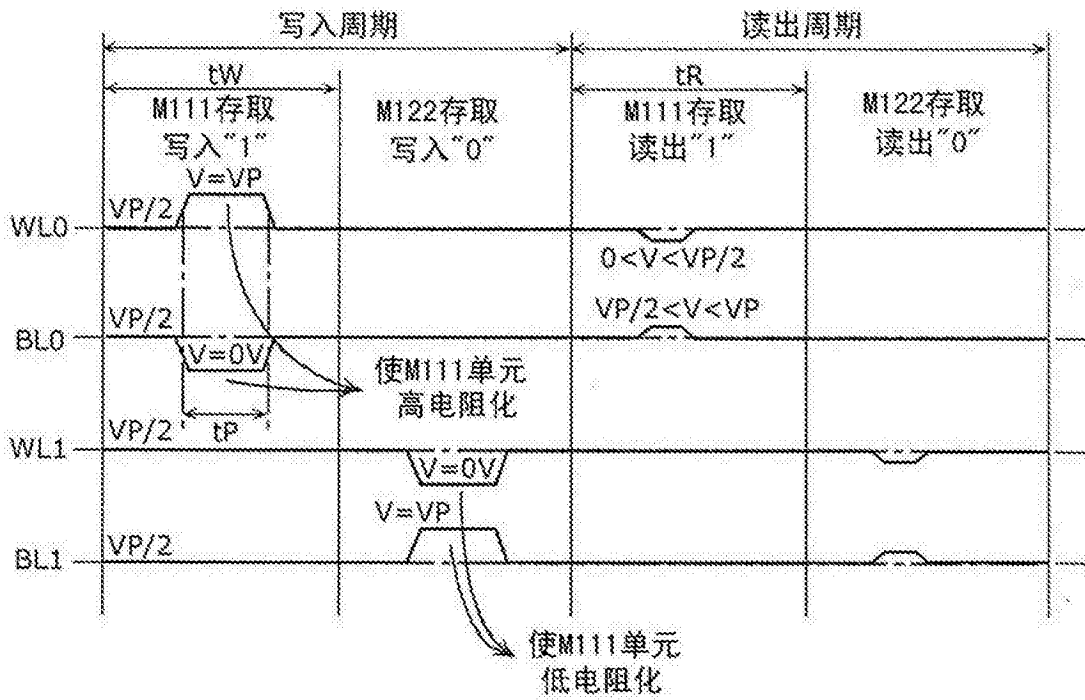


图 13

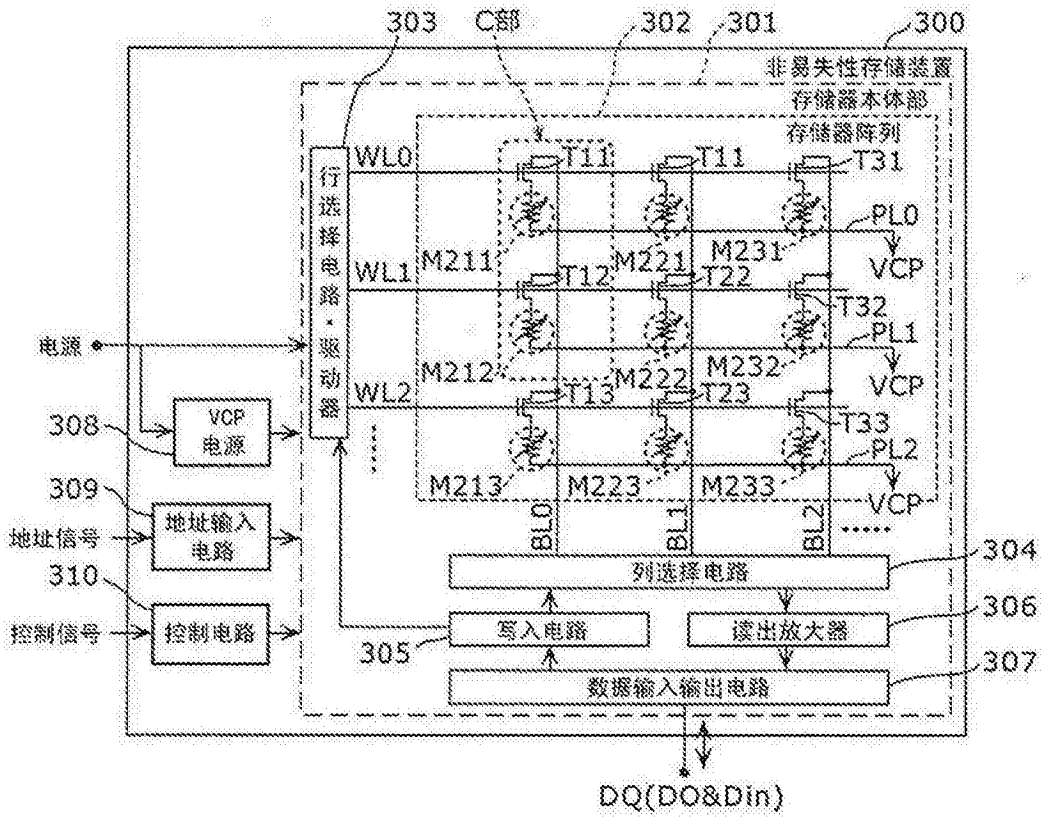


图 14

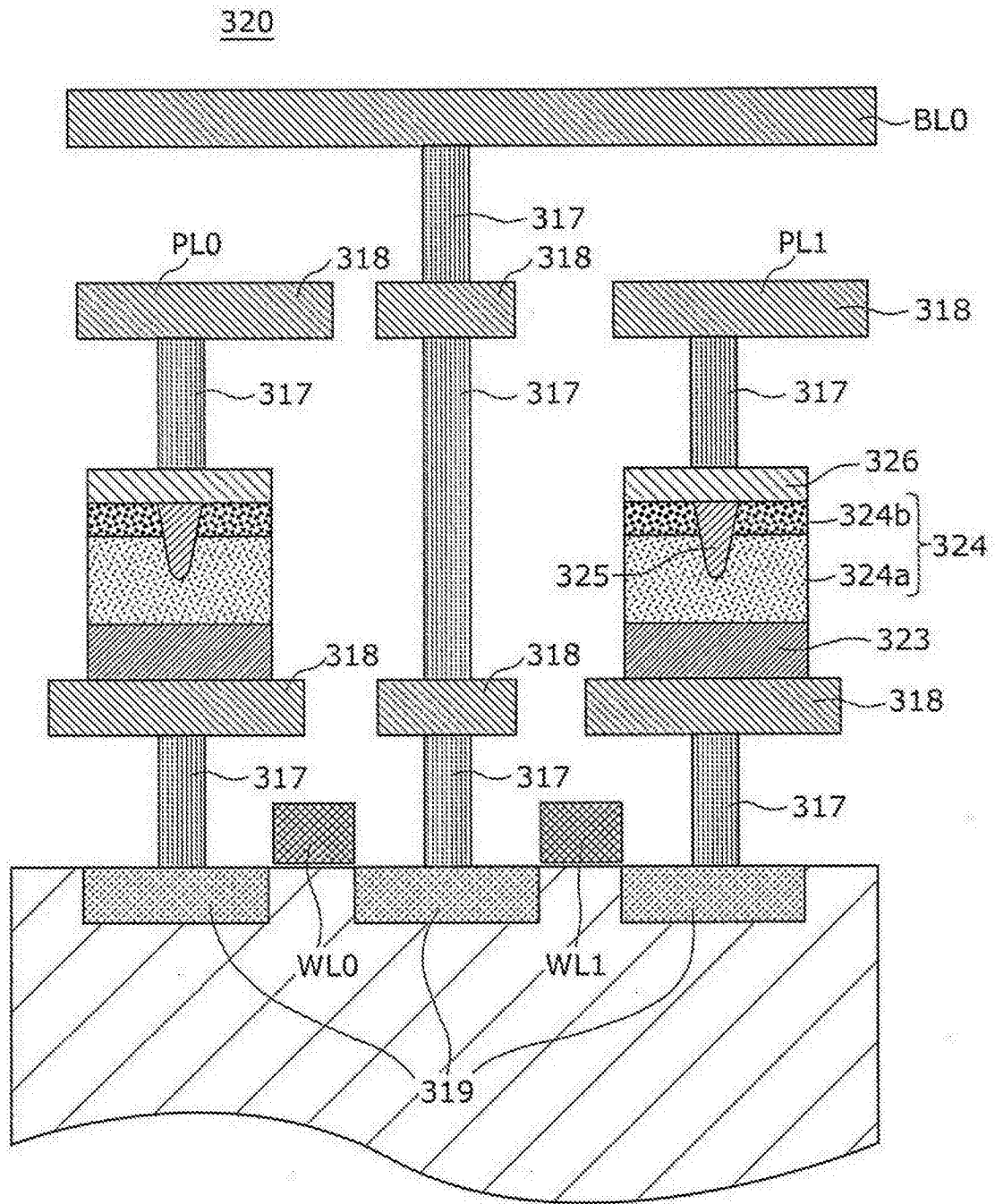


图 15

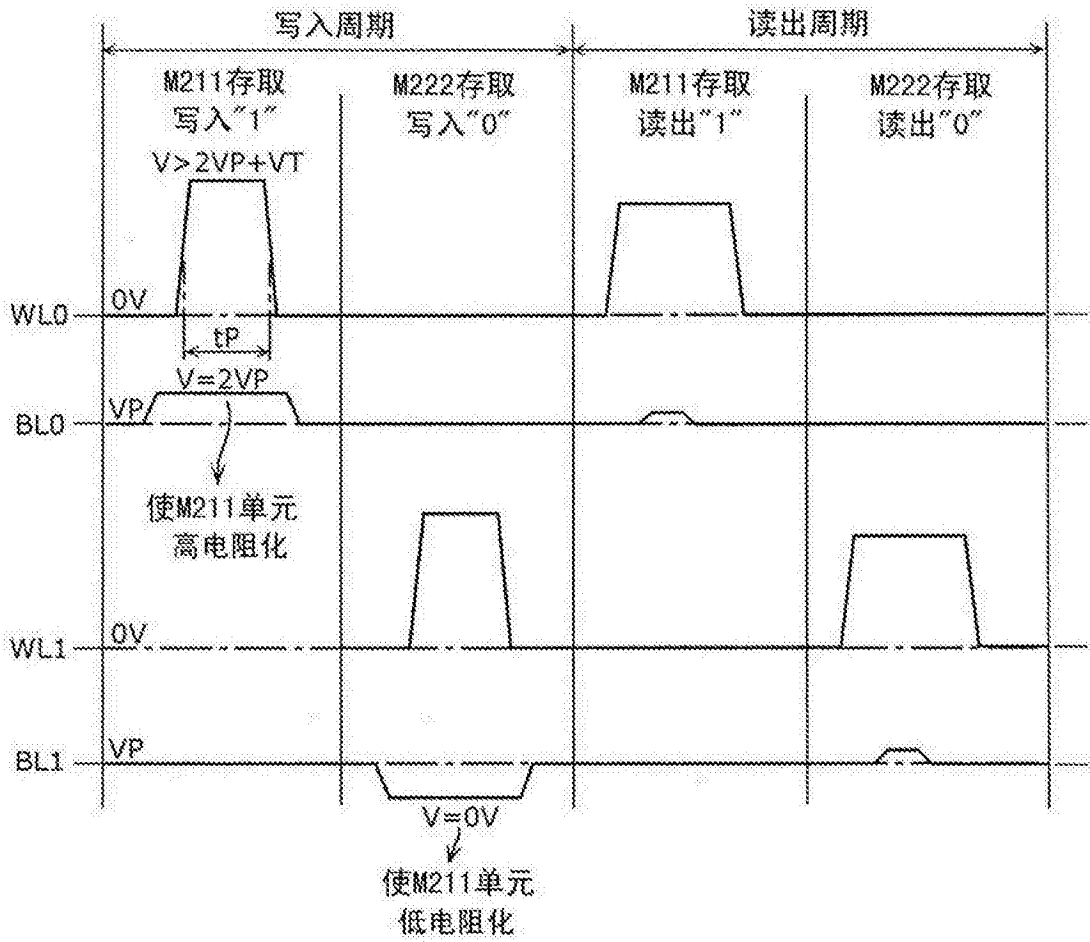


图 16

1400

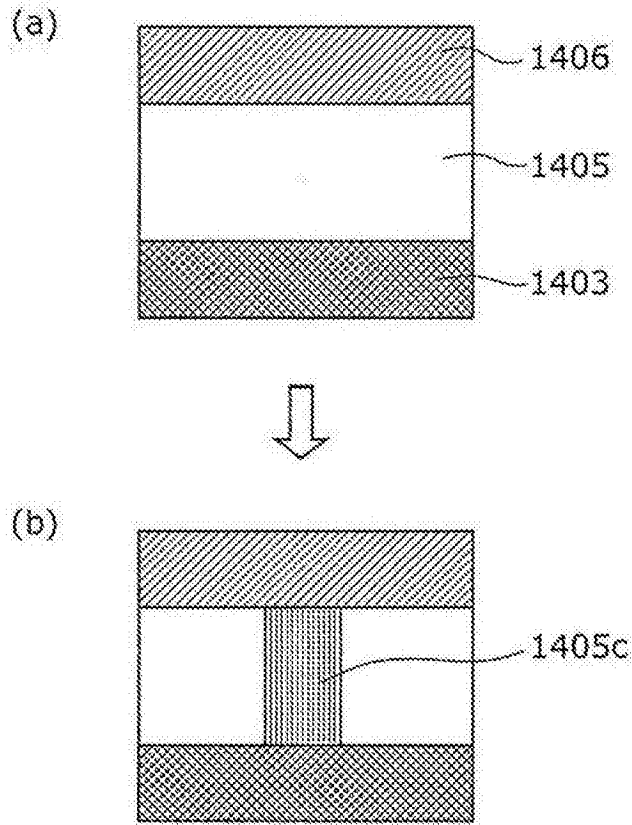


图 17