

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4837352号  
(P4837352)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年10月7日(2011.10.7)

(51) Int.Cl. F I  
**H02M 3/155 (2006.01)** H02M 3/155 P

請求項の数 4 (全 11 頁)

<p>(21) 出願番号 特願2005-281758 (P2005-281758)                  (22) 出願日 平成17年9月28日 (2005. 9. 28)                  (65) 公開番号 特開2007-97286 (P2007-97286A)                  (43) 公開日 平成19年4月12日 (2007. 4. 12)                  審査請求日 平成20年8月25日 (2008. 8. 25)</p>	<p>(73) 特許権者 000006747                  株式会社リコー                  東京都大田区中馬込1丁目3番6号                  (74) 代理人 100082670                  弁理士 西脇 民雄                  (72) 発明者 宮下 仁                  東京都大田区中馬込1丁目3番6号 株式                  会社リコー内                  (72) 発明者 杉浦 賢二                  東京都大田区中馬込1丁目3番6号 株式                  会社リコー内                  審査官 安池 一貴</p>
--	--

最終頁に続く

(54) 【発明の名称】 スイッチングレギュレータおよびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

スイッチング素子からの出力電圧および第1の基準電圧の差電圧を増幅する第1の誤差増幅回路と、  
 該第1の誤差増幅回路の出力により制御されて矩形波を出力する発振回路と、  
前記第1の誤差増幅回路の出力電圧を電流に変換する第1の電圧電流変換回路を含み、該第1の電圧電流変換回路の出力信号により、前記発振回路から出力された矩形波のパルス幅を変調する電流制御型PWMコントローラと、  
前記第1の誤差増幅回路の出力電圧に基づいて出力負荷の大小を検出し、該検出結果に基づいて前記発振回路の周波数を変える手段と  
を有するスイッチングレギュレータにおいて、  
 前記スイッチング素子からの出力電流に応じた電流を検出する電流検出回路と、  
 該電流検出回路の出力を増幅させる第2の誤差増幅回路と  
を設け、  
前記電流制御型PWMコントローラは、  
前記第2の誤差増幅回路の出力電圧を電流に変換する第2の電圧電流変換回路を含み、該第2の電圧電流変換回路の出力信号と前記第1の電圧電流変換回路の出力信号とにより、前記発振回路から出力された矩形波のパルス幅を変調することを特徴とするスイッチングレギュレータ。

【請求項2】

前記電流制御型PWMコントローラでは、  
第1の誤差増幅回路からの出力が予め設定された基準値より低い電圧レベルであれば前記発振回路からの出力をそのまま出力し、高い電圧レベルであれば該発振回路からの出力のパルス幅を細くし、かつ前記第2の誤差増幅回路からの出力信号は出力の負荷が増加するほど上昇することにより、1パルス毎に出力を増加して、前記発振回路からの出力のパルス幅を細め、また、前記第2の誤差増幅回路の出力信号は出力の負荷が軽減するほど下降することにより、1パルス毎に出力を低減して、前記発振回路からの出力のパルス幅を広めることで、PWM出力のパルス幅を決定することを特徴とする請求項1に記載のスイッチングレギュレータ。

【請求項3】

前記電流検出回路は、スイッチング素子であるNMOSドライバーに付属しているミラートランジスタと、該ミラートランジスタのソース端子に接続された抵抗から構成されることを特徴とする請求項1もしくは請求項2のいずれかに記載のスイッチングレギュレータ。

【請求項4】

スイッチング素子の電流を検出し、検出した電流値を第2の誤差増幅回路で増幅し、増幅した出力をPWMコントローラに出力するとともに、  
 出力電圧と第1の基準電圧の差を第1の誤差増幅回路で増幅し、さらに該第1の誤差増幅回路の出力と第2の基準電圧とを比較する比較回路の出力で発振回路を制御し、  
 PWMコントローラは、  
前記第1の誤差増幅回路の出力および前記第2の誤差増幅回路の出力と、前記発振回路の出力を取り込み、  
前記発振回路の出力をインバータに入力し、  
該インバータに流れる電流を、前記第1の誤差増幅回路の出力および前記第2の誤差増幅回路の出力により制御し、  
第3の誤差増幅回路により、前記インバータの出力を第3の基準電圧と比較し、  
アンド回路により、前記第3の誤差増幅回路の比較結果と前記発振回路との論理和演算を行い、該アンド回路の出力により負荷を制御することを特徴とするスイッチングレギュレータ駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、負荷電圧をフィードバックするとともに、スイッチング素子の電流値を直接取り込んでフィードバックして制御することにより、制御の遅れを少なくし、出力の変動を迅速に抑圧して、安定性を向上させることが可能なスイッチングレギュレータおよびその駆動方法に関する。

【背景技術】

【0002】

従来のスイッチングレギュレータでは、出力電圧のみによりオン・オフ回路のパルス幅を制御することによりフィードバック回路を構成し、出力電圧を安定化している。

例えば、特開平11-155281号公報（特許文献1参照）がある。このスイッチングレギュレータでは、コンパレータでエラーアンプの出力と基準電圧の出力を比較し、その出力により発振回路へ制御信号を出力している。例えば、コンパレータの出力の制御信号がHのとき、発振回路は高い周波数で発振し、制御信号がLのときには発振回路は低い周波数で発振する。

【0003】

図8は、上記特許文献1におけるスイッチングレギュレータの構成図である。

図8において、エラーアンプ12は、スイッチングレギュレータの出力電圧Voutと基準電圧回路11の出力とを入力し、両者の差電圧を出力する。次に、コンパレータ13は、この差電圧と基準電圧回路14の出力とを入力し、差電圧が基準電圧以上であるか、

10

20

30

40

50

またはそれ以下であるかを判定する。矩形波発振器 10 は、この判定結果に従って発振周波数が変化するように構成されており、差電圧が基準電圧以下であるときには発振周波数を下げる。PWM (Pulse Width Modulation) コンパレータ 15 は、発振回路 10 の出力、例えば三角波とエラーアンプ 12 の出力を比較して信号を出す。

【0004】

図 9 は、図 8 のスイッチングレギュレータの動作を示す信号波形図である。

図 9 において、図に示す矩形波発振器 10 の三角波とエラーアンプ 12 の出力 OUT を比較することで、エラーアンプ 12 の出力 OUT が上下することにより、PWM コンパレータ 15 の出力 OUT のパルス幅がコントロールされる。スイッチングレギュレータは、このパルス幅の時間のみ、スイッチ素子をオンまたはオフに制御する。

10

【0005】

【特許文献 1】特開平 11 - 155281 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、電流制御を行わないスイッチングレギュレータでは、出力電圧のフィードバック経路にタイムラグがあるため、制御が追い付かない場合があり、出力電圧の揺れに対して電圧の上げ過ぎや、下げ過ぎが生じたり、出力電圧の上昇時に電圧の上乗せをしたり、下降時に電圧の下げを行ったりすることがあるため、出力電圧の発振状態を生じることがある。

20

また、従来の電流モードスイッチングレギュレータでは、Duty 50% を越えた時などには、トランジスタの破壊を防止するためにスロープ補償が必要となり、回路規模が増大するという問題があった。

【0007】

(目的)

本発明の目的は、上述のような出力の発振状態を抑止することが可能であり、かつスロープ補償を不要にして規模の小さな回路で電流モード制御が可能なスイッチングレギュレータおよびその駆動方法を提供することにある。

【課題を解決するための手段】

30

【0008】

本発明のスイッチングレギュレータでは、スイッチング素子からの出力電圧を取り出してフィードバック制御を行うとともに、前記スイッチング素子からの出力電流をダイレクトに取り出して第 2 のフィードバック制御を行うことにより、二重フィードバックによる高速な制御を可能にする。すなわち、出力電圧を見ると同時に、電流の変化の具合を読み取ることにより、スイッチの 1 パルス毎に出力電流量に比例した部分を高速に変化させる。

【0009】

本発明のスイッチングレギュレータは、スイッチング素子と、該スイッチング素子からの出力電圧および第 1 の基準電圧の差電圧を増幅する第 1 のエラーアンプと、前記スイッチング素子からの出力電流に応じた電流を検出する電流検出回路と、該電流検出回路の出力を増幅させる第 2 のエラーアンプと、該第 1 および第 2 のエラーアンプの出力電圧を電流に変換する電圧電流変換回路と、該電圧電流変換回路から出力される電流値から発振回路の発信信号を変調する電流制御型 PWM コントローラとを有することを特徴としている。

40

【0010】

本発明のスイッチングレギュレータ駆動方法は、スイッチング素子の電流を検出し、検出した電流値を第 2 の誤差増幅回路で増幅し、増幅した出力を PWM コントローラに出力するとともに、出力電圧と第 1 の基準電圧の差を第 1 の誤差増幅回路で増幅し、さらに該第 1 の誤差増幅回路の出力と第 2 の基準電圧とを比較する比較回路の出力で発振回路を制

50

御し、PWMコントローラは、前記第2の誤差増幅回路の出力と、前記発振回路の出力を取り込み、増幅された電流値および負荷電流に応じた電流値を基に前記発振回路の発振信号により、前記スイッチング素子のDuty比を制御し、制御した電圧を第3の基準電圧と比較することにより負荷を制御することを特徴としている。

【発明の効果】

【0011】

本発明によれば、スイッチングレギュレータのMOSドライバー部に流れる電流をセンシングして、電流AMPで増幅した後、スイッチングのDuty比をコントロールして、出力の発振状態を抑制することができる。(また、一般の電流モードでDuty50%を越えた時などに必要となるスロー補償を使用せず、規模の小さな回路で電流モード制御を行うことができる。さらに、負荷に応じて電流を制御しているので、用途が特に大電流向けでない限り、電流制限回路を必要としない。)

10

【発明を実施するための最良の形態】

【0012】

(基礎になる回路の説明)

以下、本発明の基礎になるスイッチングレギュレータを、図面により詳細に説明する。

図5は、本発明の基礎になるスイッチングレギュレータの回路構成図である。

図5では、図8に示す従来の周波数切り替え機能付きレギュレータ回路と同じように、2つの基準電圧回路11、14、ブリーダ抵抗、エラーアンプ12、コンパレータ13が配置されるが、定電流インバータによるリングオシレータ回路10Aおよび電流制御PWMコントローラ16が新しく設けられている。

20

【0013】

図5においては、従来と同じように、エラーアンプ12はスイッチングレギュレータの出力電圧Voutと基準電圧回路11のブリーダ抵抗の出力とを入力し、両者の差電圧を出力する。次に、コンパレータ13は、この差電圧と基準電圧回路14の出力とを入力し、差電圧が基準電圧以上か、あるいはその以下かを判定する。これにより、エラーアンプ12の出力電圧が電圧-電流変換回路(図6の18参照)を経てPWMコントローラ回路16内の電流源を制御し、スイッチ素子のオン時間をコントロールする。また、エラーアンプ12の出力と基準電圧とを比較して、リングオシレータ10Aの電流源回路に制御信号を与えるコンパレータ13により、リングオシレータ10Aの発振周波数が切り替わるように構成する。

30

【0014】

図6は、図5におけるスイッチングレギュレータのPWMコントローラの詳細ブロック図である。

PWMコントローラ16は、一点鎖線内に示すように、電流・電圧変換回路18と、インバータ(電流制御)21と、キャパシター19と、電流源22と、基準電圧源(Vref3)23と、この基準電圧源23とインバータ21の出力を比較するコンパレータ24と、アンド回路25とで構成される。

リングオシレータ回路10Aの出力はインバータ21で反転されるが、エラーアンプ12の出力電圧がインバータ21の電流を電流源22で制御し、この電流とインバータ21の出力-電源間のキャパシター19で、High側からLow側へ遅延時間を作る。

40

【0015】

図7は、図6におけるスイッチングレギュレータの動作を示す信号波形図である。

図7(1)はリングオシレータ回路10Aの出力波形であり、これは、図7(2)の基準電圧(Vref2)に対して、図7(3)のエラーアンプ12の差出力が重負荷から軽負荷に(Low側からHigh側に)上昇していることにより、狭い幅のパルスから広い幅のパルスに移行している。

【0016】

図7(4)は、エラーアンプ12の出力が徐々に高くなった時のインバータ21の信号波形を示している。すなわち、図7(3)のエラーアンプ12の出力が図7(2)の基準

50

電圧 ( $V_{ref2}$ ) 14より低い期間は、図7(1)のリングオシレータ10Aの出力は一定周期の矩形波を発生し、それに同期してインバータ21の出力も一定周期の遅延波を発生する。エラーアンプ12の出力が基準電圧14よりも高くなった期間には、リングオシレータ10Aの出力の周期が長くなり、それに同期してインバータ21の出力も長い周期のパルスを発生する。

#### 【0017】

図7(4)のインバータ21の出力と、図7(5)の基準電圧 ( $V_{ref3}$ ) とを比較するコンパレータ24の出力電圧の波形が、図7(6)に示されている。ここで、基準電圧 ( $V_{ref3}$ ) は、リングオシレータ回路10A (およびインバータ21) の電源の電圧よりも数ボルト (0.5V前後) だけ低い値に設定してある。

10

このコンパレータ24の出力とリングオシレータ回路10Aの出力のアンド回路25の出力波形がPWMコントローラ16の出力電圧であって、スイッチング素子をコントロールしている。

#### 【0018】

(実施例)

以下、本発明の実施例を、図面により詳細に説明する。

図4は、本発明の一実施例に係る昇圧DC/DCコンバータに適用したスイッチングレギュレータの全体構成図である。

$V_{in}$ は入力電源電圧、9はスイッチング素子、8は負荷 (LOAD) に並列に接続された分圧抵抗、11は第1の基準電圧源 ( $V_{ref}$ )、12は出力電圧と第1の基準電圧源11との差電圧を増幅する第1のエラーアンプ、13Aはスイッチング素子9からの出力電流 (負荷に出力される出力電流) に応じた電流を検出する電流検出回路、17は検出回路13Aの出力を増幅する第2のエラーアンプで、本発明の特徴部分、15Aはスイッチング素子を駆動するゲートドライブ回路、16は増幅回路の電圧を電流に変換し、変換された電流値から発振回路の発振信号を変調 (スイッチングのDuty比を制御) する電流制御型PWMコントローラである。

20

なお、適用される負荷 (LOAD) の種類としては、乾電池を電源とする小型機器に対して適用可能である。

#### 【0019】

本実施例においては、図4に示すように、第1のエラーアンプ12とPWMコントローラ16からなる第1のフィードバック回路に加えて、スイッチング素子9とPWMコントローラ16からなる第2のフィードバック回路が設けられる。出力電圧  $V_{out}$  の揺れを感知するためには、スイッチング素子9の電流量をダイレクトに検出することが効果的であり、この電流量を増幅する第2のエラーアンプ17の出力は、出力電圧と基準電圧源との差を見る第1のエラーアンプ12の出力よりも出力の変化を詳細かつ迅速に見分けることができる。これを加えた二重のフィードバック制御により、迅速に出力変化を検知することが可能となるため、出力が下がって来たときには急速に上げたいスピードを与えることができ、出力が上がって来たときには急速に下げたいスピードを与えることができる。

30

#### 【0020】

つまり、第1のエラーアンプ2によるフィードバック回路のみでは、タイムラグにより出力が上がって来ても、直ちに下げるような制御は与えられず、制御時間にずれが生じるため、さらに上げ過ぎる場合が生じ、安定し難い状態が続行すると、出力の揺れが発振状態に至ってしまうこともある。

40

本発明のスイッチングレギュレータでは、ゲートドライバ15Aが駆動するスイッチング素子9に流れる電流をセンスし、その信号を第2のエラーアンプ17で増幅し、PWMコントローラ16においてDutyを制御することにより、負荷条件によって起こる出力の発振状態を抑制することができる。

#### 【0021】

図1は、本発明の一実施例に係るスイッチングレギュレータの構成図である。

PWMコントローラ16の出力 (矢印) が左側のゲートドライバ15Aに入力される。

50

破線内の電流検出回路13Aが、本実施例により追加された部分である。15Aはゲートドライバ、次段に接続されたトランジスタはNMOSドライバー、NMOSドライバーに並列に接続されているのはミラートランジスタ、17は第2のエラーアンプ、第2のエラーアンプ17の出力が接続されている16はPWMコントローラである。

11は第1の基準電圧源(Vref)、12は第1のエラーアンプ、14は第2の基準電圧源(Vref2)、13は第1のエラーアンプ12の差出力と第2の基準電圧源14を比較するコンパレータ、10Aはリングオシレータ回路である。

【0022】

スイッチング素子であるNMOSドライバーの電流をミラートランジスタとそれに接続された抵抗とで検出し、検出した電流値を第2のエラーアンプ17で増幅し、PWMコントローラ16に出力する。すなわち、電流検出回路13Aは、ミラートランジスタと抵抗で構成されている。

10

出力電圧と第1の基準電圧11の差を第1のエラーアンプ12で増幅し、さらに第1のエラーアンプの出力と第2の基準電圧14とを比較するコンパレータ13の出力でリングオシレータ回路10Aを制御する。

【0023】

図3は、図1におけるPWMコントローラの詳細ブロック図である。

図1において、出力負荷が増大すると、NMOSドライバーに流れる電流も増加する。NMOSドライバーに付属しているミラートランジスタのソース端子に接続された抵抗が、その電流をセンスして、第2のエラーアンプ(電流アンプ)17に送る。第2のエラーアンプ17で信号が増幅され、その出力がPWMコントローラ16の電圧電流変換回路18を経由して電流源22に入力される。

20

【0024】

一方、本発明の基礎になる回路では、図1に示すように、出力電圧と第1の基準電圧11の差を第1のエラーアンプ12で増幅し、さらに第1のエラーアンプ12の出力は、PWMコントローラ16の電圧電流変換回路18に入力され、さらに電流源22に入力される。電流源22は、インバータ21を流れる電流を制御する。具体的には、リングオシレータ回路10Aの発振信号を、インバータ21に流れる電流で制御することにより、その出力と第3の基準電圧とを比較することにより、スイッチング動作のDuty比を制御する。

30

【0025】

図2は、図1におけるPWMコントローラ内部信号の動作波形図である。

図2の本発明の波形と、図7の基礎回路の波形とを比較すると、図7では、PWMコントローラ16の電流源は、エラーアンプ12からの出力信号により、低い電圧レベルならばリングオシレータ回路10Aからの出力をそのまま出力し、高い電圧レベルであればリングオシレータ回路10Aからの出力のパルス幅を小さくするというように、PWMコントローラ16の出力のパルス幅を決定しているが、図2においても、これと同様に第2のエラーアンプ17からの出力もPWM制御電圧として機能している。

【0026】

図7では低い電圧レベルから高い電圧レベルに移行しているのに対して、図2では、高い電圧レベルから低い電圧レベルに移行しているので、図7はリングオシレータ10Aの出力と第1のエラーアンプ12の出力の2つの比較動作であるのに対して、図2はリングオシレータ10Aの出力と第2のエラーアンプ17の出力と第1のエラーアンプ12の出力の3つの比較動作である点で異なっている。第2のエラーアンプ17の出力による制御部分により、より迅速に出力を制御することが可能である。

40

【0027】

出力の負荷が増えるほど、NMOSドライバに流れる電流が増加し、第2のエラーアンプ17の出力レベルが上がる。すなわち、図2の(イ)で示すように、第1のエラーアンプ12の出力レベルは高い電圧レベルである方向から低い電圧レベルに移っている。つまり、出力の負荷が増加しているため、NMOSドライバに流れる電流は増加しており、第

50

2のエラーアンプ17の出力は図2(ロ)で示すように、1パルス毎に増加する。その結果、PWMコントローラ16の出力の幅が細められる方向(Dutyを小さくする方向)に動作する。すなわち、図2(ロ)の部分に対応するインバータ21の出力が基準電圧23より低い部分が生じるため、その部分だけPWMコントローラ16の出力の幅が細められる。

また、負荷が軽く、NMOSドライバに流れる電流が小さくなれば、第2のエラーアンプ17の出力レベルが下がり、その状態ではPWMコントローラ16の出力パルス幅は第1のエラーアンプ12の出力電圧レベルに依存する。

#### 【0028】

このように、本実施例で提供される電流制御型PWMコントローラでは、電流源が第1のエラーアンプ12からの出力信号により、低い電圧レベルであれば発振回路10Aからの出力をそのまま出力し、高い電圧レベルであれば発振回路10Aからの出力のパルス幅を細くし、かつ第2のエラーアンプ17からの出力信号は出力の負荷が増加するほど上昇することにより、1パルス毎に出力を増加して、出力の幅を細め、また、第2のエラーアンプ17の出力信号は出力の負荷が軽減するほど下降することにより、1パルス毎に出力を低減して、出力の幅を広めることで、PWM出力のパルス幅を決定している。

#### 【0029】

結局、本実施例のスイッチングレギュレータでは、スイッチング素子9の電流を検出し、検出した電流値を第2のエラーアンプ17で増幅し、増幅した出力をPWMコントローラ16に出力するとともに、出力電圧と第1の基準電圧11の差を第1のエラーアンプ12で増幅し、さらに第1のエラーアンプ12の出力と第2の基準電圧14とを比較するコンパレータ13の出力で発振回路10Aを制御し、PWMコントローラ16は、第1のエラーアンプ12の出力および第2のエラーアンプ17の出力と、発振回路10Aの出力を取り込み、発振回路10Aの出力をインバータ21に入力し、インバータ21に流れる電流を、第1のエラーアンプ12の出力および第2のエラーアンプ17の出力により制御し、インバータ21の出力を第3の基準電圧23とコンパレータ24で比較し、アンド回路25により、コンパレータ24の比較結果と発振回路10Aとの論理和演算を行い、アンド回路25の出力により負荷を制御している。

#### 【0030】

これにより、ある特定の負荷条件や負荷の変化時における、出力の変動を素早く制御することができ、安定性が向上する。また、インダクタンス電流を各スイッチング毎にコントロールできるので、過電流保護の役割を果たす。

#### 【図面の簡単な説明】

#### 【0031】

【図1】本発明の一実施例に係るスイッチングレギュレータの構成図である。

【図2】図1におけるPWMコントローラ内部信号の動作波形図である。

【図3】図1におけるPWMコントローラ内部の詳細ブロック図である。

【図4】昇圧DC/DCコンバータに適用した場合のスイッチングレギュレータの全体図である。

【図5】本発明の基礎となるスイッチングレギュレータの回路構成図である。

【図6】図5におけるPWMコントローラ内部の詳細構成図である。

【図7】図5におけるPWMコントローラ内部信号の動作波形図である。

【図8】従来のスイッチングレギュレータの構成例を示す図である。

【図9】図8におけるスイッチングレギュレータの動作波形図である。

#### 【符号の説明】

#### 【0032】

8：負荷分割抵抗

9：スイッチング素子

10：矩形波発振器

10A：リングオシレータ

10

20

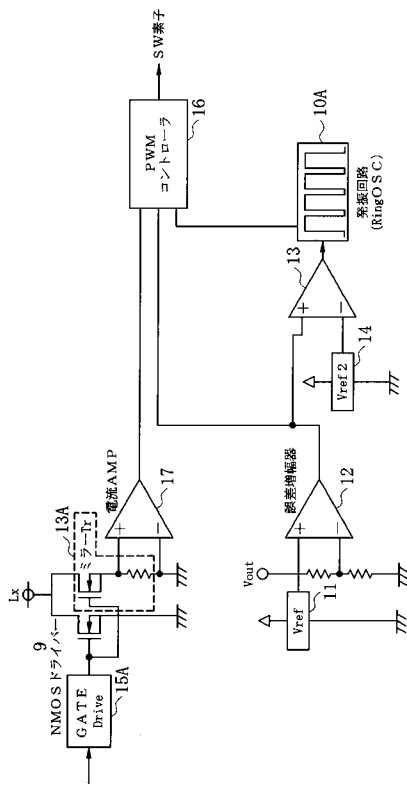
30

40

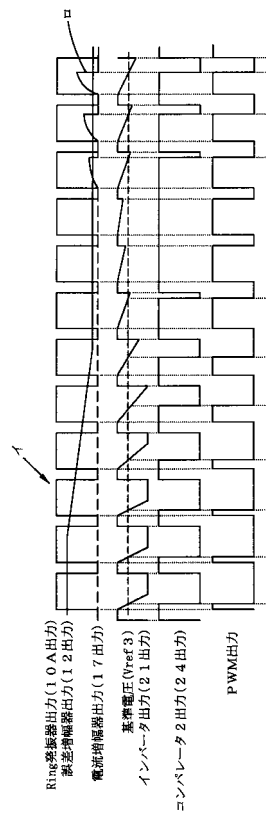
50

- 1 1 : 基準電圧 ( V r e f )
- 1 2 : 第 1 のエラーアンプ
- 1 3 : コンパレータ
- 1 3 A : 電流検出回路
- 1 4 : 基準電圧 ( V r e f 2 )
- 1 5 : PWMコンパレータ
- 1 5 A : ゲートドライブ回路
- 1 6 : PWMコントローラ
- 1 7 : 第 2 のエラーアンプ ( 電流アンプ )
- 1 8 : 電圧電流変換回路
- 1 9 : キャパシタ
- 2 1 : インバータ
- 2 2 : 電流源
- 2 3 : 基準電圧 ( V r e f 3 )
- 2 4 : コンパレータ
- 2 5 : アンド回路

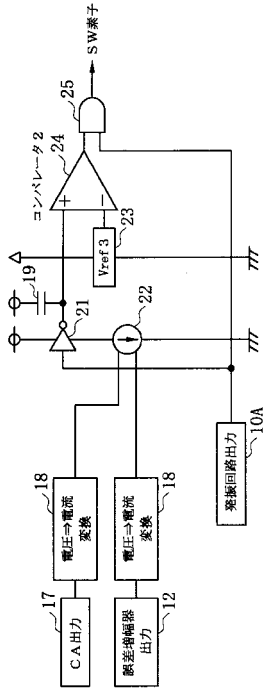
【 図 1 】



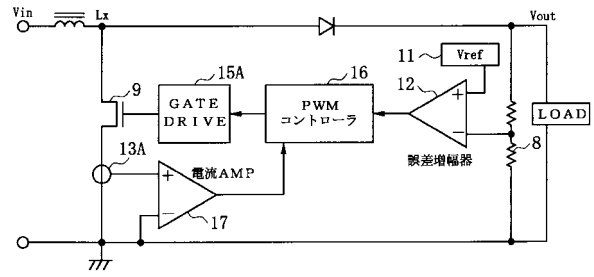
【 図 2 】



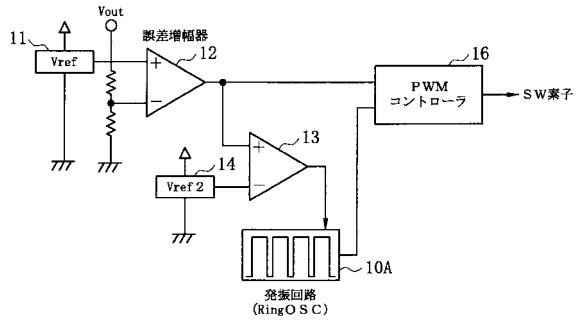
【図3】



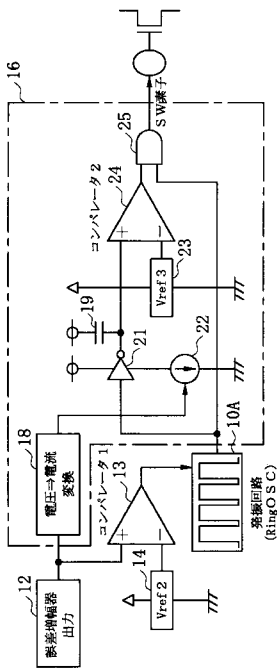
【図4】



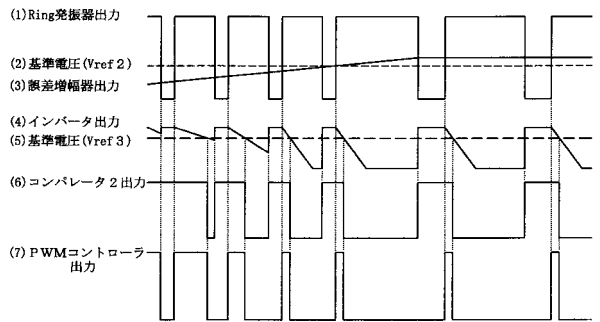
【図5】



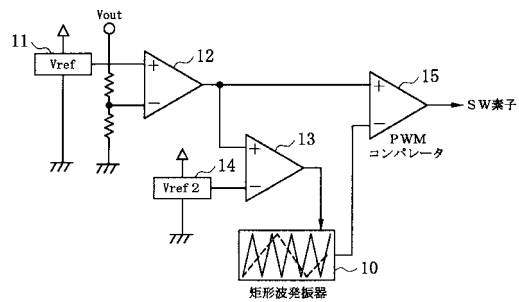
【図6】



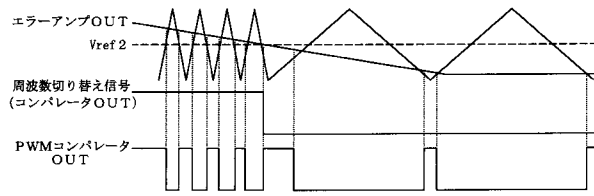
【図7】



【図8】



【図9】



---

フロントページの続き

(56)参考文献 特開2005-261060(JP,A)  
特開2005-261102(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H02M 3/155