



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월24일  
(11) 등록번호 10-2305310  
(24) 등록일자 2021년09월16일

(51) 국제특허분류(Int. Cl.)  
H01L 27/12 (2006.01)  
(52) CPC특허분류  
H01L 27/1255 (2013.01)  
H01L 27/1225 (2013.01)  
(21) 출원번호 10-2020-7024988(분할)  
(22) 출원일자(국제) 2013년12월18일  
심사청구일자 2020년08월28일  
(85) 번역문제출일자 2020년08월28일  
(65) 공개번호 10-2020-0104945  
(43) 공개일자 2020년09월04일  
(62) 원출원 특허 10-2015-7019916  
원출원일자(국제) 2013년12월18일  
심사청구일자 2018년12월07일  
(86) 국제출원번호 PCT/JP2013/085018  
(87) 국제공개번호 WO 2014/104265  
국제공개일자 2014년07월03일  
(30) 우선권주장  
JP-P-2012-288973 2012년12월28일 일본(JP)  
JP-P-2013-049261 2013년03월12일 일본(JP)  
(56) 선행기술조사문헌  
KR1020120048501 A  
(뒷면에 계속)  
전체 청구항 수 : 총 14 항

(73) 특허권자  
가부시킴가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
엔도 유타  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시킴가이샤 한도오따이 에네루기 켄큐쇼 내  
(74) 대리인  
황의만

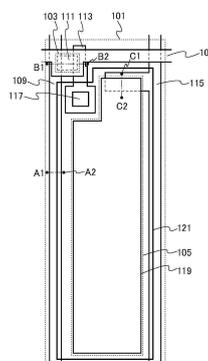
(54) 발명의 명칭 반도체 장치, 및 반도체 장치의 제작 방법

심사관 : 고연화

(57) 요약

본 발명은 개구율이 높은 반도체 장치를 제공하는 것을 과제로 한다. 반도체 장치는 트랜지스터와, 한쌍의 전극을 가지는 용량 소자를 포함한다. 트랜지스터의 채널 형성 영역 및 용량 소자의 한쪽의 전극은 동일한 절연 표면 위에 각각 형성된 산화물 반도체층이다. 용량 소자의 다른 한쪽의 전극은 투광성 도전막이다. 용량 소자의 한쪽의 전극은 트랜지스터에 포함되는 소스 전극 또는 드레인 전극이 제공된 절연 표면과 동일한 절연 표면 위에 형성된 배선과 전기적으로 접하고, 용량 소자의 다른 한쪽의 전극은 트랜지스터에 포함되는 소스 전극 또는 드레인 전극의 한쪽과 전기적으로 접속한다.

대표도 - 도1



(52) CPC특허분류  
*H01L 27/1296* (2013.01)

(56) 선행기술조사문헌  
KR1020100108215 A  
KR1020120075423 A  
JP2007265780 A\*  
JP2010141304 A\*  
\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

절연 표면 위의 트랜지스터로서:

제 1 산화물 반도체층;

소스 전극층 및 드레인 전극층;

상기 제 1 산화물 반도체층 위의 제 1 절연막; 및

상기 제 1 절연막 사이에 두고 상기 제 1 산화물 반도체층 위에 있는 게이트 전극층을 포함하는, 상기 트랜지스터, 및

상기 절연 표면 위의 용량 소자로서:

제 2 산화물 반도체층;

투명한 도전막을 포함하는 화소 전극; 및

상기 용량 소자의 유전체로서 기능하는 유전체를 포함하는, 상기 용량 소자를 포함하고,

상기 제 2 산화물 반도체층은 상기 제 1 산화물 반도체층과 같은 단계에서 형성되고 상기 제 1 산화물 반도체층보다 도전율이 높아지도록 변경되는, 반도체 장치.

#### 청구항 2

반도체 장치로서,

절연 표면 위의 트랜지스터로서:

제 1 산화물 반도체층;

소스 전극층 및 드레인 전극층;

상기 제 1 산화물 반도체층 위의 제 1 절연막; 및

상기 제 1 절연막 사이에 두고 상기 제 1 산화물 반도체층 위에 있는 게이트 전극층을 포함하는, 상기 트랜지스터, 및

상기 절연 표면 위의 용량 소자로서:

제 2 산화물 반도체층;

투명한 도전막을 포함하는 화소 전극; 및

상기 용량 소자의 유전체로서 기능하는 유전체를 포함하는, 상기 용량 소자를 포함하고,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층은 같은 단계에서 증착되고,

불순물 원소는 상기 제 2 산화물 반도체층에 첨가되는, 반도체 장치.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 2 산화물 반도체층과 중첩되는 배선을 더 포함하는, 반도체 장치.

#### 청구항 4

제 3 항에 있어서,

상기 배선은 상기 유전체를 사이에 두고 투명한 도전막과 중첩되는, 반도체 장치.

**청구항 5**

제 3 항에 있어서,

상기 소스 전극층, 상기 드레인 전극층, 및 상기 배선은 같은 층으로부터 형성되는, 반도체 장치.

**청구항 6**

제 1 항 또는 제 2 항에 있어서,

상기 게이트 전극층 위의 제 2 절연막; 및

상기 제 2 절연막 위의 제 3 절연막을 더 포함하고,

상기 제 2 절연막 및 상기 제 3 절연막은 상기 제 2 산화물 반도체층과 중첩되고,

상기 유전체는 상기 제 2 절연막 및 상기 제 3 절연막을 포함하는, 반도체 장치.

**청구항 7**

제 6 항에 있어서,

상기 제 2 절연막은 산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, 및 Ga-Zn계 금속 산화물로부터 선택된 산화 절연 재료를 포함하는 단층 구조 또는 적층 구조를 갖는, 반도체 장치.

**청구항 8**

제 6 항에 있어서,

상기 제 3 절연막은 질화산화 실리콘, 질화 실리콘, 질화 알루미늄, 및 질화산화 알루미늄으로부터 선택된 질화 절연 재료를 포함하는 단층 구조 또는 적층 구조를 갖는, 반도체 장치.

**청구항 9**

제 1 항 또는 제 2 항에 있어서,

상기 게이트 전극층 위의 제 2 절연막으로서, 상기 제 2 산화물 반도체층과 접하는 상기 제 2 절연막; 및

상기 제 2 절연막 위의 제 3 절연막을 더 포함하고,

상기 제 2 절연막 및 상기 제 3 절연막은 상기 제 2 산화물 반도체층과 중첩되고,

상기 유전체는 상기 제 2 절연막 및 상기 제 3 절연막을 포함하는, 반도체 장치.

**청구항 10**

제 1 항 또는 제 2 항에 있어서,

상기 게이트 전극층 위의 제 2 절연막; 및

상기 제 2 절연막 위의 제 3 절연막으로서, 상기 제 2 산화물 반도체층과 접하는 상기 제 3 절연막을 더 포함하고,

상기 제 3 절연막은 상기 제 2 산화물 반도체층과 중첩되고,

상기 유전체는 상기 제 3 절연막을 포함하는, 반도체 장치.

**청구항 11**

제 1 항 또는 제 2 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층 각각은 인듐, 아연 및 갈륨을 포함하는, 반도체

장치.

**청구항 12**

제 1 항 또는 제 2 항에 있어서,

상기 제 2 산화물 반도체층은 수소, 붕소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬, 및 희가스 원소로부터 선택된 일종 이상의 원소를 첨가함으로써 변경되는, 반도체 장치.

**청구항 13**

제 1 항 또는 제 2 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층 각각은 에너지 갭이 2.0 eV 이상인, 반도체 장치.

**청구항 14**

제 1 항 또는 제 2 항에 있어서,

상기 투명한 도전막은 상기 소스 전극층 및 상기 드레인 전극층의 한쪽과 전기적으로 접속되는, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명은 예를 들면, 반도체 장치, 표시 장치, 발광 장치, 그들의 구동 방법, 또는 그들의 제작 방법에 관한 것이다. 특히, 본 발명은 예를 들면, 산화물 반도체를 포함하는 반도체 장치, 표시 장치, 또는 발광 장치, 및 그 제작 방법에 관한 것이다.

**배경 기술**

[0002] 근년, 액정 디스플레이(LCD) 등의 플랫 패널 디스플레이가 널리 보급되어 오고 있다. 플랫 패널 디스플레이 등의 표시 장치에서, 행 방향 및 열 방향으로 배치된 화소 내에는, 스위칭 소자인 트랜지스터와, 상기 트랜지스터와 전기적으로 접속된 액정 소자와, 상기 액정 소자와 병렬로 접속된 용량 소자가 포함되어 있다.

[0003] 상기 트랜지스터의 반도체막을 형성하는 반도체 재료로서는, 어모퍼스(비정질) 실리콘 또는 폴리(다결정) 실리콘 등의 실리콘 반도체가 범용되고 있다.

[0004] 반도체 특성을 나타내는 금속 산화물(이하, 산화물 반도체라고 기재함)은 트랜지스터의 반도체막에 이용할 수 있는 반도체 재료이다. 예를 들면, 산화 아연 또는 In-Ga-Zn계 산화물 반도체를 이용하여, 트랜지스터를 형성하는 기술이 개시되어 있다(특허문헌 1 및 특허문헌 2를 참조).

**선행기술문헌**

**특허문헌**

[0005] (특허문헌 0001) 일본국 특개 2007-123861호 공보

(특허문헌 0002) 일본국 특개 2007-96055호 공보

**발명의 내용**

**해결하려는 과제**

[0006] 용량 소자는 한쌍의 전극의 사이에 유전체막이 제공되어 있고, 한쌍의 전극 중, 적어도 한쪽의 전극은 트랜지스터를 구성하는 게이트 전극, 소스 전극 또는 드레인 전극 등과 동일 재료로 형성되기 때문에, 금속 등의 차광성을 가지는 도전막으로 형성되어 있는 경우가 많다.

[0007] 용량 소자의 용량 값을 크게 할수록, 전계를 더한 상황에서, 액정 소자의 액정 분자의 배향을 일정하게 유지할

수 있는 기간을 길게 할 수 있다. 정지 화상을 표시시킬 수 있는 표시 장치에서, 상기 기간을 길게 할 수 있는 것은 화상 데이터를 재기입하는 횟수를 저감할 수 있어, 소비 전력의 저감을 기대할 수 있다.

[0008] 용량 소자의 전하 용량을 크게 하기 위해서는, 화소 내에서의 용량 소자의 점유 면적을 크게 하는, 구체적으로는 한쌍의 전극이 중첩되는 면적을 크게 한다는 수단이 있다. 그러나, 상기 표시 장치에서, 한쌍의 전극이 중첩되는 면적을 크게 하기 위하여 차광성을 가지는 도전막의 면적을 크게 하면, 화소의 개구율이 저감되어, 화상의 표시 품질이 저하된다.

[0009] 따라서, 상기 과제에 비추어, 본 발명의 일 양태는 개구율이 높은 반도체 장치 등을 제공하는 것을 목적의 하나로 한다. 전하 용량을 증대시키는 것이 가능한 용량 소자를 포함하는 반도체 장치 등을 제공하는 것을 목적의 하나로 한다. 또는, 포토리소그래피 공정의 마스크 매수를 삭감할 수 있는 반도체 장치 등을 제공하는 것을 목적의 하나로 한다. 또는, 오프 전류가 낮은 반도체 장치 등을 제공하는 것을 목적의 하나로 한다. 또는, 소비 전력을 저감한 반도체 장치 등을 제공하는 것을 목적의 하나로 한다. 또는, 투명한 반도체층을 이용한 반도체 장치 등을 제공하는 것을 목적의 하나로 한다. 또는, 신뢰성이 높은 반도체 장치 등을 제공하는 것을 목적의 하나로 한다. 또는, 눈에 편한 반도체 장치 등을 제공하는 것을 목적의 하나로 한다. 또는, 신규 반도체 장치 등을 제공하는 것을 목적의 하나로 한다. 또는, 신규 반도체 장치 등의 제작 방법을 제공하는 것을 목적의 하나로 한다.

[0010] 단, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 본 발명의 일 양태는 이들 과제의 모두를 해결할 필요는 없는 것으로 한다. 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터, 저절로 분명해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터, 이들 이외의 과제를 추출할 수 있다.

**과제의 해결 수단**

[0011] 본 발명의 일 양태는 산화물 반도체층을 한쪽의 전극으로 하고, 투광성 도전막을 다른 한쪽의 전극으로 하는 투광성을 가지는 용량 소자를 포함하는 반도체 장치에 관한 것이다.

[0012] 본 발명의 일 양태는 트랜지스터를 포함하는 반도체 장치이다. 반도체 장치는 제 1 절연막 위에 형성된 제 1 산화물 반도체층 및 제 2 산화물 반도체층과; 제 1 산화물 반도체층과 전기적으로 접속된 소스 전극층 및 드레인 전극층과; 제 2 산화물 반도체층과 전기적으로 접속된 배선과; 제 1 절연막, 제 1 산화물 반도체층, 제 2 산화물 반도체층, 소스 전극층, 드레인 전극층, 및 배선 위에 형성된 제 2 절연막과; 제 2 절연막을 사이에 끼우고 제 1 산화물 반도체층과 중첩하는 게이트 전극층과; 제 2 절연막, 및 게이트 전극층 위에 형성된 제 3 절연막과; 제 3 절연막 위에 형성된 제 4 절연막과; 제 2 산화물 반도체층과 중첩하고, 제 4 절연막 위에 형성된 투광성 도전막을 포함한다. 반도체 장치는 또한 유전체를 포함하고, 제 2 산화물 반도체층의 적어도 일부를 제 1 전극으로 하고, 투광성 도전막의 적어도 일부를 제 2 전극으로 한 용량 소자를 포함한다.

[0013] 제 1 산화물 반도체층 및 제 2 산화물 반도체층은 같은 재료로 형성되어 있는 것이 바람직하다.

[0014] 제 1 산화물 반도체층 및 제 2 산화물 반도체층은 에너지 갭이 2.0 eV 이상인 것이 바람직하다.

[0015] 제 2 산화물 반도체층에 수소, 붕소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬, 및 희가스 원소로부터 선택된 1종 이상의 도펀트가 첨가되어 있어도 좋다.

[0016] 유전체는 제 2 절연막, 제 3 절연막, 및 제 4 절연막으로 형성할 수 있다.

[0017] 유전체를 제 3 절연막, 및 제 4 절연막으로 형성해도 좋다.

[0018] 유전체를 제 4 절연막으로 형성해도 좋다.

[0019] 제 3 절연막은 산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, 또는 Ga-Zn계 금속 산화물로부터 선택된 산화 절연 재료의 단층 구조 또는 적층 구조로 형성하는 것이 바람직하다.

[0020] 제 4 절연막은 질화산화 실리콘, 질화 실리콘, 질화 알루미늄, 질화산화 알루미늄으로부터 선택된 질화 절연 재료의 단층 구조 또는 적층 구조로 형성하는 것이 바람직하다.

[0021] 제 1 절연막과 제 2 산화물 반도체층과의 사이에 수소를 포함하는 질화 절연막이 형성되어 있어도 좋다.

[0022] 소스 전극층, 드레인 전극층, 및 배선은 동일한 절연 표면 위에 형성된 구성으로 할 수 있다.

[0023] 소스 전극층, 드레인 전극층, 및 배선은 같은 재료로 형성된 구성으로 할 수 있다.

- [0024] 투광성 도전막은 소스 전극 또는 드레인 전극의 한쪽과 전기적으로 접속되어 있는 구성으로 할 수 있다.
- [0025] 본 발명의 다른 일 양태는 제 1 절연막 위에 제 1 산화물 반도체층 및 제 2 산화물 반도체층을 형성하고; 제 1 산화물 반도체층과 전기적으로 접속하는 소스 전극층 및 드레인 전극층, 및 제 2 산화물 반도체층과 전기적으로 접속하는 배선을 형성하고; 제 1 절연막, 제 1 산화물 반도체층, 제 2 산화물 반도체층, 소스 전극층, 드레인 전극층, 및 배선 위에 제 2 절연막을 형성하고; 제 2 절연막을 사이에 끼우고 제 1 산화물 반도체층과 중첩하는 게이트 전극층을 형성하고; 제 2 절연막 및 게이트 전극층 위에 제 3 절연막을 형성하고; 제 3 절연막 위에 제 4 절연막을 형성하고; 제 2 절연막, 제 3 절연막, 및 제 4 절연막에 소스 전극층 또는 드레인 전극층에 통하는 개구부를 형성하고; 제 4 절연막 위에 개구부로 소스 전극층 또는 드레인 전극층과 전기적으로 접속하는 투광성 도전막을 형성하고, 트랜지스터와 제 1 전극으로서 적어도 제 2 산화물 반도체층의 일부, 제 2 전극으로서 투광성 도전막의 적어도 일부, 유전체층을 가지는 용량 소자를 형성하는 것을 포함하는 반도체 장치의 제작 방법이다.
- [0026] 제 1 산화물 반도체층 및 제 2 산화물 반도체층은 같은 재료로 형성하는 것이 바람직하다.
- [0027] 제 1 산화물 반도체층 및 제 2 산화물 반도체층은 에너지 갭이 2.0 eV 이상의 재료로 형성하는 것이 바람직하다.
- [0028] 제 2 산화물 반도체층에 수소, 붕소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬, 및 희가스 원소로부터 선택된 1종 이상의 도펀트를 첨가해도 좋다.
- [0029] 유전체는 제 2 절연막, 제 3 절연막, 및 제 4 절연막으로 형성할 수 있다.
- [0030] 제 2 산화물 반도체층 위의 제 2 절연막을 에칭하여, 유전체를 제 3 절연막 및 제 4 절연막으로 형성해도 좋다.
- [0031] 제 2 산화물 반도체층 위의 제 2 절연막 및 제 3 절연막을 에칭하여, 유전체를 제 4 절연막으로 형성해도 좋다.
- [0032] 제 3 절연막을, 산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, 또는 Ga-Zn계 금속 산화물로부터 선택된 산화 절연 재료의 단층 구조 또는 적층 구조로 형성하는 것이 바람직하다.
- [0033] 제 4 절연막을, 질화산화 실리콘, 질화 실리콘, 질화 알루미늄, 질화산화 알루미늄으로부터 선택된 질화 절연 재료의 단층 구조 또는 적층 구조로 형성하는 것이 바람직하다.
- [0034] 제 1 절연막과 제 2 산화물 반도체층과의 사이에 수소를 포함하는 질화 절연막을 형성해도 좋다.
- [0035] 소스 전극층, 드레인 전극층, 및 배선을 같은 재료로 형성하는 것이 바람직하다.
- [0036] 소스 전극층, 상기 드레인 전극층, 및 상기 배선을 동일한 절연 표면 위에 형성하는 것이 바람직하다.

**발명의 효과**

- [0037] 본 발명의 일 양태로부터, 개구율이 높은 반도체 장치 등을 제공할 수 있다. 전하 용량을 증대시킬 수 있는 용량 소자를 포함하는 반도체 장치 등을 제공할 수 있다. 또는, 포토리소그래피 공정의 마스크 매수를 삭감할 수 있는 반도체 장치 등을 제공할 수 있다. 또는, 오프 전류가 낮은 반도체 장치 등을 제공할 수 있다. 또는, 소비 전력이 저감된 반도체 장치 등을 제공할 수 있다. 또는, 투명한 반도체층을 이용한 반도체 장치 등을 제공할 수 있다. 또는, 신뢰성이 높은 반도체 장치 등을 제공할 수 있다. 또는, 눈에 편한 반도체 장치를 제공할 수 있다. 또는, 반도체 장치의 제작 방법을 제공할 수 있다.

**도면의 간단한 설명**

- [0038] 도 1은 반도체 장치를 설명하는 상면도.
- 도 2는 반도체 장치를 설명하는 단면도.
- 도 3은 반도체 장치를 설명하는 도면.
- 도 4의 (A) 및 도 4의 (B)는 반도체 장치의 회로를 설명하는 회로도.
- 도 5의 (A) 및 도 5의 (B)는 반도체 장치의 제작 방법을 설명하는 단면도.
- 도 6의 (A) 및 도 6의 (B)는 반도체 장치의 제작 방법을 설명하는 단면도.

- 도 7의 (A) 및 도 7의 (B)는 반도체 장치의 용량 소자를 설명하는 단면도.
- 도 8은 반도체 장치를 설명하는 단면도.
- 도 9의 (A) 및 도 9의 (B)는 반도체 장치를 설명하는 단면도.
- 도 10의 (A) 및 도 10의 (B)는 산화물 반도체막의 극미 전자선 회절 패턴을 나타내는 도면.
- 도 11의 (A) 및 도 11의 (B)는 산화물 반도체막의 CPM 측정 결과를 나타내는 도면.
- 도 12는 CAAC-OS막의 CPM 측정 결과를 나타내는 도면.
- 도 13의 (A)는 산화물 반도체막의 단면 TEM상 및 도 13의 (B) 내지 도 13의 (D)는 극미 전자선 회절 패턴.
- 도 14의 (A)는 산화물 반도체막의 평면 TEM상 및 도 14의 (B)는 제한 시야 전자선 회절 패턴.
- 도 15의 (A) 내지 도 15의 (C)는 전자선 회절 강도 분포의 개념도.
- 도 16은 석영 유리 기판의 극미 전자선 회절 패턴.
- 도 17은 산화물 반도체막의 극미 전자선 회절 패턴.
- 도 18의 (A) 내지 도 18의 (B)는 산화물 반도체막의 단면 TEM상.
- 도 19는 산화물 반도체막의 X선 회절 분석 결과.
- 도 20은 CAAC-OS막의 단면 TEM상.
- 도 21의 (A) 내지 도 21의 (D)는 CAAC-OS막의 전자선 회절 패턴.
- 도 22는 CAAC-OS막의 단면 TEM상.
- 도 23의 (A)는 CAAC-OS막의 단면 TEM상 및 도 23의 (B)는 X선 회절 스펙트럼.
- 도 24의 (A) 내지 도 24의 (D)는 CAAC-OS막의 전자선 회절 패턴.
- 도 25의 (A)는 CAAC-OS막의 단면 TEM상 및 도 25의 (B)는 X선 회절 스펙트럼.
- 도 26의 (A) 내지 도 26의 (D)는 CAAC-OS막의 전자선 회절 패턴.
- 도 27의 (A)는 CAAC-OS막의 단면 TEM상 및 도 27의 (B)는 X선 회절 스펙트럼.
- 도 28의 (A) 내지 도 28의 (D)는 CAAC-OS막의 전자선 회절 패턴.
- 도 29의 (A) 내지 도 29의 (C)는 반도체 장치를 설명하는 상면도.
- 도 30은 반도체 장치를 설명하는 단면도.
- 도 31의 (A) 내지 도 31의 (C)는 반도체 장치를 설명하는 단면도 및 상면도.
- 도 32는 표시 기능을 가지는 정보처리 장치의 구성을 설명하는 블록도.
- 도 33의 (A1) 내지 도 33의 (A2)는 정보 처리 장치의 표시부의 구성을 설명하는 블록도 및 회로도.
- 도 34의 (A)는 정보 처리 장치의 구성을 설명하는 블록도 및 도 34의 (B)는 화상 데이터를 설명하기 위한 모식도.
- 도 35의 (A1) 및 도 35의 (A2), 도 35의 (B1) 및 도 35의 (B2)는 정보 처리 장치의 효과를 설명하는 도면.
- 도 36은 정보 처리 장치를 설명하는 블록도.
- 도 37의 (A) 내지 도 37의 (C)는 반도체 장치를 이용한 전자기기를 설명하는 도면.
- 도 38의 (A) 및 도 38의 (B)는 반도체 장치를 이용한 전자기기를 설명하는 도면.
- 도 39의 (A) 내지 도 39의 (C)는 반도체 장치를 이용한 전자기기를 설명하는 도면.

**발명을 실시하기 위한 구체적인 내용**

[0039] 이하에서는, 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명으

로 한정되지 않고, 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정해 해석되는 것은 아니다.

- [0040] 이하에 설명하는 본 발명의 구성에서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 다른 도면간에 공통으로 이용하고, 그 반복의 설명은 생략한다. 또한, 같은 기능을 가지는 부분을 가리키는 경우에는, 배치 패턴을 같게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0041] 본 명세서에서 설명하는 각 도면에서, 각 구성의 크기, 막의 두께, 또는 영역은 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일로 한정되지 않는다.
- [0042] 본 명세서 등에서, "제 1", "제 2" 등으로서 붙여지는 서수사는 편의상 이용하는 것이고, 공정 순서 또는 적층 순서를 나타내는 것은 아니다. 또한, 본 명세서 등에서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.
- [0043] 단, 전압은 2점간에서의 전위차를 말하며, 전위는 어느 한점에서의 정전장 중에 있는 단위 전하가 가지는 정전 에너지(전기적인 위치 에너지)를 말한다. 단, 일반적으로, 어느 한점에서의 전위와 기준이 되는 전위(예를 들면 접지 전위)와의 전위차를, 단순히 전위 혹은 전압이라고 부르며, 전위와 전압이 동의어로서 이용되는 경우가 많다. 이 때문에, 본 명세서에서는 특별히 지정하는 경우를 제외하고, 전위를 전압이라고 바꿔 읽어도 좋고, 전압을 전위라고 바꿔 읽어도 좋다.
- [0044] 본 명세서에서, 포토리소그래피 처리를 행한 후에 에칭 처리를 행하는 경우는 포토리소그래피 처리로 형성한 레지스트 마스크는 제거하는 것으로 한다.
- [0045] (실시형태 1)
- [0046] 본 실시형태에서는, 본 발명의 일 양태인 반도체 장치에 대하여, 도면을 이용하여 설명한다. 단, 본 실시형태에서는, 액정 표시 장치를 예로 하여 본 발명의 일 양태인 반도체 장치를 설명한다. 단, 본 발명의 일 양태인 반도체 장치는 다른 표시 장치에도 적용할 수 있다.
- [0047] 도 3은 본 발명의 일 양태의 반도체 장치를 설명하는 도면이다. 도 3에 나타내는 반도체 장치는 화소부(100)와; 제 1 구동 회로(104)와; 제 2 구동 회로(106)와; 각각이 평행 또는 대략 평행하게 배치되고, 또한 제 1 구동 회로(104)에 의해 전위가 제어되는 m개의 주사선(107)과; 각각이 평행 또는 대략 평행하게 배치되고, 또한 제 2 구동 회로(106)에 의해 전위가 제어되는 n개의 신호선(109)을 포함한다. 화소부(100)는 매트릭스상으로 배치된 복수의 화소(101)를 포함한다. 상기 반도체 장치는 용량선(115)(도 3에 도시하지 않음)을 포함한다. 용량선(115)은 주사선(107)을 따라 각각이 평행 또는 대략 평행하게 배치, 또는 신호선(109)을 따라 각각이 평행 또는 대략 평행하게 배치되어 있다.
- [0048] 각 주사선(107)은 화소부(100)에서 m행 n열에 배치된 화소(101) 중, 어느 행에 배치된 n개의 화소(101)와 전기적으로 접속된다. 각 신호선(109)은 m행 n열에 배치된 화소(101) 중, 어느 열에 배치된 m개의 화소(101)에 전기적으로 접속된다. 단, m, n은 모두 1 이상의 정수(整數)이다. 각 용량선(115)은 m행 n열에 배치된 화소(101) 중, 어느 행에 배치된 n개의 화소(101)와 전기적으로 접속된다. 단, 용량선(115)이 신호선(109)을 따라, 각각이 평행 또는 대략 평행하게 배치되어 있는 경우는 m행 n열에 배치된 화소(101) 중, 어느 열에 배치된 m개의 화소(101)에 전기적으로 접속된다.
- [0049] 단, 제 1 구동 회로(104)는 주사선(107)에 접속된 트랜지스터를 스위칭하는 신호를 공급하는 기능; 예를 들면, 주사선 구동 회로로서의 기능을 가질 수 있다. 또한, 제 2 구동 회로(106)는 신호선(109)에 접속된 트랜지스터에 영상 신호를 공급하는 기능; 예를 들면, 신호선 구동 회로로서의 기능을 가질 수 있다. 단, 이것에 한정하지 않고, 제 1 구동 회로(104) 및 제 2 구동 회로(106)는 다른 신호를 공급할 수도 있다.
- [0050] 본 실시형태에서는, 액정 표시 장치를 예로서 설명하기 위해, 편의상, 제 1 구동 회로(104)에 접속된 배선을 주사선(107), 용량선(115)이라고 칭하며, 제 2 구동 회로(106)에 접속된 배선을 신호선(109)이라고 칭하지만; 그 명칭에 의해 기능을 한정하는 것은 아니다.
- [0051] 도 1은 상기 반도체 장치에 포함되는 화소(101)의 일례의 구성을 설명하는 상면도이다. 단, 도 1에서는, 액정층 및 액정 소자에 포함되는 한쌍의 전극 중, 1개를 생략한다.
- [0052] 도 1에 나타내는 화소(101)에서, 주사선(107)은 신호선(109)에 대략 직교하는 방향(행 방향)으로 연장되어 형성되어 있다. 신호선(109)은 주사선(107)에 대략 직교하는 방향(열 방향)으로 연장되어 형성되어 있다. 용량선

(115)은 신호선(109)과 평행 방향으로 연장되어 형성되어 있다. 단, 주사선(107)은 제 1 구동 회로(104)(도 3 참조)와 전기적으로 접속되어 있고, 신호선(109)은 제 2 구동 회로(106)(도 3 참조)에 전기적으로 접속되어 있다.

[0053] 트랜지스터(103)는 주사선(107) 및 신호선(109)이 교차하는 영역 근방에 제공되어 있다. 트랜지스터(103)는 적어도, 채널 형성 영역을 포함하는 반도체막(111), 게이트 전극, 게이트 절연막(도 1에 도시하지 않음), 소스 전극, 및 드레인 전극을 포함한다. 또한, 주사선(107)에서, 반도체막(111)과 중첩하는 영역은 트랜지스터(103)의 게이트 전극으로서 기능한다. 신호선(109)에서, 반도체막(111)과 중첩하는 영역은 트랜지스터(103)의 소스 전극 또는 드레인 전극의 한쪽으로서 기능한다. 도전막(113)에서, 반도체막(111)과 중첩하는 영역은 트랜지스터(103)의 소스 전극 또는 드레인 전극의 다른 한쪽으로서 기능한다. 이 때문에, 게이트 전극, 소스 전극, 드레인 전극을 각각, 주사선(107), 신호선(109), 도전막(113)으로 나타내는 경우가 있다. 또한, 도 1에서, 주사선(107)은 상면 형상에서 단부가 반도체막(111)의 단부보다 외측에 위치한다. 이 때문에, 주사선(107)은 외부로부터의 광을 차단하는 차광막으로서 기능한다. 이 결과, 트랜지스터에 포함되는 반도체막(111)에 광이 조사되지 않고, 트랜지스터의 전기 특성의 변동을 억제할 수 있다.

[0054] 본 발명의 일 양태에서는 반도체막(111)에 산화물 반도체를 이용하는 것이 바람직하다. 산화물 반도체를 이용한 트랜지스터는 적절한 조건에서 제작함으로써 오프 전류를 매우 작게 할 수 있어, 반도체 장치의 소비 전력을 저감할 수 있다.

[0055] 단, 본 발명의 일 양태에서, 산화물 반도체를 이용한 트랜지스터는 n채널형 트랜지스터이다. 또한, 산화물 반도체에 포함되는 산소 결손은 캐리어를 생성할 수도 있어, 트랜지스터의 전기 특성 및 신뢰성을 저하시킬 우려가 있다. 예를 들면, 트랜지스터의 문턱 전압이 마이너스 방향으로 변동하여, 게이트 전압이 0 V일 때에 드레인 전류가 흐르게 되는 경우가 있다. 이와 같이, 게이트 전압이 0 V인 경우에 드레인 전류가 흐르게 되는 것을 노멀리-온 특성이라고 한다. 또한, 게이트 전압이 0 V인 경우에 드레인 전류가 흐르지 않았다고 간주할 수 있는 트랜지스터를 노멀리-오프 특성이라고 한다.

[0056] 그 때문에, 반도체막(111)에 산화물 반도체를 이용할 때, 반도체막(111)인 산화물 반도체막에 포함되는 결함(대표적으로는 산소 결손)은 가능한 한 저감되어 있는 것이 바람직하다. 예를 들면, 자장의 방향을 막면에 대하여 평행하게 인가한 전자 스핀 공명법에 의한  $g$ 값=1.93의 스핀 밀도(산화물 반도체막에 포함되는 결함 밀도에 상당함)는 측정기의 검출 하한 이하까지 저감되어 있는 것이 바람직하다. 산화물 반도체막에 포함되는 결함을 가능한 한 저감함으로써, 트랜지스터(103)가 노멀리-온 특성이 되는 것을 억제할 수 있고, 반도체 장치의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0057] 트랜지스터의 문턱 전압의 마이너스 방향으로의 변동은 산소 결손만이 아니고, 산화물 반도체에 포함되는 수소(물 등의 수소 화합물을 포함함)에 의해서도 발생하는 경우가 있다. 산화물 반도체에 포함되는 수소의 일부는 도너 준위의 형성에 기여하여, 캐리어인 전자를 생성하게 된다. 따라서, 수소가 포함되어 있는 산화물 반도체를 포함한 트랜지스터는 노멀리-온 특성이 되기 쉽다.

[0058] 따라서, 반도체막(111)에 산화물 반도체를 이용할 때, 반도체막(111)인 산화물 반도체막은 수소가 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 2차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectrometry)에 의해 얻어지는 수소 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 보다 바람직하게는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하, 더욱 바람직하게는  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 이하로 하는 영역을 가지도록 반도체막(111)을 형성한다.

[0059] 또한, 2차 이온 질량 분석법에 의해 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $2 \times 10^{16}$  atoms/cm<sup>3</sup> 이하로 하는 영역을 가지도록 반도체막(111)을 형성하는 것이 바람직하다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있어, 트랜지스터(103)의 오프 전류를 증대시키는 경우가 있다.

[0060] 또한, 반도체막(111)인 산화물 반도체막에 질소가 포함되어 있으면, 캐리어인 전자가 발생하고, 캐리어 밀도가 증가하여, n형화하기 쉽다. 이 결과, 질소가 포함되어 있는 산화물 반도체를 이용한 트랜지스터는 노멀리-온 특성이 되기 쉽다. 따라서, 상기 산화물 반도체막에서 질소는 가능한 한 저감되어 있는 것이 바람직하고; 예를 들면, 질소 농도는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하로 하는 영역을 가지도록 반도체막(111)을 형성하는 것이 바람직하다.

- [0061] 이와 같이, 불순물(수소, 질소, 알칼리 금속 또는 알칼리 토금속 등)을 가능한 한 저감시켜, 고순도화시킨 산화물 반도체막을 반도체막(111)으로 함으로써, 트랜지스터(103)가 노멀리-온 특성이 되는 것을 억제할 수 있어, 트랜지스터(103)의 오프 전류를 매우 저감할 수 있다. 따라서, 양호한 전기 특성을 가지는 반도체 장치를 제작할 수 있다. 또한, 신뢰성을 향상시킨 반도체 장치를 제작할 수 있다.
- [0062] 고순도화된 산화물 반도체막을 포함한 트랜지스터의 오프 전류가 낮은 것은 다양한 실험에 의해 증명할 수 있다. 예를 들면, 채널 폭이  $1 \times 10^6 \mu\text{m}$ 이고 채널 길이(L)가  $10 \mu\text{m}$ 의 소자인 경우에도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1 V부터 10 V의 범위에서, 오프 전류가 반도체 파라미터 분석기의 측정 한계 이하, 즉  $1 \times 10^{-13} \text{A}$  이하라는 특성을 얻을 수 있다. 이 경우, 트랜지스터의 채널 폭으로 나눈 수치에 상당하는 오프 전류는  $100 \text{ zA}/\mu\text{m}$  이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 상기 트랜지스터로 제어하는 회로를 이용하여, 오프 전류의 측정을 행하였다. 상기 측정에서는, 상기 트랜지스터에 고순도화된 산화물 반도체막을 채널 형성 영역에 이용하여, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류를 측정했다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3 V인 경우에, 수십  $\text{yA}/\mu\text{m}$ 라는 매우 낮은 오프 전류를 얻을 수 있는 것을 알 수 있었다. 따라서, 고순도화된 산화물 반도체막을 포함한 트랜지스터는 오프 전류가 현저하게 작다고 할 수 있다.
- [0063] 도 1에서, 도전막(113)은 개구(117)를 통하여 화소 전극(121)과 전기적으로 접속되어 있다. 화소 전극(121)은 투광성을 가지는 도전막으로 형성되는 액정 소자의 한쪽의 전극이다.
- [0064] 용량 소자(105)는 다음을 이용하여 형성된다: 투광성을 가지는 산화물 반도체로 형성되는 반도체막(119)을 한쪽의 전극으로 하고, 투광성을 가지는 화소 전극(121)을 다른 한쪽의 전극으로 해, 트랜지스터(103)에 포함되고, 투광성을 가지는 절연막(도 1에 도시하지 않음)을 유전체막으로서 형성된다. 즉, 용량 소자(105)는 투광성을 가진다. 또한, 용량 소자(105)의 한쪽의 전극인 반도체막(119)은 용량선(115)과 전기적으로 접속되어 있다.
- [0065] 이와 같이, 용량 소자(105)는 투광성을 가지기 때문에, 액정 소자와의 중첩 영역에서도 광을 투과시킬 수 있다. 따라서, 화소(101) 내에 용량 소자(105)를 크게(대면적으로) 형성해도 개구율을 예를 들면 55% 이상, 또한 60% 이상으로 높게 할 수 있게 된다. 또한, 용량 소자에서의 전하 용량을 증대시킨 반도체 장치를 얻을 수 있다.
- [0066] 예를 들면, 해상도의 높은 액정 표시 장치에서는, 화소 전체의 면적이 축소되지만, 용량 소자에서는 필요한 전하 용량을 확보해야 하고, 면적의 축소에는 한도가 있다. 이 때문에, 해상도가 높은 액정 표시 장치에서는, 개구율이 작아지게 된다. 한편, 본 실시형태에 나타내는 용량 소자(105)는 투광성을 가지기 때문에; 상기 용량 소자를 화소에 형성함으로써, 각 화소에서 충분한 전하 용량을 얻으면서, 개구율을 높일 수 있다. 대표적으로는, 화소 밀도가 200 ppi 이상, 또한 300 ppi 이상인 고해상도의 액정 표시 장치에 이용하는 것이 적합하다. 또한, 본 발명의 일 양태는 개구율을 높일 수 있기 때문에, 백 라이트 등의 광원의 광을 효율적으로 이용할 수 있어, 표시 장치의 소비 전력을 저감할 수 있다.
- [0067] 그 다음에, 도 1에 나타내는 일점 쇄선 A1-A2간, 일점 쇄선 B1-B2간, 일점 쇄선 C1-C2간의 단면도, 및 도 3에 나타내는 제 1 구동 회로(104)에 이용되는 트랜지스터의 단면도를 도 2에 나타낸다. 단, 제 1 구동 회로(104)의 상면도를 생략함과 동시에, 도 2에서는, 제 1 구동 회로(104)의 단면도를 D1-D2로서 나타낸다. 제 1 구동 회로(104)에 이용되는 트랜지스터는 제 2 구동 회로(106)에 이용할 수 있다.
- [0068] 처음에, 화소(101)의 일점 쇄선 A1-A2간, 일점 쇄선 B1-B2간, 및 일점 쇄선 C1-C2간의 단면 구조에 대하여 설명한다.
- [0069] 기관(102) 위에는 하지 절연막(110)이 제공되고, 상기 하지 절연막 위에 반도체막(111), 반도체막(119)이 제공되어 있다. 반도체막(111) 위에는, 트랜지스터(103)의 소스 전극 또는 드레인 전극의 한쪽을 포함하는 신호선(109), 및 트랜지스터(103)의 소스 전극 또는 드레인 전극의 다른 한쪽을 포함하는 도전막(113)이 제공된다. 반도체막(119) 위에는 용량선(115)이 제공되어 있다. 반도체막(111), 반도체막(119), 신호선(109), 도전막(113), 용량선(115) 위에는, 게이트 절연막(127)이 제공되어 있고, 주사선(107)이 게이트 절연막(127)을 사이에 끼우고 반도체막(111)과 중첩한다. 게이트 절연막(127) 위, 신호선(109) 위, 반도체막(111) 위, 도전막(113) 위, 반도체막(119) 위에는, 트랜지스터(103)의 보호 절연막으로서 기능하는 절연막(129), 절연막(131), 및 절연막(132)이 제공되어 있다. 절연막(129), 절연막(131), 및 절연막(132)에는 도전막(113)에 이르는 개구(117)(도 1 참조)를 포함하고, 상기 개구를 덮도록 화소 전극(121)(도 1 참조)이 제공되어 있다.

- [0070] 본 실시형태에 나타내는 용량 소자(105)는 한쌍의 전극 중 한쪽의 전극이 하지 절연막(110) 위에서 반도체막(111)과 마찬가지로 형성된 반도체막(119)이며, 한쌍의 전극 중 다른 한쪽의 전극이 화소 전극(121)이며, 한쌍의 전극의 사이에 형성된 유전체막이 절연막(129), 절연막(131), 및 절연막(132)이다.
- [0071] 단, 반도체막(119)에는 도펀트가 첨가되어 있어도 좋다. 반도체막(119)이 산화물 반도체인 경우, 예를 들면, 수소, 붕소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬, 및 희가스 원소로부터 선택된 1종 이상의 도펀트를 첨가함으로써, 산화물 반도체층을 n형화시켜, 도전율을 높일 수 있다. 즉, 반도체막(119)은 도전막이라고 할 수도 있고, 용량 소자의 한쪽의 전극으로서 이용할 수 있다.
- [0072] 단, 도전막으로서 작용하는 반도체막(119)은 반도체막(111)보다 수소 농도가 높은 것이 바람직하다. 반도체막(119)에서, 2차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectrometry)에 의해 얻어지는 수소 농도는  $8 \times 10^{19}$  atoms/cm<sup>3</sup> 이상, 바람직하게는  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이상, 보다 바람직하게는  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이상이다. 반도체막(111)에서, 2차 이온 질량 분석법에 의해 얻어지는 수소 농도는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 보다 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 보다 바람직하게는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하, 더욱 바람직하게는  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 이하이다.
- [0073] 도전막으로서 작용하는 반도체막(119)은 반도체막(111)보다 저항률이 낮다. 반도체막(119)의 저항률이, 반도체막(111)의 저항률의  $1 \times 10^{-8}$ 배 이상  $1 \times 10^{-1}$ 배 이하인 것이 바람직하다. 반도체막(119)의 저항률은 대표적으로는  $1 \times 10^{-3}$ Ωcm 이상  $1 \times 10^4$ Ωcm 미만, 더욱 바람직하게는, 저항률이  $1 \times 10^{-3}$ Ωcm 이상  $1 \times 10^{-1}$ Ωcm 미만이면 좋다.
- [0074] 단, 반도체막(119)은 반도체막(111) 또는 반도체막(231)과는 다른 재료를 이용하여 형성할 수도 있다. 즉, 반도체막(119)은 반도체막(111) 또는 반도체막(231)과는 다른 공정을 이용하여 형성할 수도 있다.
- [0075] 단, 반도체막(119)과 마찬가지로 반도체막을 형성하고, 그 반도체막을 이용하여, 저항 소자를 형성할 수도 있다. 그리고, 그 저항 소자를 이용하여, 보호 회로를 형성할 수도 있다. 보호 회로를 형성함으로써, 정전기 등으로부터의 파괴를 저감할 수 있다.
- [0076] 다음에, 제 1 구동 회로(104)에 제공되는 트랜지스터의 구조에 대하여 설명한다.
- [0077] 기관(102) 위에 도전막(241)이 제공되고, 상기 기관 위 및 상기 도전막 위에는 하지 절연막(110)이 제공되어 있다. 하지 절연막(110) 위의 도전막(241)과 중첩하는 영역에는 반도체막(231)이 제공되어 있다. 반도체막(231) 위에는, 트랜지스터(223)의 소스 전극 또는 드레인 전극의 한쪽을 포함하는 배선(229), 및 트랜지스터(223)의 소스 전극 또는 드레인 전극의 다른 한쪽을 포함하는 배선(233)이 제공되어 있다. 반도체막(231), 배선(229), 배선(233) 위에는, 게이트 절연막(127)이 제공되어 있고, 상기 게이트 절연막의 반도체막(231)과 중첩하는 영역 위에 게이트 전극(227)이 제공되어 있다. 게이트 절연막(127) 위, 게이트 전극(227) 위에는 트랜지스터(223)의 보호 절연막으로서 기능하는 절연막(129), 절연막(131), 및 절연막(132)이 제공되어 있다. 단, 제 1 구동 회로(104)에 형성되는 트랜지스터는 도전막(241)을 포함하지 않는 구성이어도 좋다.
- [0078] 트랜지스터(223)에서, 반도체막(231)을 사이에 끼우고, 게이트 전극(227)과 중첩하는 도전막(241)을 포함함으로써, 다른 드레인 전압에서, 온 전류의 상승 게이트 전압의 편차를 저감할 수 있다. 또한, 도전막(241)과 대향하는 반도체막(231)의 면에서, 배선(229) 및 배선(233)의 사이에 흐르는 전류를 제어할 수 있고, 트랜지스터간에서의 전기 특성의 편차를 저감할 수 있다. 또한, 도전막(241)을 형성함으로써, 주위의 전계의 변화가 반도체막(231)에 주는 영향을 경감하여, 트랜지스터의 신뢰성을 향상시킬 수 있다. 또한, 도전막(241)의 전위를 구동 회로의 최저 전위(V<sub>ss</sub>, 예를 들면 배선(229)의 전위를 기준으로 하는 경우, 배선(229)의 전위)와 같은 전위 또는 그것과 동등한 전위로 함으로써, 트랜지스터의 문턱 전압의 변동을 저감할 수 있고, 트랜지스터의 신뢰성을 높일 수 있다.
- [0079] 단, 게이트 절연막(127), 주사선(107), 게이트 전극(227) 위에 제공되는 절연막은 상술한 3층의 구성에 한정되지 않고, 1층, 2층 또는 4층 이상이어도 좋다.
- [0080] 다음에, 상기 구조의 구성 요소에 대하여 상세하게 설명한다.
- [0081] 기관(102)의 재질 등에 큰 제한은 없지만, 적어도, 반도체 장치의 제작 공정에서 행하는 열처리에 견딜 수 있을 정도의 내열성을 가지고 있을 필요가 있다. 예를 들면, 유리 기관, 세라믹 기관, 플라스틱 기관 등이 있고, 유

리 기관으로서, 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리 혹은 알루미늄보로실리케이트 유리 등의 무알칼리 유리 기관을 이용하면 좋다. 또한, 스테인리스 합금 등의 투광성을 가지지 않은 기관을 이용할 수도 있고, 그 경우는 기관 표면에 절연막을 제공하는 것이 바람직하다. 기관(102)으로서, 다음의 어느 것을 이용해도 좋다: 석영 기관, 사파이어 기관, 단결정 반도체 기관, 다결정 반도체 기관, 화합물 반도체 기관, SOI(Silicon On Insulator) 기관 등을 이용해도 좋다.

[0082] 하지 절연막(110)은 예를 들면, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 haf늄, 산화 갈륨 또는 Ga-Zn계 금속 산화물 등의 절연 재료를 이용하여, 단층 구조 또는 적층 구조로 형성할 수 있다. 하지 절연막(110)의 한 영역의 두께는 30 nm 이상 500 nm 이하, 바람직하게는 150 nm 이상 400 nm 이하로 한다.

[0083] 반도체막(111), 반도체막(119), 및 반도체막(231)에는 산화물 반도체막을 이용하는 것이 바람직하다. 상기 산화물 반도체막은 비정질 구조, 단결정 구조, 또는 다결정 구조로 할 수 있다. 반도체막(111)의 한 영역의 두께는 1 nm 이상 100 nm 이하, 바람직하게는 1 nm 이상 50 nm 이하, 더욱 바람직하게는 1 nm 이상 30 nm 이하, 가장 바람직하게는 3 nm 이상 20 nm 이하로 한다.

[0084] 단, 하지 절연막(110) 아래에, 반도체막(111)의 채널 영역을 숨기도록, 차광막을 제공할 수도 있다. 차광막으로서, 예를 들면, 도전막(241)과 동시에 형성해도 좋다.

[0085] 반도체막(111), 반도체막(119), 및 반도체막(231)에 적용할 수 있는 반도체로서, 에너지 갭이 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이며, 3.9 eV 미만, 바람직하게는 3.7 eV 미만, 보다 바람직하게는 3.5 eV 미만의 산화물 반도체를 들 수 있다. 이와 같이, 에너지 갭이 넓은 산화물 반도체를 이용함으로써, 트랜지스터(103)의 오프 전류를 저감할 수 있다. 또한, 상기 산화물 반도체는 가시광에 대한 투과율이 높고, 용량 소자(105)의 한쪽의 전극에 이용함으로써, 투광성을 가지는 용량 소자를 형성할 수 있어, 액정 표시 장치 등의 화소의 개구율을 향상시킬 수 있다.

[0086] 산화물 반도체막을 n형화함으로써, 산화물 반도체막의 광학 밴드 갭은, 2.4 eV 이상 3.1 eV 이하, 또는 2.6 eV 이상 3.0 eV 이하로 할 수 있다. 또한, 예를 들면, 반도체막(119)으로서 이용하는 산화물 반도체막을 원자수비가 In:Ga:Zn=1:1:1의 In-Ga-Zn계 금속 산화물로 한 경우, 그 광학 밴드 갭은 3.15 eV이다. 또한, 화소 전극(121) 등에 이용되는 인듐 주석 산화물의 광학 밴드 갭은 3.7eV~3.9eV이다. 따라서, 화소 전극(121)에서는 투과하게 되는 가시광선 중에서 가장 에너지가 높은 파장을 포함하는 광 및 자외광을 반도체막(119)에서는 흡수할 수 있다. 상기 에너지가 높은 파장을 포함하는 광 및 자외광에 의한 눈의 피해가 염려되므로, 화소(101)에 투광성을 포함하는 용량 소자(105)를 이용한 반도체 장치는 눈에 좋다고 할 수 있다. 단, 용량 소자(105)가 화소(101)의 모든 영역과 중첩하지 않아도 좋다. 적어도, 용량 소자(105)가 화소(101)의 일부와 중첩함으로써, 가시광선 중에서도 에너지가 높은 파장을 포함하는 광 및 자외광을 흡수할 수 있다.

[0087] 반도체막(111), 반도체막(119), 및 반도체막(231)에 적용할 수 있는 산화물 반도체는 적어도 인듐(In) 혹은 아연(Zn)을 포함하는 것이 바람직하다. 또는, In와 Zn의 양쪽을 포함하는 것이 바람직하다. 상기 산화물 반도체를 포함한 트랜지스터의 전기 특성의 편차를 줄이기 위해, 그것들과 함께 스테빌라이저(stabilizer)의 하나, 또는 복수를 포함하는 것이 바람직하다.

[0088] 스테빌라이저로서는, 갈륨(Ga), 주석(Sn), haf늄(Hf), 알루미늄(Al) 또는 지르코늄(Zr) 등이 있다. 다른 스테빌라이저로서는, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴뮴(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.

[0089] 반도체막(111), 반도체막(119), 및 반도체막(231)에 적용할 수 있는 산화물 반도체로서는, 예를 들면, 다음을 이용할 수 있다: 산화물 반도체로서 산화 인듐; 산화 주석; 산화 아연; 2종류의 금속을 포함하는 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물; 3종류의 금속을 포함하는 산화물인 In-Ga-Zn계 산화물(IGZO로도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-Zr-Zn계 산화물, In-Ti-Zn계 산화물, In-Sc-Zn계 산화물, In-Y-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물; 4종류의 금속을 포함하는 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-

Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수 있다.

- [0090] 여기서, "In-Ga-Zn계 산화물"은 In와 Ga와 Zn을 주성분으로서 포함하는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 묻지 않는다. 또한, In과 Ga와 Zn 이외의 금속 원소를 포함하고 있어도 좋다.
- [0091] 또한, 산화물 반도체로서  $InMO_3(ZnO)_m(m>0)$ 로 표기되는 재료를 이용해도 좋다. 단, M은, Ga, Fe, Mn, 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소, 혹은 상기의 스테빌라이저로서의 원소를 나타낸다.
- [0092] 예를 들면,  $In:Ga:Zn=1:1:1(=1/3:1/3:1/3)$ ,  $In:Ga:Zn=2:2:1(=2/5:2/5:1/5)$ , 혹은  $In:Ga:Zn=3:1:2(=1/2:1/6:1/3)$ 의 원자수비의 In-Ga-Zn계 금속 산화물을 이용할 수 있다. 혹은,  $In:Sn:Zn=1:1:1(=1/3:1/3:1/3)$ ,  $In:Sn:Zn=2:1:3(=1/3:1/6:1/2)$  혹은  $In:Sn:Zn=2:1:5(=1/4:1/8:5/8)$ 의 원자수비의 In-Sn-Zn계 금속 산화물을 이용하면 좋다. 단, 금속 산화물의 원자수비는 오차로서 상기의 원자수비의  $\pm 20\%$ 의 변동을 포함한다.
- [0093] 단, 이것들에 한정되지 않고, 필요로 하는 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 원자수비의 것을 이용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절하게 하는 것이 바람직하다. 예를 들면, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 전계 효과 이동도를 얻을 수 있다. 또한, In-Ga-Zn계 산화물에서도, 벌크내 결함 밀도를 낮게 함으로써, 전계 효과 이동도를 높일 수 있다.
- [0094] 신호선(109), 도전막(113), 용량선(115), 배선(229), 및 배선(233)은 저항 손실을 저감하기 위해, 저항이 낮은 금속막으로 형성하는 것이 바람직하다. 예를 들면, 몰리브덴(Mo), 티탄(Ti), 텅스텐(W), 탄탈(Ta), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여, 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0095] 신호선(109), 도전막(113), 용량선(115), 배선(229), 및 배선(233)의 일례로서는, 실리콘을 포함하는 알루미늄을 이용한 단층 구조, 알루미늄 위에 티탄을 적층하는 2층 구조, 질화 티탄 위에 티탄을 적층하는 2층 구조, 질화 티탄 위에 텅스텐을 적층하는 2층 구조, 질화 탄탈 위에 텅스텐을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금 위에 구리를 적층하는 2층 구조, 질화 티탄 위에 구리를 적층하고, 또한 그 위에 텅스텐을 형성하는 3층 구조 등이 있다.
- [0096] 예를 들면, 신호선(109), 도전막(113), 용량선(115), 배선(229), 및 배선(233)에는, 저저항 재료인 알루미늄이나 구리를 이용하는 것이 바람직하다. 알루미늄이나 구리를 이용함으로써, 신호 지연을 저감하여, 표시 품질을 높일 수 있다. 단, 알루미늄은 내열성이 낮고, 힐록(hillock), 위스커(whisker), 혹은 마이그레이션(migration)에 의한 불량 발생하기 쉽다. 알루미늄의 마이그레이션을 막기 위해, 알루미늄에, 몰리브덴, 티탄, 텅스텐 등의 알루미늄보다 용점이 높은 금속 재료를 적층하는 것이 바람직하다. 또한, 구리를 이용하는 경우도, 마이그레이션에 의한 불량이나 구리 원소의 확산을 막기 위해, 몰리브덴, 티탄, 텅스텐 등의 구리보다 용점이 높은 금속 재료를 적층하는 것이 바람직하다.
- [0097] 신호선(109), 도전막(113), 용량선(115), 배선(229), 및 배선(233)의 재료로서 화소 전극(121)에 적용할 수 있는 투광성을 가지는 도전 재료를 이용할 수 있다. 단, 본 발명의 일 양태인 반도체 장치를 반사형의 표시 장치로 하는 경우, 화소 전극(121) 또는 기관(102)에 투광성을 가지지 않는 도전성 재료를 이용할 수 있다.
- [0098] 게이트 절연막(127)은 예를 들면, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn계 금속 산화물 등의 절연 재료를 이용하여, 단층 구조 또는 적층 구조로 형성할 수 있다. 반도체막(111)인 산화물 반도체막과의 계면 특성을 향상시키기 위해, 게이트 절연막(127)에서 적어도 반도체막(111)과 접하는 영역은 산소를 포함하는 절연막으로 형성하는 것이 바람직하다.
- [0099] 또한, 게이트 절연막(127)에, 산소, 수소, 물 등에 대한 배리어성을 가지는 절연막을 이용함으로써, 반도체막(111)인 산화물 반도체막으로부터의 산소의 외부로의 확산과, 외부로부터 상기 산화물 반도체막으로의 수소, 물 등의 침입을 막을 수 있다. 산소, 수소, 물 등에 대한 배리어성을 가지는 절연막으로서, 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 산화질화 하프늄, 질화 실리콘 등이 있다.
- [0100] 게이트 절연막(127)으로서 하프늄 실리케이트( $HfSiO_x$ ), 질소를 포함하는 하프늄 실리케이트( $HfSi_xO_yN_z$ ), 질소를 포함하는 하프늄 알루미늄네이트( $HfAl_xO_yN_z$ ), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 이용함으로써 트랜지

스터(103)의 게이트 리크를 저감할 수 있다.

- [0101] 게이트 절연막(127)은 게이트 전극층으로부터 이하의 적층 구조로 하는 것이 바람직하다. 제 1 질화 실리콘막으로서 결합량이 적은 질화 실리콘막을 제공하고, 제 1 질화 실리콘막 위에 제 2 질화 실리콘막으로서 수소 이탈량 및 암모니아 이탈량이 적은 질화 실리콘막을 제공하고, 제 2 질화 실리콘막 위에, 상기 게이트 절연막(127)으로서 이용할 수 있는 산소를 포함하는 절연막 중 어느 것을 제공하는 것이 바람직하다.
- [0102] 제 2 질화 실리콘막으로서, 승온 이탈 가스 분석법에서, 수소 분자의 이탈량이  $5 \times 10^{21}$  분자/cm<sup>3</sup> 미만, 바람직하게는  $3 \times 10^{21}$  분자/cm<sup>3</sup> 이하, 더욱 바람직하게는  $1 \times 10^{21}$  분자/cm<sup>3</sup> 이하이며, 암모니아 분자의 이탈량이  $1 \times 10^{22}$  분자/cm<sup>3</sup> 미만, 바람직하게는  $5 \times 10^{21}$  분자/cm<sup>3</sup> 이하, 더욱 바람직하게는  $1 \times 10^{21}$  분자/cm<sup>3</sup> 이하인 질화 실리콘막을 이용하는 것이 바람직하다. 상기 제 1 질화 실리콘막 및 제 2 질화 실리콘막을 게이트 절연막(127)의 일부로서 이용함으로써, 게이트 절연막(127)으로서 결합량이 적고, 또한 수소 및 암모니아의 이탈량이 적은 게이트 절연막을 형성할 수 있다. 따라서, 게이트 절연막(127)에 포함되는 수소 및 질소의 반도체막(111)으로의 확산량을 저감할 수 있게 된다.
- [0103] 산화물 반도체를 포함한 트랜지스터에서, 산화물 반도체막 및 게이트 절연막의 계면 또는 게이트 절연막에 포획 준위(계면 준위라고도 함)가 존재하면, 트랜지스터의 문턱 전압의 변동, 대표적으로 문턱 전압의 마이너스 방향으로의 변동이 일어나기 쉬워진다. 상기 포획 준위는 트랜지스터가 온 상태가 될 때 드레인 전류가 1자리수 변화하는데 필요한 게이트 전압을 나타내는 서브문턱(subthreshold) 계수(S값)의 증대의 원인도 된다. 상기 전기 특성의 변화는 균일하지 않고, 트랜지스터마다 전기 특성이 편차가 있다고 하는 문제가 있다. 이 때문에, 게이트 절연막으로서 결합량이 적은 질화 실리콘막을 이용하고, 또한, 반도체막(111)과 접하는 영역에 산소를 포함하는 절연막을 제공함으로써, 문턱 전압의 마이너스 시프트를 저감함과 동시에, S값의 증대를 억제할 수 있다.
- [0104] 게이트 절연막(127)의 한 영역의 두께는 5 nm 이상 400 nm 이하, 보다 바람직하게는 10 nm 이상 300 nm 이하, 보다 바람직하게는 50 nm 이상 250 nm 이하로 한다.
- [0105] 주사선(107), 게이트 전극(227), 및 도전막(241)은 신호선(109), 도전막(113), 용량선(115), 배선(229), 및 배선(233)에 이용할 수 있는 재료를 이용하여, 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0106] 또한, 주사선(107), 게이트 전극(227), 및 도전막(241)의 일부의 재료로서 질소를 포함하는 금속 산화물, 구체적으로는, 질소를 포함하는 In-Ga-Zn계 산화물이나, 질소를 포함하는 In-Sn계 산화물이나, 질소를 포함하는 In-Ga계 산화물이나, 질소를 포함하는 In-Zn계 산화물이나, 질소를 포함하는 Sn계 산화물이나, 질소를 포함하는 In계 산화물이나, 금속 질화물(InN, SnN 등)을 이용할 수 있다. 이러한 재료는 5 eV(전자 볼트) 이상의 일 함수를 가진다. 트랜지스터(103)의 반도체막(111)에 산화물 반도체를 이용하는 경우, 주사선(107)(트랜지스터(103)의 게이트 전극)으로서 질소를 포함하는 금속 산화물을 이용함으로써, 트랜지스터(103)의 문턱 전압을 플러스 방향으로 변동시킬 수 있어, 소위 노멀리-오프 특성을 가지는 트랜지스터를 실현할 수 있다. 예를 들면, 질소를 포함하는 In-Ga-Zn계 산화물을 이용하는 경우, 적어도 반도체막(111)의 산화물 반도체막보다 높은 질소 농도, 구체적으로는 질소 농도가 7 원자% 이상의 In-Ga-Zn계 산화물을 이용할 수 있다.
- [0107] 절연막(129) 및 절연막(131)은 예를 들면, 산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn계 금속 산화물 등의 산화 절연 재료를 이용하여, 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0108] 절연막(129)의 한 영역의 두께는 5 nm 이상 150 nm 이하, 바람직하게는 5 nm 이상 50 nm 이하, 보다 바람직하게는 10 nm 이상 30 nm 이하로 한다. 절연막(131)의 한 영역의 두께는 30 nm 이상 500 nm 이하, 바람직하게는 150 nm 이상 400 nm 이하로 한다.
- [0109] 절연막(129) 및 절연막(131)의 한쪽 또는 양쪽은 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막인 것이 바람직하다. 이와 같이 함으로써, 상기 산화물 반도체막으로부터의 산소의 이탈을 방지함과 동시에, 산소 과잉 영역에 포함되는 산소를 게이트 절연막(127)을 통하여 산화물 반도체막에 확산시켜, 산소 결손을 보충할 수 있게 된다. 예를 들면, 다음의 특징을 가지는 산화 절연막을 이용함으로써, 상기 산화물 반도체막에 포함되는 산소 결손을 보충할 수 있다: 승온 이탈 가스 분석(이하, TDS 분석으로 함)에 의해 측정되는, 100℃ 이상 700℃ 이하, 바람직하게는 100℃ 이상 500℃ 이하의 가열 처리에서의 산소 분자의 방출량이  $1.0 \times 10^{18}$  분자/cm<sup>3</sup> 이상인 산화 절연막을 이용함으로써, 상기 산화물 반도체막에 포함되는 산소 결손을 보충할 수 있다. 단, 절연막(129) 및 절연막(131)의 한쪽 또는 양쪽에서, 화학량론적 조성보다 과잉의 산소를 포함하는 영역(산소 과잉 영역)이 부분적으로 존재하고 있는 산화 절연막이어도 좋다. 적어도 반도체막(111)과 중첩하는

영역에 산소 과잉 영역이 존재함으로써, 상기 산화물 반도체막으로부터의 산소의 이탈을 방지함과 동시에, 산소 과잉 영역에 포함되는 산소를 산화물 반도체막에 확산시켜, 산소 결손을 보충할 수 있게 된다.

- [0110] 절연막(131)이 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화 절연막인 경우, 절연막(129)은 산소를 투과하는 산화 절연막으로 하는 것이 바람직하다. 절연막(129)에서, 외부로부터 절연막(129)에 들어온 산소는 모두 절연막(129)을 통과하여 확산하지 않고, 절연막(129)에 머무르는 산소도 있다. 또한, 미리 절연막(129)에 포함되어 있어, 절연막(129)으로부터 외부로 확산하는 산소도 있다. 따라서, 절연막(129)은 산소의 확산 계수가 큰 산화 절연막인 것이 바람직하다.
- [0111] 또한, 절연막(129) 및 절연막(131)의 한쪽 또는 양쪽이 질소에 대한 배리어성을 가지는 절연막인 것이 바람직하다. 예를 들면, 치밀한 산화 절연막으로 함으로써 질소에 대한 배리어성을 가질 수 있다. 구체적으로는, 25℃에서 0.5 중량%의 불화 수소산을 이용한 경우의 에칭 속도가 10 nm/분 이하인 산화 절연막으로 하는 것이 바람직하다.
- [0112] 절연막(129) 및 절연막(131)의 한쪽 또는 양쪽을, 산화질화 실리콘 또는 질화산화 실리콘 등, 질소를 포함하는 산화 절연막으로 하는 경우, SIMS에 의해 얻어지는 질소 농도는 SIMS 검출 하한 이상  $3 \times 10^{20}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이상  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하로 하는 영역을 가지도록 형성하는 것이 바람직하다. 이와 같이 함으로써, 트랜지스터(103)에 포함되는 반도체막(111)으로의 질소의 이동량을 줄일 수 있고, 질소를 포함하는 산화 절연막 자체의 결함량을 줄일 수 있다.
- [0113] 절연막(132)은 예를 들면 질화산화 실리콘, 질화 실리콘, 질화 알루미늄, 질화산화 알루미늄 등의 질화 절연 재료를 이용하여, 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0114] 절연막(132)으로서 수소 함유량이 적은 질화 절연막을 형성해도 좋다. 상기 질화 절연막은, 예를 들면, 다음과 같다: 막의 표면 온도가 100℃ 이상 700℃ 이하, 바람직하게는 100℃ 이상 500℃ 이하의 가열 처리로 행해지는 TDS 분석에 의해 측정되는 수소 분자의 방출량이  $5.0 \times 10^{21}$  분자/cm<sup>3</sup> 미만이며, 바람직하게는  $3.0 \times 10^{21}$  분자/cm<sup>3</sup> 미만이며, 더욱 바람직하게는  $1.0 \times 10^{21}$  분자/cm<sup>3</sup> 미만인 질화 절연막을 이용할 수 있다.
- [0115] 절연막(132)의 한 영역은 외부로부터 수소나 물 등의 불순물의 침입을 억제하는 기능을 발휘할 수 있는 두께로 하는 것이 바람직하다. 예를 들면, 50 nm 이상 200 nm 이하, 바람직하게는 50 nm 이상 150 nm 이하, 더욱 바람직하게는 50 nm 이상 100 nm 이하로 한다. 절연막(132)을 제공함으로써, 탄소 등의 불순물이 절연막(132)으로 차단되어, 트랜지스터(103) 및 트랜지스터(223)의 반도체막(111) 및 반도체막(231)으로의 불순물의 외부로부터의 이동이 저감되기 때문에; 트랜지스터의 전기 특성의 편차를 저감할 수 있다.
- [0116] 게이트 절연막(127), 주사선(107), 게이트 전극(227) 위에 제공되는 절연막이 1층인 경우는, 절연막(131)을 제공하는 것이 바람직하다. 절연막이 2층인 경우는 상기 반도체막측으로부터 절연막(131), 절연막(132)의 순서로 제공하는 것이 바람직하다.
- [0117] 게이트 절연막(127), 주사선(107), 게이트 전극(227)과, 화소 전극(121), 도전막(241), 및 그것들과 동시에 형성할 수 있는 배선 등과의 사이에 형성되는 절연막으로서는, 유기 실란 가스를 이용한 CVD법(화학 기상 성장법)에 의해 형성한 산화 절연막, 대표적으로는 산화 실리콘막이 포함되어 있어도 좋다.
- [0118] 상기 산화 실리콘막은 300 nm 이상 600 nm 이하로 형성할 수 있다. 유기 실란 가스로서는, 다음의 실리콘 함유 화합물 중 어느 것을 이용할 수 있다: 규산 에틸(TEOS : 화학식 Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>); 테트라메틸실란(TMS : 화학식 Si(CH<sub>3</sub>)<sub>4</sub>); 테트라메틸사이클로테트라실록산(TMCTS); 옥타메틸사이클로테트라실록산(OMCTS); 헥사메틸디실라잔(HMDS); 트리에톡시실란(SiH(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>); 트리스디메틸아미노실란(SiH(N(CH<sub>3</sub>)<sub>2</sub>)<sub>3</sub>); 등의 실리콘 함유 화합물을 이용할 수 있다.
- [0119] 상기 산화 실리콘막을 유기 실란 가스를 이용한 CVD법에 의해 형성함으로써, 기관(102) 위에 형성되는 소자부 표면의 평탄성을 높일 수 있다. 이 결과, 유기 수지로 형성되는 평탄화막을 형성하지 않아도, 액정의 배향 혼란을 저감하여, 광 누출을 저감할 수 있음과 동시에, 콘트라스트를 높일 수 있다. 물론, 상기 산화 실리콘막 대신에 유기 수지를 이용해도 좋고, 상기 산화 실리콘막과 유기 수지를 포함하는 적층을 이용해도 좋다.
- [0120] 화소 전극(121)은 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 규

소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전 재료로 형성할 수 있다.

- [0121] 다음에, 본 실시형태에 나타내는 화소(101)에 포함되는 각 구성 요소에 대하여 설명한다.
- [0122] 도 4의 (A)는, 상술한 화소(101)의 회로도의 일례이다. 화소(101)는 트랜지스터(103), 용량 소자(105), 및 액정 소자(108)를 포함한다. 트랜지스터(103)의 게이트 전극은 주사선(107)에 전기적으로 접속되고, 소스 전극 또는 드레인 전극의 한쪽은 신호선(109)과 전기적으로 접속되고, 소스 전극 또는 드레인 전극의 다른 한쪽은 용량 소자(105)의 한쪽의 전극 및 액정 소자(108)의 한쪽의 전극(화소 전극)과 전기적으로 접속된다. 용량 소자(105)의 다른 한쪽의 전극은 용량선(115)에 전기적으로 접속되고, 액정 소자(108)의 다른 한쪽의 전극(대향 전극)은, 대향 전극에 대향 전위를 공급하는 배선에 전기적으로 접속된다.
- [0123] 액정 소자(108)는 트랜지스터(103) 및 화소 전극이 제공되는 기관과 대향하는 기관(예를 들면, 대향 전극이 제공되는 기관)으로 협지되는 액정의 광학적 변조 작용에 의해, 광의 투과 또는 비투과를 제어하는 소자이다. 단, 액정의 광학적 변조 작용은, 액정에 인가되는 전계(세로 방향의 전계 또는 경사 방향의 전계를 포함함)에 의해 제어된다. 단, 화소 전극 및 대향 전극(공통 전극이라고도 함)이 한쪽의 기관 측에 제공되는 경우는 액정에 인가되는 전계는 가로 방향의 전계가 된다.
- [0124] 도 4의 (B)는 화소(101)의 상세한 회로도의 일례이다. 도 4의 (B) 및 도 2에 나타내는 바와 같이, 트랜지스터(103)는 게이트 전극을 포함하는 주사선(107)과, 소스 전극 또는 드레인 전극의 한쪽을 포함하는 신호선(109)과, 소스 전극 또는 드레인 전극의 다른 한쪽을 포함하는 도전막(113)을 포함한다.
- [0125] 용량 소자(105)에서는, 용량선(115)과 접속하는 반도체막(119)이 한쪽의 전극으로서 기능한다. 소스 전극 또는 드레인 전극의 다른 한쪽을 포함하는 도전막(113)에 접속하는 화소 전극(121)이 다른 한쪽의 전극으로서 기능한다. 반도체막(119) 및 화소 전극(121)의 사이에 제공되는, 절연막(129), 절연막(131), 절연막(132)이 유전체막으로서 기능한다.
- [0126] 액정 소자(108)는 화소 전극(121), 대향 전극(154), 및 화소 전극(121), 및 대향 전극(154)의 사이에 제공되는 액정층을 포함한다.
- [0127] 용량 소자(105)에서, 반도체막(119)은 반도체막(111)과 마찬가지로 고저항이어도, 용량 소자(105)의 전극으로서 기능한다. 왜냐하면, 화소 전극(121)을 게이트 전극, 절연막(129), 절연막(131), 및 절연막(132)을 게이트 절연막, 용량선(115)을 소스 전극 또는 드레인 전극으로 기능시킬 수 있고, 이 결과, 용량 소자(105)를 트랜지스터와 마찬가지로 동작시켜, 반도체막(119)을 도통 상태로 할 수 있기 때문이다. 따라서, 반도체막(119)을 용량 소자(105)의 한쪽의 전극으로서 기능시킬 수 있다.
- [0128] 다음에, 도 1 및 도 2에 나타내는 반도체 장치의 제작 방법에 대하여, 도 5의 (A) 및 도 5의 (B), 도 6의 (A) 및 도 6의 (B)를 이용하여 설명한다.
- [0129] 우선, 기관(102) 위에 도전막(241)을 형성하고, 상기 도전막을 덮도록 하지 절연막(110)을 형성한다.
- [0130] 도전막(241)은 상술한 재료를 이용하여 도전막을 형성하고, 상기 도전막 위에 마스크를 형성하고, 상기 마스크를 이용하여 가공함으로써 형성할 수 있다. 상기 도전막은 증착법, CVD법, 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 이용할 수 있다. 단, 상기 도전막의 두께는 특별히 한정되지 않고, 형성하는 시간이나 소량의 저항률 등을 고려하여 결정할 수 있다. 상기 마스크는 예를 들면 포토리소그래피 공정에 의해 형성한 레지스트 마스크로 할 수 있다. 상기 도전막의 가공은 건식 에칭 및 습식 에칭의 한쪽 또는 양쪽에 의해 행할 수 있다.
- [0131] 하지 절연막(110)은 상술한 재료를 이용하여 형성할 수 있다. 상기 하지 절연막은, 증착법, CVD법, 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 이용할 수 있다.
- [0132] 다음에, 반도체막(111), 반도체막(119), 및 반도체막(231)을 형성한다(도 1 참조). 반도체막(111), 반도체막(119), 및 반도체막(231)은 상술한 산화물 반도체를 이용하여 산화물 반도체막을 형성하고, 상기 산화물 반도체막 위에 마스크를 형성하고, 상기 마스크를 이용하여 가공함으로써 형성할 수 있다. 상기 산화물 반도체막은, 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법(laser ablation method) 등을 이용하여 형성할 수 있다. 인쇄법을 이용함으로써, 소자 분리된 반도체막(111) 및 반도체막(119)을 하지 절연막(110) 위에 직접 형성할 수 있다. 스퍼터링법으로 상기 산화물 반도체막을 형성하는 경우, 플라즈마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치, 또는 DC 전원 장치 등을 적절히 이용할 수 있다. 스퍼터링 가스는 희가스(대표적으로는 아르곤), 산소, 희가스, 및 산소의 혼합 가스를 적절히 이용한다. 희가스 및 산소의 혼합 가스의 경우, 희가스에 대하여 산소의 가스비를 높이는 것이 바람직하다. 또한, 타겟은 형성하는 산화물 반도체막

의 조성에 맞추어, 적절히 선택하면 좋다. 또한, 상기 마스크는 예를 들면 포토리소그래피 공정에 의해 형성한 레지스트 마스크로 할 수 있다. 상기 산화물 반도체막의 가공은 건식 에칭 및 습식 에칭의 한쪽 또는 양쪽에 의해 행할 수 있다. 소망의 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건(에칭 가스나 에칭액, 에칭 시간, 온도 등)을 적절히 설정한다.

- [0133] 상기 산화물 반도체막은 CVD법에 의해 형성해도 좋다. CVD법으로서는 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법 등의 열 CVD법을 이용해도 좋다.
- [0134] 열 CVD법은 플라즈마를 사용하지 않는 성막 방법이기 때문에, 플라즈마 대미지에 의해 결함이 생성되지 않는다는 이점을 가진다.
- [0135] 열 CVD법은 원료 가스와 산화제를 동시에 체임버 내로 공급하고, 체임버 내를 대기압 또는 감압하로 하고, 기판 근방 또는 기판 위에서 반응시켜 기판 위에 퇴적시킴으로써 성막을 행하여도 좋다.
- [0136] ALD법은 체임버 내를 대기압 또는 감압하로 해, 반응을 위한 원료 가스가 순차로 체임버에 도입되어, 그 가스 도입의 순서를 반복함으로써 성막을 행하여도 좋다. 예를 들면, 각각의 스위칭 밸브(고속 밸브라고도 부름)를 전환하여 2종류 이상의 원료 가스를 차례로 체임버에 공급한다. 예를 들면, 복수종의 원료 가스가 섞이지 않도록 제 1 원료 가스와 동시에 또는 그 후에 불활성 가스(아르곤, 혹은 질소 등)등을 도입하여, 제 2 원료 가스를 도입한다. 단, 동시에 불활성 가스를 도입하는 경우에, 불활성 가스는 캐리어 가스가 되고, 또한, 제 2 원료 가스의 도입시에도 동시에 불활성 가스를 도입해도 좋다. 또한, 불활성 가스를 도입하는 대신에 진공 배기에 의해 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입해도 좋다. 제 1 원료 가스가 기판의 표면에 흡착하고 제 1 층을 성막하고; 나중에 도입되는 제 2 원료 가스와 반응하여; 제 2 층이 제 1 층 위에 적층되어 박막이 형성된다. 이 가스 도입 순서를 제어하면서 소망의 두께가 될 때까지 복수회 반복함으로써, 단차 피복성이 뛰어난 박막을 형성할 수 있다. 박막의 두께는 가스 도입 순서를 반복하는 횟수에 의해 조절할 수 있기 때문에; 정밀한 막 두께 조절이 가능하고, 미세한 트랜지스터를 제작하는 경우에 적합하다.
- [0137] 예를 들면, In-Ga-Zn-O막을 성막하는 경우에는, 트리메틸인듐, 트리메틸갈륨, 및 디메틸아연을 이용한다. 단, 트리메틸인듐의 화학식은  $\text{In}(\text{CH}_3)_3$ 이다. 트리메틸갈륨의 화학식은  $\text{Ga}(\text{CH}_3)_3$ 이다. 디메틸아연의 화학식은  $\text{Zn}(\text{CH}_3)_2$ 이다. 이러한 조합으로 한정되지 않고, 트리메틸갈륨 대신에 트리에틸갈륨(화학식  $\text{Ga}(\text{C}_2\text{H}_5)_3$ )을 이용할 수도 있고, 디메틸아연 대신에 디에틸아연(화학식  $\text{Zn}(\text{C}_2\text{H}_5)_2$ )을 이용할 수도 있다.
- [0138] In-Ga-Zn-O막을 ALD법으로 성막하는 경우에는,  $\text{In}(\text{CH}_3)_3$  가스와  $\text{O}_3$  가스를 순차로 반복 도입하여  $\text{InO}_2$ 층을 형성하고, 그 후,  $\text{Ga}(\text{CH}_3)_3$  가스와  $\text{O}_3$  가스를 동시에 도입하여  $\text{GaO}$ 층을 형성하고, 또한 그 후  $\text{Zn}(\text{CH}_3)_2$ 와  $\text{O}_3$  가스를 동시에 도입하여  $\text{ZnO}$ 층을 형성한다. 단, 이러한 층의 순서는 이 예에 한정되지 않는다. 이러한 가스를 혼합하여 In-Ga-O층이나 In-Zn-O층, Ga-In-O층, Zn-In-O층, Ga-Zn-O층 등의 혼합 화합물층을 형성해도 좋다. 단,  $\text{O}_3$  가스 대신에 Ar 등의 불활성 가스로 버블링하여 얻어진  $\text{H}_2\text{O}$  가스를 이용해도 좋지만, H를 포함하지 않는  $\text{O}_3$  가스를 이용하는 것이 바람직하다. 또한,  $\text{In}(\text{CH}_3)_3$  가스 대신에  $\text{In}(\text{C}_2\text{H}_5)_3$  가스를 이용해도 좋다.  $\text{Ga}(\text{CH}_3)_3$  가스 대신에  $\text{Ga}(\text{C}_2\text{H}_5)_3$  가스를 이용해도 좋다.  $\text{In}(\text{CH}_3)_3$  가스 대신에  $\text{In}(\text{C}_2\text{H}_5)_3$  가스를 이용해도 좋다. 또한,  $\text{Zn}(\text{CH}_3)_2$  가스를 이용해도 좋다.
- [0139] 반도체막(111), 반도체막(119), 및 반도체막(231)을 형성한 후에 가열 처리를 하고, 반도체막(111), 반도체막(119), 및 반도체막(231)인 산화물 반도체막의 탈수소화 또는 탈수화를 하는 것이 바람직하다. 상기 가열 처리의 온도는, 대표적으로는,  $150^\circ\text{C}$  이상 기판 변형점 미만, 바람직하게는  $200^\circ\text{C}$  이상  $450^\circ\text{C}$  이하, 더욱 바람직하게는  $300^\circ\text{C}$  이상  $450^\circ\text{C}$  이하로 한다. 단, 상기 가열 처리는 반도체막(111), 반도체막(119), 및 반도체막(231)으로 가공하기 전의 산화물 반도체막에 행하여도 좋다.
- [0140] 상기 가열 처리에서, 가열 처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해, 피처리물을 가열하는 장치여도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로젠 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 가열 처리를 행하는 장치이다.
- [0141] 상기 가열 처리는 질소, 산소, 초건조 공기(물의 함유량이 20 ppm 이하, 바람직하게는 1 ppm 이하, 바람직하게

는 10 ppb 이하의 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기 하에서 행하면 좋다. 상기 질소, 산소, 초진조 공기, 또는 희가스에 수소, 물 등이 포함되지 않는 것이 바람직하다. 불활성 가스 분위기에서 가열한 후, 산소 분위기에서 가열해도 좋다. 처리 시간은 3분~24시간으로 하는 것이 바람직하다.

- [0142] 여기서, 반도체막(119)에는 다음의 방식으로 도펀트를 첨가해도 좋다: 반도체막(119)에 도펀트를 첨가하는 방법은 반도체막(119) 이외의 영역에 마스크를 형성하고, 상기 마스크를 이용하여, 수소, 붕소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬, 및 희가스 원소로부터 선택된 1종 이상의 도펀트를 이온 주입법 또는 이온 도핑법 등으로 첨가한다. 또한, 이온 주입법 또는 이온 도핑법 대신에 상기 도펀트를 포함하는 플라즈마에 반도체막(119)을 노출함으로써, 상기 도펀트를 첨가해도 좋다. 또한, 도펀트를 첨가한 후, 가열 처리를 행하여도 좋다. 상기 가열 처리는 반도체막(111) 및 반도체막(119)의 탈수소화 또는 탈수화를 행하는 가열 처리의 상세한 사항을 참조하여 적절히 행할 수 있다.
- [0143] 다음에, 신호선(109), 도전막(113), 용량선(115), 배선(229), 및 배선(233)을 형성한다. 신호선(109), 도전막(113), 용량선(115), 배선(229), 및 배선(233)은 다음과 같이 형성될 수 있다: 상술한 재료를 이용하여 도전막을 형성하고, 상기 도전막 위에 마스크를 형성하고, 상기 마스크를 이용하여 가공함으로써 형성할 수 있다. 상기 마스크 및 상기 가공은 도전막(241)과 동일하게 하여 행할 수 있다.
- [0144] 다음에, 하지 절연막(110), 반도체막(111), 반도체막(119), 반도체막(231), 신호선(109), 도전막(113), 용량선(115), 배선(229), 및 배선(233)을 덮도록 게이트 절연막(127)을 형성한다.
- [0145] 게이트 절연막(127)은 상술한 재료를 이용하고, CVD법 또는 스퍼터링법 등의 각종 성막 방법을 이용하여 형성할 수 있다. 게이트 절연막(127)에 산화 갈륨을 적용하는 경우는 MOCVD(Metal Organic Chemical Vapor Deposition)법을 이용하여 형성할 수 있다.
- [0146] 다음에, 게이트 절연막(127)을 사이에 끼운 반도체막(111) 위에 주사선(107)을 형성하고, 게이트 절연막(127)을 사이에 끼운 반도체막(231) 위에 게이트 전극(227)을 형성한다(도 5의 (B) 참조).
- [0147] 주사선(107), 및 게이트 전극(227)은 상술한 재료를 이용하여 도전막을 형성하고, 상기 도전막위에 마스크를 형성하고, 상기 마스크를 이용하여 가공함으로써 형성할 수 있다. 상기 마스크 및 상기 가공은 도전막(241)과 동일하게 하여 행할 수 있다.
- [0148] 다음에, 게이트 절연막(127), 주사선(107), 및 게이트 전극(227) 위에 절연막(129), 절연막(131), 및 절연막(132)을 형성한다(도 6의 (A) 참조). 단, 절연막(129), 절연막(131), 및 절연막(132)은 연속하여 형성하는 것이 바람직하다. 연속하여 형성함으로써, 절연막(129), 절연막(131), 및 절연막(132)의 각각의 계면에 불순물이 혼입하는 것을 억제할 수 있다.
- [0149] 절연막(129), 절연막(131), 및 절연막(132)은 상술한 재료를 이용하고, CVD법 또는 스퍼터링법 등의 각종 성막 방법에 의해 형성할 수 있다.
- [0150] 절연막(129)은 예를 들면, 상술한 산화 절연막을 이용하여 형성할 수 있다. 여기에서는 상기 산화 절연막으로서 산화 실리콘막 또는 산화질화 실리콘막을 형성하는 경우에 대하여 기재한다. 상기 형성 조건은 플라즈마 CVD 장치가 진공 배기된 처리실 내에 재치(載置)된 기판을 180℃ 이상 400℃ 이하, 더욱 바람직하게는 200℃ 이상 370℃ 이하로 유지하고, 처리실에 원료 가스의 실리콘을 포함하는 퇴적성 기체 및 산화성 기체를 도입해 처리실 내에서의 압력을 20 Pa 이상 250 Pa 이하, 더욱 바람직하게는 40 Pa 이상 200 Pa 이하로 하여, 처리실 내에 제공된 전극에 고주파 전력을 공급하는 조건이다.
- [0151] 실리콘을 포함하는 퇴적성 기체의 대표예로서는, 실란, 디실란, 트리실란, 불화 실란 등이 있다. 산화성 기체로서는, 산소, 오존, 일산화 이질소, 이산화 질소 등이 있다.
- [0152] 실리콘을 포함하는 퇴적성 기체에 대한 산화성 기체량을 100배 이상으로 함으로써, 절연막(129)에 포함되는 수소 함유량을 저감할 수 있음과 동시에, 절연막(129)에 포함되는 당글링 본드를 저감할 수 있다. 절연막(131)으로부터 확산하는 산소는 절연막(129)에 포함되는 당글링 본드에 의해 포획되는 경우가 있기 때문에; 절연막(129)에 포함되는 당글링 본드가 저감되어 있으면, 절연막(131)에 포함되는 산소를 효율적으로 게이트 절연막(127)을 통하여 반도체막(111) 및 반도체막(231)으로 확산시켜, 반도체막(111) 및 반도체막(231)인 산화물 반도체막에 포함되는 산소 결손을 보충할 수 있다. 이 결과, 상기 산화물 반도체막에 혼입하는 수소량을 저감할 수 있음과 동시에 산화물 반도체막에 포함되는 산소 결손을 저감시킬 수 있다.
- [0153] 절연막(131)을 상기의 산소 파잉 영역을 포함하는 산화 절연막 또는 화학량론적 조성을 만족하는 산소보다 많은

산소를 포함한 산화 절연막으로 하는 경우, 이하의 형성 조건을 이용하여 형성할 수 있다. 여기에서는 상기 산화 절연막으로서 산화 실리콘막 또는 산화질화 실리콘막을 형성하는 경우에 대하여 기재한다. 상기 형성 조건 으로서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 채지된 기판을 180℃ 이상 260℃ 이하, 더욱 바람직하게는 180℃ 이상 230℃ 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에서의 압력을 100 Pa 이상 250 Pa 이하, 더욱 바람직하게는 100 Pa 이상 200 Pa 이하로 하고, 처리실 내에 제공된 전극에 0.17W/cm<sup>2</sup> 이상 0.5W/cm<sup>2</sup> 이하, 더욱 바람직하게는 0.25W/cm<sup>2</sup> 이상 0.35W/cm<sup>2</sup> 이하의 고주파 전력을 공급하는 조건을 일례로서 들고 있다.

- [0154] 절연막(131)의 원료 가스는 절연막(129)에 이용할 수 있는 원료 가스로 할 수 있다.
- [0155] 절연막(131)의 형성 조건으로서 상기 압력의 반응실에서 상기 파워 밀도의 고주파 전력을 공급함으로써, 플라즈마 내에서 원료 가스의 분해 효율이 높아져, 산소 라디칼이 증가되고, 원료 가스의 산화가 진행되기 때문에, 절연막(131) 내에서의 산소 함유량이 화학량론적 조성보다 많아진다. 그러나, 기판 온도가 상기 형성 조건의 온도이면, 실리콘과 산소의 결합력이 약하기 때문에; 가열에 의해 산소의 일부가 이탈한다. 이 결과, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하고, 가열에 의해 산소의 일부가 이탈하는 산화 절연막을 형성할 수 있다.
- [0156] 절연막(131)은 막 두께를 두껍게 함으로써 가열에 의해 이탈하는 산소의 양을 많게 할 수 있기 때문에; 절연막(131)은 절연막(129)보다 두껍게 형성하는 것이 바람직하다. 절연막(129)을 형성함으로써 절연막(131)을 두껍게 형성하는 경우에도 피복성을 양호하게 할 수 있다.
- [0157] 절연막(132)을 수소 함유량이 적은 질화 절연막으로 형성하는 경우, 이하의 형성 조건을 이용하여 형성할 수 있다. 여기에서는 상기 질화 절연막으로서 질화 실리콘막을 형성하는 경우에 대하여 기재한다. 상기 형성 조건의 일례로서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 채지된 기판을 80℃ 이상 400℃ 이하, 더욱 바람직하게는 200℃ 이상 370℃ 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에서의 압력을 100 Pa 이상 250 Pa 이하로 하고, 바람직하게는 100 Pa 이상 200 Pa 이하로 하고, 처리실 내에 제공된 전극에 고주파 전력을 공급하는 조건을 들 수 있다.
- [0158] 절연막(132)의 원료 가스로서는, 실리콘을 포함하는 퇴적성 기체, 질소, 및 암모니아를 이용하는 것이 바람직하다. 실리콘을 포함하는 퇴적성 기체의 대표예로서는, 실란, 디실란, 트리실란, 불화 실란 등이 있다. 또한, 질소의 유량은 암모니아의 유량에 대하여 5배 이상 50배 이하, 바람직하게는 10배 이상 50배 이하로 하는 것이 바람직하다. 원료 가스로서 암모니아를 이용함으로써, 실리콘을 포함하는 퇴적성 기체 및 질소의 분해를 촉진할 수 있다. 이것은 암모니아가 플라즈마 에너지나 열에너지에 의해 해리하고, 해리함으로써 생기는 에너지가 실리콘을 포함하는 퇴적성 기체 분자의 결합 및 질소 분자의 결합의 분해에 기여하기 때문이다. 이와 같이 함으로써, 수소 함유량이 적고, 외부로부터 수소나 물 등의 불순물의 침입을 억제할 수 있는 질화 실리콘막을 형성할 수 있다.
- [0159] 적어도 절연막(131)을 형성한 후에 가열 처리를 행하고, 절연막(129) 또는 절연막(131)에 포함되는 과잉 산소를 게이트 절연막(127)을 통하여 반도체막(111) 및 반도체막(231)에 확산시켜, 반도체막(111) 및 반도체막(231)인 산화물 반도체막의 산소 결손을 보충하는 것이 바람직하다. 단, 상기 가열 처리는 반도체막(111) 및 반도체막(231)의 탈수소화 또는 탈수화를 행하는 가열 처리의 상세한 사항을 참조하여 적절히 행할 수 있다.
- [0160] 다음에, 절연막(129), 절연막(131), 및 절연막(132)의 도전막(113)과 중첩하는 영역에, 도전막(113)에 이르는 개구(117)(도 1 참조)를 형성한다.
- [0161] 다음에, 화소 전극(121)을 형성함으로써, 도 1, 도 2에 나타내는 반도체 장치를 형성할 수 있다(도 6의 (B) 참조). 화소 전극(121)은 상술한 재료를 이용하여, 개구(117)를 통하여 도전막(113)에 접하는 도전막을 형성하고, 상기 도전막 위에 마스크를 형성하고, 상기 마스크를 이용하여 가공함으로써 형성할 수 있다. 상기 마스크 및 상기 가공은 도전막(241)과 동일하게 하여 행할 수 있다.
- [0162] 본 발명의 일 양태인 반도체 장치에서는, 용량 소자의 구성을 적절히 변경할 수 있다. 예를 들면, 도 7의 (A)에 나타내는 용량 소자(105)의 단면도와 같이, 용량 소자(105)의 유전체 부분으로부터 게이트 절연막(127)을 없애도 좋다. 이와 같이 함으로써, 유전체 부분의 막 두께를 얇게 할 수 있어, 용량 소자(105)의 전하 용량을 향상시킬 수 있다. 단, 게이트 절연막(127)을 부분적으로 없애려면, 상기 게이트 절연막 위에 마스크를 형성하고, 상기 마스크를 이용하여 가공함으로써 형성할 수 있다. 상기 마스크 및 상기 가공은 도전막(241)과

동일하게 하여 행할 수 있다. 하프톤 마스크를 이용하여, 게이트 전극(227)을 형성할 때, 게이트 절연막(127)의 일부를 제거해도 좋다. 이 경우, 포토리소그래피 공정을 줄일 수 있다. 또한, 절연막(129) 또는 절연막(131)의 어느 한쪽을 없애는 구성으로 해도 좋다.

[0163] 또한, 도 7의 (B)에 나타내는 용량 소자(105)의 단면도와 같이, 용량 소자(105)의 유전체 부분으로부터 게이트 절연막(127), 절연막(129), 및 절연막(131)을 없애도 좋다. 이와 같이 함으로써, 유전체 부분의 막 두께가 더욱 얇아져, 용량 소자(105)의 전하 용량을 향상시킬 수 있다.

[0164] 또한, 도 7의 (B)에 나타내는 용량 소자(105)에서는, 반도체막(119)과 절연막(132)이 접하는 구성이 된다. 절연막(132)은 상술한 것처럼 질화 절연막으로 하는 것이 바람직하다. 질화 절연막에는 질소 및 수소가 다량으로 포함되어 있어, 그것들을 반도체막(119)으로 확산시킬 수 있다. 반도체막(119)으로서 산화물 반도체를 이용하는 경우, 산화물 반도체 내에 들어온 질소 및 수소의 일부는 캐리어를 생성하는 도너 준위의 형성에 기여하기 때문에, 산화물 반도체층을 n형화할 수 있다. 따라서, 반도체막(119)의 도전율을 향상시킬 수 있어, 반도체막(119)으로의 불순물의 도핑 공정 등을 생략할 수 있다.

[0165] 또한, 도 8에 나타내는 바와 같이, 용량 소자(105)의 한쪽의 전극인 반도체막(119)과 하지 절연막(110)과의 사이에 질화 절연막(118)을 제공하는 구성이어도 좋다. 이러한 구성에서는, 도 7의 (B)와 마찬가지로, 질화 절연막(118)으로부터 반도체막(119)에 질소 및 수소를 확산시킬 수 있어, 반도체막(119)의 도전율을 향상시킬 수 있다. 단, 질화 절연막(118)은 다음의 방식으로 형성할 수 있다: 절연막(132)으로서 적용할 수 있는 막을 형성하고, 상기 막 위에 마스크를 형성하고, 상기 마스크를 이용하여 가공함으로써 형성할 수 있다. 상기 마스크 및 상기 가공은 도전막(241)과 동일하게 하여 행할 수 있다. 상기 용량 소자에, 도 7의 (A) 또는 도 7의 (B)에 나타내는 용량 소자의 구성을 조합해도 좋다.

[0166] 본 발명의 일 양태인 반도체 장치에서는, 화소 내에 제공되는 트랜지스터의 형상은 도 1 및 도 2에 나타낸 트랜지스터의 형상으로 한정되지 않고, 적절히 변경할 수 있다. 예를 들면, 트랜지스터에서, 신호선(109)에 포함되는 소스 전극 또는 드레인 전극의 한쪽이 U자형(C자형, 꺾쇠 괄호형, 또는 말굽형)이고, 소스 전극 또는 드레인 전극의 다른 한쪽을 포함하는 도전막을 둘러싸는 형상의 트랜지스터여도 좋다. 이러한 형상으로 함으로써, 트랜지스터의 면적이 작아도, 충분한 채널 폭을 확보하는 것이 가능하게 되어, 트랜지스터의 도통시에 흐르는 드레인 전류(온 전류라고도 함)의 양을 늘릴 수 있게 된다.

[0167] 상기에 나타내는 화소(101)에서, 트랜지스터로서 1개의 게이트 전극을 가지는 트랜지스터를 나타냈지만, 반도체막(111)을 사이에 끼우고 대향하는 2개의 게이트 전극을 가지는 트랜지스터를 이용할 수 있다. 단, 2개의 게이트 전극을 포함하는 트랜지스터의 구성으로서, 예를 들면, 도 2에 나타내는 게이트 전극(227), 및 도전막(241)을 포함하는 제 1 구동 회로(104)에 이용되는 트랜지스터를 참조할 수 있다.

[0168] 상기 2개의 게이트 전극을 포함하는 트랜지스터는 본 실시형태에서 설명한 트랜지스터(103)의 하지 절연막(110) 아래에 도전막이 제공된다. 도전막은 적어도 반도체막(111)의 채널 형성 영역과 중첩한다. 도전막을 반도체막(111)의 채널 형성 영역과 중첩하는 위치에 제공함으로써, 도전막의 전위는 신호선(109)에 입력되는 비디오 신호의 최저 전위로 하는 것이 바람직하다. 이 결과, 도전막과 대향하는 반도체막(111)의 면에서, 소스 전극 및 드레인 전극의 사이에 흐르는 전류를 제어할 수 있고, 트랜지스터의 전기 특성의 편차를 저감할 수 있다. 또한, 도전막을 형성함으로써, 주위의 전계의 변화가 반도체막(111)에 주는 영향을 경감하여, 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0169] 상기 도전막은 도전막(241), 주사선(107), 신호선(109), 화소 전극(121) 등과 같은 재료 및 방법에 의해 형성할 수 있다.

[0170] 이상으로부터, 용량 소자의 한쪽의 전극으로서 트랜지스터에 포함되는 반도체막과 같은 형성 공정으로 형성되는 반도체막을 이용함으로써, 개구율을 높이면서, 전하 용량을 증대시킨 용량 소자를 포함하는 반도체 장치를 제작할 수 있다. 이 결과, 표시 품질이 뛰어난 반도체 장치를 얻을 수 있다.

[0171] 또한, 용량 소자의 한쪽의 전극으로서 트랜지스터에 포함되는 반도체막과 같은 형성 공정으로 형성되는 반도체막을 이용함으로써 포토리소그래피 공정에 필요한 마스크 매수를 증가시키지 않고, 개구율이 높고, 전하 용량이 큰 용량 소자를 포함하는 반도체 장치를 제작할 수 있다.

[0172] 또한, 트랜지스터에 포함되는 반도체막인 산화물 반도체막은 산소 결손이 저감되고, 수소 등의 불순물이 저감되어 있기 때문에; 본 발명의 일 양태인 반도체 장치는 양호한 전기 특성을 가지는 반도체 장치가 된다.

- [0173] 단, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0174] (실시형태 2)
- [0175] 본 실시형태에서는, 상기 실시형태에서 설명한 반도체 장치에 포함되어 있는 트랜지스터 및 용량 소자에서, 반도체막으로서 이용되는 산화물 반도체막에 적용할 수 있는 일 양태에 대하여 설명한다.
- [0176] 산화물 반도체는 비단결정을 포함해도 좋다. 비단결정은 예를 들면, CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질부를 가진다.
- [0177] 산화물 반도체는 CAAC를 포함해도 좋다. 단, CAAC를 포함하는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)라고 부른다.
- [0178] CAAC-OS는 투과형 전자현미경(TEM : Transmission Electron Microscope)에 의한 관찰상으로, 결정부를 확인할 수 있는 경우가 있다. CAAC-OS에 포함되는 결정부는 TEM에 의한 관찰상으로, 한 번 100 nm의 입방체 내에 들어가는 크기인 경우가 많다. CAAC-OS는 TEM에 의한 관찰상으로, 결정부와 결정부와의 경계를 명확하게 확인할 수 없는 경우가 있다. 또한, CAAC-OS는 TEM에 의한 관찰상으로, 입계(그레인 바운더리라고도 함)를 명확하게 확인할 수 없는 경우가 있다. CAAC-OS는 명확한 입계를 갖지 않기 때문에, 불순물이 편석하는 경우가 적다. CAAC-OS는 명확한 입계를 갖지 않기 때문에, 결합 준위 밀도가 높아지는 것이 적다. CAAC-OS는 명확한 입계를 갖지 않기 때문에, 전자 이동도의 저하가 작다.
- [0179] CAAC-OS는 복수의 결정부를 포함한다. 상기 복수의 결정부에서 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 경우가 있다. 그 때문에, CAAC-OS는 X선 회절(XRD : X-Ray Diffraction) 장치를 이용하여, out-of-plane법에 의한 분석을 행하면, 2 $\theta$ 가 31° 근방의 피크가 나타나는 경우가 있다. 2 $\theta$ 가 31° 근방의 피크는 InGaZnO<sub>4</sub>의 결정이면, (009)면에 배향하고 있는 것을 나타낸다. 또한, CAAC-OS는 2 $\theta$ 가 36° 근방의 피크가 나타나는 경우가 있다. 2 $\theta$ 가 36° 근방의 피크는 ZnGa<sub>2</sub>O<sub>4</sub>의 결정이면, (222)면에 배향하고 있는 것을 나타낸다. CAAC-OS는 바람직하게는, 2 $\theta$ 가 31° 근방에 피크가 나타나고, 2 $\theta$ 가 36° 근방에 피크가 나타나지 않는다.
- [0180] 또한, CAAC-OS는 다른 결정부간에서, 각각 a축 및 b축의 방향이 정렬되지 않는 경우가 있다. InGaZnO<sub>4</sub>의 결정을 포함하는 CAAC-OS이면, XRD 장치를 이용하여 c축으로 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 분석을 행하면, 2 $\theta$ 가 56° 근방의 피크가 나타나는 경우가 있다. 2 $\theta$ 가 56° 근방의 피크는 InGaZnO<sub>4</sub>의 결정의 (110)면을 나타낸다. 여기서, 2 $\theta$ 를 56° 근방에서 고정해, 표면의 법선 벡터를 축( $\phi$ 축)으로서 시료를 회전시켜 분석( $\phi$ 스캔)을 행하면; a축 및 b축의 방향이 정렬되어 있는 단결정 산화물 반도체의 경우는 6개의 대칭성의 피크가 나타나지만, CAAC-OS의 경우는 명료한 피크가 나타나지 않는다.
- [0181] 이와 같이, CAAC-OS는 c축 배향하고, a축 또는/및 b축은 매크로에 정렬되지 않은 경우가 있다.
- [0182] 또한, CAAC-OS는 전자선 회절 패턴에서, 스폿(회점)이 관측되는 경우가 있다. 특히, 빔 직경이 10 nm $\phi$  이하, 또는 5 nm $\phi$  이하의 전자선을 이용하여 얻어지는 전자선 회절 패턴을 극미 전자선 회절 패턴이라고 부른다.
- [0183] 도 10의 (A)는 CAAC-OS를 포함하는 시료의 극미 전자선 회절 패턴의 일례이다. 여기에서는, 시료를 CAAC-OS의 피형성면에 수직인 방향으로 절단하여, 두께가 40 nm 정도가 되도록 박편화한다. 또한, 여기에서는, 빔 직경이 1 nm $\phi$ 의 전자선을 시료의 절단면에 수직인 방향으로부터 입사시킨다. 도 10의 (A)로부터, CAAC-OS의 극미 전자선 회절 패턴은 스폿이 관측되는 것을 알 수 있다.
- [0184] CAAC-OS에 포함되는 결정부는 c축이 CAAC-OS의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬된다. 또한 ab면에 수직인 방향에서 봤을 때 금속 원자가 삼각 형상 또는 육각 형상으로 배열하고, c축으로 수직인 방향에서 봤을 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 단, 다른 결정부간에서, 각각 a축 및 b축의 방향이 상이하어도 좋다. 본 명세서에서, 단지 "수직"이라고 기재하는 경우, 80° 이상 100° 이하, 바람직하게는 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단지 "평행"이라고 기재하는 경우, -10° 이상 10° 이하, 바람직하게는 -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0185] CAAC-OS에 포함되는 결정부의 c축은 CAAC-OS의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬되기 때문에, CAAC-OS의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향하는 경우가 있다. 단, 결정부는 성막했을 때, 또는 성막 후에 가열 처리 등의 결정화 처리를 행했을

때에 형성된다. 따라서, 결정부의 c축은 CAAC-OS가 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬된다.

- [0186] CAAC-OS는 불순물 농도를 저감함으로써 얻을 수 있는 경우가 있다. 여기서, 불순물은 수소, 탄소, 실리콘, 철이 금속 원소 등의 산화물 반도체의 주성분 이외의 원소이다. 특히, 실리콘 등의 원소는 산화물 반도체에 포함되는 금속 원소보다 산소와의 결합력이 강하다. 따라서, 상기 원소가 산화물 반도체로부터 산소를 빼앗는 경우, 산화물 반도체의 원자 배열을 어지럽혀, 결정성을 저하시키는 경우가 있다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 어지럽혀, 산화물 반도체의 결정성을 저하시키는 경우가 있다. 따라서, CAAC-OS는 불순물 농도가 낮은 산화물 반도체이다. 단, 산화물 반도체에 포함되는 불순물은 캐리어 발생원이 되는 경우가 있다.
- [0187] CAAC-OS에서, 결정부의 분포가 균일하지 않아도 좋다. 예를 들면, CAAC-OS의 형성 과정에서, 산화물 반도체의 표면측으로부터 결정 성장시키는 경우, 피형성면의 근방에 대하여 표면의 근방에서는 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS에 불순물이 혼입함으로써, 상기 불순물 혼입 영역에서 결정부의 결정성이 저하하는 경우가 있다.
- [0188] 또한, CAAC-OS는 결합 준위 밀도를 저감함으로써 형성할 수 있다. 산화물 반도체에서, 산소 결손은 결합 준위이다. 산소 결손은 트랩 준위가 되는 것이나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다. CAAC-OS를 형성하기 위해서는, 산화물 반도체에 산소 결손을 발생시키지 않는 것이 중요해진다. 따라서, CAAC-OS는 결합 준위 밀도가 낮은 산화물 반도체이다. 즉, CAAC-OS는 산소 결손이 적은 산화물 반도체이다.
- [0189] 불순물 농도가 낮고, 결합 준위 밀도가 낮은(산소 결손이 적음) 것을 "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게할 수 있는 경우가 있다. 따라서, 상기 산화물 반도체를 채널 형성 영역에 포함한 트랜지스터는 문턱 전압이 마이너스가 되는 전기 특성(노멀리-온이라고도 함)이 되는 것이 적은 경우가 있다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는, 결합 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다. 따라서, 상기 산화물 반도체를 채널 형성 영역에 포함한 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 되는 경우가 있다. 산화물 반도체의 트랩 준위에 포획된 전하는 소실하기까지 필요로 하는 시간이 길고, 마치 고정 전하와 같이 행동하는 것이 있다. 그 때문에, 트랩 준위 밀도가 높은 산화물 반도체를 채널 형성 영역에 포함한 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0190] 고순도 진성 또는 실질적으로 고순도 진성인 CAAC-OS를 포함한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.
- [0191] CAAC-OS는 예를 들면, DC 전원을 이용한 스퍼터링법에 의해 형성할 수 있다.
- [0192] 산화물 반도체는 다결정을 포함해도 좋다. 또한, 다결정을 가지는 산화물 반도체를, 다결정 산화물 반도체라고 부른다. 다결정 산화물 반도체는 복수의 결정립을 포함한다.
- [0193] 다결정 산화물 반도체는 TEM에 의한 관찰상으로, 결정립을 확인할 수 있는 경우가 있다. 다결정 산화물 반도체에 포함되는 결정립은 TEM에 의한 관찰상에서, 2 nm 이상 300 nm 이하, 3 nm 이상 100 nm 이하 또는 5 nm 이상 50 nm 이하의 입경인 경우가 많다. 또한, 다결정 산화물 반도체는 TEM에 의한 관찰상에서, 결정립과 결정립과의 경계를 확인할 수 있는 경우가 있다. 또한, 다결정 산화물 반도체는 예를 들면, TEM에 의한 관찰상에서, 입계를 확인할 수 있는 경우가 있다.
- [0194] 다결정 산화물 반도체는 복수의 결정립을 포함하고, 상기 복수의 결정립에서 방위가 차이가 나는 경우가 있다. 다결정 산화물 반도체는 XRD 장치를 이용하여, out-of-plane법에 의한 분석을 행하면, 배향을 나타내는 2θ가 31° 근방의 피크, 또는 복수종의 배향을 나타내는 피크가 나타나는 경우가 있다. 또한, 다결정 산화물 반도체는 전자선 회절 패턴에서, 스폿이 관측되는 경우가 있다.
- [0195] 다결정 산화물 반도체는 높은 결정성을 가지기 때문에, 높은 전자 이동도를 가지는 경우가 있다. 따라서, 다결정 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터는 높은 전계 효과 이동도를 가진다. 단, 다결정 산화물 반도체는 입계에 불순물이 편석하는 경우가 있다. 또한, 다결정 산화물 반도체의 입계는 결합 준위가 된다. 다결정 산화물 반도체는 입계가 캐리어 발생원, 트랩 준위가 되는 경우가 있기 때문에, 다결정 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터는 CAAC-OS를 채널 형성 영역에 이용한 트랜지스터와 비교하여, 전기 특성의 변동이 크고, 신뢰성이 낮은 트랜지스터가 되는 경우가 있다.

- [0196] 다결정 산화물 반도체는 고온에서의 가열 처리, 또는 레이저 광 처리에 의해 형성할 수 있다.
- [0197] 산화물 반도체는 미결정을 포함해도 좋다. 단, 미결정을 포함하는 산화물 반도체를, 미결정 산화물 반도체라고 부른다.
- [0198] 미결정 산화물 반도체는 TEM에 의한 관찰상에서는, 명확하게 결정부를 확인할 수 없는 경우가 있다. 미결정 산화물 반도체에 포함되는 결정부는 1 nm 이상 100 nm 이하, 또는 1 nm 이상 10 nm 이하의 크기인 경우가 많다. 특히, 1 nm 이상 10 nm 이하의 미결정을 나노 결정(nc : nanocrystal)이라고 부른다. 나노 결정을 가지는 산화물 반도체를 nc-OS(nanocrystalline Oxide Semiconductor)라고 부른다. 또한, nc-OS는 TEM에 의한 관찰상에서는, 결정부와 결정부와의 경계를 명확하게 확인할 수 없는 경우가 있다. 또한, nc-OS는 TEM에 의한 관찰상에서는, 명확한 입계를 갖지 않기 때문에, 불순물이 편석하는 경우가 적다. 또한, nc-OS는 명확한 입계를 갖지 않기 때문에, 결함 준위 밀도가 높아지는 경우가 적다. 또한, nc-OS는 명확한 입계를 갖지 않기 때문에, 전자 이동도의 저하가 작다.
- [0199] nc-OS는 미소한 영역(예를 들면, 1 nm 이상 10 nm 이하의 영역)에서 원자 배열에 주기성을 가지는 경우가 있다. 또한, nc-OS는 결정부와 결정부와의 사이에 규칙성이 없다. 그 때문에, 거시적으로는 원자 배열에 주기성을 볼 수 없는 경우, 또는 장거리 질서를 볼 수 없는 경우가 있다. 따라서, nc-OS는 분석 방법에 따라서는, 비정질 산화물 반도체와 구별이 되지 않는 경우가 있다. nc-OS는 예를 들면, XRD 장치를 이용하여, 결정부보다 큰 빔 직경의 X선으로 out-of-plane법에 의한 분석을 행하면, 배향을 나타내는 피크가 검출되지 않는 경우가 있다. 또한, nc-OS는 결정부보다 큰 빔 직경(예를 들면, 20 nm $\phi$  이상, 또는 50 nm $\phi$  이상)의 전자선을 이용하는 전자선 회절 패턴에서는, 헤일로 패턴(halo pattern)이 관측되는 경우가 있다. 또한, nc-OS는 결정부와 같거나 결정부보다 작은 빔 직경(예를 들면, 10 nm $\phi$  이하, 또는 5 nm $\phi$  이하)의 전자선을 이용하는 극미 전자선 회절 패턴에서는, 스폿이 관측되는 경우가 있다. nc-OS의 극미 전자선 회절 패턴은 원을 그리듯이 휘도가 높은 영역이 관측되는 경우가 있다. nc-OS의 극미 전자선 회절 패턴은 상기 영역 내에 복수의 스폿이 관측되는 경우가 있다.
- [0200] 도 10의 (B)는 nc-OS를 포함하는 시료의 극미 전자선 회절 패턴의 일례이다. 여기에서는, 시료를 nc-OS의 피형 성면에 수직인 방향으로 절단하여, 두께가 40 nm 정도가 되도록 박편화한다. 또한, 여기에서는, 빔 직경이 1 nm $\phi$ 의 전자선을 시료의 절단면에 수직인 방향으로부터 입사시킨다. 도 10의 (B)로부터, nc-OS의 극미 전자선 회절 패턴은 원을 그리듯이 휘도가 높은 영역이 관측되고, 또한 상기 영역 내에 복수의 스폿이 관측되는 것을 알 수 있다.
- [0201] nc-OS는 미소한 영역에서 원자 배열에 주기성을 가지는 경우가 있기 때문에, 비정질 산화물 반도체보다 결함 준위 밀도가 낮아진다. 단, nc-OS는 결정부와 결정부와의 사이에 규칙성이 없기 때문에, CAAC-OS와 비교해 결함 준위 밀도가 높아진다.
- [0202] 따라서, nc-OS는 CAAC-OS와 비교하여, 캐리어 밀도가 높아지는 경우가 있다. 캐리어 밀도가 높은 산화물 반도체는 전자 이동도가 높아지는 경우가 있다. 따라서, nc-OS를 채널 형성 영역에 이용한 트랜지스터는 높은 전계 효과 이동도를 가지는 경우가 있다. 그러나, nc-OS는 CAAC-OS와 비교하여, 결함 준위 밀도가 높기 때문에, 트랩 준위 밀도도 높아지는 경우가 있다. 따라서, nc-OS를 채널 형성 영역에 이용한 트랜지스터는 CAAC-OS를 채널 형성 영역에 이용한 트랜지스터와 비교하여, 전기 특성의 변동이 크고, 신뢰성이 낮은 트랜지스터가 되는 경우가 있다. 단, nc-OS는 비교적 불순물이 많이 포함되어 있어도 얻을 수 있기 때문에; CAAC-OS보다 형성이 용이하게 되어, 용도에 따라서는 적합하게 이용할 수 있는 경우가 있다. 또한, AC 전원을 이용한 스퍼터링법 등의 성막 방법에 의해 nc-OS를 형성해도 좋다. AC 전원을 이용한 스퍼터링법은 대형 기판에 균일성 높게 성막할 수 있기 때문에, nc-OS를 채널 형성 영역에 이용한 트랜지스터를 포함하는 반도체 장치는 생산성 높게 제작할 수 있다.
- [0203] 산화물 반도체는 비정질부를 포함해도 좋다. 단, 비정질부를 포함하는 산화물 반도체를 비정질 산화물 반도체라고 부른다. 비정질 산화물 반도체는 원자 배열이 무질서하고, 결정부를 갖지 않는다. 비정질 산화물 반도체는 석영과 같은 무정형 상태를 가지고, 원자 배열에 규칙성을 볼 수 없다.
- [0204] 비정질 산화물 반도체는 TEM에 의한 관찰상에서, 결정부를 확인할 수 없는 경우가 있다.
- [0205] 비정질 산화물 반도체는 XRD 장치를 이용하여, out-of-plane법에 의한 분석을 행하면, 배향을 나타내는 피크가 검출되지 않는 경우가 있다. 또한, 비정질 산화물 반도체는 전자선 회절 패턴으로 헤일로 패턴이 관측되는 경우가 있다. 또한, 비정질 산화물 반도체는 극미 전자선 회절 패턴으로 스폿을 관측하지 못하고, 헤일로 패턴이

관측되는 경우가 있다.

- [0206] 비정질 산화물 반도체는 수소 등의 불순물을 높은 농도로 포함시킴으로써 형성할 수 있는 경우가 있다. 따라서, 비정질 산화물 반도체는 불순물을 높은 농도로 포함하는 산화물 반도체이다.
- [0207] 산화물 반도체에 불순물이 높은 농도로 포함되면, 산화물 반도체에 산소 결손 등의 결함 준위를 형성하는 경우가 있다. 따라서, 불순물 농도가 높은 비정질 산화물 반도체는 결함 준위 밀도가 높다. 또한, 비정질 산화물 반도체는 결정성이 낮기 때문에 CAAC-OS나 nc-OS와 비교해 결함 준위 밀도가 높다.
- [0208] 따라서, 비정질 산화물 반도체는 nc-OS와 비교하여, 더욱 캐리어 밀도가 높아지는 경우가 있다. 그 때문에, 비정질 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터는, 노멀리-온의 전기 특성이 되는 경우가 있다. 따라서, 노멀리-온의 전기 특성이 요구되는 트랜지스터에 적합하게 이용할 수 있는 경우가 있다. 비정질 산화물 반도체는 결함 준위 밀도가 높기 때문에, 트랩 준위 밀도도 높아지는 경우가 있다. 따라서, 비정질 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터는 CAAC-OS나 nc-OS를 채널 형성 영역에 이용한 트랜지스터와 비교하여, 전기 특성의 변동이 크고, 신뢰성이 낮은 트랜지스터가 되는 경우가 있다. 단, 비정질 산화물 반도체는 비교적 불순물이 많이 포함되는 성막 방법에 의해서도 형성할 수 있기 때문에, 형성이 용이하게 되어, 용도에 따라서는 적합하게 이용할 수 있는 경우가 있다. 예를 들면, 스펀 코팅법, 졸-겔법, 침지법, 스프레이법, 스크린 인쇄법, 콘택트 프린트법, 잉크젯 인쇄법, 롤 코팅법, 미스트 CVD법 등의 성막 방법에 의해 비정질 산화물 반도체를 형성해도 좋다. 따라서, 비정질 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터를 포함하는 반도체 장치는 생산성 높게 제작할 수 있다.
- [0209] 단, 산화물 반도체가 CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체의 2종 이상을 포함하는 혼합막이어도 좋다. 혼합막은 예를 들면, 비정질 산화물 반도체의 영역, 미결정 산화물 반도체의 영역, 다결정 산화물 반도체의 영역, CAAC-OS의 영역의 어느 2종 이상의 영역을 포함하는 경우가 있다. 혼합막은 예를 들면, 비정질 산화물 반도체의 영역, 미결정 산화물 반도체의 영역, 다결정 산화물 반도체의 영역, CAAC-OS의 영역의 어느 2종 이상의 영역의 적층 구조를 가지는 경우가 있다.
- [0210] 산화물 반도체는 예를 들면, 단결정을 포함해도 좋다. 단, 단결정을 포함하는 산화물 반도체를, 단결정 산화물 반도체라고 부른다.
- [0211] 단결정 산화물 반도체는 예를 들면, 불순물 농도가 낮고, 결함 준위 밀도가 낮기(산소 결손이 적기) 때문에, 캐리어 밀도를 낮게 할 수 있다. 따라서, 단결정 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터는 노멀리-온의 전기 특성이 되는 경우가 적다. 또한, 단결정 산화물 반도체는 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다. 따라서, 단결정 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 되는 경우가 있다.
- [0212] 산화물 반도체는 결함이 적으면 밀도가 높아지는 경우가 있다. 산화물 반도체는 결정성이 높으면 밀도가 높아지는 경우가 있다. 산화물 반도체는 예를 들면, 수소 등의 불순물 농도가 낮으면 밀도가 높아진다. 또한, 단결정 산화물 반도체는 CAAC-OS보다 밀도가 높은 경우가 있다. 또한, CAAC-OS는 미결정 산화물 반도체보다 밀도가 높은 경우가 있다. 또한, 다결정 산화물 반도체는 미결정 산화물 반도체보다 밀도가 높은 경우가 있다. 또한, 미결정 산화물 반도체는 비정질 산화물 반도체보다 밀도가 높은 경우가 있다.
- [0213] 이하의 조건하에서, CAAC-OS를 성막하는 것이 바람직하다.
- [0214] 성막시의 불순물 혼입을 저감함으로써, 불순물에 의해 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들면, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소 및 질소 등)를 저감하면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감하면 좋다. 구체적으로는, 노점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 이용한다.
- [0215] 성막시의 피성막면의 가열 온도(예를 들면 기관 가열 온도)를 높임으로써, 피성막면에 도달한 후에 스퍼터링 입자의 마이그레이션이 일어난다. 구체적으로는, 피성막면의 온도를 100℃ 이상 740℃ 이하, 바람직하게는 150℃ 이상 500℃ 이하로 하여 성막한다.
- [0216] 또한, 성막 가스 중의 산소 비율을 높여 전력을 최적화함으로써 성막시의 플라즈마 대미지를 경감하면 바람직하다. 성막 가스 내의 산소 비율은 30 체적% 이상, 바람직하게는 100 체적%로 한다.
- [0217] 스퍼터링용 타겟의 일례로서 In-Ga-Zn-O 화합물 타겟에 대하여 이하에 나타낸다.

[0218]  $InO_x$  분말,  $GaO_y$  분말 및  $ZnO_z$  분말을 소정의 mol수로 혼합하고, 가압 처리 후, 1000℃ 이상 1500℃ 이하의 온도로 가열 처리를 함으로써 다결정인 In-Ga-Zn계 금속 산화물 타겟으로 한다. 상기 가압 처리는 냉각(또는 방랭)하면서 행하여도 좋고, 가열하면서 행하여도 좋다. 단, X, Y, 및 Z는 임의의 양수이다. 여기서, 소정의 mol수비는 예를 들면,  $InO_x$  분말,  $GaO_y$  분말, 및  $ZnO_z$  분말이, 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2 등이 있다. 또한, 분말의 종류, 및 그 혼합하는 mol수비는 형성되는 스피터링용 타겟에 따라 적절히 변경하면 좋다.

[0219] 여기서, 결정 상태에서의 산화물 반도체(OS로 나타냄) 및 실리콘(Si로 나타냄)의 대비를 표 1에 나타낸다.

표 1

		비정질	미결정	다결정	연속 결정	단결정
OS		a-OS a-OS:H	nc-OS μc-OS	다결정OS	CAAC-OS	단결정OS
	극미 전자선회절	헤일로	링 +스폿	스폿	스폿	스폿
	결정부	-	nm~μm	불연속	연속적으로 연결됨	-
	DOS	높음	약간 낮음	-	낮음	매우 낮음
	밀도	낮음	중간 정도	-	높음	-

Si	a-Si a-Si:H	nc-Si μc-Si	다결정Si	CG실리콘	단결정Si
----	----------------	----------------	-------	-------	-------

[0220]

[0221] 산화물 반도체의 결정 상태에는, 예를 들면, 표 1에 나타내는 바와 같이, 비정질 산화물 반도체(a-OS, a-OS:H), 미결정 산화물 반도체(nc-OS, μc-OS), 다결정 산화물 반도체(다결정 OS), 연속 결정 산화물 반도체(CAAC-OS), 단결정 산화물 반도체(단결정 OS) 등이 포함된다. 실리콘의 결정 상태에는, 예를 들면, 표 1에 나타내는 바와 같이, 비정질 실리콘(a-Si나 a-Si:H), 미결정 실리콘(nc-Si, μc-Si), 다결정 실리콘(다결정 Si), 연속 결정 실리콘(CG(Continuous Grain) 실리콘), 단결정 실리콘(단결정 Si) 등이 포함된다.

[0222] 각 결정 상태에서의 산화물 반도체에 대하여, 빔 직경을 10 nmφ 이하로 수렴시킨 전자선을 이용하는 전자선 회절(극미 전자선 회절)을 행한다. 그러면, 이하와 같은 전자선 회절 패턴(극미 전자선 회절 패턴)이 관측된다. 비정질 산화물 반도체에서는 헤일로 패턴(헤일로 링 또는 헤일로라고도 함)이 관측된다. 미결정 산화물 반도체에서는 스폿 또는/및 링 패턴이 관측된다. 다결정 산화물 반도체에서는 스폿이 관측된다. 연속 결정 산화물 반도체에서는 스폿이 관측된다. 단결정 산화물 반도체에서는 스폿이 관측된다.

[0223] 극미 전자선 회절 패턴으로부터, 미결정 산화물 반도체는 결정부가 나노미터(nm)에서 마이크로 미터(μm)의 직경인 것을 알 수 있다. 다결정 산화물 반도체는 결정부와 결정부와의 사이에 입계를 가지고, 경계가 불연속인 것을 알 수 있다. 연속 결정 산화물 반도체는 결정부와 결정부와의 사이에 경계가 관측되지 않고, 연속적으로 연결되는 것을 알 수 있다.

[0224] 각 결정 상태에서의 산화물 반도체의 밀도에 대하여 설명한다. 비정질 산화물 반도체의 밀도는 낮다. 미결정 산화물 반도체의 밀도는 중간 정도이다. 연속 결정 산화물 반도체의 밀도는 높다. 즉, 연속 결정 산화물 반도체의 밀도는 미결정 산화물 반도체의 밀도보다 높고, 미결정 산화물 반도체의 밀도는 비정질 산화물 반도체의 밀도보다 높다.

[0225] 각 결정 상태에서의 산화물 반도체에 존재하는 상태 밀도(DOS)의 특징을 설명한다. 비정질 산화물 반도체는 DOS가 높다. 미결정 산화물 반도체는 DOS가 약간 낮다. 연속 결정 산화물 반도체는 DOS가 낮다. 단결정 산화물 반도체는 DOS가 매우 낮다. 즉, 단결정 산화물 반도체는 연속 결정 산화물 반도체보다 DOS가 낮고, 연속 결정 산화물 반도체는 미결정 산화물 반도체보다 DOS가 낮고, 미결정 산화물 반도체는 비정질 산화물 반도체보다 DOS가 낮다.

- [0226] 산화물 반도체막은 복수의 산화물 반도체막이 적층된 구조를 포함해도 좋다. 예를 들면, 도 9의 (A)에 나타내는 트랜지스터와 같이, 반도체막을 제 1 산화물 반도체막(188a)과 제 2 산화물 반도체막(188b)의 적층으로 할 수 있다. 제 1 산화물 반도체막(188a)과 제 2 산화물 반도체막(188b)에 다른 원자수비의 금속 산화물을 포함해도 좋다. 예를 들면, 한쪽의 산화물 반도체막에 2종류의 금속을 포함하는 산화물, 3종류의 금속을 포함하는 산화물, 4종류의 금속을 포함하는 산화물 중 하나를 포함하고, 다른 한쪽의 산화물 반도체막에 한쪽의 산화물 반도체막과 다른 2종류의 금속을 포함하는 산화물, 3종류의 금속을 포함하는 산화물, 4종류의 금속을 포함하는 산화물을 포함해도 좋다.
- [0227] 또한, 제 1 산화물 반도체막(188a)과 제 2 산화물 반도체막(188b)의 구성 원소를 동일하게 하고, 양자의 원자수비를 다르게 해도 좋다. 예를 들면, 한쪽의 산화물 반도체막의 원자수비를 In:Ga:Zn=3:1:2로 하고, 다른 한쪽의 산화물 반도체막의 원자수비를 In:Ga:Zn=1:1:1로 해도 좋다. 또한, 한쪽의 산화물 반도체막의 원자수비를 In:Ga:Zn=2:1:3으로 하고, 다른 한쪽의 산화물 반도체막의 원자수비를 In:Ga:Zn=1:3:2로 해도 좋다. 또한, 한쪽의 산화물 반도체막의 원자수비를 In:Ga:Zn=1:1:1로 하고, 다른 한쪽의 산화물 반도체막의 원자수비를 In:Ga:Zn=1:3:2로 해도 좋다. 또한, 한쪽의 산화물 반도체막의 원자수비를 In:Ga:Zn=1:1:1로 하고, 다른 한쪽의 산화물 반도체막의 원자수비를 In:Ga:Zn=1:6:4로 해도 좋다. 또한, 한쪽의 산화물 반도체막의 원자수비를 In:Ga:Zn=1:1:1로 하고, 다른 한쪽의 산화물 반도체막의 원자수비를 In:Ga:Zn=1:9:6으로 해도 좋다. 단, 각 산화물 반도체막의 원자수비는 오차로서 상기의 원자수비의  $\pm 20\%$ 의 변동을 포함한다.
- [0228] 이 때, 한쪽의 산화물 반도체막과 다른 한쪽의 산화물 반도체막 중, 게이트 전극에 가까운 쪽(채널층)의 산화물 반도체막의 In와 Ga의 원자수비를  $In \geq Ga$ 로 하고; 게이트 전극으로부터 먼 쪽(백 채널층)의 산화물 반도체막의 In와 Ga의 원자수비를  $In < Ga$ 로 한다. 이로써, 전계 효과 이동도가 높은 트랜지스터를 제작할 수 있다. 한편, 채널층의 산화물 반도체막의 In와 Ga의 원자수비를  $In < Ga$ 로 하고, 백 채널층의 산화물 반도체막의 In와 Ga의 원자수비를  $In \geq Ga$ 로 함으로써, 트랜지스터의 경시 변화나 신뢰성 시험에 의한 문턱 전압의 변동량을 저감할 수 있다.
- [0229] 또한, 트랜지스터의 반도체막을 제 1 산화물 반도체막 내지 제 3 산화물 반도체막으로 이루어지는 3층 구조로 해도 좋다. 이 때, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막이 동일한 구성 원소를 포함하거나, 또한 각각의 원자수비를 다르게 해도 좋다. 3층 구조의 반도체막을 포함하는 트랜지스터의 구성에 대하여, 도 9의 (B)를 이용하여 설명한다.
- [0230] 도 9의 (B)에 나타내는 트랜지스터는 제 1 산화물 반도체막(199a), 제 2 산화물 반도체막(199b), 및 제 3 산화물 반도체막(199c)이 게이트 절연막(127)층으로부터 순서대로 적층되어 있다. 제 1 산화물 반도체막(199a) 및 제 3 산화물 반도체막(199c)을 구성하는 재료는  $InM_xZn_yO_z$  ( $x \geq 1, y > 1, z > 0, M_1=Ga, Hf$  등)로 표기할 수 있는 재료를 이용한다. 단, 제 1 산화물 반도체막(199a) 및 제 3 산화물 반도체막(199c)을 구성하는 재료에 Ga를 포함시킨 경우, 포함시킨 Ga의 비율이 많고, 구체적으로는  $InM_xZn_yO_z$ 로 표기할 수 있는 재료에서  $X=10$ 을 넘으면 성막시에 가루가 발생할 우려가 있어, 부적합하다.
- [0231] 제 2 산화물 반도체막(199b)을 구성하는 재료는  $InM_2xZn_yO_z$  ( $x \geq 1, y \geq x, z > 0, M_2=Ga, Sn$  등)로 표기할 수 있는 재료를 이용한다.
- [0232] 제 1 산화물 반도체막(199a)의 전도대 하단 및 제 3 산화물 반도체막(199c)의 전도대 하단에 비해 제 2 산화물 반도체막(199b)의 전도대 하단이 진공 준위로부터 가장 깊어지는 우물형 구조를 구성하도록, 제 1, 제 2, 및 제 3 산화물 반도체막의 재료를 적절히 선택한다.
- [0233] 단, 산화물 반도체막에서 제 14 족 원소의 1개인 실리콘이나 탄소는 도너 준위의 형성에 기여하는 경우가 있다. 이 때문에, 실리콘이나 탄소가 산화물 반도체막에 포함되면, 산화물 반도체막은 n형화하게 된다. 따라서, 실리콘 및 탄소의 각각의 농도는  $3 \times 10^{18} / \text{cm}^3$  이하, 바람직하게는  $3 \times 10^{17} / \text{cm}^3$ 로 하는 영역을 가지도록 각 산화물 반도체막을 형성하는 것이 바람직하다. 특히, 제 2 산화물 반도체막(199b)에 제 14 족 원소가 많이 혼입하지 않도록, 제 1 산화물 반도체막(199a) 및 제 3 산화물 반도체막(199c)으로, 캐리어 패스가 되는 제 2 산화물 반도체막(199b)을 사이에 끼우거나, 또는 둘러싸는 구성으로 하는 것이 바람직하다. 즉, 제 1 산화물 반도체막(199a) 및 제 3 산화물 반도체막(199c)은 실리콘, 탄소 등의 제 14 족 원소가 제 2 산화물 반도체막(199b)에 혼입하는 것을 막는 배리어막이라고도 부를 수 있다.
- [0234] 예를 들면, 제 1 산화물 반도체막(199a) 및 제 3 산화물 반도체막(199c)을 원자수비가 In:Ga:Zn=1:3:2, 또는

1:6:4 또는 1:9:6인 산화물 반도체막으로 형성하고, 제 2 산화물 반도체막(199b)의 원자수비가 In:Ga:Zn=1:1:1, 또는 3:1:2인 산화물 반도체막으로 형성할 수 있다.

- [0235] 또는, 제 1 산화물 반도체막(199a)을 원자수비가 In:Ga:Zn=1:3:2인 산화물 반도체막으로 형성하고, 제 2 산화물 반도체막(199b)을 원자수비가 In:Ga:Zn=1:1:1 또는 In:Ga:Zn=3:1:2인 산화물 반도체막으로 형성하고, 제 3 산화물 반도체막(199c)을 원자수비가 In:Ga:Zn=1:6:4 또는 1:9:6인 산화물 반도체막으로 형성해도 좋다.
- [0236] 제 1 산화물 반도체막(199a) 내지 제 3 산화물 반도체막(199c)의 구성 원소는 동일하기 때문에, 제 2 산화물 반도체막(199b)은 제 1 산화물 반도체막(199a)과의 계면에서의 결함 준위(트랩 준위)가 적다. 상세하게는, 상기 결함 준위(트랩 준위)는 게이트 절연막(127)과 제 1 산화물 반도체막(199a)과의 계면에서의 결함 준위보다 적다. 이 때문에, 상기와 같이 산화물 반도체막이 적층됨으로써, 트랜지스터의 경시 변화나 신뢰성 시험에 의한 문턱 전압의 변동량을 저감할 수 있다.
- [0237] 또한, 제 1 산화물 반도체막(199a)의 전도대 하단 및 제 3 산화물 반도체막(199c)의 전도대 하단에 비해 제 2 산화물 반도체막(199b)의 전도대 하단이 진공 준위로부터 가장 깊어지는 것 같은 우물형 구조를 구성하도록, 제 1, 제 2, 및 제 3 산화물 반도체막의 재료를 적절히 선택한다. 이로써, 트랜지스터의 전계 효과 이동도를 높일 수 있음과 동시에, 트랜지스터의 경시 변화나 신뢰성 시험에 의한 문턱 전압의 변동량을 저감할 수 있다.
- [0238] 또한, 제 1 산화물 반도체막(199a) 내지 제 3 산화물 반도체막(199c)은 결정성이 다른 산화물 반도체를 이용하여 형성해도 좋다. 즉, 단결정 산화물 반도체, 다결정 산화물 반도체, 미결정(나노 결정) 산화물 반도체, 비정질 산화물 반도체, 및 CAAC-OS막을 적절히 조합한 구성을 이용하여 형성해도 좋다. 제 1 산화물 반도체막(199a) 내지 제 3 산화물 반도체막(199c)의 어느 하나에 비정질 산화물 반도체를 이용하면, 산화물 반도체막의 내부 응력이나 외부로부터의 응력을 완화해, 트랜지스터의 특성 편차가 저감되고, 또한 트랜지스터의 경시 변화나 신뢰성 시험에 의한 문턱 전압의 변동량을 저감할 수 있다.
- [0239] 적어도 채널 형성 영역이 될 수 있는 제 2 산화물 반도체막(199b)은 CAAC-OS막인 것이 바람직하다.
- [0240] 또한, 산소와 결합하기 쉬운 도전 재료(예를 들면, 소스 전극 또는 드레인 전극에 이용되는 금속)와 산화물 반도체막을 접촉시키면, 산화물 반도체막 내의 산소가, 산소와 결합하기 쉬운 도전 재료층으로 확산되는 현상이 일어난다. 상기 현상은 온도가 높을수록 현저하게 일어난다. 트랜지스터의 제작 공정에는 몇 개의 가열 공정이 있기 때문에; 상기 현상에 의해, 산화물 반도체층의 소스 전극 또는 드레인 전극과 접촉한 근방의 영역에 산소 결손이 발생하여, 상기 영역은 n형화한다. 따라서, n형화한 상기 영역은 트랜지스터의 소스 또는 드레인으로서 작용시킬 수 있다.
- [0241] 상기 n형화한 영역은 도 9의 (A), 도 9의 (B)에 예시된다. 반도체막 내에 점선으로 표시되는 경계(135)는 진성 반도체 영역과 n형 반도체 영역의 경계이며, 산화물 반도체에서의 소스 전극 또는 드레인 전극과 접촉한 근방의 영역이 n형화한 영역이 된다. 경계(135)는 모식적으로 나타낸 것이고, 실제로는 명료하지 않은 경우가 있다. 경계(135)의 위치도 도시한 위치와는 다른 경우가 있다.
- [0242] 단, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0243] (실시형태 3)
- [0244] 본 실시형태에서는, 본 발명의 일 양태에 이용할 수 있는 나노 결정 산화물 반도체막의 전자선 회절 패턴, 및 국제 준위에 대하여 설명한다.
- [0245] 나노 결정 산화물 반도체막은 빔 직경이 10 nmφ 이하로 한 전자선 회절(극미 전자선 회절)을 이용한 전자선 회절 패턴에서, 방향성을 가지지 않는 스폿이 관찰되는 산화물 반도체막이다. 나노 결정 산화물 반도체막의 전자선 회절 패턴은 비정질 상태를 나타내는 헤일로 패턴과도, 특정의 면에 배향한 결정 상태를 나타내는 규칙성을 가지는 스폿과도 다르다.
- [0246] 도 13의 (A)에 나노 결정 산화물 반도체막의 단면 TEM(Transmission Electron Microscope(투과형 전자 현미경)) 상을 나타낸다. 도 13의 (B)에 도 13의 (A)의 포인트 1에서 극미 전자선 회절을 이용하여 측정된 전자선 회절 패턴을, 도 13의 (C)에 도 13의 (A)의 포인트 2에서 극미 전자선 회절을 이용하여 측정된 전자선 회절 패턴을, 도 13의 (D)에 도 13의 (A)의 포인트 3에서 극미 전자선 회절을 이용하여 측정된 전자선 회절 패턴을 각각 나타낸다.
- [0247] 도 13의 (A) 내지 도 13의 (D)에서는, 나노 결정 산화물 반도체막의 일례로서 In-Ga-Zn계 산화물막을 석영 유리

기관 위에 막 두께 50 nm로 형성한 시료를 이용한다. 도 13의 (A) 내지 도 13의 (D)에 나타내는 나노 결정 산화물 반도체막은 다음의 조건하에서 형성된다: In:Ga:Zn=1:1:1(원자수비)인 산화물 타겟을 이용하고; 산소 분위기(유량 45 sccm)를 이용하고; 압력 0.4 Pa; 직류(DC) 전원 0.5 kW가 인가되고; 기관 온도를 실온으로 했다. 그리고, 형성된 나노 결정 산화물 반도체막을 100 nm 이하(예를 들면, 40 nm±10 nm)의 폭에 박편화하여, 단면 TEM상 및 극미 전자선 회절에 의한 전자선 회절 패턴이 관찰되었다.

[0248] 도 13의 (A)는 투과형 전자 현미경(Hitachi High-Technologies Co. 제 「H-9000 NAR」)을 이용하여 가속 전압을 300 kV, 배율 200 만배로 하여 촬영한 나노 결정 산화물 반도체막의 단면 TEM상이다. 도 13의 (B) 내지 도 13의 (D)는 투과형 전자 현미경(Hitachi High-Technologies Co. 제 「HF-2000」)을 이용하고, 가속 전압을 200 kV, 빔 직경을 약 1 nmφ로 하여 극미 전자선 회절에 의해 얻어진 전자선 회절 패턴이다. 단, 빔 직경을 약 1 nmφ로 한 경우의 극미 전자선 회절에서의 측정 범위는 5 nmφ 이상 10 nmφ 이하이다.

[0249] 도 13의 (B)에 나타내는 바와 같이, 나노 결정 산화물 반도체막은 극미 전자선 회절을 이용한 전자선 회절 패턴에서, 원주상으로 배치된 복수의 스폿(회점)이 관찰된다. 바꿔 말하면, 나노 결정 산화물 반도체막에서는, 원주상(동심원상)으로 분포한 복수의 스폿이 관찰된다고도 할 수 있고, 또는, 원주상으로 분포한 복수의 스폿이 복수의 동심원을 형성한다고도 할 수 있다.

[0250] 또한, 석영 유리 기관과의 계면 근방인 도 13의 (D) 및, 나노 결정 산화물 반도체막의 막 두께 방향 중앙부의 도 13의 (C)에서도 도 13의 (B)와 마찬가지로 원주상으로 분포한 복수의 스폿이 관찰된다. 도 13의 (C)에서, 메인 스폿으로부터 원주상의 스폿까지의 거리는 3.88/nm에서 4.93/nm였고, 또는 면 간격으로 환산하면, 0.203 nm에서 0.257 nm이다.

[0251] 도 13의 (A) 내지 도 13의 (D)의 극미 전자선 회절 패턴으로부터, 나노 결정 산화물 반도체막은 면 방위가 불규칙하고 또한 크기가 다른 결정부가 복수 혼재하는 막인 것을 알 수 있다.

[0252] 그 다음에, 도 14의 (A)에 나노 결정 산화물 반도체막의 평면 TEM상을 나타낸다. 도 14의 (B)에 도 14의 (A)에서 원으로 둘러싼 영역을, 제한 시야 전자선 회절을 이용하여 측정한 전자선 회절 패턴을 나타낸다.

[0253] 도 14의 (A) 및 도 14의 (B)에서는, 나노 결정 산화물 반도체막의 일례로서 In-Ga-Zn계 산화물막을 석영 유리 기관 위에 막 두께 30 nm로 형성한 시료를 이용한다. 도 14의 (A) 및 도 14의 (B)에 나타내는 나노 결정 산화물 반도체막은 다음의 조건하에서 형성된다: In:Ga:Zn=1:1:1(원자수비)인 산화물 타겟을 이용하고; 산소 분위기(유량 45 sccm)를 이용하고; 압력 0.4 Pa; 직류(DC) 전원 0.5 kW가 인가되고; 기관 온도를 실온으로 했다. 그리고, 시료를 박편화하여, 나노 결정 산화물 반도체막의 평면 TEM상 및 전자선 회절에 의한 전자선 회절 패턴이 관찰되었다.

[0254] 도 14의 (A)는 투과형 전자 현미경(Hitachi High-Technologies Co. 제 「H-9000 NAR」)을 이용하고, 가속 전압을 300 kV, 배율 50 만배로 하여 촬영한 나노 결정 산화물 반도체막의 평면 TEM 사진이다. 도 14의 (B)는 제한 시야를 300 nmφ로 하여 전자선 회절에 의해 얻어진 전자선 회절 패턴이다. 단, 전자선의 확대를 고려하면, 측정 범위는 300 nmφ 이상이다.

[0255] 도 14의 (B)에 나타내는 바와 같이, 나노 결정 산화물 반도체막은 극미 전자선 회절보다 측정 범위가 넓은 제한 시야 전자선 회절을 이용한 전자선 회절 패턴에서는, 극미 전자선 회절에 의해 관찰된 복수의 스폿이 관찰되지 않고, 헤일로 패턴이 관찰된다.

[0256] 다음에, 도 15의 (A) 내지 도 15의 (C)에, 도 13의 (A) 내지 도 13의 (D), 및 도 14의 (A) 및 도 14의 (B)의 전자선 회절 패턴에서의 회절 강도의 분포를 개념적으로 나타낸다. 도 15의 (A)는 도 13의 (B) 내지 도 13의 (D)에 나타내는 극미 전자선 회절 패턴에서의 회절 강도의 분포의 개념도이다. 도 15의 (B)는 도 14의 (B)에 나타내는 제한 시야 전자선 회절 패턴에서의 회절 강도의 분포의 개념도이다. 도 15의 (C)는 단결정 구조 또는 다결정 구조의 전자선 회절 패턴에서의 회절 강도의 분포의 개념도이다.

[0257] 도 15의 (A) 내지 도 15의 (C)에서, 세로축은 스폿 등의 분포를 나타내는 전자선 회절 강도(임의 단위), 가로축은 메인 스폿으로부터의 거리를 나타낸다.

[0258] 도 15의 (C)에 나타내는 단결정 구조 또는 다결정 구조에서는, 결정부가 배향하는 면의 면 간격(d값)에 따른, 메인 스폿으로부터의 특성의 거리에 스폿이 보여진다.

[0259] 한편, 도 13의 (A) 내지 도 13의 (D)에 나타내는 바와 같이 나노 결정 산화물 반도체막의 극미 전자선 회절 패턴으로 관찰되는 복수의 스폿은 비교적 큰 폭을 가진다. 따라서, 도 15의 (A)는 이산적인 강도 분포를 나타낸

다. 또한, 극미 전자선 회절 패턴에서, 중심원상의 영역간에 명확한 스폿이 되지는 못하지만 휘도가 높은 영역이 존재하는 것을 알 수 있다.

- [0260] 도 15의 (B)에 나타내는 바와 같이, 나노 결정 산화물 반도체막의 제한 시야 전자선 회절 패턴에서의 전자선 회절 강도 분포는 연속적인 강도 분포를 나타낸다. 도 15의 (B)는 도 15의 (A)에 나타내는 전자선 회절 강도 분포를 광범위하게 관찰한 결과와 근사 가능하기 때문에, 도 15의 (A)에 나타내는 복수의 스폿이 중첩하여 연결되어, 연속적인 강도 분포가 얻어진 것으로 고찰할 수 있다.
- [0261] 도 15의 (A) 내지 도 15의 (C)에 나타내는 바와 같이, 나노 결정 산화물 반도체막은 면 방위가 불규칙하고 또한 크기가 다른 결정부가 복수 혼재하는 막이며, 또한, 그 결정부는 제한 시야 전자선 회절 패턴에서는 스폿이 관찰되지 않을 정도로, 극미세인 것이 시사된다.
- [0262] 복수의 스폿이 관찰된 도 13의 (A) 내지 도 13의 (D)에서, 나노 결정 산화물 반도체막은 50 nm 이하로 박편화되어 있다. 또한 전자선의 빔 직경은 1 nm $\phi$ 로 수렴되어 있기 때문에, 그 측정 범위는 5 nm 이상 10 nm 이하이다. 따라서, 나노 결정 산화물 반도체막에 포함되는 결정부는 적어도 50 nm 이하이며, 예를 들면, 10 nm 이하, 또는 5 nm 이하인 것이 추측된다.
- [0263] 여기서, 도 16에 석영 유리 기판에서의 극미 전자선 회절 패턴을 나타낸다. 도 16의 측정 조건은 도 13의 (B) 내지 도 13의 (D)와 마찬가지로 했다.
- [0264] 도 16에 나타내는 바와 같이, 비정질 구조를 가지는 석영 유리 기판에서는, 특정 스폿을 포함하지 않고 메인 스폿으로부터 휘도가 연속적으로 변화하는 헤일로 패턴이 관측된다. 이와 같이, 비정질 구조를 가지는 막에서는, 극미소인 영역의 전자선 회절을 행했다고 해도, 나노 결정 산화물 반도체막에서 관찰되는 것과 같은 원주상으로 분포된 복수의 스폿이 관찰되지 않는다. 따라서, 도 13의 (B) 내지 도 13의 (D)에서 관찰되는 원주상으로 분포된 복수의 스폿은 나노 결정 산화물 반도체막에 특유의 것임이 확인된다.
- [0265] 도 17에, 도 13의 (A)에 나타내는 포인트 2에 빔 직경을 약 1 nm $\phi$ 로 수렴한 전자선을 1분간 조사한 후에, 측정을 행한 전자선 회절 패턴을 나타낸다.
- [0266] 도 17에 나타내는 전자선 회절 패턴은 도 13의 (C)에 나타내는 전자선 회절 패턴과 마찬가지로, 원주상으로 분포한 복수의 스폿이 관찰되고, 양자의 측정 결과에 특별한 차이점은 확인되지 않는다. 이것은 도 13의 (C)의 전자선 회절 패턴에서 확인된 결정부는 나노 결정 산화물 반도체막의 성막시부터 존재하고 있는 것을 의미하고, 수렴 전자선을 조사함으로써 결정부가 형성된 것이 아니라는 것을 의미한다.
- [0267] 다음에, 도 18의 (A) 및 도 18의 (B)에, 도 13의 (A)에 나타내는 단면 TEM상의 부분 확대도를 나타낸다. 도 18의 (A)는 도 13의 (A)의 포인트 1 근방(나노 결정 산화물 반도체막 표면)을 배율 800 만배에서 관찰한 단면 TEM상이다. 도 18의 (B)는 도 13의 (A)의 포인트 2 근방(나노 결정 산화물 반도체막의 막 두께 방향 중앙부)을 배율 800 만배에서 관찰한 단면 TEM상이다.
- [0268] 도 18의 (A) 및 도 18의 (B)에 나타내는 단면 TEM상으로부터는 나노 결정 산화물 반도체막에서 결정 구조를 명확하게는 확인할 수 없다.
- [0269] 또한, 도 13의 (A) 내지 도 13의 (D) 및 도 14의 (A) 및 도 14의 (B)의 관찰에 이용한, 석영 유리 기판 위에 본 실시형태의 나노 결정 산화물 반도체막이 성막된 시료를 X선 회절(XRD : X-Ray Diffraction)을 이용하여 분석했다. 도 19에 out-of-plane법을 이용하여 XRD 스펙트럼을 측정된 결과를 나타낸다.
- [0270] 도 19에서, 세로축은 X선 회절 강도(임의 단위)이며, 가로축은 회절각  $2\theta$ (deg.)이다. 단, XRD 스펙트럼의 측정은 Bruker AXS사제 X선 회절 장치 D-8 ADVANCE를 이용했다.
- [0271] 도 19에 나타내는 바와 같이,  $2\theta=20\sim 23^\circ$  근방에 석영에 기인한 피크가 관찰되지만; 나노 결정 산화물 반도체막에 포함되는 결정부에 기인한 피크는 확인할 수 없다.
- [0272] 도 18의 (A) 및 도 18의 (B) 및 도 19의 결과로부터도, 나노 결정 산화물 반도체막에 포함되는 결정부는 매우 미세한 결정부인 것이 시사된다.
- [0273] 이상 나타낸 바와 같이, 본 실시형태의 나노 결정 산화물 반도체막에서는 측정 범위가 넓은 X선 회절(XRD : X-ray diffraction)에 의한 분석에서는 배향을 나타내는 피크가 검출되지 않고, 또한, 측정 범위가 넓은 제한 시야 전자선 회절에 의해 얻어지는 전자선 회절 패턴에서는 헤일로 패턴이 관측된다. 따라서, 본 실시형태의 나노 결정 산화물 반도체막은 거시적으로는 무질서한 원자 배열을 가지는 막과 동등하다고 할 수 있다. 그러나

전자선의 빔 직경이 충분히 작은 직경(예를 들면, 10 nmφ 이하)의 극미 전자선 회절에 의해 나노 결정 산화물 반도체막을 측정함으로써, 얻어지는 극미 전자선 회절 패턴에서는 스폿(회점)을 관측할 수 있다. 따라서, 본 실시형태의 나노 결정 산화물 반도체막은 면 방위가 불규칙한 극미한 결정부(예를 들면, 입경이 10 nm 이하, 또는 5 nm 이하, 또는 3 nm 이하의 결정부)가 응집하여 형성된 막이라고 추측할 수 있다. 매우 미세한 결정부를 포함하는 나노 결정 영역은 나노 결정 산화물 반도체막의 막 두께 방향의 전 영역에서 포함된다.

- [0274] 여기서, 나노 결정 산화물 반도체막의 국제 준위에 대하여 설명한다. 여기에서는, 나노 결정 산화물 반도체막을 CPM(Constant photocurrent method) 측정으로 평가한 결과에 대하여 설명한다.
- [0275] 우선, 측정 시료의 구조에 대하여 설명한다.
- [0276] 측정 시료는 유리 기판 위에 형성된 산화물 반도체막과, 이 산화물 반도체막에 접하는 한쌍의 전극과, 산화물 반도체막 및 한쌍의 전극을 덮는 절연막을 포함한다.
- [0277] 다음에, 측정 시료에 포함되는 산화물 반도체막의 형성 방법에 대하여 설명한다.
- [0278] 제 1 산화물 반도체막은 다음의 조건하에서 스퍼터링법에 의해 형성된다: In-Ga-Zn 산화물(In:Ga:Zn=1:1:1 [원자수비])인 타겟을 이용하고; 성막 가스로서 아르곤 가스를 30 sccm, 산소 가스를 15 sccm 이용하고; 압력을 0.4 Pa로 하고; 기판 온도를 실온으로 하고; DC 전력을 0.5 kW 인가하는 조건을 이용한 스퍼터링법에 의해, 제 1 산화물 반도체막을 형성했다. 단, 제 1 산화물 반도체막은 나노 결정 산화물 반도체막이다.
- [0279] 제 1 산화물 반도체막을 450℃의 질소 분위기에서 1시간 가열한 후, 450℃의 산소 분위기에서 1시간 가열함으로써, 제 1 산화물 반도체막에 포함되는 수소를 이탈시키는 처리 및 제 1 산화물 반도체막에 산소를 공급하는 처리를 행하여; 제 2 산화물 반도체막을 얻었다. 단, 제 2 산화물 반도체막은 나노 결정 산화물 반도체막이다.
- [0280] 다음에, 제 1 산화물 반도체막을 포함하는 측정 시료, 및 제 2 산화물 반도체막을 포함하는 측정 시료에 대하여 CPM 측정을 행했다. 구체적으로는, 산화물 반도체막에 접하여 형성된 한쌍의 전극간에 전압을 인가한 상태에서 광 전류값이 일정해지도록 단자간의 측정 시료면에 조사하는 광량을 조정하고, 소망의 파장의 범위에서 조사 광량으로부터 흡수 계수를 도출했다.
- [0281] 각 측정 시료를 CPM 측정해 얻어진 흡수 계수로부터 밴드 테일(band tail) 기인의 흡수 계수를 제외한 흡수 계수, 즉 결합에 기인한 흡수 계수를 도 11의 (A) 및 도 11의 (B)에 나타낸다. 도 11의 (A) 및 도 11의 (B)에서, 가로축은 흡수 계수를 나타내고, 세로축은 광 에너지를 나타낸다. 도 11의 (A) 및 도 11의 (B)의 세로축에서, 산화물 반도체막의 전도대의 하단을 0 eV로 하고, 가전자대의 상단을 3.15 eV로 한다. 도 11의 (A) 및 도 11의 (B)에서, 각 곡선은 흡수 계수와 광 에너지의 관계를 나타내는 곡선이며, 결합 준위에 상당한다.
- [0282] 도 11의 (A)는 제 1 산화물 반도체막을 가지는 측정 시료의 측정 결과이며, 결합 준위에 의한 흡수 계수는  $5.28 \times 10^{-1} \text{ cm}^{-1}$ 였다. 도 11의 (B)는 제 2 산화물 반도체막을 포함하는 측정 시료의 측정 결과이며, 결합 준위에 의한 흡수 계수는  $1.75 \times 10^{-2} \text{ cm}^{-1}$ 였다.
- [0283] 따라서, 가열 처리에 의해, 산화물 반도체막에 포함되는 결합을 저감할 수 있다.
- [0284] 제 1 산화물 반도체막 및 제 2 산화물 반도체막에 관하여, X선 반사율법(XRR(X-ray Reflectometry))을 이용한 막 밀도를 측정했다. 제 1 산화물 반도체막의 막 밀도는  $5.9 \text{ g/cm}^3$ 이며, 제 2 산화물 반도체막의 막 밀도는  $6.1 \text{ g/cm}^3$ 였다.
- [0285] 따라서, 가열 처리에 의해, 산화물 반도체막의 막 밀도를 높일 수 있다.
- [0286] 즉, 산화물 반도체막에서, 막 밀도가 높을수록 막 내에 포함되는 결합이 적은 것을 알 수 있다.
- [0287] 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0288] (실시형태 4)
- [0289] 본 실시형태에서는, 본 발명의 일 양태에 이용할 수 있는 CAAC-OS막에 대하여, 전자선 회절 패턴 및 국제 준위에 대하여 설명한다.
- [0290] 본 실시형태에 이용하는 CAAC-OS막은 In-Ga-Zn 산화물(In:Ga:Zn=1:1:1 [원자수비])인 타겟, 및 산소를 포함하는 성막 가스를 이용한 스퍼터링법으로 형성한 In-Ga-Zn계 산화물막이다. 상기 CAAC-OS막의 제작 방법 등의 상세

한 설명은 실시형태 1, 2를 참조할 수 있다.

- [0291] 도 20에 CAAC-OS막의 단면 TEM(Transmission Electron Microscope(투과형 전자 현미경))상을 나타낸다. 또한, 도 21의 (A) 내지 도 21의 (D)에 도 20의 포인트 1 내지 포인트 4에서 전자선 회절을 이용하여 측정된 전자선 회절 패턴을 나타낸다.
- [0292] 도 20에 나타내는 단면 TEM 화상은 투과형 전자 현미경(Hitachi High-Technologies Co.제 「H-9000 NAR」)을 이용하고, 가속 전압을 300 kV, 배율 200 만배에서 촬영한 화상이다. 또한, 도 21의 (A) 내지 도 21의 (D)에 나타내는 전자선 회절 패턴은 투과형 전자 현미경(Hitachi High-Technologies Co.제 「HF-2000」)을 이용하고, 가속 전압을 200 kV, 빔 직경을 약 1 nmφ 또는 약 50 nmφ로 한 전자선 회절 패턴이다. 단, 빔 직경을 10 nmφ 이하로 한 전자선 회절을 특히 극미 전자선 회절이라고 부르는 경우가 있다. 또한, 빔 직경을 약 1 nmφ로 한 경우의 전자선 회절에서의 측정 범위는 5 nmφ 이상 10 nmφ 이하이다.
- [0293] 도 20에 나타내는 포인트 1(막 표면측), 포인트 2(막 중앙), 포인트 3(막 하지측)에서의 전자선 회절 패턴이 도 21의 (A), 도 21의 (B), 도 21의 (C)에 각각 대응하고, 전자빔 직경을 약 1 nmφ로 한 전자선 회절 패턴이다. 도 20에 나타내는 포인트 4(막 전체)에서의 전자선 회절 패턴이 도 21의 (D)이며, 전자빔 직경을 약 50 nmφ로 한 전자선 회절 패턴이다.
- [0294] 포인트 1(막 표면측) 및 포인트 2(막 중앙)의 전자선 회절 패턴은 스폿(회점)에 의한 패턴의 형성을 확인할 수 있지만, 포인트 3(막 하지측)에서는, 약간 패턴이 약간 무너지고 있다. 이것은 CAAC-OS막의 막 두께 방향에서, 결정 상태가 다른 것을 시사하고 있다. 단, 포인트 4(막 전체)에서는, 스폿(회점)에 의한 패턴의 형성을 확인할 수 있으므로, 막 전체로서는 CAAC-OS막, 또는, CAAC-OS막을 포함하는 막이라고 할 수 있다.
- [0295] 도 22는 도 20에서의 포인트 1(막 표면측)의 근방의 확대 사진이다. 층간 절연막인 산화 질화 규소막과의 계면까지 CAAC-OS막의 배향성을 나타내는 명료한 격자상을 확인할 수 있다.
- [0296] 도 23의 (A), 도 23의 (B)는 도 20의 단면 TEM 관찰에 이용한 CAAC-OS막과는 다른 CAAC-OS막의 단면 TEM 사진과 X선 회절 스펙트럼이다. CAAC-OS막은 다양한 형태가 있고, 도 23의 (B)에 나타내는 바와 같은  $2\theta=31^\circ$  근방에 결정 성분을 나타내는 피크 A가 나타나지만, 상기 피크는 명료하게 나타나지 않는 경우도 있다.
- [0297] 전자선의 빔 직경을 1 nmφ, 20 nmφ, 50 nmφ, 70 nmφ로 하여 전자선 회절을 행한 결과를 도 24의 (A), 도 24의 (B), 도 24의 (C), 도 24의 (D)에 나타낸다. 영역은 도 23의 (A)의 CAAC-OS막에 동심원으로 나타낸다. 전자선의 빔 직경이 1 nmφ에서는, 도 21의 (A), 도 21의 (B)와 마찬가지로 명료한 스폿(회점)에 의한 패턴의 형성을 확인할 수 있다. 전자선의 빔 직경을 크게 해나가면 스폿(회점)이 약간 불명료하게 되지만, 회절 패턴은 확인할 수 있어 막 전체적으로는 CAAC-OS막이거나, 또는 CAAC-OS막을 포함하는 막이라고 할 수 있다.
- [0298] 도 25의 (A), 도 25의 (B)는 도 23의 (A)의 단면 TEM 관찰에 이용한 CAAC-OS막을 450℃에서 어닐한 후의 단면 TEM 사진과 X선 회절 스펙트럼이다.
- [0299] 전자선의 빔 직경을 1 nmφ, 20 nmφ, 50 nmφ, 70 nmφ로 하여 전자선 회절을 행한 결과를 도 26의 (A), 도 26의 (B), 도 26의 (C), 도 26의 (D)에 나타낸다. 영역은 도 25의 (A)의 CAAC-OS막에 동심원으로 나타낸다. 도 24의 (A) 내지 도 24의 (D)에 나타낸 결과와 마찬가지로, 전자선의 빔 직경이 1 nmφ에서는 명료한 스폿(회점)에 의한 패턴의 형성을 관찰할 수 있다. 전자선의 빔 직경을 크게 해나가면 스폿(회점)이 약간 불명료하게 되지만, 회절 패턴은 확인할 수 있어; 막 전체로서는 CAAC-OS막이거나, 또는 CAAC-OS막을 포함하는 막이라고 할 수 있다.
- [0300] 도 27의 (A), 도 27의 (B)는 도 20의 단면 TEM 사진에 이용한 CAAC-OS막 및 도 23(A)의 단면 TEM 관찰에 이용한 CAAC-OS막과는 다른 CAAC-OS막의 단면 TEM 사진과 X선 회절 스펙트럼이다. CAAC-OS막은 다양한 형태가 있고, 도 27의 (B)에 나타내는 바와 같이  $2\theta=31^\circ$  근방에 결정 성분을 나타내는 피크 A가 나타나는 것과 동시에, 스피넬 결정 구조에 유래하는 피크 B가 나타나는 경우도 있다.
- [0301] 도 27의 (A)의 CAAC-OS막에 동심원으로 나타내는 영역에서, 전자선의 빔 직경을 1 nmφ, 20 nmφ, 50 nmφ, 90 nmφ로서 전자선 회절을 행한 결과를 도 28의 (A), 도 28의 (B), 도 28의 (C), 도 28의 (D)에 나타낸다. 전자선의 빔 직경이 1 nmφ에서는 명료한 스폿(회점)에 의한 패턴의 형성을 확인할 수 있다. 전자선의 빔 직경을 크게 해나가면 스폿(회점)이 약간 불명료하게 되지만, 회절 패턴은 확인할 수 있다. 또한, 빔 직경 90 nmφ에서는 보다 명료한 스폿(회점)을 확인할 수 있다. 따라서, 막 전체로서는 CAAC-OS막이거나, 또는 CAAC-OS막을 포함하는 막이라고 할 수 있다.

- [0302] 여기서, CAAC-OS막의 국제 준위에 대하여 설명한다. 여기에서는, CAAC-OS막을 CPM(Constant photocurrent method) 측정으로 평가한 결과에 대하여 설명한다.
- [0303] 우선, CPM 측정한 시료의 구조에 대하여 설명한다.
- [0304] 측정 시료는 유리 기판 위에 형성된 산화물 반도체막과, 이 산화물 반도체막에 접하는 한쌍의 전극과, 산화물 반도체막 및 한쌍의 전극을 덮는 절연막을 포함한다.
- [0305] 다음에, 측정 시료에 포함되는 산화물 반도체막의 형성 방법에 대하여 설명한다.
- [0306] 산화물 반도체막은 다음의 조건하에서 스퍼터링법에 의해 형성되었다: In-Ga-Zn 산화물(In:Ga:Zn=1:1:1 [원자수 비])인 타겟을 이용하고; 성막 가스로서 아르곤 가스를 30 sccm, 산소 가스를 15 sccm 이용하고; 압력을 0.4 Pa 로 하고; 기판 온도를 400℃로 하고; DC 전력을 0.5 kW 인가하는 조건을 이용한 스퍼터링법에 의해, 산화물 반도체막을 형성했다. 다음에, 450℃의 질소 분위기에서 1시간 가열한 후, 450℃의 산소 분위기에서 1시간 가열 하여, 산화물 반도체막에 포함되는 수소를 이탈시키는 처리 및 산화물 반도체막에 산소를 공급하는 처리를 행했다. 단, 상기 산화물 반도체막은 CAAC-OS막이다.
- [0307] 다음에, 산화물 반도체막을 포함하는 측정 시료에 대하여 CPM 측정을 행했다. 구체적으로는, 산화물 반도체막에 접하여 제공된 한쌍의 전극간에 전압을 인가한 상태로 광 전류 값이 일정해지도록 단자간의 시료면에 조사하는 광량을 조정하여, 소망의 과장의 범위에서 조사 광량으로부터 흡수 계수를 도출했다.
- [0308] 각 측정 시료를 CPM 측정하여 얻어지는 흡수 계수로부터 밴드 테일에 기인한 흡수 계수를 제외한 흡수 계수, 즉 결합에 기인한 흡수 계수를 도 12에 나타낸다. 도 12에서 가로축은 흡수 계수를 나타내고, 세로축은 광 에너지를 나타낸다. 도 12의 세로축에서 산화물 반도체막의 전도대의 하단을 0 eV로 하고, 가전자대의 상단을 3.15 eV로 한다. 도 12에서 곡선은 흡수 계수와 광 에너지의 관계를 나타내고, 결합 준위에 상당한다.
- [0309] 도 12에 나타내는 곡선에서, 결합 준위에 의한 흡수 계수는  $5.86 \times 10^{-4} \text{ cm}^{-1}$ 였다. 즉, CAAC-OS막은 결합 준위에 의한 흡수 계수가  $1 \times 10^{-3} / \text{cm}$  미만, 바람직하게는  $1 \times 10^{-4} / \text{cm}$  미만이며, 결합 준위 밀도가 낮은 막이다.
- [0310] 산화물 반도체막에 관하여, X선 반사율법(XRR(X-ray Reflectometry))을 이용한 막 밀도의 측정을 행했다. 산화물 반도체막의 막 밀도는  $6.3 \text{ g/cm}^3$ 였다. 즉, CAAC-OS막은 막 밀도가 높은 막이다.
- [0311] 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0312] (실시형태 5)
- [0313] 상기 실시형태에서 일례를 나타낸 트랜지스터 및 용량 소자를 이용하여 표시 기능을 가지는 반도체 장치(표시 장치)를 제작할 수 있다. 또한, 트랜지스터를 포함한 구동 회로의 일부 또는 전체를 화소부와 같은 기판 위에 일체 형성하여, 시스템 온 패널을 얻을 수 있다. 본 실시형태에서는, 상기 실시형태에서 일례를 나타낸 트랜지스터를 이용한 표시 장치의 예에 대하여, 도 29의 (A) 내지 도 29의 (C), 도 30, 및 도 31의 (A) 내지 도 31의 (C)를 이용하여 설명한다. 도 30은 도 29 (B) 중에서 M-N의 일점 쇄선으로 나타낸 부위의 단면 구성을 나타내는 단면도이다. 단, 도 30에서, 화소부의 구조는 일부만 기재하였다.
- [0314] 도 29의 (A)에서, 제 1 기판(901) 위에 형성된 화소부(902)를 둘러싸도록 하고, 밀봉재(905)가 형성되어 제 2 기판(906)에 의해 밀봉되어 있다. 도 29의 (A)에서는, 제 1 기판(901) 위의 밀봉재(905)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체 또는 다결정 반도체로 형성된 제 2 구동 회로(903), 및 제 1 구동 회로(904)가 실장되어 있다. 또한, 제 2 구동 회로(903), 제 1 구동 회로(904) 또는 화소부(902)에 공급되는 각종 신호 및 전위는 FPC(Flexible printed circuit, 918a), FPC(918b)로부터 공급된다.
- [0315] 제 1 구동 회로(904)는 주사선 구동 회로로서의 기능을 가지고, 제 2 구동 회로(903)는 신호선 구동 회로로서의 기능을 가진다.
- [0316] 도 29의 (B) 및 도 29의 (C)에서, 제 1 기판(901) 위에 제공된 화소부(902)와 제 1 구동 회로(904)를 둘러싸도록 하여, 밀봉재(905)가 제공되어 있다. 화소부(902)와 제 1 구동 회로(904)의 위에 제 2 기판(906)이 제공되어 있다. 따라서 화소부(902)와, 제 1 구동 회로(904)는 제 1 기판(901)과 밀봉재(905)와 제 2 기판(906)에 의해, 표시 소자와 함께 밀봉되어 있다. 도 29의 (B) 및 도 29의 (C)에서는 제 1 기판(901) 위의 밀봉재(905)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 단결정 반도체 또는 다결정 반도체로 형성된 제 2

구동 회로(903)가 실장되어 있다. 도 29의 (B) 및 도 29의 (C)에서는, 제 2 구동 회로(903), 제 1 구동 회로(904) 또는 화소부(902)에 공급되는 각종 신호 및 전위는 FPC(918)로부터 공급된다.

- [0317] 도 29의 (B) 및 도 29의 (C)에서는 제 2 구동 회로(903)를 별도 형성하여, 제 1 기관(901)에 실장하고 있는 예를 나타내고 있지만, 이 구성으로 한정되지 않는다. 제 1 구동 회로를 별도 형성하여 실장해도 좋고, 제 2 구동 회로의 일부 또는 제 1 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.
- [0318] 별도 형성한 구동 회로의 접속 방법은 특별히 한정되는 것은 아니고; COG(Chip On Glass)법, 와이어 본딩법, 혹은 TCP(Tape Carrier Package) 등을 실장하는 방법을 이용할 수 있다. 도 29의 (A)는 COG 방법에 의해 제 2 구동 회로(903), 제 1 구동 회로(904)를 실장하는 예이며; 도 29의 (B)는 COG 방법에 의해 제 2 구동 회로(903)를 실장하는 예이며; 도 29의 (C)는 제 2 구동 회로(903)를 TCP로서 실장하는 예이다.
- [0319] 표시 장치는 표시 소자가 밀봉된 상태에 있는 패널과 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다.
- [0320] 단, 본 명세서에서의 표시 장치는 화상 표시 디바이스 또는 표시 디바이스를 나타낸다. 표시 장치 대신에 광원(조명 장치 포함함)으로서 기능시킬 수 있다. 또한, 표시 장치는 그 카테고리에 다음의 모듈도 포함하는 것으로 한다: 커넥터, 예를 들면 FPC 혹은 TCP가 장착된 모듈; TCP의 끝에 프린트 배선판이 제공된 모듈; 및 표시 소자에 COG 방식에 의해 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.
- [0321] 제 1 기관 위에 제공된 화소부 및 제 1 구동 회로는 트랜지스터를 복수 포함하고, 상기 실시형태에서 나타낸 트랜지스터를 이용할 수 있다.
- [0322] 표시 장치에 제공되는 표시 소자로서는 액정 소자, 발광 소자 등이 포함된다. 액정 소자의 일례로서는, 액정의 광학적 변조 작용에 의해 광의 투과 또는 비투과를 제어하는 소자가 있다. 그 소자는 한쌍의 전극과 액정층에 의해 형성될 수 있다. 액정의 광학적 변조 작용은 액정에 인가되는 전계(가로 방향의 전계, 세로 방향의 전계 또는 경사 방향의 전계를 포함함)에 의해 제어된다. 단, 구체적으로, 액정 소자의 일례로서는, 다음을 포함한다: 네마틱 액정, 콜레스테릭 액정, 스멕틱 액정, 디스코틱 액정, 서모트로픽 액정, 리오트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 바나나형 액정 등을 들 수 있다. 액정의 구동 방법의 예로서는, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드, 블루상(Blue Phase) 모드 등을 포함한다. 단, 이것으로 한정되지 않고, 액정 소자 및 그 구동 방식으로서 다양한 것을 이용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(Electro Luminescence) 소자, 유기 EL 소자 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 이용할 수 있다. 도 30에 표시 소자로서 액정 소자를 이용한 액정 표시 장치의 예를 나타낸다.
- [0323] 도 30은 세로 전계 방식의 액정 표시 장치의 단면도이다. 상기 액정 표시 장치는 접속 단자 전극(915) 및 단자 전극(916)을 포함한다. 접속 단자 전극(915) 및 단자 전극(916)은 FPC(918)에 포함되는 단자와 이방성 도전체(919)를 통하여, 전기적으로 접속되어 있다.
- [0324] 접속 단자 전극(915)은 제 1 전극(930)과 같은 도전막으로부터 형성된다. 단자 전극(916)은 트랜지스터(910), 트랜지스터(911)의 소스 전극 및 드레인 전극과 같은 도전막으로 형성된다.
- [0325] 제 1 기관(901) 위에 제공된 화소부(902)와 제 1 구동 회로(904)는 트랜지스터를 복수 포함하고 있고, 화소부(902)에 포함되는 트랜지스터(910)와, 제 1 구동 회로(904)에 포함되는 트랜지스터(911)를 예시하고 있다. 트랜지스터(910) 및 트랜지스터(911) 위에는 실시형태 1에 나타내는 절연막(129), 절연막(131), 및 절연막(132)에 상당하는 절연막(924)이 제공된다. 또한, 절연막(924) 위에는 평탄성을 높이기 위한 절연막(934)이 제공된다. 절연막(923)은 절화 절연막이다.
- [0326] 본 실시형태에서는, 트랜지스터(910)로서 상기 실시형태 1에서 나타낸 화소(101)에 제공되는 트랜지스터를 이용할 수 있다. 또한, 트랜지스터(911)로서 상기 실시형태 1에서 나타낸 제 1 구동 회로(104)에 제공되는 트랜지

스터를 이용할 수 있다. 트랜지스터(911)는 도전막(917)을 포함한 구성을 예시하고 있지만, 도전막(917)을 제공하지 않는 구성이어도 좋다.

- [0327] 산화물 반도체막(927), 절연막(924), 절연막(934), 및 제 1 전극(930)을 이용하여, 용량 소자(936)를 형성한다. 산화물 반도체막(927)은 용량선(929)과 전기적으로 접촉한다. 용량선(929)은 트랜지스터(910), 트랜지스터(911)의 게이트 전극과 같은 도전막으로 형성된다. 또한, 여기에서는, 용량 소자(936)로서 실시형태 1에 나타낸 용량 소자를 도시했지만, 적절히 다른 실시형태에 나타낸 용량 소자를 이용할 수 있다.
- [0328] 화소부(902)에 제공된 트랜지스터(910)는 표시 소자와 전기적으로 접촉하여, 표시 패널을 형성한다. 표시 소자는 표시를 행할 수 있다면 특별히 한정되지 않고, 다양한 표시 소자를 이용할 수 있다.
- [0329] 액정 소자(913)는 제 1 전극(930), 제 2 전극(931), 및 액정층(908)을 포함하는 표시 소자이다. 액정층(908)을 협지하도록 배향막으로서 기능하는 절연막(932) 및 절연막(933)이 제공되어 있다. 제 2 전극(931)은 제 2 기관(906)측에 제공된다. 제 2 전극(931)은 액정층(908)을 사이에 끼우고 제 1 전극(930)과 중첩하는 구성으로 되어 있다.
- [0330] 표시 소자에 전압을 인가하기 위하여 형성되는 제 1 전극(930) 및 제 2 전극(931)(화소 전극, 공통 전극, 대향 전극 등이라고도 함)에서는, 취출하는 광의 방향, 전극이 형성되는 장소, 및 전극의 패턴 구조에 의해 투광성, 반사성을 가질 수 있다.
- [0331] 제 1 전극(930) 및 제 2 전극(931)은 실시형태 1에 나타내는 화소 전극(121)과 같은 재료를 적절히 이용하여 형성할 수 있다.
- [0332] 스페이서(935)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 모양의 스페이서이며, 제 1 전극(930)과 제 2 전극(931)과의 간격(셀 갭)을 제어하기 위하여 제공된다. 또한, 구 모양의 스페이서를 이용하고 있어도 좋다.
- [0333] 표시 소자로서 액정 소자를 이용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 이용할 수 있다. 이러한 액정 재료는 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅상, 카이럴 네마틱상, 등방상 등을 나타낸다.
- [0334] 배향막을 이용하지 않는 블루상을 나타내는 액정을 이용해도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온해나가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서 밖에 발현하지 않기 때문에, 온도 범위를 개선하기 위하여 카이랄제를 혼합시킨 액정 조성물을 이용하여 액정층에 이용한다. 단, 배향막은 유기 수지로 형성되어 있고, 유기 수지는 수소 또는 물 등을 포함하기 때문에, 본 발명의 일 양태인 반도체 장치의 트랜지스터의 전기 특성을 저하시킬 우려가 있다. 따라서, 액정층으로서 블루상을 이용함으로써, 유기 수지를 이용하지 않고 본 발명의 일 양태인 반도체 장치를 제작할 수 있어, 신뢰성이 높은 반도체 장치를 얻을 수 있다.
- [0335] 제 1 기관(901) 및 제 2 기관(906)은 밀봉재(925)에 의해 고정되어 있다. 밀봉재(925)는 열경화 수지, 광경화 수지 등의 유기 수지를 이용할 수 있다. 밀봉재(925)는 절연막(924)과 접하고 있다. 단, 밀봉재(925)는 도 29에 나타내는 밀봉재(905)에 상당한다.
- [0336] 밀봉재(925)는 절연막(924) 위에 제공되어 있다. 절연막(934)은 밀봉재(925)의 내측에 제공되어 있다. 절연막(924)의 최상층은 질화 절연막이며, 외부로부터 수소나 물 등의 불순물의 침입을 억제할 수 있다. 한편, 절연막(934)은 투습성이 높다. 이 때문에, 절연막(934)을 밀봉재(925)의 내측에 제공하고, 절연막(924) 위에 밀봉재(925)를 제공함으로써, 외부로부터 수소나 물 등의 불순물의 침입을 억제하여, 트랜지스터(910) 및 트랜지스터(911)의 전기 특성의 변동을 억제할 수 있다.
- [0337] 액정 표시 장치에서, 블랙 매트릭스(차광막); 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기관); 등은 적절히 제공된다. 예를 들면, 편광 기관 및 위상차 기관을 이용하여 원편광을 얻어도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 이용해도 좋다.
- [0338] 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 이용하여 형성하는 것이 바람직하다.
- [0339] 도 31의 (A) 내지 도 31의 (C)에, 도 30에 나타내는 액정 표시 장치에서, 기관(906)에 제공된 제 2 전극(931)과 전기적으로 접촉하기 위한 공통 접속부(패드부)를 기관(901) 위에 형성하는 예를 나타낸다.

- [0340] 공통 접속부는 기판(901)과 기판(906)을 접촉하기 위한 밀봉재와 중첩하는 위치에 제공되어, 밀봉재에 포함되는 도전성 입자를 통하여 제 2 전극(931)과 전기적으로 접속된다. 또는, 밀봉재와 중첩하지 않는 개소(단, 화소부를 제외함)에 공통 접속부를 제공하고, 공통 접속부와 중첩하도록 도전성 입자를 포함하는 페이스트를 밀봉재와는 별도 형성하여 제 2 전극(931)과 전기적으로 접속해도 좋다.
- [0341] 도 31의 (A)의 우측은 화소부에 형성되는 트랜지스터(910)의 단면도이며, 도 31의 (A)의 좌측은 상기 트랜지스터와 같은 공정을 이용하여 형성할 수 있는 공통 접속부의 단면도이다. 도 31의 (A)에 나타내는 공통 접속부는 도 31의 (B)에 나타내는 공통 접속부의 상면도에서의 I-J의 단면에 상당한다.
- [0342] 공통 전위선(975)은 게이트 절연막(922) 위에 제공되고, 트랜지스터(910)의 소스 전극(971) 또는 드레인 전극(973)과 같은 재료 및 같은 공정을 이용하여 형성된다.
- [0343] 또한, 공통 전위선(975)은 절연막(924) 및 절연막(934)으로 덮이고, 복수의 개구는 공통 전위선(975)과 중첩하도록 절연막(924) 및 절연막(934)에 형성된다. 이 개구는 트랜지스터(910)의 소스 전극(971) 또는 드레인 전극(973)의 한쪽과, 제 1 전극(930)을 접속하는 콘택트홀과 같은 공정을 이용하여 형성된다.
- [0344] 또한, 공통 전위선(975) 및 공통 전극(977)은 절연막(924) 및 절연막(934)에 제공되는 개구를 통해 접속된다. 공통 전극(977)은 절연막(934) 위에 제공되고, 접속 단자 전극(915)이나, 화소부의 제 1 전극(930)과 같은 재료 및 같은 공정을 통해 제작된다.
- [0345] 이와 같이, 화소부(902)의 스위칭 소자의 제작 공정과 공통시켜 공통 접속부를 제작할 수 있다.
- [0346] 공통 전극(977)은 밀봉재에 포함되는 도전성 입자와 접촉하는 전극이며, 기판(906)의 제 2 전극(931)과 전기적으로 접속이 행해진다.
- [0347] 도 31의 (C)에 나타내는 바와 같이, 공통 전위선(985)을 트랜지스터(910)의 게이트 전극과 같은 재료, 같은 공정을 통해 형성해도 좋다.
- [0348] 도 31의 (C)에 나타내는 공통 접속부에서, 공통 전위선(985)은 게이트 절연막(922), 절연막(924) 및 절연막(934)의 하층에 제공되고, 게이트 절연막(922), 절연막(924), 및 절연막(934)은 공통 전위선(985)과 중첩하는 위치에 복수의 개구가 형성된다. 이 개구는 트랜지스터(910)의 소스 전극(971) 또는 드레인 전극(973)의 한쪽과 제 1 전극(930)을 접속하는 콘택트홀과 같은 공정을 통해 절연막(924) 및 절연막(934)을 에칭한 후, 더욱 게이트 절연막(922)을 선택적으로 에칭함으로써 형성된다.
- [0349] 또한, 공통 전위선(985) 및 공통 전극(987)은 게이트 절연막(922), 절연막(924), 및 절연막(934)에 제공되는 개구를 통해 전기적으로 접속한다. 공통 전극(987)은 절연막(934) 위에 제공되고, 접속 단자 전극(915)이나, 화소부의 제 1 전극(930)과 같은 재료 및 같은 공정을 통해 형성된다.
- [0350] 이상으로부터, 상기 실시형태에서 나타낸 트랜지스터 및 용량 소자를 이용함으로써, 개구율을 높이면서, 전하 용량을 증대시킨 용량 소자를 포함하는 반도체 장치를 제조할 수 있다. 이 결과, 표시 품질이 뛰어난 반도체 장치를 얻을 수 있다.
- [0351] 또한, 트랜지스터에 포함되는 반도체막인 산화물 반도체막은 산소 결손이 저감되어 수소 등의 불순물이 저감되기 때문에; 본 발명의 일 양태인 반도체 장치는 양호한 전기 특성을 가지는 반도체 장치가 된다.
- [0352] 단, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0353] (실시형태 6)
- [0354] 본 실시형태에서는, 본 발명의 일 양태의 반도체 장치를 적용할 수 있는 화상 정보의 처리 및 표시가 가능한 정보 처리 장치의 구성에 대하여, 도 32 및 도 33의 (A1), 도 33의 (A2), 도 33의 (B1) 및 도 33의 (B2)를 참조하면서 설명한다.
- [0355] 구체적으로는, 화소를 선택하는 G 신호를 30 Hz(1초 동안에 30회) 이상의 빈도, 바람직하게는 60 Hz(1초 동안에 60회) 이상 960 Hz(1초 동안에 960회) 미만의 빈도로 출력하는 제 1 모드와, 11.6  $\mu$ Hz(1일에 1회) 이상 0.1 Hz(1초 동안에 0.1회) 미만의 빈도, 바람직하게는 0.28 mHz(1시간에 1회) 이상 1 Hz(1초 동안에 1회) 미만의 빈도로 출력하는 제 2 모드를 구비하는 정보 처리 장치에 대하여 설명한다.
- [0356] 본 발명의 일 양태의 정보 처리 장치를 이용하여 정지 화상을 표시하면, 리프레시 비율을 1 Hz 미만, 바람직하게는 0.2 Hz 이하로 할 수 있다. 이것은 사용자의 눈에 편한 표시, 사용자의 눈의 피로를 경감하는 표시, 사용

자의 눈에 부담을 주지 않는 표시를 할 수 있다. 또한, 표시부에 표시하는 화상의 성질에 따라 최적인 빈도로 표시 화상을 리프레시할 수 있다. 구체적으로는, 동영상을 매끄럽게 표시하는 경우에 비해, 리프레시를 낮은 빈도로 행함으로써; 플리커(flicker)가 적은 정지 화상을 표시할 수 있고, 소비 전력을 저감할 수 있다.

- [0357] 도 32는 본 발명의 일 양태의 표시 기능을 가지는 정보 처리 장치의 구성을 설명하는 블록도이다.
- [0358] 도 33의 (A1) 및 도 33의 (A2)는 본 발명의 일 양태의 표시 장치가 구비하는 표시부의 구성을 설명하는 블록도이다.
- [0359] 본 실시형태에서 설명하는 표시 기능을 가지는 정보 처리 장치(600)는 표시 장치(640), 연산 장치(620), 및 입력 수단(500)(도 32 참조)을 포함한다.
- [0360] 표시 장치(640)는 표시부(630), 및 제어부(610)를 가진다(도 32 참조). 1차 화상 신호(625\_V) 및 1차 제어 신호(625\_C)가 표시 장치(640)에 입력될 수 있다. 표시 장치(640)는 화상 정보를 표시부(630)에 표시할 수 있다.
- [0361] 1차 화상 신호(625\_V)는 화상의 계조 정보(휘도 정보라고도 할 수 있음) 외에, 예를 들면 색도 정보 등을 포함한다.
- [0362] 1차 제어 신호(625\_C)는 예를 들면 표시 장치(640)의 주사 동작의 타이밍 등을 제어하기 위한 신호 등을 포함한다.
- [0363] 단, 전원 전위 등은 표시 장치(640)의 제어부(610) 및 표시부(630)에 공급된다.
- [0364] 제어부(610)는 표시부(630)를 제어하는 기능을 가진다. 예를 들면, 2차 화상 신호(615\_V) 및/또는 2차 제어 신호(615\_C) 등을 생성한다.
- [0365] 예를 들면, 제어부(610)가 극성 결정 회로를 포함하는 구성으로 해도 좋다. 극성 결정 회로는 신호의 극성을 프레임마다 반전할 수 있다.
- [0366] 극성 결정 회로는 2차 화상 신호(615\_V)의 극성을 반전하는 타이밍을 통지하고, 상기 타이밍에 따라, 제어부(610)가 2차 화상 신호(615\_V)의 극성을 반전하는 기능을 구비하는 구성으로 해도 좋다. 단, 2차 화상 신호(615\_V)의 극성을 제어부(610) 내에서 반전해도 좋고, 제어부(610)로부터의 명령에 따라, 표시부(630) 내에서 반전해도 좋다.
- [0367] 극성 결정 회로가 카운터와 신호 생성 회로를 포함하고, 동기 신호를 이용하여 2차 화상 신호(615\_V)의 극성을 반전시키는 타이밍을 정하는 기능을 가져도 좋다.
- [0368] 카운터는 수평 동기 신호의 펄스를 이용하여 프레임 기간의 수를 세는 기능을 가진다. 신호 생성 회로는 2차 화상 신호(615\_V)의 극성을 반전시키는 타이밍을 제어부(610)에 통지하는 기능을 가진다. 이것에 의해, 카운터에서 얻어진 프레임 기간의 수의 정보를 이용하여, 연속하는 복수 프레임 기간마다 2차 화상 신호(615\_V)의 극성을 반전할 수 있다.
- [0369] 2차 화상 신호(615\_V)에는 화상 정보를 포함시킬 수 있다.
- [0370] 예를 들면, 제어부(610)는 2차 화상 신호(615\_V)를 일차 화상 신호(625\_V)로 생성하여, 상기 2차 화상 신호(615\_V)를 출력해도 좋다.
- [0371] 또한, 제어부(610)는 1차 화상 신호(625\_V)와 기준 전위(Vsc)의 차를 편차 폭으로 하고, 극성이 프레임마다 반전하는 신호를 2차 화상 신호(615\_V)로서 생성해도 좋다.
- [0372] 2차 제어 신호(615\_C)에는 표시부(630)의 제 1 구동 회로(G 구동 회로(632)라고도 함)를 제어하기 위한 신호 또는 제 2 구동 회로(S 구동 회로(633)라고도 함)를 제어하기 위한 신호를 포함할 수 있다.
- [0373] 예를 들면, 제어부(610)가 수직 동기 신호, 수평 동기 신호 등의 동기 신호를 포함하는 1차 제어 신호(625\_C)로부터 2차 제어 신호(615\_C)를 생성해도 좋다.
- [0374] 2차 제어 신호(615\_C)는 예를 들면 스타트 펄스 신호(SP), 래치 신호(LP), 펄스 폭 제어 신호(PWC), 클록 신호(CK) 등을 포함한다.
- [0375] 구체적으로, 2차 제어 신호(615\_C)는 S 구동 회로(633)의 동작을 제어하는 S 구동 회로용의 스타트 펄스 신호(SP), S 구동 회로용의 클록 신호(CK), 래치 신호(LP) 등을 포함할 수 있다. 2차 제어 신호(615\_C)는 또한, G 구동 회로(632)의 동작을 제어하는 G 구동 회로용의 스타트 펄스 신호(SP), G 구동 회로용의 클록 신호(CK), 펄

스 폭 제어 신호(PWC) 등을 포함할 수 있다.

- [0376] 표시부(630)는 화소부(631), 제 1 구동 회로(G 구동 회로(632)라고도 함), 및 제 2 구동 회로(S 구동 회로(633)라고도 함)를 포함한다.
- [0377] 화소부(631)는 표시광에 420 nm보다 짧은 파장의 광을 포함하지 않고, 또한 150 ppi 이상의 정세도로 형성된 복수의 화소(631p) 및 상기 복수의 화소를 접속하는 배선을 포함한다. 각각의 화소(631p)는 주사선(G)의 적어도 하나와 접속되고, 신호선(S)의 적어도 하나와 접속된다. 단, 배선의 종류 및 그 수는 화소(631p)의 구성, 수, 및 배치에 의존한다.
- [0378] 예를 들면, 화소(631p)가 x열×y행의 매트릭스상으로 화소부(631)에 배치되어 있는 경우, 신호선(S1) 내지 신호선(Sx) 및 주사선(G1) 내지 주사선(Gy)을 화소부(631) 내에 배치한다(도 33(A-1) 참조). 복수의 주사선(G1) 내지 주사선(Gy)은 G 신호를 행마다 공급할 수 있다. 복수의 신호선(S1) 내지 신호선(Sx)은 복수의 화소에 S 신호를 공급할 수 있다.
- [0379] G 구동 회로(632)는 G 신호(632\_G)의 공급을 제어하고, 주사선(G)을 선택할 수 있다(도 32 참조).
- [0380] 예를 들면, 화소부(631)를 복수의 영역(구체적으로는 제 1 영역(631a), 제 2 영역(631b), 및 제3 영역(631c))으로 분할해 구동해도 좋다(도 33(A-2) 참조).
- [0381] 각 영역에는 복수의 화소(631p), 상기 화소(631p)를 행마다 선택하기 위한 복수의 주사선(G) 및 선택된 화소(631p)에 S 신호(633\_S)를 공급하기 위한 복수의 신호선(S)을 제공할 수 있다.
- [0382] 또한, 복수의 G 구동 회로(구체적으로는 제 1 G 구동 회로(632a), 제 2 G 구동 회로(632b), 및 제 3 G 구동 회로(632c))를 제공해도 좋다.
- [0383] G 구동 회로는 G 신호(632\_G)의 공급을 제어하고, 각 영역에 형성된 주사선(G)(구체적으로는 제 1 G 구동 회로(632a)는 주사선(G1) 내지 주사선(Gj), 제 2 G 구동 회로(632b)는 주사선(Gj+1) 내지 주사선(G2j) 및 제 3 G 구동 회로(632c)는 주사선(G2j+1) 내지 주사선(Gy)를 선택할 수 있다.
- [0384] G 구동 회로는 화소 회로(634)를 선택하는 제 1 구동 신호(G 신호라고도 함)(632\_G)를 화소 회로(634)에 출력한다. G 구동 회로(632)는 각 주사선을 선택하는 G 신호(632\_G)를 각 주사선에 30 Hz(1초 동안에 30회) 이상의 빈도, 바람직하게는 60 Hz(1초 동안에 60회) 이상 960 Hz(1초 동안에 960회) 미만의 빈도로 출력하는 제 1 모드와, 11.6 μHz(1일에 1회) 이상 0.1 Hz(1초 동안에 0.1회) 미만의 빈도, 바람직하게는 0.28 mHz(1시간에 1회) 이상 1 Hz(1초 동안에 1회) 미만의 빈도로 출력하는 제 2 모드를 가진다.
- [0385] G 구동 회로(632)는 제 1 모드와 제 2 모드를 전환하여 동작할 수 있다. 예를 들면, 모드 전환 신호를 포함하는 2차 제어 신호(615\_C) 또는 2차 제어 신호(615\_C)에 포함되는 G 구동 회로용의 스타트 펄스를 이용하여, G 구동 회로(632)의 제 1 모드와 제 2 모드를 전환할 수 있다. 구체적으로는, 제어부(610)가 출력하는 G 구동 회로용의 스타트 펄스의 출력 빈도를 제어해도 좋다.
- [0386] G 신호(632\_G)는 G 구동 회로(632)에 의해 생성된다. G 신호(632\_G)는 행마다 화소(631p)에 출력되고, 화소(631p)는 행마다 선택된다.
- [0387] 표시부(630)는 S 구동 회로(633)를 포함하고 있어도 좋다. S 구동 회로는 제 2 구동 신호(S 신호(633\_S)라고도 함)를 2차 화상 신호(615\_V)로부터 생성하여, 상기 S 신호(633\_S)의 신호선(S)(구체적으로는 S1 내지 Sx)로의 공급을 제어한다.
- [0388] S 신호(633\_S)는 화상의 계조 정보 등을 포함한다. S 신호(633\_S)는 G 신호(632\_G)에 선택된 화소(631p)에 공급된다.
- [0389] 화소부(631)는 복수의 화소(631p)를 포함한다.
- [0390] 화소(631p)는 표시 소자(635)와 상기 표시 소자(635)를 포함하는 화소 회로(634)를 포함한다(도 32 참조).
- [0391] 화소 회로(634)는 공급되는 S 신호(633\_S)를 유지하고, 표시 소자(635)에 화상 정보의 일부를 표시한다. 표시 소자(635)의 종류 또는 구동 방법에 따른 구성을 선택하여 화소 회로(634)에 이용할 수 있다.
- [0392] 화소 회로(634)의 일례로서, 액정 소자(635LC)를 표시 소자(635)에 이용하는 구성을 도 33(B-1)에 나타낸다.
- [0393] 화소 회로(634)는 G 신호(632\_G)가 입력되는 게이트 전극과, S 신호가 입력되는 제 1 전극을 포함하는 트랜지스

터(634t)와, 트랜지스터(634t)의 제 2 전극에 전기적으로 접속되는 제 1 전극과, 공통 전위가 공급되는 제 2 전극을 포함하는 액정 소자(635LC)를 포함한다.

- [0394] 화소 회로(634)는 S 신호(633\_S)의 표시 소자(635)로의 공급을 제어하는 트랜지스터(634t)를 포함한다.
- [0395] 트랜지스터(634t)의 게이트는 주사선(G1)으로부터 주사선(Gy) 중 어느 하나에 접속되어 있다. 트랜지스터(634t)의 소스 및 드레인의 한쪽은 신호선(S1)으로부터 신호선(Sx) 중 어느 하나에 접속된다. 트랜지스터(634t)의 소스 및 드레인의 다른 한쪽은 표시 소자(635)의 제 1 전극에 접속되어 있다.
- [0396] 화소(631p)는 트랜지스터(634t)를 S 신호(633\_S)의 화소(631p)로의 입력을 제어하는 스위칭 소자로서 이용한다. 또한, 복수의 트랜지스터를 하나의 스위칭 소자로서 화소(631p)에 이용해도 좋다. 상기 복수의 트랜지스터를 병렬로 접속하여 하나의 스위칭 소자로서 이용해도 좋고, 직렬로 접속하여 이용해도, 직렬과 병렬이 조합된 접속을 이용해도 좋다.
- [0397] 단, 화소(631p)는 필요에 따라 액정 소자(635LC)의 제 1 전극과 제 2 전극간의 전압을 유지하기 위한 용량 소자(634c) 외, 트랜지스터, 다이오드, 저항 소자, 용량 소자, 인덕터 등 그 외의 회로 소자를 포함하고 있어도 좋다. 표시 소자(635)의 제 2 전극에는 소정의 공통 전위(Vcom)가 인가된다.
- [0398] 용량 소자(634c)의 용량은 적절히 조정하면 좋다. 예를 들면, 후술하는 제 2 모드에서, S 신호(633\_S)를 비교적 긴 기간(구체적으로는, 1/60 sec 이상) 유지하는 경우에는, 용량 소자(634c)를 제공한다. 용량 소자(634c) 이외의 구성을 이용하여, 화소 회로(634)의 용량을 조절할 수 있다. 또한, 액정 소자(635LC)의 제 1 전극과 제 2 전극을 중첩하여, 제공되는 구성에 의해, 실질적으로 용량 소자를 형성해도 좋다.
- [0399] 화소 회로의 다른 일례로서 EL 소자(635EL)를 표시 소자(635)에 이용하는 구성을 도 33(B-2)에 나타낸다.
- [0400] 화소 회로(634EL)는 G 신호(632\_G)가 입력되는 게이트 전극과 S 신호가 입력되는 제 1 전극과, 용량 소자(634c)의 제 1 전극과 전기적으로 접속되는 제 2 전극을 포함하는 제 1 트랜지스터(634t\_1)를 포함한다. 제 1 트랜지스터(634t\_1)의 제 2 전극에 전기적으로 접속되는 게이트 전극과, 용량 소자(634c)의 제 2 전극과 전기적으로 접속되는 제 1 전극과, EL 소자(635EL)의 제 1 전극과 전기적으로 접속되는 제 2 전극을 포함하는 제 2 트랜지스터(634t\_2)를 포함한다. 용량 소자(634c)의 제 2 전극과 제 2 트랜지스터(634t\_2)의 제 1 전극에는 전원 전위가 공급되고, EL 소자(635EL)의 제 2 전극에는 공통 전위가 공급된다. 단, 전원 전위와 공통 전위의 전위차는 EL 소자(635 EL)의 발광 개시 전압보다 크다.
- [0401] 화소 회로(634)에서 트랜지스터(634t)는 신호선(S)의 전위를 표시 소자(635)의 제 1 전극에 인가하는지 여부를 제어한다.
- [0402] 단, 본 발명의 일 양태의 표시 장치에 적합한 트랜지스터로서 산화물 반도체를 포함한 트랜지스터를 이용할 수 있다. 산화물 반도체를 포함한 트랜지스터의 상세한 사항에 대해서는 실시형태 1 및 2의 기재를 참조할 수 있다.
- [0403] 산화물 반도체막을 포함한 트랜지스터는 오프 상태에서의 소스와 드레인간의 리크 전류(오프 전류)를, 종래의 실리콘을 포함한 트랜지스터와 비교하여 매우 낮게 할 수 있다. 오프 전류가 매우 작은 트랜지스터를 표시부의 화소부에 이용함으로써, 플리커의 발생을 억제하면서, 프레임 주파수를 낮출 수 있다.
- [0404] 표시 소자(635)는 액정 소자(635 LC)에 한정되지 않고, 예를 들면 전압을 더함으로써 발광(Electroluminescence)이 발생하는 OLED 소자나, 전기 영동을 이용하는 전자 잉크 등, 다양한 표시 소자를 이용할 수 있다.
- [0405] 예를 들면, 액정 소자(635 LC)의 편광의 투과율은 S 신호(633\_S)의 전위에 의해 제어할 수 있어; 이것에 의해 계조를 표시할 수 있다.
- [0406] 예를 들면, 투과형의 액정 소자를 표시 소자(635)에 이용하는 경우, 광 공급부(650)를 표시부(630)에 제공할 수 있다. 광 공급부(650)는 광원을 포함한다. 제어부(610)는 광 공급부(650)가 가지는 광원의 구동을 제어한다. 액정 소자를 포함하는 화소부(631)에 광을 공급하고, 백 라이트로서 기능한다.
- [0407] 광 공급부(650)의 광원으로서 냉음극 형광 램프, 발광 다이오드(LED), OLED 소자 등을 이용할 수 있다.
- [0408] 특히, 광원이 발하는 청색의 광의 강도를 다른 색의 광의 강도보다 약하게 한 구성이 바람직하다. 광원이 발하는 광에 포함되는 청색을 나타내는 광은 눈의 각막이나 수정체로 흡수되지 않고, 망막까지 도달하기 때문에, 장

기적인 망막으로의 영향(예를 들면, 가령 황반 변성 등)이나, 한밤중까지 청색의 광에 노출되었을 때의 서캐디안 리듬(circadian rhythm)으로의 악영향 등을 저감할 수 있다. 구체적으로는, 400 nm 이하, 바람직하게는 420 nm 이하, 보다 바람직하게는 440 nm 이하의 파장을 가지는 광(UVA 라고도 함)을 포함하지 않는 광을 발하는 광원이 바람직하다.

- [0409] 본 발명의 일 양태의 반도체 장치에서의 화소에서는 상기 파장을 가지는 광을 흡수하고, 투과하기 어려운 특징을 가진다. 따라서, 상기 파장을 가지는 광을 발하는 광원을 이용해도, 본 발명의 일 양태의 반도체 장치를 이용함으로써, 상기 파장을 가지는 광을 저감 또는 차단할 수 있다.
- [0410] 연산 장치(620)는 1차 화상 신호(625\_V) 및 모드 전환 신호를 포함하는 1차 제어 신호(625\_C)를 생성한다.
- [0411] 모드 전환 신호는 정보 처리 장치(600)의 사용자의 명령에 의해 생성해도 좋다.
- [0412] 정보 처리 장치(600)의 사용자는 입력 수단(500)을 이용하여 표시를 전환하는 명령을 할 수 있다. 화상 전환 신호(500\_C)가 연산 장치(620)에 공급되어, 연산 장치(620)가 모드 전환 신호를 포함하는 1차 제어 신호(625\_C)를 출력하도록 구성해도 좋다.
- [0413] 모드 전환 신호를 포함한 1차 제어 신호(625\_C)가 표시 장치(640)의 제어부(610)에 공급되어, 제어부가 모드 전환 신호를 포함하는 2차 제어 신호(615\_C)를 출력한다.
- [0414] 예를 들면, 제 2 모드에서 제 1 모드로 전환하는 모드 전환 신호를 포함하는 2차 제어 신호(615\_C)가 G 구동 회로(632)에 공급되면, G 구동 회로(632)는 제 2 모드에서 제 1 모드로 전환된다. 그리고, G 구동 회로(632)는 G 신호를 1 프레임 정도 이상 출력하고, 그 후 제 2 모드로 전환한다.
- [0415] 구체적으로는, 입력 수단(500)이 페이지 넘김 동작을 검지한 경우에, 화상 전환 신호(500\_C)를 연산 장치(620)에 출력하도록 구성해도 좋다.
- [0416] 연산 장치(620)는 페이지 넘김 동작을 포함하는 1차 화상 신호(625\_V)를 생성하고, 상기 1차 화상 신호(625\_V)와 함께 모드 전환 신호를 포함하는 1차 제어 신호(625\_C)를 출력한다.
- [0417] 상기 1차 화상 신호(625\_V)와 상기 1차 제어 신호(625\_C)가 공급된 제어부(610)는 모드 전환 신호를 포함하는 2차 제어 신호(615\_C)와 페이지 넘김 동작을 포함하는 2차 화상 신호(615\_V)를 공급한다.
- [0418] 모드 전환 신호를 포함하는 2차 제어 신호(615\_C)가 공급된 G 구동 회로(632)는 제 2 모드에서 제 1 모드로 전환되어, 높은 빈도로 G 신호(632\_G)를 출력한다.
- [0419] 페이지 넘김 동작을 포함하는 2차 화상 신호(615\_V)가 공급된 S 구동 회로(633)는 상기 2차 화상 신호(615\_V)로부터 생성된 S 신호(633\_S)를 화소 회로(634)에 출력한다.
- [0420] 이것에 의해, 화소(631p)는 페이지 넘김 동작을 포함하는 다수의 프레임 화상을 높은 빈도로 재기입할 수 있다. 그 결과, 페이지 넘김 동작을 포함하는 2차 화상 신호(615\_V)를 순조롭게 표시할 수 있다.
- [0421] 연산 장치(620)가 표시부(630)에 출력하는 1차 화상 신호(625\_V)가 동영상인지 정지 화상인지를 판별하고, 그 판별 결과에 따라 모드 전환 신호를 포함하는 1차 제어 신호(625\_C)를 출력하도록 구성해도 좋다.
- [0422] 구체적으로는, 1차 화상 신호(625\_V)가 동영상인 경우에, 상기 연산 장치(620)가 제 1 모드를 선택하는 전환 신호를 출력하고, 정지 화상인 경우에 상기 연산 장치(620)가 제 2 모드를 선택하는 전환 신호를 출력하는 구성으로 해도 좋다.
- [0423] 또한, 동영상인지 정지 화상인지를 판별하는 방법은 다음과 같다. 1차 화상 신호(625\_V)에 포함되는 하나의 프레임과 그 전후의 프레임의 신호를 비교한다. 1차 화상 신호(625\_V)에 포함되는 하나의 프레임과 그 전후의 프레임의 신호의 차분이 미리 정해진 차분보다 클 때에 동영상과, 그것 이하일 때 정지 화상으로, 판별하면 좋다.
- [0424] 제어부(610)가 G 구동 회로의 동작 모드를 1의 모드로부터 다른 모드로 전환할 때(예를 들면, 제 2 모드에서 제 1 모드로 전환할 때), G 구동 회로는 G 신호(632\_G)를 1회 이상의 소정의 횟수 출력한 후에, 다른 모드로 바뀌는 구성으로 해도 좋다.
- [0425] 입력 수단(500)으로서, 터치 패널, 터치 패드, 마우스, 조이스틱, 트랙볼, 데이터 글로브, 활상 장치 등을 이용할 수 있다. 연산 장치(620)는 입력 수단(500)으로부터 입력되는 전기 신호와 표시부의 좌표를 관련지을 수 있다. 이것에 의해, 사용하는 사람이 표시부에 표시되는 정보를 처리하기 위한 명령을 입력할 수 있다.

- [0426] 사용하는 사람이 입력 수단(500)으로부터 입력하는 정보로서는, 예를 들면 표시부에 표시되는 화상의 표시 위치를 바꾸기 위해 드래그하는 명령; 표시된 화상을 보내고, 다음의 화상을 표시하기 위해 스와이프하는 명령; 띠 모양의 화상을 순서대로 보내기 위하여 스크롤하는 명령; 특정의 화상을 선택하는 명령; 화상을 표시하는 크기를 변화하기 위해 핀치-인, 핀치-아웃 하는 명령; 자필 문자를 입력하는 명령 등을 들 수 있다.
- [0427] 단, 조도는 단위 면적의 피조면에 단위 시간당에 입사되는, 눈의 분광 감도가 가미된 광의 양이다.
- [0428] 단, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0429] (실시형태 7)
- [0430] 본 실시형태에서는, 본 발명의 일 양태의 반도체 장치를 이용한 정보 처리 장치의 정보 처리 방법에 대하여, 도 34의 (A) 및 도 34의 (B)를 참조하면서 설명한다.
- [0431] 구체적으로는, 본 발명의 일 양태의 반도체 장치를 이용한 정보 처리 장치의 표시부에서 표시할 수 있는 화상의 생성 방법에 대하여 설명한다. 특히, 표시부에 표시된 화상을 다른 화상에 재기입할 때에 사용자의 눈에 편한 화상의 전환 방법, 사용자의 눈의 피로를 경감하는 화상의 전환 방법, 사용자의 눈에 부담을 주지 않는 화상의 전환 방법에 대하여 설명한다.
- [0432] 도 34의 (A)는 본 발명의 일 양태의 반도체 장치를 이용한 정보 처리 장치의 구성을 설명하는 블록도 및 도 34의 (B)는 화상 데이터를 설명하기 위한 모식도이다.
- [0433] 본 발명의 일 양태는 정보 처리 장치의 표시부에서, 부드럽게 표시 화상을 재기입하는 것이다.
- [0434] 이것에 의해, 표시의 전환시에 사용자의 눈에 가해지는 부담이 경감된다. 그 결과, 연산부가 처리한 정보를 포함하는 화상을 눈에 편하게 표시할 수 있는 신규 정보 처리 방법을 제공할 수 있다.
- [0435] 화상을 재빠르게 전환하여 표시하면, 사용자의 안정 피로를 유발하는 경우가 있다. 예를 들면, 현저하게 다른 장면이 전환되는 동영상이나, 다른 정지 화상을 전환하는 경우 등이 포함된다.
- [0436] 다른 화상을 전환하여 표시할 때에는, 순간적으로 표시를 전환하는 것이 아니라, 서서히(부드럽게), 자연스럽게 화상을 전환하여 표시하는 것이 바람직하다.
- [0437] 예를 들면, 제 1 정지 화상으로부터 제 2 정지 화상에 표시를 전환하는 경우, 제 1 정지 화상과 제 2 정지 화상의 사이에 제 1 정지 화상이 페이드 아웃(fade out)하여 표시되는 동영상 또는/및 제 2 정지 화상이 페이드 인(fade in)하는 동영상을 삽입하면 바람직하다. 또한, 제 1 정지 화상이 페이드 아웃하는 것과 동시에, 제 2 정지 화상이 페이드 인(크로스 페이딩(cross fading)이라고도 함)하도록, 양자의 화상을 서로 중첩한 동영상을 삽입해도 좋다. 또한, 제 1 정지 화상이 제 2 정지 화상으로 점차 변화하는 양태(모핑(morphing)이라고도 함)를 표시하는 동영상을 삽입해도 좋다.
- [0438] 단, 제 1 정지 화상 데이터를 낮은 리프레시 비율로 표시하고, 이어서 화상의 전환을 위한 화상을 높은 리프레시 비율로 표시한 후에, 제 2 정지 화상 데이터를 낮은 리프레시 비율로 표시해도 좋다.
- [0439] 이하에, 서로 다른 화상 A와 화상 B를 전환하는 방법의 일례에 대하여 설명한다.
- [0440] 도 34의 (A)는 화상의 변환 동작을 행할 수 있는 표시부의 구성을 나타내는 블록도이다. 도 34의 (A)에 나타내는 표시부는 연산부(701), 기억부(702), 제어부(703), 및 표시부(704)를 포함한다.
- [0441] 제 1 스텝에서, 연산부(701)는 외부 기억부 등으로부터 화상 A, 및 화상 B의 각 데이터를 기억부(702)에 저장한다.
- [0442] 제 2 스텝에서, 연산부(701)는 미리 설정된 분할수의 값에 따라, 화상 A와 화상 B의 각 화상 데이터를 바탕으로 새로운 화상 데이터를 순차로 생성한다.
- [0443] 제 3 스텝에서, 생성된 화상 데이터를 제어부(703)에 출력한다. 제어부(703)는 입력된 화상 데이터를 표시부(704)에 표시시킨다.
- [0444] 도 34의 (B)는 화상 A로부터 화상 B에 걸쳐 단계적으로 화상을 전환할 때, 생성되는 화상 데이터를 설명하기 위한 모식도이다.
- [0445] 도 34의 (B)에서는, 화상 A로부터 화상 B에 걸쳐 N(N는 자연수)개의 화상 데이터를 생성하고, 각각 1개당의 화상 데이터를 f(f는 자연수) 프레임 기간 표시한 경우에 대하여 나타내고 있다. 따라서, 화상 A로부터 화상 B로

전환할 때까지의 기간은,  $f \times N$  프레임이 된다.

[0446] 여기서, 상술한  $N$ , 및  $f$  등의 파라미터는 사용자가 자유롭게 설정할 수 있는 것이 바람직하다. 연산부(701)는 이러한 파라미터를 미리 취득하여, 상기 파라미터에 따라, 화상 데이터를 생성한다.

[0447]  $i$ 번째에 생성되는 화상 데이터( $i$ 는 1 이상  $N$  이하의 정수)는 화상 A의 화상 데이터와 화상 B의 화상 데이터에 대하여, 각각에 가중치를 주어 모두 더함으로써 생성할 수 있다. 예를 들면, 어느 화소에서 화상 A를 표시했을 때의 휘도(계조)를  $a$ , 화상 B를 표시했을 때의 휘도(계조)를  $b$ 로 하면,  $i$ 번째에 생성되는 화상 데이터를 표시했을 때의 상기 화소의 휘도(계조)  $c$ 는 식 1에 나타내는 값이 된다. 단, 계조는 표시부가 표시하는 농담의 단계에 대한 것이다. 백과 흑의 2단계만을 가지는 화상은 2계조의 계조를 가지는 화상이라고 할 수 있다. 예를 들면, 종래의 퍼스널 컴퓨터의 표시부는 적색, 녹색, 청색을 표시하는 부화소를 포함한다. 각각의 부화소에는 256단계의 농담을 표시하기 위한 신호가 입력된다.

**수학식 1**

$$c = \frac{(N-i)a + ib}{N} \quad (1)$$

[0448]

[0449] 이러한 방법에 의해 생성된 화상 데이터를 이용하여, 화상 A로부터 화상 B로 전환함으로써, 서서히(부드럽게), 자연스럽게 불연속인 화상을 전환할 수 있다.

[0450] 단, 식 1에서, 모든 화소에 대하여  $a=0$ 의 경우가 흑화상으로부터 서서히 화상 B로 전환하는 페이드 인에 상당한다. 또한, 모든 화소에 대하여  $b=0$ 의 경우가 화상 A로부터 서서히 흑화상으로 전환하는 페이드 아웃에 상당한다.

[0451] 상기에서는, 2개의 화상을 일시적으로 오버랩시켜 화상을 전환하는 방법에 대하여 설명했지만, 오버랩시키지 않는 방법으로 해도 좋다.

[0452] 2개의 화상을 오버랩시키지 않는 경우, 화상 A로부터 화상 B로 전환하는 경우에, 사이에 흑화상을 삽입해도 좋다. 이 때, 화상 A로부터 흑화상으로 천이할 때, 또는 흑화상으로부터 화상 B로 천이할 때, 또는 그 양쪽 모두에 상술한 바와 같은 화상의 전환 방법을 이용해도 좋다. 또한, 화상 A와 화상 B의 사이에 삽입하는 화상은 흑화상뿐만 아니라, 백화상 등의 단일색의 화상을 이용해도 좋고, 화상 A나 화상 B와는 다른, 다색의 화상을 이용해도 좋다.

[0453] 화상 A와 화상 B와의 사이에 다른 화상, 특히 흑화상 등의 단일색의 화상을 삽입함으로써, 화상의 전환의 타이밍을 보다 자연스럽게 사용자가 감지할 수 있어, 사용자가 스트레스를 느끼지 않고 화상을 전환할 수 있다.

[0454] 단, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0455] (실시형태 8)

[0456] 본 실시형태에서는, 본 발명의 일 양태의 반도체 장치를 이용한 정보 처리 장치의 구성에 대하여, 도 35의 (A1), 도 35의 (A2), 도 35의 (B1), 도 35의 (B2) 및 도 36을 참조하면서 설명한다.

[0457] 도 35의 (A1), 도 35의 (A2), 도 35의 (B1), 및 도 35의 (B2)는 정보 처리 장치의 효과를 설명하는 도면이다.

[0458] 도 36은 정보 처리 장치의 구성을 설명하는 블록도이다.

[0459] 눈의 피로에는 신경계의 피로와 근육계의 피로의 2종류가 있다. 눈의 피로를 설명하는 모식도를 도 35의 (A1) 및 도 35의 (A2)에 나타낸다.

[0460] 신경계의 피로는 표시부가 발하는 광이나 점멸 화면을 장시간 계속 볼 때 발생한다. 왜냐하면, 그 밝기가 눈의 망막, 신경 또는 뇌를 자극하여 지치게 하기 때문이다. 형광등이나 종래의 표시 장치의 표시부가 조금씩 명멸하는 현상을 플리커라고 하지만, 이러한 플리커는 신경계의 피로를 일으킨다.

[0461] 근육계의 피로는 윈드 조절 시에 사용하는 모양체의 근육을 혹사함으로써 지치게 하는 것이다.

[0462] 도 35(A1)에, 종래의 표시부의 표시를 나타내는 모식도를 나타낸다. 종래의 표시부는 1초 동안에 60회의 화상

의 재기입이 행해진다. 이러한 화면을 장시간 계속 봄으로써, 사용자의 눈의 망막, 신경 또는 뇌를 자극하여 눈의 피로가 발생할 우려가 있다.

- [0463] 도 35(A2)에 나타내는 바와 같이, 1화소의 사이즈가 큰 경우(예를 들면 세밀도가 150 ppi 미만의 경우), 표시부에 표시된 문자 등의 윤곽이 희미해진다. 표시부에 표시된 윤곽이 희미해진 문자 등을 장시간 계속 보면, 모양체의 근육이 끊임없이 핀트를 맞추려고 움직여 계속 긴장하게 되어, 눈에 부담을 주게 될 우려가 있다.
- [0464] 눈의 피로를 정량적으로 측정할 방법이 검토된다. 예를 들면, 신경계의 피로의 평가 지표로서는, 임계 융합 주파수(CFF : Critical Flicker(Fusion) Frequency) 등이 알려져 있다. 또한, 근육계의 피로의 평가 지표로서는, 조절 시간이나 조절 근점 거리 등이 알려져 있다.
- [0465] 그 외, 눈의 피로를 평가하는 방법은 뇌파 측정, 서모그래피법, 깜박임의 횟수의 측정, 누액량의 평가, 동공의 수축 반응 속도의 평가나, 각각 증상을 조사하기 위한 양케이트 등을 포함한다.
- [0466] 상기 과제를 해결하기 위해서, 본 발명의 일 양태는 작업 환경의 조도와 표시 장치에 표시되는 화상 정보의 배경의 계조에 착안했다. 이하에 설명하는 실시형태에는, 환경의 조도 정보와 화상 정보의 배경의 계조 정보에 착안하여 창작된 본 발명의 일 양태가 포함된다.
- [0467] 본 발명의 일 양태의 화상 정보의 처리 및 표시 방법은 환경의 조도 정보 및 표시부에 표시하는 화상 정보의 배경의 계조 정보를 취득하는 스텝과; 이러한 정보를 이용하여 화상 정보를, 표시광에 420 nm보다 짧은 파장의 광을 포함하지 않고 또한 150 ppi 이상의 세밀도로 형성된 복수의 화소를 포함하는 표시부에 표시하는 스텝을 포함한다. 이것에 의해, 화상 정보를 환경의 조도에 적절한 밝기로 표시할 수 있다. 그 결과, 화상 정보의 처리 및 눈에 편한 표시를 할 수 있는 신규 화상 정보의 처리 및 표시 방법을 제공할 수 있다.
- [0468] 본 발명의 일 양태의 화상 정보의 처리 및 표시 방법을 적용할 수 있는 정보 처리 장치의 블록도의 일례를 도 36에 나타낸다.
- [0469] 정보 처리 장치(330)는 연산부(311), 기억부(312), 및 전송로(314)를 포함한다. 전송로(314)는 연산부(311), 기억부(312), 및 입출력 인터페이스(315)를 서로 접속하여, 정보의 전송을 행한다. 단, 이러한 구성은 명확하게 분리할 수 없고, 하나의 구성이 다른 구성을 겸하는 경우나 다른 구성의 일부를 포함하는 경우가 있다. 예를 들면, 터치 패널은 표시부입과 동시에 입력 수단이기도 하다.
- [0470] 입출력 장치(320)는 입출력 인터페이스(315)를 통하여 전송로(314)에 접속된다. 입출력 장치(320)는 연산 장치(310)의 외부로부터 정보를 입력 또는 연산 장치(310)의 외부에 정보를 출력하기 위한 장치이다.
- [0471] 입출력 장치(320)로서는, 통신기기, 네트워크 접속기기 또는, 하드 디스크, 리무버블 메모리 등의 기입이 가능한 외부 기억부를 그 일례로서 포함한다.
- [0472] 입력 수단(321)으로서, 키보드, 마우스 또는 터치 패널 등의 휴먼 인터페이스 기기, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 스캐너, CDROM, DVDROM 등 읽기 전용의 외부 기억부를 그 일례로서 포함한다. 예를 들면, 정보 처리 장치(330)의 사용자는 입력 수단(321)으로부터 페이지 넘김 명령 등을 입력할 수 있다.
- [0473] 출력 장치로서는, 표시부(322) 외에, 스피커, 프린터 등을 접속할 수 있다.
- [0474] 본 발명의 일 양태의 정보 처리 장치(330)는 표시부(322)를 포함한다. 특히, 표시부(322)는 표시광에 420 nm보다 짧은 파장의 광, 바람직하게는 440 nm보다 단파장의 광을 포함하지 않는다. 그리고, 표시 영역에 150 ppi 이상, 바람직하게는 200 ppi 이상의 세밀도로 형성된 복수의 화소를 포함하면 좋다. 이것에 의해, 눈에 편한 표시를 할 수 있게 된다. 단, 본 명세서에서 표시광은 정보 처리 장치의 표시부가 화상을 표시하기 위하여 사용자를 향해 발하거나, 또는 반사하는 광을 말한다.
- [0475] 본 발명의 일 양태에 따른 표시부의 표시광은 눈의 각막이나 수정체로 흡수되지 않고, 망막까지 도달하기 때문에, 장기적인 망막에의 영향이나, 서캐디안 리듬으로의 악영향이 있는 광을 포함하지 않는다. 구체적으로는 화상을 표시하는 광에, 400 nm 바람직하게는 420 nm 보다 바람직하게는 440 nm 이하의 파장을 가지는 광(UVA라고도 함)을 포함하지 않는다.
- [0476] 본 발명의 일 양태의 정보 처리 장치(330)에는 본 발명의 일 양태의 반도체 장치를 이용할 수 있다. 상기 반도체 장치에서의 화소에서는 상기 파장을 가지는 광을 흡수하고, 투과하기 어려운 특징을 가진다. 따라서, 상기 파장을 가지는 광을 발하는 광원을 이용해도, 본 발명의 일 양태의 반도체 장치를 이용함으로써, 상기 파장을 가지는 광을 저감 또는 차단할 수 있다.

- [0477] 또한, 본 발명의 일 양태와 관련되는 표시부가 포함하는 화소의 세밀도가 150 ppi 바람직하게는 200 ppi 이상이며, 1 화소의 사이즈가 작다. 이것에 의해, 사용자의 눈의 근육계의 피로가 경감된다.
- [0478] 본 발명의 일 양태의 정보 처리 장치의 눈의 피로를 경감하는 효과를 설명하는 모식도를 도 35의 (B1) 및 도 35의 (B2)에 나타낸다.
- [0479] 본 발명의 일 양태의 정보 처리 장치는 화소를 선택하는 신호를 출력하는 빈도를 바꿀 수 있다. 특히, 오프 전류가 매우 작은 트랜지스터를 표시부의 화소부에 이용함으로써, 플리커의 발생을 억제하면서, 프레임 주파수를 낮출 수 있다. 예를 들면, 5초 동안에 1회의 화상의 재기입이 가능해지기 때문에, 같은 화상을 보는 것이 가능하게 되어, 사용자에게 시인되는 화면의 깜빡임이 저감된다. 이것에 의해, 사용자의 눈의 망막, 신경 또는 뇌가 받는 자극이 저감되어, 신경계의 피로가 경감된다(도 35의 (B1) 참조).
- [0480] 단, 오프 전류가 매우 작은 트랜지스터로서는 예를 들면 산화물 반도체를 포함한 트랜지스터, 특히, CAAC-OS를 포함한 트랜지스터가 적합하다.
- [0481] 본 발명의 일 양태의 정보 처리 장치는 1 화소의 사이즈가 작다. 구체적으로는, 세밀도가 150 ppi 바람직하게는 200 ppi 이상의 고정밀 표시가 가능하다. 화상의 윤곽을 명료하게, 또한 치밀하고 매끄럽게 표시할 수 있다. 이것에 의해, 모양체의 근육이 핀트를 맞추기 쉬워지기 때문에, 사용자의 근육계의 피로가 경감된다(도 35(B2) 참조). 단, 세밀도는 화소 밀도(ppi : pixel per inch)를 이용하여 표현할 수 있다. 화소 밀도는 1인치당 화소의 수이다. 화소는 화상을 구성하는 단위이다.
- [0482] 단, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0483] (실시형태 9)
- [0484] 본 발명의 일 양태인 반도체 장치는 다양한 전자기기(유기기도 포함함)에 적용할 수 있다. 전자기기로서는, 텔레비전 장치, 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기, 게임기, 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 유기기(과칭코기, 슬롯 머신 등) 등이 포함된다. 이러한 전자기기의 일례를 도 37의 (A) 내지 도 37의 (C), 도 38의 (A) 및 도 38의 (B)에 나타낸다.
- [0485] 도 37의 (A)는 표시부를 가지는 테이블을 나타낸다. 테이블(9000)은 하우징(9001)에 표시부(9003)가 장착되어 있어, 표시부(9003)에 의해 영상을 표시할 수 있다. 단, 4개의 다리부(9002)에 의해 하우징(9001)을 지지한 구성을 나타낸다. 또한, 전력 공급을 위한 전원 코드(9005)가 하우징(9001)에 제공된다.
- [0486] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는 표시부(9003)에 이용할 수 있다. 그러므로, 표시부(9003)의 표시 품질을 높게 할 수 있다.
- [0487] 표시부(9003)는 터치 입력 기능을 가지고 있다. 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 터치함으로써, 화면 조작이나 정보를 입력할 수 있다. 또한, 다른 가전제품과의 통신을 가능하게 하거나, 또는 제어를 가능하게 함으로써, 화면 조작에 의해 다른 가전제품을 컨트롤하는 제어 장치로서도 좋다. 예를 들면, 터치 센서 기능이나 이미지 센서 기능을 가지는 반도체 장치를 이용하면, 표시부(9003)에 터치 입력 기능을 갖게 할 수 있다.
- [0488] 또한, 하우징(9001)에 제공된 경첩에 의해, 표시부(9003)의 화면을 마루에 대하여 수직으로 세울 수도 있어; 텔레비전 장치로서도 이용할 수 있다. 좁은 방에서는, 큰 화면의 텔레비전 장치는 설치하면 자유로운 공간이 좁아지게 되지만; 테이블에 표시부가 내장되어 있으면, 방의 공간을 유효하게 이용할 수 있다.
- [0489] 도 37의 (B)는 텔레비전 장치를 나타낸다. 텔레비전 장치(9100)는 하우징(9101)에 표시부(9103)가 장착되어 있어, 표시부(9103)에 의해 영상을 표시할 수 있다. 단, 여기에서는 스탠드(9105)에 의해 하우징(9101)을 지지한 구성을 나타내고 있다.
- [0490] 텔레비전 장치(9100)의 조작은 하우징(9101)이 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9110)에 의해 행할 수 있다. 리모트 컨트롤러(9110)가 구비하는 조작키(9109)에 의해, 채널이나 음량의 조작을 행할 수 있어, 표시부(9103)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9110)에 상기 리모트 컨트롤러로부터 출력하는 정보를 표시하는 표시부(9107)를 제공하는 구성으로 해도 좋다.
- [0491] 도 37의 (B)에 나타내는 텔레비전 장치(9100)에는 수신기나 통신 수단 등이 제공되어 있다. 텔레비전 장치(9100)는 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있다. 또한, 통신 수단을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이,

혹은 수신자 사이끼리 등)의 정보 통신을 행할 수도 있다.

- [0492] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는 표시부(9103), 표시부(9107)에 이용할 수 있다. 그러므로, 텔레비전 장치의 표시 품질을 향상시킬 수 있다.
- [0493] 도 37의 (C)는 컴퓨터(9200)이며, 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이스(9206) 등을 포함한다.
- [0494] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는 표시부(9203)에 이용할 수 있다. 그러므로, 컴퓨터(9200)의 표시 품질을 향상시킬 수 있다.
- [0495] 표시부(9203)는 터치 입력 기능을 가지고 있다. 표시부(9203)에 표시된 표시 버튼 등을 손가락 등으로 터치함으로써, 화면 조작이나 정보를 입력할 수 있다. 또한, 키보드나 음성으로부터 정보를 입력할 수 있다.
- [0496] 도 38의 (A) 및 도 38의 (B)는 반으로 접을 수 있는 태블릿형 단말이다. 도 38의 (A)는 연 상태이며, 태블릿형 단말은 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 전환 스위치(9036), 잠금쇠(9033), 조작 스위치(9038)를 포함한다.
- [0497] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는 표시부(9631a), 표시부(9631b)에 이용할 수 있다. 그러므로, 태블릿 단말의 표시 품질을 향상시킬 수 있다.
- [0498] 표시부(9631a)는 일부를 터치 패널의 영역(9632a)으로 할 수 있고, 표시된 조작키(9638)에 접함으로써 데이터 입력을 할 수 있다. 표시부(9631a)에서는 일례로서 절반의 영역이 표시 기능만을 가지는 구성, 다른 절반의 영역이 터치 패널의 기능을 가지는 구성을 나타내고 있지만 이 구성에 한정되지 않는다. 표시부(9631a)의 모든 영역이 터치 패널의 기능을 가지는 구성으로 해도 좋다. 예를 들면, 표시부(9631a)의 전면을 키보드 버튼 표시시켜 터치 패널로 하여, 표시부(9631b)를 표시 화면으로서 이용할 수 있다.
- [0499] 또한, 표시부(9631b)에서도 표시부(9631a)와 마찬가지로, 표시부(9631b)의 일부를 터치 패널의 영역(9632b)으로 할 수 있다. 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치에 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼을 표시할 수 있다.
- [0500] 터치 패널의 영역(9632a)과 터치 패널의 영역(9632b)에 대하여 동시에 터치 입력할 수도 있다.
- [0501] 표시 모드 전환 스위치(9034)는 세로 표시 또는 가로 표시 등의 표시의 방향을 전환, 흑백 표시나 칼라 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9036)는 태블릿형 단말에 내장되어 있는 광 센서로 검출되는 사용시의 외광의 광량에 따라 표시의 휘도를 최적으로 할 수 있다. 태블릿형 단말은 광 센서뿐만 아니라, 자이로스코프, 가속도 센서 등의 기울기를 검출하는 센서 등의 다른 검출 장치를 포함해도 좋다.
- [0502] 도 38의 (A)에서는 표시부(9631b)와 표시부(9631a)의 표시 면적이 같은 예를 나타내고 있지만 특별히 한정되지 않는다. 한쪽의 사이즈와 다른 한쪽의 사이즈가 상이하어도 좋고, 표시의 품질도 상이하어도 좋다. 예를 들면, 한쪽이 다른 한쪽보다 고정밀 표시를 행할 수 있는 표시 패널로 해도 좋다.
- [0503] 도 38의 (B)는 닫은 상태이며, 태블릿형 단말은 하우징(9630)에 태양 전지(9633), 충방전 제어 회로(9634)를 포함하고 있어도 좋다. 단, 도 38의 (B)에서는 충방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(9636)를 포함하는 구성에 대하여 나타낸다.
- [0504] 또한, 태블릿형 단말은 반으로 접을 수 있기 때문에, 미사용시에 하우징(9630)을 닫은 상태로 할 수 있다. 따라서, 표시부(9631a), 표시부(9631b)를 보호할 수 있기 때문에, 내구성이 뛰어나고, 장기 사용의 관점에서도 신뢰성이 뛰어난 태블릿형 단말을 제공할 수 있다.
- [0505] 또한, 이 외에도 도 38의 (A) 및 도 38의 (B)에 나타낸 태블릿형 단말은 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 캘린더, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력 조작 또는 편집하는 터치 입력 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다.
- [0506] 태블릿형 단말의 표면에 장착된 태양 전지(9633)에 의해, 전력을 터치 패널, 표시부, 또는 영상 신호 처리부 등에 공급할 수 있다. 단, 태양 전지(9633)는 하우징(9630)의 한면 또는 양면에 제공할 수 있어, 배터리(9635)의 충전을 효율적으로 행할 수 있다. 배터리(9635)로서는, 리튬 이온 배터리를 이용하면, 소형화를 도모할 수 있는 등의 이점이 있다.

- [0507] 도 38의 (B)에 나타내는 충방전 제어 회로(9634)의 구성, 및 동작에 대하여 도 39의 (A) 내지 도 39의 (C)에 블록도를 나타내 설명한다. 도 39의 (A)에서는, 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), DCDC 컨버터(9637), 스위치(SW1) 내지 스위치(SW3), 부하(표시부(9631) 등)에 대하여 나타내고 있어, 배터리(9635), DCDC 컨버터(9636), DCDC 컨버터(9637), 스위치(SW1) 내지 스위치(SW3)가 도 38의 (B)에 나타내는 충방전 제어 회로(9634)에 대응하는 개소가 된다.
- [0508] 우선, 태양 전지(9633)에 의해 발전이 되는 경우의 동작의 예에 대하여 설명한다. 태양 전지로 발전한 전력은 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)에 의해 승압 또는 강압이 이루어진다. 부하(표시부(9631) 등)의 동작에 태양 전지(9633)로부터의 전력이 이용될 때에는 스위치(SW1)를 온으로 하고, DCDC 컨버터(9637)로 부하(표시부(9631) 등)에 필요한 전압으로 승압 또는 강압을 하게 된다. 또한, 부하(표시부(9631) 등)로의 전력의 공급을 행하지 않을 때에는, 스위치(SW1)를 오프로 하고, 스위치(SW2)를 온으로 하여 배터리(9635)의 충전을 행하는 구성으로 하면 좋다.
- [0509] 부하(표시부(9631) 등)로의 전력 공급을 항상 배터리(9635)를 통하여 행하는 경우는 도 39의 (B)에 나타내는 바와 같이, 스위치(SW1)를 생략한 구성으로 해도 좋다.
- [0510] 또한, 부하에 공급하는 적절한 전압 범위와 배터리(9635)의 전압이 동등한 경우는, 도 39의 (C)에 나타내는 바와 같이, DCDC 컨버터(9637)를 더 생략한 구성으로 해도 좋다.
- [0511] 단, 태양 전지(9633)에 대해서는, 발전 수단의 일례로서 나타냈지만; 특별히 한정되지 않고, 압전 소자(피에조 소자)나 열전 변환 소자(펄티에 소자)등의 다른 발전 수단에 의한 배터리(9635)의 충전을 행하는 구성이어도 좋다. 예를 들면, 무선(비접촉)으로 전력을 송수신해 충전하는 무접점 전력 전송 모듈이나, 또 다른 충전 수단을 조합하여 행하는 구성으로 해도 좋다.
- [0512] 단, 본 실시형태에 나타내는 구성 등은 다른 실시형태에 나타내는 구성과 적절히 조합하여 이용할 수 있다.
- [0513] 본 출원은 2012년 12월 28일에 일본 특허청에 출원된 일련 번호가 2012-288973인 일본 특허 출원, 2013년 3월 12일에 일본 특허청에 출원된 일련 번호가 2013-049261인 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

**부호의 설명**

- [0514] 100 : 화소부
- 101 : 화소
- 102 : 기관
- 103 : 트랜지스터
- 104 : 구동 회로
- 105 : 용량 소자
- 106 : 구동 회로
- 107 : 주사선
- 108 : 액정 소자
- 109 : 신호선
- 110 : 하지 절연막
- 111 : 반도체막
- 113 : 도전막
- 115 : 용량선
- 117 : 개구
- 118 : 질화 절연막

- 119 : 반도체막
- 121 : 화소 전극
- 127 : 게이트 절연막
- 129 : 절연막
- 130 : 절연막
- 131 : 절연막
- 132 : 절연막
- 135 : 경계
- 154 : 대향 전극
- 188a : 산화물 반도체막
- 188b : 산화물 반도체막
- 199a : 산화물 반도체막
- 199b : 산화물 반도체막
- 199c : 산화물 반도체막
- 223 : 트랜지스터
- 227 : 게이트 전극
- 229 : 배선
- 231 : 반도체막
- 233 : 배선
- 241 : 도전막
- 310 : 연산 장치
- 311 : 연산부
- 312 : 기억부
- 314 : 전송로
- 315 : 입출력 인터페이스
- 320 : 입출력 장치
- 321 : 입력 수단
- 322 : 표시부
- 330 : 정보 처리 장치
- 500 : 입력 수단
- 500\_C : 신호
- 600 : 정보 처리 장치
- 610 : 제어부
- 615\_C : 2차 제어 신호
- 615\_V : 2차 화상 신호
- 620 : 연산 장치

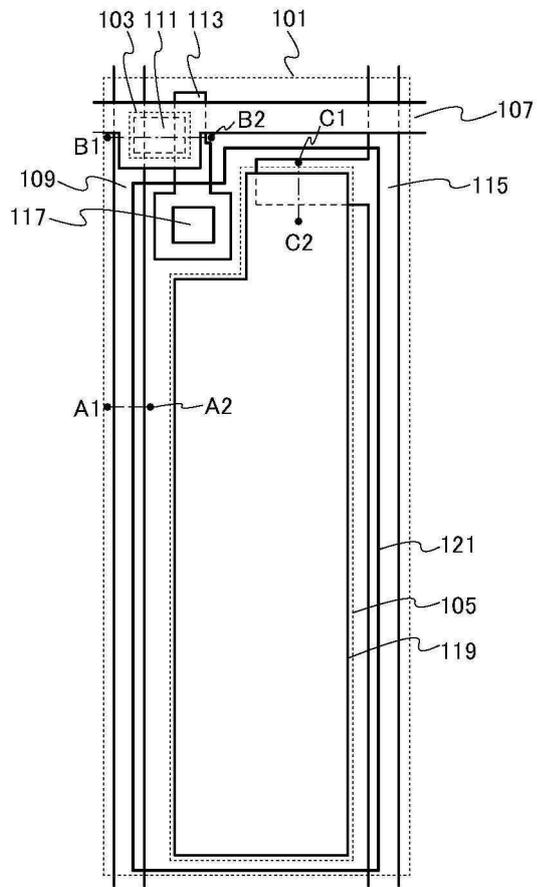
625\_C : 1차 제어 신호  
 625\_V : 1차 화상 신호  
 630 : 표시부  
 631 : 화소부  
 631a : 영역  
 631b : 영역  
 631c : 영역  
 631p : 화소  
 632 : G 구동 회로  
 632\_G : G 신호  
 632a : G 구동 회로  
 632b : G 구동 회로  
 632c : G 구동 회로  
 633 : S 구동 회로  
 633\_S : S 신호  
 634 : 화소 회로  
 634c : 용량 소자  
 634EL : 화소 회로  
 634t : 트랜지스터  
 634t\_1 : 트랜지스터  
 634t\_2 : 트랜지스터  
 635 : 표시 소자  
 635EL : EL 소자  
 635LC : 액정 소자  
 640 : 표시 장치  
 650 : 광공급부  
 701 : 연산부  
 702 : 기억부  
 703 : 제어부  
 704 : 표시부  
 901 : 기관  
 902 : 화소부  
 903 : 구동 회로  
 904 : 구동 회로  
 905 : 밀봉재  
 906 : 기관

- 908 : 액정층
- 910 : 트랜지스터
- 911 : 트랜지스터
- 913 : 액정 소자
- 915 : 접속 단자 전극
- 916 : 단자 전극
- 917 : 도전막
- 918 : FPC
- 918b : FPC
- 919 : 이방성 도전체
- 922 : 게이트 절연막
- 923 : 절연막
- 924 : 절연막
- 925 : 밀봉재
- 926 : 용량 소자
- 927 : 산화물 반도체막
- 929 : 용량선
- 930 : 전극
- 931 : 전극
- 932 : 절연막
- 933 : 절연막
- 934 : 절연막
- 935 : 스페이서
- 936 : 용량 소자
- 971 : 소스 전극
- 973 : 드레인 전극
- 975 : 공통 전위선
- 977 : 공통 전극
- 985 : 공통 전위선
- 987 : 공통 전극
- 9000 : 테이블
- 9001 : 하우징
- 9002 : 다리부
- 9003 : 표시부
- 9004 : 표시 버튼
- 9005 : 전원 코드

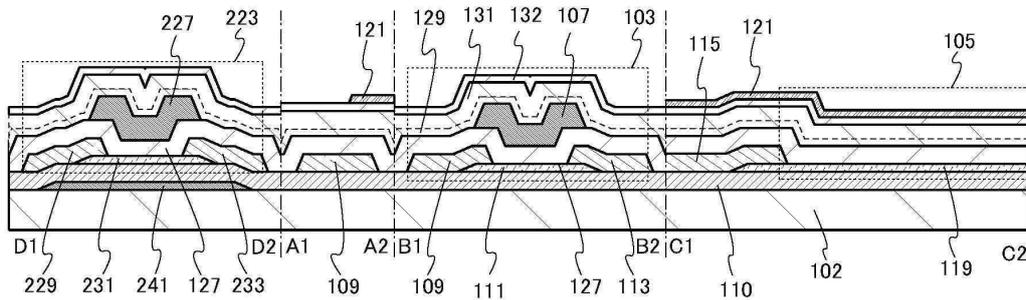
- 9033 : 구
- 9034 : 스위치
- 9035 : 전원 스위치
- 9036 : 스위치
- 9038 : 조작 스위치
- 9100 : 텔레비전 장치
- 9101 :하우징
- 9103 : 표시부
- 9105 : 스탠드
- 9107 : 표시부
- 9109 : 조작키
- 9110 : 리모트 컨트롤러
- 9200 : 컴퓨터
- 9201 : 본체
- 9202 :하우징
- 9203 : 표시부
- 9204 : 키보드
- 9205 : 외부 접속 포트
- 9206 : 포인팅 디바이스
- 9630 :하우징
- 9631 : 표시부
- 9631a : 표시부
- 9631b : 표시부
- 9632a : 영역
- 9632b : 영역
- 9633 : 태양 전지
- 9634 : 충방전 제어 회로
- 9635 : 배터리
- 9636 : DCDC 컨버터
- 9637 : DCDC 컨버터
- 9638 : 조작 키
- 9639 : 버튼

도면

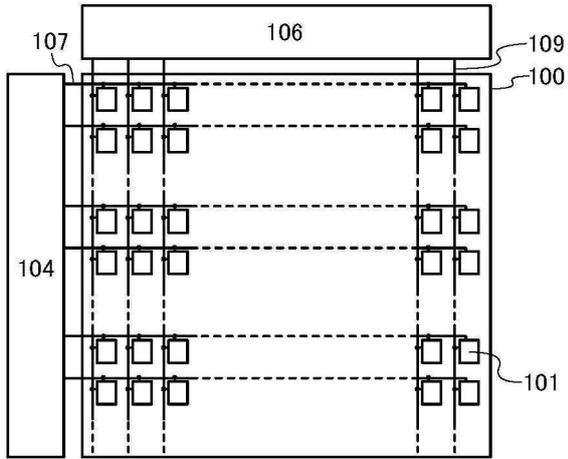
도면1



도면2

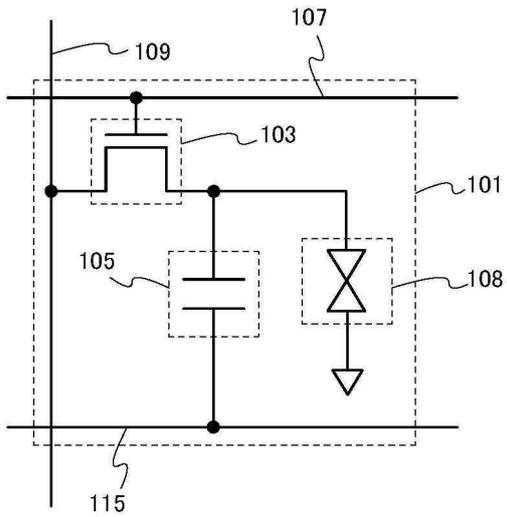


도면3

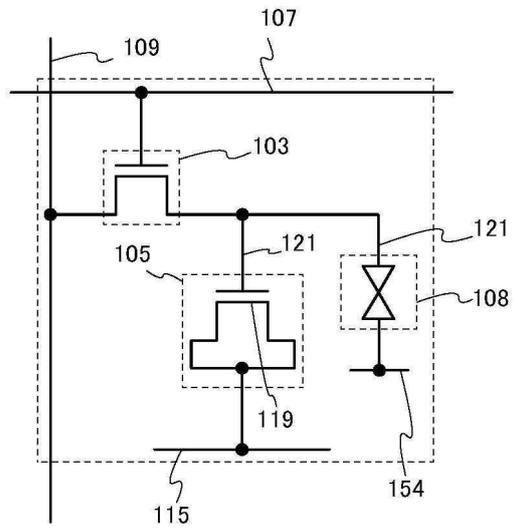


도면4

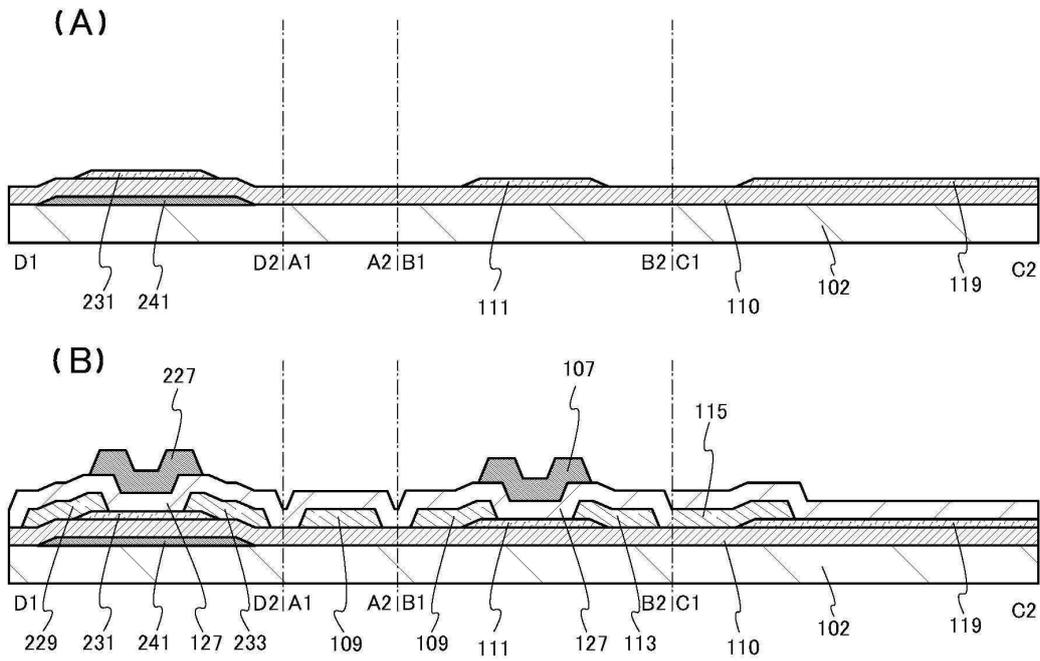
(A)



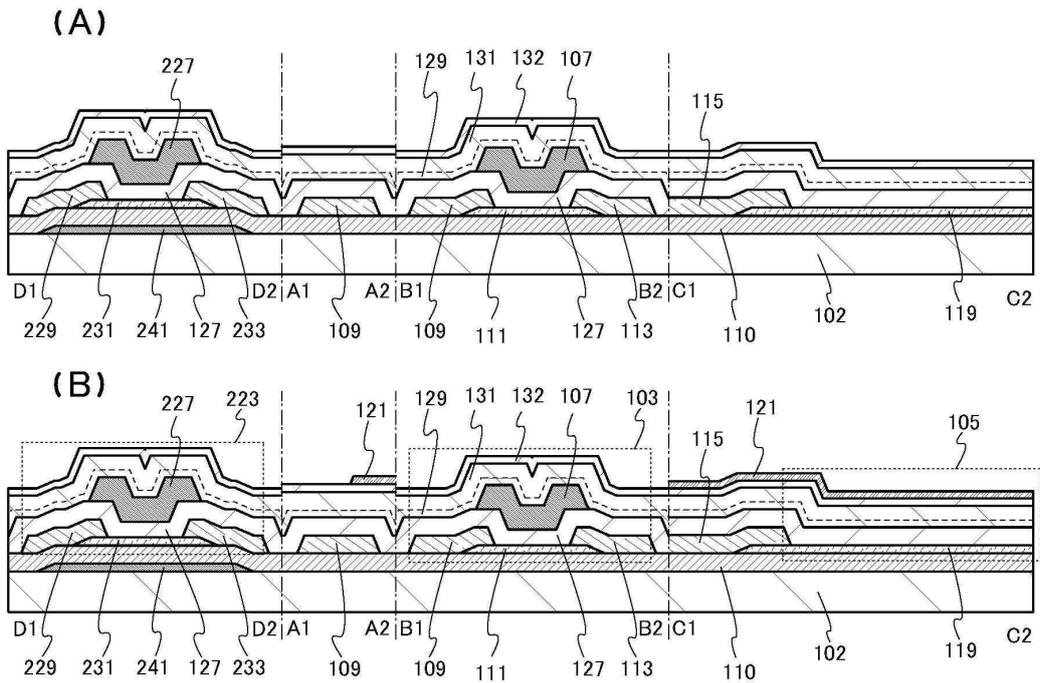
(B)



도면5

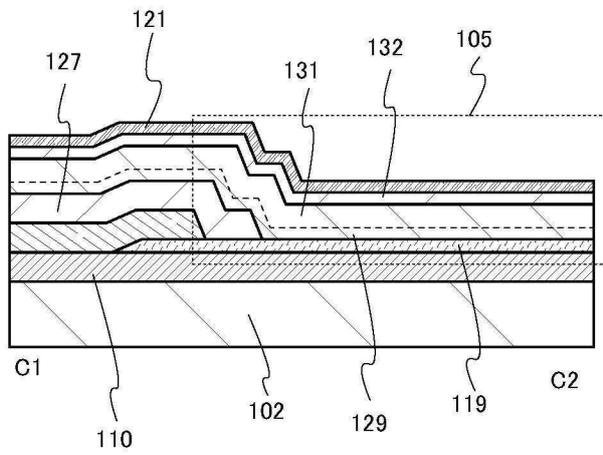


도면6

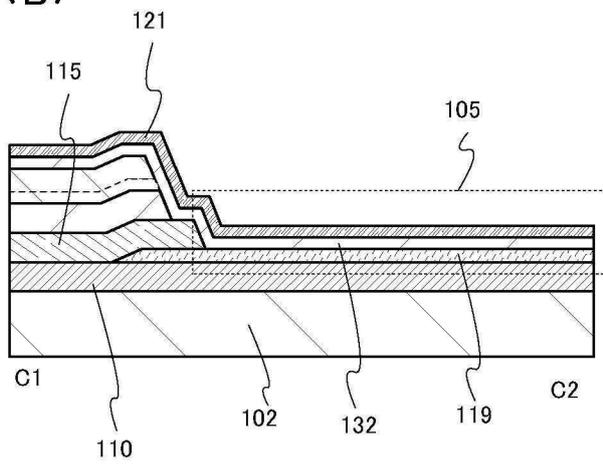


도면7

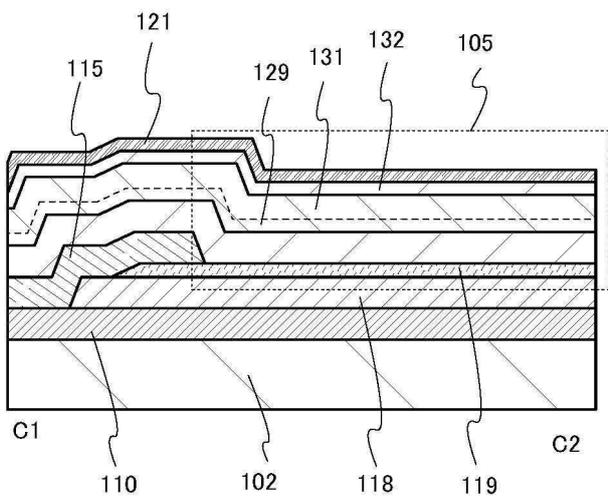
(A)



(B)

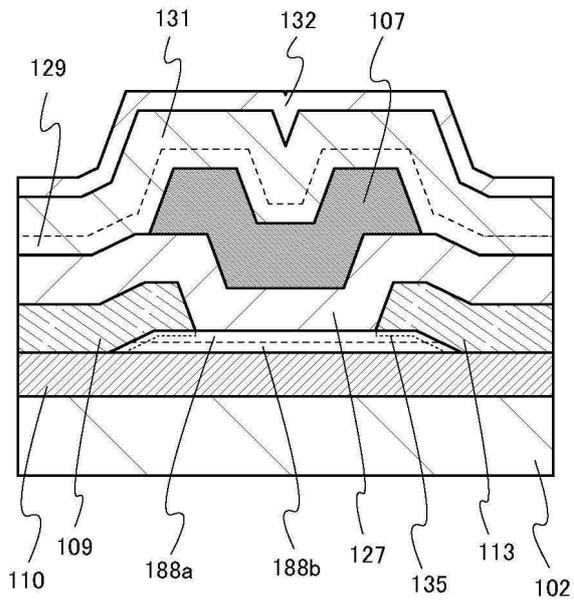


도면8

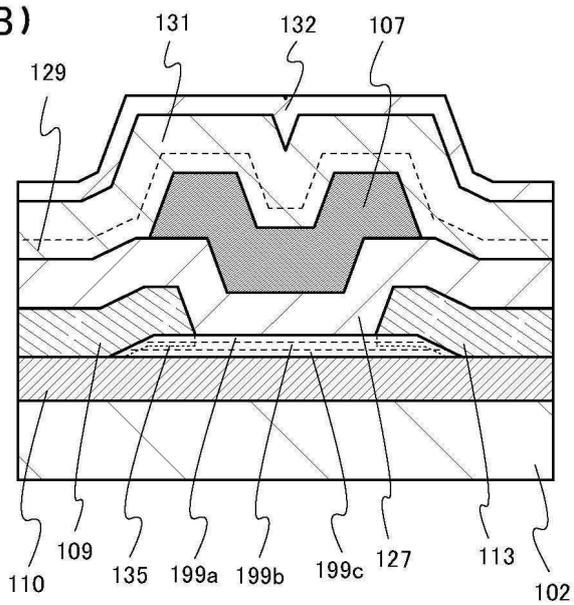


도면9

(A)

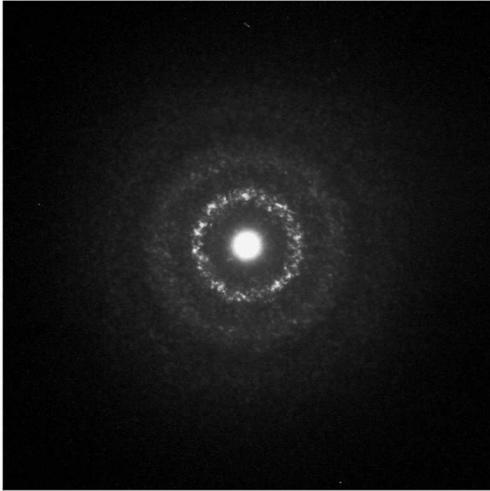


(B)

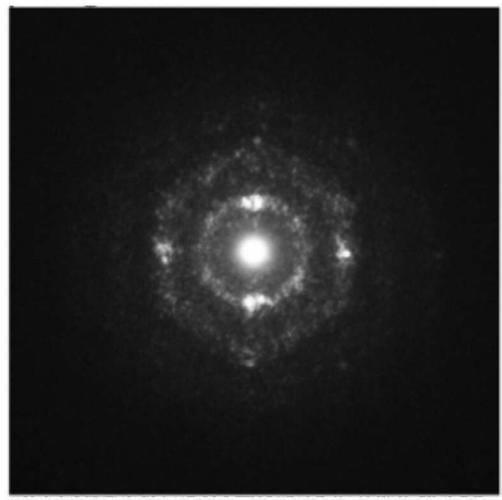


도면10

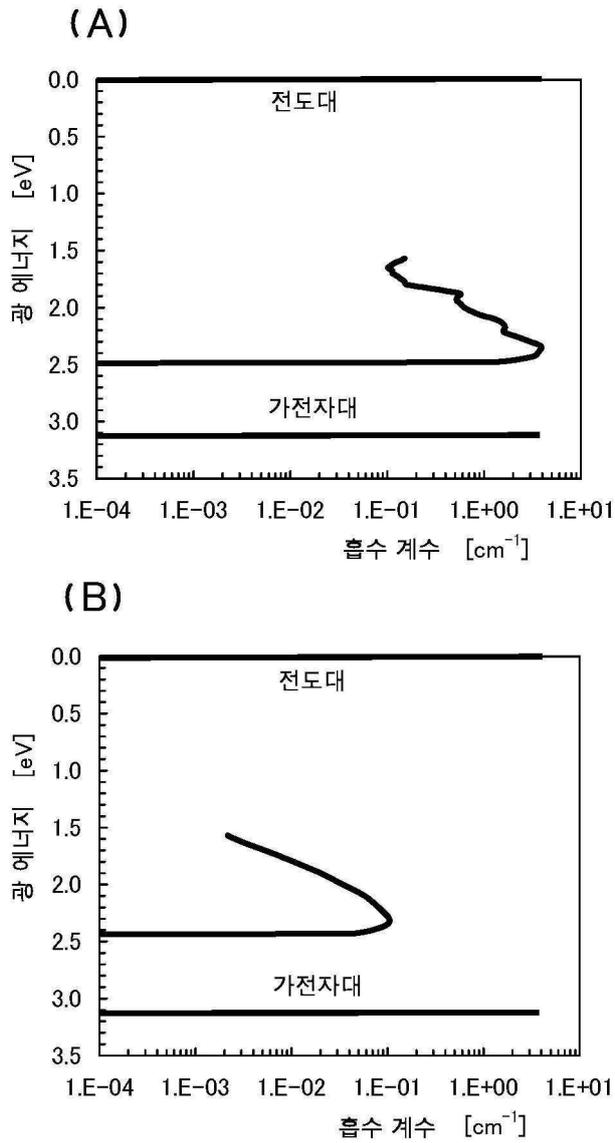
(A)



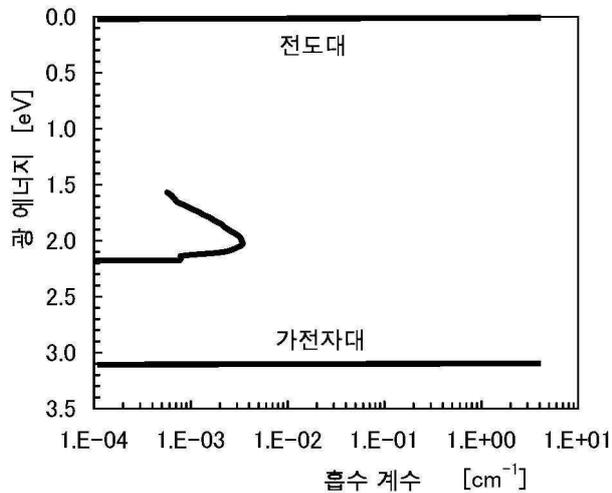
(B)



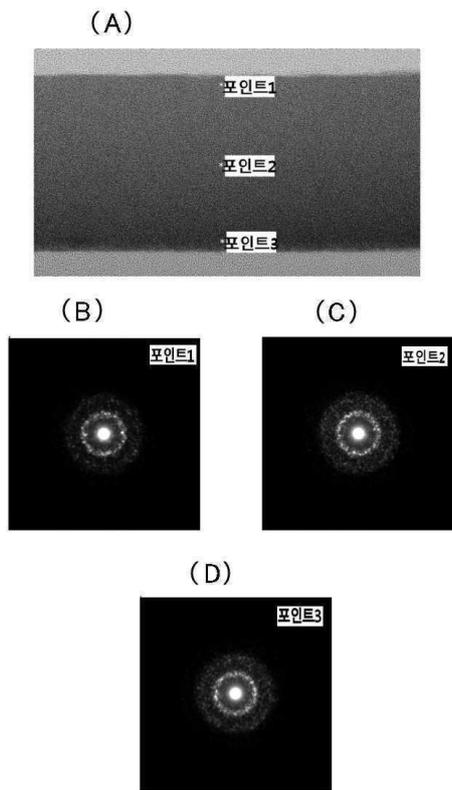
도면11



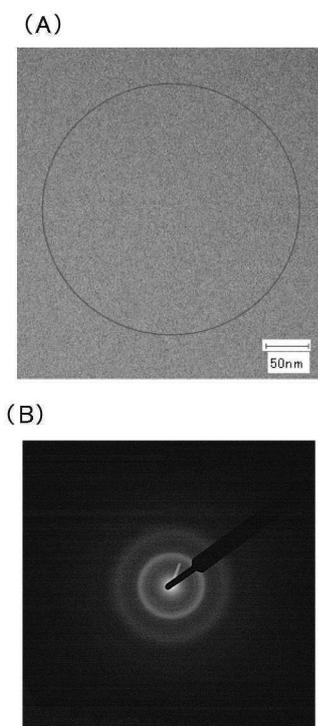
도면12



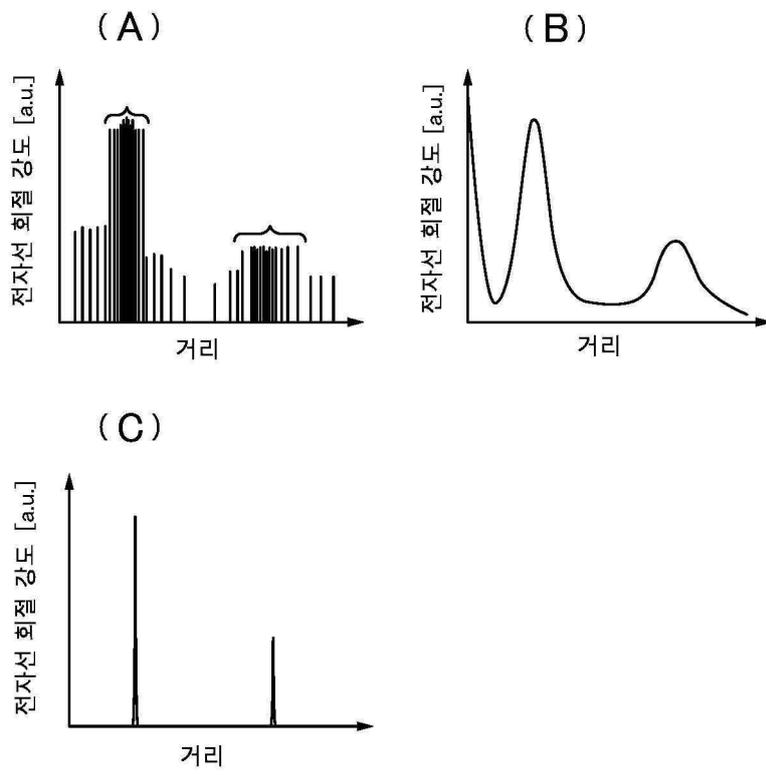
도면13



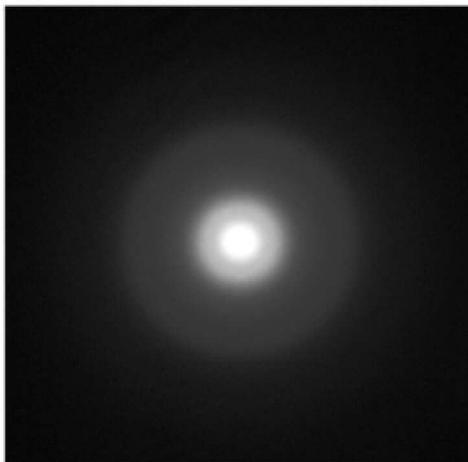
도면14



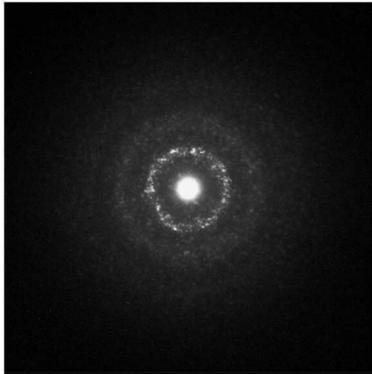
도면15



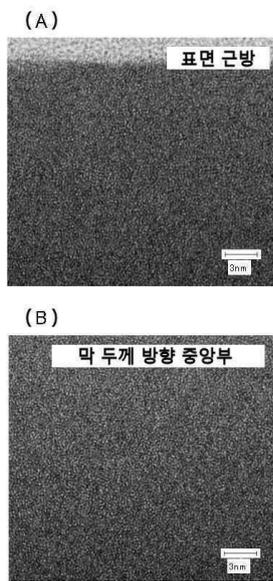
도면16



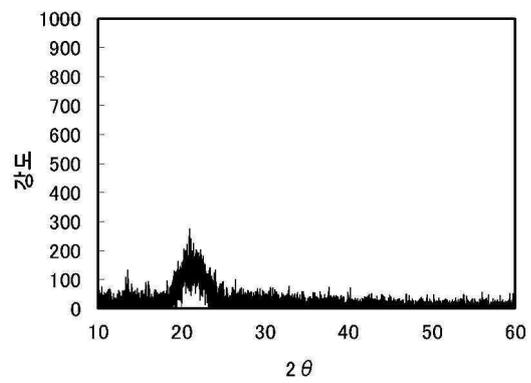
도면17



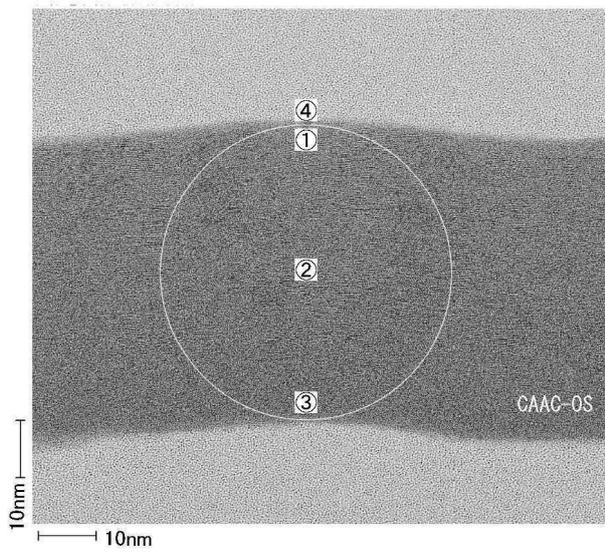
도면18



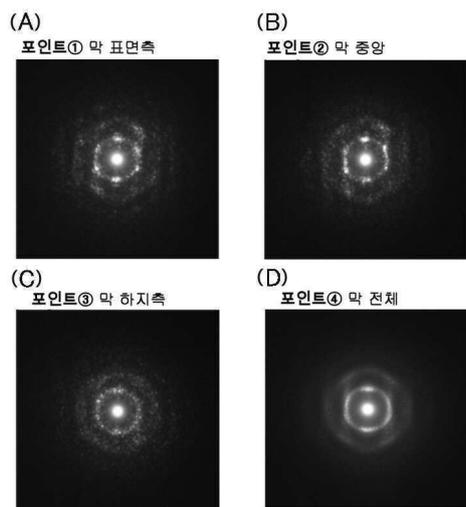
도면19



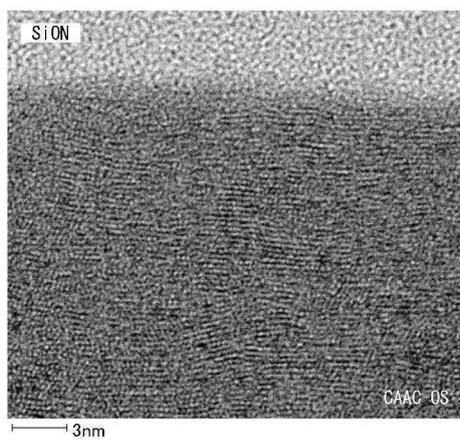
도면20



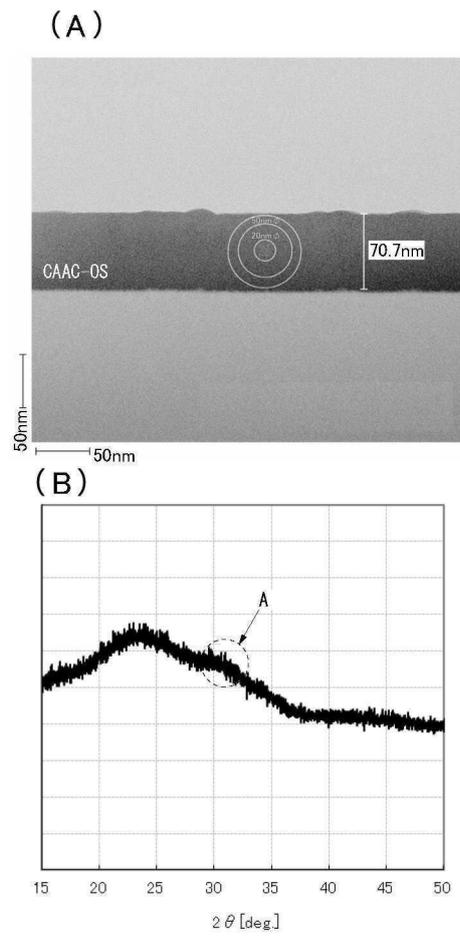
도면21



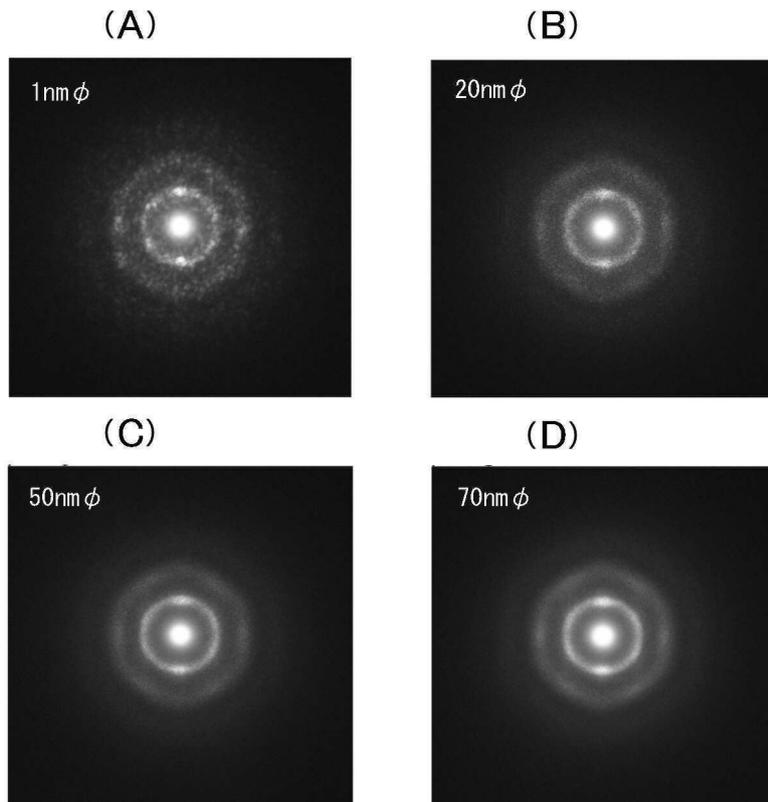
도면22



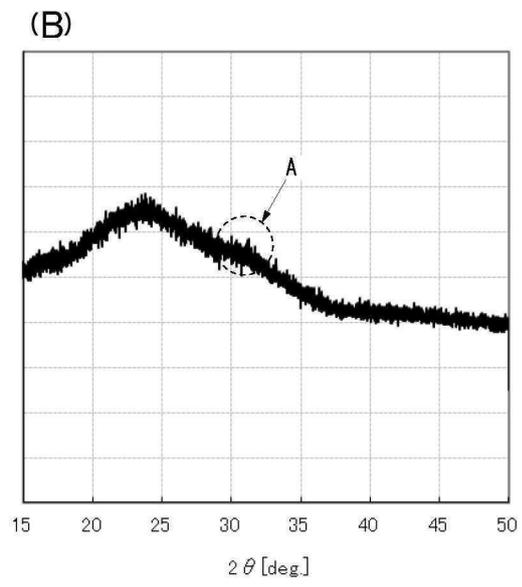
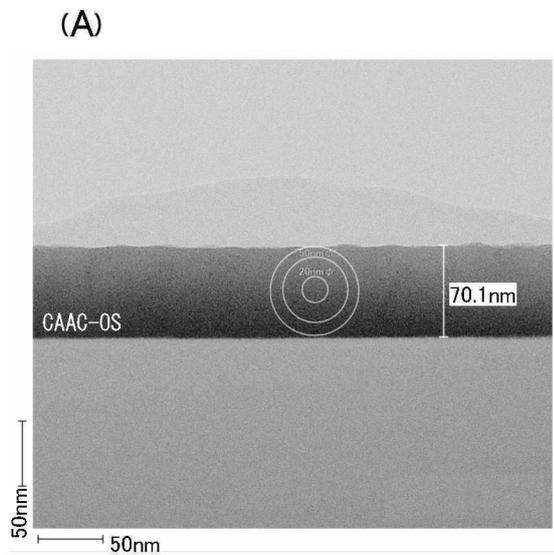
도면23



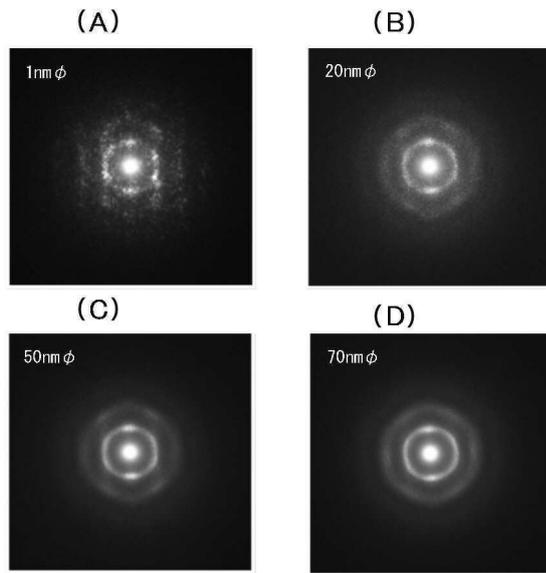
도면24



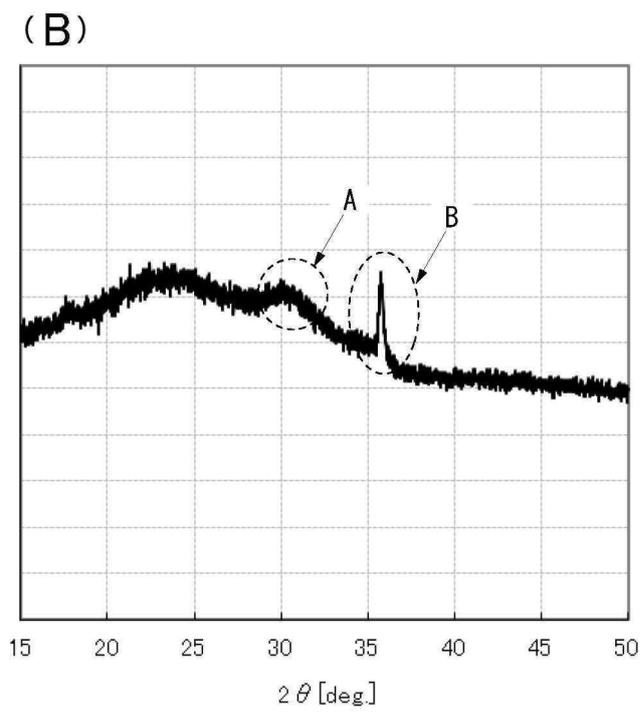
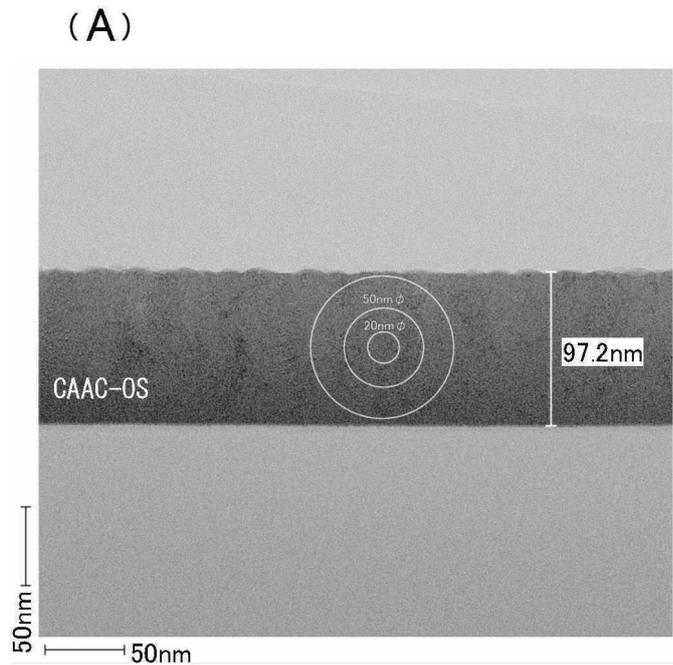
도면25



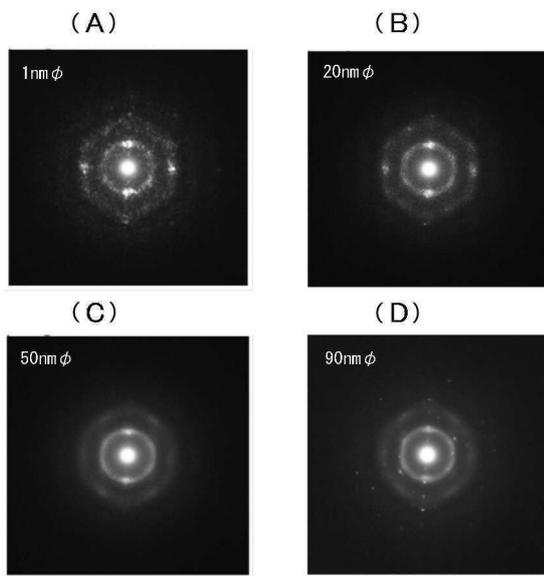
도면26



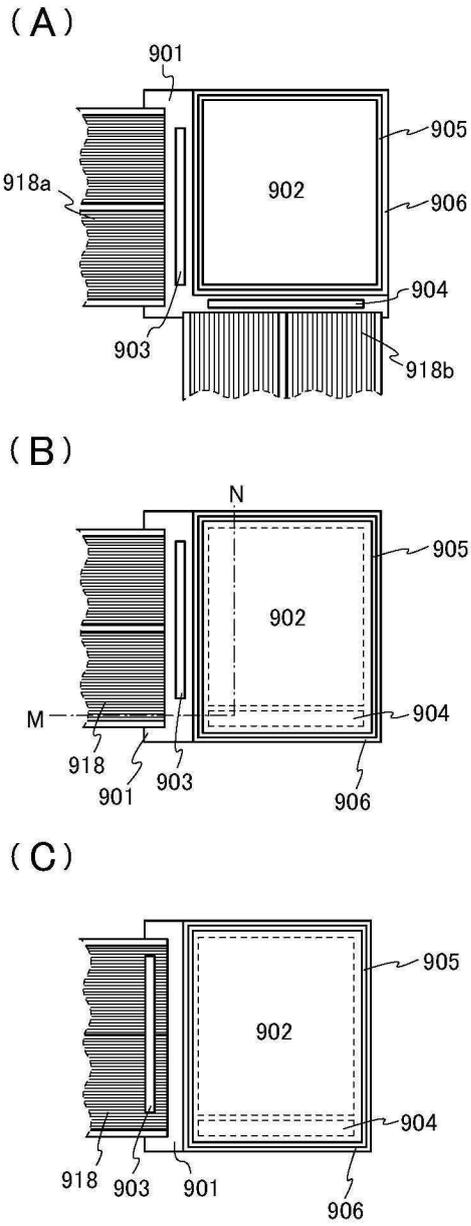
도면27



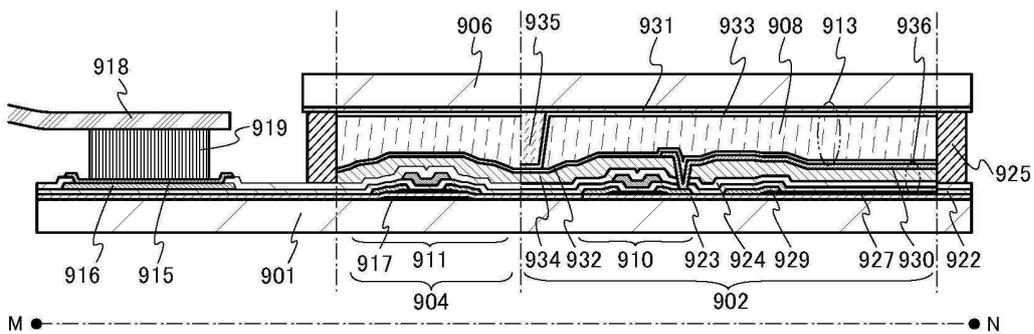
도면28



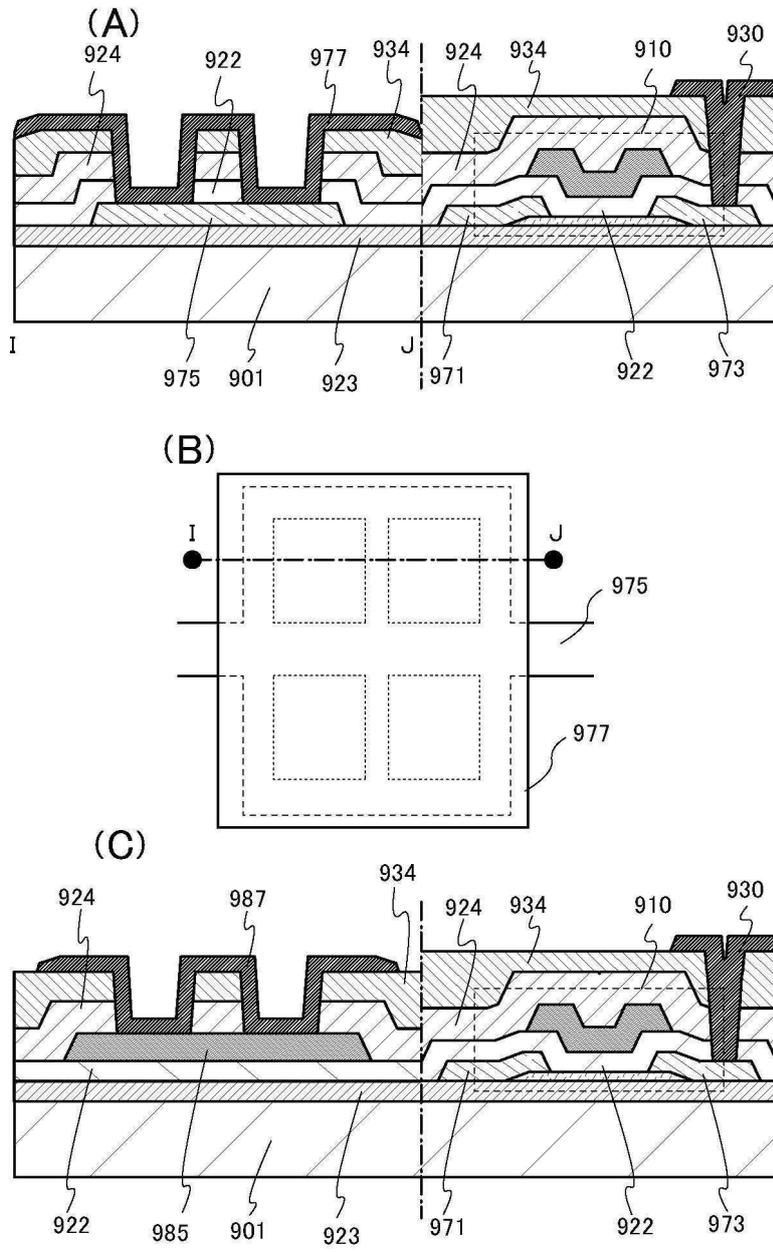
도면29



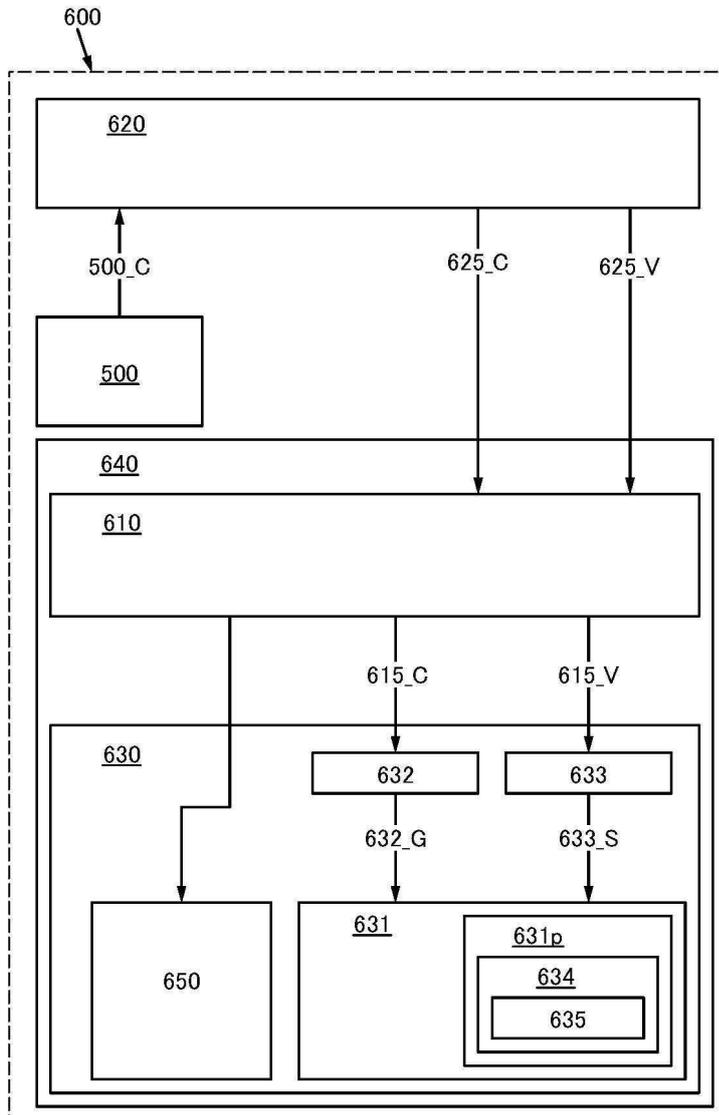
도면30



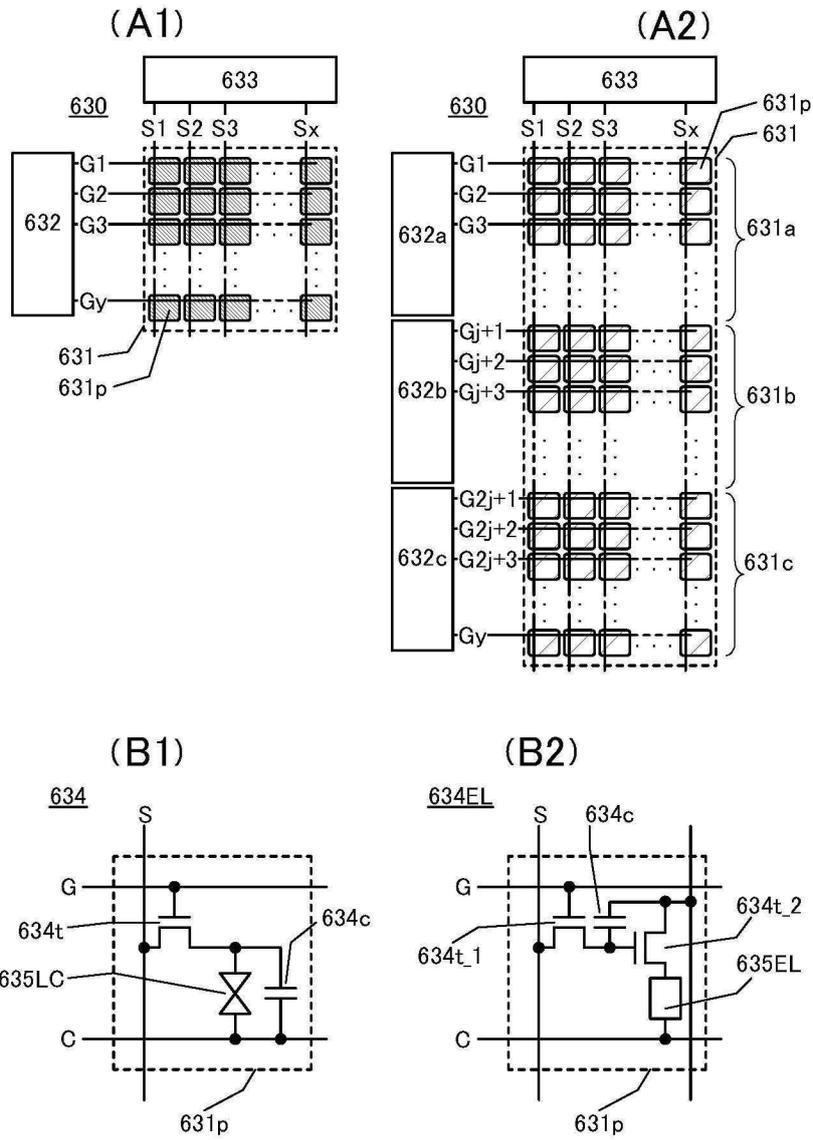
도면31



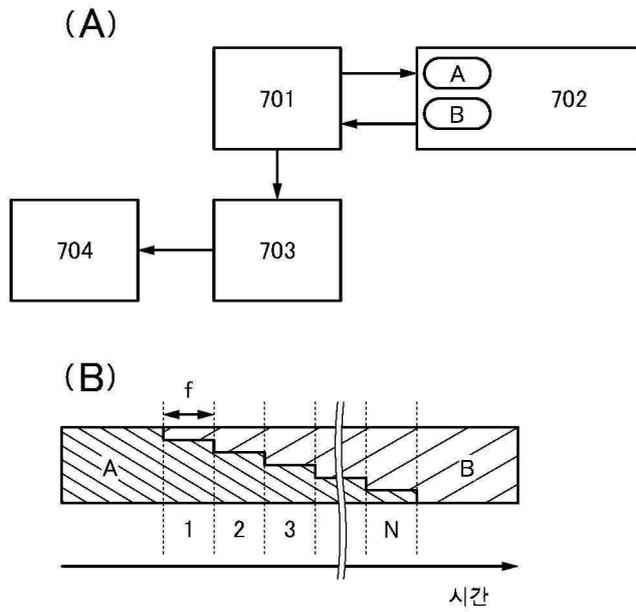
도면32



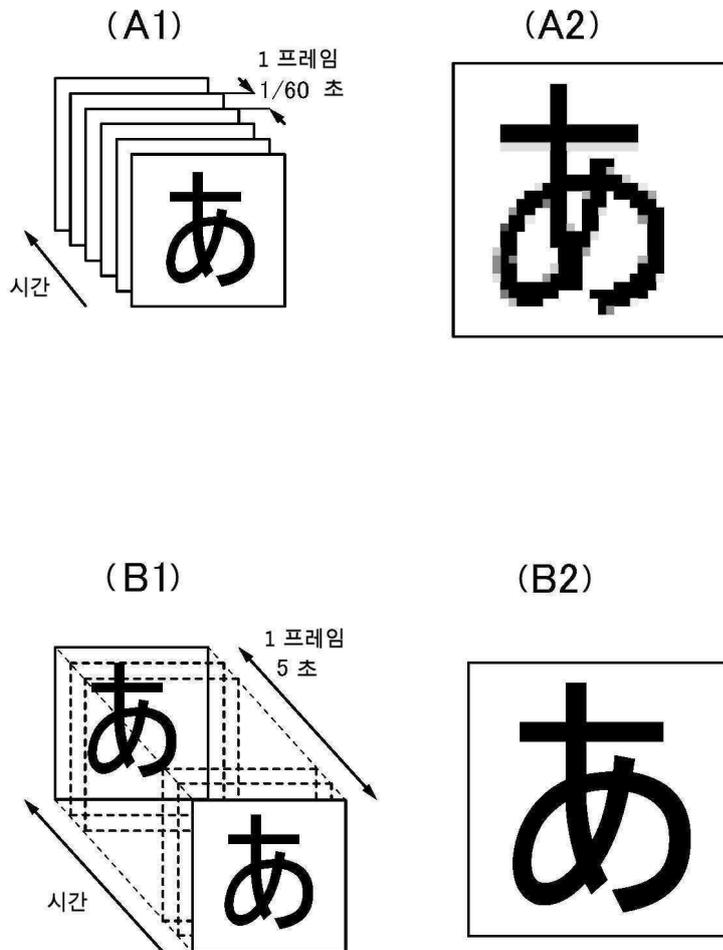
도면33



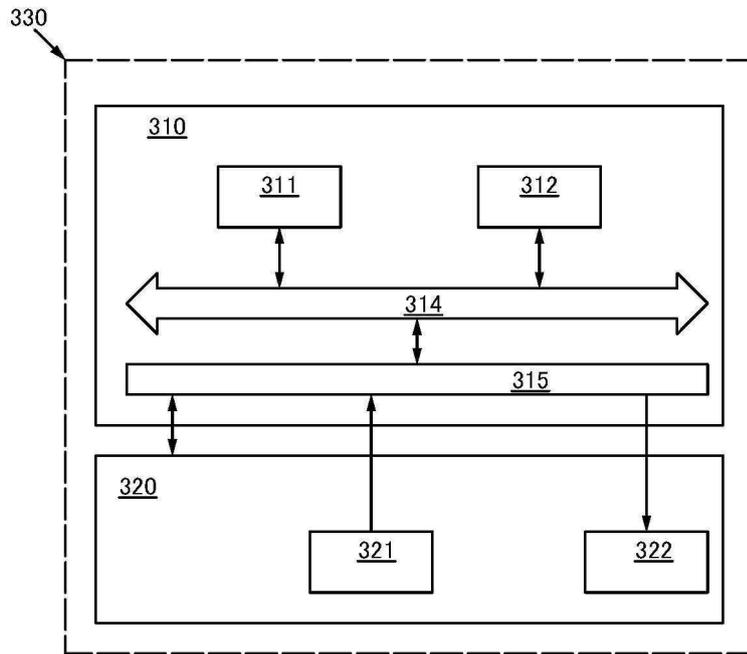
도면34



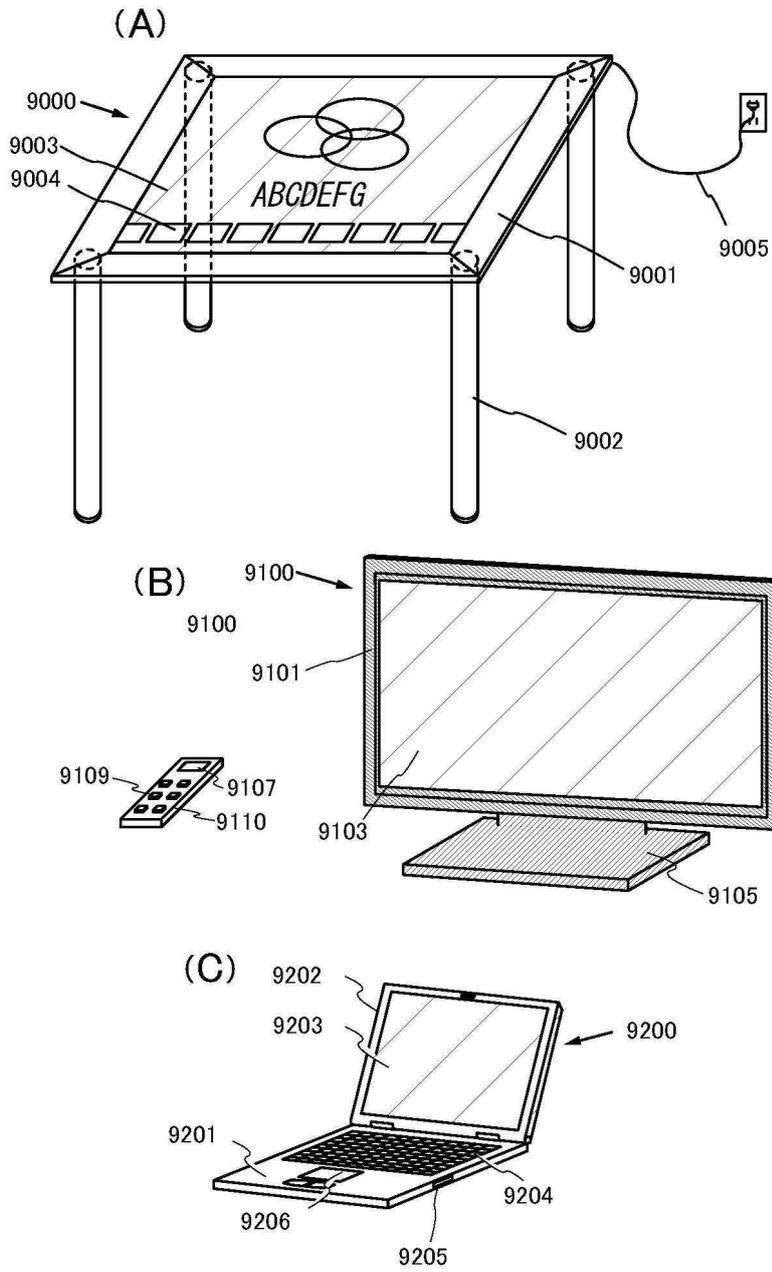
도면35



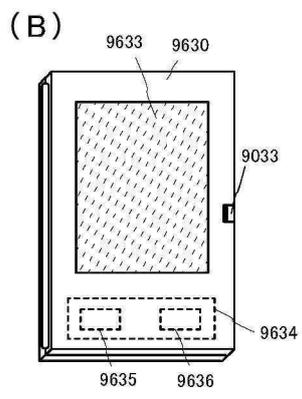
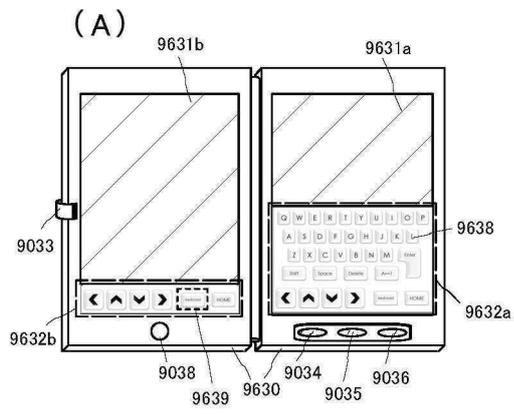
도면36



도면37

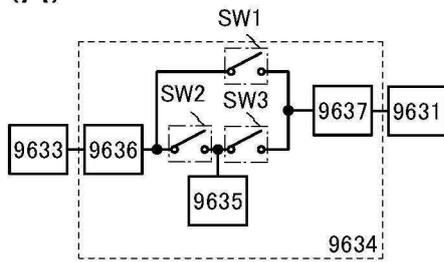


도면38

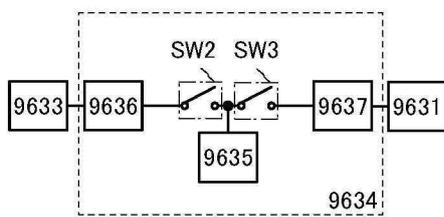


도면39

(A)



(B)



(C)

