

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-30598  
(P2004-30598A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int.CI.<sup>7</sup>  
**G06F 17/50**  
**H03H 7/42**  
// **GO1R 27/28**

F 1  
G06F 17/50    662 G  
H03H 7/42  
GO1R 27/28    Z

テーマコード(参考)

2G028  
5B046

		審査請求 未請求 請求項の数 10 O L (全 23 頁)
(21) 出願番号	特願2003-116105 (P2003-116105)	(71) 出願人 399117121 アジレント・テクノロジーズ・インク A G I L E N T T E C H N O L O G I E S, I N C. アメリカ合衆国カリフォルニア州パロアルト ページ・ミル・ロード 395 395 Page Mill Road Palo Alto, California U. S. A.
(22) 出願日	平成15年4月21日 (2003.4.21)	
(31) 優先権主張番号	127744	
(32) 優先日	平成14年4月22日 (2002.4.22)	
(33) 優先権主張国	米国(US)	(74) 代理人 100105913 弁理士 加藤 公久 (72) 発明者 ベーヘ・アダミアン アメリカ合衆国マサチューセッツ州レキシントン シャーバーン・ロード5

最終頁に続く

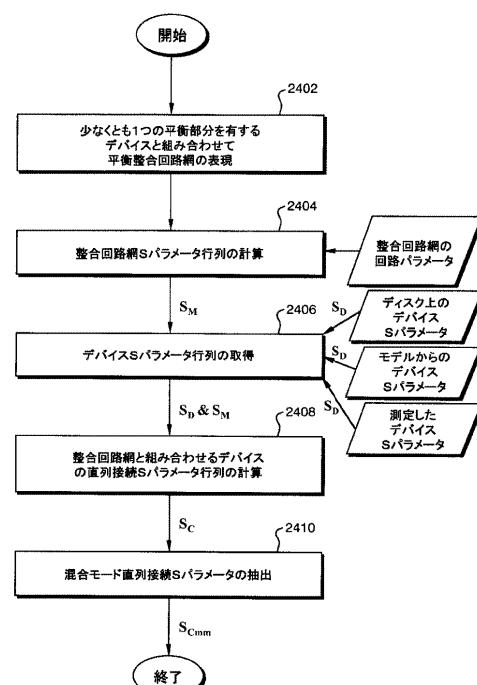
(54) 【発明の名称】平衡デバイスポートを有する多ポートデバイスの電気的挙動を予測するシステム

## (57) 【要約】

【課題】平衡デバイスポートを有する多ポートデバイスの電気的挙動を予測する

【解決手段】デバイス(500, 1900)の電気的挙動を予測するシステムであって、演算処理手段と、平衡入力ポート(102)および平衡出力ポート(108)を有する少なくとも1つの平衡整合回路網(100)を表現する手段と、前記平衡出力ポート(108)と前記デバイス(500)の平衡ポートとの間の前記少なくとも1つの整合回路網の接続を表現する手段と、整合回路網Sパラメータ行列 $S_M$ を計算する手段と、デバイスSパラメータ行列 $S_D$ を求める手段と、前記デバイス(500)と組み合わせた前記整合回路網(100)についての直列接続Sパラメータ行列 $S_C$ を計算する手段と、前記直列接続Sパラメータ行列から混在モード直列接続Sパラメータ $S_{Cmm}$ を抽出する手段と、を備えることを特徴とする。

【選択図】図24



**【特許請求の範囲】****【請求項 1】**

デバイスの電気的挙動を予測するシステムであって、

演算処理手段と、

平衡入力ポートおよび平衡出力ポートを有する少なくとも1つの平衡整合回路網を表現する手段と、

前記平衡出力ポートと前記デバイスの平衡ポートとの間の前記少なくとも1つの整合回路網の接続を表現する手段と、

整合回路網  $S$  パラメータ行列  $S_M$  を計算する手段と、

デバイス  $S$  パラメータ行列  $S_D$  を求める手段と、

前記デバイスと組み合わせた前記整合回路網についての直列接続  $S$  パラメータ行列  $S_C$  を計算する手段と、

前記直列接続  $S$  パラメータ行列から混在モード直列接続  $S$  パラメータ行列  $S_{C_{mm}}$  を抽出する手段と、

を備えることを特徴とするシステム。

**【請求項 2】**

少なくとも1つの整合回路網の前記表現手段は、さらに、分流回路網と格子回路網の組み合わせをもって、前記少なくとも1つの整合回路網を表現する手段を備える、

ことを特徴とする請求項1に記載のシステム。

**【請求項 3】**

前記表現手段は、さらに、インピーダンス変換素子を有する前記少なくとも1つの整合回路網を表現する手段を備える、

ことを特徴とする請求項2に記載のシステム。

**【請求項 4】**

前記少なくとも1つの整合回路網は、平衡インピーダンス変換素子と、第1の分流回路網と、第1の格子回路網と、第2の分流回路網と、第2の格子回路網との直列接続組み合わせを備え、

前記各分流回路網は、第1と第2の分流接続点間の並列インピーダンス素子と、それぞれ前記第1と第2の分流接続点間の第1及び第2の分流インピーダンス素子と、基準電位端を具備し、

前記格子回路網は、第1と第3の格子接続点間の第1の直列インピーダンス素子と、前記第2と第4の格子接続点間の第2の直列インピーダンス素子と、前記第1と第4の格子接続点間の第1の交差インピーダンス素子と、前記第2と第3の格子接続点間の第2の交差インピーダンス素子とを具備し、

前記システムは、対応する整合回路網  $S$  パラメータ行列  $S_M$  を計算する手段と、前記整合回路網  $S$  パラメータ行列  $S_M$  と電気的に組み合わせた前記デバイスの少なくとも1つのポートの特性を解明する手段とを備える、

ことを特徴とする請求項1乃至請求項3のいずれかに記載のシステム。

**【請求項 5】**

前記整合回路網  $S$  パラメータ行列の計算手段はさらに、前記第1の分流回路網及び第2の分流回路網について開放インピーダンス行列  $Z$  を計算する手段と、前記第1及び第2の格子インピーダンス回路網について短絡アドミッタンス行列  $Y$  を計算する手段と、前記整合回路網についてインピーダンス行列を計算する手段と、前記インピーダンス行列を前記整合回路網  $S$  パラメータ行列へ変換する手段を備える、

ことを特徴とする請求項2乃至請求項4のいずれかに記載のシステム。

**【請求項 6】**

さらに、前記直列接続  $S$  パラメータ行列  $S_C$  を任意の特性インピーダンスへ正規化する手段を備える、

ことを特徴とする請求項5に記載の前記システム。

**【請求項 7】**

10

20

30

40

50

さらに、前記直列接続 S パラメータ行列から多ポート混在モード S パラメータを抽出する手段を備える、

ことを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の前記システム。

【請求項 8】

さらに、前記デバイスの少なくとも 1 つの不平衡ポートと電気的に組み合わせた少なくとも 1 つの不平衡整合回路網を表現する手段を備える、

ことを特徴とする請求項 1 乃至請求項 7 のいずれかに記載の前記システム。

【請求項 9】

前記デバイスは複数の平衡ポート有し、

前記システムは、前記平衡整合回路網の表現と整合回路網 S パラメータ行列  $S_M$  の計算を 10 繰り返す手段をさらに備える、

ことを特徴とする請求項 1 乃至請求項 9 のいずれかに記載の前記システム。

【請求項 10】

前記正規化手段は、前記整合回路網を異なる特性インピーダンス値へ正規化する、

ことを特徴とする請求項 9 に記載の前記システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、平衡デバイスポートを有する多ポートデバイスの電気的挙動を予測するシステムに関する。 20

【0002】

【従来の技術】

デジタル電子機器のためのデータ転送速度は、無線通信や有線通信の全ての分野で増加している。従って、ビデオや高品位テレビ（HDTV）やグラフィックスやシリアルインターフェースや他の多くのアプリケーション向けのデジタルデータストリームは、より高い帯域を必要としている。デジタルデータの転送速度の増加はインターネットの成長する人気に一部起因するものであり、チップや機能ボードやシステムの間の高速相互接続を必要としている。当事者には言うまでもないが、データはデジタルであっても、デジタルデータがそこに沿って移動する伝送媒体はアナログである。

【0003】

帯域の増加は、雑音源に対しデジタル通信回路がより影響を受け易くする。より高いデータ転送速度を達成するため、電子回路は電磁障害に対する不感応性を改善し、偶数次高調波を抑制でき、非理想的接地に対しより高い許容範囲を持つようにせねばならない。平衡伝送型の回路構成の使用は、前記事項の達成に役立つ。従って、平衡伝送型の回路構成は過去に比べより一般的になっている。用語「平衡回路構成」に精通した当事者には、それが電気信号をデバイスの单一平衡ポート（シングル・バランスド・ポート）へ給送する、適当に結合された 2 つの導体線路の存在を意味することは言うまでもないことである。

2 つの端子がデバイスの单一平衡ポート（シングル・バランスド・ポート）を形成するのは、各端子を被結合導体の一方へ接続した場合である。ここで使用する用語「デバイス」は、電気的挙動を呈する任意のデバイスあるいは回路を指す。平衡デバイスの解析は、デバイスの標準 S パラメータを混在モード S パラメータに変換することで達成することができる。混在モード S パラメータは、平衡構造内を伝搬する差動モード信号と同相モード信号を記述するものである。2 つの被結合導体を互いに 180 度位相をずらし同振幅でもって駆動したときに、差動モードが発生する。2 つの被結合導体が同相同振幅を有するときに、同相モードが発生する。平衡構造内の理想的な信号は、純差動モードである。差動モードが有利であるのは、被結合導体上の電圧が「1」を表わしかつ反対極性を有する場合に、高速デジタル差動受信器が不平衡の場合よりも大電圧を発生し、デジタル値「1」を表わすからである。同様に、被結合導体上の電圧が「0」を表わしかつ反対極性を有する場合は、差動受信器は不平衡の場合よりも小電圧を発生し、デジタル値「0」を表わす。平衡回路構成において導体を結合する目的は、接地面の戻り線路内で発生する雑音 40

などのあらゆる同相モード信号が両導体上で同振幅同位相に見えるようになし、デジタル差動受信器でキャンセルすることにある。

#### 【0004】

不平衡の回路構成を有するデバイスのデジタル設計者が用いる幾つかのツールキットの一部として試験、測定、解析の各手法が開発され、1つのモデルに基づくデバイスや素子の多数相互接続からなるデバイスの電気的挙動の予測に役立っている。デバイス設計を準備した後、設計者は新規に設計したデバイスの電気的挙動を数学的に予測し、そのデバイスにとっての所望性能仕様に対しそれを比較することが可能となる。場合によっては、予測された電気挙動は所望の性能仕様を満たさず、それ故にデバイスを設計しようとしているニーズに応えないことがある。こうした場合、電子設計者は新規設計デバイスを試作しないことを選択し、所望の予測挙動が得られるようデバイスの再設計へと進む。期待性能を満たさないデバイスの試作ステップの排除は、無駄な努力と経費を排し、より性能の良好な製品の市場への投入時間を改善するのに役立つ。10

#### 【0005】

ここで「ディエンベディング／エンベディング・アプリケーションノート」と呼ぶ非特許文献1には、「ディエンベディング（除去）」と名付けた方法が開示されている。ディエンベディング手法は、2つのアダプタを直列接続（カスケード接続）したデバイスの測定値と2つのアダプタ自体の測定値からのデバイスのSパラメータを割り出すのに用いられる。ディエンベディング／エンベディング・アプリケーションノートには、モデル化デバイスの電気的挙動を予測する「エンベディング」と名付けた方法もまた開示されている。エンベディング処理では、デバイスのSパラメータと2つのアダプタのSパラメータとの組み合わせがアダプタとの電気的な組み合わせにおけるデバイスの挙動を予測するのに役立つ。エンベディング処理に使用するSパラメータはディエンベディング処理から入手するか、あるいは回路のモデル化と関連Sパラメータの計算を通じて入手することができる。エンベディング及びディエンベディング手法の使用が、コンピュータ支援設計（C A D）ツールと電子デバイス設計者ツールキットの測定ツールとの間の重要なリンクをもたらす。20

#### 【0006】

##### 【非特許文献1】

「ベクトル・ネットワーク・アナライザを使用したSパラメータ・ネットワークのディエンベディング及びエンベディング」，アプリケーションノート1364-1，アジレントテクノロジーズ・インク，2000年11月30

#### 【0007】

##### 【発明が解決しようとする課題】

ディエンベディング／エンベディング・アプリケーションノートにて教示されるエンベディング手法の1つの限界は、教示用途が不平衡デバイスに向けられたものであることである。従来技術は平衡デバイスに適用できる手法を提供しておらず、しかも電子設計分野の平衡デバイスの使用は増えつつある。それ故、平衡デバイスや平衡回路に適用可能なエンベディング手法に対する要求が存在する。

#### 【0008】

平衡と不平衡のデバイスポートを両方有するデバイスや回路の使用もまた、より一般的になっている。両ポート様式を有するデバイスや回路を、本願明細書では「混在ポートデバイス」と呼ぶことにする。用語「デバイス」がデバイスと回路を指すことは理解されたい。混在ポートデバイスでは、不平衡デバイスポートと平衡ポートが平衡回路構成と不平衡回路構成のインタフェースとなり、不平衡回路構成と平衡回路構成を单一作動システムとして併せ一体化してあるのが普通である。それ故、混在ポートデバイスだけでなく純平衡デバイスも併せ電気的な挙動を予測する方法に対する要求が存在する。40

#### 【0009】

多くの平衡回路構成では、デバイスを整合回路網内にエンベディングしたときに、ユーザはその電気的挙動を予測することを欲する。一般に、モデル測定値すなわちSパラメータ50

測定値は、整合回路網を表す。ベクトル回路網解析器は、線形デバイスのSパラメータを測定する。ベクトル回路網解析器を、ベクトル・ネットワーク・アナライザとも称され、以降、VNAと略称する。大半の市販のVNAは50オーム標準に校正してあるため、測定したSパラメータ $S_D$ は50オーム特性インピーダンスへ正規化される。Sパラメータ行列 $S_D$ は、それ故に特性インピーダンスの関数となる。平衡フィルタのような一部の平衡デバイスは、不平衡デバイスポート向けの従来の50オームや平衡ポート向けの従来の100オーム以外の特性インピーダンスへの正規化を必要とする。その上、デバイスインピーダンスの正規化は、ポートごとに異なることもある。多くの商用電子設計自動化ソフトウェアパッケージは、モデルにより表わされる不平衡整合回路網のモデル化へ利用可能で、ユーザが指定したインピーダンスへモデルを正規化できるようにしてある。平衡混在ポート型の回路構成に関し、この種の市販のソフトウェアパッケージは一切存在しない。それ故、任意のインピーダンス値への正規化を可能にする純差動混在ポートデバイスのエンベディング手法に対する要求が存在する。

10

20

30

40

50

#### 【0010】

##### 【課題を解決するための手段】

本発明は、上記課題を解決したものであり、デバイスの電気的挙動を予測するシステムであって、演算処理手段と、平衡入力ポートおよび平衡出力ポートを有する少なくとも1つの平衡整合回路網を表現する手段と、前記平衡出力ポートと前記デバイスの平衡ポートとの間の前記少なくとも1つの整合回路網の接続を表現する手段と、整合回路網Sパラメータ行列 $S_M$ を計算する手段と、デバイスSパラメータ行列 $S_D$ を求める手段と、前記デバイスと組み合わせた前記整合回路網についての直列接続Sパラメータ行列 $S_C$ を計算する手段と、前記直列接続Sパラメータ行列から混在モード直列接続Sパラメータ $S_{C_{mm}}$ を抽出する手段と、を備えることを特徴とする。

#### 【0011】

##### 【発明の実施の形態】

整合回路や整合回路網は、デバイスに現われるインピーダンスを記述する電気的モデルを表す。本発明の教示は、デバイスと組み合わせて表わされる特定の整合回路の仕様をもたらすものである。図1を具体的に参照するに、第1の入力端子104と第2の入力端子106とを含む平衡入力ポート102、および、第1の出力ポート110と第2の出力ポート112とを含む平衡出力ポート108を有する整合回路網100が図示してある。整合回路網100は、平衡入力ポート102と平衡出力ポート108との間のインピーダンスを表す一般的な回路モデルの一実施形態である。図1に示す整合回路網100の実施形態は、三つの異なる副回路の電気的組み合わせを備える。各副回路は、個別の不平衡入力ポートと不平衡出力ポートをもって表わしてある。

30

#### 【0012】

従来のVNAは、固定インピーダンス環境下でデバイスのパラメータを測定する。一般に、固定インピーダンス環境は全ての被測定デバイスポートについて50オームであり、「基準特性インピーダンス」と呼ばれる。被測定デバイスの各ポートに対し、任意のインピーダンスの選択を可能にすることが望ましい。第1の副回路部はインピーダンス変換素子202であり、図2に図示してある。インピーダンス変換素子202は、平衡インピーダンス変換入力ポート204におけるインピーダンスを平衡インピーダンス変換出力ポート206における異なるインピーダンスへ変換する平衡2ポート回路素子の理想的モデルである。

#### 【0013】

第2の副回路部は、図3に示す一般的な平衡2ポート分流回路網302である。分流回路網302は、第1の分流接続点306と第2の分流接続点308との間に配設した並列インピーダンス素子304を含む。第1の分流接続点306は、第1の入力端子310と第1の出力端子314とに共通である。第2の分流接続点308は、第2の入力端子312と第2の出力端子316とに共通である。第1の入力端子310と第2の入力端子312は、分流回路網302用の第1の平衡入力ポート318を構成している。第1の出力端子

314と第2の出力端子316は、分流回路網302用の第2の平衡出力ポート320を構成している。一般的な分流回路網320は、また、第1の分流接続点306と共に電位端101との間に電気的に配設した第1の分流インピーダンス素子322、および、第2の分流接続点308と共に電位端101との間に電気的に配設した第2の分流インピーダンス素子324を含む。当事者には言うまでもないが、この種のモデルを用いたときに、どんなインピーダンス素子も短絡回路あるいは開放回路のどちらかとして一般化することができる。

#### 【0014】

第3の副回路部は、図4に示す一般的な平衡2ポート格子回路網402である。格子回路網402は、第1の格子回路網接続点406と第3の格子回路網接続点410との間に第1の直列インピーダンス素子404を備える。格子回路網402はまた、第2の格子回路網接続点408と第4の格子回路網接続点412との間に第2の直列インピーダンス素子414を備える。第1の格子回路網接続点406と第2の格子回路網接続点408は、格子回路網402の平衡入力ポート416を構成する。第3の格子回路網接続点410と第4の格子回路網接続点412は、格子回路網402の平衡出力ポート418を構成する。一般的な格子回路網402は、第1の交差インピーダンス素子422と第2の交差インピーダンス素子420を備える。第1の交差インピーダンス素子422は、第1の格子回路網接続点406と第4の格子回路網接続点412との間に電気的に配設される。第2の交差インピーダンス素子420は、第2の格子回路網接続点408と第3の格子回路網接続点410との間に電気的に配設される。当事者には言うまでもないが、この種のモデルを用いたときにどんなインピーダンス素子も短絡回路あるいは開放回路のどちらかとして一般化することができる。

#### 【0015】

図1に示す整合回路網実施形態は、1つのインピーダンス変換素子202、および、1つの分流回路網302と1つの格子回路網402との組み合わせからなる2つの回路を備える。図1は、平衡入力ポート102と平衡出力ポート108との間のインピーダンスを表す一般的な回路の一実施形態を表わす。より複雑な整合回路は、必要数の追加の分流回路網と格子回路網を含む組み合わせ回路として表わすことができよう。

#### 【0016】

図5を具体的に参照するに、平衡回路構成を有する多ポートデバイス500が図示してある。デバイス500は、図1に例示す平衡整合回路網100と同様の構造を有する複数の平衡整合回路網内にエンベディングしてある。本発明の開示は、「複数の装置ポートを有する装置の特性を解明する方法及び機器」と題し、2002年3月14日に出願した米国特許出願第10/098,040号の利点と併せ、複数の平衡整合回路網100中にエンベディングした多ポートデバイス500のSパラメータの予測を可能にする。以降、米国特許出願第10/098,040号を「エンベディング/ディエンベディング特許出願」と呼ぶ。エンベディング/ディエンベディング特許出願は、その教示を本願明細書中に参照用に取り込むものであるが、2Nポートアダプタが接続されるNポートデバイスの挙動を予測する方法が教示されている。この教示は、デバイスとデバイスに接続されるアダプタの分散パラメータ(Sパラメータ)が既知であるときに、2つのデバイスあるいは回路を直列接続したものの電気的挙動の予測方法を示している。得られるのは、直列接続Sパラメータ行列 $S_c$ である。

#### 【0017】

エンベディング/ディエンベディング特許出願の教示を用いるため、 $S_M$ で表わされる整合平衡回路網のそれぞれのSパラメータを入手する。図3を具体的に参照するに、Z1は第1の分流インピーダンス素子322の複素インピーダンスを表わし、Z2は並列インピーダンス素子304の複素インピーダンスを表わし、Z3は第2の分流インピーダンス素子324の複素インピーダンスを表わす。従って、分流器回路網302の開放インピーダンス行列Zは、下記となる。

#### 【0018】

10

20

30

40

50

【数1】

$$Z = \begin{bmatrix} Z_1(Z_2+Z_3) & Z_1Z_2 & Z_1(Z_2+Z_3) & Z_1Z_2 \\ \overline{Z_1+Z_2+Z_3} & \overline{Z_1+Z_2+Z_3} & \overline{Z_1+Z_2+Z_3} & \overline{Z_1+Z_2+Z_3} \\ \overline{Z_1Z_3} & \overline{(Z_1+Z_2)Z_3} & \overline{Z_1Z_3} & \overline{(Z_1+Z_2)Z_3} \\ \hline Z_1+Z_2+Z_3 & Z_1+Z_2+Z_3 & Z_1+Z_2+Z_3 & Z_1+Z_2+Z_3 \\ \overline{Z_1(Z_2+Z_3)} & \overline{Z_1Z_3} & \overline{Z_1(Z_2+Z_3)} & \overline{Z_1Z_3} \\ \hline Z_1+Z_2+Z_3 & Z_1+Z_2+Z_3 & Z_1+Z_2+Z_3 & Z_1+Z_2+Z_3 \\ \overline{Z_1Z_3} & \overline{(Z_1+Z_2)Z_3} & \overline{Z_1Z_3} & \overline{(Z_1+Z_2)Z_3} \\ \hline Z_1+Z_2+Z_3 & Z_1+Z_2+Z_3 & Z_1+Z_2+Z_3 & Z_1+Z_2+Z_3 \\ \overline{Z_1Z_3} & \overline{Z_1+Z_2+Z_3} & \overline{Z_1+Z_2+Z_3} & \overline{Z_1+Z_2+Z_3} \end{bmatrix} \quad (1)$$

【0019】

10

図4を具体的に参照するに、Z4は第1の直列インピーダンス素子404の複素インピーダンスを表わす。Z7は第2の直列インピーダンス素子414の複素インピーダンスを表わす。Z5は、第1の交差インピーダンス素子422の複素インピーダンスを表す。Z6は、第2の交差インピーダンス素子420の複素インピーダンスを表す。従って、格子回路網402の短絡アドミタンス行列Yは、下記となる。

【0020】

【数2】

$$Y = \begin{bmatrix} \frac{1}{Z_4} + \frac{1}{Z_5} & 0 & -\frac{1}{Z_4} & -\frac{1}{Z_5} \\ 0 & \frac{1}{Z_6} + \frac{1}{Z_7} & -\frac{1}{Z_6} & -\frac{1}{Z_7} \\ -\frac{1}{Z_4} & -\frac{1}{Z_6} & \frac{1}{Z_4} + \frac{1}{Z_6} & 0 \\ -\frac{1}{Z_5} & -\frac{1}{Z_7} & 0 & \frac{1}{Z_5} + \frac{1}{Z_7} \end{bmatrix} \quad (2)$$

20

【0021】

30

図1に示す整合回路網の各分流インピーダンス素子や各直列インピーダンス素子や各交差インピーダンス素子は、多数の回路のうちの任意の1つとすることができます。実施例としてかつ例示のみを目的に、より一般的な回路構成の一部が図6から図14に図示してある。平衡回路構成の設計者は、インピーダンス素子114からインピーダンス素子128のそれぞれを整合回路網100のモデルをもって表現することを選択する。図6から図14に示す各回路は、それらの複素インピーダンスによって表わすことができる。従って、整合回路網100の構成部分であるインピーダンス素子114からインピーダンス素子128のそれぞれは、インピーダンスの実数部成分とインピーダンスの虚数部成分とにより数学的に表わすことができる。図6から図14に示す各複素インピーダンスの実数部成分と虚数部成分は、それぞれ式3から式11をもって記述される。

【0022】

40

【数3】

$$\operatorname{Re}(Z) = R, \quad \operatorname{Im}(Z) = 0 \quad (3)$$

【0023】

【数4】

$$\operatorname{Re}(Z) = 0, \quad \operatorname{Im}(Z) = \frac{-1}{wC} \quad (4)$$

【0024】

50

【数5】

$$\operatorname{Re}(Z) = 0, \quad \operatorname{Im}(Z) = wL \quad (5)$$

【 0 0 2 5 】

【 数 6 】

$$\operatorname{Re}(Z) = R, \quad \operatorname{Im}(Z) = \frac{-1}{wC} \quad (6)$$

【 0 0 2 6 】

【 数 7 】

$$\operatorname{Re}(Z) = R, \quad \operatorname{Im}(Z) = wL \quad (7)$$

10

【 0 0 2 7 】

【 数 8 】

$$\operatorname{Re}(Z) = 0, \quad \operatorname{Im}(Z) = wL - \frac{1}{wC} \quad (8)$$

【 0 0 2 8 】

【 数 9 】

$$\operatorname{Re}(Z) = \frac{R}{1+R^2w^2C}, \quad \operatorname{Im}(Z) = -\frac{R^2wC}{1+R^2w^2C} \quad (9)$$

20

【 0 0 2 9 】

【 数 10 】

$$\operatorname{Re}(Z) = \frac{Rw^2L^2}{R^2+w^2L^2}, \quad \operatorname{Im}(Z) = \frac{R^2wL}{R^2+w^2L^2} \quad (10)$$

【 0 0 3 0 】

【 数 11 】

$$\operatorname{Re}(Z) = 0, \quad \operatorname{Im}(Z) = \frac{wL}{1-w^2LC} \quad (11)$$

30

【 0 0 3 1 】

ここで、Rはオーム単位の抵抗値を表わし、Lはヘンリー単位のインダクタンス値を表わし、Cはファラッド単位の容量値を表わし、w = 2πfである。ここで、Rは定数であり、fはヘルツ単位の動作周波数を表わす。より多くの複素インピーダンス素子が、図6から図14により与えられる一般的な回路構成の直列接続あるいは並列接続から構成することができる。一例として、図15に示す回路は図8に示す回路と図9に示す回路とを並列合成して構成したものである。図16に示す回路は、図7に示す回路と図10に示す回路とを並列合成して構成したものである。図17に示す回路は、図6に示す回路と図11に示す回路とを並列合成して構成したものである。図18に示す回路は、図6に示す回路と図7に示す回路と図8に示す回路とを直列合成して構成したものである。図6から図18に表す全ての回路の複素インピーダンス特性は、ソフトウェアライブラリに保存することができる。回路設計者が適当な整合回路網100を確立するときに、従来の「クリックとドロップ」の手法を用いてライブラリから特定の回路構成を入手し、整合回路網向け一般モデルへ挿入することができる。整合回路網についての全構成インピーダンスを選択すると、対応する全インピーダンスを計算することができる。

40

【 0 0 3 2 】

複素インピーダンス成分を有する各回路にとって、誘導リアクタンスや容量リアクタンス

50

の Q 値と周波数  $\omega$  が特定された場合、そこで等価抵抗を計算し、インピーダンス素子へ代入することができる。インダクタの等価直列抵抗  $R_{Q_L}$  は、下式で与えられる。

【0 0 3 3】

【数 1 2】

$$R_{Q_L} = \frac{\omega L}{Q} \quad (12)$$

【0 0 3 4】

コンデンサの等価直列抵抗  $R_{Q_C}$  は、下式で与えられる。

【0 0 3 5】

【数 1 3】

$$R_{Q_C} = \frac{1}{\omega Q C} \quad (13)$$

10

20

30

40

【0 0 3 6】

コンデンサの等価並列抵抗  $R_{Q_C}$  は、下式で与えられる。

【0 0 3 7】

【数 1 4】

$$R_{Q_C} = \frac{Q}{\omega C} \quad (14)$$

【0 0 3 8】

図 1 を具体的に参照するに、開放インピーダンス Z 行列と短絡アドミッタンス Y 行列を計算する前に、インピーダンス素子 1 1 4 からインピーダンス素子 1 2 8 の全ては、指定される基準特性インピーダンス  $Z_{ref}$  へ正規化される。一般に、基準特性インピーダンスは 50 オームとして指定される。開放インピーダンス行列と短絡アドミタンス行列による S パラメータ行列 S は、下式で与えられる。

【0 0 3 9】

【数 1 5】

$$S = (Z + I)^{-1} (Z - I) \quad (15)$$

【0 0 4 0】

【数 1 6】

$$S = (I + Y)^{-1} (I - Y) \quad (16)$$

【0 0 4 1】

ここで、I は下式により規定される 4 行 4 列の単位行列である。

【0 0 4 2】

【数 1 7】

$$I = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \quad (17)$$

## 【 0 0 4 3 】

整合回路網 100 を構成する各副回路部の S パラメータは、式 15 , 式 16 から計算することができる。式 1 又は式 2 を用いることで、各構成回路のインピーダンス行列全体を解くことが可能である。式 15 あるいは式 16 で得られるインピーダンス行列を用いることで、構成回路の対応する S パラメータ行列を解くことが可能となる。エンベディング / ディエンベディング特許出願の教示を用いることで、2 つの S パラメータ行列を組み合わせて、2 つのデバイスの電気的な組み合わせに関する S パラメータ行列へ至ることが可能である。整合回路網 100 の単一の全体的 S パラメータ行列  $S_M$  が割り出されるまで、この手順は全ての副回路部について繰り返される。整合回路網 100 に関して得られた S パラメータ行列  $S_M$  は、インピーダンス行列やアドミッタンス行列と同じ基準特性インピーダンスへ正規化される。

## 【 0 0 4 4 】

図 5 を具体的に参照するに、複数の平衡整合回路網 100 間にエンベディングした多ポート平衡デバイス 500 が図示してある。各平衡整合回路網 100 は、インピーダンス素子 114 からインピーダンス素子 128 に対し、異なる構成回路の選択を通じて異なるインピーダンス回路網とすることができます。平衡デバイス 500 をエンベディングした各整合回路網 100 は、固有の整合回路網 S パラメータ行列  $S_M$  を有することとなろう。2001 年 9 月 18 日出願の「複数端子不平衡又は平衡デバイスの線形特性解明方法及び装置」と題する米国特許出願第 09/954,962 号の教示は、米国仮特許出願第 60/233,596 号 (596 仮特許出願と呼ぶ) に基づく優先権を主張するものであり、ここに参考用に取り込むこととするが、そこには多ポート混在モード S パラメータの抽出方法が開示されている。本方法には、 $S_D$  として指定された多ポート標準デバイス S パラメータ行列を行列  $S_{D m m}$  でもって指定された混在モード S パラメータとして知られる線形平衡パラメータへ変換することが含まれる。混在モード S パラメータ  $S_{D m m}$  は、デバイスの平衡ポートと不平衡ポートとの間の相互作用を規定する項をもたらす。596 仮特許出願には、任意の多ポート純平衡回路構成あるいは任意の多ポート混在回路構成の不平衡パラメータと平衡パラメータを抽出するための一般的統一解が記述されている。596 仮特許出願に開示された本方法は、差動モード拳動と同相モード拳動との間、差動拳動と不平衡拳動との間、および、差動モードの電気的拳動と同相モードの電気的拳動との間の相互作用だけでなく、純差動モードや純同相モードや純不平衡電気的拳動も含む多ポートデバイスの平衡ポートと不平衡ポートとの間の任意の結合を予測することができる。エンベディング / ディエンベディング特許出願の教示を用いることで、平衡デバイス 500 の S パラメータ  $S_D$  が既知である場合に、多ポート平衡デバイス 500 と複数の平衡整合回路網 100 の直列組み合わせの S パラメータを割り出すことが可能である。直列組み合わせから得られる S パラメータ行列の表示は、 $S_c$  である。多ポート平衡デバイス 500 と複数の整合回路網 100 の直列組み合わせの S パラメータを割り出した後、得られた S パラメータ  $S_c$  は 596 仮特許出願の教示の利点とともに用い、直列組み合わせの混在モード S パラメータ  $S_{c m m}$  の抽出に用いることができる。混在モード S パラメータは、直列組み合わせの差動、同相、不平衡、混在モードの拳動の予測と解析に役立つ情報をもたらす。かくして、デバイスの線形 S パラメータと平衡整合回路網 100 のインピーダンスモデルから複数の平衡回路網 100 にエンベディングした平衡デバイスの電気的な組み合わせの混在モード S パラメータ行列を抽出することが可能となる。

10

20

30

40

50

## 【0045】

混在ポートデバイス、すなわち不平衡ポートと平衡ポートとの双方を有するデバイスの電気的挙動を予測する必要性もまた存在する。このケースは、本願明細書に示す一般的な解法の延長にある。図19を具体的に参照するに、混在ポートデバイス1900が図示してある。図示の如く、混在ポートデバイス1900は、デバイス1900の異なるポートに接続した平衡整合回路だけでなく不平衡回路もまた含むものである。最近の用途では、多数の混在ポートデバイスが存在する。実施例には、不平衡・平衡ラインバラン、フィルタ、3dB電力スプリッタ/カップラ、低温焼成セラミックデバイス、高性能マイクロプロセッサ部品、および、それらを支持する集積回路が含まれる。

## 【0046】

図20は、整合回路網2000の不平衡実施形態を例示するものである。不平衡整合回路網2000は、一般的な平衡整合回路網100の簡略版を含む。具体的には、図1から図4を参照するに、仮に平衡整合回路網100の第2の入力端子106と第2の出力端子112を接地電位端101に接続し、第2の分流接続点308と第2の直列接続点408と第4の直列接続点412もまた接地電位端101に接続したとすると、得られるのが図20に示す不平衡整合回路網2000である。図21から図23もまた、得られた構成不平衡インピーダンス変換素子2100と不平衡分流回路網2200と格子回路網2300を示す。当事者には言うまでもないことではあるが、基準電位端101に対し特定のノードを終端させることで、平衡構成に比べさらに簡単化されたインピーダンス線路が得られる。図21から図23に示す汎用素子は、図20に示す不平衡整合回路網回路構成の生成に用いられる。汎用平衡整合回路網100と同様、その用途に適当なものとして回路内に追加の並列インピーダンス素子及び直列インピーダンス素子を用いることで、不平衡整合回路網モデルの追加の実施形態が達成可能である。ここに教示する一般解の利点は、平衡整合回路網100と不平衡整合回路網2000のモデル化に生成される任意の回路構成にそれを適用できることにある。

## 【0047】

図20に示す不平衡整合回路網2000の実施形態は、第1の並列インピーダンス素子2002と第2の並列インピーダンス素子2004と第1の直列インピーダンス素子2006と第2の直列インピーダンス素子2008からなる。不平衡整合回路網2000のSパラメータを計算するため、構成副回路素子2001から構成副回路素子2008について開放インピーダンスと短絡アドミタンスが計算される。

## 【0048】

図22の開放分流インピーダンス行列[Z]は、下式で与えられる。

## 【0049】

## 【数18】

$$Z = \begin{bmatrix} Z_1 & Z_1 \\ Z_1 & Z_1 \end{bmatrix} \quad (18)$$

10

20

30

40

## 【0050】

図23の短絡直列アドミタンス行列[Y]は、下式で与えられる。

## 【0051】

## 【数19】

$$Y = \begin{bmatrix} 1 & 1 \\ \frac{Z_2}{Z_2} & \frac{Z_2}{Z_2} \\ 1 & 1 \\ \frac{Z_2}{Z_2} & \frac{Z_2}{Z_2} \end{bmatrix} \quad (19)$$

50

## 【 0 0 5 2 】

式 1 8 , 式 1 9 を用いて副回路のインピーダンス行列あるいはアドミッタンス行列を割り出した後、式 1 5 , 式 1 6 を用いて不平衡整合回路網 2 0 0 0 を構成する各副回路の S パラメータを計算することができる。当事者には言うまでもないことであるが、この場合の式 1 5 , 式 1 6 の行列の次元は 2 行 2 列である。エンベディング / ディエンベディング特許出願の教示を用いることで、2 つの副回路の直列接続組み合わせの S パラメータを割り出すことができる。先に直列接続した回路と組み合わせた全ての副回路についてこの手順を複数回繰り返すことで、不平衡整合回路網 2 0 0 0 全体に対する単一の S パラメータ行列を割り出すことができる。得られた S パラメータ行列は、構成部分の開放インピーダンス行列や短絡アドミッタンス行列と同じ基準特性インピーダンスへ正規化される。

10

## 【 0 0 5 3 】

前述の如く、VNA は固定されたインピーダンス環境において、デバイスの特性試験を可能にする。しかしながら、50 オーム環境はしばしばデバイスの実際の電気的インピーダンス環境を表わしはしない。一般に、各デバイスポートは他の全てのデバイスポートに接続されたインピーダンスとは異なる値を有するインピーダンスに接続される。デバイスが動作するインピーダンス環境により近いインピーダンス環境においてデバイスの特性を解明する能力が、より正確で信頼できる特性解明をもたらす。それ故に、特性を解明したデバイスの各ポートにおいてユーザが選択したインピーダンス値を有するデバイスの特性を解明する必要が存在する。本発明の教示により、1 以上の不平衡整合回路網 2 0 0 0 あるいは平衡整合回路網 1 0 0 と組み合わせた不平衡デバイス 1 9 0 0 あるいは平衡デバイス 5 0 0 の直列接続組み合わせの電気的挙動が予測できるようになる。図 2 , 図 21 を具体的に参照するに、それぞれ平衡インピーダンス変換素子 2 0 2 と不平衡インピーダンス変換素子 2 1 0 0 が図示してある。インピーダンス変換素子の機能は、基準特性インピーダンスへ正規化される S パラメータ行列を異なるインピーダンス値へ変更することにある。理想的には、回路設計者は基準インピーダンス値とは異なる整合インピーダンス値の正規化を随意確立することができる。デバイス 5 0 0 あるいはデバイス 1 9 0 0 の各ポートをデバイス 5 0 0 あるいはデバイス 1 9 0 0 の他のポート用に設定されたインピーダンスの正規化とは無関係なインピーダンスへ正規化することが、さらに望ましい。このインピーダンス変換を達成するには、不平衡整合回路網用に 2 行 2 列の行列演算が用いられ、平衡整合回路網用に 4 行 4 列の行列演算が用いられる。ここに記載した正規化公式は平衡回路構成用であり、それ故 4 行 4 列の行列演算が展開される。同じ定式化は、2 行 2 列の行列演算を展開するケースを除き、不平衡のケースに用いることができる。

20

30

30

## 【 0 0 5 4 】

平衡整合回路網 1 0 0 については、基準特性インピーダンスとは異なる特性インピーダンスへ正規化される 4 行 4 列の S パラメータ行列の解を、開放インピーダンス行列 Z あるいは短絡アドミッタンス行列 Y により表わすことができる。異なる特性インピーダンスへ正規化した回路網インピーダンスの関数として S パラメータを解く数式は、以下の通りである

## 【 0 0 5 5 】

## 【 数 2 0 】

40

$$S = (Zc^{-1} + c)^{-1} (Zc^{-1} - c) \quad (20)$$

## 【 0 0 5 6 】

## 【 数 2 1 】

$$S = (c^{-1} + Yc)^{-1} (c^{-1} - Yc) \quad (21)$$

## 【 0 0 5 7 】

50

ここで、行列  $c$  は正規化行列である。

【0 0 5 8】

正規化行列は、行添え字と列添え字の等しくない要素が零値を有するよう構成してある。正規化マトリックスの行添え字と列添え字が一致する場合は、行列要素は非零値を有する。従って、行列対角沿いにのみ値は非零とされる。非零値は、正規化対象各ポートについての特性インピーダンスの平方根に等しい。1つのポートについての正規化がそのままである場合、行列要素は基準特性インピーダンス  $Z_{ref}$  の平方根値を有する。かくして、ポート  $i$  を基準特性インピーダンスへではなく異なる特性インピーダンスへ正規化すべき場合は、ここで行  $i$  列  $i$  の行列要素の値は新たな特性インピーダンスの平方根  $Z_{0,i}$  に一致する。ただし、 $i$  は正規化対象ポート数に等しい。それ故、2ポート平衡デバイスあるいは4端子不平衡デバイス用の任意のインピーダンス正規化行列  $c$  は、下式により与えられる。

【0 0 5 9】

【数22】

$$c = \begin{bmatrix} \sqrt{Z_{01}} & 0 & 0 & 0 \\ 0 & \sqrt{Z_{02}} & 0 & 0 \\ 0 & 0 & \sqrt{Z_{03}} & 0 \\ 0 & 0 & 0 & \sqrt{Z_{04}} \end{bmatrix} \quad (22)$$

10

20

【0 0 6 0】

全ポートを基準インピーダンスへ正規化すべき場合、そこでは正規化行列の対角沿いの全ての値は値  $Z_{ref}$  を有する。この場合、基準特性正規化行列は行列  $c_{ref}$  であり、以下の如く2ポート平衡デバイス用に規定される。

【0 0 6 1】

【数23】

$$c_{ref} = \begin{bmatrix} \sqrt{Z_{ref}} & 0 & 0 & 0 \\ 0 & \sqrt{Z_{ref}} & 0 & 0 \\ 0 & 0 & \sqrt{Z_{ref}} & 0 \\ 0 & 0 & 0 & \sqrt{Z_{ref}} \end{bmatrix} \quad (23)$$

30

40

【0 0 6 2】

基準特性正規化マトリックス  $c_{ref}$  へ正規化する  $S$  パラメータ行列は、 $S_{ref}$  である。行列  $S$  は、任意のインピーダンス正規化行列  $c$  へ正規化する  $S$  パラメータ行列として規定される。正規化  $S$  パラメータ行列  $S_{ref}$ 、 $S$  は共に、同じ開放インピーダンスあるいは短絡アドミッタンスを有する。 $S$  パラメータは、特性インピーダンスの正規化に依存する。しかしながら、異なる特性インピーダンスへ正規化した  $S$  パラメータが、各  $S$  パラメータ行列に対応して開放インピーダンスあるいは短絡アドミッタンスを変更することはない。従って、基準特性インピーダンスへ正規化した  $S$  パラメータ行列と任意の特性インピーダンスへ正規化した  $S$  パラメータ行列との双方から計算したインピーダンス行列は、互いに等価である。

【0 0 6 3】

式20、式21から、インピーダンス行列とアドミッタンス行列は  $S$  パラメータ行列と正規化行列の関数として表わすことができる。すなわち、

【0 0 6 4】

【数24】

$$Z = c(I + S)(I - S)^{-1}c \quad (24)$$

【 0 0 6 5 】

【 数 2 5 】

$$Y = c^{-1}(I - S)(I + S)^{-1}c^{-1} \quad (25)$$

【 0 0 6 6 】

である。S パラメータ行列の正規化処理が開放インピーダンス Z や短絡アドミッタンス Y のいずれも変更しないので、そこで 2 つの異なる正規化ケースに対し同じ式を適用することが可能である。正規化に関係なくインピーダンス行列とアドミッタンス行列の等価原理を用いることで、基準特性インピーダンスや基準正規化行列  $c_{ref}$  や任意の正規化行列 c へ正規化した S パラメータ行列の関数として任意の正規化を用いて S パラメータ行列について解くことが可能となる。一例として式 24 を用い、基準特性インピーダンス  $S_{ref}$  へ正規化した S パラメータ行列の関数としても、任意のインピーダンス行列 S へ正規化した S パラメータ行列の関数としても、その両方でインピーダンス行列 Z は確立される。従って、

【 0 0 6 7 】

【 数 2 6 】

$$Z = c(I + S)(I - S)^{-1}c \quad (26)$$

【 0 0 6 8 】

【 数 2 7 】

$$Z = c_{ref}(I + S_{ref})(I - S_{ref})^{-1}c_{ref} \quad (27)$$

【 0 0 6 9 】

となる。等価原理を用いることで、Z についての等式は互いに等値に設定することができる。すなわち、

【 0 0 7 0 】

【 数 2 8 】

$$c(I + S)(I - S)^{-1}c = c_{ref}(I + S_{ref})(I - S_{ref})^{-1}c_{ref} \quad (28)$$

【 0 0 7 1 】

である。S パラメータ行列 S について解くことで、

【 0 0 7 2 】

【 数 2 9 】

$$S = (I - \alpha)(I + \alpha)^{-1} \quad (29)$$

【 0 0 7 3 】

が得られる。ただし、

【 0 0 7 4 】

【 数 3 0 】

$$\alpha = c^{-1} c_{ref} (I + S_{ref}) (I - S_{ref})^{-1} c_{ref} c^{-1}$$

【 0 0 7 5 】

アドミタンス行列を用い、式 2 6 から式 2 9 で表わされる同じ原理に従って下式を適用する。

【 0 0 7 6 】

【 数 3 1 】

$$Y = c^{-1} (I - S) (I + S)^{-1} c^{-1} \quad (30)$$

10

【 0 0 7 7 】

【 数 3 2 】

$$Y = c_{ref}^{-1} (I - S_{ref}) (I + S_{ref})^{-1} c_{ref}^{-1} \quad (31)$$

【 0 0 7 8 】

等価原理を用いることで、Yについての等式は互いに等値設定することができる。すなわち、

【 0 0 7 9 】

20

【 数 3 3 】

$$c^{-1} (I - S) (I + S)^{-1} c^{-1} = c_{ref}^{-1} (I - S_{ref}) (I + S_{ref})^{-1} c_{ref}^{-1} \quad (32)$$

【 0 0 8 0 】

である。S パラメータ行列について解くことで、

【 0 0 8 1 】

【 数 3 4 】

$$S = (I - \beta)(I + \beta)^{-1} \quad (33)$$

30

【 0 0 8 2 】

が得られる。ただし、

【 0 0 8 3 】

【 数 3 5 】

$$\beta = c c_{ref}^{-1} (I - S_{ref}) (I + S_{ref})^{-1} c_{ref}^{-1} c$$

【 0 0 8 4 】

かくして、本発明の教示を用いることで、平衡デバイスと不平衡デバイスの直列合成あるいは 1 以上の整合回路網をもった両種ポートを備えるデバイスについての S パラメータを、基準特性インピーダンスあるいは任意のインピーダンスのどちらかで予測することができる。

【 0 0 8 5 】

コンピュータの処理、記憶、グラフィカルユーザインターフェース能力を含む一実施形態において、本発明の教示を実装することは有益である。図 2 4 を具体的に参照することで、図 1 に例示するような平衡回路網 1 0 0 の整合は、図 5 の平衡デバイス 5 0 0 の設計者に図式的に提示することができる。デバイス 5 0 0 の各平衡ポートは、たとえ一般的な回路構成表現が同様であるにしても、異なる平衡整合回路網 1 0 0 に接続することができる。

40

50

具体的には、図 6 から図 18 の回路構成は、他同様、グラフィカルユーザインターフェースをもって設計者に視覚的に提示することができる。以降、グラフィカルユーザインターフェースを「G U I」と称する。加えて、開放や短絡をインピーダンス素子として表現することもできる。コンピュータ上のソフトウェアにより、設計者は回路構成のうちの 1 つを「クリック」し、それを平衡整合回路網のうちの一回路網の中の 1 以上のインピーダンス素子へ「ドロップ」することができる。1 以上の整合回路網が、平衡デバイス及び混在ポートデバイスの設計者に対し G U I で表わすことができる。コンピュータ上のソフトウェアにより、設計者は図 6 から図 18 に示す回路構成のうちの一つを「クリック」し、それを選択し、選択した回路構成をそこで不平衡あるいは平衡整合回路網のうちの 1 つの 1 以上のインピーダンス素子へ「ドロップ」できるようになる。図 24 のステップ 2402 を具体的に参照するに、この「クリック及びドロップ」の処理は、平衡整合回路網 100 あるいは不平衡整合回路網 2000 を構成する全てのインピーダンス素子がインピーダンス値を有する回路により規定されるまで繰り返される。また、処理の一端として、抵抗やインダクタンスや容量や Q 値や動作周波数などの各電気回路用の値を適当に割り当てることもできる。このステップは、参考符号 114 から参考符号 128 あるいは参考符号 2002 から参考符号 2008 で示すそれらのインピーダンス素子 Z1 からインピーダンス素子 Z14 及びインピーダンス変換素子 202 , インピーダンス変換素子 2001 による全ての整合回路網 100 , 整合回路網 2000 の表現にて完了する。ステップ 2404 を具体的に参照することで、全ての平衡整合回路網 100 あるいは不平衡整合回路網 2000 がそれらの構成回路をもって規定された時点で、コンピュータのプロセッサは以下の式 1 又は式 2 , 式 3 から式 11 から開放複素インピーダンス行列 Z あるいは短絡複素アドミッタンス行列 Y の計算が可能となる。インピーダンス行列 Z あるいはアドミッタンス行列 Y から、プロセッサは基準特性インピーダンスにて整合回路網の関連 S パラメータ  $S_M$  を算出することが可能である。ステップ 2406 を具体的に参照するに、基準特性インピーダンスにおける平衡デバイス 500 の S パラメータ  $S_D$  の入手もまた可能である。デバイスの S パラメータ  $S_D$  は、デバイス 500 のモデル及び期待される S パラメータの計算を通じ、あるいは実際のデバイスの S パラメータの測定値を通じ、あるいは本処理による検索向けに保存した適当なデバイス S パラメータを有するコンピュータがアクセス可能なデータファイルから入手することができる。ステップ 2408 を具体的に参照し、エンベディング / ディエンベディング特許出願の教示を用いるに、プロセッサは平衡デバイス 500 及び平衡整合回路網 100 の直列組み合わせの S パラメータ  $S_c$  の計算が可能である。所望とあらば、式 20 又は式 21 を用い、プロセッサはデバイス 500 と整合回路網 100 , 2000 を組み合わせたデバイスの各ポートについて任意の特性インピーダンスにて正規化した直列接続 S パラメータを計算することもできる。ステップ 2410 を具体的に参照するに、596 仮特許出願の教示の利点を用い、ここでプロセッサは得られた S パラメータ行列  $S_c$  の混在モード S パラメータ  $S_{cmn}$  を抽出し、複数の整合回路網 100 , 2000 内にエンベディングした平衡デバイス 500 の電気的挙動の予測を支援することが可能となる。図 24 に例示し、上記に開示す平衡型の場合のソフトウェアによる実装は、不平衡型で混在ポートの場合にも適用し用いることができる。本発明の教示による方法の実施形態は、Microsoft Visual Studio 6.0 , Roguewave Stringray Studio , Roguewave Math H++ 及び Victor Imaging Processing Library の両ソフトウェアパッケージを搭載したマイクロソフト社 Windows 動作環境を備えるパーソナルコンピュータを用い実装することができる。

## 【 0086 】

以上説明した本発明の実施の形態は、特許請求の範囲に記載した本発明の説明のための一実施形態にすぎず、特許請求の範囲で示した権利範囲内において種々の変形を行うことができることは、当業者にとって明らかである。最後に、本発明の広汎な応用の可能性に鑑み、本発明の実施態様の幾つかを以下に示す。

## 【 0087 】

10

20

30

40

50

## (実施態様 1 )

デバイス(500, 1900)の電気的挙動を予測するシステムであって、演算処理手段と、

平衡入力ポート(102)および平衡出力ポート(108)を有する少なくとも1つの平衡整合回路網(100)を表現する手段と、

前記平衡出力ポート(108)と前記デバイス(500)の平衡ポートとの間の前記少なくとも1つの整合回路網の接続を表現する手段と、

整合回路網Sパラメータ行列 $S_M$ を計算する手段と、

デバイスSパラメータ行列 $S_D$ を求める手段と、

前記デバイス(500)と組み合わせた前記整合回路網(100)についての直列接続S 10  
パラメータ行列 $S_C$ を計算する手段と、

前記直列接続Sパラメータ行列から混在モード直列接続Sパラメータ $S_{C_m m}$ を抽出する手段と、

を備えることを特徴とするシステム。

## 【0088】

## (実施態様 2 )

少なくとも1つの整合回路網(100)の前記表現手段は、さらに、分流回路網(302)と格子回路網(402)の組み合わせをもって、前記少なくとも1つの整合回路網を表現する手段を備える、

ことを特徴とする実施態様1に記載のシステム。

20

## 【0089】

## (実施態様 3 )

前記表現手段は、さらに、インピーダンス変換素子(202)を有する前記少なくとも1つの整合回路網(100)を表現する手段を備える、

ことを特徴とする実施態様2に記載のシステム。

## 【0090】

## (実施態様 4 )

前記少なくとも1つの整合回路網(100)は、平衡インピーダンス変換素子(202)と、第1の分流回路網(114, 116, 117)と、第1の格子回路網(118~121)と、第2の分流回路網(122~124)と、第2の格子回路網(125~128) 30  
との直列接続組み合わせを備え、

前記各分流回路網は、第1と第2の分流接続点(306, 308)間の並列インピーダンス素子(304)と、それぞれ前記第1と第2の分流接続点(306, 308)間の第1及び第2の分流インピーダンス素子(322, 324)と、基準電位端(101)を具備し、

前記格子回路網は、第1と第3の格子接続点(406, 410)間の第1の直列インピーダンス素子(404)と、前記第2と第4の格子接続点(408, 412)間の第2の直列インピーダンス素子(414)と、前記第1と第4の格子接続点(406, 412)間の第1の交差インピーダンス素子(422)と、前記第2と第3の格子接続点(408, 410)間の第2の交差インピーダンス素子(420)とを具備し、

前記システムは、対応する整合回路網Sパラメータ行列 $S_M$ を計算する手段と、前記整合回路網100と電気的に組み合わせた前記デバイス(500)の少なくとも1つのポートの特性を解明する手段とを備える、

ことを特徴とする実施態様1乃至実施態様3のいずれかに記載のシステム。

## 【0091】

## (実施態様 5 )

前記整合回路網Sパラメータ行列の計算手段はさらに、前記第1の分流回路網及び第2の分流回路網について開放インピーダンス行列Zを計算する手段と、前記第1及び第2の格子インピーダンス回路網について短絡アドミッタンス行列Yを計算する手段と、前記整合回路網についてインピーダンス行列を計算する手段と、前記インピーダンス行列を前記整 50

合回路網  $S$  パラメータ行列へ変換する手段を備える、  
ことを特徴とする実施態様 2 乃至実施態様 4 のいずれかに記載のシステム。

## 【0092】

## (実施態様 6)

さらに、前記直列接続  $S$  パラメータ行列  $S_c$  を任意の特性インピーダンスへ正規化する手段を備える、

ことを特徴とする実施態様 5 に記載の前記システム。

## 【0093】

## (実施態様 7)

さらに、前記直列接続  $S$  パラメータ行列から多ポート混在モード  $S$  パラメータを抽出する手段を備える、  
10

ことを特徴とする実施態様 1 乃至実施態様 6 のいずれかに記載の前記システム。

## 【0094】

## (実施態様 8)

さらに、前記デバイス(1900)の少なくとも 1 つの不平衡ポートと電気的に組み合わせた少なくとも 1 つの不平衡整合回路網(2000)を表現する手段を備える、  
ことを特徴とする実施態様 1 乃至実施態様 7 のいずれかに記載の前記システム。

## 【0095】

## (実施態様 9)

前記デバイスは複数の平衡ポート有し、

前記システムは、前記平衡整合回路網(100)の表現と整合回路網  $S$  パラメータ行列  $S_M$  の計算を繰り返す手段をさらに備える、

ことを特徴とする実施態様 1 乃至実施態様 9 のいずれかに記載の前記システム。

## 【0096】

## (実施態様 10)

前記正規化手段は、前記整合回路網を異なる特性インピーダンス値へ正規化する、  
ことを特徴とする実施態様 9 に記載の前記システム。

## 【図面の簡単な説明】

【図 1】本発明の教示による平衡整合回路網の一実施形態を表わす図である。

【図 2】平衡インピーダンス変換素子を表わす図である。

【図 3】分流回路網素子を表わす図である。

【図 4】格子回路網素子を表わす図である。

【図 5】 $2N$  個の平衡デバイスポートを有し、複数の平衡整合回路網中にエンベディングした平衡デバイスを表わす図である。

【図 6】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 7】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 8】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 9】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 10】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 11】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 12】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 13】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 14】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 15】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 16】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 17】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 18】図 1 の整合回路網と併用可能な回路素子の一例を示す図である。

【図 19】不平衡整合回路網と平衡整合回路網をそれぞれ組み合わせた不平衡デバイスポート及び平衡デバイスポートを有するデバイスのモデルを例示する図である。

【図 20】本発明の教示による不平衡整合回路網の一実施形態を表わす図である。

20

30

40

50

【図21】不平衡インピーダンス変換素子を表わす図である。

【図22】不平衡分流回路網素子を表わす図である。

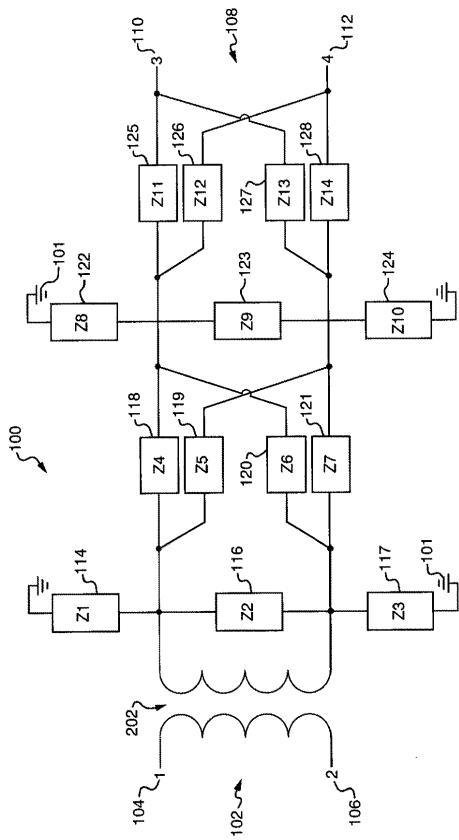
【図23】直列インピーダンス素子へ簡約した不平衡格子回路網素子を表わす図である。

【図24】本発明の教示を利用する方法の一実施形態を表わすフローチャートである。

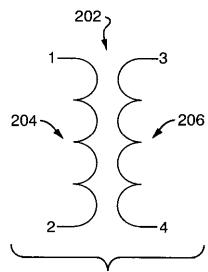
【符号の説明】

1 0 0	平衡整合回路網	
1 0 1	共通電位端	
1 0 2	平衡入力ポート	
1 0 4	第1の入力端子	10
1 0 6	第2の入力端子	
1 0 8	平衡出力ポート	
1 1 0	第1の出力ポート	
1 1 2	第2の出力ポート	
1 1 4 ~ 1 2 8	インピーダンス素子	
2 0 2	平衡インピーダンス変換素子	
2 0 4	平衡インピーダンス変換入力ポート	
2 0 6	平衡インピーダンス変換出力ポート	
3 0 2	平衡2ポート分流回路網	
3 0 4	並列インピーダンス素子	
3 0 6	第1の分流接続点	20
3 0 8	第2の分流接続点	
3 1 0	第1の入力端子	
3 1 2	第2の入力端子	
3 1 4	第1の出力端子	
3 1 6	第2の出力端子	
3 1 8	第1の平衡入力ポート	
3 2 0	第2の平衡出力ポート	
3 2 2	第1の分流インピーダンス素子	
3 2 4	第2の分流インピーダンス素子	
4 0 2	平衡2ポート格子回路網	30
4 0 4	第1の直列インピーダンス素子	
4 0 6	第1の格子回路網接続点	
4 0 8	第2の格子回路網接続点	
4 1 0	第3の格子回路網接続点	
4 1 2	第4の格子回路網接続点	
4 1 4	第2の直列インピーダンス素子	
4 1 6	平衡入力端	
4 1 8	平衡出力ポート	
4 2 0	第2の交差インピーダンス素子	
4 2 2	第1の交差インピーダンス素子	40
5 0 0 , 1 9 0 0	デバイス	
2 0 0 0	不平衡整合回路網	
2 0 0 2	第1の並列インピーダンス素子	
2 0 0 4	第2の並列インピーダンス素子	
2 0 0 6	第1の直列インピーダンス素子	
2 0 0 8	第2の直列インピーダンス素子	
2 1 0 0	不平衡インピーダンス変換素子	
2 3 0 0	格子回路網	

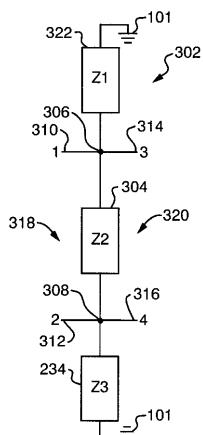
【図1】



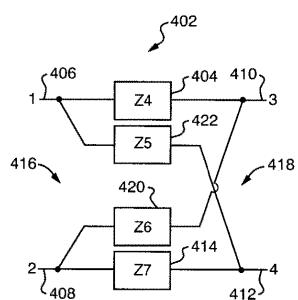
【図2】



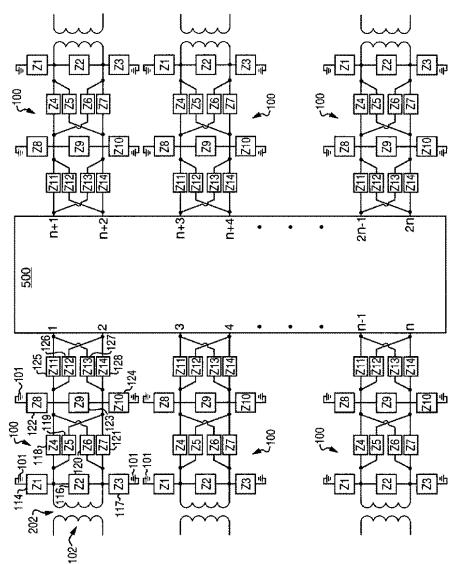
【図3】



【図4】



【図5】



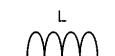
【図6】



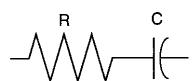
【図7】



【図8】



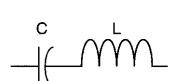
【図9】



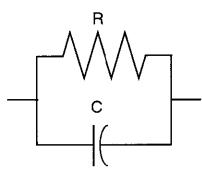
【図10】



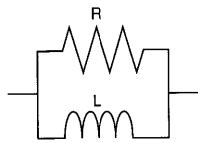
【図11】



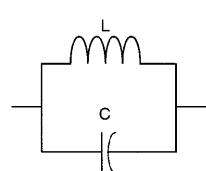
【図 1 2】



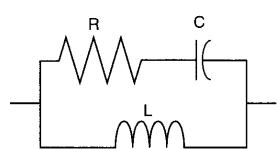
【図 1 3】



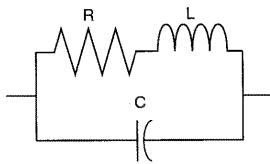
【図 1 4】



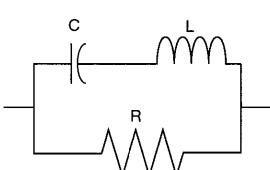
【図 1 5】



【図 1 6】



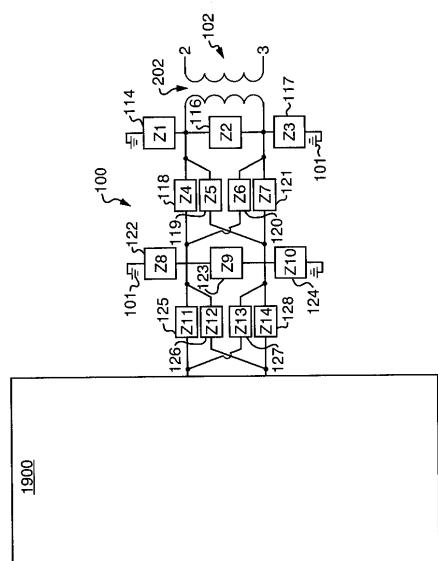
【図 1 7】



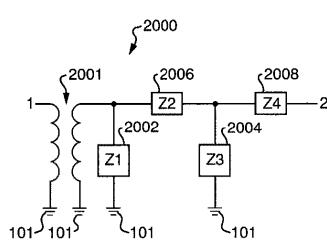
【図 1 8】



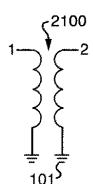
【図 1 9】



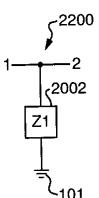
【図 2 0】



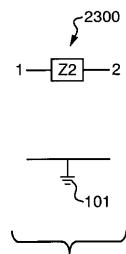
【図 2 1】



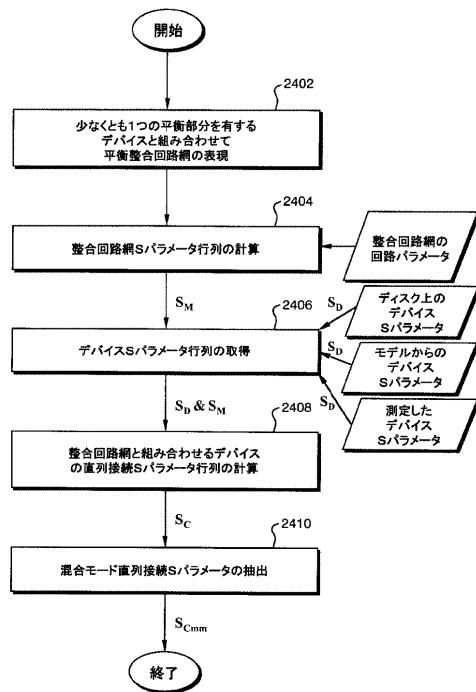
【図 2 2】



【図23】



【図24】



---

フロントページの続き

(72)発明者 ジェイ・ブラッドフォード・コール

アメリカ合衆国マサチューセッツ州ウェストフォード ルッセルズ・ウェイ 48

Fターム(参考) 2G028 AA02 BB10 CG22 GL04 MS03

5B046 AA08 BA03 JA04