(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 27/02

(45) 공고일자 2002년07월02일
(11) 등록번호 10-0343049
(24) 등록일자 2002년06월21일

(21) 출원번호 10-1999-0004798
(22) 출원일자 1999년02월11일

(65) 공개번호 특2000-0005590
(43) 공개일자 2000년01월25일

(30) 우선권주장 166574 1998년06월15일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤
다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자 토미나가아쓰시
일본국도쿄도지요다쿠마루노우치2-2-3미쓰비시덴키가부시키가이샤나이

(74) 대리인 이화익
권태복

심사관 : 정해곤

(54) 반도체 장치 및 그 제조방법

요약

반도체 장치에 형성하는 용량소자를 고내압과 고용량으로, 또한 기생저항 및 기생용량을 작게 형성하는 것을 목적으로 한다. 반도체 기판(1) 상의 층간절연막(2a, 2b) 상에 있어서, 제 1 배선층을 형성하기 위한 제 1 금속층(4)의 일부를 사용하여 표면에 알루미나 박막(8a)을 갖는 용량소자의 하부전극(7)을 형성하고, 이 하부전극 표면의 알루미나 박막(8a)에 접하여 제 2 금속층으로부터 용량소자의 상부전극의 일부가 되는 전극(13a)을 형성하며, 이 위에 제 2 배선층을 형성하기 위한 제 3 금속층(16)의 일부를 사용하여 용량소자의 상부전극(17a)을 형성한다. 또한, 하부전극 표면의 알루미나 박막(8a)의 일부를 제거하고, 제 3 금속층(16)의 또 다른 일부를 사용하여 하부전극(7)에 접속된 인출전극(17b)을 형성한다.

대표도
도 2

색인어
반도체 장치, 용량소자, 기생저항, 기생용량, 고내압

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 2는 본 발명의 실시예 1에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 3은 본 발명의 실시예 2에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 4는 본 발명의 실시예 2에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 5는 본 발명의 실시예 3에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 6은 본 발명의 실시예 3에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 7은 본 발명의 실시예 4에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 8은 본 발명의 실시예 4에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 9는 본 발명의 실시예 5에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 10은 본 발명의 실시예 5에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 11은 본 발명의 실시예 6에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 12는 본 발명의 실시예 6에 따른 반도체 장치의 제조프로세스 플로우를 나타낸 단면도.

도 13은 본 발명의 실시예 7에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 14는 본 발명의 실시예 7에 따른 반도체 장치의 제조 프로세스 플로우를 나타낸 단면도.

도 15는 종래의 반도체 장치에 있어서 용량소자의 일례를 나타낸 단면도.

도 16은 종래의 반도체 장치에 있어서 용량소자의 또 다른 일례를 나타낸 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

1 : 실리콘 기판 1(반도체 기판)2a,2b : 제 1 층간절연막

3 : 콘택홀4 : 제 1 금속층

5a,5b : 포토레지스트6 : 1층째의 배선층

7 : 용량소자의 하부전극(제 1 전극)

8a,8b : 알루미나 박막(금속 산화막)

9,9a,9b,9c,9d,9e : 제 2 층간절연막10 : 층간 접속용 구멍부

11 : 용량소자의 하부전극 접속용 구멍부

12 : 용량 형성부분13 : 제 2 금속층

13a : 용량소자의 상부전극 하층(제 2 전극)

13b : 2층째의 배선13c : 인출전극(제 3 전극)

13d : 용량소자의 상부전극(제 4 전극)

14,14a,14b,14c,14d : 제 3 층간절연막

15 : 제 3 금속층16 : 2층째의 배선층

17a : 용량소자의 상부전극(제 4 전극)

17b : 용량소자 하부전극의 인출전극(제 3 전극)

18 : 표면보호막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 기생저항 및 기생용량이 작고, 고내압 또한 고용량을 얻을 수 있는 고밀도 고성능의 용량소자를 포함하는 반도체 장치 및 그것의 제조방법에 관한 것이다.

먼저, 반도체 집적회로 장치에 용량소자를 내장하는 종래의 방법에 대해서 설명한다.

도 15는, 반도체 집적회로 장치에 있어서 종래의 용량소자의 일례를 나타낸 단면도이다.

도면에 있어서, 1은 실리콘 기판, 2c, 2d, 2e는 층간절연막, 3은 콘택홀, 6은 1층째의 배선, 12는 용량형성부, 17은 용량소자의 상부전극, 18은 층간절연막, 19는 용량소자의 하부전극, 20은 용량소자의 절연막(유전막)을 나타낸다.

이 예에서는, 용량소자의 하부전극(19)으로서 다른 회로소자와 동시에 형성된 실리콘 기판(1)의 표면의 불순물 확산층을 사용하고, 용량소자의 상부전극(17)으로서 배선층과 동시에 형성된 알루미늄을 주성분으로 한 금속층 또는 불순물을 포함하는 폴리실리콘 등의 도전성 막을 사용하며, 상부 및 하부의 전극(17, 19) 사이의 절연막(20)으로서는 실리콘 산화막 또는 실리콘 산화막보다도 유전율이 높은 실리콘 질화막을 사용하고 있었다.

따라서, 상부전극(17)에 배선층과 공통의 금속층을 사용하는 경우에는, 금속층 아래의 실리콘 기판(1)과의 사이의 층간절연막에 소위 콘택홀(3)과는 별개로, 용량 형성부분(12)을 개공하기 위한 사진제판공정과 에칭공정의 추가가 필요하다.

또한, 상부 및 하부의 전극(17, 19) 사이의 절연막(20)으로서 실리콘 질화막을 사용한 경우에는, CVD법 등으로 질화막을 디포지션하는 공정과, 그것의 패터닝을 위해 다시 사진제판공정과 에칭공정의 추가가 필요하였다.

또한, 전극간의 절연막(20)으로서 실리콘 산화막을 사용하는 경우에는, 산화하는 공정 이외에는 상기한 추가공정은 불필요하지만, 실리콘 질화막과 비교하여 유전율이 낮고, 동일한 용량값을 얻기 위해서는 용량 형성부분(12)의 면적을 크게 할 필요가 있었다.

또한, 전극간의 거리, 즉 절연막(20)(실리콘 산화막)의 두께를 얇게 하면, 단위면적당의 용량값을 높이는 것은 가능하지만, 역으로 이 용량소자의 내압이 저하하여 리이크전류가 증가하는 등의 문제가 있었다.

또한, 하부전극(19)으로서 불순물 확산층을 사용하고 있기 때문에, 실리콘 기판(1)의 기생용량이 부가되게 되고, 더구나 다른 회로소자에 사용하는 불순물 확산층과 겸하기 때문에 저저항화가 곤란한 경우가 있어, 이것은 이 용량소자에 있어서는 기생저항이 부가되는 것으로 된다. 저항을 낮추기 위해 용량소자의 하부전극 전용의 불순물 확산층을 형성하기 위해서는, 다시 사진제판공정과 에칭공정 및 불순물 확산공정의 추가가 필요하게 된다.

상부전극(17)에 불순물을 포함하는 폴리실리콘막 등의 도전성막을 사용하는 경우에도 마찬가지로 기생저항이 문제가 되고, 다른 회로소자에 사용하는 폴리실리콘막, 예를 들면 MOS 트랜지스터의 게이트전극 등과 겸할 수 없다면, 다시 CVD법 등의 폴리실리콘막을 디포지션하는 공정과, 그것의 패터닝을 위한 사진제판공정과 에칭공정의 추가가 필요하게 되어, 공정이 복잡하게 되는 등의 문제가 있었다.

도 16은 종래의 용량소자의 또 다른 예를 나타낸 단면도이다.

도면에 있어서, 1은 실리콘 기판, 6a, 6b는 배선층, 11은 용량소자의 하부전극 접속용 구멍부, 12는 용량 형성부분, 18은 표면보호막, 21a는 용량소자의 하부전극, 21b는 용량소자의 상부전극, 22a, 22b, 22c, 22aa는 절연막(실리콘 산화막)을 나타낸다.

이 예에서는, 다른 회로소자를 형성한 실리콘 기판(1) 상의 층간절연막(22a) 상에, 용량소자의 상하의 전극(21a, 21b)으로서 불순물을 포함하는 2층의 폴리실리콘막을 사용하고, 전극간의 절연막(22aa)으로서는 실리콘 산화막을 사용하여 용량소자를 형성하고 있다.

이 경우에는, 하부전극(21a)과 실리콘 기판(1)의 기생용량을 작게 하는 것은 가능하지만, 양쪽의 전극(21a, 21b)에 불순물을 포함하는 폴리실리콘막을 사용하고 있기 때문에, 상기한 예와 마찬가지로 기생저항과, 공정이 복잡해지는 등의 문제가 있고, 또한, 전극간의 절연막(22aa)으로서 실리콘 산화막을 사용하고 있기 때문에, 이것도 상기한 예와 마찬가지로 용량값과 내압 및 리이크전류 등의 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은, 이와 같은 종래의 과제를 해결하기 위해 이루어진 것으로, 기생저항 및 기생용량이 작고, 고내압과 고용량을 얻을 수 있는 고밀도 고성능의 용량소자를 포함하는 반도체 장치 및 그것의 제조방법을 제공하고자 하는 것이다.

발명의 구성 및 작용

본 발명의 일면에 따른 반도체 장치는, 반도체 기판 상의 층간절연막 상에 있어서, 표면에 금속 산화막을 갖는 제 1 금속층의 일부를 사용하여 형성되고 용량 한쪽의 전극으로 되는 제 1 전극과,

적어도 상기 제 1 전극의 상기 금속 산화막에 접하여 형성된 제 2 금속층의 일부를 사용하여 형성되고 상기 용량의 다른 쪽의 전극으로 되는 제 2 전극과,

상기 제 1 전극 표면의 상기 금속 산화막의 일부를 제거하여 상기 제 1 전극에 접속되어 인출전극으로 되는 제 3 전극을 구비한 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치는, 반도체 기판 상에 형성되고 표면에 금속 산화막을 갖는 제 1 금속층의 일부로 이루어지고 용량의 한쪽 전극으로 되는 제 1 전극과,

적어도 상기 제 1 전극의 상기 금속 산화막에 접하는 제 2 금속층의 일부로 이루어지고 상기 용량의 다른 쪽 전극으로 되는 제 2 전극과,

적어도 상기 제 2 전극에 접하여 형성된 제 3 금속층의 일부로 이루어진 제 4 전극과,

상기 제 3 금속층의 또 다른 일부로 이루어지고 상기 제 1 전극의 상기 금속 산화막의 일부를 제거하여 상기 제 1 전극에 접속되는 제 3 전극을 구비한 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치는, 반도체 기판 상에 형성되고 표면에 금속 산화막을 갖는 제 1 금속층의 일부로 이루어지고 용량의 한쪽 전극으로 되는 제 1 전극과,

상기 제 1 금속층의 상층에 형성된 제 2 금속층의 일부로 이루어지고 상기 제 1 전극의 상기 금속 산화막의 일부를 제거하여 상기 제 1 전극에 접속되는 제 3 전극과,

적어도 상기 제 1 전극의 상기 금속 산화막에 접하여 형성된 제 3 금속층의 일부로 이루어지고 상기 용량의 다른 쪽 전극으로 되는 제 4 전극을 구비한 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치는, 반도체 기판 상에 형성되고 표면에 금속 산화막을 갖는 제 1 금속층의 일부로 이루어지고 용량의 한쪽의 전극으로 되는 제 1 전극과,

적어도 상기 제 1 전극의 상기 금속 산화막에 접하여 형성된 제 2 금속층의 일부로 이루어지고 상기 용량의 다른 쪽 전극으로 되는 제 2 전극과,

상기 제 2 금속층의 또 다른 일부로 이루어지고 상기 제 1 전극의 상기 금속 산화막의 일부를 제거하여 상기 제 1 전극에 접속되는 제 3 전극을 구비한 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치는, 상기한 반도체 장치에 있어서, 상기 제 1 금속층이 알루미늄층이며, 상기 금속 산화막이 알루미나 박막인 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치는, 상기한 반도체 장치에 있어서, 상기 제 1 금속층이 1층째의 배선층이고, 상기 제 2 금속층이 2층째의 배선층인 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치는, 상기한 반도체 장치에 있어서, 상기 제 1 금속층이 1층째의 배선층이며, 상기 제 3 금속층이 2층째의 배선인 것을 특징으로 하는 것이다.

또한, 본 발명의 일면에 따른 반도체 장치의 제조방법은, 반도체 기판 상에 제 1 층간절연막을 형성하고, 이 제 1 층간절연막 위에 제 1 금속층을 형성하며, 이 제 1 금속층을 패터닝하여 용량의 한쪽 전극이 되는 제 1 전극을 포함하는 제 1 금속층 패턴을 형성하는 동시에 상기 제 1 금속층 패턴의 표면에 금속 산화막을 형성하는 공정과,

상기 제 1 금속층 패턴 위에 제 2 층간절연막을 형성하고, 이 제 2 층간절연막에 용량의 다른 쪽 전극이 되는 제 2 전극의 형성위치에서 제 1 개공을 형성하는 동시에, 상기 제 1 전극의 인출전극이 되는 제 3 전극의 형성위치에서 제 2 개공을 형성하는 공정과,

상기 제 2 층간절연막 위에 제 2 금속층을 형성하고, 이 제 2 금속층을 패터닝하여 상기 제 1 전극에 대향하여 용량의 다른 쪽 전극이 되는 제 2 전극을 포함하는 제 2 금속층 패턴을 형성하는 공정과,

상기 제 2 금속층 패턴 위에 제 3 층간절연막을 형성하고, 이 제 3 층간절연막을 적어도 상기 제 2 전극 위와 상기 제 2 개공의 위치에서 개공하는 공정과,

상기 제 2 개공 내부의 상기 제 1 전극표면의 금속 산화막을 제거하여 상기 제 3 층간절연막 위에 제 3 금속층을 형성하고, 이 제 3 금속층을 패터닝하여 상기 제 1 전극에 접속되는 제 3 전극과, 상기 제 2 전극과 접속하는 제 4 전극을 포함하는 제 3 금속층 패턴을 형성하는 공정을 포함하는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치의 제조방법은, 반도체 기판 상에 제 1 층간절연막을 형성하고, 이 제 1 층간절연막 위에 제 1 금속층을 형성하며, 이 제 1 금속층을 패터닝하여 용량의 한쪽 전극이 되는 제 1 전극을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막을 형성하는 공정과,

상기 제 1 금속층 패턴 위에 제 2 층간절연막을 형성하고, 이 제 2 층간절연막에 용량의 다른 쪽 전극이 되는 제 2 전극을 형성하는 위치에 제 1 개공을 형성하는 공정과,

상기 제 2 층간절연막 위에 제 2 금속층을 형성하고, 이 제 2 금속층을 패터닝하여 상기 제 1 전극에 대향하여 용량의 다른 쪽 전극이 되는 제 2 전극을 포함하는 제 2 금속층 패턴을 형성하는 공정과,

상기 제 2 금속층 패턴 위에 제 3 층간절연막을 형성하고, 이 제 3 층간절연막에 상기 제 2 전극 위에 개공을 형성하는 동시에, 상기 제 3 층간절연막과 제 2 층간절연막에 상기 제 2 전극의 인출전극이 되는 제 3 전극을 형성하는 위치에 제 2 개공을 형성하는 공정과,

상기 제 2 개공 내부에 상기 제 1 전극 표면의 금속 산화막을 제거하여 상기 제 3 층간절연막 위에 제 3 금속층을 형성하고, 이 제 3 금속층을 패터닝하여 상기 제 1 전극과 접속하는 제 3 전극과, 상기 제 2 전극에 접속하는 제 4 전극을 포함하는 제 3 금속층 패턴을 형성하는 공정을 포함하는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치의 제조방법은, 반도체 기판 상에 제 1 층간절연막을 형성하고, 이 제 1 층간절연막 위에 제 1 금속층을 형성하며, 이 제 1 금속층을 패터닝하여 용량의 한쪽 전극이 되는 제 1 전극을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막을 형성하는 공정과,

상기 제 1 금속층 패턴 위에 제 2 층간절연막을 형성하고, 이 제 2 층간절연막에 용량의 다른 쪽 전극이 되는 제 2 전극을 형성하는 위치에 제 1 개공을 형성하는 공정과,

상기 제 2 층간절연막 위에 제 2 금속층을 형성하고, 이 제 2 금속층을 패터닝하여 상기 제 1 전극에 대향하여 용량의 다른 쪽 전극이 되는 제 2 전극을 포함하는 제 2 금속층 패턴을 형성하는 공정과,

상기 제 2 층간절연막에 상기 제 1 전극의 인출전극이 되는 제 3 전극을 형성하는 위치에 제 2 개공을 형성하는 공정과,

상기 제 2 개공 내부에 상기 제 1 전극 표면의 금속 산화막을 제거하여 상기 제 2 층간절연막 위에 제 3 금속층을 형성하고, 이 제 3 금속층을 패터닝하여 상기 제 1 전극과 접속하는 제 3 전극과, 상기 제 2 전극에 접속하는 제 4 전극을 포함하는 제 3 금속층 패턴을 형성하는 공정을 포함하는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치의 제조방법은, 반도체 기판 상에 제 1 층간절연막을 형성하고, 이 제 1 층간절연막 위에 제 1 금속층을 형성하며, 이 제 1 금속층을 패터닝하여 용량의 한쪽 전극이 되는 제 1 전극을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막을 형성하는 공정과,

상기 제 1 금속층 패턴 위에 제 2 층간절연막을 형성하고, 이 제 2 층간절연막에 용량의 다른 쪽 전극이 되는 제 2 전극의 형성위치에 제 1 개공을 형성하는 동시에, 상기 제 1 전극의 인출전극이 되는 제 3 전극의 형성위치에 제 2 개공을 형성하는 공정과,

상기 제 2 층간절연막 위에 제 2 금속층을 형성하고, 이 제 2 금속층을 패터닝하여 상기 제 1 전극에 대향하여 용량의 다른 쪽 전극이 되는 제 2 전극을 포함하는 제 2 금속층 패턴을 형성하는 공정과,

상기 제 2 개공 내부의 상기 제 1 전극 표면의 금속 산화막을 제거하여 상기 제 2 층간절연막 위에 제 3 금속층을 형성하고, 이 제 3 금속층을 패터닝하여 상기 제 1 전극에 접속하는 제 3 전극과, 상기 제 2 전극에 접속하는 제 4 전극을 포함하는 제 3 금속층 패턴을 형성하는 공정을 포함하는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치의 제조방법은, 반도체 기판 상에 제 1 층간절연막을 형성하고, 이 제 1 층간절연막 위에 제 1 금속층을 형성하며, 이 제 1 금속층을 패터닝하여 용량의 한쪽 전극이 되는 제 1 전극을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막을 형성하는 공정과,

상기 제 1 금속층 패턴 위에 제 2 층간절연막을 형성하고, 이 제 2 층간절연막에 용량의 다른 쪽 전극이 되는 제 2 전극의 형성위치에 제 1 개공을 형성하는 동시에, 상기 제 1 전극의 인출전극이 되는 제 3 전극의 형성위치에 제 2 개공을 형성하는 공정과,

적어도 상기 제 2 층간절연막의 제 2 개공 내부의 상기 제 1 전극 표면의 금속 산화막을 제거하여 상기 제 2 층간절연막 위에 제 2 금속층을 형성하고, 이 제 2 금속층을 패터닝하여 상기 제 1 전극에 접속하는 제 3 전극을 포함하는 제 2 금속층 패턴을 형성하는 공정과,

상기 제 2 층간절연막의 상기 제 1 개공 내부에서 상기 제 1 전극의 표면에 금속 산화막을 형성하고, 이 위에 제 3 금속층을 형성하며, 이 제 3 금속층을 패터닝하여 상기 제 1 전극과 대향하여 용량의 다른 쪽 전극이 되는 제 4 전극을 포함하는 제 3 금속층 패턴을 형성하는 공정을 포함하는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치의 제조방법은, 반도체 기판 상에 제 1 층간절연막을 형성하고, 이 제 1 층간절연막 위에 제 1 금속층을 형성하며, 이 제 1 금속층을 패터닝하여 용량의 한쪽 전극이 되는 제 1 전극을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막을 형성하는 공정과,

상기 제 1 금속층 패턴 위에 제 2 층간절연막을 형성하고, 이 제 2 층간절연막에 적어도 용량의 다른 쪽 전극이 되는 제 2 전극 형성위치에서 하부에 제 2 층간절연막의 박막을 남기고 제 1 개공을 형성하는 공정과,

상기 제 2 층간절연막에 상기 제 1 전극의 인출전극이 되는 제 3 전극형성 위치에 제 2 개공을 형성하는 공정과,

상기 제 1 개공 하부의 층간절연막의 박막을 제거하는 동시에, 상기 제 2 개공 내부의 상기 제 1 전극 표면의 금속 산화막을 제거하여, 상기 제 2 층간절연막 위에 제 2 금속층을 형성하고, 이 제 2 금속층을 패터닝하여, 상기 제 1 전극에 대향하여 용량의 다른 쪽 전극이 되는 제 2 전극과, 상기 제 1 전극에 접속하는 제 3 전극을 포함하는 제 2 금속층 패턴을 형성하는 공정을 포함하는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치의 제조방법은, 반도체 기판 상에 제 1 층간절연막을 형성하고, 이 제 1 층간절연막 위에 제 1 금속층을 형성하며, 이 제 1 금속층을 패터닝하여 용량의 한쪽 전극이 되는 제 1 전극을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막을 형성하는 공정과,

상기 제 1 금속층 패턴 위에 제 2 금속층을 형성하고, 이 제 2 금속층을 패터닝하여 상기 제 1 전극에 대향하여 용량의 다른 쪽 전극이 되는 제 2 전극을 포함하는 제 2 금속층 패턴을 형성하는 공정과,

상기 제 1 금속층 패턴 및 상기 제 2 금속층 패턴 위에 제 2 층간절연막을 형성하고, 이 제 2 층간절연막에 용량의 다른 쪽 전극이 되는 제 2 전극의 형성위치에 제 1 개공을 형성하는 동시에, 상기 제 1 전극의 인출전극이 되는 제 3 전극의 형성위치에 제 2 개공을 형성하는 공정과,

상기 제 2 개공 내부의 상기 제 1 전극 표면의 금속 산화막을 제거하여 상기 제 2 층간절연막 위에 제 3 금속층을 형성하고, 이 제 3 금속층을 패터닝하여 상기 제 1 전극에 접속되는 제 3 전극과, 상기 제 2 전극에 접속하는 제 4 전극을 포함하는 제 3 금속층 패턴을 형성하는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치의 제조방법은, 상기한 반도체 장치 제조방법에 있어서, 상기 제 1 금속층 패턴의 표면에 금속 산화막을 형성하는 공정은, 산소 플라즈마에 의한 레지스트 패턴의 애싱과 동시에 행하는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치의 제조방법은, 상기한 반도체 장치 제조방법에 있어서, 상기 제 1 금속층으로서 알루미늄층을 형성하고, 상기 금속 산화막으로서 알루미나 박막을 형성하는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치의 제조방법은, 상기한 반도체 장치 제조방법에 있어서, 상기 제 1 금속층으로부터 1층째의 배선층을 형성하고, 상기 제 2 금속층으로부터 2층째의 배선층을 형성하는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치의 제조방법은, 상기한 반도체 장치 제조방법에 있어서, 상기 제 1 금속층으로부터 1층째의 배선층을 형성하고, 상기 제 3 금속층으로부터 2층째의 배선층을 형성하는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체 장치는, 상기한 반도체 장치의 제조방법에 의해 제조된 것을 특징으로 하는 것이다.

[실시예]

이하, 본 발명의 실시예에 관해 도면을 참조하여 설명한다. 도면 중에서, 동일하거나 상당하는 부분에는 동일한 부호를 부착하여 그 설명을 간략화 또는 생략한다.

(실시예 1)

도 1 도 2는, 본 발명의 실시예 1에 따른 반도체 장치의 제조방법을 공정에 따라 나타낸 단면도이다. 일본의 전자출원에서는, 도면이 다른 페이지에는 다른 도면번호를 부착해야 한다는 제약으로 인해, 이들 도면은 도 1g로부터 도 2h로 이어지는 일련의 공정을 나타내고 있다. 이하, 본 발명의 실시예 1을 도면에 따라 설명한다.

우선, 도 1a에 나타낸 것 같이, 필요에 따라 다른 회로소자를 형성한 실리콘 기판(1)(반도체 기판) 상에 실리콘 산화막 등에 의한 제 1 층간절연막(2)(2a, 2b를 포함한다)을 형성한다. 그리고, 이 제 1 층간절연막(2a, 2b)에 배선층과 회로소자의 접속용 구멍, 소위 콘택홀(3)을 형성한 후, 배선층과 동시에 형성하는 알루미늄막 또는 알루미늄을 주성분으로 하는 제 1 금속층(4)을, 예컨대, Al, AlSi, AlSiCu, AlCu 등을 사용하여, 마그네트론 스퍼터법 등에 의해 형성한다.

다음에, 도 1b에 나타낸 것 같이, 금속층 패턴과 동시에 용량소자의 하부전극(후술한다)을 형성하기 위한 패턴을 갖는 포토레지스트(5a, 5b)를 사진제판기술에 의해 형성한다.

다음에, 도 1c에 나타낸 것 같이, 제 1 금속층(4)의 불필요한 부분을 선택적으로 에칭제거하여, 1층째의 배선층(6)과 용량소자의 하부전극(7)을 형성한다.

다음에, 도 1d에 나타낸 것 같이, 사용이 끝난 포토레지스트(5a, 5b)를 산소 플라즈마 애싱장치로 제거한다. 이때, 알루미늄막 또는 알루미늄을 주성분으로 한 제 1 금속층(4)의 표면에는 산화하여 알루미나 박막(8a, 8b)(Al_2O_3 박막)(금속 산화막)이 형성된다.

다음에, 도 1e에 나타낸 것 같이, 제 2 층간절연막(9)(9a 9d를 포함한다)을 플라즈마 CVD법 등에 의해 실리콘 산화막 또는 실리콘 질화막 등을 디포지션함으로써 형성한다.

다음에, 도 1f에 나타낸 것 같이, 1층째의 배선층(6)에의 접속을 위한 층간접속용 구멍부(10)와, 용량소자의 하부전극(7)에의 접속용 구멍부(11)와, 용량 형성부분(12)(용량의 상부전극 형성부분)을 사진제판에 의해 패터닝하고, 제 2 층간절연막(9a, 9b, 9c, 9d)을 남기도록 선택적으로 에칭제거하여 개공한다.

다음에, 도 1g에 나타낸 것 같이, 알루미늄막 또는 알루미늄을 주성분으로 하는 제 2 금속층(13)을 제 1 금속층(4)보다도 얇게 형성한다.

단, 통상적으로는, 제 2 금속층(13)(2층째의 금속층)의 스퍼터 직전에는 동일 스퍼터장치에서 연속하여, 층간접속용 구멍부(12)의 하부전극(7)(1층째의 금속층) 표면의 금속 산화막(8a)(알루미늄의 경우에는 알루미나)을 제거하기 위해 스퍼터 에칭처리하지만, 여기에서는, 스퍼터 에칭을 하지 않고 알루미나를 남기도록 한다. 따라서, 제 2 금속층(13)의 두께는, 제 3 금속층(후술한다) 형성시의 스퍼터 에칭으로부터 이 알루미나를 보호하는 만큼의 두께만 있으면 된다.

다음에, 도 2h에 나타낸 것 같이, 용량소자의 상부전극용 패턴을 사진제판에 의해 형성하고, 제 2 금속층(13)의 불필요한 부분을 선택적으로 에칭제거하여, 상부전극 하층(13a)을 형성한다. 이때, 제 2 금속층(13)은 얇게 형성되어 있기 때문에, 층간 접속용 구멍부(10)와 용량소자의 하부전극(7) 접속용 구멍부(11)에 있어서 제 1 금속층(4)(1층째의 배선층(6)과 제 1 전극(7))의 쓸데없는 에칭을 억제할 수 있다.

다음에, 도 2i에 나타낸 것 같이, 플라즈마 CVD법 등에 의해 실리콘 산화막 또는 실리콘 질화막에 의한 제 3 층간절연막(14)을 제 2 층간절연막(9)보다도 얇게 디포지션하여 형성한다. 여기에서 얇게 하는 것은, 다음 공정에서, 1층째의 배선층(6)과의 층간접속용 구멍부(10)가, 이 추가된 층간절연막 때문에, 그 단차가 커지지 않도록 하기 위해서이다.

다음에, 도 2j에 나타낸 것 같이, 1층째의 배선층(6)에의 층간접속용 구멍부(10)와 용량소자의 하부전극(7)에의 접속용 구멍부(11)와 용량 형성부분(12)을 사진제판에 의해 패터닝하고, 제 3 층간절연막(14a, 14b, 14c, 14d)을 남기도록 선택적으로 에칭제거하여 개공한다. 이때, 층간접속용 구멍부(10)와 하부전극 접속용 구멍부(11)에 있어서는, 제 2 층간절연막(9)의 에칭개공 패턴보다 크게 하여 놓는다.

다음에, 도 2k에 나타낸 것 같이, 2층째의 배선층과 동시에 형성하는 알루미늄막 또는 알루미늄을 주성분으로 한 제 3 금속층(15)을 형성한다. 여기에서는 통상의 방법대로, 금속층의 스퍼터 직전에 스퍼터 에칭을 하여 알루미나를 제거한다.

다음에, 도 2l에 나타낸 것 같이, 2층째의 배선층(16)과 용량소자의 상부전극(17)을 사진제판에 의해 패터닝하고, 제 3 금속층(15)의 불필요한 부분을 선택적으로 에칭제거하여 형성한다.

다음에, 도 2m에 나타낸 것 같이, 플라즈마 CVD법 등에 의해 실리콘 산화막 또는 실리콘 질화막 등의 디포지션에 의해, 표면보호막(18)을 형성하여, 용량소자를 포함하는 반도체 장치의 전공정이 완료된다.

이상과 같이, 본 발명의 실시예에 따르면, 반도체 장치의 배선층과 동시에 형성하는 알루미늄막 또는 알루미늄을 주성분으로 한 금속층을, 용량소자의 상부 및 하부의 양쪽 전극(7, 17)에 사용하고 있기 때문에, 기생저항 및 기생용량은 배선층과 동등하게 대단히 작고, 용량소자로서는 거의 무시할 수 있게 된다.

또한, 상부 및 하부의 전극(7, 17) 사이의 절연막(유전막)으로서, 유전율이 높은 알루미나 박막(8a)을 사용하고 있기 때문에, 실리콘 산화막이나 실리콘 질화막과 비교하여, 동일한 막두께라도 고내압과 고용량을 얻을 수 있어, 용량 형성부분(12)의 면적이 작은, 고밀도 고성능의 용량소자를 형성할 수 있다.

본 실시예에 따르면, 종래의 2층 배선층을 갖는 반도체 집적회로장치의 제조공정에, 도 1g 도 2j의 공정을 추가함으로써, 약간의 공정추가로 종래보다도 고밀도 고성능의 용량소자를 내장할 수 있다.

단, 본 실시예의 경우에는, 도 2j의 1층째의 배선층(6)에의 층간접속용 구멍부(10)와 용량소자의 하부전극(7)에의 접속용 구멍부(11)와 용량 형성부분(12)을 사진제판에 의해 패터닝할 때, 제 2 층간절연막(9a, 9b, 9c, 9d)의 에칭개공 패턴과의 중첩, 크기 등의 여유를 취하여, 각각 크게 해 둘 필요가 있다.

본 실시예에 의해 제조된 도 2m에 도시된 반도체 장치의 구조는, 다음과 같이 요약할 수 있다.

즉, 본 실시예의 반도체 장치는, 반도체 기판(1) 상의 층간절연막 상에 있어서, 표면에 금속 산화막(8a)을 갖는 제 1 금속층(4)의 일부를 사용하여 형성된 용량소자의 하부전극(용량의 한쪽 전극이 되는 제 1 전극)(7)을 구비한다. 또한, 적어도 상기 용량소자의 하부전극(제 1 전극)(7)의 상기 금속 산화막(8a)에 접하여 형성된 제 2 금속층(13)의 일부로 이루어진 상기 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)(13a)을 구비한다. 또한, 상기 용량소자의 하부전극(제 1 전극)(7) 표면의 상기 금속 산화막(8a)의 일부를 제거하여, 상기 용량소자의 하부전극(제 1 전극)(7)에 접속된 인출전극(제 3 전극)(17b)을 구비한다. 더구나, 적어도 상기 용량소자의 상부전극 하층(제 2 전극)(13a)에 접하여 형성된 제 3 금속층(15)의 일부로 이루어진 용량소자의 상부전극(제 4 전극)(17a)을 구비하고 있다.

또한, 이상에서 설명한 본 실시예에 따른 반도체 장치의 제조방법은, 다음과 같이 요약할 수 있다.

즉, 본 실시예의 반도체 장치의 제조방법에 있어서는, 반도체 기판(1) 상에 제 1 층간절연막(2a, 2b)을 형성하고, 이 제 1 층간절연막(2a, 2b) 위에 제 1 금속층(4)을 형성하며, 이 제 1 금속층(4)을 패터닝하여 용량소자의 하부전극(용량의 한쪽 전극이 되는 제 1 전극)(7)을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막(8a)을 형성한다.

다음에, 상기 제 1 금속층 패턴 위에 제 2 층간절연막(9)을 형성하고, 이 제 2 층간절연막(9)에 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)(13a)의 형성위치에 제 1 개공(12)을 형성하는 동시에, 상기 용량소자의 하부전극(제 1 전극)(7)의 인출전극(제 3 전극)(17b)의 형성위치에 제 2 개공(11)을 형성한다.

다음에, 상기 제 2 층간절연막(9) 위에 제 2 금속층(13)을 형성하고, 이 제 2 금속층(13)을 패터닝하여 상기 용량소자의 하부전극(제 1 전극)(7)에 대향하여 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)(13a)을 포함하는 제 2 금속층 패턴을 형성한다.

다음에, 상기 제 2 금속층 패턴 위에 제 3 층간절연막(14)을 형성하고, 이 제 3 층간절연막(14)을 적어도 상기 용량소자의 상부전극 하층(제 2 전극)(13a)의 위와 상기 제 2 개공(11)의 위치에 개공한다.

다음에, 상기 제 2 개공(11) 내부의 상기 용량소자의 하부전극(제 1 전극)(7) 표면의 금속 산화막(8a)을 제거하여 상기 제 3 층간절연막(14) 위에 제 3 금속층(15)을 형성하고, 이 제 3 금속층(15)을 패터닝하여 상기 용량소자의 하부전극(제 1 전극)(7)에 접속되는 인출전극(제 3 전극)(17b)과, 상기 용량소자의 상부전극 하층(제 2 전극)(13a)과 접속하는 용량소자의 상부전극(제 4 전극)(17a)을 포함하는 제 3 금속층 패턴을 형성한다.

(실시예 2)

도 3 도 4는, 본 발명의 실시예 2에 따른 반도체 장치의 제조방법을 공정에 따라 나타낸 단면도이다. 이들 도면은, 도 3g로부터 도 4h로 이어지는 일련의 공정을 나타내고 있다. 이하, 본 발명의 실시예 2를 도면에 따라 설명한다.

먼저, 도 3a 도 3e의 공정은, 실시예 1의 도 1a 도 1e의 공정과 동일하며, 필요에 따라 다른 회로소자를 형성한 실리콘 기판(1) 상의 제 1 층간절연막(2a, 2b) 위에, 표면에 알루미나 박막(8a)을 갖는 용량소자의 하부전극(7)을 형성하고, 다시 그 위에, 제 2 층간절연막(9)을 형성한다.

다음에, 도 3f에 나타낸 것 같이, 용량 형성부분(12)(용량의 상부전극 형성부분)을 사진제판에 의해 패터닝하고, 제 2 층간절연막(9a, 9d)을 남기도록 선택적으로 에칭제거하여 개공한다.

다음에, 도 3g에 나타낸 것 같이, 알루미늄막 또는 알루미늄을 주성분으로 하는 제 2 금속층(13)을 제 1 금속층(4)보다도 얇게 형성한다. 단, 여기에서는, 스퍼터 에칭을 하지 않고 알루미나를 남기도록 한다.

다음에, 도 4h에 나타낸 것 같이, 용량소자의 상부전극용 패턴을 사진제판에 의해 형성하고, 제 2 금속층(13)의 불필요한 부분을 선택적으로 에칭제거하여, 상부전극 하층(13a)을 형성한다.

다음에, 도 4i에 나타낸 것 같이, 제 3 층간절연막(14)을 제 2 층간절연막(9)보다도 얇게 디포지션하여 형성한다.

다음에, 도 4j에 나타낸 것 같이, 1층째의 배선층(6)에의 층간접속용 구멍부(10)와 용량소자의 하부전극(7)에의 접속용 구멍부(11)를 사진제판에 의해 패터닝하고, 제 2 층간절연막과 제 3 층간절연막(14)을 선택적으로 에칭제거하여 개공한다.

동시에, 용량 형성부분(12)도 사진제판에 의해 패터닝하고, 제 3 층간절연막(14)을 선택적으로 에칭제거하여 개공한다.

이것에 의해, 제 2 층간절연막(9a, 9b, 9c, 9d)이 남겨지고, 또한, 제 3 층간절연막(14a, 14b, 14c, 14d)이 남겨진다.

다음에, 도 4k에 나타낸 것 같이, 알루미늄막 또는 알루미늄을 주성분으로 하는 제 3 금속층(15)을 형성한다. 여기에서는, 통상적인 방법대로 스퍼터 에칭을 하여 알루미나를 제거한다.

다음에, 도 4l 도 4m에 나타낸 것 같이, 용량소자의 상부전극(17a)과 용량 하부전극(7)의 인출전극(17b)을 형성하고, 다시 표면보호막(18)을 형성하여, 용량소자를 포함하는 반도체 장치의 전공정이 완료된다.

이상과 같이, 본 발명의 실시예 2에 따르면, 실시예 1과 마찬가지로, 기생저항 및 기생용량은 대단히 작고, 고밀도 고성능을 갖는 용량소자를 형성할 수 있다.

본 실시예에 따르면, 종래의 2층 배선층을 갖는 반도체 집적회로 장치의 제조공정에, 도 3f 도 4j의 공정을 추가함으로써, 약간의 공정추가로 종래보다도 고밀도 고성능의 용량소자를 내장할 수 있다.

또한, 실시예 1과 같은 사진제판에서의 중첩, 크기 등의 여유를 취할 필요는 없다.

단, 본 실시예의 경우에는, 도 4j의 공정에서, 제 2 및 제 3 층간절연막(9, 14)을 에칭제거하여 개공할 때, 동시에 용량 형성부분(12)도 제 3의 얇은 층간절연막(14) 만을 에칭제거하여 개공하도록 하고 있기 때문에, 용량 형성부분(12)에 손상을 주지 않는 에칭방법을 선택할 필요가 있다.

본 실시예에 따른 반도체 장치의 제조방법은, 다음과 같이 요약할 수가 있다.

즉, 본 실시예의 반도체 장치의 제조방법에 있어서는, 반도체 기판(1) 상에 제 1 층간절연막(2a, 2b)을 형성하고, 이 제 1 층간절연막(2a, 2b) 위에 제 1 금속층(4)을 형성하며, 이 제 1 금속층(4)을 패터닝하여 용량소자의 하부전극(용량의 한쪽 전극이 되는 제 1 전극)(7)을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막(8a)을 형성한다.

다음에, 상기 제 1 금속층 패턴 위에 제 2 층간절연막(9)을 형성하고, 이 제 2 층간절연막(9)에 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)(13a)을 형성하는 위치에 제 1 개공(12)을 형성한다.

다음에, 상기 제 2 층간절연막(9) 상에 제 2 금속층(13)을 형성하고, 이 제 2 금속층(13)을 패터닝하여 상기 용량소자의 하부전극(제 1 전극)(7)에 대향하여 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)(13a)을 포함하는 제 2 금속층 패턴을 형성한다.

다음에, 상기 제 2 금속층 패턴 위에 제 3 층간절연막(14)을 형성하고, 이 제 3 층간절연막(14)에 상기 용량소자의 상부전극 하층(제 2 전극)(13a) 위에 개공을 형성하는 동시에, 상기 제 3 층간절연막(14)과 제 2 층간절연막(9)에 상기 용량소자의 상부전극 하층(제 2 전극)(13a)의 인출전극(제 3 전극)(17b)을 형성하는 위치에 제 2 개공(11)을 형성한다.

다음에, 상기 제 2 개공(11) 내부에 상기 용량소자의 하부전극(제 1 전극)(7) 표면의 금속 산화막(8a)을 제거하여 상기 제 3 층간절연막(14) 위에 제 3 금속층(15)을 형성하고, 이 제 3 금속층(15)을 패터닝하여 상기 용량소자의 하부전극(제 1 전극)(7)과 접속하는 인출전극(제 3 전극)(17b)과, 상기 용량소자의 상부전극 하층(제 2 전극)(13a)에 접속하는 용량소자의 상부전극(제 4 전극)(17a)을 포함하는 제 3 금속층 패턴을 형성한다.

(실시예 3)

도 5 도 6은, 본 발명의 실시예 3에 따른 반도체 장치의 제조방법을 공정에 따라 나타낸 단면도이다. 이들 도면은, 도 5g로부터 도 6h로 이어지는 일련의 공정을 나타내고 있다. 이하, 본 발명의 실시예 3을 도면에 따라 설명한다.

먼저, 도 5a 도 5e에 나타낸 공정은, 실시예 1의 도 1a 도 1e의 공정과 동일하며, 필요에 따라 다른 회로소자를 형성한 실리콘 기판(1) 상의 제 1 층간절연막(2a, 2b) 위에, 표면에 알루미나 박막(8a)을 갖는 용량소자의 하부전극(7)을 형성하고, 다시 그 위에 제 2 층간절연막(9)을 형성한다.

다음에, 도 5f에 나타낸 것 같이, 용량 형성부분(12)을 사진제판에 의해 패터닝하고, 제 2 층간절연막(9a, 9d)을 남기도록 선택적으로 에칭제거하여 개공한다.

다음에, 도 5g에 나타낸 것 같이, 알루미늄막 또는 알루미늄을 주성분으로 하는 제 2 금속층(13)을 제 1 금속층(4)보다도 얇게 형성한다. 단, 여기에서는, 스퍼터 에칭을 하지 않고 알루미나를 남기도록 한다.

다음에, 도 6h에 나타낸 것 같이, 용량소자의 상부전극용 패턴을 사진제판에 의해 형성하고, 제 2 금속층(13)의 불필요한 부분을 선택적으로 에칭제거하여, 상부전극 하층(13a)을 형성한다.

다음에, 도 6i에 나타낸 것 같이, 실시예 1의 도 2i에 해당하는 공정은 없다.

다음에, 도 6j에 나타낸 것 같이, 1층째의 배선층(6)에의 층간접속용 구멍부(10)와 용량소자 하부전극(7)에의 접속용 구멍부(11)를 사진제판에 의해 패터닝하고, 제 2 층간절연막(9a, 9b, 9c, 9d)을 남기도록 선택적으로 에칭제거하여 개공한다.

다음에, 도 6k에 나타낸 것 같이, 알루미늄막 또는 알루미늄을 주성분으로 하는 제 3 금속층(15)을 형성한다. 여기에서는, 통상의 방법대로, 스퍼터 에칭을 하여 알루미나를 제거한다.

다음에, 도 6l 도 6m에 나타낸 것 같이, 용량소자의 상부전극(17a)과 용량 하부전극(7)의 인출전극(17b)을 형성하고, 다시 표면보호막(18)을 형성하여, 용량소자를 포함하는 반도체 장치의 전공정이 완료된다.

이상과 같이, 본 발명의 실시예 3에 따르면, 실시예 1 및 2와 마찬가지로, 기생저항 및 기생용량은 대단히 작고, 고밀도 고성능을 갖는 용량소자를 형성할 수 있다.

본 실시예에 따르면, 종래의 2층 배선층을 갖는 반도체 집적회로 장치의 제조공정에, 도 5f 도 6h의 공정을 추가함으로써, 실시예 1 및 2보다도 더욱 적은 공정추가로, 종래보다도 고밀도 고성능의 용량소자를 내장할 수 있다.

또한, 실시예 1과 같은 사진제판에서의 중첩, 크기 등의 여유를 취할 필요도 없다.

본 실시예에 따른 반도체 장치의 제조방법은, 다음과 같이 요약할 수 있다.

즉, 본 실시예의 반도체 장치의 제조방법에 있어서는, 반도체 기판(1) 상에 제 1 층간절연막(2)(2a, 2b를 포함한다)을 형성하고, 이 제 1 층간절연막(2a, 2b) 위에 제 1 금속층(4)을 형성하며, 이 제 1 금속층(4)을 패터닝하여 용량소자의 하부전극(용량의 한쪽의 전극이 되는 제 1 전극)(7)을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막(8a)을 형성한다.

다음에, 상기 제 1 금속층 패턴 위에 제 2 층간절연막(9)을 형성하고, 이 제 2 층간절연막(9)에 상기 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)(13a)을 형성하는 위치에 제 1 개공(12)을 형성한다.

다음에, 상기 제 2 층간절연막(9) 위에 제 2 금속층(13)을 형성하고, 이 제 2 금속층(13)을 패터닝하여 상기 용량소자의 하부전극(제 1 전극)(7)에 대향하여 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)(13a)을 포함하는 제 2 금속층 패턴을 형성한다.

다음에, 상기 제 2 층간절연막(9)에 상기 용량소자의 하부전극(제 1 전극)(7)의 인출전극(제 3 전극)(17b)을 형성하는 위치에 제 2 개공(11)을 형성한다.

다음에, 상기 제 2 개공(11) 내부에 상기 용량소자의 하부전극(제 1 전극)(7) 표면의 금속 산화막(8a)을 제거하여 상기 제 2 층간절연막(9) 위에 제 3 금속층(15)을 형성하고, 이 제 3 금속층(15)을 패터닝하여 상기 용량소자의 하부전극(제 1 전극)(7)과 접속하는 인출전극(제 3 전극)(17b)과, 상기 용량소자의 상부전극 하층(제 2 전극)(13a)에 접속되는 용량소자의 상부전극(제 4 전극)(17a)을 포함하는 제 3 금속층 패턴을 형성한다.

(실시예 4)

도 7 도 8은, 본 발명의 실시예 4에 따른 반도체 장치의 제조방법을 공정에 따라 나타낸 단면도이다. 이들 도면은, 도 7g로부터 도 8h에 이어지는 일련의 공정을 나타내고 있다. 이하, 본 발명의 실시예 4를 도면에 따라 설명한다.

먼저, 도 7a 도 7e의 공정은, 실시예 1의 도 1a 도 1e의 공정과 동일하며, 필요에 따라 다른 회로소자를 형성한 실리콘 기판(1) 상의 제 1 층간절연막(2a, 2b) 위에, 표면에 알루미나 박막(8a)을 갖는 용량소자의 하부전극(7)을 형성하고, 다시 그 위에, 제 2 층간절연막(9)을 형성한다.

다음에, 도 7f에 나타낸 것 같이, 실시예 1의 도 1f와 (동일하며) 마찬가지로, 1층째의 배선층(6)에의 접속을 위한 층간접속용 구멍부(10)와, 용량소자의 하부전극(7)에의 접속용 구멍부(11)와, 용량 형성부분(12)을 사진제판에 의해 패터닝하고, 제 2 층간절연막(9a, 9b, 9c, 9d)을 남기도록 선택적으로 에칭제거하여 개공한다.

다음에, 도 7g에 나타낸 것 같이, 실시예 1의 도 1g와 마찬가지로, 알루미늄막 또는 알루미늄을 주성분으로 하는 제 2 금속층(13)을 제 1 금속층(4)보다도 얇게 형성한다. 단, 여기에서는, 스퍼터 에칭을 하지 않고 알루미나를 남기도록 한다.

다음에, 도 8h에 나타낸 것 같이, 실시예 1의 도 2h와 마찬가지로, 용량소자의 상부전극 패턴을 사진제판에 의해 형성하고, 제 2 금속층(13)의 불필요한 부분을 선택적으로 에칭제거하여, 상부전극 하층(13a)을 형성한다.

이때, 제 2 금속층(13)은 얇게 형성되어 있기 때문에, 층간접속용 구멍부(10)와 용량소자의 하부전극(7) 접속용 구멍부(11)에서의 제 1 금속층(4)의 쓸데없는 에칭을 억제할 수 있다.

다음에, 도 8i 도 8j에 나타낸 것 같이, 실시예 1의 도 2i 도 2j에 해당하는 공정은 없다.

다음에, 도 8k에 나타낸 것 같이, 알루미늄막 또는 알루미늄을 주성분으로 하는 제 3 금속층(15)을 형성한다. 여기에서는, 통상의 방법대로, 스퍼터 에칭을 하여 알루미나를 제거한다.

다음에, 도 8l 도 8m에 나타낸 것 같이, 용량소자의 상부전극(17a)과 용량 하부전극(7)의 인출전극(17b)을 형성하고, 다시 표면보호막(18)을 형성하여, 용량소자를 포함하는 반도체 장치의 전공정이 완료된다.

이상과 같이, 본 발명의 실시예 4에 따르면, 실시예 1 3과 마찬가지로, 기생저항 및 기생용량은 대단히 작고, 고밀도 고성능을 갖는 용량소자를 형성할 수 있다.

본 실시예에 따르면, 종래의 2층 배선층을 갖는 반도체 집적회로 장치의 제조공정에, 도 7g 도 8h의 공정을 추가함으로써, 실시예 1 3보다도 더욱 적은 공정 추가로, 종래보다도 고밀도 고성능의 용량소자를 내장할 수 있다.

또한, 실시예 1과 같은 사진제판에서의 중첩, 크기 등의 여유를 취할 필요도 없다.

본 실시예에 따른 반도체 장치의 제조방법은, 다음과 같이 요약할 수 있다.

즉, 본 실시예의 반도체 장치의 제조방법에 있어서는, 반도체 기판(1) 상에 제 1 층간절연막(2)(2a, 2b를 포함한다)을 형성하고, 이 제 1 층간절연막(2a, 2b) 위에 제 1 금속층(4)을 형성하며, 이 제 1 금속층(4)을 패터닝하여 용량소자의 하부전극(용량의 한쪽 전극이 되는 제 1 전극)(7)을 포함하는 제 1 금속층 패턴을 형성하는 동시에 상기 제 1 금속층 패턴의 표면에 금속 산화막(8a)을 형성한다.

다음에, 상기 제 1 금속층 패턴 위에 제 2 층간절연막(9)을 형성하고, 이 제 2 층간절연막(9)에 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)(13a)의 형성위치에 제 1 개공을 형성하는 동시에, 상기 용량소자의 하부전극(제 1 전극)(7)의 인출전극(제 3 전극)(17b)의 형성위치에 제 2 개공(11)을 형성한다.

다음에, 상기 제 2 층간절연막(9) 위에 제 2 금속층(13)을 형성하고, 이 제 2 금속층(13)을 패터닝하여 상기 제 1 전극(7)에 대향하여 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)(13a)을 포함하는 제 2 금속층 패턴을 형성한다.

다음에, 상기 제 2 개공(11) 내부의 상기 용량소자의 하부전극(제 1 전극)(7) 표면의 금속 산화막(8a)을 제거하여 상기 제 2 층간절연막(9) 위에 제 3 금속층(15)을 형성하고, 이 제 3 금속층(15)을 패터닝하여 상기 용량소자의 하부전극(제 1 전극)(7)에 접속되는 인출전극(제 3 전극)(17b)과, 상기 용량소자의 상부전극 하층(제 2 전극)(13a)에 접속하는 용량소자의 상부전극(제 4 전극)(17a)을 포함하는 제 3 금속층 패턴을 형성한다.

(실시예 5)

도 9 도 10은, 본 발명의 실시예 5에 따른 반도체 장치의 제조방법을 공정에 따라 나타낸 단면도이다. 이들 도면은, 도 9g로부터 도 10h로 이어지는 일련의 공정을 나타내고 있다. 이하, 본 발명의 실시예 5를 도면에 따라 설명한다.

먼저, 도 9a 도 9e의 공정은, 실시예 1의 도 1a 도 1e의 공정과 동일하며, 필요에 따라 다른 회로소자를 형성한 실리콘 기판(1) 상의 제 1 층간절연막(2a, 2b) 위에, 표면에 알루미나 박막(8a)을 갖는 용량소자의 하부전극(7)을 형성하고, 다시 그 위에, 제 2 층간절연막(9)을 형성한다.

다음에, 도 9f에 나타낸 것 같이, 실시예 1의 도 1f와 동일하게, 1층째의 배선층(6)과의 층간접속용 구멍부(10)와, 용량소자의 하부전극(7) 접속용 구멍부(11)와, 용량 형성부분(12)을 사진제판에 의해 패터닝하고, 제 2 층간절연막(9, 9a, 9b, 9c, 9d)을 선택적으로 에칭제거하여 개공한다.

다음에, 도 9g에 나타낸 것 같이, 2층째의 배선층과 동시에 형성하는 알루미늄막 또는 알루미늄을 주성분으로 하는 제 2 금속층(13)을 형성한다. 여기에서는, 통상의 방법대로, 스퍼터 에칭을 하여 알루미나를 제거한다.

다음에, 도 10h에 나타낸 것 같이, 2층째의 배선층(13b)과, 용량소자의 하부전극(7)에의 인출전극(13c)을 사진제판에 의해 패터닝하고, 제 2 금속층(13)의 불필요한 부분을 선택적으로 에칭제거하여 형성한다. 이때, 용량 형성부분(12)의 개공은 노출된다.

다음에, 도 10i 도 10j의 공백에 나타낸 것 같이, 실시예 1의 도 2i 도 2j에 해당하는 공정은 없다.

다음에, 도 10k에 나타낸 것 같이, 용량소자의 하부전극(7)의 노출 표면에는 다시 금속 산화막(8a)이 형성되고, 이 위에 알루미늄막 또는 알루미늄을 주성분으로 하는 제 3 금속층(15)을 형성한다. 단, 여기에서는, 스퍼터 에칭을 하지 않고 알루미나를 남기도록 한다.

다음에, 도 10에 나타낸 것 같이, 용량소자의 상부전극을 사진제판에 의해 패터닝하고, 제 3 금속층(15)의 불필요한 부분을 선택적으로 에칭제거하여, 용량소자의 상부전극(17a)을 형성한다.

다음에, 도 10m에 나타낸 것 같이, 실시예 1의 도 2m과 마찬가지로, 표면보호막(18)을 형성하여, 용량소자를 포함하는 반도체 장치의 전공정이 완료된다.

이상과 같이, 본 발명의 실시예 5에 따르면, 실시예 1 4와 마찬가지로, 기생저항 및 기생용량은 대단히 작고, 고밀도 고성능을 갖는 용량소자를 형성할 수 있다.

본 실시예에 따르면, 종래의 2층 배선층을 갖는 반도체 집적회로 장치의 제조공정에, 도 10k 도 10l의 공정을 추가함으로써, 실시예 1 3보다도 더욱 적은 공정 추가로, 종래보다도 고밀도 고성능의 용량소자를 내장할 수 있다.

또한, 실시예 1과 같은 사진제판에서의 중첩, 크기 등의 여유를 취할 필요도 없다.

단, 본 실시예의 경우에는, 도 10h의 제 2 금속층(13)의 에칭 제거시, 제 1 금속층(4)(하부전극(7))의 표면이 동시에 에칭되고, 또한, 도 10l의 제 3 금속층(15)의 에칭 제거시, 제 2 금속층(13)(배선(13b), 인출전극(13c))의 표면이 동시에 에칭되기 때문에, 각각 에칭조건의 최적화가 필요하게 된다.

본 실시예에 의해 제조된 도 10m에 도시된 반도체 장치의 구조는, 다음과 같이 요약할 수 있다.

즉, 본 실시예의 반도체 장치는, 반도체 기판(1) 상에 형성되고 표면에 금속 산화막(8a)을 갖는 제 1 금속층(4)의 일부로 이루어지고, 용량소자의 하부전극(용량의 한쪽 전극이 되는 제 1 전극)(7)을 구비한다. 또한, 상기 제 1 금속층(4)의 상부층에 형성된 제 2 금속층(13)의 일부로 이루어지며 상기 용량소자 하부전극(제 1 전극)(7)의 상기 금속 산화막(8a)의 일부를 제거하여 상기 용량소자의 하부전극(제 1 전극)(7)에 접속되는 인출전극(제 3 전극)(13c)을 구비한다. 더구나, 적어도 상기 용량소자의 하부전극(제 1 전극)(7)의 상기 금속 산화막(8a)에 접하여 형성된 제 3 금속층(15)의 일부로 이루어지며 상기 용량소자의 상부전극(제 2 전극)(17a)을 구비하고 있다.

또한, 본 실시예에 따른 반도체 장치의 제조방법은, 다음과 같이 요약할 수 있다.

즉, 본 실시예의 반도체 장치 제조방법에 있어서는, 반도체 기판(1) 상에 제 1 층간절연막(2)(2a, 2b를 포함한다.)을 형성하고, 이 제 1 층간절연막(2a, 2b) 위에 제 1 금속층(4)을 형성하며, 이 제 1 금속층을 패터닝하여 용량소자의 하부전극(용량의 한쪽 전극이 되는 제 1 전극)(7)을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막(8a)을 형성한다.

다음에, 상기 제 1 금속층 패턴 위에 제 2 층간절연막(9)을 형성하고, 이 제 2 층간절연막(9)에 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)의 형성위치에 제 1 개공(12)을 형성하는 동시에, 상기 용량소자의 하부전극(제 1 전극)(7)의 인출전극(제 3 전극)의 형성위치에 제 2 개공(11)을 형성한다.

다음에, 적어도 상기 제 2 층간절연막(9)의 제 2 개공(11) 내부의 상기 용량소자의 하부전극(제 1 전극)(7) 표면의 금속 산화막(8a)을 제거하여 상기 제 2 층간절연막(9) 위에 제 2 금속층(13)을 형성하며, 이 제 2 금속층(13)을 패터닝하여 상기 용량소자의 하부전극(제 1 전극)(7)에 접속되는 인출전극(제 3 전극)(13c)을 포함하는 제 2 금속층 패턴을 형성한다.

다음에, 상기 제 2 층간절연막(9)의 상기 제 1 개공(12) 내부에서 상기 용량소자의 하부전극(제 1 전극)(7)의 표면에 금속 산화막(8a)을 형성하고, 이 위에 제 3 금속층(15)을 형성하며, 이 제 3 금속층을 패터닝하여 상기 용량소자의 하부전극(제 1 전극)(7)과 대향하여 용량의 다른 쪽 전극이 되는 용량소자의 상부전극(제 2 전극)(17a)을 포함하는 제 3 금속층 패턴을 형성한다.

(실시예 6)

도 11 도 12는, 본 발명의 실시예 6에 따른 반도체 장치의 제조방법을 공정에 따라 나타낸 단면도이다. 이들 도면은, 도 11g로부터 도 12h로 이어지는 일련의 공정을 나타내고 있다. 이하, 본 발명의 실시예 6을 도면에 따라 설명한다.

먼저, 도 11a 도 11e의 공정은, 실시예 1의 도 1a 도 1e의 공정과 동일하며, 필요에 따라 다른 회로소자를 형성한 실리콘 기판(1) 상의 제 1 층간절연막(2a, 2b) 위에, 표면에 알루미나 박막(8a)을 갖는 용량소자의 하부전극(7)을 형성하고, 다시 그 위에, 제 2 층간절연막(9)을 형성한다.

다음에, 도 11f에 나타낸 것 같이, 용량 형성부분(12)을 사진제판에 의해 패터닝하고, 제 2 층간절연막(9)을 선택적으로 깊이 방향의 도중까지 에칭제거하여 개공하지만, 구멍의 밑바닥에 제 2 층간절연막(9e)을 얇게 남긴다.

다음에, 도 12g 도 12i의 공백에 나타낸 것 같이, 실시예 1의 도 1g 도 2i에 해당하는 공정은 없다.

다음에, 도 12j에 나타낸 것 같이, 1층째의 배선층(6)에의 층간접속용 구멍부(10)와, 용량소자의 하부전극(7)에의 접속용 구멍부(11)를 사진제판에 의해 패터닝하고, 제 2 층간절연막(9a, 9b, 9c, 9d, 9e)을 남기고 선택적으로 에칭제거하여 개공한다.

다음에, 도 12k에 나타낸 것 같이, 알루미늄막 또는 알루미늄을 주성분으로 하는 제 2 금속층(13)을 형성한다. 여기에서는 통상의 방법대로 스퍼터 에칭을 하여 알루미나를 제거한다. 단, 용량 형성부분(12)에는 제 2 층간절연막(9e)을 얇게 남기고 있기 때문에, 알루미나가 제거되지 않고 남는다.

다음에, 도 12l에 나타낸 것 같이, 2층째의 배선층(13b)과, 용량소자의 하부전극(7)의 인출전극(13c)과, 용량소자의 상부전극(13d)을 사진제판에 의해 패터닝하고, 제 2 금속층(13)의 불필요한 부분을 선택적으로 에칭제거하여 형성한다.

다음에, 도 12m에 나타낸 것 같이, 실시예 1의 m과 마찬가지로, 표면보호막(18)을 형성하여, 용량소자를 포함하는 반도체 장치의 전공정이 완료된다.

이상과 같이, 본 발명의 실시예 6에 따르면, 실시예 1 5와 마찬가지로, 기생저항 및 기생용량은 대단히 작고, 고밀도 고성능을 갖는 용량소자를 형성할 수 있다.

본 실시예에 따르면, 종래의 2층 배선층을 갖는 반도체 집적회로 장치의 제조공정에 도 11f의 공정을 추가함으로써, 실시예 1 5보다도 더욱 적은 공정 추가로, 종래보다도 고밀도 고성능의 용량소자를 내장할 수 있다. 따라서, 본 실시예에 따르면, 스퍼터 공정을 추가할 필요는 없다.

또한, 실시예 1과 같은 사진제판에서의 중첩, 크기 등의 여유를 취할 필요도 없고, 실시예 5와 같은 에칭조건을 최적화할 필요도 없다.

단, 본 실시예의 경우에는, 도 11f의 용량 형성부분(12)을 깊이 방향으로 도중까지 에칭제거하여, 구멍의 밑바닥에 얇게 남기는 제 2 층간절연막(9e)의 두께의 제어와, 도 12k에서의 스퍼터 에칭량의 제어가 필요하게 된다.

본 실시예에 따라 제조된 도 12m에 나타낸 반도체 장치의 구조는, 다음과 같이 요약할 수 있다.

즉, 본 실시예의 반도체 장치는, 반도체 기판(1) 상에 형성되고 표면에 금속 산화막(8a)을 갖는 제 1 금속 배선층(4)의 일부로 이루어지고 용량소자의 하부전극(용량의 한쪽 전극이 되는 제 1 전극)(7)을 구비한다. 또한, 적어도 상기 용량소자의 하부전극(제 1 전극)(7)의 상기 금속 산화막(8a)에 접하여 형성된 제 2 금속층(13)의 일부로 이루어지며 상기 용량소자의 상부전극(용량의 다른 쪽 전극이 되는 제 2 전극)(13d)을 구비한다. 더구나, 상기 제 2 금속층(13)의 또 다른 일부로 이루어지며 상기 용량소자 하부전극(제 1 전극)(7)의 상기 금속 산화막(8a)의 일부를 제거하여 상기 용량소자의 하부전극(제 1 전극)(7)에 접속하는 인출전극(제 3 전극)(13c)을 구비하고 있다.

또한, 본 실시예에 따른 반도체 장치의 제조방법은, 다음과 같이 요약할 수 있다.

즉, 본 실시예의 반도체 장치의 제조방법에 있어서는, 반도체 기판(1) 상에 제 1 층간절연막(2)(2a, 2b를 포함한다)을 형성하고, 이 제 1 층간절연막(2a, 2b) 위에 제 1 금속층(4)을 형성하며, 이 제 1 금속층(4)을 패터닝하여 용량소자의 하부전극(용량의 한쪽의 전극이 되는 제 1 전극)(7)을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막(8a)을 형성한다.

다음에, 상기 제 1 금속층 패턴 위에 제 2 층간절연막(9)을 형성하고, 이 제 2 층간절연막(9)에 적어도 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)의 형성위치에서 하부에 제 2 층간절연막(9)의 박막(9e)을 남기고 제 1 개공(12)을 형성한다.

다음에, 상기 제 2 층간절연막(9)에 상기 용량소자의 하부전극(제 1 전극)(7)의 인출전극(제 3 전극) 형성위치에서 제 2 개공(11)을 형성한다.

다음에, 상기 제 1 개공(12) 하부의 층간절연막 박막(9e)을 제거하는 동시에, 상기 제 2 개공(11) 내부의 상기 용량소자의 하부전극(제 1 전극)(7) 표면의 금속 산화막(8a)을 제거하여, 상기 제 2 층간절연막(9) 위에 제 2 금속층(13)을 형성하고, 이 제 2 금속층(13)을 패터닝하여, 상기 용량소자의 하부전극(제 1 전극)(7)에 대향하는 용량소자의 상부전극(용량의 다른 쪽 전극이 되는 제 2 전극)(13d)과, 상기 제 1 전극에 접속되는 인출전극(제 3 전극)(13c)을 포함하는 제 2 금속층 패턴을 형성한다.

(실시예 7)

도 13 도 14는, 본 발명의 실시예 7에 따른 반도체 장치의 제조방법을 공정에 따라 나타낸 단면도이다. 이들 도면은, 도 13e로부터 도 14f에 이어지는 일련의 공정을 나타내고 있다. 이하, 본 발명의 실시예 7을 도면에 따라 설명한다.

먼저, 도 13a 도 13d의 공정은, 실시예 1의 도 1a 도 1d의 공정과 동일하며, 다른 회로소자를 형성한 실리콘 기판(1) 상의 제 1 층간절연막(2)(2a, 2b를 포함한다) 위에, 표면에 알루미나 박막(8a)을 갖는 용량소자의 하부전극(7)을 형성한다.

다음에, 도 13d의 뒤에, 도 13d1 도 13d2에 나타낸 것 같이, 실시예 1의 도 1g 도 2h와 동일한 공정을 삽입한다.

즉, 도 13d1에 나타낸 것 같이, 실시예 1의 도 1g와 마찬가지로, 알루미늄막 또는 알루미늄을 주성분으로 하는 제 2 금속층(13)을 제 1 금속층(4)보다도 얇게 형성한다. 단, 여기에서는, 스퍼터 에칭을 하지 않고 알루미나를 남기도록 한다.

다음에, 도 13d2에 나타낸 것 같이, 실시예 1의 도 2h와 마찬가지로, 용량소자의 상부전극용 패턴을 사진제판에 의해 형성하고, 제 2 금속층(13)의 불필요한 부분을 선택적으로 에칭제거하여, 용량소자의 상부전극 하층(13a)을 형성한다.

이때, 제 2 금속층(13)은 얇게 형성되어 있기 때문에, 제 1 금속층(4)의 쓸데없는 에칭을 억제할 수는 있지만, 실시예 1과 같이 접속용 구멍부(10, 11)만이 아니고, 제 1 금속층(4) 전체(배선층(6), 하부전극(7))가 약간 에칭된다.

다음에, 도 13e에 나타낸 것 같이, 제 2 층간절연막(9)을 형성한다.

다음에, 도 14f에 나타낸 것 같이, 1층째의 배선층(6)과의 층간접속용 구멍부(10)와, 용량소자의 하부전극(7)과의 접속용 구멍부(11)와, 용량 형성부분(12)을 사진제판에 의해 패터닝하여, 제 2 층간절연막(9a, 9b, 9c, 9d)을 남기고 선택적으로 에칭제거하여 개공한다.

다음에, 도 14g 도 14j의 공백에 나타낸 것 같이, 여기에서는, 실시예 1의 도 1g 도 2j에 해당하는 공정은 없다.

다음에, 도 14k에 나타낸 것 같이, 알루미늄막 또는 알루미늄을 주성분으로 하는 제 3 금속층(15)을 형성한다. 여기에서는, 통상의 방법대로, 스퍼터 에칭을 하여 알루미나를 제거한다.

다음에, 도 14l 도 14m에 나타낸 것 같이, 용량소자의 상부전극(17a)과 용량 하부전극(7)의 인출전극(17b)을 형성하고, 다시 표면보호막(18)을 형성하여 용량소자를 포함하는 반도체 장치의 전공정이 완료된다.

이상과 같이, 본 발명의 실시예 7에 따르면, 실시예 1 6과 마찬가지로, 기생저항 및 기생용량은 매우 작고, 고밀도 고성능을 갖는 용량소자를 형성할 수 있다.

본 실시예에 따르면, 종래의 2층 배선층을 갖는 반도체 집적회로 장치의 제조공정에, 도 13d1 도 13d2의 공정을 추가함으로써, 실시예 1 3보다도 더욱 적은 공정 추가로, 종래보다도 고밀도 고성능의 용량소자를 내장할 수 있다.

또한, 실시예 1과 같은 사진제판에서의 중첩, 크기 등의 여유를 취할 필요도 없다.

본 실시예에 따른 반도체 장치의 제조방법은, 다음과 같이 요약할 수 있다.

즉, 본 실시예의 반도체 장치의 제조방법에 있어서는, 반도체 기판(11) 상에 제 1 층간절연막(2)(2a, 2b를 포함한다)을 형성하고, 이 제 1 층간절연막(2a, 2b) 위에 제 1 금속층(4)을 형성하며, 이 제 1 금속층(4)을 패터닝하여 용량소자의 하부전극(용량의 한쪽 전극이 되는 제 1 전극)(7)을 포함하는 제 1 금속층 패턴을 형성하는 동시에, 상기 제 1 금속층 패턴의 표면에 금속 산화막(8a)을 형성한다.

다음에, 상기 제 1 금속층 패턴 위에 제 2 금속층(13)을 형성하고, 이 제 2 금속층(13)을 패터닝하여 상기 용량소자의 하부전극(제 1 전극)(7)에 대향하여 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)(13a)을 포함하는 제 2 금속층 패턴을 형성한다.

다음에, 상기 제 1 금속층 패턴 및 상기 제 2 금속층 패턴 위에 제 2 층간절연막(9)을 형성하고, 이 제 2 층간절연막(9)에 용량소자의 상부전극 하층(용량의 다른 쪽 전극이 되는 제 2 전극)(13a)의 형성위치에 제 1 개공(12)을 형성하는 동시에, 상기 용량소자의 하부전극(제 1 전극)(7)의 인출전극이 되는 인출전극(제 3 전극)의 형성위치에 제 2 개공(11)을 형성한다.

다음에, 상기 제 2 개공(11) 내부의 상기 용량소자의 하부전극(제 1 전극)(7) 표면의 금속 산화막(8a)을 제거하여 상기 제 2 층간절연막(9) 위에 제 3 금속층(15)을 형성하고, 이 제 3 금속층(15)을 패터닝하여 상기 용량소자의 하부전극(제 1 전극)(7)에 접속되는 인출전극(제 3 전극)(17b)과, 상기 용량소자의 상부전극 하층(제 2 전극)(13a)에 접속하는 용량소자의 상부전극(제 4 전극)(17a)을 포함하는 제 2 금속층 패턴을 형성한다.

발명의 효과

이상 설명한 것 같이, 본 발명에 따르면, 반도체 장치에 있어서 용량소자의 상부 및 하부 전극 사이의 절연막으로서, 유전율이 높은 금속 산화막, 특히 알루미나 박막을 사용하고 있기 때문에, 실리콘 산화막이나 실리콘 질화막과 비교하여, 고내압과 고용량을 얻을 수 있어, 용량 형성부분의 면적이 작은, 고밀도 고성능을 갖는 용량소자를 형성할 수 있다.

또한, 본 발명에 따르면, 반도체 장치에 있어서 용량소자의 기생저항 및 기생용량이 작고, 고내압과 고용량이며, 고밀도 고성능을 갖는 용량소자를 포함하는 반도체 장치를 얻을 수 있다.

또한, 본 발명에 따르면, 종래의 2층 배선층을 갖는 반도체 집적회로 장치의 제조공정에, 약간의 공정을 추가함으로써, 종래보다도 고밀도 고성능의 용량소자를 내장한 반도체 장치를 제조할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상의 층간절연막 상에 있어서, 표면에 금속 산화막을 갖는 제 1 금속층의 일부를 이용하여 형성되고 용량의 한쪽 전극이 되는 제 1 전극과,

적어도 상기 제 1 전극의 상기 금속 산화막에 접하여 형성된 제 2 금속층의 일부를 사용하여 형성되고 상기 용량의 다른 쪽 전극이 되는 제 2 전극과,

상기 제 1 전극 표면의 상기 금속 산화막의 일부를 제거하여 상기 제 1 전극에 접속되며 인출전극이 되는 제 3 전극을 구비한 것을 특징으로 하는 반도체 장치.

청구항 2.

반도체 기판 상에 형성되며 표면에 금속 산화막을 갖는 제 1 금속층의 일부로 이루어지고 용량의 한쪽 전극이 되는 제 1 전극과,

적어도 상기 제 1 전극의 상기 금속 산화막에 접하는 제 2 금속층의 일부로 이루어지고 상기 용량의 다른 쪽 전극이 되는 제 2 전극과,

적어도 상기 제 2 전극에 접하여 형성된 제 3 금속층의 일부로 이루어진 제 4 전극과,

상기 제 3 금속층의 또 다른 일부로 이루어지고 상기 제 1 전극의 상기 금속 산화막의 일부를 제거하여 상기 제 1 전극에 접속되는 제 3 전극을 구비한 것을 특징으로 하는 반도체 장치.

청구항 3.

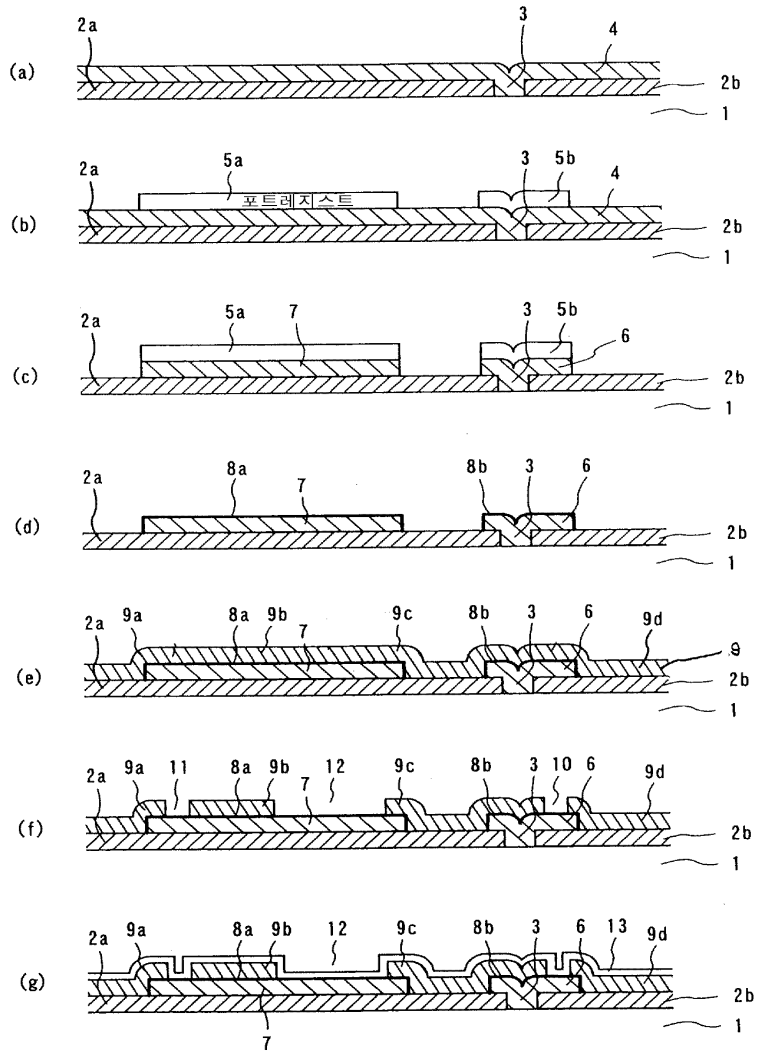
반도체 기판 상에 형성되며 표면에 금속 산화막을 갖는 제 1 금속층의 일부로 이루어지고 용량의 한쪽 전극이 되는 제 1 전극과,

상기 제 1 금속층의 상부층에 형성된 제 2 금속층의 일부로 이루어지고 상기 제 1 전극의 상기 금속 산화막의 일부를 제거하여 상기 제 1 전극에 접속되는 제 3 전극과,

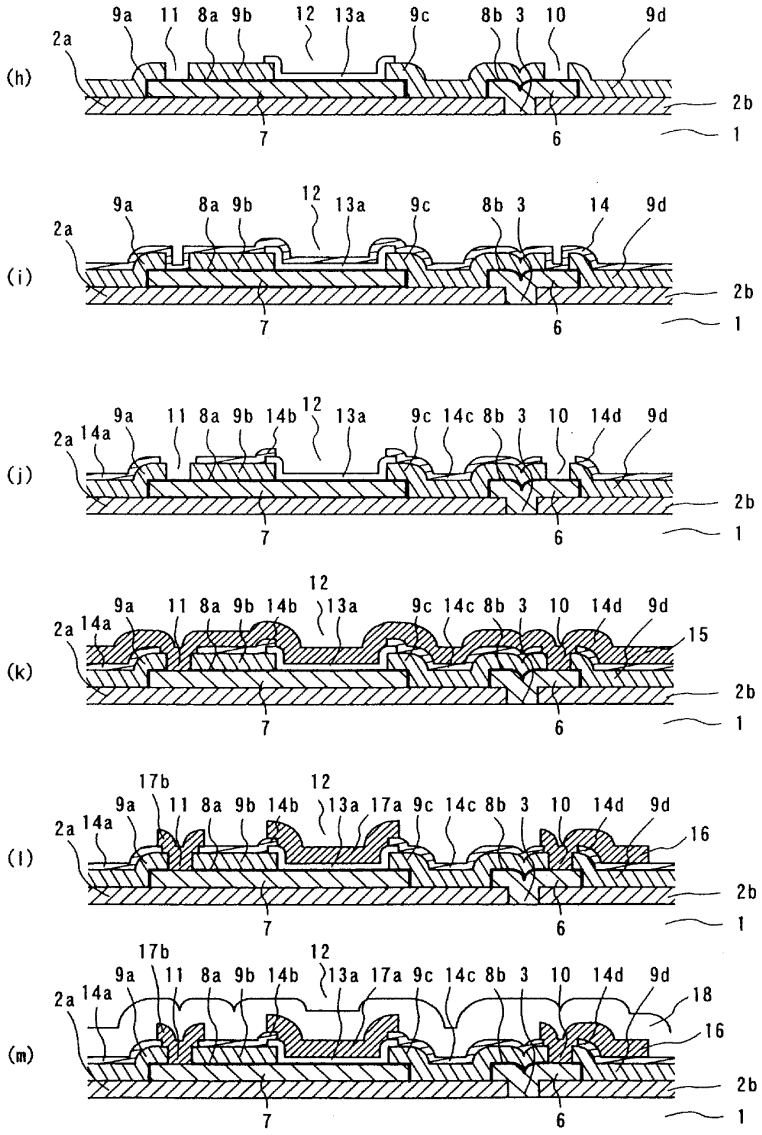
적어도 상기 제 1 전극의 상기 금속 산화막에 접하여 형성된 제 3 금속층의 일부로 이루어지고 상기 용량의 다른 쪽 전극이 되는 제 2 전극을 구비한 것을 특징으로 하는 반도체 장치.

도면

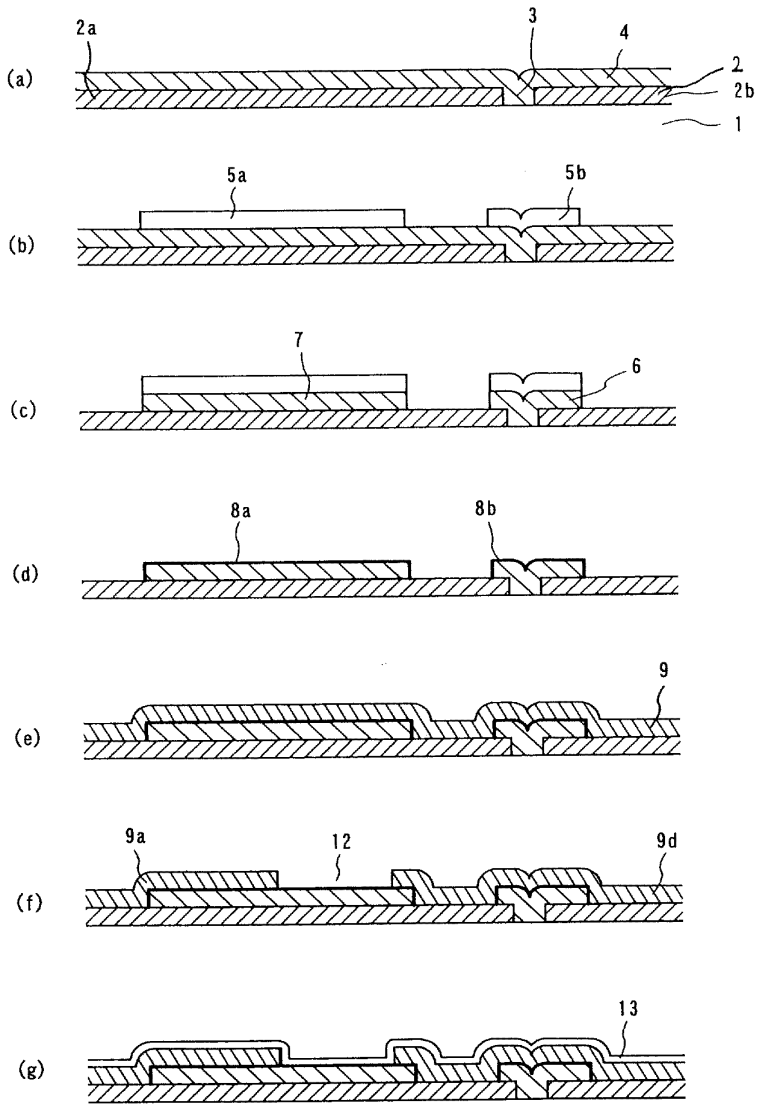
도면 1


(a)
2a
3
4
2b
1
(b)
2a
5a
포트레지스트
3
5b
4
2b
1
(c)
2a
5a
7
3
5b
6
2b
1
(d)
2a
8a
7
8b
3
6
2b
1
(e)
2a
9a
8a
9b
7
9c
8b
3
6
9d
9
2b
1
(f)
2a
9a
11
8a
9b
7
12
9c
8b
3
10
6
9d
2b
1
(g)
2a
9a
8a
9b
12
9c
8b
3
6
13
9d
2b
1
7

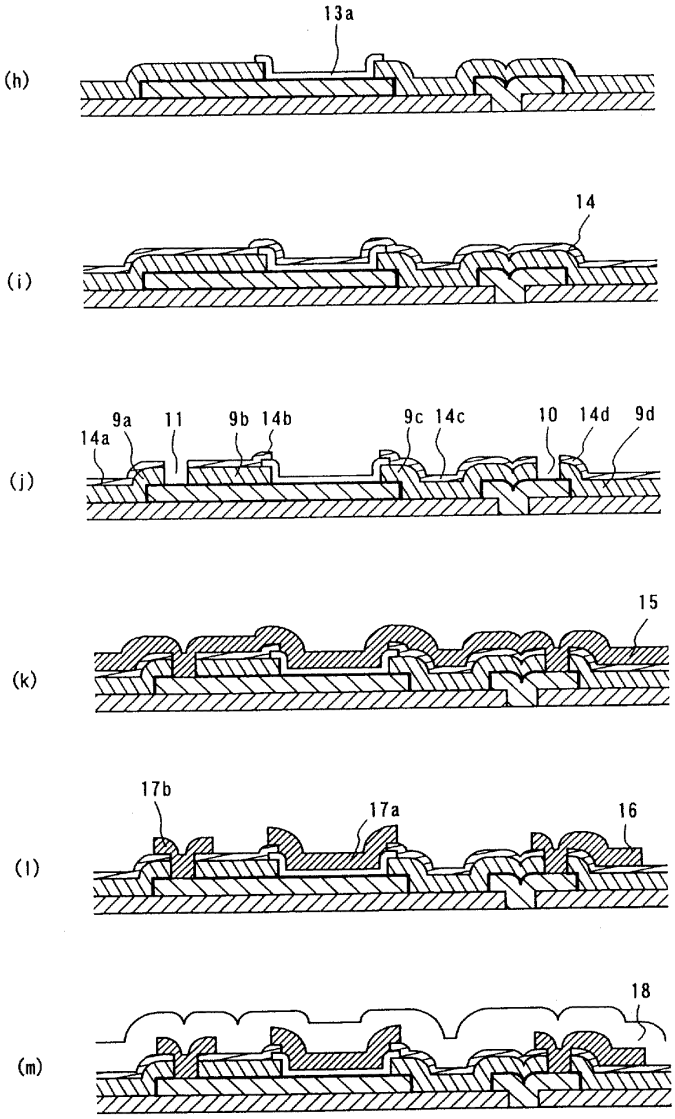
도면 2


(h)
9a 11 8a 9b 12 13a 9c 8b 3 10 9d
2a
2b
1
7
6
(i)
9a 8a 9b 12 13a 9c 8b 3 14 9d
2a
2b
1
7
6
(j)
9a 11 8a 9b 14b 12 13a 9c 14c 8b 3 10 14d 9d
2a 14a
2b
1
7
6
(k)
12
9a 11 8a 9b 14b 13a 9c 14c 8b 3 10 14d 9d
2a 14a
15
2b
1
7
6
(l)
17b
12
9a 11 8a 9b 14b 13a 17a 9c 14c 8b 3 10 14d 9d
2a 14a
16
2b
1
7
6
(m)
17b
12
9a 11 8a 9b 14b 13a 17a 9c 14c 8b 3 10 14d 9d
2a 14a
18
16
2b
1
7
6

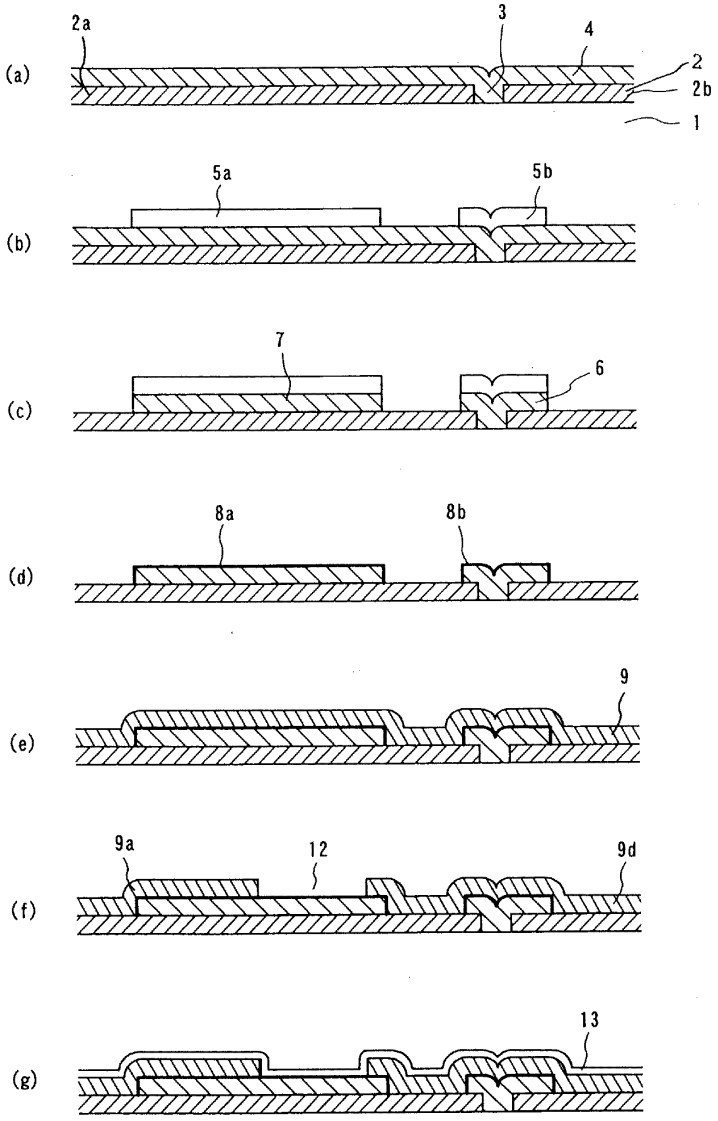
도면 3



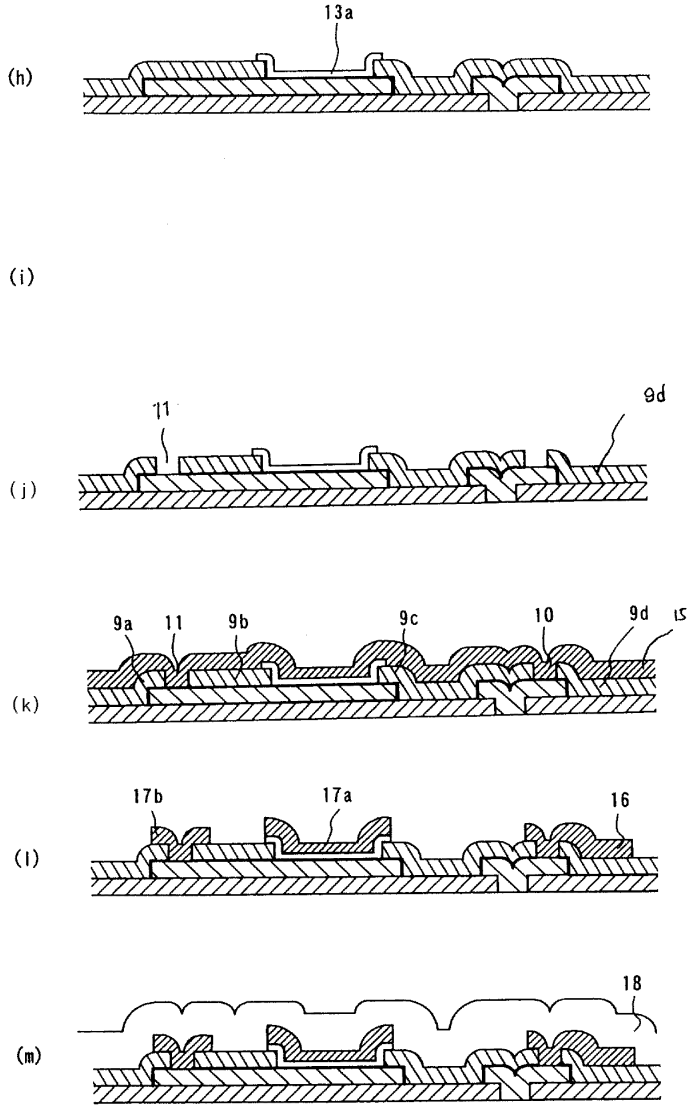
도면 4



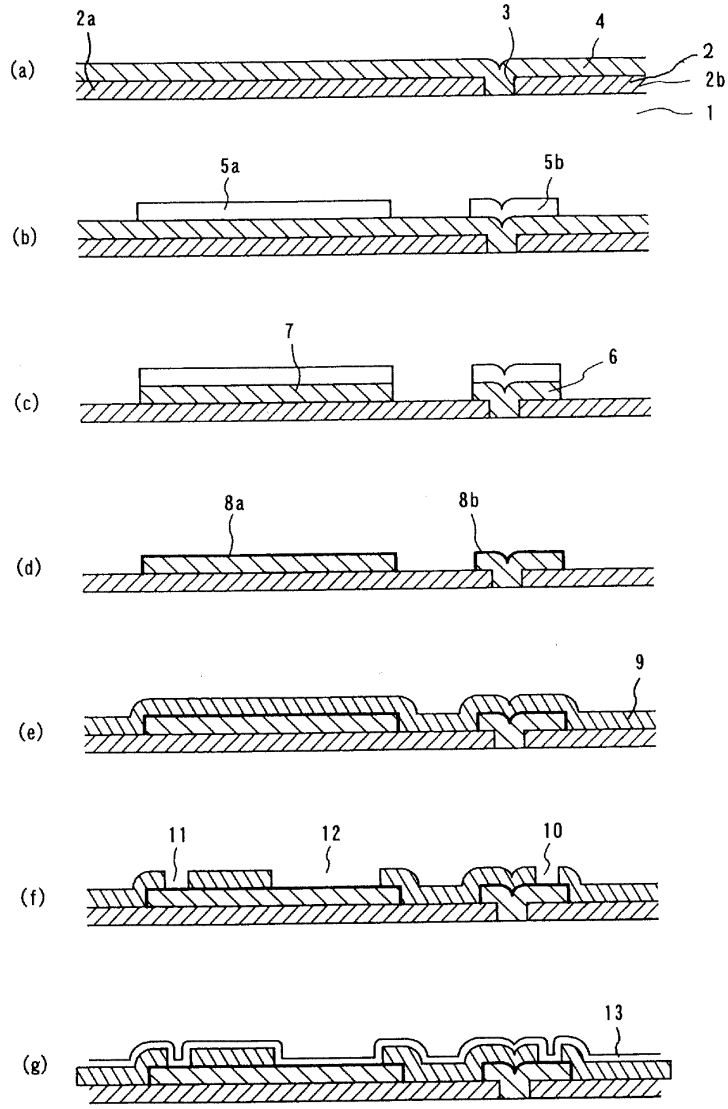
도면 5



도면 6

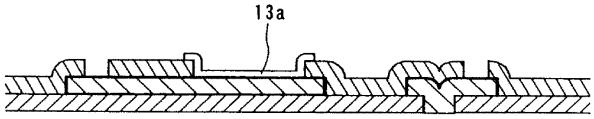


도면 7



도면 8

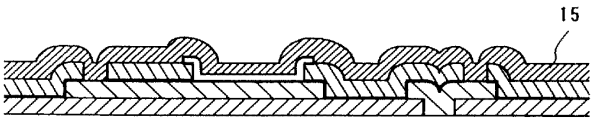
(h)



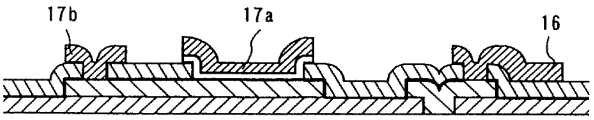
(i)

(j)

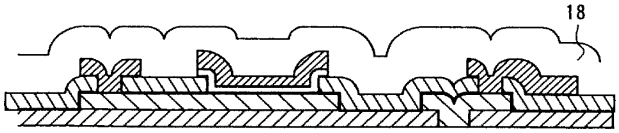
(k)



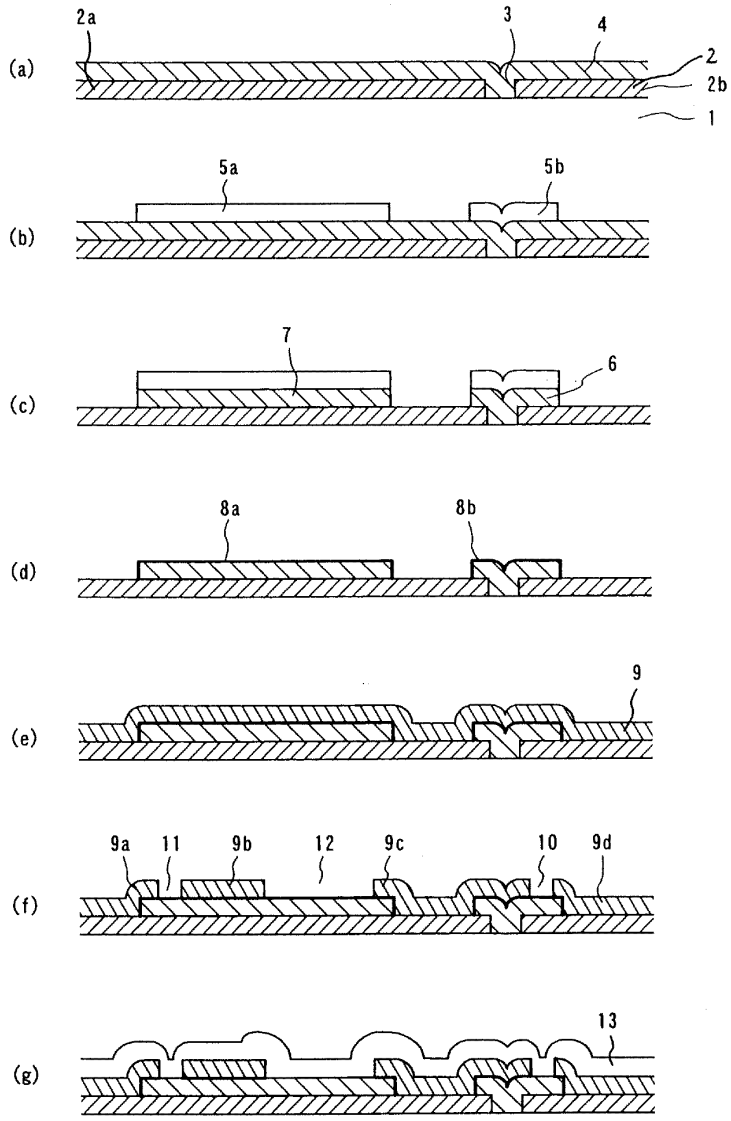
(l)



(m)

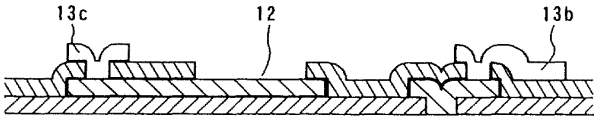


도면 9



도면 10

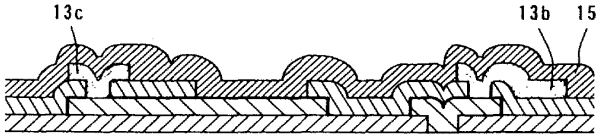
(h)



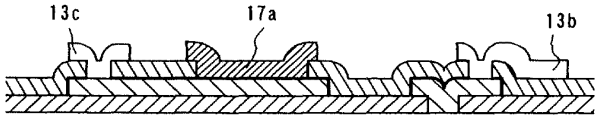
(i)

(j)

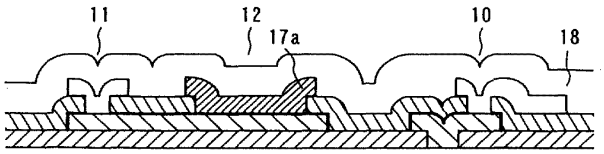
(k)



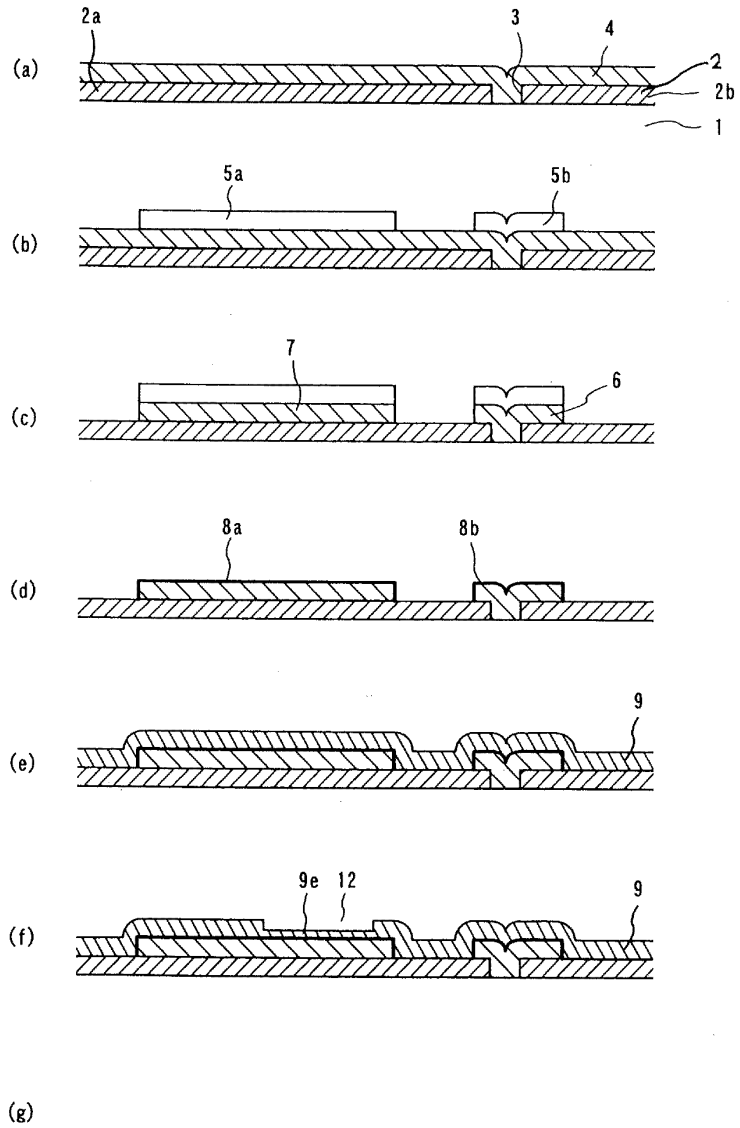
(l)



(m)



도면 11

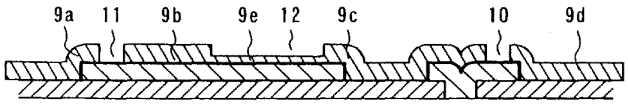


도면 12

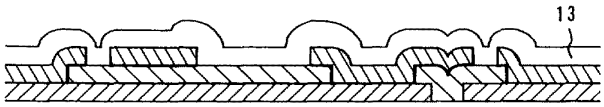
(h)

(i)

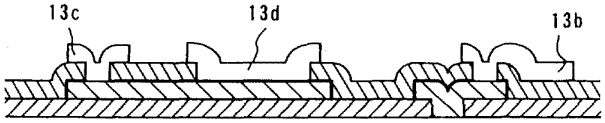
(j)



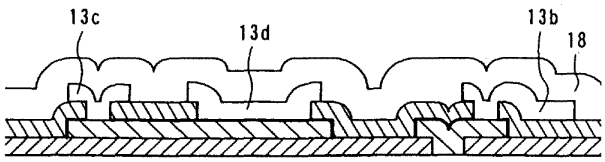
(k)



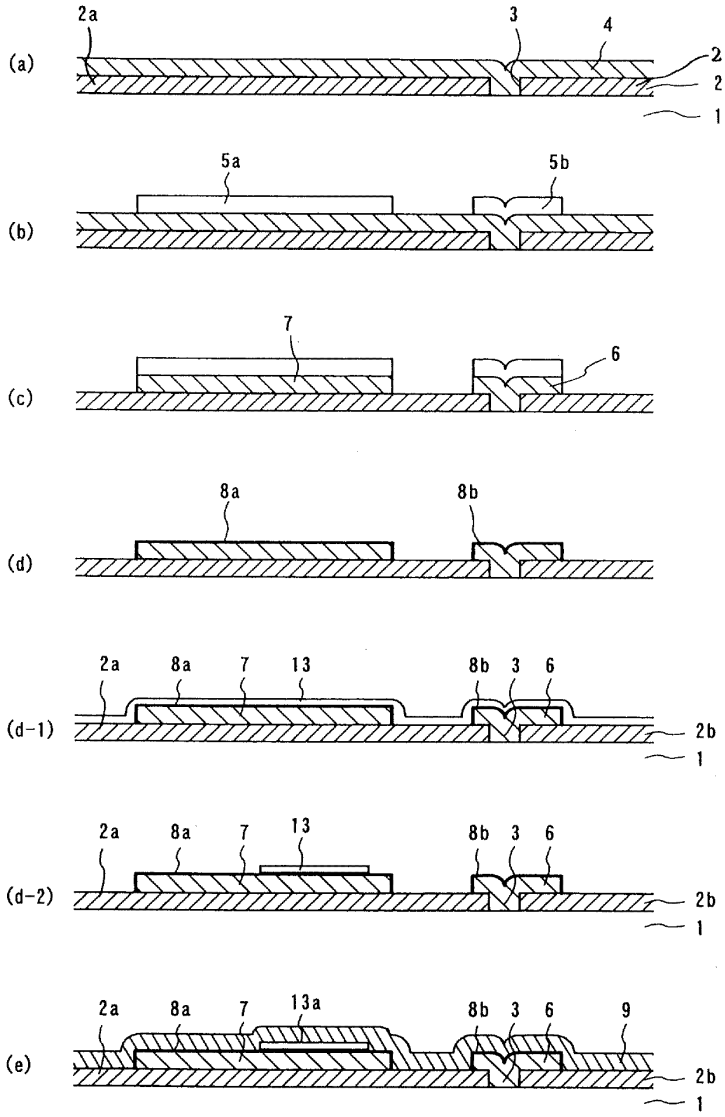
(l)



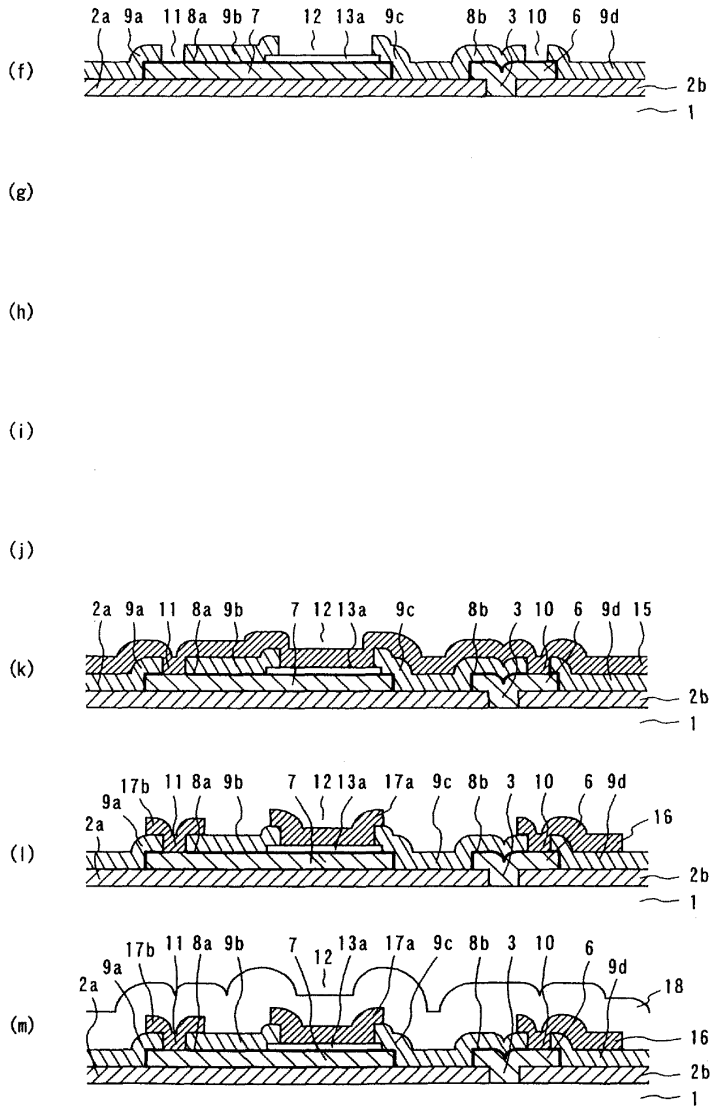
(m)



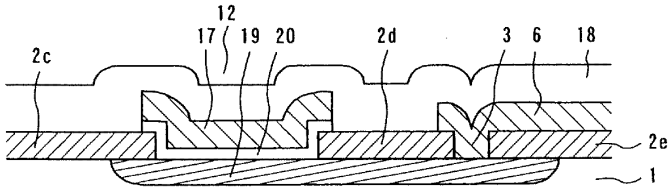
도면 13


(a)
2a
3
4
2
2b
1
(b)
5a
5b
(c)
7
6
(d)
8a
8b
(d-1)
2a
8a
7
13
8b
3
6
2b
1
(d-2)
2a
8a
7
13
8b
3
6
2b
1
(e)
2a
8a
7
13a
8b
3
6
9
2b
1

도면 14


(f)
2a 9a 11 8a 9b 7 12 13a 9c 8b 3 10 6 9d
2b
1
(g)
(h)
(i)
(j)
(k)
2a 9a 11 8a 9b 7 12 13a 9c 8b 3 10 6 9d 15
2b
1
(l)
9a 17b 11 8a 9b 7 12 13a 17a 9c 8b 3 10 6 9d
2a
16
2b
1
(m)
17b 11 8a 9b 7 12 13a 17a 9c 8b 3 10 6
9a
9d
2a
18
16
2b
1

도면 15


12
17 19 20
2d
3 6 18
2c
2e
1

도면 16

