

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第4794156号  
(P4794156)

(45) 発行日 平成23年10月19日 (2011.10.19)

(24) 登録日 平成23年8月5日 (2011.8.5)

(51) Int.Cl.	F I
G 1 1 B 5/02 (2006.01)	G 1 1 B 5/02 U
H O 3 K 17/00 (2006.01)	H O 3 K 17/00 D
H O 3 K 17/687 (2006.01)	H O 3 K 17/687 G
H O 3 M 1/12 (2006.01)	H O 3 M 1/12 A

請求項の数 10 (全 10 頁)

(21) 出願番号	特願2004-333816 (P2004-333816)	(73) 特許権者	500587067
(22) 出願日	平成16年11月18日 (2004.11.18)		アギア システムズ インコーポレーテッ ド
(65) 公開番号	特開2005-158246 (P2005-158246A)		アメリカ合衆国、1 8 1 0 9 ペンシルヴ ァニア、アレントアウン、アメリカン パー クウェイ エヌイー 1 1 1 0
(43) 公開日	平成17年6月16日 (2005.6.16)	(74) 代理人	100094112
審査請求日	平成18年11月1日 (2006.11.1)		弁理士 岡部 譲
(31) 優先権主張番号	10/719645	(74) 代理人	100064447
(32) 優先日	平成15年11月21日 (2003.11.21)		弁理士 岡部 正夫
(33) 優先権主張国	米国 (US)	(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100106703
			弁理士 産形 和央
最終頁に続く			

(54) 【発明の名称】 長いホールド時間のサンプル・アンド・ホールド回路

(57) 【特許請求の範囲】

【請求項 1】

入力および出力を有するサンプル・アンド・ホールド回路であって、  
前記入力と前記出力の間のノードに接続された、電荷を維持するための少なくとも1つの容量性要素と、  
前記少なくとも1つの容量性要素を前記入力に選択的に接続するための少なくとも1つの入力スイッチと、  
前記少なくとも1つの容量性要素を前記出力に選択的に接続するための少なくとも1つの出力スイッチと、  
前記ノードに接続された増幅器とを含み、前記増幅器はオフセット電圧を有し、前記入力および出力スイッチの少なくとも1つの両端間の電圧降下が前記オフセット電圧に実質的に制限されており、サンプル・モードにおいて、前記少なくとも1つの入力スイッチのNMOSスイッチの寄生ドレイン及びソースダイオード(D0、D1)が前記少なくとも1つの入力スイッチのNMOSスイッチの入力信号よりも低い電圧に結合され、ホールド・モードにおいて、前記少なくとも1つの入力スイッチのNMOSスイッチの寄生ドレイン及びソースダイオードが前記増幅器の出力に結合され、サンプル・モードにおいて、前記少なくとも1つの入力スイッチのPMOSスイッチの寄生ドレイン及びソースダイオード(D2、D3)が前記少なくとも1つの入力スイッチのPMOSスイッチの入力信号よりも高い電圧に結合され、ホールド・モードにおいて、前記少なくとも1つの入力スイッチのPMOSスイッチの寄生ドレイン及びソースダイオードが前記増幅器の出力に結合さ

10

20

れる、サンプル・アンド・ホールド回路。

【請求項 2】

前記サンプル・アンド・ホールド回路がストレージ・システムにおけるヘッド・バイアス回路用の前置増幅器の一部である請求項 1 に記載のサンプル・アンド・ホールド回路。

【請求項 3】

前記入力および出力スイッチの少なくとも 1 つが前記入力または出力スイッチと並列な抵抗によって表される漏れ効果を有し、前記抵抗の両端間の電圧降下が前記オフセット電圧に制限される請求項 1 に記載のサンプル・アンド・ホールド回路。

【請求項 4】

前記入力および出力スイッチの少なくとも 1 つに関連付けられた 2 つのスイッチをさらに備え、前記少なくとも 2 つのスイッチが、前記入力および出力スイッチの少なくとも 1 つにおける寄生ダイオードによる漏れ効果を低減するために前記入力および出力スイッチの前記少なくとも 1 つを前記ホールド・モードにおける前記増幅器の出力または前記サンプル・モードにおける標準電圧に選択的に接続する請求項 1 に記載のサンプル・アンド・ホールド回路。

10

【請求項 5】

前記入力および出力スイッチの少なくとも 1 つの両端間の前記制限された電圧降下が前記サンプル・アンド・ホールド回路の漏れを低減する請求項 1 に記載のサンプル・アンド・ホールド回路。

【請求項 6】

20

電荷を維持するための少なくとも 1 つの容量性要素を有するサンプル・アンド・ホールド回路における漏れを低減するための方法であって、

前記少なくとも 1 つの容量性要素を前記入力に選択的に接続するように少なくとも 1 つの入力スイッチを構成するステップと、

前記少なくとも 1 つの容量性要素を前記出力に選択的に接続するように少なくとも 1 つの出力スイッチを構成するステップと、

前記入力および出力スイッチの少なくとも 1 つの両端間の電圧降下を前記少なくとも 1 つの容量性要素に接続された増幅器のオフセット電圧に実質的に制限するステップと、

サンプル・モードにおいて、前記少なくとも 1 つの入力スイッチの N M O S スイッチの寄生ドレイン及びソースダイオードを前記少なくとも 1 つの入力スイッチの N M O S スイッチの入力信号よりも低い電圧に結合し、ホールド・モードにおいて、前記少なくとも 1 つの入力スイッチの N M O S スイッチの寄生ドレイン及びソースダイオードを前記増幅器の出力に結合することで、前記少なくとも 1 つの入力スイッチの N M O S スイッチの寄生ドレイン及びソースダイオードの漏れ電流を実質的に制限し、そして、サンプル・モードにおいて、前記少なくとも 1 つの入力スイッチの P M O S スイッチの寄生ドレイン及びソースダイオードを前記少なくとも 1 つの入力スイッチの P M O S スイッチの入力信号よりも高い電圧に結合し、ホールド・モードにおいて、前記少なくとも 1 つの入力スイッチの P M O S スイッチの寄生ドレイン及びソースダイオードを前記増幅器の出力に結合することで、前記少なくとも 1 つの入力スイッチの P M O S スイッチの寄生ドレイン及びソースダイオードの漏れ電流を実質的に制限するステップとを含む方法。

30

40

【請求項 7】

前記入力および出力スイッチの少なくとも 1 つに関連付けられた少なくとも 2 つのスイッチを構成するステップをさらに含み、前記少なくとも 2 つのスイッチが、前記入力および出力スイッチの少なくとも 1 つにおける寄生ダイオードによる漏れ効果を低減するために前記入力および出力スイッチの前記少なくとも 1 つを前記ホールド・モードにおける前記増幅器の出力または前記サンプル・モードにおける標準電圧に選択的に接続する請求項 6 に記載の方法。

【請求項 8】

磁気抵抗読取りヘッドと、

入力および出力を有するサンプル・アンド・ホールド回路とを備えるディスク・ドライ

50

ブであって、前記サンプル・アンド・ホールド回路が、

( i ) 入力と出力の間のノードに接続された、電荷を維持するための少なくとも 1 つの容量性要素と、

( i i ) 前記少なくとも 1 つの容量性要素を前記入力に選択的に接続するための少なくとも 1 つの入力スイッチと、

( i i i ) 前記少なくとも 1 つの容量性要素を前記出力に選択的に接続するための少なくとも 1 つの出力スイッチと、

( i v ) 前記ノードに接続された増幅器であって、オフセット電圧を有し、前記入力および出力スイッチの少なくとも 1 つの両端間の電圧降下が前記オフセット電圧を制限する増幅器とを含み、サンプル・モードにおいて、前記少なくとも 1 つの入力スイッチの N M O S スイッチの寄生ドレイン及びソースダイオード ( D 0 、 D 1 ) が前記少なくとも 1 つの入力スイッチの N M O S スイッチの入力信号よりも低い電圧に結合され、ホールド・モードにおいて、前記少なくとも 1 つの入力スイッチの N M O S スイッチの寄生ドレイン及びソースダイオードが前記増幅器の出力に結合され、サンプル・モードにおいて、前記少なくとも 1 つの入力スイッチの P M O S スイッチの寄生ドレイン及びソースダイオード ( D 2 、 D 3 ) が前記少なくとも 1 つの入力スイッチの P M O S スイッチの入力信号よりも高い電圧に結合され、ホールド・モードにおいて、前記少なくとも 1 つの入力スイッチの P M O S スイッチの寄生ドレイン及びソースダイオードが前記増幅器の出力に結合される、ディスク・ドライブ。

【請求項 9】

前記サンプル・アンド・ホールド回路がストレージ・システムにおけるヘッド・バイアス回路用の前置増幅器の一部である請求項 8 に記載のディスク・ドライブ。

【請求項 10】

前記入力および出力スイッチの少なくとも 1 つが、前記入力または出力スイッチと並列な抵抗によって表されている漏れ効果を有し、前記抵抗の両端間の電圧降下が前記オフセット電圧に制限される請求項 8 に記載のディスク・ドライブ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般にサンプル・アンド・ホールド回路に関し、より詳細には、より長いホールド時間を与えるサンプル・アンド・ホールド回路に関する。

【背景技術】

【0002】

ディスク・ドライブは一般に高いデータ密度をサポートするために磁気抵抗読取りヘッドを使用する。これらの磁気抵抗ヘッドは動作するために（一般に前置増幅器によって与えられる）D C バイアスを必要とする。しかし、モバイル用途において、電力消費は重要な問題である。したがって、モバイル用途に対するディスク・ドライブの電力消費を低減するためのいくつかの技法が提案または示唆されている。また、センサの寿命を延ばすために磁気抵抗ヘッドのバイアスを時間経過とともに変化させる。たとえば、短い書込み読取り間遷移時間を維持しながらディスクヘータを書き込むときに読取りヘッドのバイアス制御回路の電源を切ることを可能にするためのサンプル・アンド・ホールド回路が提案されている。

【発明の開示】

【発明が解決しようとする課題】

【0003】

サンプル・アンド・ホールド回路の 1 つの提案された実装において、ディスク・ドライブの電力消費は効果的に低減されたが、最大ホールド時間はスイッチ漏れ経路のために 30 マイクロ秒程度に過ぎなかった。しかし、いくつかの用途に対して、より長いホールド時間が必要なことがある。したがって、より長いホールド時間を持つサンプル・アンド・ホールド技術を有するディスク・ドライブが必要である。改善された読取り書込み間およ

び書込み読取り間モード遷移を与えるサンプル・アンド・ホールド技術を使用したディスク・ドライブがさらに必要である。

【課題を解決するための手段】

【0004】

概して、より長いホールド時間を与えるサンプル・アンド・ホールド回路が開示される。開示されるサンプル・アンド・ホールド回路は改善された書込み読取り間モード遷移を与えるためにディスク・ドライブで 사용할 ことができる。サンプル・アンド・ホールド回路は入力および出力を有し、電荷を維持するための少なくとも1つの容量性要素を含む。容量性要素は入力と出力の間のノードに接続される。サンプル・アンド・ホールド回路は、容量性要素を入力に選択的に接続するための少なくとも1つの入力スイッチおよび容量性要素を出力に選択的に接続するための少なくとも1つの出力スイッチを含む。さらに、増幅器が複数のノードに接続され、オフセット電圧を有する。このようにして、入力および出力スイッチの少なくとも1つの一方の両端間の電圧降下がオフセット電圧に制限される。

10

【0005】

プロセスの観点から、電荷を低減するための少なくとも1つの容量性要素を有するサンプル・アンド・ホールド回路における漏れを低減するための方法が提供される。本方法は、(i)少なくとも1つの容量性要素を入力に選択的に接続するように少なくとも1つの入力スイッチを構成する工程と、(ii)少なくとも1つの容量性要素を出力に選択的に接続するように少なくとも1つの出力スイッチを構成する工程と、(iii)入力または出力スイッチの少なくとも1つの両端間の電圧降下を入力または出力ノードに接続された増幅器のオフセット電圧に制限する工程とを備える。

20

【0006】

開示されるサンプル・アンド・ホールド回路は、たとえば、ストレージ・システムにおけるヘッド・バイアス回路用の前置増幅器で 사용할 ことができる。さらなる改変形において、サンプル・アンド・ホールド回路は、入力および出力スイッチにおける寄生ダイオードによる漏れ効果を低減するために、入力および出力スイッチの少なくとも1つをホールド・モードにおける増幅器の出力か、または読取りモードにおける標準電圧に選択的に接続する少なくとも2つのスイッチを含む。

【0007】

本発明のより完全な理解、ならびに本発明のさらなる特徴および利点は以下の詳細な記載および図面を参照することによって得られるであろう。

30

【発明を実施するための最良の形態】

【0008】

図1は従来の前置増幅器ヘッド・バイアス回路100の概略図である。前置増幅器ヘッド・バイアス回路100は、たとえば、読取り用の磁気抵抗センサをバイアスするためにディスク・ドライブで 사용할 ことができる。図1に示すように、前置増幅器ヘッド・バイアス回路100はトランスコンダクタンス(GM)セル110、短い読取りヘッド・バイアス(SMR)スイッチ130と並列なバイアス・コンデンサ120、およびヘッド・セル150を含む。ヘッド・セル150の出力は読取りヘッド(図示せず)に与えられる。したがって、ヘッド・セル150の正および負出力は両方ともDCバイアスおよびデータ信号を搬送する。概して、トランスコンダクタンス・セル110は知られている様式で入力電圧を取り、出力電流を生成する。読取りモードにおいて、フィードバック・ループ160はヘッドDC電圧をトランスコンダクタンス・セル110の正入力で設定されるSET\_BIASレベルにするためにトランスコンダクタンス・セル110の負入力に接続される。バイアス・ループ140のバンド幅はデータ波形の歪みを防ぐためにデータ・スペクトルよりも低く設定される。読取りヘッド寿命を最大にし、電力損を最小にするために、ヘッド・バイアスはディスクからデータを読んでいないときにスイッチSRM130によってオフにされる。内部バイアス・レベル(VBIAS)は次の読取り期間の開始時に復元されなければならない。

40

50

## 【 0 0 0 9 】

書込み読取り間仕様（空モバイル・ドライブに対して125ns未満など）に合わせるために、VBIASを各読取り期間の開始時に再取得しなければならない場合（その場合、ループ帯域幅が読取り期間の残りに対して低減される）、高電力の広いバンド幅ループ160が必要である。ループ電力損および複雑度は、次の読取り期間の開始時に適正なバイアス・レベルにヘッドを迅速に設定することができるようにVBIASの値が書込みモード中に保存される場合に著しく低減することができる。

## 【 0 0 1 0 】

デジタルまたはアナログ方法はVBIASを保存することができる。デジタル手法（ストレージ・レジスタまたはアップ/ダウン・カウンタ、デジタル・アナログ変換（DAC）10、および比較器）は無制限のホールド時間を与える。アナログ手法は、少ない面積および電力を取るサンプル・アンド・ホールド回路を使用する。しかし、アナログ手法では、過大なVBIASドリフトなしに書込みモードにおいて200マイクロ秒程度のホールド時間を与えるように注意しなければならない。本発明は、たとえば、厳しい面積および電力制約に合わせながら、アナログサンプル・アンド・ホールド回路を200マイクロ秒程度の値に拡張する。

## 【 0 0 1 1 】

図2は書込みモードにある間に定常状態読取りモードVBIAS電圧を保持するための従来のサンプル・アンド・ホールド回路200を示す。サンプル・アンド・ホールド回路200は一般に金属酸化物半導体（MOS）スイッチを使用して構築される。図2に示すように、コンデンサC0はGMセル110およびスイッチS0において生成された電気雑音をフィルタリングする。スイッチS1は、ヘッド・セルに送られるバイアス電圧に過大な雑音を追加しないように閉じられたときに低い抵抗を有しなければならない。スイッチS1は一般に、電源切断（開）時に著しい漏れを有する短チャネルMOSデバイスを使用して構築される。図2に示すように、抵抗RLEAK0およびRLEAK1によって表わされる切断状態における漏れは、スイッチS0およびS1が開のときにコンデンサC0上に保持される電圧を変化（ドループ）させる。ドループ速度は、コンデンサ電圧が所与の誤り帯内に留まる時間の長さを制限する。20

## 【 0 0 1 2 】

前置増幅器ヘッド・バイアス回路100が書込みモードにある間、スイッチSRM130はヘッド・セル・バイアス入力を接地に保つ。読取りモードの開始時、スイッチSRM130は開き、スイッチS0およびS1は閉じる。コンデンサC0上の電荷の一部は、スイッチS1が閉じているときにヘッド・セル・バイアス線容量に再分配する。ループはここでコンデンサC0の両端間の電圧を定常状態レベルに復元しなければならない。30

## 【 0 0 1 3 】

したがって、図2のサンプル・アンド・ホールド回路200は、RLEAK0およびRLEAK1によって表される漏れ経路のために十分なホールド時間を与えない。本発明の一態様によれば、図1の前置増幅器ヘッド・バイアス回路100は、ホールド・スイッチ漏れ電流を低減するためにサンプル・アンド・ホールド・ノードを駆動し、それによって200マイクロ秒程度のホールド時間を与えるように改変される。したがって、改変された前置増幅器ヘッド・バイアス電流を組み込んだディスク・ドライブは最高200マイクロ秒間書込みモードを維持することができる。このようにして、本発明による前置増幅器ヘッド・バイアス回路は、(i)より低い電力損、(ii)より迅速な書込み読取り間モード遷移、および(iii)より長いホールド・モード（200マイクロ秒程度）を同時に与える。40

## 【 0 0 1 4 】

図3は本発明による低漏れを有するサンプル・アンド・ホールド回路300を示す。サンプル・アンド・ホールド回路300はスイッチ・オフ漏れおよびヘッド・セル・バイアス線容量の効果を低減する。図3に示すように、図2からのサンプル・アンド・ホールドスイッチS0およびS1の各々は、それぞれ直列の2つのスイッチS0およびS1、およ50

びS 2およびS 3によって置き換えられている。読取りモードにおいて、スイッチS 0、S 1、S 1およびS 3は閉じられ、スイッチS R M、S 4、およびS 5は開いている。フィードバック・ループはコンデンサC 0を意図された値に充電する。

#### 【0015】

書込みモードにおいて、スイッチS 0～S 3は開き、スイッチS 4、S 5、およびS R Mは閉じられる。本発明によれば、増幅器A 1はコンデンサC 0を追跡するためにノードN 1およびN 2を駆動する。このようにして、R L E A K 1およびR L E A K 2の両端間の電圧は（ボルトではなくミリボルト程度の）増幅器A 1のオフセット電圧に低減される。したがって、スイッチS 1およびS 2が開かれるとき、抵抗R L E A K 1およびR L E A K 2の両端間には小さい電圧降下しかなく、抵抗を通る電流は極めて少ない（それによって漏れを著しく低減する）。増幅器A 1は、たとえば、増幅器A 1の小さい入力電流が回路動作にほとんど影響を及ぼさないようにM O S増幅器として実現することができる。新しいトポロジは、最短チャネル長のスイッチが、バイアス・レベルを保持しているときに過大な信号ドループなしにヘッド・バイアス信号に加えられる雑音を最小にすることを可能にする。

#### 【0016】

適切なスイッチ順序付けはコンデンサC 0とヘッド・セル容量の間で分ける始動電荷をなくすることができる。たとえば、読取りモードの開始時、スイッチS 3を閉じる前に、まずスイッチS R Mを開くことができる。次いで増幅器A 1は、コンデンサC 0が電荷を失うことなくコンデンサC 0上の電圧に等しくなるようにヘッド・セル容量を充電する。その後、スイッチS 4およびS 5は開かれ、スイッチS 0～S 2は閉じてヘッド・バイアス・フィードバック・ループを完成する。

#### 【0017】

図4は本発明による低漏れを有する代替サンプル・アンド・ホールド回路400を示す。図4のサンプル・アンド・ホールド回路400は前置増幅器用途の簡略形であり、スイッチS 0が取り外されている。図4のサンプル・アンド・ホールド回路400は、図1のGMセル110が高インピーダンスの電流源出力を有することを認識する。ホールド・モードにあるとき、増幅器A 1はホールド・モードから閉ループ・モードに変わるときの遷移を最小にするためにGMセル110の出力を閉ループの近くに維持する。増幅器A 1は抵抗R L E A K 1およびR L E A K 2を通る漏れを制御し、抵抗R L E A K 3を通るドリフトが最小になるような電流を供給する。

#### 【0018】

サンプル・アンド・ホールド回路300、400のスイッチの漏れは、M O Sデバイスのドレイン・ソース間経路の漏れ効果に起因する抵抗R L E A K 0～R L E A K 3によって図3および図4において表されることに留意されたい。しかし、そのようなドレイン・ソース間漏れ効果に加えて、M O Sデバイスにおける寄生ダイオードによる漏れ効果もある。たとえば、図3および図4のサンプル・アンド・ホールド回路300、400では、寄生ダイオード漏れ効果がある。

#### 【0019】

図5は本発明のサンプル・アンド・ホールド回路300、400で使用するのに適した例示的なCM O Sスイッチ500の概略図である。図5に示すように、スイッチ・オフ抵抗に加えて、トランジスタもD 0 - D 3として示された寄生ドレインおよびソース・ダイオードを有する。N T U Bは入力信号よりも正である電圧に結ばれ（一般にV C C、V D Dに結ばれ）、したがってダイオードD 0およびD 1は信号I NおよびO U Tを電源に向かって上に引く傾向がある。P T U Bは、入力信号よりも負である電圧に結ばれ（一般に接地に結ばれ）、したがってダイオードD 2およびD 3は信号I NおよびO U Tを接地に向かって引く傾向がある。ダイオード漏れ電流の正味効果は、温度およびプロセスによる漏れの変動のために予測することが困難である。

#### 【0020】

したがって、本発明の別の態様によれば、M O Sデバイスにおけるドレイン・ソース間

10

20

30

40

50

経路と寄生ダイオードの両方の漏れ効果を低減するサンプル・アンド・ホールド回路 600 が提供される。図 6 は本発明による低漏れを有する代替サンプル・アンド・ホールド回路 600 を示す。図 5 に示す NTUB および PTUB は概して、前置増幅器に使用される三重ウェル・プロセスにおける基板から接合絶縁される。

【0021】

図 6 のサンプル・アンド・ホールド回路 600 は、有利には、分離されたタブを使用してホールド・モードにおける漏れ電流を低減することができることを認識する。図 6 に示すように、サンプル・アンド・ホールド回路 600 は、MOS スイッチ S1 ~ S3 が増幅器 A1 の出力に接続されるか、標準電圧 (VPOS および VNEG) に接続されるかどうかを制御するための 4 つのスイッチ 611 ~ 614 を含む。4 つのスイッチ 611 ~ 614 はそれぞれ図 5 に示される CMOS スイッチ 500 として実施することができる。

10

【0022】

サンプル・モードにおいて、4 つのスイッチ 611 ~ 614 は、寄生ダイオード D0 ~ D3 が入力 / 出力信号範囲に対して逆バイアスされることを保証するために、標準電圧 (VPOS および VNEG) を選択し、それによってタブを標準電圧に接続するように構成される。ホールド・モードにおいて、4 つのスイッチ 611 ~ 614 は、スイッチ・トランジスタ・タブおよびノード N1 および N2 を駆動する増幅器 A1 のアウトを選択するように構成される。したがって、ホールド・モードにおいて、S1 および S2 およびそれらの寄生ダイオードの両端間の電圧はすべて増幅器 A1 のオフセット電圧に低減される。サンプル・モードにおいて、スイッチ S1 ~ S3 は閉じられ、スイッチ S4 および S5 は開

20

【0023】

スイッチ S0 は、サンプル・アンド・ホールド回路 600 が図 3 および図 4 について上述した様式で、GM セル 110 よりも低いインピーダンス源から駆動されたときに図 6 のサンプル・アンド・ホールド回路 600 の代替実装形態に含めることができる。サンプル・アンド・ホールド回路 600 のそのような代替実装形態において、スイッチ S0 のタブはスイッチ S3 と同様の様式で、直接 VNEG および VPOS に接続される。

【0024】

本明細書で図示および説明した実施形態および変更形態は本発明の原理を例示するものにすぎず、本発明の範囲および趣旨から逸脱することなく当分野の技術者が様々な改変を実装することができることを理解されたい。

30

【図面の簡単な説明】

【0025】

【図 1】従来の前置増幅器ヘッド・バイアス回路の概略図である。

【図 2】図 1 の前置増幅器で 사용할 ことができる従来のサンプル・アンド・ホールド回路の概略図である。

【図 3】本発明による低漏れを有するサンプル・アンド・ホールド回路を示す図である。

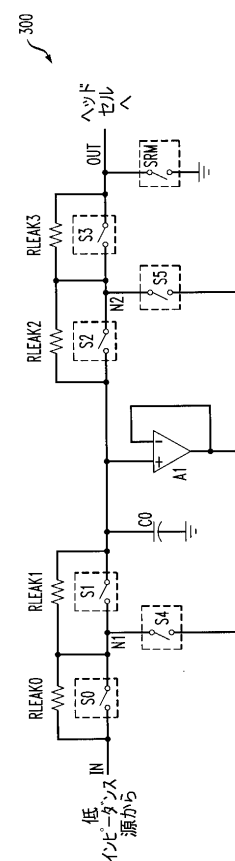
【図 4】本発明による低漏れを有する代替サンプル・アンド・ホールド回路を示す図である。

【図 5】本発明のサンプル・アンド・ホールド回路で使用するのに適した例示的な CMOS スイッチの概略図である。

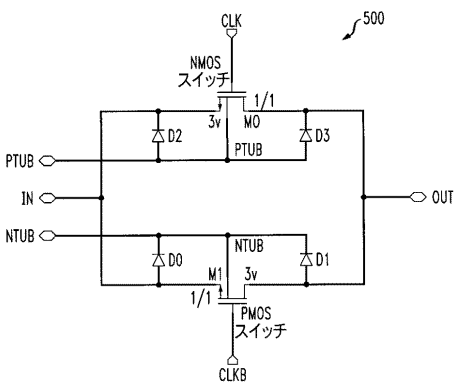
40

【図 6】本発明による低漏れを有する代替サンプル・アンド・ホールド回路を示す図である。

【图 3】

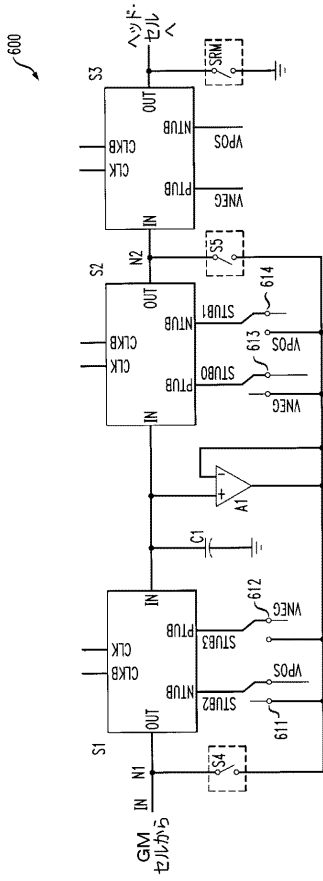


【圖 5】





【図 6】



## フロントページの続き

- (74)代理人 100096943  
弁理士 臼井 伸一
- (74)代理人 100101498  
弁理士 越智 隆夫
- (74)代理人 100096688  
弁理士 本宮 照久
- (74)代理人 100104352  
弁理士 朝日 伸光
- (74)代理人 100128657  
弁理士 三山 勝巳
- (72)発明者 ジョナサン エッチ・フィッチャー  
アメリカ合衆国 80503 コロラド, ロングモント, ナインス アヴェニュー 2424
- (72)発明者 マイケル ビー・ストラウブ  
アメリカ合衆国 80501 コロラド, ロングモント, サウス コフマン 1244 - ナンバー  
シー

審査官 羽鳥 友哉

- (56)参考文献 特開2001-273786(JP, A)  
特開平07-220207(JP, A)  
米国特許第05612698(US, A)  
特開平11-026694(JP, A)  
特開平09-312530(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11B 5/02  
G11B 5/09  
G11B 5/39  
H03K 17/00 - 17/70  
H03M 1/00 - 1/88