

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4794156号
(P4794156)

(45) 発行日 平成23年10月19日(2011.10.19)

(24) 登録日 平成23年8月5日(2011.8.5)

(51) Int.Cl.	F 1
G 11 B 5/02	(2006.01)
H 03 K 17/00	(2006.01)
H 03 K 17/687	(2006.01)
H 03 M 1/12	(2006.01)
	G 11 B 5/02
	H 03 K 17/00
	H 03 K 17/687
	H 03 M 1/12

請求項の数 10 (全 10 頁)

(21) 出願番号	特願2004-333816 (P2004-333816)
(22) 出願日	平成16年11月18日 (2004.11.18)
(65) 公開番号	特開2005-158246 (P2005-158246A)
(43) 公開日	平成17年6月16日 (2005.6.16)
審査請求日	平成18年11月1日 (2006.11.1)
(31) 優先権主張番号	10/719645
(32) 優先日	平成15年11月21日 (2003.11.21)
(33) 優先権主張国	米国(US)

(73) 特許権者	500587067 アギア システムズ インコーポレーテッド アメリカ合衆国、18109 ペンシルヴァニア、アレンタウン、アメリカン・パークウェイ エヌイー 11110
(74) 代理人	100094112 弁理士 岡部 譲
(74) 代理人	100064447 弁理士 岡部 正夫
(74) 代理人	100085176 弁理士 加藤 伸晃
(74) 代理人	100106703 弁理士 産形 和央

最終頁に続く

(54) 【発明の名称】長いホールド時間のサンプル・アンド・ホールド回路

(57) 【特許請求の範囲】

【請求項 1】

入力および出力を有するサンプル・アンド・ホールド回路であって、前記入力と前記出力の間のノードに接続された、電荷を維持するための少なくとも1つの容量性要素と、前記少なくとも1つの容量性要素を前記入力に選択的に接続するための少なくとも1つの入力スイッチと、前記少なくとも1つの容量性要素を前記出力に選択的に接続するための少なくとも1つの出力スイッチと、

前記ノードに接続された増幅器とを含み、前記増幅器はオフセット電圧を有し、前記入力および出力スイッチの少なくとも1つの両端間の電圧降下が前記オフセット電圧に実質的に制限されており、サンプル・モードにおいて、前記少なくとも1つの入力スイッチのN M O Sスイッチの寄生ドレイン及びソースダイオード(D 0、D 1)が前記少なくとも1つの入力スイッチのN M O Sスイッチの入力信号よりも低い電圧に結合され、ホールド・モードにおいて、前記少なくとも1つの入力スイッチのN M O Sスイッチの寄生ドレイン及びソースダイオードが前記増幅器の出力に結合され、サンプル・モードにおいて、前記少なくとも1つの入力スイッチのP M O Sスイッチの寄生ドレイン及びソースダイオード(D 2、D 3)が前記少なくとも1つの入力スイッチのP M O Sスイッチの入力信号よりも高い電圧に結合され、ホールド・モードにおいて、前記少なくとも1つの入力スイッチのP M O Sスイッチの寄生ドレイン及びソースダイオードが前記増幅器の出力に結合さ

10

前記ノードに接続された増幅器とを含み、前記増幅器はオフセット電圧を有し、前記入力および出力スイッチの少なくとも1つの両端間の電圧降下が前記オフセット電圧に実質的に制限されており、サンプル・モードにおいて、前記少なくとも1つの入力スイッチのN M O Sスイッチの寄生ドレイン及びソースダイオード(D 0、D 1)が前記少なくとも1つの入力スイッチのN M O Sスイッチの入力信号よりも低い電圧に結合され、ホールド・モードにおいて、前記少なくとも1つの入力スイッチのN M O Sスイッチの寄生ドレイン及びソースダイオードが前記増幅器の出力に結合され、サンプル・モードにおいて、前記少なくとも1つの入力スイッチのP M O Sスイッチの寄生ドレイン及びソースダイオード(D 2、D 3)が前記少なくとも1つの入力スイッチのP M O Sスイッチの入力信号よりも高い電圧に結合され、ホールド・モードにおいて、前記少なくとも1つの入力スイッチのP M O Sスイッチの寄生ドレイン及びソースダイオードが前記増幅器の出力に結合さ

20

れる、サンプル・アンド・ホールド回路。

【請求項 2】

前記サンプル・アンド・ホールド回路がストレージ・システムにおけるヘッド・バイアス回路用の前置増幅器の一部である請求項 1 に記載のサンプル・アンド・ホールド回路。

【請求項 3】

前記入力および出力スイッチの少なくとも 1 つが前記入力または出力スイッチと並列な抵抗によって表される漏れ効果を有し、前記抵抗の両端間の電圧降下が前記オフセット電圧に制限される請求項 1 に記載のサンプル・アンド・ホールド回路。

【請求項 4】

前記入力および出力スイッチの少なくとも 1 つに関連付けられた 2 つのスイッチをさらに備え、前記少なくとも 2 つのスイッチが、前記入力および出力スイッチの少なくとも 1 つにおける寄生ダイオードによる漏れ効果を低減するために前記入力および出力スイッチの前記少なくとも 1 つを前記ホールド・モードにおける前記増幅器の出力または前記サンプル・モードにおける標準電圧に選択的に接続する請求項 1 に記載のサンプル・アンド・ホールド回路。10

【請求項 5】

前記入力および出力スイッチの少なくとも 1 つの両端間の前記制限された電圧降下が前記サンプル・アンド・ホールド回路の漏れを低減する請求項 1 に記載のサンプル・アンド・ホールド回路。

【請求項 6】

電荷を維持するための少なくとも 1 つの容量性要素を有するサンプル・アンド・ホールド回路における漏れを低減するための方法であって、

前記少なくとも 1 つの容量性要素を前記入力に選択的に接続するように少なくとも 1 つの入力スイッチを構成するステップと、

前記少なくとも 1 つの容量性要素を前記出力に選択的に接続するように少なくとも 1 つの出力スイッチを構成するステップと、

前記入力および出力スイッチの少なくとも 1 つの両端間の電圧降下を前記少なくとも 1 つの容量性要素に接続された増幅器のオフセット電圧に実質的に制限するステップと、

サンプル・モードにおいて、前記少なくとも 1 つの入力スイッチの N MOS スイッチの寄生ドレイン及びソースダイオードを前記少なくとも 1 つの入力スイッチの N MOS スイッチの入力信号よりも低い電圧に結合し、ホールド・モードにおいて、前記少なくとも 1 つの入力スイッチの N MOS スイッチの寄生ドレイン及びソースダイオードを前記増幅器の出力に結合することで、前記少なくとも 1 つの入力スイッチの N MOS スイッチの寄生ドレイン及びソースダイオードの漏れ電流を実質的に制限し、そして、サンプル・モードにおいて、前記少なくとも 1 つの入力スイッチの P MOS スイッチの寄生ドレイン及びソースダイオードを前記少なくとも 1 つの入力スイッチの P MOS スイッチの入力信号よりも高い電圧に結合し、ホールド・モードにおいて、前記少なくとも 1 つの入力スイッチの P MOS スイッチの寄生ドレイン及びソースダイオードを前記増幅器の出力に結合することで、前記少なくとも 1 つの入力スイッチの P MOS スイッチの寄生ドレイン及びソースダイオードの漏れ電流を実質的に制限するステップとを含む方法。30

【請求項 7】

前記入力および出力スイッチの少なくとも 1 つに関連付けられた少なくとも 2 つのスイッチを構成するステップをさらに含み、前記少なくとも 2 つのスイッチが、前記入力および出力スイッチの少なくとも 1 つにおける寄生ダイオードによる漏れ効果を低減するために前記入力および出力スイッチの前記少なくとも 1 つを前記ホールド・モードにおける前記増幅器の出力または前記サンプル・モードにおける標準電圧に選択的に接続する請求項 6 に記載の方法。40

【請求項 8】

磁気抵抗読み取りヘッドと、

入力および出力を有するサンプル・アンド・ホールド回路とを備えるディスク・ドライ

50

ブであって、前記サンプル・アンド・ホールド回路が、

(i) 入力と出力の間のノードに接続された、電荷を維持するための少なくとも 1 つの容量性要素と、

(i i) 前記少なくとも 1 つの容量性要素を前記入力に選択的に接続するための少なくとも 1 つの入力スイッチと、

(i i i) 前記少なくとも 1 つの容量性要素を前記出力に選択的に接続するための少なくとも 1 つの出力スイッチと、

(i v) 前記ノードに接続された増幅器であって、オフセット電圧を有し、前記入力および出力スイッチの少なくとも 1 つの両端間の電圧降下が前記オフセット電圧を制限する増幅器とを含み、サンプル・モードにおいて、前記少なくとも 1 つの入力スイッチの N M O S スイッチの寄生ドレイン及びソースダイオード (D 0 、 D 1) が前記少なくとも 1 つの入力スイッチの N M O S スイッチの入力信号よりも低い電圧に結合され、ホールド・モードにおいて、前記少なくとも 1 つの入力スイッチの N M O S スイッチの寄生ドレイン及びソースダイオードが前記増幅器の出力に結合され、サンプル・モードにおいて、前記少なくとも 1 つの入力スイッチの P M O S スイッチの寄生ドレイン及びソースダイオード (D 2 、 D 3) が前記少なくとも 1 つの入力スイッチの P M O S スイッチの入力信号よりも高い電圧に結合され、ホールド・モードにおいて、前記少なくとも 1 つの入力スイッチの P M O S スイッチの寄生ドレイン及びソースダイオードが前記増幅器の出力に結合される、ディスク・ドライブ。

【請求項 9】

10

前記サンプル・アンド・ホールド回路がストレージ・システムにおけるヘッド・バイアス回路用の前置増幅器の一部である請求項 8 に記載のディスク・ドライブ。

【請求項 10】

前記入力および出力スイッチの少なくとも 1 つが、前記入力または出力スイッチと並列な抵抗によって表されている漏れ効果を有し、前記抵抗の両端間の電圧降下が前記オフセット電圧に制限される請求項 8 に記載のディスク・ドライブ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般にサンプル・アンド・ホールド回路に関し、より詳細には、より長いホールド時間を与えるサンプル・アンド・ホールド回路に関する。

30

【背景技術】

【0002】

ディスク・ドライブは一般に高いデータ密度をサポートするために磁気抵抗読み取りヘッドを使用する。これらの磁気抵抗ヘッドは動作するために（一般に前置増幅器によって与えられる） D C バイアスを必要とする。しかし、モバイル用途において、電力消費は重要な問題である。したがって、モバイル用途に対するディスク・ドライブの電力消費を低減するためのいくつかの技法が提案または示唆されている。また、センサの寿命を延ばすために磁気抵抗ヘッドのバイアスを時間経過とともに変化させる。たとえば、短い書き込み読み取り間遷移時間を維持しながらディスクヘデータを書き込むときに読み取りヘッドのバイアス制御回路の電源を切ることを可能にするためのサンプル・アンド・ホールド回路が提案されている。

40

【発明の開示】

【発明が解決しようとする課題】

【0003】

サンプル・アンド・ホールド回路の 1 つの提案された実装において、ディスク・ドライブの電力消費は効果的に低減されたが、最大ホールド時間はスイッチ漏れ経路のために 30 マイクロ秒程度に過ぎなかった。しかし、いくつかの用途に対して、より長いホールド時間が必要なことがある。したがって、より長いホールド時間を持つサンプル・アンド・ホールド技術を有するディスク・ドライブが必要である。改善された読み込み間およ

50

び書き込み読み取り間モード遷移を与えるサンプル・アンド・ホールド技術を使用したディスク・ドライブがさらに必要である。

【課題を解決するための手段】

【0004】

概して、より長いホールド時間を与えるサンプル・アンド・ホールド回路が開示される。開示されるサンプル・アンド・ホールド回路は改善された書き込み読み取り間モード遷移を与えるためにディスク・ドライブで使用することができる。サンプル・アンド・ホールド回路は入力および出力を有し、電荷を維持するための少なくとも1つの容量性要素を含む。容量性要素は入力と出力の間のノードに接続される。サンプル・アンド・ホールド回路は、容量性要素を入力に選択的に接続するための少なくとも1つの入力スイッチおよび容量性要素を出力に選択的に接続するための少なくとも1つの出力スイッチを含む。さらに、増幅器が複数のノードに接続され、オフセット電圧を有する。このようにして、入力および出力スイッチの少なくとも1つの一方の両端間の電圧降下がオフセット電圧に制限される。

10

【0005】

プロセスの観点から、電荷を低減するための少なくとも1つの容量性要素を有するサンプル・アンド・ホールド回路における漏れを低減するための方法が提供される。本方法は、(i) 少なくとも1つの容量性要素を入力に選択的に接続するように少なくとも1つの入力スイッチを構成する工程と、(ii) 少なくとも1つの容量性要素を出力に選択的に接続するように少なくとも1つの出力スイッチを構成する工程と、(iii) 入力または出力スイッチの少なくとも1つの両端間の電圧降下を入力または出力ノードに接続された増幅器のオフセット電圧に制限する工程とを備える。

20

【0006】

開示されるサンプル・アンド・ホールド回路は、たとえば、ストレージ・システムにおけるヘッド・バイアス回路用の前置増幅器で使用することができる。さらなる改変形において、サンプル・アンド・ホールド回路は、入力および出力スイッチにおける寄生ダイオードによる漏れ効果を低減するために、入力および出力スイッチの少なくとも1つをホールド・モードにおける増幅器の出力か、または読み取りモードにおける標準電圧に選択的に接続する少なくとも2つのスイッチを含む。

30

【0007】

本発明のより完全な理解、ならびに本発明のさらなる特徴および利点は以下の詳細な記載および図面を参照することによって得られるであろう。

【発明を実施するための最良の形態】

【0008】

図1は従来の前置増幅器ヘッド・バイアス回路100の概略図である。前置増幅器ヘッド・バイアス回路100は、たとえば、読み取り用の磁気抵抗センサをバイアスするためにディスク・ドライブで使用することができる。図1に示すように、前置増幅器ヘッド・バイアス回路100はトランスコンダクタンス(GM)セル110、短い読み取りヘッド・バイアス(SMR)スイッチ130と並列なバイアス・コンデンサ120、およびヘッド・セル150を含む。ヘッド・セル150の出力は読み取りヘッド(図示せず)に与えられる。したがって、ヘッド・セル150の正および負出力は両方ともDCバイアスおよびデータ信号を搬送する。概して、トランスコンダクタンス・セル110は知られている様式で入力電圧を取り、出力電流を生成する。読み取りモードにおいて、フィードバック・ループ160はヘッドDC電圧をトランスコンダクタンス・セル110の正入力で設定されるSET_BIASレベルにするためにトランスコンダクタンス・セル110の負入力に接続される。バイアス・ループ140のバンド幅はデータ波形の歪みを防ぐためにデータ・スペクトルよりも低く設定される。読み取りヘッド寿命を最大にし、電力損を最小にするために、ヘッド・バイアスはディスクからデータを読んでいないときにスイッチSRM130によってオフにされる。内部バイアス・レベル(VBIAS)は次の読み取り期間の開始時に復元されなければならない。

40

50

【0009】

書き込み読み取り間仕様（空モバイル・ドライブに対して 125 ns 未満など）に合わせるために、VBIAS を各読み取り期間の開始時に再取得しなければならない場合（その場合、ループ帯域幅が読み取り期間の残りに対して低減される）、高電力の広いバンド幅ループ 160 が必要である。ループ電力損および複雑度は、次の読み取り期間の開始時に適正なバイアス・レベルにヘッドを迅速に設定することができるよう VBIAS の値が書き込みモード中に保存される場合に著しく低減することができる。

【0010】

デジタルまたはアナログ方法は VBIAS を保存することができる。デジタル手法（ストレージ・レジスタまたはアップ／ダウン・カウンタ、デジタル・アナログ変換（DAC）、および比較器）は無制限のホールド時間を与える。アナログ手法は、少ない面積および電力を取るサンプル・アンド・ホールド回路を使用する。しかし、アナログ手法では、過大な VBIAS ドリフトなしに書き込みモードにおいて 200 マイクロ秒程度のホールド時間を与えるように注意しなければならない。本発明は、たとえば、厳しい面積および電力制約に合わせながら、アナログサンプル・アンド・ホールド回路を 200 マイクロ秒程度の値に拡張する。

10

【0011】

図 2 は書き込みモードにある間に定常状態読み取りモード VBIAS 電圧を保持するための従来のサンプル・アンド・ホールド回路 200 を示す。サンプル・アンド・ホールド回路 200 は一般に金属酸化物半導体（MOS）スイッチを使用して構築される。図 2 に示すように、コンデンサ C0 は GM セル 110 およびスイッチ S0 において生成された電気雑音をフィルタリングする。スイッチ S1 は、ヘッド・セルに送られるバイアス電圧に過大な雑音を追加しないように閉じられたときに低い抵抗を有しなければならない。スイッチ S1 は一般に、電源切断（開）時に著しい漏れを有する短チャネル MOS デバイスを使用して構築される。図 2 に示すように、抵抗 RLEAK0 および RLEAK1 によって表わされる切断状態における漏れは、スイッチ S0 および S1 が開のときにコンデンサ C0 上に保持される電圧を変化（ドロップ）させる。ドロップ速度は、コンデンサ電圧が所与の誤り帶内に留まる時間の長さを制限する。

20

【0012】

前置増幅器ヘッド・バイアス回路 100 が書き込みモードにある間、スイッチ SRM130 はヘッド・セル・バイアス入力を接地に保つ。読み取りモードの開始時、スイッチ SRM130 は開き、スイッチ S0 および S1 は閉じる。コンデンサ C0 上の電荷の一部は、スイッチ S1 が閉じているときにヘッド・セル・バイアス線容量に再分配する。ループはここでコンデンサ C0 の両端間の電圧を定常状態レベルに復元しなければならない。

30

【0013】

したがって、図 2 のサンプル・アンド・ホールド回路 200 は、RLEAK0 および RLEAK1 によって表される漏れ経路のために十分なホールド時間を与えない。本発明の一態様によれば、図 1 の前置増幅器ヘッド・バイアス回路 100 は、ホールド・スイッチ漏れ電流を低減するためにサンプル・アンド・ホールド・ノードを駆動し、それによって 200 マイクロ秒程度のホールド時間を与えるように改変される。したがって、改変された前置増幅器ヘッド・バイアス電流を組み込んだディスク・ドライブは最高 200 マイクロ秒間書き込みモードを維持することができる。このようにして、本発明による前置増幅器ヘッド・バイアス回路は、(i) より低い電力損、(ii) より迅速な書き込み読み取り間モード遷移、および (iii) より長いホールド・モード（200 マイクロ秒程度）を同時に与える。

40

【0014】

図 3 は本発明による低漏れを有するサンプル・アンド・ホールド回路 300 を示す。サンプル・アンド・ホールド回路 300 はスイッチ・オフ漏れおよびヘッド・セル・バイアス線容量の効果を低減する。図 3 に示すように、図 2 からのサンプル・アンド・ホールドスイッチ S0 および S1 の各々は、それぞれ直列の 2 つのスイッチ S0 および S1、およ

50

び S 2 および S 3 によって置き換えられている。読み取りモードにおいて、スイッチ S 0 、 S 1 、 S 1 および S 3 は閉じられ、スイッチ S R M 、 S 4 、および S 5 は開いている。フィードバック・ループはコンデンサ C 0 を意図された値に充電する。

【 0 0 1 5 】

書き込みモードにおいて、スイッチ S 0 ~ S 3 は開き、スイッチ S 4 、 S 5 、および S R M は閉じられる。本発明によれば、増幅器 A 1 はコンデンサ C 0 を追跡するためにノード N 1 および N 2 を駆動する。このようにして、 R L E A K 1 および R L E A K 2 の両端間の電圧は（ボルトではなくミリボルト程度の）増幅器 A 1 のオフセット電圧に低減される。したがって、スイッチ S 1 および S 2 が開かれると、抵抗 R L E A K 1 および R L E A K 2 の両端間には小さい電圧降下しかなく、抵抗を通る電流は極めて少ない（それによって漏れを著しく低減する）。増幅器 A 1 は、たとえば、増幅器 A 1 の小さい入力電流が回路動作にほとんど影響を及ぼさないように M O S 増幅器として実現することができる。新しいトポロジは、最短チャネル長のスイッチが、バイアス・レベルを保持しているときに過大な信号ドロップなしにヘッド・バイアス信号に加えられる雑音を最小にすることを可能にする。10

【 0 0 1 6 】

適切なスイッチ順序付けはコンデンサ C 0 とヘッド・セル容量の間で分ける始動電荷をなくすことができる。たとえば、読み取りモードの開始時、スイッチ S 3 を閉じる前に、まずスイッチ S R M を開くことができる。次いで増幅器 A 1 は、コンデンサ C 0 が電荷を失うことなくコンデンサ C 0 上の電圧に等しくなるようにヘッド・セル容量を充電する。その後、スイッチ S 4 および S 5 は開かれ、スイッチ S 0 ~ S 2 は閉じてヘッド・バイアス・フィードバック・ループを完成する。20

【 0 0 1 7 】

図 4 は本発明による低漏れを有する代替サンプル・アンド・ホールド回路 4 0 0 を示す。図 4 のサンプル・アンド・ホールド回路 4 0 0 は前置増幅器用途の簡略形であり、スイッチ S 0 が取り外されている。図 4 のサンプル・アンド・ホールド回路 4 0 0 は、図 1 の G M セル 1 1 0 が高インピーダンスの電流源出力を有することを認識する。ホールド・モードにあるとき、増幅器 A 1 はホールド・モードから閉ループ・モードに変わるとの遷移を最小にするために G M セル 1 1 0 の出力を閉ループの近くに維持する。増幅器 A 1 は抵抗 R L E A K 1 および R L E A K 2 を通る漏れを制御し、抵抗 R L E A K 3 を通るドリフトが最小になるような電流を供給する。30

【 0 0 1 8 】

サンプル・アンド・ホールド回路 3 0 0 、 4 0 0 のスイッチの漏れは、 M O S デバイスのドレイン・ソース間経路の漏れ効果に起因する抵抗 R L E A K 0 ~ R L E A K 3 によって図 3 および図 4 において表されることに留意されたい。しかし、そのようなドレイン・ソース間漏れ効果に加えて、 M O S デバイスにおける寄生ダイオードによる漏れ効果もある。たとえば、図 3 および図 4 のサンプル・アンド・ホールド回路 3 0 0 、 4 0 0 では、寄生ダイオード漏れ効果がある。

【 0 0 1 9 】

図 5 は本発明のサンプル・アンド・ホールド回路 3 0 0 、 4 0 0 で使用するのに適した例示的な C M O S スイッチ 5 0 0 の概略図である。図 5 に示すように、スイッチ・オフ抵抗に加えて、トランジスタも D 0 - D 3 として示された寄生ドレインおよびソース・ダイオードを有する。 N T U B は入力信号よりも正である電圧に結ばれ（一般に V C C 、 V D D に結ばれ）、したがってダイオード D 0 および D 1 は信号 I N および O U T を電源に向って上に引く傾向がある。 P T U B は、入力信号よりも負である電圧に結ばれ（一般に接地に結ばれ）、したがってダイオード D 2 および D 3 は信号 I N および O U T を接地に向って引く傾向がある。ダイオード漏れ電流の正味効果は、温度およびプロセスによる漏れの変動のために予測することが困難である。40

【 0 0 2 0 】

したがって、本発明の別の態様によれば、 M O S デバイスにおけるドレイン・ソース間50

経路と寄生ダイオードの両方の漏れ効果を低減するサンプル・アンド・ホールド回路600が提供される。図6は本発明による低漏れを有する代替サンプル・アンド・ホールド回路600を示す。図5に示すNTUBおよびPTUBは概して、前置増幅器に使用される三重ウェル・プロセスにおける基板から接合絶縁される。

【0021】

図6のサンプル・アンド・ホールド回路600は、有利には、分離されたタブを使用してホールド・モードにおける漏れ電流を低減することができることを認識する。図6に示すように、サンプル・アンド・ホールド回路600は、MOSスイッチS1～S3が増幅器A1の出力に接続されるか、標準電圧(VPOSおよびVNEG)に接続されるかどうかを制御するための4つのスイッチ611～614を含む。4つのスイッチ611～614はそれぞれ図5に示されるCMOSスイッチ500として実施することができる。
10

【0022】

サンプル・モードにおいて、4つのスイッチ611～614は、寄生ダイオードD0～D3が入力／出力信号範囲に対して逆バイアスされることを保証するために、標準電圧(VPOSおよびVNEG)を選択し、それによってタブを標準電圧に接続するように構成される。ホールド・モードにおいて、4つのスイッチ611～614は、スイッチ・トランジスタ・タブおよびノードN1およびN2を駆動する増幅器A1のアウトを選択するよう構成される。したがって、ホールド・モードにおいて、S1およびS2およびそれらの寄生ダイオードの両端間の電圧はすべて増幅器A1のオフセット電圧に低減される。サンプル・モードにおいて、スイッチS1～S3は閉じられ、スイッチS4およびS5は開であり、スイッチ611～614はタブをVPOSおよびVNEGに接続する。
20

【0023】

スイッチS0は、サンプル・アンド・ホールド回路600が図3および図4について上述した様式で、GMセル110よりも低いインピーダンス源から駆動されたときに図6のサンプル・アンド・ホールド回路600の代替実装形態に含めることができる。サンプル・アンド・ホールド回路600のそのような代替実装形態において、スイッチS0のタブはスイッチS3と同様の様式で、直接VNEGおよびVPOSに接続される。

【0024】

本明細書で図示および説明した実施形態および変更形態は本発明の原理を例示するものにすぎず、本発明の範囲および趣旨から逸脱することなく当分野の技術者が様々な改変を実装できることを理解されたい。
30

【図面の簡単な説明】

【0025】

【図1】従来の前置増幅器ヘッド・バイアス回路の概略図である。
【図2】図1の前置増幅器で使用することができる従来のサンプル・アンド・ホールド回路の概略図である。

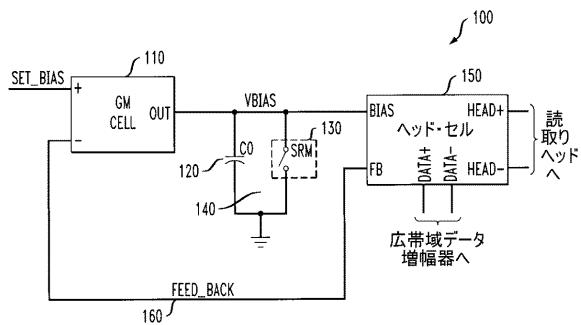
【図3】本発明による低漏れを有するサンプル・アンド・ホールド回路を示す図である。

【図4】本発明による低漏れを有する代替サンプル・アンド・ホールド回路を示す図である。

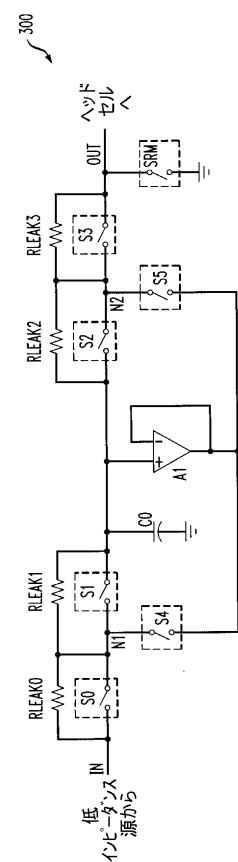
【図5】本発明のサンプル・アンド・ホールド回路で使用するのに適した例示的なCMOSスイッチの概略図である。
40

【図6】本発明による低漏れを有する代替サンプル・アンド・ホールド回路を示す図である。

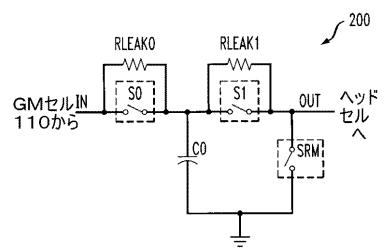
【図1】



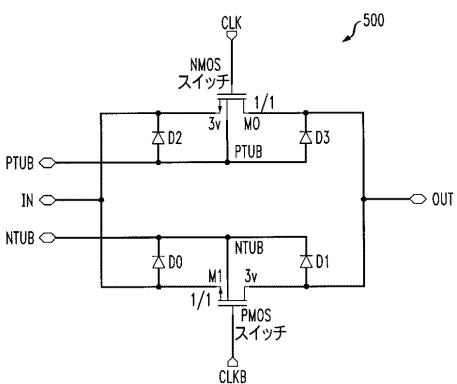
【図3】



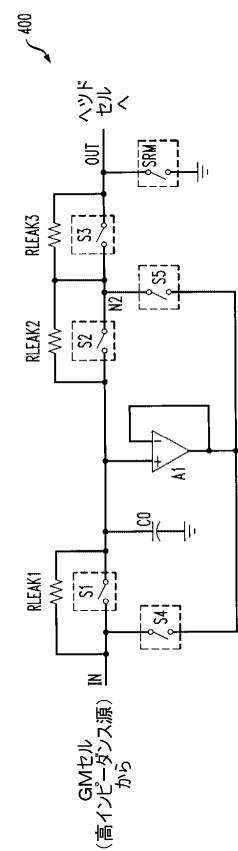
【図2】



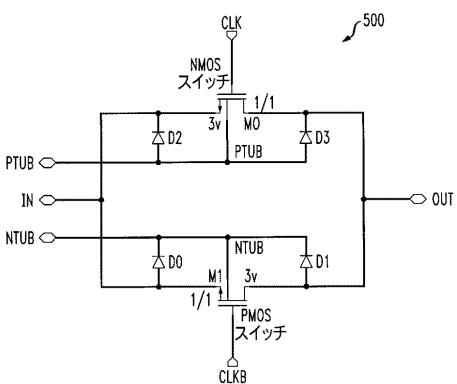
【図5】



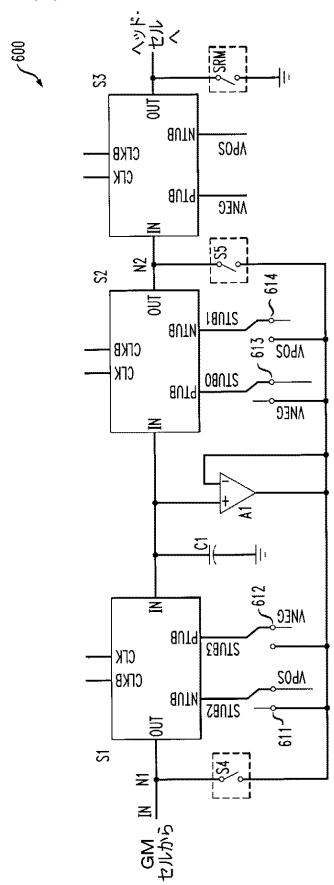
【図4】



【図5】



【図 6】



フロントページの続き

(74)代理人 100096943
弁理士 白井 伸一
(74)代理人 100101498
弁理士 越智 隆夫
(74)代理人 100096688
弁理士 本宮 照久
(74)代理人 100104352
弁理士 朝日 伸光
(74)代理人 100128657
弁理士 三山 勝巳
(72)発明者 ジョナサン エッチ・フィッチャー
アメリカ合衆国 80503 コロラド, ロングモント, ナインス アヴェニュー 2424
(72)発明者マイケル ピー・ストラウブ
アメリカ合衆国 80501 コロラド, ロングモント, サウス コフマン 1244-ナンバーシー

審査官 羽鳥 友哉

(56)参考文献 特開2001-273786 (JP, A)
特開平07-220207 (JP, A)
米国特許第05612698 (US, A)
特開平11-026694 (JP, A)
特開平09-312530 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 11 B 5 / 02
G 11 B 5 / 09
G 11 B 5 / 39
H 03 K 17 / 00 - 17 / 70
H 03 M 1 / 00 - 1 / 88