(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年12月20日(20.12.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/230197 A1

(51) 国際特許分類:
G06F 11/30 (2006.01)　*H02P 25/22* (2006.01)
B62D 5/04 (2006.01)　*H02P 29/024* (2016.01)
B62D 6/00 (2006.01)　*B60R 16/02* (2006.01)
G06F 11/07 (2006.01)　*B62D 101/00* (2006.01)
G06F 11/20 (2006.01)　*B62D 119/00* (2006.01)

(21) 国際出願番号：　PCT/JP2018/017867

(22) 国際出願日：　2018年5月9日(09.05.2018)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

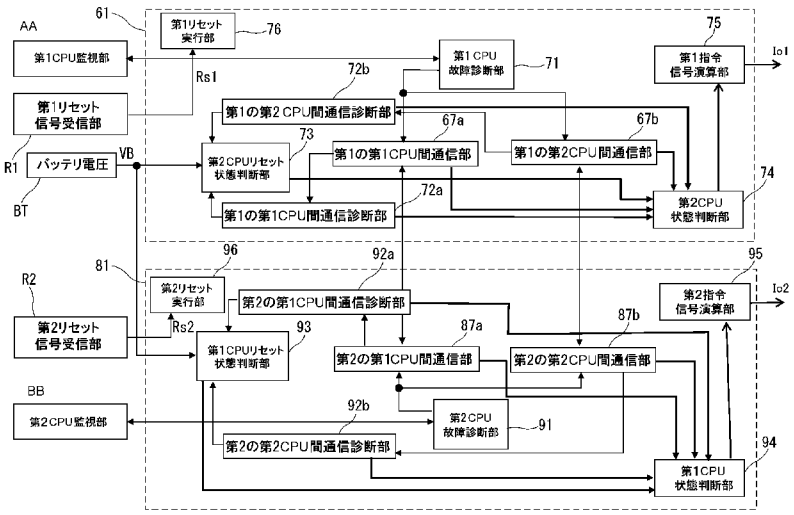
(30) 優先権データ：
特願 2017-116363　2017年6月14日(14.06.2017)　JP

(71) 出願人: 日立オートモティブシステムズ株式会社(**HITACHI AUTOMOTIVE SYSTEMS, LTD.**) [JP/JP]; 〒3128503 茨城県ひたちなか市高場２５２０番地 Ibaraki (JP).

(72) 発明者: 佐々木　光雄 (**SASAKI, Mitsuo**); 〒2438510 神奈川県厚木市恩名四丁目７番１号 日立オートモティブシステムズ株式会社内 Kanagawa (JP). 板橋 正樹(**ITABASHI, Masaki**); 〒2438510 神奈川県厚木市恩名四丁目７番１号 日立オートモティブシステムズ株式会社内 Kanagawa (JP). 菅沼 直志(**SUGANUMA, Tadashi**); 〒2438510 神奈川県厚木市恩名四丁目７番１号 日立オートモティブシステムズ株式会社内 Kanagawa (JP).

(54) **Title:** CONTROL DEVICE FOR VEHICLE-MOUNTED APPARATUS

(54) 発明の名称： 車両搭載機器の制御装置



67a First first-inter-CPU communication unit
67b First second-inter-CPU communication unit
71 First CPU failure diagnosis unit
72a First first-inter-CPU communication diagnosis unit
72b First second-inter-CPU communication diagnosis unit
73 Second CPU reset state determination unit
74 Second CPU state determination unit
75 First command signal calculation unit
76 First reset execution unit
87a Second first-inter-CPU communication unit
87b Second second-inter-CPU communication unit
91 Second CPU failure diagnosis unit
92a Second first-inter-CPU communication diagnosis unit
92b Second second-inter-CPU communication diagnosis unit
93 First CPU reset state determination unit
94 First CPU state determination unit
95 Second command signal calculation unit
96 Second reset execution unit
BT Battery voltage
R1 First reset signal reception unit
R2 Second reset signal reception unit
AA First CPU monitoring unit
BB Second CPU monitoring unit

(57) **Abstract:** This control device (5) includes a first CPU (61) and a second CPU (81) which have a first CPU state determination unit (94) and a second CPU state determination unit (74), respectively, for determining the state of the other CPU on the basis of state of inter-CPU communication and the battery voltage (VB), or a reset signal. Due to this configuration, it is possible to discriminate whether the other CPU for which inter-CPU communication is interrupted is in a reset state. Due to this configuration, it is possible for the other CPU to properly perform subsequent processing.

WO 2018/230197 A1

［続葉有］

(74) 代理人：小林 博通，外(KOBAYASHI, Hiromichi et al.)；〒1040044 東京都中央区明石町１番２９号 掖済会ビル ＳＨＩＧＡ内外国特許事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

(57) 要約：制御装置（５）の第１ＣＰＵ（６１）及び第２ＣＰＵ（８１）は、ＣＰＵ間通信の状態及びバッテリ電圧（ＶＢ）、又はリセット信号に基づいて一方のＣＰＵの状態を判断する第１ＣＰＵ状態判断部（９４）及び第２ＣＰＵ状態判断部（７４）を有する。これにより、ＣＰＵ間通信が遮断された相手側のＣＰＵがリセット状態にあるか否かを判別することができる。これにより、他方のＣＰＵにおける、その後の処理を適切に行うことができる。

明　細　書

発明の名称 ： 車両搭載機器の制御装置

技術分野

[0001] 本発明は、車両搭載機器の制御装置に関する。

背景技術

[0002] 従来の車両搭載機器の制御装置としては、以下の特許文献１に記載されたものが知られている。

[0003] すなわち、この制御装置では、第１ＣＰＵ及び第２ＣＰＵのリセットに際し、当該第１ＣＰＵと第２ＣＰＵを同時にリセットすることで、当該第１ＣＰＵ及び第２ＣＰＵの動作の安定性を確保している。

先行技術文献

特許文献

[0004] 特許文献1：特開平０６－０５６０４５号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、前記従来の車両搭載機器の制御装置のように、常に第１ＣＰＵ及び第２ＣＰＵを同時にリセットさせてしまうと、当該リセット中は制御を介入できない問題がある。

[0006] そこで、リセットの必要な一方のＣＰＵのみをリセットさせることとした場合、これによってＣＰＵ間通信が遮断されることになる。このため、リセット状態にない他方のＣＰＵからは、前記一方のＣＰＵの作動状態を適切に判断することができなくなる。

[0007] すなわち、ＣＰＵ間通信が遮断された前記一方のＣＰＵについて、リセット状態にあるのか、それともＣＰＵ自体やＣＰＵ間通信に異常が発生しているのか、判別することが困難であった。

[0008] 本発明は、前記従来の技術的課題に鑑みて案出されたもので、ＣＰＵ間通信が遮断されたＣＰＵがリセット状態にあるか否かを判別することができる

車両搭載機器の制御装置を提供するものである。

課題を解決するための手段

[0009] 本発明は、とりわけ、第１ＣＰＵ及び第２ＣＰＵに、ＣＰＵ間通信の状態及び供給電源の電圧値、又はリセット信号に基づいて一方のＣＰＵの状態を判断する第１ＣＰＵ状態判断部及び第２ＣＰＵ状態判断部が設けられている。

発明の効果

[0010] 本発明によれば、ＣＰＵ間通信が遮断されたＣＰＵがリセット状態にあるか否かを判別することができる。

図面の簡単な説明

[0011] [図1]本発明を適用する車両用パワーステアリング装置の斜視図である。

[図2]図１に示すパワーステアリング装置のアクチュエータのシステム構成図である。

[図3]本発明の第１実施形態を表した図２に示す制御装置のシステム構成図である。

[図4]図３に示す第１ＣＰＵ及び第２ＣＰＵの制御ブロック図である。

[図5]図４に示す第１ＣＰＵ状態判断部及び第２ＣＰＵ状態判断部の制御内容を示すフローチャートである。

[図6]図４に示す第１ＣＰＵ状態判断部及び第２ＣＰＵ状態判断部の制御内容を示すフローチャートである。

[図7]図４に示す第１ＣＰＵ状態判断部及び第２ＣＰＵ状態判断部の制御内容を示すフローチャートである。

[図8]図５～図７に示すＣＰＵ間通信の異常判断の制御内容を示すフローチャートである。

[図9]本発明の第１実施形態の変形例に係る車両搭載機器の制御装置のシステム構成図である。

[図10]図９に示す第１ＣＰＵ状態判断部及び第２ＣＰＵ状態判断部の制御ブロック図である。

[図11]本発明の第２実施形態に係る車両搭載機器の制御装置のシステム構成図である。

[図12]図１１に示す第１ＣＰＵ及び第２ＣＰＵの制御ブロック図である。

[図13]図１２に示す第１ＣＰＵ状態判断部及び第２ＣＰＵ状態判断部の制御内容を示すフローチャートである。

発明を実施するための形態

[0012] 以下、本発明に係る車両搭載機器の制御装置の実施形態を図面に基づいて説明する。なお、下記の実施形態では、この制御装置を、従来と同様、自動車の電動パワーステアリング装置に適用したものを示している。

[0013] （パワーステアリング装置の構成）

図１は、本発明を適用するパワーステアリング装置のシステム構成図を示している。なお、本図の説明では、操舵軸１の回転軸線Ｚに平行な方向を「軸方向」、操舵軸１の回転軸線Ｚに直交する方向を「径方向」、そして操舵軸１の回転軸線Ｚ周りの方向を「周方向」として説明する。また、「軸方向」については、図１中の上側を「一端側」、下側を「他端側」として説明する。

[0014] 図１に示すように、パワーステアリング装置は、運転者による操作に基づき操舵に供する操舵機構ＳＭと、運転者の操舵操作をアシストする操舵アシスト機構ＡＭと、を備える。

[0015] 操舵機構ＳＭは、図示外のステアリングホイールに連係される操舵軸１と、図示外の転舵輪に連係される転舵軸としてのラックバー２とを有し、操舵軸１とラックバー２とは、図示外の変換機構を介して連係されている。変換機構は、操舵軸１（後述する出力軸１２）に形成された図示外のピニオン歯と、ラックバー２に形成された図示外のラック歯とで構成される、いわゆるラック・ピニオン機構である。

[0016] 操舵軸１は、図示外のステアリングホイールと一体回転する入力軸１１と、ラックバー２に連係する出力軸１２とが図示外のトーションバーで連結されることにより構成される。入力軸１１は、軸方向一端側（図１の上端側）

が図示外のステアリングホイールに接続されると共に、他端側が図示外のトーションバーに接続されている。出力軸１２は、軸方向一端側（図１の上端側）が図示外のトーションバーに接続されると共に、他端側がラックバー２に連係されている。すなわち、出力軸１２の他端側外周には図示外のピニオン歯が形成されていて、このピニオン歯がラックバー２の外側部に形成された図示外のラック歯に噛合することで、出力軸１２の回転がラックバー２の軸方向運動に変換されて伝達される。

[0017] ラックバー２は、軸方向に沿って延びるほぼ円筒状のラックハウジング２０の内周側に収容されていて、軸方向の両端部がそれぞれタイロッド２１，２１及び図示外のナックルアームを介して図示外の転舵輪に連係されている。すなわち、ラックバー２が軸方向へ移動することによって、タイロッド２１，２１を介して図示外のナックルアームが押し引きされることで、図示外の転舵輪の向きが変更される。

[0018] 操舵アシスト機構ＡＭは、車両の運転状態に応じた操舵アシスト力を生成するいわゆる機電一体型のアクチュエータと、該アクチュエータが生成した操舵アシスト力を減速しつつラックバー２に伝達する伝達機構３と、を有する。

[0019] 前記アクチュエータは、操舵アシスト力の生成に供する電動モータ４と、車両の運転状態の検出に供する各種センサ（例えば舵角センサＡＳ及びトルクセンサＴＳ、車速センサなど）の検出結果等に基づき電動モータ４を駆動制御する制御装置５と、を有する。舵角センサＡＳ及びトルクセンサＴＳは、１つのユニットとして一体的に構成され、操舵軸１の外周側に配置される。舵角センサＡＳは、入力軸１１の回転に伴い回転する図示外の１対の歯車の回転角度差に基づき、図示外のステアリングホイールの中立位置からの回転量である操舵角を検出する。トルクセンサＴＳは、入力軸１１と出力軸１２との相対回転変位量に基づき、運転者によって操舵軸１に入力された操舵トルクを検出する。

[0020] 伝達機構３は、入力側プーリ３１と、出力側プーリ３２と、前記両プーリ

３１，３２間に巻き掛けられたベルト部材３３と、出力側プーリ３２の回転を減速しながらラックバー２の軸方向運動に変換するボールねじ３４と、を有する。入力側プーリ３１は、電動モータ４の出力軸４３に固定され、出力軸４３の回転軸線に相当する第２基準軸Ａ２を中心に、出力軸４３と一体に回転する。出力側プーリ３２は、ラックバー２の外周側に配置され、ボールねじ３４を介してラックバー２に連係され、ラックバー２の中心軸線に相当する第１基準軸Ａ１を中心に、後述するナット３４１と一体に回転する。ベルト部材３３は、内部にガラス繊維や鋼線等が芯材として埋設された無端状のＶベルトであって、入力側プーリ３１と出力側プーリ３２とを同期回転させることで、入力側プーリ３１の回転力を出力側プーリ３２に伝達している。

[0021] ボールねじ３４は、ラックバー２の外周側に配置された筒状のナット３４１と、該ナット３４１とラックバー２の間に形成されたボール循環溝３４２に転動可能に設けられた複数のボール３４３と、ボール循環溝３４２の両端を繋ぎボール３４３の循環に供する図示外のチューブと、を有する。ボール循環溝３４２は、ラックバー２の外周に設けられた螺旋状の軸側ボールねじ溝３４２ａと、ナット３４１の内周に設けられた螺旋状のナット側ボールねじ溝３４２ｂと、から構成される。

[0022] 電動モータ４は、いわゆる３相交流式の表面磁石型同期モータであり、モータハウジング４０の内周面に固定された筒状のステータ４１と、ステータ４１の内周側に所定の径方向隙間を介して配置される筒状のロータ４２と、ロータ４２の内周側に固定された出力軸４３と、を有する。モータハウジング４０は、ほぼ筒状を呈し、一端側がラックハウジング２０の軸方向中間部に延設された伝達機構収容部２０ａに接続され、他端側開口が後述する制御ハウジング５０により閉塞されている。出力軸４３の先端側（伝達機構３側）は、伝達機構収容部２０ａ内に臨み、入力側プーリ３１に接続されている。また、出力軸４３の基端側（制御装置５側）には、出力軸４３の回転角検出に供する図示外のモータ回転角センサが設けられている。すなわち、この

モータ回転角センサの検出結果を制御装置５にフィードバックすることによって、電動モータ４が制御装置５により駆動制御される。

[0023] 制御装置５は、電動モータ４の通電を制御するマイクロコンピュータ（後述の第１ＣＰＵ６１、第２ＣＰＵ８１）等の電子部品が搭載された制御基板５１が、角筒状の制御ハウジング５０の内部に収容されてなり、モータハウジング４０の他端側開口部に接続され固定される。制御装置５は、相互に連通する制御ハウジング５０とモータハウジング４０（伝達機構収容部２０ａ）の間で制御基板５１が電動モータ４や図示外のモータ回転角センサと結線されていて、モータ回転角センサの検出結果を基に操舵トルクや車両速度等に応じて電動モータ４を駆動制御する。制御ハウジング５０は、モータハウジング４０の他端部に被さる筒状のボディ５０ａと、該ボディ５０ａの他端側開口を閉塞するカバー５０ｂと、で構成される。

[0024] 〔第１実施形態〕

図２～図８は、本発明に係る車両搭載機器の制御装置の第１実施形態を示している。

[0025] （アクチュエータの構成）

図２は、図１に示すパワーステアリング装置の前記アクチュエータのシステム構成図を示している。図３は、本発明に係る車両搭載機器の制御装置の第１実施形態を示し、図２に示す制御装置５のシステム構成図を示している。

[0026] 図２に示すように、前記アクチュエータは、図２中にそれぞれ一点鎖線で囲まれた第１三相コイル６８を駆動制御する第１制御部６０と、第２三相コイル８８を駆動制御する第２制御部８０を有する二重系の冗長化システムによって構成されている。

[0027] 第１制御部６０は、第１電力供給部６３からの電力供給に基づいて種々の演算を行う第１ＣＰＵ６１と、この第１ＣＰＵ６１からの指令信号が入力される図示外のプリドライバによって駆動制御される第１インバータ回路６２と、を有する。他方、第２制御部８０は、第２電力供給部８３からの電力供

給に基づいて種々の演算を行う第２ＣＰＵ８１と、この第２ＣＰＵ８１からの指令信号が入力される図示外の第２プリドライバによって駆動制御される第２インバータ回路８２と、を有する。

[0028] 第１ＣＰＵ６１は、第１トルクセンサＴＳ１のメイン、サブセンサと電気的に接続され、該各センサから第１トルク信号Ｔｒ１（Ｍａｉｎ），Ｔｒ１（Ｓｕｂ）を受信する第１、第２の第１トルク信号受信部Ｔ１１，Ｔ１２を有する。また、第１ＣＰＵ６１は、第１モータ回転角センサＭＳ１のメイン、サブセンサと電気的に接続され、該各センサから第１モータ回転角信号θｍ１（Ｍａｉｎ），θｍ1（Ｓｕｂ）を受信する第１、第２の第１モータ回転角信号受信部Ｒ１１，Ｒ１２を有する。また、第１ＣＰＵ６１は、例えば車速信号など車両側から出力された各種信号を受信する車両信号受信部ＶＳを有する。

[0029] 第２ＣＰＵ８１は、第２トルクセンサＴＳ２のメイン、サブセンサと電気的に接続され、該各センサから第２トルク信号Ｔｒ２（Ｍａｉｎ），Ｔｒ２（Ｓｕｂ）を受信する第１、第２の第２トルク信号受信部Ｔ２１，Ｔ２２を有する。また、第２ＣＰＵ８１は、第２モータ回転角センサＭＳ２のメイン、サブセンサと電気的に接続され、該各センサから第２モータ回転角信号θｍ２（Ｍａｉｎ），θｍ2（Ｓｕｂ）を受信する第１、第２の第２モータ回転角信号受信部Ｒ２１，Ｒ２２を有する。

[0030] また、第１制御部６０及び第２制御部８０は、第１ＣＰＵ６１及び第２ＣＰＵ８１の作動状態を監視する第１ＣＰＵ監視部６４及び第２ＣＰＵ監視部８４を有する。第１ＣＰＵ監視部６４及び第２ＣＰＵ監視部８４は、それぞれ監視対象となる第１ＣＰＵ６１及び第２ＣＰＵ８１に異常が発生したと判断した場合に、第１インバータ回路６２及び第２インバータ回路８２への電力供給を遮断する機能を有する。すなわち、第１ＣＰＵ監視部６４は、車載のバッテリＢＴと第１インバータ回路６２の間に配置された第１フェールセーフリレー６５及び第１インバータ回路６２に遮断信号を出力することにより、第１インバータ回路６２に対する電力供給を遮断する。同様に、第２Ｃ

ＰＵ監視部８４は、バッテリＢＴと第２インバータ回路８２との間に配置された第２フェールセーフリレー８５及び第２インバータ回路８２に遮断信号を出力することにより、第２インバータ回路８２に対する電力供給を遮断する。

[0031] さらに、第１制御部６０及び第２制御部８０は、必要に応じて第１ＣＰＵ６１及び第２ＣＰＵ８１に第１リセット信号Ｒｓ１及び第２リセット信号Ｒｓ２を出力する第１リセット部６６及び第２リセット部８６を有する。第１リセット部６６及び第２リセット部８６は、例えば電源ＯＮ時や瞬時の停電（電圧降下）時など所定のタイミングにおける第１ＣＰＵ６１及び第２ＣＰＵ８１の初期化を司る。

[0032] また、第１ＣＰＵ６１及び第２ＣＰＵ８１は、それぞれ相手方のＣＰＵ６１，８１との間で信号の送受信であるＣＰＵ間通信を行う第１ＣＰＵ間通信部６７及び第２ＣＰＵ間通信部８７を有する。すなわち、第１ＣＰＵ間通信部６７及び第２ＣＰＵ間通信部８７を介して相互に通信を行うことで、第１ＣＰＵ６１及び第２ＣＰＵ８１の作動状態を相互に監視している。この際、第１ＣＰＵ間通信部６７と第２ＣＰＵ間通信部８７は、例えば第１ＣＰＵ間通信部６７ではシリアル通信、第２ＣＰＵ間通信部８７ではパラレル通信など、互いに異なる通信方式を採用する。

[0033] 第１インバータ回路６２及び第２インバータ回路８２は、ＭＯＳ－ＦＥＴに代表されるようなスイッチング素子によって構成され、対応する図示外のプリドライバからの指令信号に応じてバッテリＢＴから供給された直流電流を三相交流電流に変換し、第１三相コイル６８及び第２三相コイル８８へ供給する。なお、第１インバータ回路６２は、第１、第２の第１電流検出部Ｅ１１，Ｅ１２と電気的に接続され、該各検出部Ｅ１１，Ｅ１２により検出された第１インバータ回路６２の電流が第１ＣＰＵ６１にフィードバックされる。同様に、第２インバータ回路８２は、第１、第２の第２電流検出部Ｅ２１，Ｅ２２と電気的に接続され、該各検出部Ｅ２１，Ｅ２２により検出された第２インバータ回路８２の電流が第２ＣＰＵ８１にフィードバックされる

。

[0034] 電動モータ４は、三相交流電力に基づいて駆動される、いわゆる三相インダクションモータであって、ステータ４１（図１参照）の内周側に形成される図示外のティースに、第１ｕ相コイル６８ｕ、第１ｖ相コイル６８ｖ、第１ｗ相コイル６８ｗ、第２ｕ相コイル８８ｕ、第２ｖ相コイル８８ｖ、第２ｗ相コイル８８ｗが巻かれている。すなわち、ステータ４１は、第１ｕ，ｖ，ｗ相コイル６８ｕ，６８ｖ，６８ｗからなる第１三相コイル６８と、第２ｕ，ｖ，ｗ相コイル８８ｕ，８８ｖ，８８ｗからなる第２三相コイル８８と、を有する。そして、この２系統の三相コイル６８，８８によってロータ４２及び出力軸４３（図１参照）が駆動される。

[0035] 図４は、図３に示す第１ＣＰＵ６１及び第２ＣＰＵ８１の制御ブロック図を示している。

[0036] 図４に示すように、第１ＣＰＵ６１は、第１ＣＰＵ故障診断部７１と、第１ＣＰＵ間通信部６７と、第１ＣＰＵ間通信診断部７２と、第２ＣＰＵリセット状態判断部７３と、第２ＣＰＵ状態判断部７４と、第１指令信号演算部７５と、第１リセット実行部７６と、を有する。

[0037] 第１ＣＰＵ故障診断部７１は、第１ＣＰＵ６１の異常状態を検出し、その情報を第１ＣＰＵ監視部６４に出力する。第１ＣＰＵ監視部６４は、第１ＣＰＵ６１に異常が生じていると判断した場合、前述のように、第１フェールセーフリレー６５及び第１インバータ回路６２に遮断信号を出力し、バッテリＢＴからの電力供給を遮断する。また、第１ＣＰＵ故障診断部７１は、診断結果を第１ＣＰＵ間通信部６７（後述する第１の第１ＣＰＵ間通信部６７ａ及び第２の第１ＣＰＵ間通信部６７ｂ）に出力し、第１ＣＰＵ６１の異常を第２ＣＰＵ８１に伝達する。

[0038] 第１ＣＰＵ間通信部６７は、第１の第１ＣＰＵ間通信部６７ａと、第２の第１ＣＰＵ間通信部６７ｂと、からなる二重系によって構成されている。また、第１ＣＰＵ間通信部６７は、前記相互監視により第２ＣＰＵ８１がリセット状態から復帰したと第２ＣＰＵ状態判断部７４が判断したときは、第２

ＣＰＵ８１に対し、相互の制御タイミングを同期させるための同期信号を出力する。

[0039] 第１ＣＰＵ間通信診断部７２は、第１の第１ＣＰＵ間通信診断部７２ａと、第２の第１ＣＰＵ間通信診断部７２ｂとを有する。そして、第１の第１ＣＰＵ間通信診断部７２ａにより第１の第１ＣＰＵ間通信部６７ａを通じた第１のＣＰＵ間通信の正常・異常が判断され、第２の第１ＣＰＵ間通信診断部７２ｂにより第２の第１ＣＰＵ間通信部６７ｂを通じた第２のＣＰＵ間通信の正常・異常が判断される。

[0040] 第２ＣＰＵリセット状態判断部７３は、所定条件に基づいて第２ＣＰＵ８１がリセット状態にあると判断した場合に、その情報を第２ＣＰＵ状態判断部７４に出力する。具体的には、後述するように、第２ＣＰＵリセット状態判断部７３は、バッテリＢＴから供給される電圧ＶＢが所定値を下回る状態が検出され、かつ第１の第１ＣＰＵ間通信診断部７２ａ及び第２の第１ＣＰＵ間通信診断部７２ｂの通信停止状態が所定時間以上継続した場合に、第２ＣＰＵ８１がリセット状態にあると判断する。

[0041] 第２ＣＰＵ状態判断部７４は、第１の第１ＣＰＵ間通信診断部７２ａ及び第２の第１ＣＰＵ間通信診断部７２ｂの診断結果に基づいて第１ＣＰＵ６１の通信機能の状態を判断すると共に、第１の第１ＣＰＵ間通信部６７ａ及び第２の第１ＣＰＵ間通信部６７ｂを通じた第１のＣＰＵ間通信及び第２のＣＰＵ間通信の情報に基づいて第２ＣＰＵ８１の正常・異常を判断する。すなわち、この判断は、第１の第１ＣＰＵ間通信診断部７２ａ及び第２の第１ＣＰＵ間通信診断部７２ｂの診断結果が共に正常である場合に実行される。

[0042] 第２ＣＰＵ８１の正常・異常の具体的な判断基準としては、第１の第１ＣＰＵ間通信部６７ａ及び第２の第１ＣＰＵ間通信部６７ｂの各ＣＰＵ間通信（第１のＣＰＵ間通信及び第２のＣＰＵ間通信）が共に正常であると認識された場合は、第２ＣＰＵ８１が正常であると判断される。一方、第１の第１ＣＰＵ間通信部６７ａ及び第２の第１ＣＰＵ間通信部６７ｂの各ＣＰＵ間通信（第１のＣＰＵ間通信及び第２のＣＰＵ間通信）が共に異常であると認識

された場合は、第２ＣＰＵ８１が異常であると判断される。そして、第１の第１ＣＰＵ間通信部６７ａ及び第２の第１ＣＰＵ間通信部６７ｂのＣＰＵ間通信（第１のＣＰＵ間通信及び第２のＣＰＵ間通信）のうち、一方のＣＰＵ間通信が正常であり、他方のＣＰＵ間通信が異常である、と判断が食い違った場合は、他方のＣＰＵ間通信の異常であると判断される。なお、第２ＣＰＵ８１の正常・異常は、例えば所定の変数を第１の第１ＣＰＵ間通信部６７ａ及び第２の第１ＣＰＵ間通信部６７ｂから送信し、受信側で同じ値が送られてきたかどうかで判断することができる。

[0043] さらに、第２ＣＰＵ状態判断部７４では、第２ＣＰＵ８１のリセット状態や、第２ＣＰＵ８１の異常、並びに第１の第１ＣＰＵ間通信部６７ａ及び第２の第１ＣＰＵ間通信部６７ｂを通じた第１のＣＰＵ間通信及び第２のＣＰＵ間通信の状態に基づき、第１制御部６０において、電動モータ４の駆動制御を継続、遮断又は出力低減の状態へ移行させると共に、必要に応じて車両側に警告表示する。

[0044] 第１指令信号演算部７５は、第１、第２の第１トルク信号受信部Ｔ１１，Ｔ１２（図３参照）から取り込まれたトルク信号と、車両信号受信部ＶＳ（図３参照）から取り込まれた車速信号とを基に、所定のアシスト制御量Ｍａｐ（図示外）を参照して第１基本指令信号Ｉｂ１を算出する。また、第１指令信号演算部７５は、第２ＣＰＵ状態判断部７４がＣＰＵ間通信の異常と判断するとき、第１インバータ回路６２を制御する指令信号である第１制御指令信号Ｉｃ１を演算する。このように、第１指令信号演算部７５では、第１基本指令信号Ｉｂ１及び第１制御指令信号Ｉｃ１等からなる第１指令信号Ｉｏ１が演算され、該第１指令信号Ｉｏ１に基づき、第１インバータ回路６２を介して電動モータ４が駆動制御される。

[0045] また、第１指令信号演算部７５は、第２ＣＰＵ状態判断部７４が第２ＣＰＵ８１のリセット状態であると判断するとき、少なくとも第２ＣＰＵ８１が復帰するまで第２指令信号Ｉｏ２を演算する。すなわち、第２ＣＰＵ８１がリセット状態と判断されるとき、第２ＣＰＵ８１が再起動して復帰するまで

の間、第１ＣＰＵ６１のみでアシスト制御を継続させる。なお、第２ＣＰＵ８１が復帰した後は、第１ＣＰＵ６１及び第２ＣＰＵ８１の両方のＣＰＵによりアシスト制御を継続させてもよく、また、その他の制御に移行するようにしてもよい。

[0046] 第１リセット実行部７６は、第１ＣＰＵ６１の第１リセット信号受信部Ｒ１に入力された第１リセット信号Ｒｓ１に基づき、第１ＣＰＵ６１のリセットを実行する。なお、当該ＣＰＵリセット自体は、第１ＣＰＵ６１のハード機能に基づくものである。また、第１リセット実行部７６は、第２ＣＰＵ８１がリセット状態にあると第２ＣＰＵ状態判断部７４が判断するときは、該第２ＣＰＵ８１のリセットに伴い第１ＣＰＵ６１のリセットを実行する。

[0047] 以下、第２ＣＰＵ８１についても、第１ＣＰＵ６１と同様に構成されている。すなわち、第２ＣＰＵ８１は、第２ＣＰＵ故障診断部９１と、第２ＣＰＵ間通信部８７と、第２ＣＰＵ間通信診断部９２と、第１ＣＰＵリセット状態判断部９３と、第１ＣＰＵ状態判断部９４と、第２指令信号演算部９５と、第２リセット実行部９６と、を有する。

[0048] 第２ＣＰＵ故障診断部９１は、第２ＣＰＵ８１の異常状態を検出し、その情報を第２ＣＰＵ監視部８４に出力する。第２ＣＰＵ監視部８４は、第２ＣＰＵ８１に異常が生じていると判断した場合、前述のように、第２フェールセーフリレー８５及び第２インバータ回路８２に遮断信号を出力し、バッテリＢＴからの電力供給を遮断する。また、第２ＣＰＵ故障診断部９１は、診断結果を第２ＣＰＵ間通信部８７（後述する第１の第２ＣＰＵ間通信部８７ａ及び第２の第２ＣＰＵ間通信部８７ｂ）に出力し、第２ＣＰＵ８１の異常を第１ＣＰＵ６１に伝達する。

[0049] 第２ＣＰＵ間通信部８７は、第１の第２ＣＰＵ間通信部８７ａと、第２の第２ＣＰＵ間通信部８７ｂと、からなる二重系によって構成されている。また、第２ＣＰＵ間通信部８７は、前記相互監視により第１ＣＰＵ６１がリセット状態から復帰したと第１ＣＰＵ状態判断部９４が判断したときは、第１ＣＰＵ６１に対し、相互の制御タイミングを同期させるための同期信号を出

力する。

[0050] 第２ＣＰＵ間通信診断部９２は、第１の第２ＣＰＵ間通信診断部９２ａと、第２の第２ＣＰＵ間通信診断部９２ｂとを有する。そして、第１の第２ＣＰＵ間通信診断部９２ａにより第１の第２ＣＰＵ間通信部８７ａを通じた第１のＣＰＵ間通信の正常・異常が判断され、第２の第２ＣＰＵ間通信診断部９２ｂにより第２の第２ＣＰＵ間通信部８７ｂを通じた第２のＣＰＵ間通信の正常・異常が判断される。

[0051] 第１ＣＰＵリセット状態判断部９３は、所定条件に基づいて第１ＣＰＵ６１がリセット状態にあると判断した場合に、その情報を第１ＣＰＵ状態判断部９４に出力する。具体的には、後述するように、第１ＣＰＵリセット状態判断部９３は、バッテリＢＴから供給される電圧ＶＢが所定値を下回る状態が検出され、かつ第１の第２ＣＰＵ間通信診断部９２ａ及び第２の第２ＣＰＵ間通信診断部９２ｂの通信停止状態が所定時間以上継続した場合に、第１ＣＰＵ６１がリセット状態にあると判断する。

[0052] 第１ＣＰＵ状態判断部９４は、第１の第２ＣＰＵ間通信診断部９２ａ及び第２の第２ＣＰＵ間通信診断部９２ｂの診断結果に基づいて第２ＣＰＵ８１の通信機能の状態を判断すると共に、第１の第２ＣＰＵ間通信部８７ａ及び第２の第２ＣＰＵ間通信部８７ｂを通じた第１のＣＰＵ間通信及び第２のＣＰＵ間通信の情報に基づいて第１ＣＰＵ６１の正常・異常を判断する。すなわち、この判断は、第１の第２ＣＰＵ間通信診断部９２ａ及び第２の第２ＣＰＵ間通信診断部９２ｂの診断結果が共に正常である場合に実行される。

[0053] 第１ＣＰＵ６１の正常・異常の具体的な判断基準としては、第１の第２ＣＰＵ間通信部８７ａ及び第２の第２ＣＰＵ間通信部８７ｂの各ＣＰＵ間通信（第１のＣＰＵ間通信及び第２のＣＰＵ間通信）が共に正常であると認識された場合は、第１ＣＰＵ６１が正常であると判断される。一方、第１の第２ＣＰＵ間通信部８７ａ及び第２の第２ＣＰＵ間通信部８７ｂの各ＣＰＵ間通信（第１のＣＰＵ間通信及び第２のＣＰＵ間通信）が共に異常であると認識された場合は、第１ＣＰＵ６１が異常であると判断される。そして、第１の

第２ＣＰＵ間通信部８７ａ及び第２の第２ＣＰＵ間通信部８７ｂのＣＰＵ間通信（第１のＣＰＵ間通信及び第２のＣＰＵ間通信）のうち、一方のＣＰＵ間通信が正常であり、他方のＣＰＵ間通信が異常である、と判断が食い違った場合は、他方のＣＰＵ間通信が異常であると判断される。なお、第１ＣＰＵ６１の正常・異常は、例えば所定の変数を第１の第２ＣＰＵ間通信部８７ａ及び第２の第２ＣＰＵ間通信部８７ｂから送信し、受信側で同じ値が送られてきたかどうかで判断することができる。

[0054] さらに、第１ＣＰＵ状態判断部９４では、第１ＣＰＵ６１のリセット状態や、第１ＣＰＵ６１の異常、並びに第１の第２ＣＰＵ間通信部８７ａ及び第２の第２ＣＰＵ間通信部８７ｂを通じた第１のＣＰＵ間通信及び第２のＣＰＵ間通信の状態に基づき、第２制御部８０において、電動モータ４の駆動制御を継続、遮断又は出力低減の状態へ移行させると共に、必要に応じて車両側に警告表示する。

[0055] 第２指令信号演算部９５は、第１、第２の第２トルク信号受信部Ｔ２１，Ｔ２２（図３参照）から取り込まれたトルク信号と、車両信号受信部ＶＳ（図３参照）から取り込まれた車速信号とを基に、所定のアシスト制御量Ｍａｐ（図示外）を参照して第２基本指令信号Ｉｂ２を算出する。また、第２指令信号演算部９５は、第１ＣＰＵ状態判断部９４がＣＰＵ間通信の異常と判断するとき、第２インバータ回路８２を制御する指令信号である第２制御指令信号Ｉｃ２を演算する。このように、第２指令信号演算部９５では、第２基本指令信号Ｉｂ２及び第２制御指令信号Ｉｃ２等からなる第２指令信号Ｉｏ２が演算され、該第２指令信号Ｉｏ２に基づき、第２インバータ回路８２を介して電動モータ４が駆動制御される。

[0056] また、第２指令信号演算部９５は、第１ＣＰＵ状態判断部９４が第１ＣＰＵ６１のリセット状態であると判断するとき、少なくとも第１ＣＰＵ６１が復帰するまで第２指令信号Ｉｏ２を演算する。すなわち、第１ＣＰＵ６１がリセット状態と判断されるとき、第１ＣＰＵ６１が再起動して復帰するまでの間、第２ＣＰＵ８１のみでアシスト制御を継続させる。なお、第１ＣＰＵ

６１が復帰した後は、第１ＣＰＵ６１及び第２ＣＰＵ８１の両方のＣＰＵによりアシスト制御を継続させてもよく、また、その他の制御に移行するようにしてもよい。

[0057] 第２リセット実行部９６は、第２ＣＰＵ８１の第２リセット信号受信部Ｒ２に入力された第２リセット信号Ｒｓ２に基づき、第２ＣＰＵ８１のリセットを実行する。なお、当該ＣＰＵリセット自体は、第２ＣＰＵ８１のハード機能に基づくものである。また、第２リセット実行部９６は、第１ＣＰＵ６１がリセット状態にあると第１ＣＰＵ状態判断部９４が判断するときは、該第１ＣＰＵ６１のリセットに伴い第２ＣＰＵ８１のリセットを実行する。

[0058] 図５～図７は、第１ＣＰＵ状態判断部９４及び第２ＣＰＵ状態判断部７４の各制御内容を表した一連のフローチャートを示している。ここで、第１ＣＰＵ状態判断部９４及び第２ＣＰＵ状態判断部７４の両制御内容は共通するものである。このため、以下では、便宜上、第２ＣＰＵ状態判断部７４の制御内容のみを説明することとし、第１ＣＰＵ状態判断部９４の制御内容については、具体的な説明を省略する。

[0059] 図５に示すように、本制御フローでは、まず、バッテリ電圧ＶＢを読み込んだ後（ステップＳ１０１）、第１のＣＰＵ間通信の情報を取り込み（ステップＳ１０２）、さらに第２のＣＰＵ間通信の情報を取り込む（ステップＳ１０３）。

[0060] 次に、他方のＣＰＵ（本実施形態では第２ＣＰＵ８１）に係るリセットフラグＦｒ２がセットされているか否かを判断し（ステップＳ１０４）、Ｙｅｓと判断された場合には、ステップＳ１１５に移行する。

[0061] 一方、ステップＳ１０４においてＮｏと判断された場合には、続いて、第１のＣＰＵ間通信についての異常、すなわち第１のＣＰＵ間通信異常フラグＦｃ１がセットされているか否かを判断する（ステップＳ１０５）。なお、かかる第１のＣＰＵ間通信の異常判断の具体的な内容については、図８に示すサブフローチャートを用いて後に詳述する（以下、本制御フローにおいて同じ）。

[0062] ステップＳ１０５においてＮｏと判断された場合には、第２のＣＰＵ間通信の復帰処理を実行し（ステップＳ１１３）、その後リセット状態カウンタＣｒをインクリメントして（ステップＳ１１４）、本プログラムを終了する。なお、第２のＣＰＵ間通信の復帰処理とは、例えば所定のＲＡＭの初期化や通信周期のシンクロなどを行う（以下、本制御フローにおいて同じ）。

[0063] 一方、ステップＳ１０５においてＹｅｓと判断された場合は、続いて、第２のＣＰＵ間通信についての異常、すなわち第２のＣＰＵ間通信異常フラグＦｃ２がセットされているか否かを判断する（ステップＳ１０６）。なお、この第２のＣＰＵ間通信の異常判断については、前記第１のＣＰＵ間通信の異常判断と同様である（以下、本制御フローにおいて同じ）。

[0064] ステップＳ１０６においてＮｏと判断された場合には、第１のＣＰＵ間通信の復帰処理を実行し（ステップＳ１１１）、その後リセット状態カウンタＣｒをインクリメントして（ステップＳ１１２）、本プログラムを終了する。なお、第１のＣＰＵ間通信の復帰処理とは、第１のＣＰＵ間通信の復帰処理と同様に、例えば所定のＲＡＭの初期化や通信周期のシンクロなどを行う（以下、本制御フローにおいて同じ）。

[0065] 一方、ステップＳ１０６においてＹｅｓと判断された場合は、続いて、バッテリ電圧ＶＢが所定値Ｖｘを下回っているか否かを判断する（ステップＳ１０７）。ここで、Ｎｏと判断された場合は、リセット状態カウンタＣｒをインクリメントして（ステップＳ１１０）、本プログラムを終了する。なお、本実施形態では、所定値Ｖｘは、「５～６ボルト」に設定されている。

[0066] 一方、ステップＳ１０７においてＹｅｓと判断された場合は、リセット信号を出力、すなわちリセットフラグＦｒ２をセットし（ステップＳ１０８）、その後自身のＣＰＵ（本実施形態では第１ＣＰＵ６１）の状態を検知して（ステップＳ１０９）、本プログラムを終了する。このように、本実施形態においては、第１のＣＰＵ間通信とバッテリ電圧ＶＢの情報に基づき、第２ＣＰＵ８１のリセット状態を判断する。

[0067] 続いて、前記ステップＳ１０４においてＹｅｓと判断された場合は、図６

に示すように、バッテリ電圧ＶＢが所定値Ｖｘ以上であるか否かを判断し（ステップＳ１１５）、Ｎｏと判断された場合には、本プログラムを終了する。

[0068] 一方、ステップＳ１１５においてＹｅｓと判断された場合には、続いて、前記ステップＳ１０５と同様に、第１のＣＰＵ間通信異常フラグＦｃ１がセットされているか否かを判断する（ステップＳ１１６）。ここで、Ｎｏと判断された場合には、ステップＳ１３２に移行する。

[0069] 一方、ステップＳ１１６においてＹｅｓと判断された場合には、続いて、前記ステップＳ１０６と同様に、第２のＣＰＵ間通信異常フラグＦｃ２がセットされているか否かを判断する（ステップＳ１１７）。ここで、Ｎｏと判断された場合には、続いて、リセット状態カウンタＣｒが所定値Ｃｘ以上であるか否かを判断する（ステップＳ１２５）。なお、前記リセット状態カウンタＣｒは、いわゆるタイマーカウンタであり、本実施形態では、所定値Ｃｘは、「１秒」に設定されている。

[0070] ステップＳ１２５においてＮｏと判断された場合は、第１のＣＰＵ間通信の復帰処理を実行し（ステップＳ１３０）、その後リセット状態カウンタＣｒをインクリメントして（ステップＳ１３１）、本プログラムを終了する。

[0071] 一方、ステップＳ１２５においてＹｅｓと判断された場合は、続いて、バッテリ電圧ＶＢが所定値Ｖｘ以上であるか否かを判断し（ステップＳ１２６）、Ｎｏと判断された場合には、本プログラムを終了する。

[0072] ステップＳ１２６においてＹｅｓと判断された場合には、リセットフラグＦｒ２を解除した後（ステップＳ１４４）、第１のＣＰＵ間通信の異常判断が確定し（ステップＳ１２７）、前記アシスト制御を継続する。そして、当該第１のＣＰＵ間通信の異常について警告を出力すると共に（ステップＳ１２８）、当該異常の内容を出力し（ステップＳ１２９）、本プログラムを終了する。ここで、前記アシスト制御の継続にあたっては、当該アシスト制御をそのまま継続するほか、例えば電動モータ４の出力を低減して当該アシスト制御を継続するようにしてもよい（以下、本制御フローチャートにおいて

同じ。）

また、前記ステップＳ１１７においてＹｅｓと判断された場合には、続いて、リセット状態カウンタＣｒが所定値Ｃｘ以上であるか否かを判断する（ステップＳ１１８）。

[0073] ここで、Ｎｏと判断された場合は、第１のＣＰＵ間通信の復帰処理を実行すると共に（ステップＳ１２２）、第２のＣＰＵ間通信の復帰処理を実行し（ステップＳ１２３）、その後リセット状態カウンタＣｒをインクリメントして（ステップＳ１２４）、本プログラムを終了する。

[0074] 一方、ステップＳ１１８においてＹｅｓと判断された場合は、リセットフラグＦｒ２を解除した後（ステップＳ１４３）、第１ＣＰＵ自体の異常判断が確定し（ステップＳ１１９）、前記アシスト制御を継続する。そして、当該第１ＣＰＵ自体の異常について警告を出力すると共に（ステップＳ１２０）、当該異常の内容を出力し（ステップＳ１２１）本プログラムを終了する。

[0075] 続いて、前記ステップＳ１１６においてＮｏと判断された場合には、図７に示すように、第２のＣＰＵ間通信異常フラグＦｃ２がセットされているか否かを判断する（ステップＳ１３２）。ここで、Ｎｏと判断された場合は、リセットフラグＦｒ２を解除した後（ステップＳ１４０）、第１ＣＰＵの正常判断が確定し（ステップＳ１４１）、その後リセット発生記録を出力して（ステップＳ１４２）、本プログラムを終了する。

[0076] 一方、ステップＳ１３２においてＹｅｓと判断された場合には、続いて、リセット状態カウンタＣｒが所定値Ｃｘ以上であるか否かを判断する（ステップＳ１３３）。ここで、Ｎｏと判断された場合は、第２のＣＰＵ間通信の復帰処理を実行し（ステップＳ１３８）、その後リセット状態カウンタＣｒをインクリメントして（ステップＳ１３９）、本プログラムを終了する。

[0077] 一方、ステップＳ１３３においてＹｅｓと判断された場合は、続いて、バッテリ電圧ＶＢが所定値Ｖｘ以上であるか否かを判断し（ステップＳ１３４）、Ｎｏと判断された場合には、本プログラムを終了する。

[0078] ステップＳ１３４においてＹｅｓと判断された場合には、リセットフラグＦｒ２を解除した後（ステップＳ１４５）、第２のＣＰＵ間通信の異常判断が確定し（ステップＳ１３５）、前記アシスト制御を継続する。そして、当該第２のＣＰＵ間通信の異常について警告を出力すると共に（ステップＳ１３６）、当該異常の内容を出力し（ステップＳ１３７）、本プログラムを終了する。

[0079] 図８は、第１のＣＰＵ間通信及び第２のＣＰＵ間通信の異常判断に係る制御内容を表したフローチャートを示している。ここで、第１のＣＰＵ間通信及び第２のＣＰＵ間通信の異常判断は共通するものである。このため、以下では、便宜上、第２のＣＰＵ間通信の異常判断のみを説明することとし、第１のＣＰＵ間通信の異常判断については、具体的な説明を省略する。

[0080] 図８に示すように、本制御フローでは、まず、前回通信データ更新カウンタＣｂと今回通信データ更新カウンタＣｎが一致していないか否かを判断する（ステップＳ２０１）。

[0081] ここで、Ｎｏと判断された場合には、データが更新されていないということになり、続いて、第１タイマーカウンタＴｍ１が所定値Ｔｘ１以上となっているか否かを判断する（ステップＳ２１０）。Ｙｅｓと判断された場合には、リセットフラグＦｒ２をセットし（ステップＳ２１８）、第２のＣＰＵ間通信の異常状態が確定して、本プログラムを終了する。

[0082] 一方、ステップＳ２１０においてＮｏと判断された場合は、第１タイマーカウンタＴｍ１をインクリメントして（ステップＳ２１１）、ステップＳ２０３に移行する。

[0083] また、ステップＳ２０１においてＹｅｓと判断された場合には、第１タイマーカウンタＴｍ１をクリアした後（ステップＳ２０２）、ステップＳ２０３に移行する。

[0084] ステップＳ２０３では、通信データ長ＤＩが所定値Ｄｘ以下であるか否かを判断する（ステップＳ２０３）。

[0085] ここで、Ｎｏと判断された場合には、データ長が異常であるということに

なり、続いて、第２タイマーカウンタＴｍ２が所定値Ｔｘ２以上となっているか否かを判断する（ステップＳ２１２）。Ｙｅｓと判断された場合には、リセットフラグＦｒ２をセットし（ステップＳ２１８）、第２のＣＰＵ間通信の異常状態が確定して、本プログラムを終了する。

[0086] 一方、ステップＳ２１２においてＮｏと判断された場合は、第２タイマーカウンタＴｍ２をインクリメントして（ステップＳ２１３）、ステップＳ２０５に移行する。

[0087] また、ステップＳ２０３においてＹｅｓと判断された場合には、第２タイマーカウンタＴｍ２をクリアした後（ステップＳ２０４）、ステップＳ２０５に移行する。

[0088] ステップＳ２０５では、受信ＣＲＣと送信ＣＲＣが一致しているか否かを判断する（ステップＳ２０５）。

[0089] ここで、Ｎｏと判断された場合には、データが化けているということになり、続いて、第３タイマーカウンタＴｍ３が所定値Ｔｘ３以上となっているか否かを判断する（ステップＳ２１４）。Ｙｅｓと判断された場合には、リセットフラグＦｒ２をセットし（ステップＳ２１８）、第２のＣＰＵ間通信の異常状態が確定して、本プログラムを終了する。

[0090] 一方、ステップＳ２１４においてＮｏと判断された場合は、第３タイマーカウンタＴｍ３をインクリメントして（ステップＳ２１５）、ステップＳ２０７に移行する。

[0091] また、ステップＳ２０５においてＹｅｓと判断された場合には、第３タイマーカウンタＴｍ３をクリアした後（ステップＳ２０６）、ステップＳ２０７に移行する。

[0092] ステップＳ２０７では、通信ステータスが正常であるか否かを判断する（ステップＳ２０７）。

[0093] ここで、Ｎｏと判断された場合には、通信の自己診断がＮＧということになり、続いて、第４タイマーカウンタＴｍ４が所定値Ｔｘ４以上となっているか否かを判断する（ステップＳ２１６）。Ｙｅｓと判断された場合には、

リセットフラグＦｒ２をセットし（ステップＳ２１８）、第２のＣＰＵ間通信の異常状態が確定して、本プログラムを終了する。

[0094] 一方、ステップＳ２１６においてＮｏと判断された場合は、第４タイマーカウンタＴｍ４をインクリメントして（ステップＳ２１７）、ステップＳ２０９に移行する。

[0095] また、ステップＳ２０７においてＹｅｓと判断された場合には、第４タイマーカウンタＴｍ４をクリアした後（ステップＳ２０８）、ステップＳ２０９に移行する。

[0096] ステップＳ２０９では、リセットフラグＦｒ２を解除し（ステップＳ２０９）、第２のＣＰＵ間通信の正常状態が確定し、本プログラムを終了する。

[0097] （本実施形態の作用効果）

前記従来の車両搭載機器の制御装置（電動パワーステアリング装置）のように、常に第１ＣＰＵ及び第２ＣＰＵを同時にリセットさせてしまうと、当該リセット中は電動パワーステアリング装置のアシスト制御を介入できない問題があった。

[0098] 一方、リセットの必要な一方のＣＰＵのみをリセットさせることとした場合、これによってＣＰＵ間通信が遮断されることになる。このため、リセット状態にない他方のＣＰＵからは、前記一方のＣＰＵの作動状態を適切に判断することができなくなる。すなわち、ＣＰＵ間通信が遮断された前記一方のＣＰＵについて、リセット状態にあるのか、それともＣＰＵ自体やＣＰＵ間通信に異常が発生しているのか、判別することが困難であり、その後の適切な制御の障害となっていた。

[0099] これに対して、本実施形態に係る車両搭載機器の制御装置では、以下の効果が奏せられることで、前記従来の車両搭載機器の制御装置の課題を解決することができる。

[0100] すなわち、本実施形態に係る車両搭載機器の制御装置（制御装置５）は、車両搭載機器の制御装置であって、車両搭載機器たるパワーステアリング装置の駆動部である電動モータ４を制御する指令信号としての第１指令信号Ｉ

ｏ１及び第２指令信号Ｉｏ２）を演算する第１ＣＰＵ６１及び第２ＣＰＵ８１と、第１ＣＰＵ６１に第１リセット信号Ｒｓ１を出力する第１リセット部６６と、第２ＣＰＵ８１に第２リセット信号Ｒｓ２を出力する第２リセット部８６と、第１ＣＰＵ６１に設けられ、第１ＣＰＵ６１と第２ＣＰＵ８１との間で行われる信号の送受信であるＣＰＵ間通信を行う第１ＣＰＵ間通信部６７と、第２ＣＰＵ８１に設けられ、前記ＣＰＵ間通信を行う第２ＣＰＵ間通信部８７と、第１ＣＰＵ６１に電力を供給する第１電力供給部６３と、第２ＣＰＵ８１に電力を供給する第２電力供給部８３と、第１ＣＰＵ６１に設けられ、前記ＣＰＵ間通信の状態及び第１電力供給部６３から供給される電力の電圧値（バッテリ電圧ＶＢ）、又は第２リセット信号Ｒｓ２に基づき、第２ＣＰＵ８１の状態を判断する第２ＣＰＵ状態判断部７４と、第２ＣＰＵ８１に設けられ、前記ＣＰＵ間通信の状態及び第２電力供給部８３から供給される電力の電圧値（バッテリ電圧ＶＢ）、又は第１リセット信号Ｒｓ１に基づき、第１ＣＰＵ６１の状態を判断する第１ＣＰＵ状態判断部９４と、を有する。

[0101] このように、本実施形態では、第１ＣＰＵ６１及び第２ＣＰＵ８１のうち一方のＣＰＵにおいて、とりわけＣＰＵ間通信が異常（実行不能もしくは停止）状態にあり、かつバッテリ電圧ＶＢが所定値Ｖｘを下回っているとき、一方のＣＰＵがリセット状態であると判断できる。これにより、他方のＣＰＵにおける、その後の処理を適切に行うことができる。

[0102] また、本実施形態では、第１ＣＰＵ状態判断部９４は、ＣＰＵ間通信が停止又は不能、及び第２電力供給部８３から供給される電力の電圧値（バッテリ電圧ＶＢ）が所定値Ｖｘ以上、かつ第１リセット信号Ｒｓ１が出力されていないとき、第１ＣＰＵ６１の異常と判断し、第２ＣＰＵ状態判断部７４は、ＣＰＵ間通信が停止又は不能、及び第１電力供給部６３から供給される電力の電圧値（バッテリ電圧ＶＢ）が所定値Ｖｘ以上、かつ第２リセット信号Ｒｓ２が出力されていないとき、第２ＣＰＵ８１の異常と判断する。

[0103] このように、バッテリ電圧ＶＢが正常であり、かつ第１リセット信号Ｒｓ

１及び第２リセット信号Ｒｓ２が出力されていない状況において、ＣＰＵ間通信が異常（停止又は不能）状態にあるときは、ＣＰＵがリセット状態にあるのではなく、ＣＰＵ自体の異常であると判断することができる。これにより、その後の処理を適切に行うことができる。

[0104] また、本実施形態では、第１ＣＰＵ状態判断部９４は、ＣＰＵ間通信が可能なとき、第１ＣＰＵ６１から送信される信号に基づき第１ＣＰＵ６１の異常の有無を判断し、第２ＣＰＵ状態判断部７４は、ＣＰＵ間通信が可能なとき、第２ＣＰＵ８１から送信される信号に基づき第２ＣＰＵ８１の異常の有無を判断する。

[0105] このように、ＣＰＵ間通信が可能なときは、該ＣＰＵ間通信の情報を基に判断することにより、各ＣＰＵ６１，８１の自己診断機能（ステップＳ１０９参照）の結果を相手側のＣＰＵに反映させ、その後の処理を適切に行うことができる。

[0106] また、本実施形態では、第１ＣＰＵ６１は、前記駆動部に相当する電動モータ４を制御する指令信号である第１指令信号Ｉｏ１を演算する第１指令信号演算部７５を備え、第２ＣＰＵ８１は、前記駆動部に相当する電動モータ４を制御する指令信号である第２指令信号Ｉｏ２を演算する第２指令信号演算部９５を備え、第１指令信号演算部７５は、第２ＣＰＵ状態判断部７４が第２ＣＰＵ８１の異常と判断するとき、前記駆動部に相当する電動モータ４を制御する指令信号（第１指令信号Ｉｏ１）を演算し、第２指令信号演算部９５は、第１ＣＰＵ状態判断部９４が第１ＣＰＵ６１の異常と判断するとき、前記駆動部に相当する電動モータ４を制御する指令信号（第２指令信号Ｉｏ２）を演算する。

[0107] このように、第１ＣＰＵ６１と第２ＣＰＵ８１の一方が異常と判断されるとき、他方のＣＰＵでもって前記アシスト制御を継続することで（ステップＳ１１９～Ｓ１２０参照）、運転者の利便性を向上させることができる。

[0108] また、本実施形態では、第１ＣＰＵ６１の異常の有無を判断する第１ＣＰＵ監視部６４と、第２ＣＰＵ８１の異常の有無を判断する第２ＣＰＵ監視部

８４とを備え、第１ＣＰＵ状態判断部９４は、ＣＰＵ間通信が不能かつ第２電力供給部８３から供給される電力の電圧値（バッテリ電圧ＶＢ）が所定値Ｖｘ以上のとき、又は第１ＣＰＵ監視部６４が第１ＣＰＵ６１の異常と判断するとき、第１ＣＰＵ６１の異常と判断し、第２ＣＰＵ状態判断部７４は、ＣＰＵ間通信が不能かつ第１電力供給部６３から供給される電力の電圧値（バッテリ電圧ＶＢ）が所定値Ｖｘ以上のとき、又は第２ＣＰＵ監視部８４が第２ＣＰＵ８１の異常と判断するとき、第２ＣＰＵ８１の異常と判断する。

[0109] とりわけ、本実施形態では、第１、第２ＣＰＵ状態判断部７４，９４によって、ＣＰＵ間通信が不能であり、かつ第１、第２電力供給部６３，８３から供給されるバッテリ電圧ＶＢが所定値Ｖｘ以上のとき、一方のＣＰＵが異常であると判断できる。これにより、他方のＣＰＵにおける、その後の処理を適切に行うことができる。

[0110] また、本実施形態では、第１ＣＰＵ６１は、前記駆動部に相当する電動モータ４を制御する指令信号である第１指令信号Ｉｏ１を演算する第１指令信号演算部７５を備え、第２ＣＰＵ８１は、前記駆動部に相当する電動モータ４を制御する指令信号である第２指令信号Ｉｏ２を演算する第２指令信号演算部を備え、第１指令信号演算部７５は、第２ＣＰＵ状態判断部７４が第２ＣＰＵ８１の異常と判断するとき、前記駆動部に相当する電動モータ４を制御する指令信号（第１指令信号Ｉｏ１）を演算し、第２指令信号演算部９５は、第１ＣＰＵ状態判断部９４が第１ＣＰＵ６１の異常と判断するとき、前記駆動部に相当する電動モータ４を制御する指令信号（第２指令信号Ｉｏ２）を演算することを特徴とする車両搭載機器の制御装置。

[0111] このように、第１ＣＰＵ６１と第２ＣＰＵ８１の一方が異常と判断されるとき、他方のＣＰＵでもって前記アシスト制御を継続することで（ステップＳ１１９～Ｓ１２０参照）、運転者の利便性を向上させることができる。

[0112] また、本実施形態では、第１ＣＰＵ間通信部６７は、第１の第１ＣＰＵ間通信部６７ａと第２の第１ＣＰＵ間通信部６７ｂとを備え、第２ＣＰＵ間通信部８７は、第１の第１ＣＰＵ間通信部６７ａとの間で第１のＣＰＵ間通信

を行う第１の第２ＣＰＵ間通信部８７ａと、第２の第１ＣＰＵ間通信部６７ｂとの間で第２のＣＰＵ間通信を行う第２の第２ＣＰＵ間通信部８７ｂと、を備える。

[0113] このように、第１、第２ＣＰＵ間通信部６７，７７を冗長系に構成することで、制御装置５の信頼性を向上させることができる。

[0114] また、本実施形態では、第１ＣＰＵ６１の異常の有無を判断する第１ＣＰＵ監視部６４と、第２ＣＰＵ８１の異常の有無を判断する第２ＣＰＵ監視部８４とを備え、第１ＣＰＵ状態判断部９４は、第１のＣＰＵ間通信及び第２のＣＰＵ間通信が不能かつ第２電力供給部８３から供給される電力の電圧値（バッテリ電圧ＶＢ）が所定値Ｖｘ以上のとき、又は第１ＣＰＵ監視部６４が第１ＣＰＵ６１の異常と判断しかつ第１のＣＰＵ間通信及び第２のＣＰＵ間通信が不能のとき、第１ＣＰＵ６１の異常と判断し、第２ＣＰＵ状態判断部７４は、第１のＣＰＵ間通信及び第２のＣＰＵ間通信が不能かつ第１電力供給部６３から供給される電力の電圧値（バッテリ電圧ＶＢ）が所定値Ｖｘ以上のとき、又は第２ＣＰＵ監視部８４が第２ＣＰＵ８１の異常と判断しかつ第１のＣＰＵ間通信及び第２のＣＰＵ間通信が不能のとき、第２ＣＰＵ８１の異常と判断する。

[0115] とりわけ、本実施形態では、第１、第２ＣＰＵ状態判断部７４，９４により、ＣＰＵ間通信が不能であり、かつ第１、第２電力供給部６３，８３から供給されるバッテリ電圧ＶＢが所定値Ｖｘ以上のとき、一方のＣＰＵが異常であると判断できる。これにより、他方のＣＰＵにおける、その後の処理を適切に行うことができる。

[0116] また、本実施形態では、第１ＣＰＵ状態判断部９４は、第１のＣＰＵ間通信及び第２のＣＰＵ間通信が不能、かつ第２電力供給部８３から供給される電力の電圧値（バッテリ電圧ＶＢ）が所定値Ｖｘ未満のとき、第１ＣＰＵ６１がリセット状態であると判断し、第２ＣＰＵ状態判断部７４は、第１のＣＰＵ間通信及び第２のＣＰＵ間通信が不能、かつ第１電力供給部６３から供給される電力の電圧値（バッテリ電圧ＶＢ）が所定値Ｖｘ未満のとき、第２

ＣＰＵ８１がリセット状態であると判断する。

[0117] このように、第１、第２ＣＰＵ状態判断部７４，９４により、ＣＰＵ間通信が不能であり、かつ第１、第２電力供給部６３，８３から供給されるバッテリ電圧ＶＢが所定値Ｖｘ未満のとき、一方のＣＰＵがリセット状態であると判断できる。これにより、他方のＣＰＵにおける、その後の処理を適切に行うことができる。

[0118] また、本実施形態では、第１ＣＰＵ状態判断部９４又は第２ＣＰＵ状態判断部７４は、第１のＣＰＵ間通信と第２のＣＰＵ間通信のうち、一方が通信可能であり他方が不能のとき、第１のＣＰＵ間通信と第２のＣＰＵ間通信のうち他方の異常と判断する。

[0119] このように、第１、第２ＣＰＵ６１，８１が異常、又はリセット状態のときは、第１、第２のＣＰＵ間通信の両方が通信不能状態となるが、一方のみが通信不能のときは、ＣＰＵ間通信の異常と判断することができる。これにより、その後の処理を適切に行うことができる。

[0120] また、本実施形態では、第１ＣＰＵ間通信部６７と第２ＣＰＵ間通信部８７は、互いに通信方式が異なる。

[0121] このように、第１ＣＰＵ間通信部６７と第２ＣＰＵ間通信部８７とで、互いに通信方式が異ならせることにより、共通の原因による第１ＣＰＵ間通信部６７と第２ＣＰＵ間通信部８７の同時故障を抑制することができる。

[0122] また、本実施形態では、第１ＣＰＵ６１は、前記駆動部に相当する電動モータ４を制御する指令信号である第１指令信号Ｉｏ１を演算する第１指令信号演算部７５を備え、第２ＣＰＵ８１は、前記駆動部に相当する電動モータ４を制御する指令信号である第２指令信号Ｉｏ２を演算する第２指令信号演算部９５を備え、第１指令信号演算部７５は、第２ＣＰＵ状態判断部７４が第２ＣＰＵ８１のリセット状態であると判断するとき、少なくとも第２ＣＰＵ８１が復帰するまで前記駆動部に相当する電動モータ４を制御する指令信号（第１指令信号Ｉｏ１）を演算し第２指令信号演算部９５は、第１ＣＰＵ状態判断部９４が第１ＣＰＵ６１のリセット状態であると判断するとき、少

なくとも第１ＣＰＵ６１が復帰するまで前記駆動部に相当する電動モータ４を制御する制御信号（第２指令信号Ｉｏ２）を演算する。

[0123] このように、一方のＣＰＵがリセット状態と判断されるときは、そのＣＰＵが再起動して復帰するまでの間は他方のＣＰＵでアシスト制御を継続させることで、運転者の利便性を向上させることができる。

[0124] また、本実施形態では、第１ＣＰＵ６１は、第２ＣＰＵ８１がリセット状態であると第２ＣＰＵ状態判断部７４が判断するとき、第１ＣＰＵ６１をリセットし、第２ＣＰＵ８１は、第１ＣＰＵ６１がリセット状態であると第１ＣＰＵ状態判断部９４が判断するとき、第２ＣＰＵ８１をリセットする。

[0125] このように、一方のＣＰＵがリセット状態にあると判断されるときは、自身のＣＰＵもリセットさせることで、両方のＣＰＵを安定した状態で駆動することができる。

[0126] また、本実施形態では、第１ＣＰＵ６１又は第２ＣＰＵ８１の一方がリセット状態から復帰した後、他方のＣＰＵは、前記復帰した一方のＣＰＵに対して制御タイミングを同期させるための同期信号を出力する。

[0127] このように、ＣＰＵのリセットに伴って、当該リセットから復帰したＣＰＵに対して同期信号を出力することで、当該リセットによりずれた周期を同期させることができる。

[0128] （変形例）

図９、図１０は、本発明に係る車両搭載機器の制御装置の第１実施形態の変形例を示している。なお、本変形例では、一方のＣＰＵ監視部からの情報が他方のＣＰＵに直接入力されるように構成したものであって、他の構成については前記第１実施形態と同様である。よって、前記第１実施形態と同じ構成については、同一の符号を付すことにより、その説明を省略する。

[0129] 図９は、制御装置５のシステム構成図を示し、図１０は、第１ＣＰＵ６１及び第２ＣＰＵ８１の制御ブロック図を示している。

[0130] 図９、図１０に示すように、本変形例では、第２ＣＰＵ監視部８４から出力された第２ＣＰＵ８１の異常判断情報が、第１ＣＰＵ６１の第２ＣＰＵ状

態判断部７４に直接入力されると共に、第１ＣＰＵ監視部６４から出力された第１ＣＰＵ６１の異常判断情報が、第２ＣＰＵ８１の第１ＣＰＵ状態判断部９４に直接入力されるようになっている。

[0131] すなわち、本変形例では、第２ＣＰＵ状態判断部７４は第２ＣＰＵ監視部８４からの異常判断情報を直接受信して、第２ＣＰＵ監視部８４が第２ＣＰＵ８１の異常と判断するとき、当該第２ＣＰＵ監視部８４からの異常判断情報に基づき、第２ＣＰＵ状態判断部７４は、第２ＣＰＵ８１の異常であると判断する。一方、第１ＣＰＵ状態判断部９４は第１ＣＰＵ監視部６４からの異常判断情報を直接受信して、第１ＣＰＵ監視部６４が第１ＣＰＵ６１の異常と判断するとき、当該第１ＣＰＵ監視部６４からの異常判断情報に基づき、第１ＣＰＵ状態判断部９４は、第１ＣＰＵ６１の異常であると判断する。

[0132] より具体的には、第２ＣＰＵ状態判断部７４は、第１のＣＰＵ間通信及び第２のＣＰＵ間通信が不能であり、かつ第２ＣＰＵ監視部８４が第２ＣＰＵ８１の異常と判断したとき、該第２ＣＰＵ８１の異常と判断する。一方、第１ＣＰＵ状態判断部９４は、第１のＣＰＵ間通信及び第２のＣＰＵ間通信が不能であり、かつ第１ＣＰＵ監視部６４が第１ＣＰＵ６１の異常と判断したとき、該第１ＣＰＵ６１の異常と判断する。

[0133] このように、本変形例によれば、第２ＣＰＵ監視部８４が第２ＣＰＵ８１の異常と判断したとき、第２ＣＰＵ状態判断部７４が第２ＣＰＵ８１の異常と判断し、第１ＣＰＵ監視部６４が第１ＣＰＵ６１の異常と判断したとき、第１ＣＰＵ状態判断部９４が第１ＣＰＵ６１の異常と判断する。これにより、相手側のＣＰＵの異常を判断できると共に、該相手側のＣＰＵの異常の検出精度が向上する。その結果、相手側のＣＰＵの状態をより適切に把握することが可能となって、自身のＣＰＵにおけるその後の処理をより適切に行うことができる。

[0134] また、上述のように、本変形例では、第１、第２のＣＰＵ間通信が不能であり、かつ第２ＣＰＵ監視部８４が第２ＣＰＵ８１の異常と判断したとき、第２ＣＰＵ８１の異常と判断し、第１、第２のＣＰＵ間通信が不能であり、

かつ第１ＣＰＵ監視部６４が第１ＣＰＵ６１の異常と判断したとき、第１ＣＰＵ６１の異常と判断する。これにより、相手側のＣＰＵの異常の検出精度がさらに向上し、自身のＣＰＵにおけるその後の処理のさらなる最適化に供される。

[0135] 〔第２実施形態〕

図１１～図１３は、本発明に係る車両搭載機器の制御装置の第２実施形態を示している。なお、本実施形態では、第１、第２ＣＰＵ間通信とバッテリ電圧ＶＢの情報に基づき行っていた前記第１実施形態における第１ＣＰＵ６１及び第２ＣＰＵ８１のリセット状態の判断を、第１リセット部６６及び第２リセット部８６からのリセット信号に基づいて行うようにしたものであり、他の構成については前記第１実施形態と同様である。よって、前記第１実施形態と同じ構成については、同一の符号を付すことにより、その説明を省略する。

[0136] 図１１は、制御装置５のシステム構成図を示し、図１２は、第１ＣＰＵ６１及び第２ＣＰＵ８１の制御ブロック図を示している。図１３は、第１ＣＰＵ状態判断部９４及び第２ＣＰＵ状態判断部７４の各制御内容を表したフローチャートを示している。なお、図１３は、第１、第２ＣＰＵ状態判断部７４，９４の各制御内容を表したフローチャートの一部であり、図６、図７及び図１３により一連の制御フローチャートを構成するものである。

[0137] 図１１、図１２に示すように、本実施形態では、第１リセット信号Ｒｓ１が、第２ＣＰＵ８１の第１ＣＰＵリセット状態判断部９３に直接入力されると共に、第２リセット信号Ｒｓ２が、第１ＣＰＵ６１の第２ＣＰＵリセット状態判断部７３に直接入力されるようになっている。そして、第１ＣＰＵ６１及び第２ＣＰＵ８１は、他方のＣＰＵから直接入力された当該リセット信号に基づいて他方のＣＰＵのリセット状態を判断する。

[0138] 具体的には、図１３に示すように、前記第１実施形態のＣＰＵ状態判断フローチャートのステップＳ１０７に相当するステップＳ１４６で、第２リセット信号Ｒｓ２を受信しているか否かを判断する（ステップＳ１４６）。す

なわち、前記ステップＳ１０６においてＹｅｓと判断された場合は、第２リセット信号Ｒｓ２を受信しているか否かを判断する（ステップＳ１４６）。

[0139] ここで、Ｎｏと判断された場合には、リセット状態カウンタＣｒをインクリメントして（ステップＳ１１０）、本プログラムを終了する。一方、ステップＳ１４６においてＹｅｓと判断された場合には、リセットフラグＦｒ２をセットし（ステップＳ１０８）、その後自身のＣＰＵ（本実施形態では第１ＣＰＵ６１）の状態を検知して（ステップＳ１０９）、本プログラムを終了する。

[0140] このように、本実施形態においては、第１リセット信号Ｒｓ１の情報に基づき、第２ＣＰＵ８１のリセット状態を判断する。また、その他の制御フローの説明は前記第１実施形態と同様であるため、図１３に図５と共通のステップ番号を付すことにより、具体的な説明を省略する。さらに、第１ＣＰＵ６１のリセット状態の判断についても、上記第２ＣＰＵ８１のリセット状態の判断と同様であるため、具体的な説明を省略する。

[0141] 以上のように、とりわけ相手側のＣＰＵから直接受信したリセット信号（第１リセット信号Ｒｓ１及び第２リセット信号Ｒｓ２）によっても、一方のＣＰＵがリセット状態であると判断することができ、前記第１実施形態と同様の作用効果が奏せられる。

[0142] 本発明は前記実施形態等の構成に限定されるものではなく、本発明の作用効果を奏し得る範囲内であれば、適用する車両搭載機器の仕様等に応じて自由に変更可能である。

[0143] 例えば、前記各実施形態では、第１，第２三相コイル６８，８８が同一の電動モータ（電動モータ４）を協働して駆動するように構成されているが、当該第１，第２三相コイル６８，８８がそれぞれ別個の電動モータを駆動するような構成としてもよい。

[0144] また、前記実施形態では、第１ＣＰＵ状態判断部９４がＣＰＵ間通信の異常と判断するとき、第２指令信号演算部９５は、前記駆動部に相当する電動モータ４を制御する指令信号（第２指令信号Ｉｏ２）を演算するようにして

いた。しかし、第１ＣＰＵ状態判断部９４がＣＰＵ間通信の異常と判断するとき、第２指令信号演算部９５においては、前記駆動部に相当する電動モータ４を制御する指令信号（第２指令信号Ｉｏ２）を演算しないようにしてもよい。

[0145] すなわち、前記実施形態の一変形例として、第１ＣＰＵ６１は、車両から送信される信号を受信する車両信号受信部ＶＳと、前記駆動部に相当する電動モータ４を制御する指令信号である第１指令信号Ｉｏ１を演算する第１指令信号演算部７５とを備え、第２ＣＰＵ８１は、前記駆動部に相当する電動モータ４を制御する指令信号である第２指令信号Ｉｏ２を演算する第２指令信号演算部９５を備え、第１指令信号演算部７５は、第２ＣＰＵ状態判断部７４がＣＰＵ間通信の異常と判断するとき、前記駆動部に相当する電動モータ４を制御する指令信号（第１指令信号Ｉｏ１）を演算し、第２指令信号演算部９５は、第１ＣＰＵ状態判断部９４がＣＰＵ間通信の異常と判断するとき、前記駆動部に相当する電動モータ４を制御する指令信号（第２指令信号Ｉｏ２）を演算しないようにしてもよい。

[0146] このように、第２ＣＰＵ８１は、車両信号受信部ＶＳを有さず、ＣＰＵ間通信により第１ＣＰＵ６１を経由して車両からの信号を受信している場合には、第２ＣＰＵ８１自体に異常は発生していないものの、ＣＰＵ間通信異常により、第２ＣＰＵ８１において車両からの信号を受信できない状態が起こりうる。そこで、第２ＣＰＵ８１側による制御を中止し、車両からの信号を受信可能な第１ＣＰＵ６１側のみで継続制御を行うことにより、制御装置５の信頼性を向上させることができる。

[0147] また、第１指令信号演算部７５は、第２ＣＰＵ状態判断部７４がＣＰＵ間通信の異常と判断するとき、前記駆動部に相当する電動モータ４を制御する指令信号である第１指令信号Ｉｏ１の出力を減少させるようにしてもよい。

[0148] このように、電動モータ４の出力を低下させることで、アシスト制御を継続しつつ、パワーステアリング装置の異常を運転者に知らせることができるメリットがある。

[0149] 以上説明した実施形態等に基づく車両搭載機器の制御装置としては、例えば、以下に述べる態様のものが考えられる。

[0150] すなわち、当該車両搭載機器の制御装置は、その１つの態様において、車両搭載機器の制御装置であって、前記車両搭載機器の駆動部を制御する指令信号を演算する第１ＣＰＵ及び第２ＣＰＵと、前記第１ＣＰＵに第１リセット信号を出力する第１リセット部と、前記第２ＣＰＵに第２リセット信号を出力する第２リセット部と、前記第１ＣＰＵに設けられ、前記第１ＣＰＵと前記第２ＣＰＵとの間で行われる信号の送受信であるＣＰＵ間通信を行う第１ＣＰＵ間通信部と、前記第２ＣＰＵに設けられ、前記ＣＰＵ間通信を行う第２ＣＰＵ間通信部と、前記第１ＣＰＵに電力を供給する第１電力供給部と、前記第２ＣＰＵに電力を供給する第２電力供給部と、前記第１ＣＰＵに設けられ、前記ＣＰＵ間通信の状態及び前記第１電力供給部から供給される電力の電圧値、又は前記第２リセット信号に基づき、前記第２ＣＰＵの状態を判断する第２ＣＰＵ状態判断部と、前記第２ＣＰＵに設けられ、前記ＣＰＵ間通信の状態及び前記第２電力供給部から供給される電力の電圧値、又は前記第１リセット信号に基づき、前記第１ＣＰＵの状態を判断する第１ＣＰＵ状態判断部と、を有する。

[0151] 前記車両搭載機器の制御装置の好ましい態様において、前記第１ＣＰＵ状態判断部は、前記ＣＰＵ間通信が停止又は不能、及び前記第２電力供給部から供給される電力の電圧値が所定値以上、かつ前記第１リセット信号が出力されていないとき、前記第１ＣＰＵの異常と判断し、前記第２ＣＰＵ状態判断部は、前記ＣＰＵ間通信が停止又は不能、及び前記第１電力供給部から供給される電力の電圧値が所定値以上、かつ前記第２リセット信号が出力されていないとき、前記第２ＣＰＵの異常と判断する。

[0152] 別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵ状態判断部は、前記ＣＰＵ間通信が可能なとき、前記第１ＣＰＵから送信される信号に基づき前記第１ＣＰＵの異常の有無を判断し、前記第２ＣＰＵ状態判断部は、前記ＣＰＵ間通信が可能なとき、前記

第２ＣＰＵから送信される信号に基づき前記第２ＣＰＵの異常の有無を判断する。

[0153] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵは、前記駆動部を制御する指令信号を演算する第１指令信号演算部を備え、前記第２ＣＰＵは、前記駆動部を制御する指令信号を演算する第２指令信号演算部を備え、前記第１指令信号演算部は、前記第２ＣＰＵ状態判断部が前記第２ＣＰＵの異常と判断するとき、前記駆動部を制御する指令信号を演算し、前記第２指令信号演算部は、前記第１ＣＰＵ状態判断部が前記第１ＣＰＵの異常と判断するとき、前記駆動部を制御する指令信号を演算する。

[0154] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵの異常の有無を判断する第１ＣＰＵ監視部と、前記第２ＣＰＵの異常の有無を判断する第２ＣＰＵ監視部とを備え、前記第１ＣＰＵ状態判断部は、前記ＣＰＵ間通信が不能かつ前記第２電力供給部から供給される電力の電圧値が所定値以上のとき、又は前記第１ＣＰＵ監視部が前記第１ＣＰＵの異常と判断するとき、前記第１ＣＰＵの異常と判断し、前記第２ＣＰＵ状態判断部は、前記ＣＰＵ間通信が不能かつ前記第１電力供給部から供給される電力の電圧値が所定値以上のとき、又は前記第２ＣＰＵ監視部が前記第２ＣＰＵの異常と判断するとき、前記第２ＣＰＵの異常と判断する。

[0155] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵは、前記駆動部を制御する指令信号を演算する第１指令信号演算部を備え、前記第２ＣＰＵは、前記駆動部を制御する指令信号を演算する第２指令信号演算部を備え、前記第１指令信号演算部は、前記第２ＣＰＵ状態判断部が前記第２ＣＰＵの異常と判断するとき、前記駆動部を制御する指令信号を演算し、前記第２指令信号演算部は、前記第１ＣＰＵ状態判断部が前記第１ＣＰＵの異常と判断するとき、前記駆動部を制御する指令信号を演算する。

[0156] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵ間通信部は、第１の第１ＣＰＵ間通信部と第２の第１ＣＰＵ間通信部とを備え、前記第２ＣＰＵ間通信部は、前記第１の第１ＣＰＵ間通信部との間で第１のＣＰＵ間通信を行う第１の第２ＣＰＵ間通信部と、前記第２の第１ＣＰＵ間通信部との間で第２のＣＰＵ間通信を行う第２の第２ＣＰＵ間通信部と、を備える。

[0157] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵの異常の有無を判断する第１ＣＰＵ監視部と、前記第２ＣＰＵの異常の有無を判断する第２ＣＰＵ監視部とを備え、前記第１ＣＰＵ状態判断部は、前記第１のＣＰＵ間通信及び前記第２のＣＰＵ間通信が不能かつ前記第２電力供給部から供給される電力の電圧値が所定値以上のとき、又は前記第１ＣＰＵ監視部が前記第１ＣＰＵの異常と判断しかつ前記第１のＣＰＵ間通信及び前記第２のＣＰＵ間通信が不能のとき、前記第１ＣＰＵの異常と判断し、前記第２ＣＰＵ状態判断部は、前記第１のＣＰＵ間通信及び前記第２のＣＰＵ間通信が不能かつ前記第１電力供給部から供給される電力の電圧値が所定値以上のとき、又は前記第２ＣＰＵ監視部が前記第２ＣＰＵの異常と判断しかつ前記第１のＣＰＵ間通信及び前記第２のＣＰＵ間通信が不能のとき、前記第２ＣＰＵの異常と判断する。

[0158] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵ状態判断部は、前記第１のＣＰＵ間通信及び前記第２のＣＰＵ間通信が不能、かつ前記第２電力供給部から供給される電力の電圧値が所定値未満のとき、前記第１ＣＰＵがリセット状態であると判断し、前記第２ＣＰＵ状態判断部は、前記第１のＣＰＵ間通信及び前記第２のＣＰＵ間通信が不能、かつ前記第１電力供給部から供給される電力の電圧値が所定値未満のとき、前記第２ＣＰＵがリセット状態であると判断する。

[0159] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵ状態判断部又は前記第２ＣＰＵ状態判断部は、前記第１のＣＰＵ間通信と前記第２のＣＰＵ間通信のうち、一方が通信可

能であり他方が不能のとき、前記第１のＣＰＵ間通信と前記第２のＣＰＵ間通信のうち前記他方の異常と判断する。

[0160] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵは、車両から送信される信号を受信する車両信号受信部と、前記駆動部を制御する指令信号を演算する第１指令信号演算部とを備え、前記第２ＣＰＵは、前記駆動部を制御する指令信号を演算する第２指令信号演算部を備え、前記第１指令信号演算部は、前記第２ＣＰＵ状態判断部が前記ＣＰＵ間通信の異常と判断するとき、前記駆動部を制御する指令信号を演算し、前記第２指令信号演算部は、前記第１ＣＰＵ状態判断部が前記ＣＰＵ間通信の異常と判断するとき、前記駆動部を制御する指令信号を演算しない。

[0161] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１指令信号演算部は、前記第２ＣＰＵ状態判断部が前記ＣＰＵ間通信の異常と判断するとき、前記駆動部を制御する指令信号の出力を減少させる。

[0162] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵ間通信部と前記第２ＣＰＵ間通信部は、互いに通信方式が異なる。

[0163] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵは、前記駆動部を制御する指令信号を演算する第１指令信号演算部を備え、前記第２ＣＰＵは、前記駆動部を制御する指令信号を演算する第２指令信号演算部を備え、前記第１指令信号演算部は、前記第２ＣＰＵ状態判断部が前記第２ＣＰＵのリセット状態であると判断するとき、少なくとも前記第２ＣＰＵが復帰するまで前記駆動部を制御する指令信号を演算し、前記第２指令信号演算部は、前記第１ＣＰＵ状態判断部が前記第１ＣＰＵのリセット状態であると判断するとき、少なくとも前記第１ＣＰＵが復帰するまで前記駆動部を制御する制御信号を演算する。

[0164] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいず

れかにおいて、前記第１ＣＰＵは、前記第２ＣＰＵがリセット状態であると前記第２ＣＰＵ状態判断部が判断するとき、前記第１ＣＰＵをリセットし、前記第２ＣＰＵは、前記第１ＣＰＵがリセット状態であると前記第１ＣＰＵ状態判断部が判断するとき、前記第２ＣＰＵをリセットする。

[0165] さらに別の好ましい態様では、前記車両搭載機器の制御装置の態様のいずれかにおいて、前記第１ＣＰＵ又は前記第２ＣＰＵの一方がリセット状態から復帰した後、他方のＣＰＵは、前記復帰した一方のＣＰＵに対して制御タイミングを同期させるための同期信号を出力する。

請求の範囲

[請求項1] 車両搭載機器の制御装置であって、

前記車両搭載機器の駆動部を制御する指令信号を演算する第１ＣＰＵ及び第２ＣＰＵと、

前記第１ＣＰＵに第１リセット信号を出力する第１リセット部と、

前記第２ＣＰＵに第２リセット信号を出力する第２リセット部と、

前記第１ＣＰＵに設けられ、前記第１ＣＰＵと前記第２ＣＰＵとの間で行われる信号の送受信であるＣＰＵ間通信を行う第１ＣＰＵ間通信部と、

前記第２ＣＰＵに設けられ、前記ＣＰＵ間通信を行う第２ＣＰＵ間通信部と、

前記第１ＣＰＵに電力を供給する第１電力供給部と、

前記第２ＣＰＵに電力を供給する第２電力供給部と、

前記第１ＣＰＵに設けられ、前記ＣＰＵ間通信の状態及び前記第１電力供給部から供給される電力の電圧値、又は前記第２リセット信号に基づき、前記第２ＣＰＵの状態を判断する第２ＣＰＵ状態判断部と、

前記第２ＣＰＵに設けられ、前記ＣＰＵ間通信の状態及び前記第２電力供給部から供給される電力の電圧値、又は前記第１リセット信号に基づき、前記第１ＣＰＵの状態を判断する第１ＣＰＵ状態判断部と、

を有することを特徴とする車両搭載機器の制御装置。

[請求項2] 請求項１に記載の車両搭載機器の制御装置において、

前記第１ＣＰＵ状態判断部は、前記ＣＰＵ間通信が停止又は不能、及び前記第２電力供給部から供給される電力の電圧値が所定値以上、かつ前記第１リセット信号が出力されていないとき、前記第１ＣＰＵの異常と判断し、

前記第２ＣＰＵ状態判断部は、前記ＣＰＵ間通信が停止又は不能、

及び前記第１電力供給部から供給される電力の電圧値が所定値以上、かつ前記第２リセット信号が出力されていないとき、前記第２ＣＰＵの異常と判断することを特徴とする車両搭載機器の制御装置。

[請求項3] 請求項２に記載の車両搭載機器の制御装置において、

前記第１ＣＰＵ状態判断部は、前記ＣＰＵ間通信が可能なとき、前記第１ＣＰＵから送信される信号に基づき前記第１ＣＰＵの異常の有無を判断し、

前記第２ＣＰＵ状態判断部は、前記ＣＰＵ間通信が可能なとき、前記第２ＣＰＵから送信される信号に基づき前記第２ＣＰＵの異常の有無を判断することを特徴とする車両搭載機器の制御装置。

[請求項4] 請求項３に記載の車両搭載機器の制御装置において、

前記第１ＣＰＵは、前記駆動部を制御する指令信号を演算する第１指令信号演算部を備え、

前記第２ＣＰＵは、前記駆動部を制御する指令信号を演算する第２指令信号演算部を備え、

前記第１指令信号演算部は、前記第２ＣＰＵ状態判断部が前記第２ＣＰＵの異常と判断するとき、前記駆動部を制御する指令信号を演算し、

前記第２指令信号演算部は、前記第１ＣＰＵ状態判断部が前記第１ＣＰＵの異常と判断するとき、前記駆動部を制御する指令信号を演算することを特徴とする車両搭載機器の制御装置。

[請求項5] 請求項１に記載の車両搭載機器の制御装置は、

前記第１ＣＰＵの異常の有無を判断する第１ＣＰＵ監視部と、前記第２ＣＰＵの異常の有無を判断する第２ＣＰＵ監視部とを備え、

前記第１ＣＰＵ状態判断部は、前記ＣＰＵ間通信が不能かつ前記第２電力供給部から供給される電力の電圧値が所定値以上のとき、又は前記第１ＣＰＵ監視部が前記第１ＣＰＵの異常と判断するとき、前記第１ＣＰＵの異常と判断し、

前記第２ＣＰＵ状態判断部は、前記ＣＰＵ間通信が不能かつ前記第１電力供給部から供給される電力の電圧値が所定値以上のとき、又は前記第２ＣＰＵ監視部が前記第２ＣＰＵの異常と判断するとき、前記第２ＣＰＵの異常と判断することを特徴とする車両搭載機器の制御装置。

[請求項6] 請求項５に記載の車両搭載機器の制御装置において、

前記第１ＣＰＵは、前記駆動部を制御する指令信号を演算する第１指令信号演算部を備え、

前記第２ＣＰＵは、前記駆動部を制御する指令信号を演算する第２指令信号演算部を備え、

前記第１指令信号演算部は、前記第２ＣＰＵ状態判断部が前記第２ＣＰＵの異常と判断するとき、前記駆動部を制御する指令信号を演算し、

前記第２指令信号演算部は、前記第１ＣＰＵ状態判断部が前記第１ＣＰＵの異常と判断するとき、前記駆動部を制御する指令信号を演算することを特徴とする車両搭載機器の制御装置。

[請求項7] 請求項１に記載の車両搭載機器の制御装置において、

前記第１ＣＰＵ間通信部は、第１の第１ＣＰＵ間通信部と第２の第１ＣＰＵ間通信部とを備え、

前記第２ＣＰＵ間通信部は、前記第１の第１ＣＰＵ間通信部との間で第１のＣＰＵ間通信を行う第１の第２ＣＰＵ間通信部と、前記第２の第１ＣＰＵ間通信部との間で第２のＣＰＵ間通信を行う第２の第２ＣＰＵ間通信部と、を備えることを特徴とする車両搭載機器の制御装置。

[請求項8] 請求項７に記載の車両搭載機器の制御装置は、

前記第１ＣＰＵの異常の有無を判断する第１ＣＰＵ監視部と、前記第２ＣＰＵの異常の有無を判断する第２ＣＰＵ監視部とを備え、

前記第１ＣＰＵ状態判断部は、前記第１のＣＰＵ間通信及び前記第

２のＣＰＵ間通信が不能かつ前記第２電力供給部から供給される電力の電圧値が所定値以上のとき、又は前記第１ＣＰＵ監視部が前記第１ＣＰＵの異常と判断しかつ前記第１のＣＰＵ間通信及び前記第２のＣＰＵ間通信が不能のとき、前記第１ＣＰＵの異常と判断し、

前記第２ＣＰＵ状態判断部は、前記第１のＣＰＵ間通信及び前記第２のＣＰＵ間通信が不能かつ前記第１電力供給部から供給される電力の電圧値が所定値以上のとき、又は前記第２ＣＰＵ監視部が前記第２ＣＰＵの異常と判断しかつ前記第１のＣＰＵ間通信及び前記第２のＣＰＵ間通信が不能のとき、前記第２ＣＰＵの異常と判断することを特徴とする車両搭載機器の制御装置。

[請求項9] 請求項７に記載の車両搭載機器の制御装置において、

前記第１ＣＰＵ状態判断部は、前記第１のＣＰＵ間通信及び前記第２のＣＰＵ間通信が不能、かつ前記第２電力供給部から供給される電力の電圧値が所定値未満のとき、前記第１ＣＰＵがリセット状態であると判断し、

前記第２ＣＰＵ状態判断部は、前記第１のＣＰＵ間通信及び前記第２のＣＰＵ間通信が不能、かつ前記第１電力供給部から供給される電力の電圧値が所定値未満のとき、前記第２ＣＰＵがリセット状態であると判断することを特徴とする車両搭載機器の制御装置。

[請求項10] 請求項７に記載の車両搭載機器の制御装置において、

前記第１ＣＰＵ状態判断部又は前記第２ＣＰＵ状態判断部は、前記第１のＣＰＵ間通信と前記第２のＣＰＵ間通信のうち、一方が通信可能であり他方が不能のとき、前記第１のＣＰＵ間通信と前記第２のＣＰＵ間通信のうち前記他方の異常と判断することを特徴とする車両搭載機器の制御装置。

[請求項11] 請求項１０に記載の車両搭載機器の制御装置において、

前記第１ＣＰＵは、車両から送信される信号を受信する車両信号受信部と、前記駆動部を制御する指令信号を演算する第１指令信号演算

部とを備え、

前記第２ＣＰＵは、前記駆動部を制御する指令信号を演算する第２指令信号演算部を備え、

前記第１指令信号演算部は、前記第２ＣＰＵ状態判断部が前記ＣＰＵ間通信の異常と判断するとき、前記駆動部を制御する指令信号を演算し、

前記第２指令信号演算部は、前記第１ＣＰＵ状態判断部が前記ＣＰＵ間通信の異常と判断するとき、前記駆動部を制御する指令信号を演算しないことを特徴とする車両搭載機器の制御装置。

[請求項12] 請求項１１に記載の車両搭載機器の制御装置において、

前記第１指令信号演算部は、前記第２ＣＰＵ状態判断部が前記ＣＰＵ間通信の異常と判断するとき、前記駆動部を制御する指令信号の出力を減少させることを特徴とする車両搭載機器の制御装置。

[請求項13] 請求項７に記載の車両搭載機器の制御装置において、

前記第１ＣＰＵ間通信部と前記第２ＣＰＵ間通信部は、互いに通信方式が異なることを特徴とする車両搭載機器の制御装置。

[請求項14] 請求項１に記載の車両搭載機器の制御装置において、

前記第１ＣＰＵは、前記駆動部を制御する指令信号を演算する第１指令信号演算部を備え、

前記第２ＣＰＵは、前記駆動部を制御する指令信号を演算する第２指令信号演算部を備え、

前記第１指令信号演算部は、前記第２ＣＰＵ状態判断部が前記第２ＣＰＵのリセット状態であると判断するとき、少なくとも前記第２ＣＰＵが復帰するまで前記駆動部を制御する指令信号を演算し、

前記第２指令信号演算部は、前記第１ＣＰＵ状態判断部が前記第１ＣＰＵのリセット状態であると判断するとき、少なくとも前記第１ＣＰＵが復帰するまで前記駆動部を制御する制御信号を演算することを特徴とする車両搭載機器の制御装置。

[請求項15] 請求項１に記載の車両搭載機器の制御装置において、

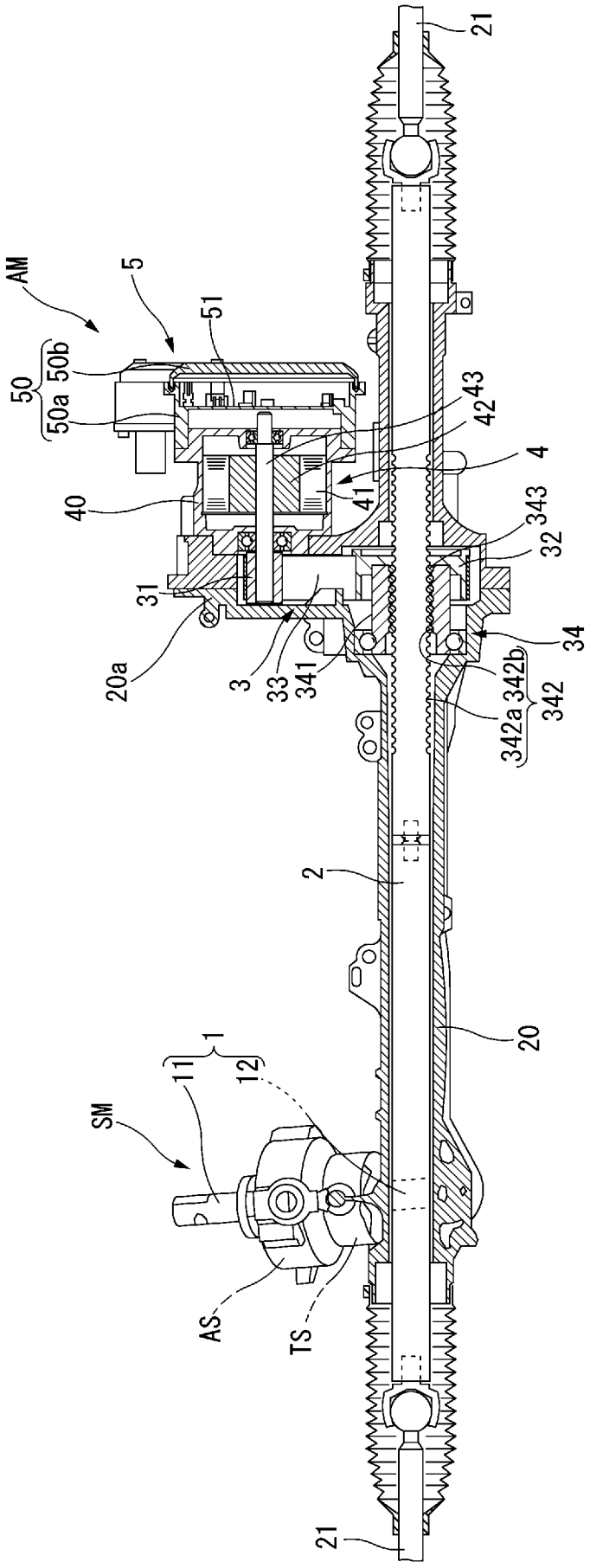
前記第１ＣＰＵは、前記第２ＣＰＵがリセット状態であると前記第２ＣＰＵ状態判断部が判断するとき、前記第１ＣＰＵをリセットし、

前記第２ＣＰＵは、前記第１ＣＰＵがリセット状態であると前記第１ＣＰＵ状態判断部が判断するとき、前記第２ＣＰＵをリセットすることを特徴とする車両搭載機器の制御装置。

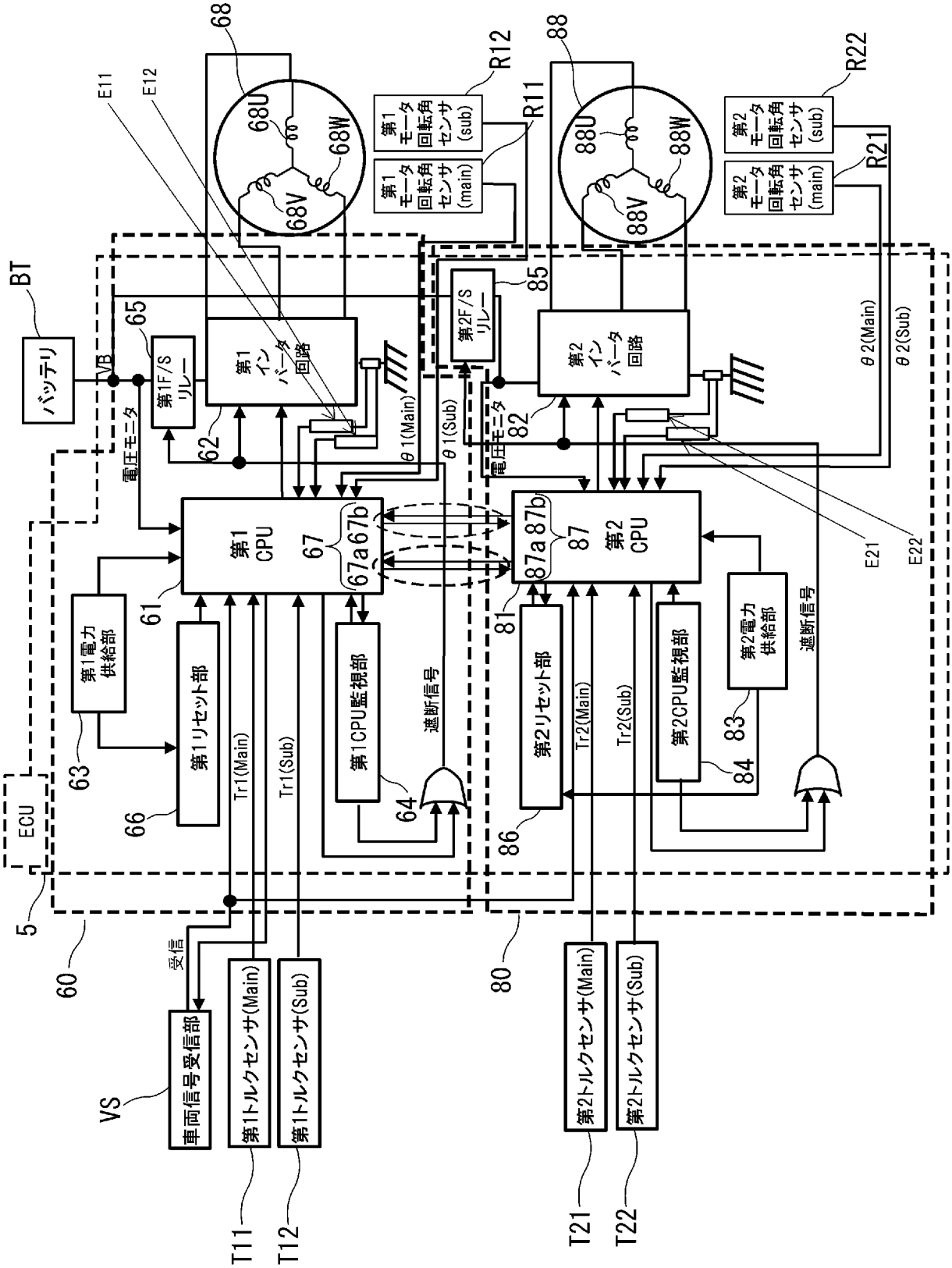
[請求項16] 請求項１に記載の車両搭載機器の制御装置において、

前記第１ＣＰＵ又は前記第２ＣＰＵの一方がリセット状態から復帰した後、他方のＣＰＵは、前記復帰した一方のＣＰＵに対して制御タイミングを同期させるための同期信号を出力することを特徴とする車両搭載機器の制御装置。

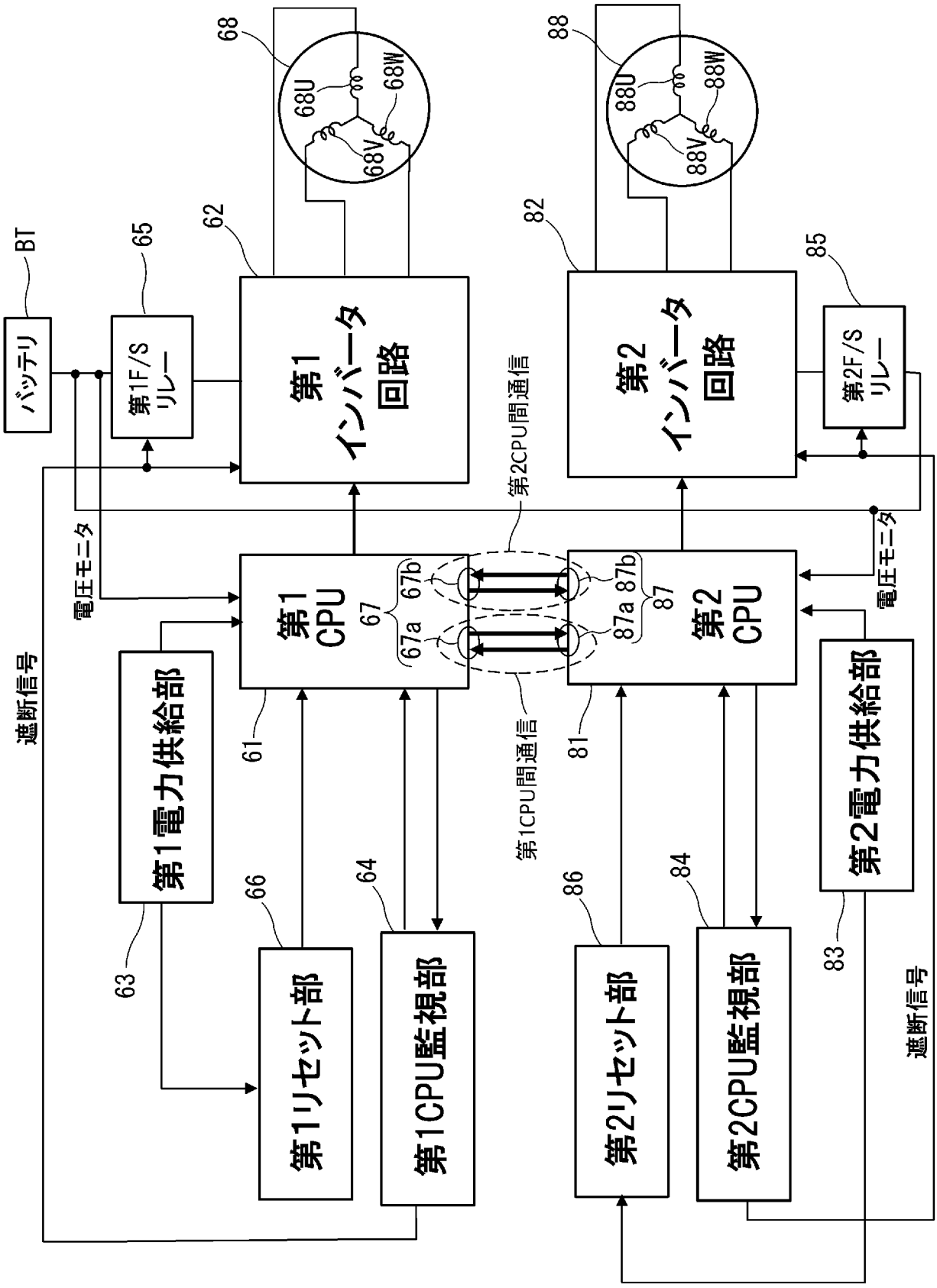
[図1]


AM
5
51
50
50b
50a
43
42
4
41
40
343
32
31
34
20a
3
33
341
342b
342
342a
2
20
1
11
12
SM
AS
TS
21
21

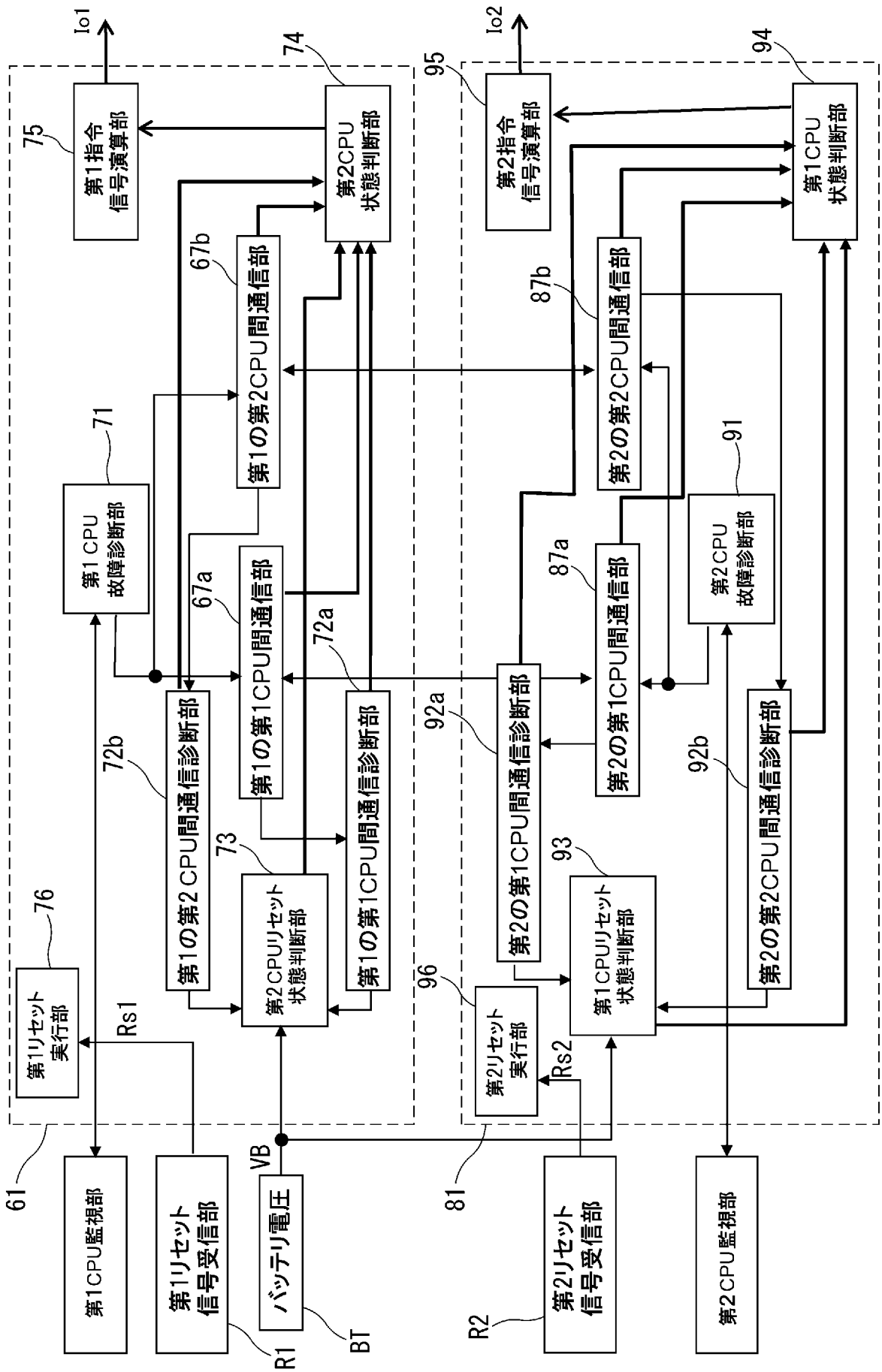
[図2]


BT
バッテリ
VB
65
第1F/S リレー
電圧モニタ
62
第1 インバータ 回路
68
68U
68V
68W
E11
E12
R12
第1 モータ 回転角 センサ (sub)
R11
第1 モータ 回転角 センサ (main)
θ1(Main)
θ1(Sub)
85
第2F/S リレー
88
88U
88V
88W
R22
第2 モータ 回転角 センサ (sub)
R21
第2 モータ 回転角 センサ (main)
第2 インバータ 回路
82
電圧モニタ
θ2(Main)
θ2(Sub)
第1 CPU
67
67a
67b
61
87a
87b
87
第2 CPU
81
E21
E22
第1電力 供給部
63
第1リセット部
66
第1CPU監視部
64
遮断信号
第2リセット部
86
Tr2(Main)
Tr2(Sub)
第2CPU監視部
84
第2電力 供給部
83
遮断信号
ECU
5
60
80
受信
車両信号受信部
VS
第1トルクセンサ(Main)
第1トルクセンサ(Sub)
T11
T12
Tr1(Main)
Tr1(Sub)
第2トルクセンサ(Main)
第2トルクセンサ(Sub)
T21
T22

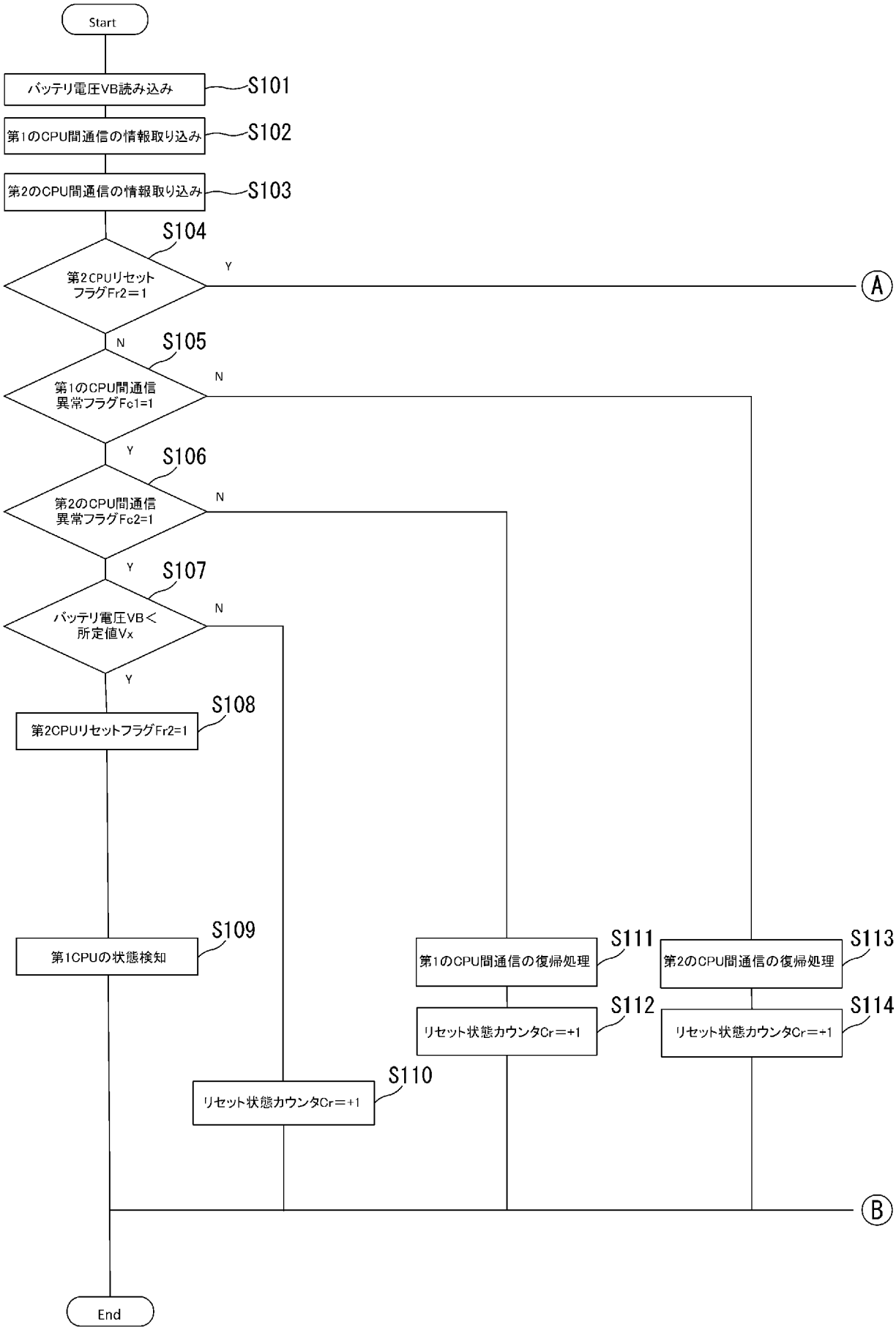
[図3]


BT
バッテリ
65
第1F/S リレー
62
第1 インバータ 回路
68
68U
68V
68W
82
第2 インバータ 回路
88
88U
88V
88W
85
第2F/S リレー
第2CPU間通信
電圧モニタ
遮断信号
第1 CPU
67
67a
67b
61
第1CPU間通信
第2 CPU
87
87a
87b
81
電圧モニタ
第1電力供給部
63
第2電力供給部
83
66
第1リセット部
64
第1CPU監視部
86
第2リセット部
84
第2CPU監視部
遮断信号

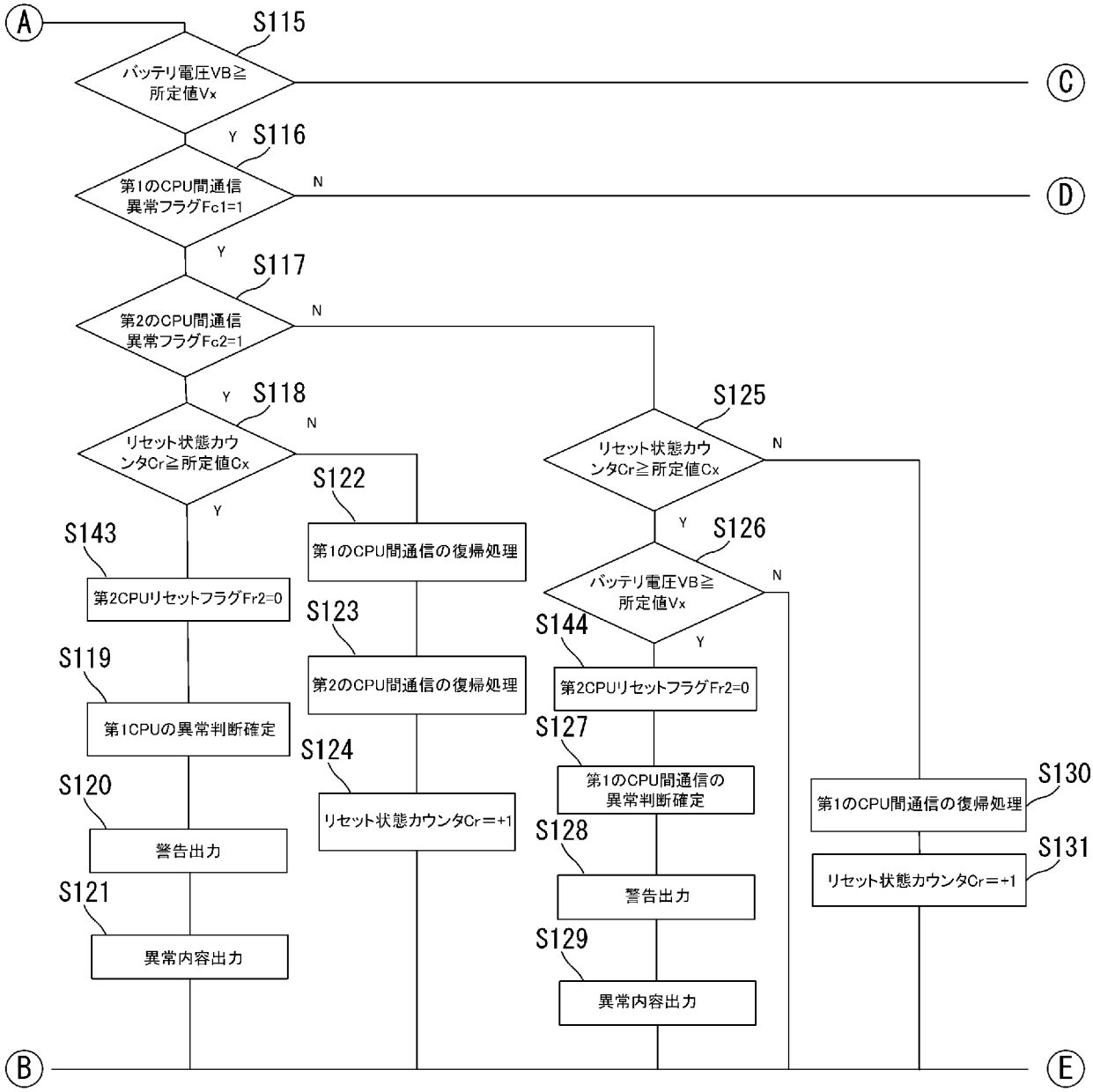
[図4]


Io1
Io2
74
95
94
75
第1指令信号演算部
第2CPU状態判断部
第2指令信号演算部
第1CPU状態判断部
67b
87b
第1の第2CPU間通信部
第2の第2CPU間通信部
71
91
第1CPU故障診断部
第2CPU故障診断部
67a
87a
72a
第1の第1CPU間通信部
第2の第1CPU間通信部
72b
92a
92b
第1の第2CPU間通信診断部
第1の第1CPU間通信診断部
第2の第1CPU間通信診断部
73
93
76
96
第2CPUリセット状態判断部
第1CPUリセット状態判断部
第1リセット実行部
第2リセット実行部
Rs1
Rs2
61
81
VB
第1CPU監視部
第1リセット信号受信部
バッテリ電圧
第2リセット信号受信部
第2CPU監視部
R1
BT
R2

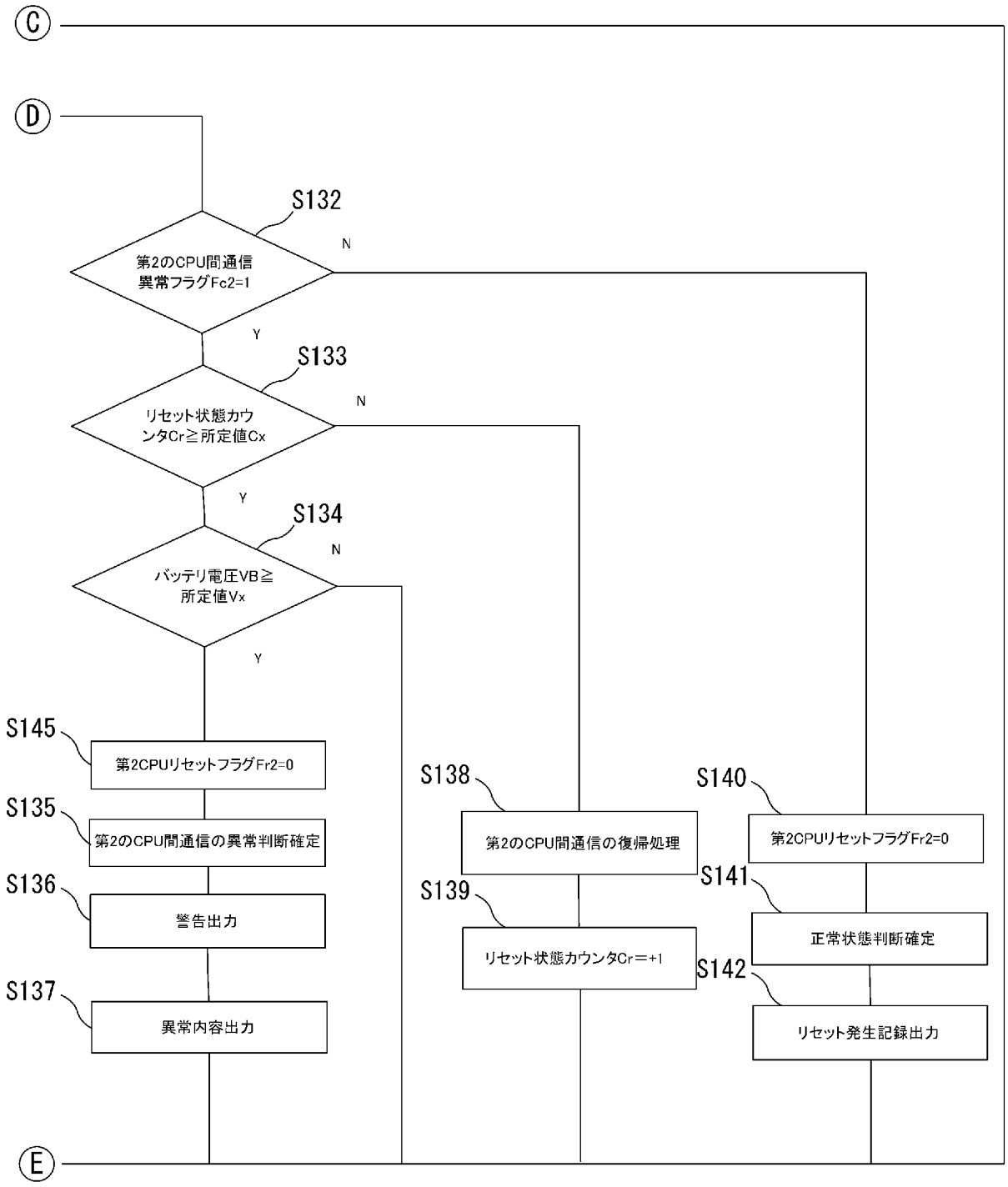
[図5]


Start
バッテリ電圧VB読み込み
S101
第1のCPU間通信の情報取り込み
S102
第2のCPU間通信の情報取り込み
S103
S104
第2CPUリセット
フラグFr2＝1
Y
A
N
S105
第1のCPU間通信
異常フラグFc1=1
N
Y
S106
第2のCPU間通信
異常フラグFc2=1
N
Y
S107
バッテリ電圧VB＜
所定値Vx
N
Y
S108
第2CPUリセットフラグFr2=1
S109
第1CPUの状態検知
S111
第1のCPU間通信の復帰処理
S113
第2のCPU間通信の復帰処理
S112
リセット状態カウンタCr＝+1
S114
リセット状態カウンタCr＝+1
S110
リセット状態カウンタCr＝+1
B
End

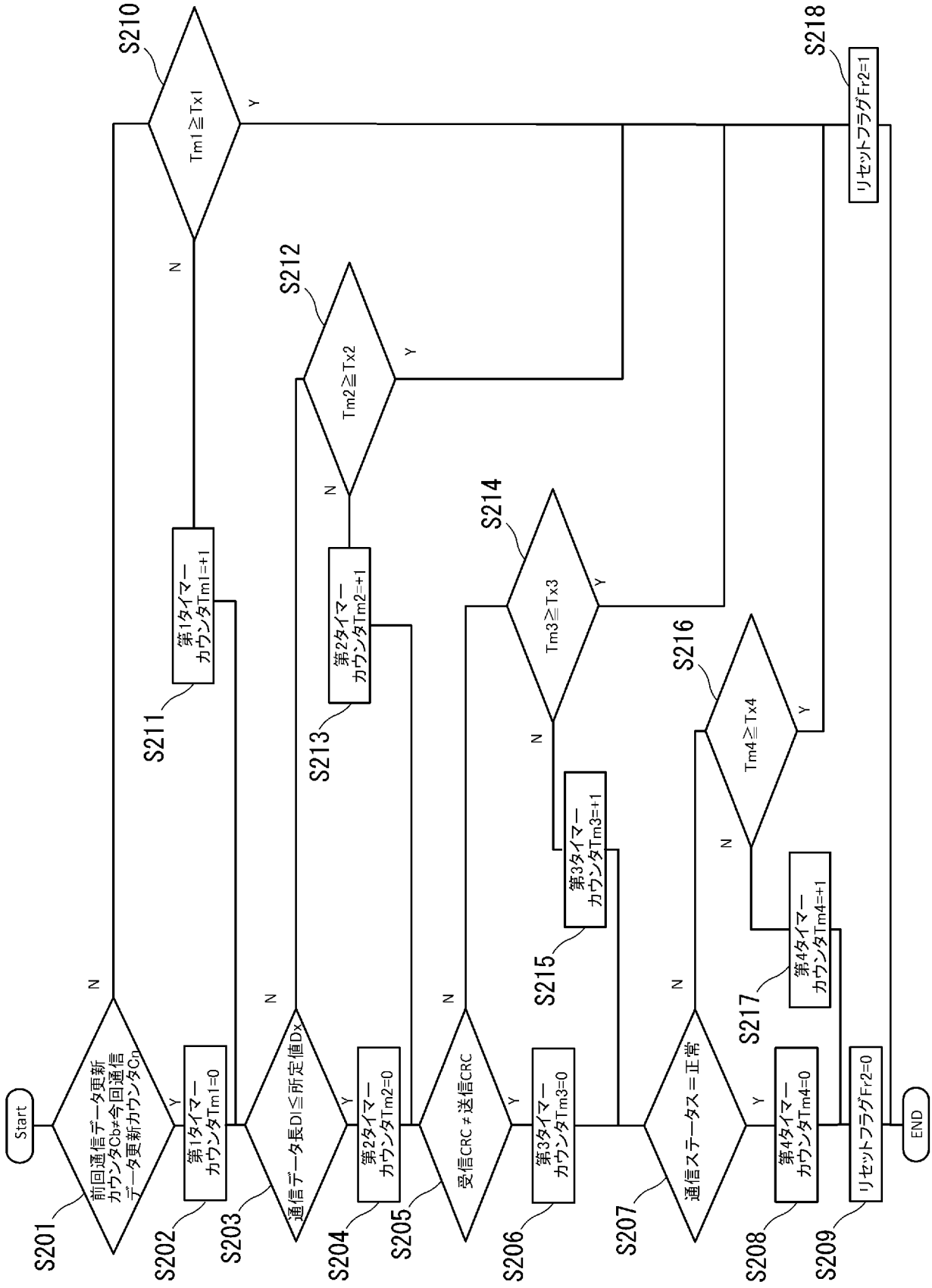
[図6]


A
S115
バッテリ電圧VB≧所定値Vx
C
Y
S116
第1のCPU間通信異常フラグFc1=1
N
D
Y
S117
第2のCPU間通信異常フラグFc2=1
N
Y
S118
リセット状態カウンタCr≧所定値Cx
N
Y
S143
第2CPUリセットフラグFr2=0
S119
第1CPUの異常判断確定
S120
警告出力
S121
異常内容出力
S122
第1のCPU間通信の復帰処理
S123
第2のCPU間通信の復帰処理
S124
リセット状態カウンタCr＝+1
S125
リセット状態カウンタCr≧所定値Cx
N
Y
S126
バッテリ電圧VB≧所定値Vx
N
Y
S144
第2CPUリセットフラグFr2=0
S127
第1のCPU間通信の異常判断確定
S128
警告出力
S129
異常内容出力
S130
第1のCPU間通信の復帰処理
S131
リセット状態カウンタCr＝+1
B
E

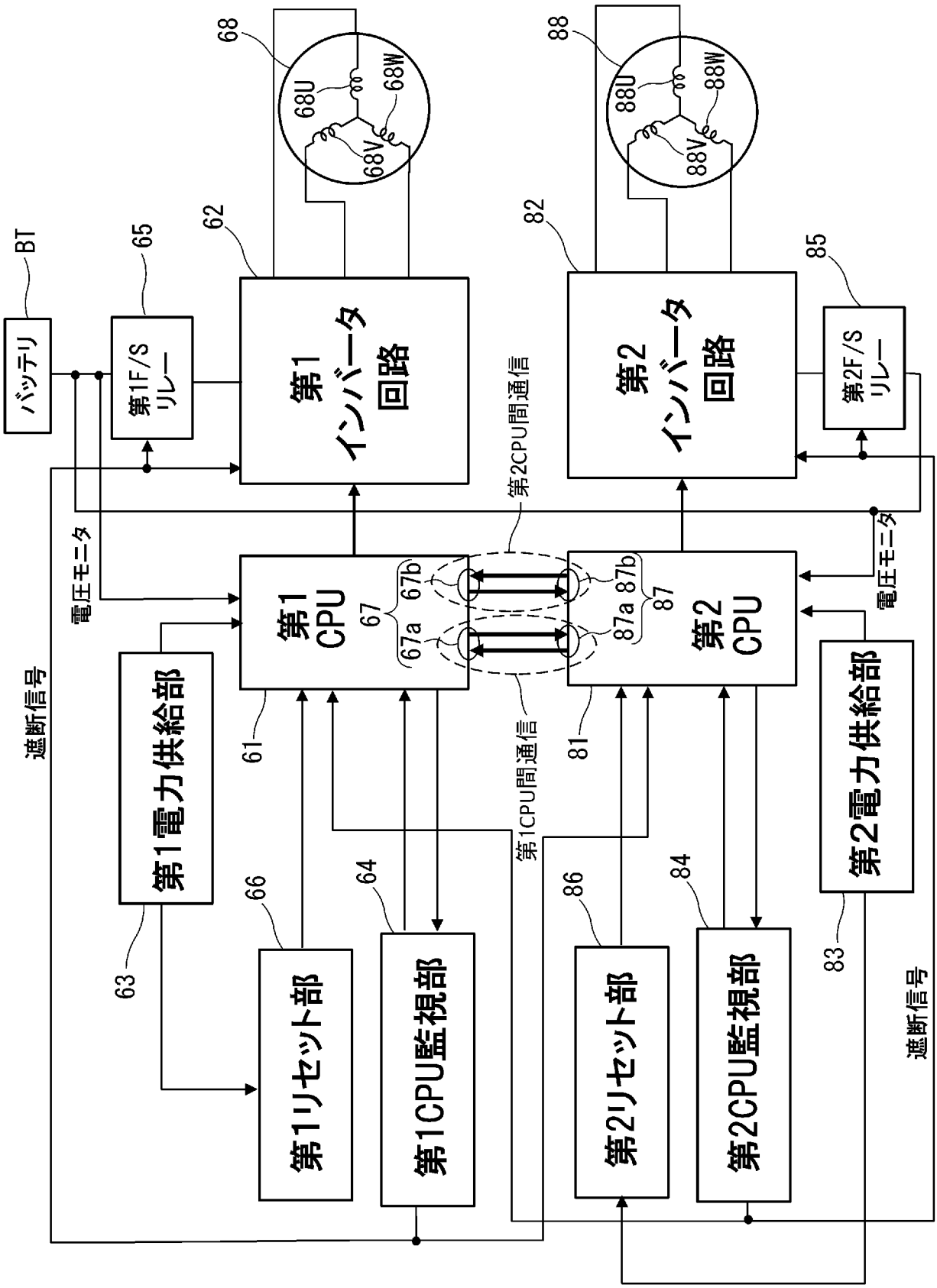
[図7]


C
D
S132
第2のCPU間通信
異常フラグFc2=1
N
Y
S133
リセット状態カウ
ンタCr≧所定値Cx
N
Y
S134
バッテリ電圧VB≧
所定値Vx
N
Y
S145
第2CPUリセットフラグFr2=0
S135
第2のCPU間通信の異常判断確定
S136
警告出力
S137
異常内容出力
S138
第2のCPU間通信の復帰処理
S139
リセット状態カウンタCr＝+1
S140
第2CPUリセットフラグFr2=0
S141
正常状態判断確定
S142
リセット発生記録出力
E

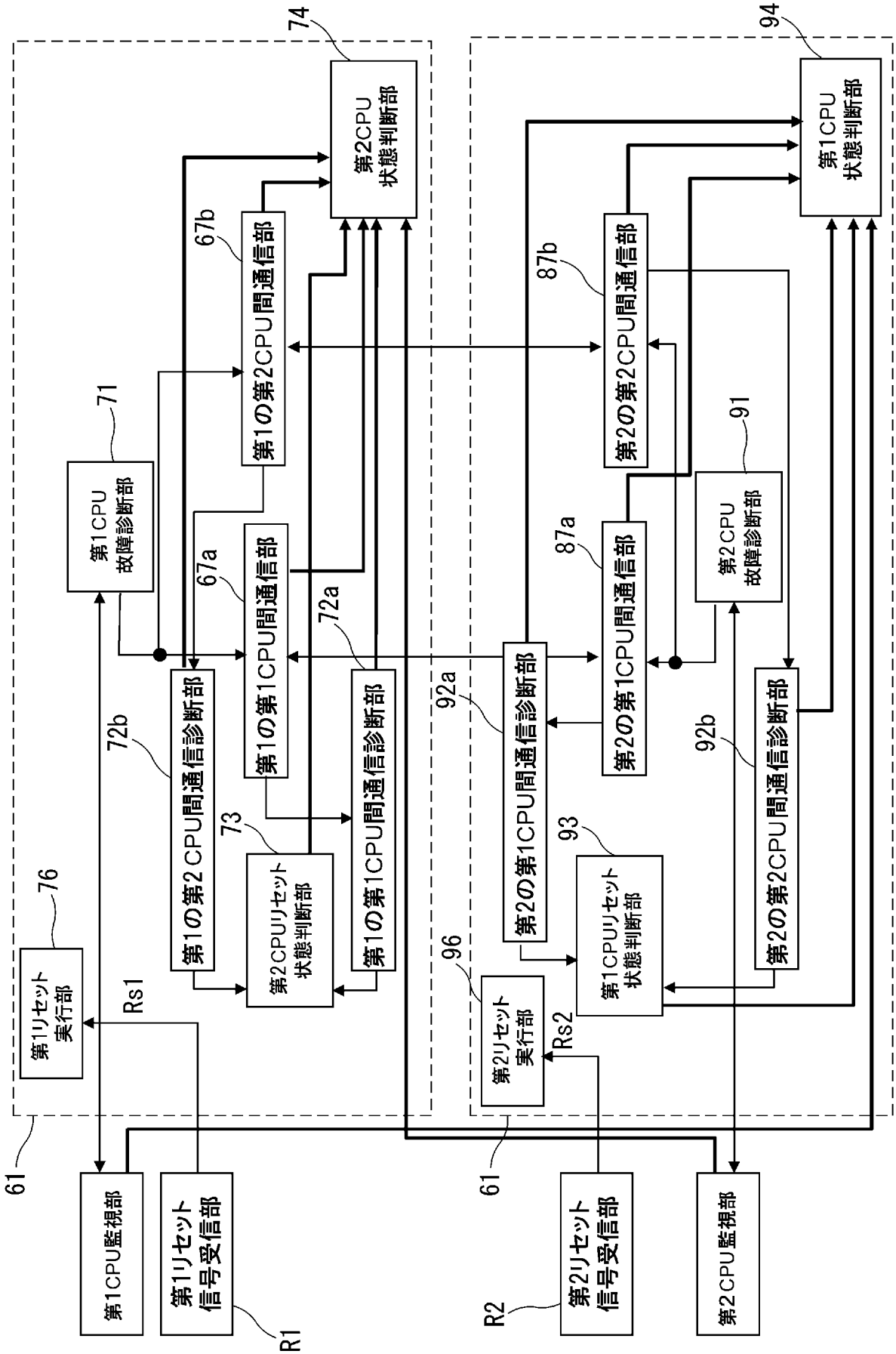
[図8]


Start
S201
前回通信データ更新カウンタCb≠今回通信データ更新カウンタCn
N
Y
S202
第1タイマーカウンタTm1=0
S203
通信データ長Dl≦所定値Dx
S204
第2タイマーカウンタTm2=0
S205
受信CRC≠送信CRC
S206
第3タイマーカウンタTm3=0
S207
通信ステータス＝正常
S208
第4タイマーカウンタTm4=0
S209
リセットフラグFr2=0
END
S210
Tm1≧Tx1
S211
第1タイマーカウンタTm1=+1
S212
Tm2≧Tx2
S213
第2タイマーカウンタTm2=+1
S214
Tm3≧Tx3
S215
第3タイマーカウンタTm3=+1
S216
Tm4≧Tx4
S217
第4タイマーカウンタTm4=+1
S218
リセットフラグFr2=1

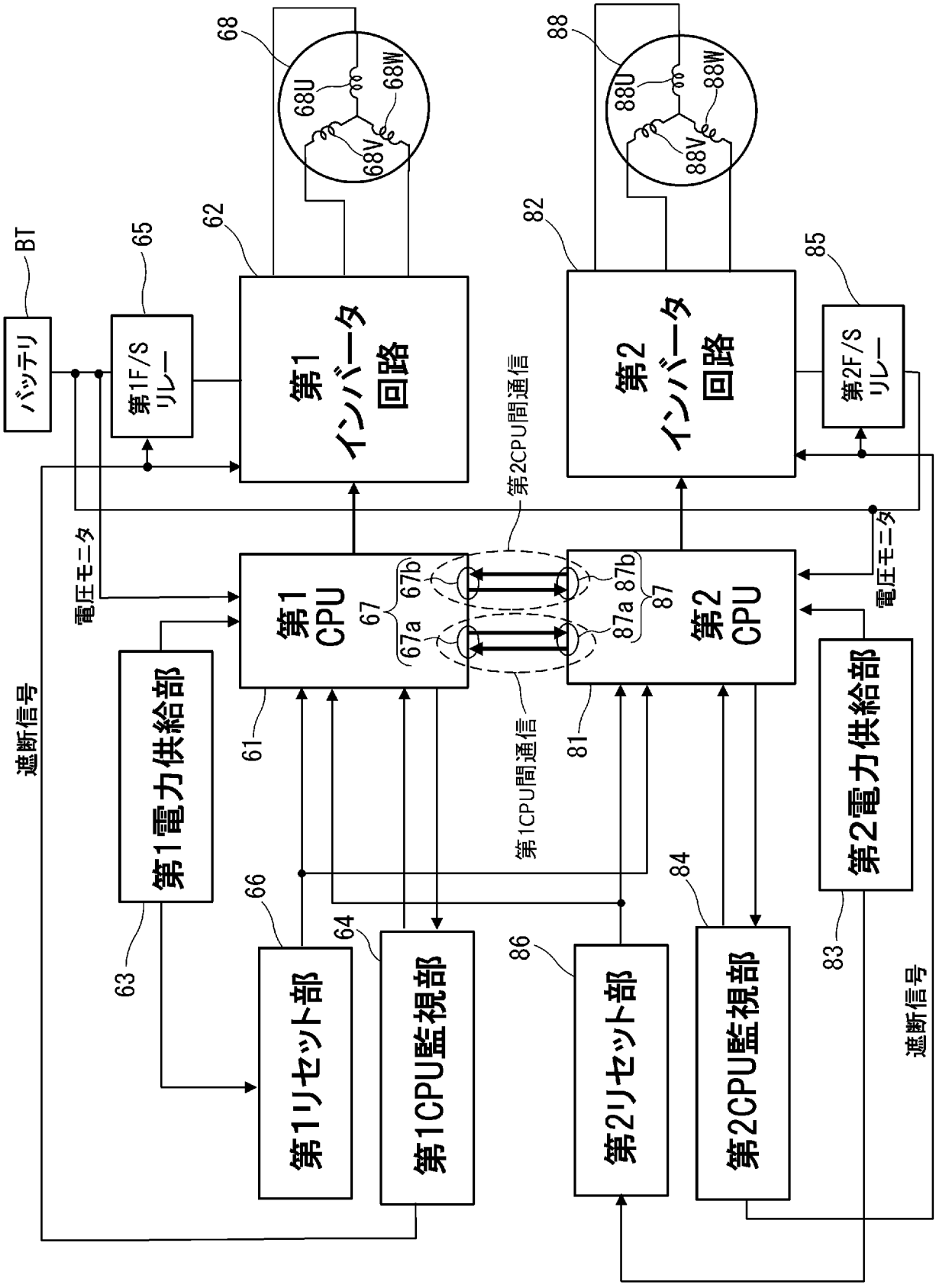
[図9]


68
68U
68W
68V
88
88U
88W
88V
BT
バッテリ
65
第1F/S
リレー
62
第1
インバータ
回路
82
第2
インバータ
回路
85
第2F/S
リレー
第2CPU間通信
電圧モニタ
電圧モニタ
遮断信号
第1
CPU
67
67a
67b
87a
87b
87
第2
CPU
61
81
第1CPU間通信
第1電力供給部
第2電力供給部
63
83
66
第1リセット部
64
第1CPU監視部
86
第2リセット部
84
第2CPU監視部
遮断信号

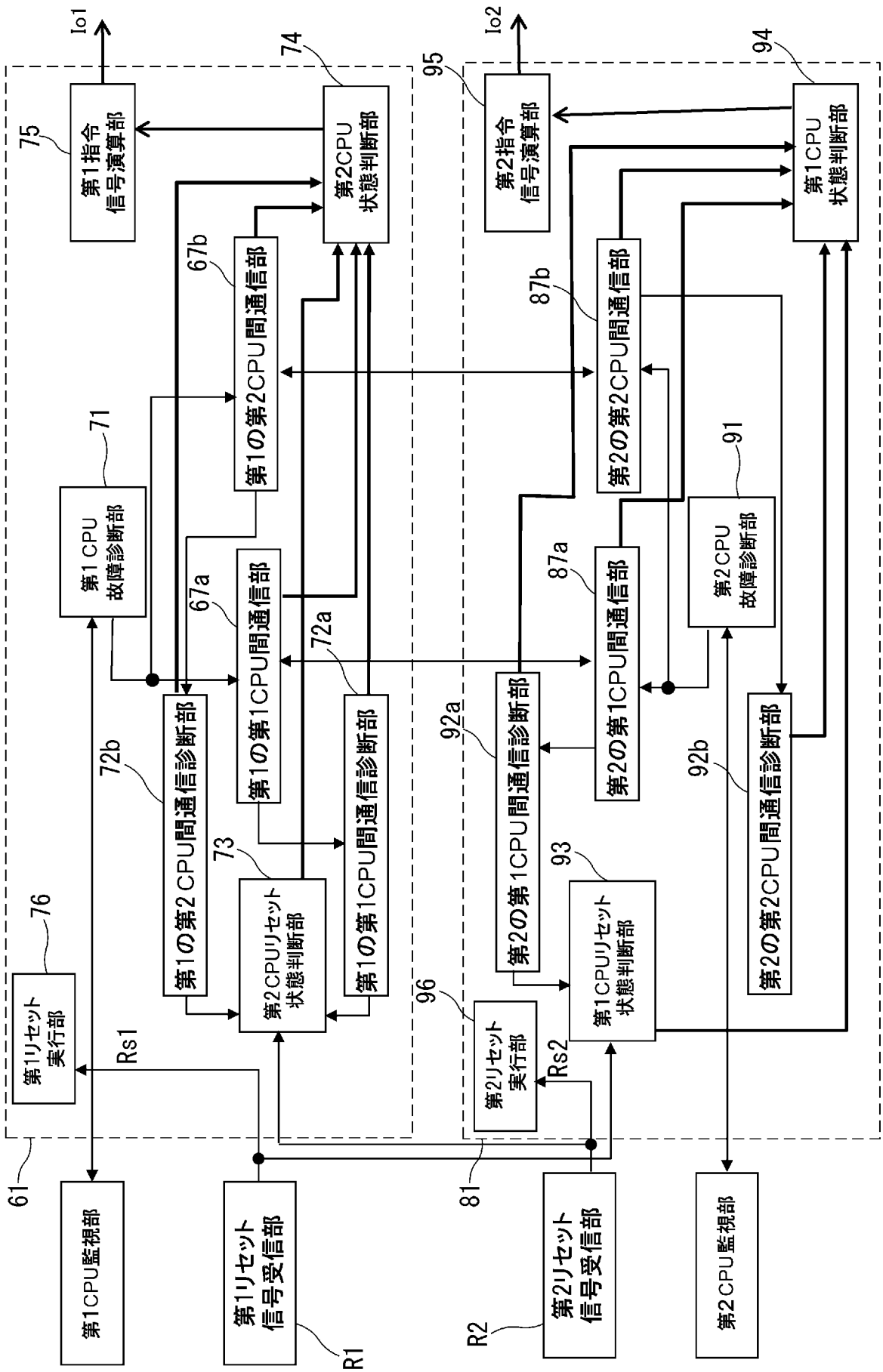
[図10]


74
第2CPU
状態判断部
94
第1CPU
状態判断部
67b
第1の第2CPU間通信部
87b
第2の第2CPU間通信部
71
第1CPU
故障診断部
91
第2CPU
故障診断部
67a
第1の第1CPU間通信部
87a
第2の第1CPU間通信部
72a
72b
第1の第2 CPU間通信診断部
第1の第1CPU間通信診断部
92a
92b
第2の第1CPU間通信診断部
第2の第2CPU間通信診断部
73
第2CPUリセット
状態判断部
93
第1CPUリセット
状態判断部
76
第1リセット
実行部
Rs1
96
第2リセット
実行部
Rs2
61
61
第1CPU監視部
第1リセット
信号受信部
R1
R2
第2リセット
信号受信部
第2CPU監視部

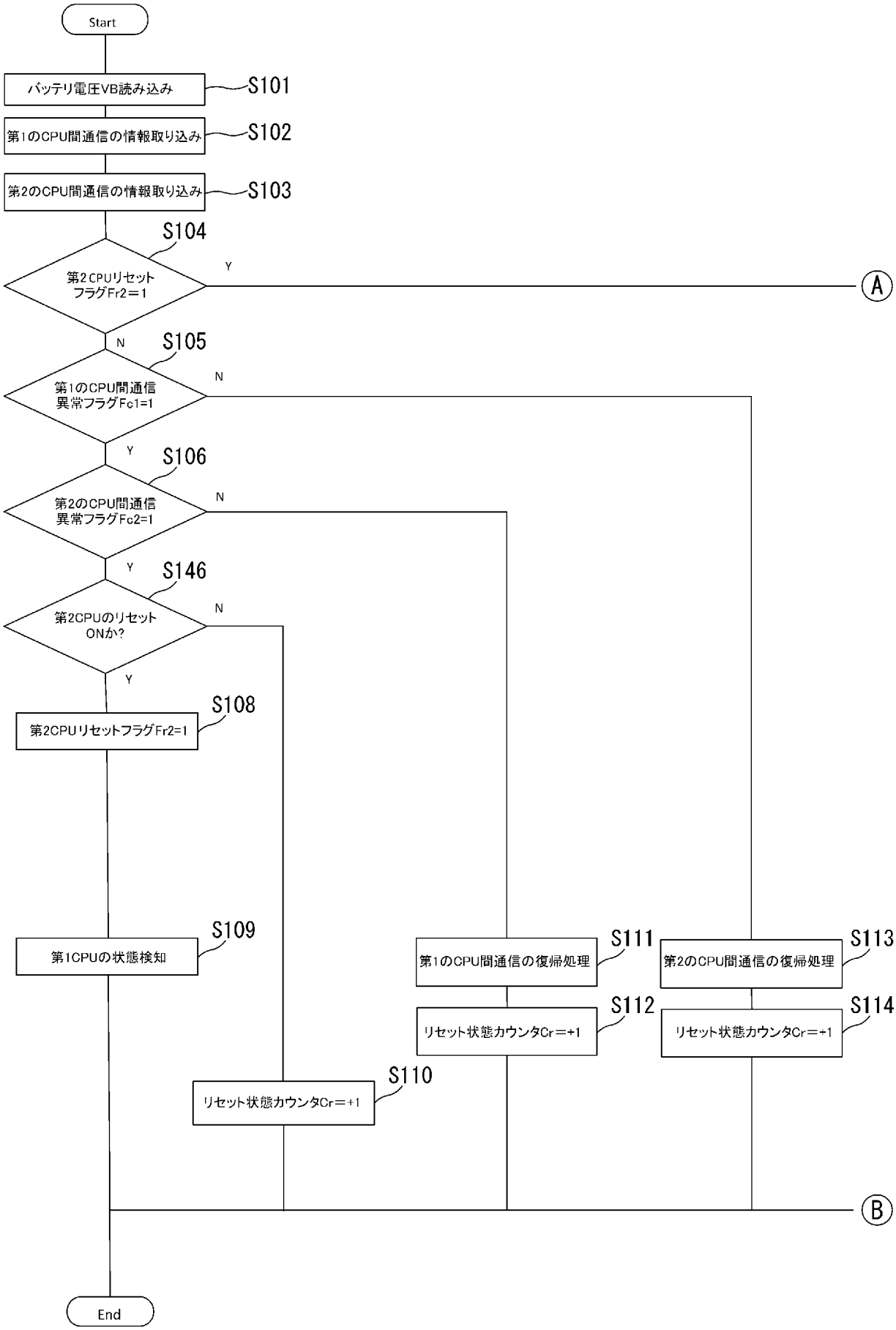
[図11]


BT
バッテリ
65
第1F/S
リレー
62
第1
インバータ
回路
68
68U
68V
68W
82
第2
インバータ
回路
88
88U
88V
88W
85
第2F/S
リレー
第2CPU間通信
電圧モニタ
電圧モニタ
第1
CPU
67
67a
67b
第2
CPU
87
87a
87b
第1CPU間通信
61
81
遮断信号
遮断信号
第1電力供給部
63
第2電力供給部
83
66
第1リセット部
64
第1CPU監視部
86
第2リセット部
84
第2CPU監視部

[図12]


Io1
Io2
74
95
94
75
第1指令信号演算部
第2CPU状態判断部
第2指令信号演算部
第1CPU状態判断部
67b
87b
第1の第2CPU間通信部
第2の第2CPU間通信部
71
91
第1 CPU故障診断部
第2CPU故障診断部
67a
87a
72a
第1の第1CPU間通信部
第2の第1CPU間通信部
72b
92a
92b
第1の第2 CPU間通信診断部
第2の第1CPU間通信診断部
第2の第2CPU間通信診断部
73
93
76
96
第2CPUリセット状態判断部
第1CPUリセット状態判断部
第1リセット実行部
第2リセット実行部
Rs1
Rs2
61
81
第1CPU監視部
第1リセット信号受信部
第2リセット信号受信部
第2CPU監視部
R1
R2

[図13]


Start
バッテリ電圧VB読み込み
S101
第1のCPU間通信の情報取り込み
S102
第2のCPU間通信の情報取り込み
S103
S104
第2CPUリセット
フラグFr2＝1
Y
A
N
S105
第1のCPU間通信
異常フラグFc1=1
N
Y
S106
第2のCPU間通信
異常フラグFc2=1
N
Y
S146
第2CPUのリセット
ONか?
N
Y
S108
第2CPUリセットフラグFr2=1
S109
第1CPUの状態検知
S111
第1のCPU間通信の復帰処理
S113
第2のCPU間通信の復帰処理
S112
リセット状態カウンタCr＝+1
S114
リセット状態カウンタCr＝+1
S110
リセット状態カウンタCr＝+1
B
End

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/017867

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. G06F11/30(2006.01)i, B62D5/04(2006.01)i, B62D6/00(2006.01)i, G06F11/07(2006.01)i, G06F11/20(2006.01)i, H02P25/22(2006.01)i, H02P29/024(2016.01)i, B60R16/02(2006.01)n, B62D101/00(2006.01)n, B62D119/00(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. G06F11/30, B62D5/04, B62D6/00, G06F11/07, G06F11/20, H02P25/22, H02P29/024, B60R16/02, B62D101/00, B62D119/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-232142 A (HITACHI, LTD.) 14 November 2013, paragraphs [0006]-[0009], [0014]-[0022], [0037]-	1, 5-8, 10-11, 13-16
A	[0038], fig. 1 (Family: none)	2-4, 9, 12
Y	JP 6-56045 A (KOYO SEIKO CO., LTD.) 01 March 1994, paragraphs [0002]-[0005] & US 5360077 A, column 1,	1, 5-8, 10-11, 13-16
A	lines 7-55 & EP 572961 A2	2-4, 9, 12
Y	JP 2004-516575 A (LEGATO SYSTEMS, INC.) 03 June 2004, paragraphs [0029]-[0032] & US 2002/0083036	11
A	A1, paragraphs [0037]-[0040]	12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 04 July 2018 (04.07.2018)	Date of mailing of the international search report 17 July 2018 (17.07.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/017867

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-328488 A (DENSO CORP.) 18 November 2004, paragraphs [0013]-[0014] (Family: none)	13
Y	WO 2011/114493 A1 (TOYOTA MOTOR CORP.) 22 September 2011, paragraphs [0007]-[0009] & US 2011/0246820 A1, paragraphs [0006]-[0008]	15
A		1-14, 16

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０１７８６７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G06F11/30(2006.01)i, B62D5/04(2006.01)i, B62D6/00(2006.01)i, G06F11/07(2006.01)i, G06F11/20(2006.01)i, H02P25/22(2006.01)i, H02P29/024(2016.01)i, B60R16/02(2006.01)n, B62D101/00(2006.01)n, B62D119/00(2006.01)n

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G06F11/30, B62D5/04, B62D6/00, G06F11/07, G06F11/20, H02P25/22, H02P29/024, B60R16/02, B62D101/00, B62D119/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2013-232142 A (株式会社日立製作所) 2013.11.14, 段落[0006]-[0009],[0014]-[0022],[0037]-[0038],[図1]	1,5-8,10-11, 13-16
A	(ファミリーなし)	2-4,9,12
Y	JP 6-56045 A (光洋精工株式会社) 1994.03.01, 段落[0002]-[0005] & US 5360077 A, 第1欄第7-55行目	1,5-8,10-11, 13-16
A	& EP 572961 A2	2-4,9,12

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０４．０７．２０１８	１７．０７．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｂ　５５８３
大桃　由紀雄
電話番号　０３－３５８１－１１０１　内線　３５４５

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2004-516575 A（レガート　システムズ　インコーポレイテッド） 2004.06.03, 段落[0029]-[0032] & US 2002/0083036 A1, 段落[0037]-[0040]	11 12
Y	JP 2004-328488 A（株式会社デンソー）2004.11.18, 段落[0013]-[0014] （ファミリーなし）	13
Y A	WO 2011/114493 A1（トヨタ自動車株式会社）2011.09.22, 段落[0007]-[0009] & US 2011/0246820 A1, 段落[0006]-[0008]	15 1-14,16