(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G06F 15/62

(11) 공개번호 특1995-0033913
(43) 공개일자 1995년12월26일

(21) 출원번호 특1995-0004806
(22) 출원일자 1995년03월09일
(30) 우선권주장 8/208,469 1994년03월09일 미국(US)
8/208,543 1994년03월09일 미국(US)
8/209,127 1994년03월09일 미국(US)
(71) 출원인 텍사스 인스트루먼츠 인코포레이티드 윌리암 이. 힐러
미합중국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500
(72) 발명자 개리 엘. 스워보더
미합중국 77479 텍사스주 슈가 랜드 발보아 4435
(74) 대리인 주성민, 장수길

심사청구 : 없음

(54) 클럭 도메인에서 테스트 인터페이스를 분할 콘트롤할 수 있는 에뮬레이션 장치, 시스템 및 방법

요약

에뮬레이션 장치(11)는 공통의 콘트롤 정보(8801)를 분할하여 있는 복수의 클럭 도메인 각각(1213,1215,1217)으로 분배하며, 또한 클럭 도메인에 개별화된 크럭 콘트롤(8905,8907,8913)를 제공한다.

대표도

도1

명세서

[발명의 명칭]

클럭 도메인에서 테스트 인트페이스를 분할 콘트롤할 수 있는 에뮬레이션 장치, 시스템 및 방법

[도면의 간단한 설명]

제1도는 집적 회로 칩 및 소프트웨어를 개발하기 위한 개발 장비의 도면, 제2도는 에뮬레이션, 시뮬레이션, 테스트 가능 및 부가된 프로세서 데이타 처리, 통신 I/O및 주변 장치 액세스를 위한 시스템 구성을 부분 블럭도를 나타낸 도면, 제3도는 제2도의 호스트 컴퓨터용 소프트웨어 구성도, 제4도는 모듈 방식의 포트 스캔(MPSD) 배열의 블럭도, 제5도는 스캔 데스트/MPSD 구성의 블럭도.

본 건은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

집적 회로가 제작되어 있는 반도체 칩을 구비하며, 상기 집적회로는 정상적인 동작기능을 수행하도록 하기 위한 기능 회로망과, 상기 기능 회로망의 머신 상태와 관련한 정보를 제공하는 보조 기능을 수행하도록 하는 보조 회로망을 구비하며, 상기 보조 회로망은 상기 보조 기능을 외부에서 콘트롤 할 수 있도록 하기 위해 상기 집적 회로의 외부에서 접근 가능하게 입력을 가진 상태 머신 회로망을 포함하고; 상기 보조 회로망은 상기 기능 회로망을 통해 분할되어 있으며 상기 기능 회로망의 각 부분과 동작할 수 있도록 결합되어 있고 테스트 방법 체계에 따라 동작을 실행할 수 있는 복수의 테스트 아키택쳐를 포함하는데, 상기 각 테스트 아키택쳐는 콘트롤이 가능하도록 되어 있으며 상기 집적 회로 내에 내장되는 콘트롤 인터페이스를 갖고 있고; 상기 보조 회로망은 상기 콘트롤 인터페이스를 동작시키는데 사용되는 콘트롤 신호를 제공하기 위해 상기 상태 머신 회로망과 상기 테스트 아키택쳐 간을 인터페이싱하는 어댑터 회로망과, 상기 기능 회로망을 통해 물리적으로 분할된 복수의 래치 회로를 더 구비하며, 상기 각 래치 회로는 상기 콘트롤 신호를 선택적으로 래치하여 래치된 콘트롤 신호를 제공함으로써 상기 각 콘트롤 인터페이스를 동작시키는데 사용할 수 있도록 상기 어댑터 회로망과 상기 콘트롤 인터페이스 각각 간에 접속되어 있는 것을 특징으로 하는 전자 장치.

청구항 2

집적 회로가 제작되어 있는 반도체 칩을 구비하며, 상기 집적회로는 정상적인 동작 기능을 수행하도록 하기 위한 기능 회로망과, 상기 기능 회로망의 머신 상태와 관련한 정보를 제공하는 보조 기능을 수행하도록하는 보조 회로망을 구비하며, 상기 보조 회로망은 제1클럭 속도로 상기 기능 회로망을 통해 데이타를 스캔하기 위해 상기 기능 회로망의 각 부분들을 통해 연장하며 상기 각 부분들과 동작할 수 있도록 결합되어 있는 복수의 스캔 경로 섹션을 가진 스캔 경로를 포함하며, 상기 기능 회로망은 상기 정상적인 동작 기능을 수행하기 위해 상기 제1의 클럭 속도와 다른 제2클럭 속도로 동작되며; 상기 보조 회로망은 상기 기능 회로망을 통해 물리적으로 분할되어 있으며 상기 기능 회로망의 각 부분들과 동작할 수 있도록 결합되어 있는 복수의 클럭 콘트롤 회로를 포함하며, 상기 각 클럭 콘트롤 회로는 상기 결합된 스캔 경로 섹션이 사용하는 상기 제1클럭속도를 가진 제1클럭 신호와 상기 기능 회로의 결합된 부분이 사용하는 상기 제2클럭 속도를 가진 제2클럭 신호중 선택된 신호를 공급하기 위해 나머지 상기 클럭 콘트롤 회로와 독립적으로 동작되며, 상기 클럭 콘트롤 회로에 클럭 선택 신호를 제공하기 위한 클럭 선택 회로와, 상기 기능 회로망을 통해 물리적으로 분할되어 있는 복수의 래치회로를 구비하며, 상기 각 래치회로는 상기 클럭 선택 신호를 선택적으로 래치하여 래치된 클럭 선택 신호를 상기 각 클럭 콘트롤 회로에 인가하기 위해 상기 클럭 선택 회로와 상기 클럭 콘트롤 회로의 각각 간에 접속되어 있는 것을 특징으로 하는 전자 장치.

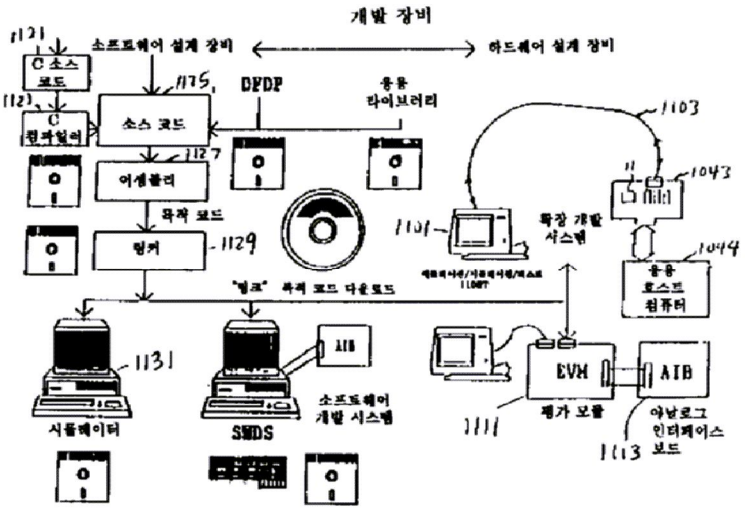
청구항 3

집적 회로가 제작되어 있는 반도체 칩을 구비하며, 상기 집적회로는 정상적인 동작 기능을 수행하도록 하기 위한 기능 회로망과, 상기 기능 회로망의 머신 상태와 관련한 정보를 제공하는 보조 기능을 수행하도록 하는 보조 회로망을 구비하며, 상기 보조 회로망은 제1클럭 속도로 상기 기능 회로망을 통해 데이타를 스캔하기 위해 상기 기능 회로의 각 부분들을 통해 연장하며 각 부분들과 동작할 수 있도록 결합된 복수의 스캔 경로 색션을 가진 스캔 경로를 포함하며, 상기 기능 회로망은 상기 정상적인 동작 기능을 수행하기 위해 상기 제1클럭 속도와 다른 제2클럭 속도로 동작되며; 상기 보조 회로망은 상기 기능 회로망을 통해 물리적으로 분할되어 있으며 상기 기능 회로망의 각 부분과 동작할 수 있도록 결합되어 있는 복수의 클럭 콘트롤회로를 포함하며, 상기 각 클럭 콘트롤 회로는 상기 결합된 스캔 경로 색션이 사용하는 상기 제1클럭 속도를 가진 제1클럭 신호와 상기 기능 회로의 상기 결합된 부분이 사용하는 상기 제2클럭 속도를 가진 제2클럭 신호 중 선택된 신호를 제공하기 위해 나머지 상기 클럭 콘트롤 회로와 독립적으로 동작되며, 상기 클럭 콘트롤 회로에 공급되는 클럭 속도가 자유롭게 변경 가능한 언로크된 상태와 상기 클럭 콘트롤 회로에 의해 공급되는 클럭 속도의 변화가 방지되는 로크된 상태로 상기 각 클럭 콘트롤 회로가 선택적으로 스위치되도록 하기 위해 상기 클럭 콘트롤 회로에 결합된 추가의 스캔 경로를 구비하는 것을 특징으로 하는 전자 장치.

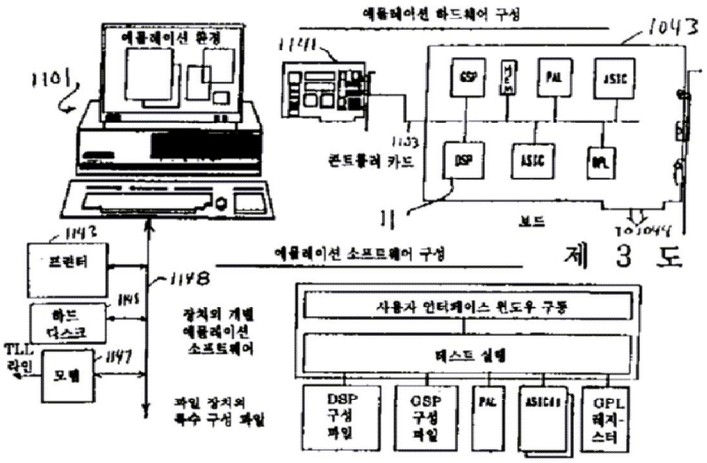
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

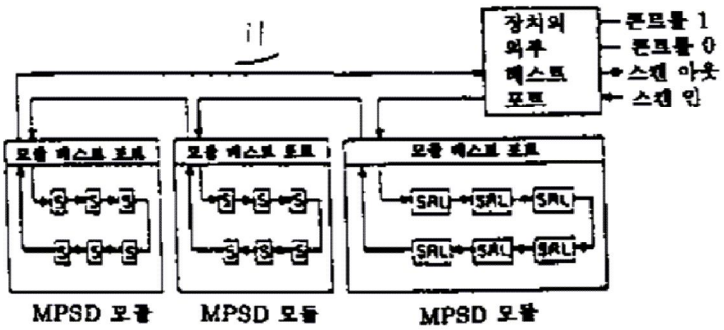


도면2



제 3 도

도면4



도면5

