

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 41/08

H01L 41/22



# [12] 发明专利申请公开说明书

[21] 申请号 200310123037.5

[43] 公开日 2004年7月7日

[11] 公开号 CN 1510768A

[22] 申请日 2003.12.23

[21] 申请号 200310123037.5

[30] 优先权

[32] 2002.12.23 [33] US [31] 10/326, 172

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 J·阿彭策勒 P·阿武雷斯

R·马特尔 J·A·米谢维奇

A·G·施罗特

[74] 专利代理机构 北京市中咨律师事务所

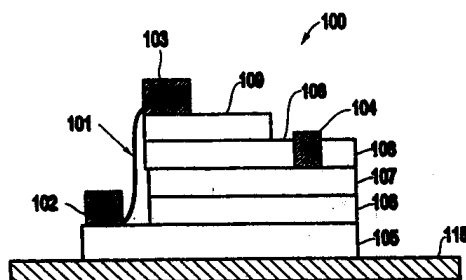
代理人 李 峥 于 静

权利要求书3页 说明书8页 附图3页

[54] 发明名称 压电器件及其方法

[57] 摘要

一种用于压电器件的结构(和方法),包括压电材料层。纳米管结构被安装使得压电材料的形状的变化引起纳米管结构中的应力的变化。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种压电器件，包括：  
压电材料层；以及  
纳米管结构，其被安装使得所述压电材料的形状的变化引起所述纳米管结构中的应力的变化。
2. 根据权利要求1的压电器件，其特征在于，还包括：  
支撑所述压电材料层的衬底。
3. 根据权利要求1的压电器件，其特征在于，还包括：  
第一电极；以及  
第二电极，所述第一电极和所述第二电极允许电压施加到所述纳米管结构。
4. 根据权利要求3的压电器件，其特征在于：所述第一电极接触所述纳米管结构的第一端，所述第二电极接触所述纳米管结构的第二端。
5. 根据权利要求1的压电器件，其特征在于还包括：  
电极对，其被设置使得施加到所述电极对的电压引起所述压电材料的所述形状的变化。
6. 根据权利要求5的压电器件，其特征在于，还包括：  
第二电极对，用于将电压施加到所述纳米管结构。
7. 根据权利要求6的压电器件，其特征在于：所述第二电极对的一个电极包括用于使得所述压电材料改变形状的所述电极对的一个电极。
8. 根据权利要求1的压电器件，其特征在于，所述纳米管结构包括：  
具有第一类型掺杂的第一部分；以及  
具有第二类型掺杂的第二部分。
9. 根据权利要求1的压电器件，其特征在于，还包括：  
形成在所述压电材料层下面的第一导电层；以及  
形成在所述压电材料层上面的第二导电层，所述第一导电层和所述第二导电层允许电压施加到所述压电材料。

10. 根据权利要求9的压电器件,其特征在於:所述第一导电层接触所述压电材料层的第一表面并且所述第二导电层接触所述压电材料层的第二表面。

11. 根据权利要求5的压电器件,其特征在於,还包括:

至少一层绝缘材料,用于当施加所述电压引起所述形状的变化时提供用于所述纳米管结构的电隔离。

12. 根据权利要求1的压电器件,其特征在於,还包括:

形成在所述纳米管结构上的栅极绝缘层;以及  
形成在所述栅极绝缘层上的栅电极。

13. 一种制备压电器件的方法,所述方法包括:

淀积导电材料的第一区;

在导电材料的所述区上淀积压电材料层;

在所述压电材料上淀积第二导电材料层;以及

安装纳米管结构使得所述压电材料的变化引起所述纳米管结构中的应力的变化。

14. 根据权利要求13的方法,其特征在於:所述导电材料的第一区被设置以接触所述压电材料层的底面,并且所述导电材料的第二层被设置以接触所述压电材料的顶面。

15. 根据权利要求14的方法,其特征在於,还包括:

提供第一电极以接触所述导电材料的第一区;以及

提供第二电极以接触所述导电材料的第二层。

16. 根据权利要求13的方法,其特征在於,还包括:

提供第一对电极以提供与所述纳米管结构的电接触。

17. 根据权利要求16的方法,其特征在於:所述第一对电极的第一电极被设置以接触所述纳米管结构的第一端;以及

所述第一对电极的第二电极被设置以接触所述纳米管结构的第二端。

18. 根据权利要求16的方法,其特征在於,还包括:

提供第二对电极以将电压提供到所述压电材料层,操作地使所述压电

材料层改变形状。

19.根据权利要求 18 的方法，其特征在于，还包括：

提供至少一个绝缘层以将所述纳米管结构与所述压电材料电隔离。

20. 根据权利要求 13 的方法，其特征在于，还包括：

提供第一类型的掺杂剂到所述纳米管结构的第一区；以及

提供第二类型的掺杂剂到所述纳米管结构的第二区。

21. 一种存储器件，包括：

至少一个存储单元，包括：

压电材料层；以及

纳米管结构，其被安装使得所述压电材料的形状的变化引起所述纳米管结构中的应力的变化。

22.根据权利要求 21 的存储器件，其特征在于，还包括：

用于允许电压被施加到所述压电材料的第一连接；以及

用于允许电压被施加在所述纳米管结构的端之间的第二连接。

23. 根据权利要求 22 的存储器件，其特征在于：所述至少一个存储单元还包括：

至少一个绝缘层，用于当所述电压被施加到所述压电材料时，提供所述纳米管结构的电隔离。

24. 根据权利要求 21 的存储器件，其特征在于：通过确定通过所述纳米管结构的电流量以及由所述纳米管结构发出的光之一可以检测所述至少一个存储单元的内容。

## 压电器件及其方法

### 技术领域

本发明一般地涉及压电器件的结构及制造，该压电器件被设计来将局部的和可控的应力提供到导电纳米结构，并提供装置以测量由施加的应力而得到的电子传输特性中的变化。这种结构的应用包括非易失性存储器件，其中铁电的残留性质产生了非易失性的导电率变化。

### 背景技术

新颖的自组装导电有机结构和碳纳米管由于其与纳米科学和纳米技术领域相关因此现已被广泛研究。纳米级结构的电子传输被认为对局部的应变和应力非常敏感。局部地控制这些领域的可能性将为设计新的电子器件提供新的可能，但目前探索或利用这种不很确定（suspected）特性的技术和器件进展较慢。

对于纳米管（nanotube），现已知它们的独特电子和机械特性是对应变和应力敏感。然而，目前操纵纳米管的方式，例如利用原子力显微镜（AFM）的尖端，不是特别适合平稳地和以可控的方式改变施加的应力。

目前，现已知还没有良好的技术将应力平稳地施加到纳米管结构。

### 发明内容

鉴于常规方法和结构的以上和其它问题、缺点和不足，本发明的目的是提供一种方法和结构，其中应力可以施加到纳米管结构并且可以容易地确定纳米管的导电率变化。

因此，本发明的一个目的是提供一种测量作为应力和应变的函数的纳米管结构的导电率的结构和方法。

本发明的另一目的是提供一种将压电材料与纳米管结构结合以提供可

较好地调整（缩小）到较高密度的非易失性存储单元的结构和方法。

也就是，这里介绍的为一种压电器件的结构和制造，该压电器件被设计来将局部的和可控的应力提供到导电的纳米结构，并提供手段（装置）以测量由施加的应力而得到的电子传输特性中的变化。应力可以是剪切力、拉力、压缩力或扭力。

压电材料的铁电性将额外地为残留应力加到与应力相关的导电材料创造了条件。以此方式，例如，在铁电材料的残留性质产生非易失性的有用的导电率变化的情况下，非易失性存储器件可被构造为例如非易失性存储单元。

在可替代的实施例中，这里介绍的基本概念可以修改以引入发光的特征。

作为本发明的第一方面，要实现以上目的和目标，这里介绍一种压电器件的结构（和方法），包括压电材料层。纳米管结构安装使得压电材料的形状变化引起纳米管结构中的应力变化。

在本发明的第二方面中，这里也介绍了一种非易失性存储器件，包括至少一个非易失性存储单元，每个该存储单元具有压电材料层。纳米管结构安装使得压电材料的形状变化引起纳米管结构中的应力变化。

#### 附图说明

根据下面参考附图对本发明优选实施例的详细说明，将更好地理解以上和其它目的、方面和优点，其中：

图 1 示出了本发明的一个示例性实施例的剖面图；

图 2 示出了制备图 1 中所示结构的示例性方法 200；

图 3 示出了隔离之后示例性实施例的结构 300 的俯视图；

图 4 示出了根据本发明使用非易失性存储单元的通用存储器件 400；

图 5 示出了按照以上列出的共同未决申请中介绍的结构的一个实施例的结构 500 的剖面图；以及

图 6 示出了具有附加氧化物帽（additional oxide cap）601 的另一个实施例。

## 具体实施方式

### 第一实施例

现在参考附图，更具体地说参考图 1，采用导电元件为纳米管 101 的一个实例。示例性器件 100 包括多层膜结构和示例性地包括碳的纳米管半导体 101。提供电极 102，104 以极化压电膜 106，使用电极 102，103 以测量穿过纳米管结构 101 的电流，由此提供了测量作为纳米管结构上应力的函数的导电率的方法。应该注意，虽然附图和下面的讨论指定了用于多层结构的多种示例性材料，但是本领域技术人员都知道本发明不旨在限定于这些材料。

图 2 示出了图 1 所示器件的优选实施例的制造步骤 200。对于一个本领域技术人员来说显然一旦认识到示出的示例性器件的每种材料和每种结构元件的用途，除了图 1 和 2 中所显示的，也可以采用其它的材料和结构变形。

首先，底部电极层 105 被淀积在衬底 115 上。衬底起支撑作用，可以是导体或绝缘体，例如掺杂 Nb 的  $\text{SrTiO}_3$ 、 $\text{SrTiO}_3$ （钛酸锶，STO）、Si 等。由于在图 1 所示的示例性结构中，底部电极层 105 还作为到压电膜 106 底面的电接触，用于通过电极 102 施加电压，底部电极层 105 为导电材料，但在材料的选择上也有一些限制，这是由于它还作为支撑层，可在其上接着安全可靠地淀积选择的压电层（例如 PZT）。

用于该底部电极材料 105 的一种这样的材料为  $\text{SrRuO}_3$ （钌酸锶，SRO）。第二种材料为 Pt。SRO 还具有作为金属氧化物导体的特性，并且不容易被化学地蚀刻掉。Pt 也是耐蚀刻的导体。SRO 可以通过脉冲激光淀积（PLD）或通过溅射淀积到通常 20 到 50nm 的膜厚度。Pt 可以被蒸发或溅射到类似的膜厚度。

因此在图 1 的示例性结构中，SRO 作为导电路径，通过该路径施加到电极 102 的电压将能够接触压电材料 106，作为压电层 106 的基础层，并且作为随后制造步骤的蚀刻剂终止层（etchant stop）。

在步骤 201 中，使用掩蔽和材料淀积领域中公知的常规方法，以下面的顺序，在底部电极层 105 上依次淀积一系列膜 106-109。

首先，淀积压电材料层 106。在优选实施例中，该材料也具有铁电磁滞（现象），以使得该层作为非易失性存储单元。具有铁电和压电特性的一种这样的材料为锆酸钛酸铅（PZT）。PZT 可以通过 PLD 或溅射淀积到通常从 200 到 600nm 的范围内的层厚度。

接下来，淀积上电极层 107 以提供到压电层 106（通过接触 104）的上接触。如上面提到的，钉酸锶（SRO）为金属氧化物导体，因此适合于该层，特别是由于它相对于化学蚀刻更稳定（这允许该层 107 作为用于形成接触 104 的通孔的蚀刻终止层）。SRO 可以通过 PLD 或溅射淀积到通常从 20 到 50nm 的膜厚度。

然后隔离层 108 被淀积在上电极层 107 上。该层 108 用于将纳米管 101 与施加到电极 104 的任何电压电隔离，由此防止当偏压通过接触 102 和 104 施加到压电层 106 时损坏纳米管结构 101。适合作为绝缘氧化物层的一种这样的材料为钛酸锶（STO）。STO 可以通过 PLD 或溅射淀积到通常从 50 到 200nm 的膜厚度。

然后在隔离层 108 的顶部淀积导电材料层 109 以提供与电极 103 的电接触，该电极 103 作为到的纳米管结构 101 的上接触。为了形成图 1 中的示例性结构，优选地该导电层也可以被蚀刻。适合导电层 109 的一种材料为镧锶钴的氧化物（LSCO），因为 LSCO 也是一种金属氧化物，并且它可以化学地被蚀刻。LSCO 可以通过 PLD 或溅射淀积到从 20 到 50nm 的膜厚度。

在步骤 202 中，使用第一光刻掩模，通过例如化学蚀刻构图 LSCO 层。

在步骤 203 中，使用第二掩模以允许穿过 STO 层蚀刻出通孔（via），由此提供了与下面 SRO 层 107 的接触，以实现到压电材料 106 的上表面的电接触。该掩模也将留在原处用于金属化（参见步骤 206，例如使用 Pt 蒸发）以接触 SRO 膜。

在步骤 204 中，形成第三掩模，穿过所有层 106-109 的离子铣或反应



离子蚀刻 (RIE) 的蚀刻工序产生到底部 SRO 导电层 105 的通孔。通常为 1 的纵横比不是严格的, 但在本实施例中, 台阶的高度小于纳米管长度  $L$ 。

对于该步骤, 优选调节各向异性蚀刻以产生下部削减 (undercut)。下部削减将防止纳米管 101 和层 107 之间的接触。通过选择本领域技术人员公知的蚀刻条件, 可以实现通常为 3-10nm 的下部削减量。

在步骤 205 中, 使用第四掩模并通过离子铣或 RIE 例如穿过层 106 到 109, 在器件周围形成沟槽。该沟槽将器件的伸长部分与其它的部分隔开, 并使得压电器件的压电响应最大化 (例如, 参见图 3 中的隔离区 301)。

在步骤 206 中, 使用最后一个掩模以允许在 SRO 衬底 105 和 LSCO 顶电极 109 之间淀积碳纳米管。纳米管这里由二氯乙烷 (DCE) 溶液分散。可以通过调节溶液中纳米管的密度调节淀积的纳米管密度。溶剂蒸发之后, 通过由纳米尖端例如原子力显微镜 (AFM) 等拖拽它们还可进一步调节纳米管。该最终的 AFM 调节不是必须的。虽然碳为用于纳米管的优选材料, 但也可以使用其它材料, 例如氮化硼或可以由应变改变半导体特性的任何材料。或者, 如果生长条件不会使相邻的压电结构的功能失效, 纳米管就可以直接生长在器件上。

在步骤 207 中, 以一个角度 (通常  $10^\circ$ ) 进行金属化 (例如通过铂 Pt 蒸发)。优选的角度取决于台阶的高度, 但使用这种阴影 (shadow) 蒸发技术的目的是使由台阶投射的阴影能够使 Pt 仅淀积在纳米管的两端。在该步骤中, 使用相同的最终掩模形成电极 102, 103 以接触纳米管端部和 SRO 衬底 105, 并形成接触 SRO 层 107 的电极 104。

作为变形, 可以通过在面向纳米管的层 107 的边缘上选择性地电镀并随后氧化金属实现纳米管 101 和层 107 之间的隔离 (例如如图 6 中的氧化帽)。用于电镀的接触可以通过接触 104 进行。用于电镀的第二电极接触电解溶液。

图 1 中所示的示例性器件的操作如下。通过改变铁电的极化状态, 电极 102 和 104 之间的电位允许控制纳米管上的应力。在这里的实例中, 叠层的垂直运动由铁电材料的极化产生, 导致纳米管应变发生变化。纳米管

导电性的测量与电极 102 和 103 之间的电流无关。

由于（例如未极化的铁电和用 PZT 的矫顽（强制）电压以上的电压极化的铁电之间的）铁电的残留极化，叠层的垂直膨胀将具有磁滞（现象）。由于纳米管上的应力的不同，与垂直膨胀磁滞有关的是碳纳米管中的导电率滞后。

由此，示例性器件作为新颖方式的非易失性存储器单元，简单的制造技术使该存储单元可能被调整（缩小）到很高的密度。

图 4 示出了通用的存储器件 400，其中根据本发明构成的一个或多个存储单元 401 提供了非易失性存储单元。

现已知包括铁电电容器、磁随机存取存储器（“MagRAM”）和千足虫（millipede）的非易失性存储器有关的解决方案。以上介绍的解决方案是独特的，这是由于它包含导体的非易失性的机械变形以改变导体的传输性质。

本发明的系统的一个优点是就单位面积的极化和铁电膨胀而言，铁电调整（缩小）到纳级的尺寸。然而，传统的铁电电容器解决方案很难实现高密度，这是由于器件状态的检测取决于测量铁电电容器上的电荷，并且随着器件制得越来越小，电荷量降低。在这里介绍的器件中，检测碳纳米管的导电率以确定器件的状态，使得在缩小（调整）时基本上没有电荷限制。

显然许多变形可以容易地引入到图 1 所示的示例性结构示出的基本概念内，其中使用纳米管结构的导电率来确定由压电层引起的应力。材料可以与图 1 的优选实施例的不同，只要可来获得相应的功能。例如，可以使用 Pt 代替 SRO。可以使用  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ （SBT）代替 PZT。用于顶部绝缘层的材料还可以是  $\text{Al}_2\text{O}_3$  或  $\text{SiO}_2$ 。此外，可以修改图 1 的基本结构，例如省略 LSCO 层 109，并将电极 103 直接放置在绝缘层 108 的顶部。

## 第二实施例

在第二实施例中，修改本发明以附加地实现来自分子系统的发光。在本实施例中，如可选的步骤 207A 中所示，通过选择性的掺杂在纳米管 101

中产生 p 和 n 区，由此产生正向偏置的 p-n 结，其中空穴和电子横跨空间 (space) 电荷区注入。以此方式，在分子内产生 p-n 结，然后分子被正向偏置产生复合辐射。复合辐射的频率取决于纳米管 101 的带隙。

通过将可控的应力施加到一个或多个纳米管，如图 1 所示，通过带隙变化可以改变由一个或多个类似分子的发出的光的频率。因此，与叠层的垂直膨胀相关，后者的特性也可以被用于制造非易失性存储器件，其中发出的光取决于压电的残留状态，并由此取决于叠层的伸长部分。在以上列出的在此引入作为参考的共同未决申请中进一步讨论了用于产生发光器件的纳米管结构的选择性掺杂。

在图 5 的剖面图中显示的另一实施例中，本发明可结合未掺杂的纳米管 101 使用，并且可形成另外的栅极绝缘体 501 和栅电极 502 以提供场掺杂以在单个分子中注入电子和空穴，用以通过复合辐射产生光。栅极绝缘体 501 不需要是氧化物，但也可以是可不耐机械伸长的有机复合物材料。图 5 的实施例具有第四接触 502，但施加的电压与施加到铁电层的电压无关。

在以上列出的共同未决申请中进一步介绍了图 5 所示的基于栅极的器件 500。辐射的频率会受纳米管 101 上的应力影响，使用本发明的技术可以对其控制。

或者，在图 6 所示的另一实施例中，本发明可以通过利用接触 104 将电压提供到层 107，由此栅极场施加到面向层 107 的氧化物帽 601 边缘的区域中的纳米管，以提供场掺杂，从而将电子和空穴注入到单分子中，用于通过复合辐射产生光，来结合未掺杂的纳米管使用，因为在一个实施例中该边缘具有绝缘层 601。此时的电压应具有小于确定铁电层的矫顽（强制）场的值的值。

本发明组合了在提供足够载流子以掩蔽（screen）退极化场的条件下提供伸缩（缩小）特性和铁电的良好保留（retention）的优点，以及 FerroFET 的非破坏性读出的优点。

本发明的第二实施例允许带光读出的非易失性存储器件。通过使用如

氧化铟锡 (ITO) 的透明导电氧化物作为第一导电层和如 STO、石英或蓝宝石的透明衬底, 可以进一步有助于光读出。此外, 虽然这里的讨论集中在将本发明作用非易失性存储单元, 但本发明不旨在限于此应用。例如, 很容易地, 该器件可以是显示器中的一个部件。

由此, 虽然就特定的优选实施例主要介绍了本发明, 但本领域技术人员应该认识到可以在所附的权利要求的精神和范围内修改实施本发明。

此外, 应该注意申请人意在包含所有权利要求元素的等同物, 即使随后的审查期间进行了修改。

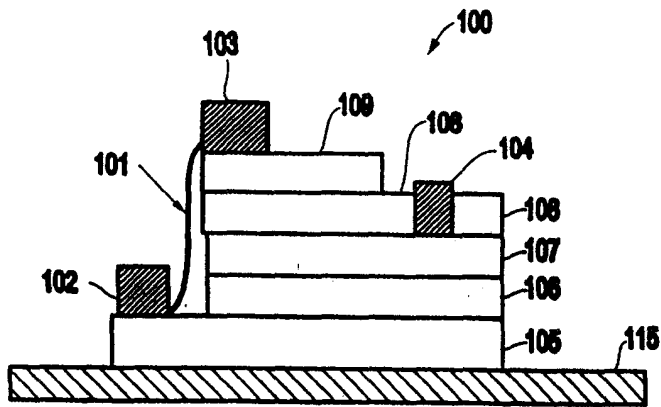


图1

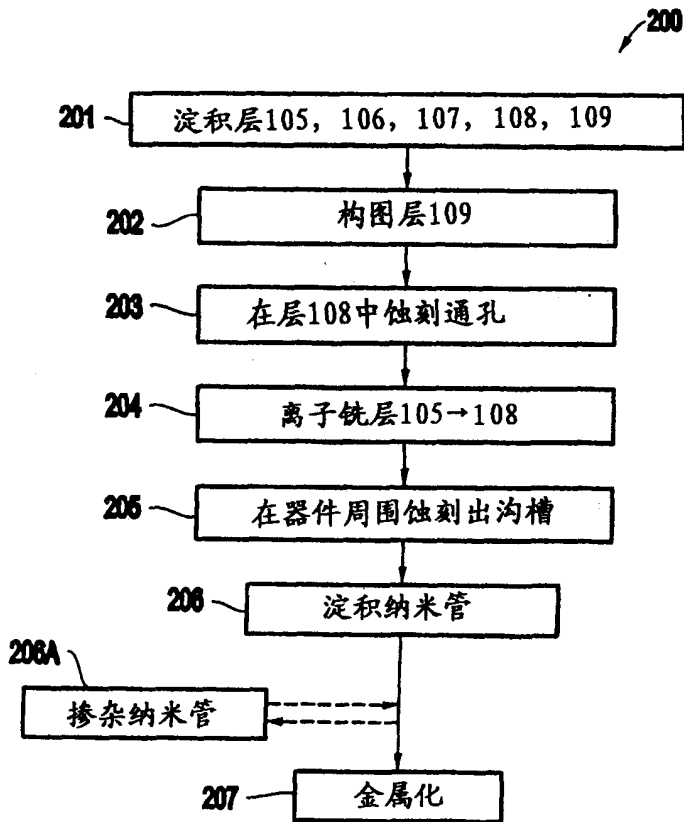


图2

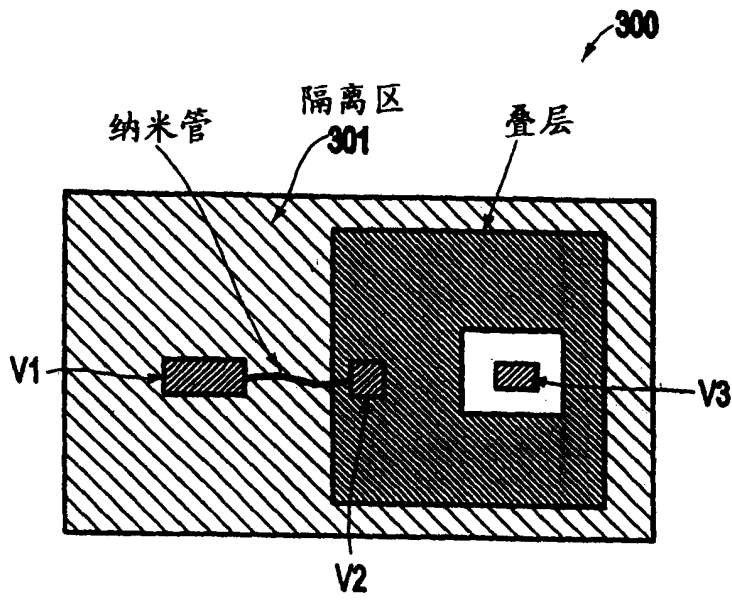


图3

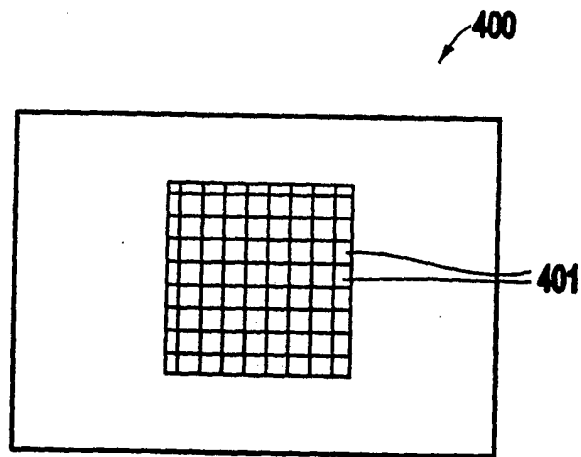


图4

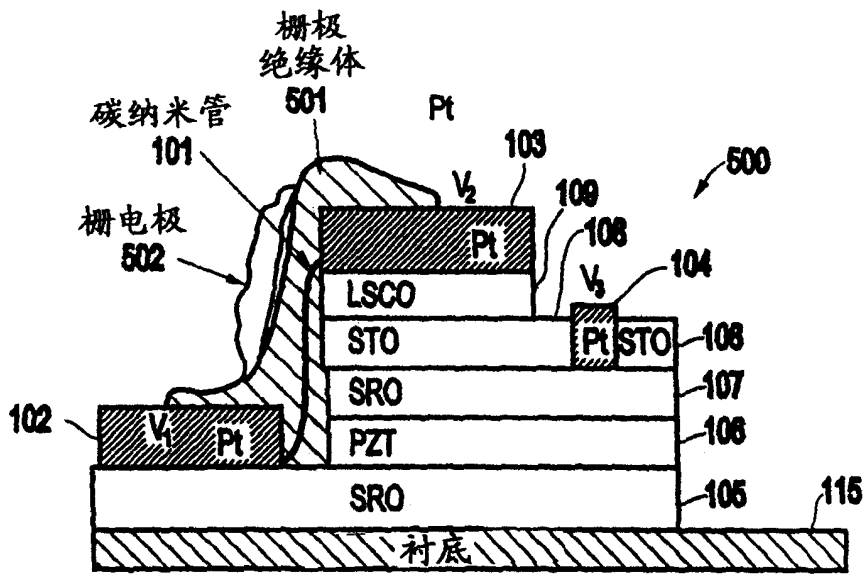


图5

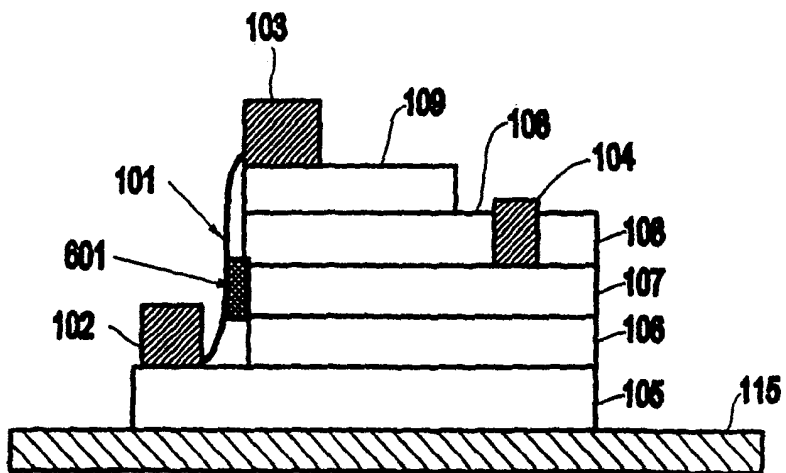


图6