

## 公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96134642

G02F 1/368 (2006.01)

※ 申請日期：96.9.14

※IPC 分類：H01L29/786; H01L21/336  
(2006.01) (2006.01)

**一、發明名稱：**(中文/英文)

薄膜電晶體及其製造方法以及顯示裝置

**二、申請人：**(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

中鉢 良治

CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都港區港南1丁目7番1號

1-7-1 KONAN, MINATO-KU, TOKYO, 108-0075, JAPAN

國 籍：(中文/英文)

日本 JAPAN

**三、發明人：**(共 1 人)

姓 名：(中文/英文)

中山 徹生

NAKAYAMA, TETSUO

國 籍：(中文/英文)

日本 JAPAN

**四、聲明事項：**

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年10月02日；特願2006-270359
- 2.

無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係與薄膜電晶體及其製造方法以及顯示裝置有關，尤其與如下薄膜電晶體及其製造方法以及顯示裝置有關，而其係可良好適用於有機EL元件般之電流驅動型元件之驅動用者。

### 【先前技術】

近年來，作為平面面板顯示器之一，利用有機EL (Electro Luminescence：電致發光)現象以顯示影像之顯示裝置頗受矚目。此種顯示裝置(亦即，有機EL顯示裝置)，由於利用有機發光元件本身之發光現象，因此具有視野角度寬廣、耗電低等優良特徵。再者，由於對高精密度之高速視頻信號亦顯示高應答性，因此尤其在影像範疇等方面，正積極推動邁向實用化的研發。

在有機EL顯示器之驅動方式之中，相較於先前之被動矩陣方式，使用藉由薄膜電晶體(TFT；Thin Film Transistor)之驅動元件的主動矩陣方式係在應答性、解析度之點上較為優秀，因而被視為特別適合於具有前述特色之有機EL顯示器的驅動方式。

主動矩陣方式之有機EL顯示器係構成爲，具有設有有機發光元件(有機EL元件)及驅動元件(薄膜電晶體(TFT))之驅動面板，此驅動面板與封止面板係以包夾有機發光元件之方式，經由接著層而貼合；而該有機發光元件係至少具有有機發光材料者；而該驅動元件係用於驅動有機發光元件

者。

就構成主動矩陣型之有機EL顯示器的薄膜電晶體而言，必須至少包含控制像素之明暗的切換電晶體、及控制有機EL元件之發光之驅動電晶體。

在薄膜電晶體方面，如持續處於電壓施加於其閘極電極之狀態，則造成臨限值電壓偏移，此點已為一般所知。然而，有機EL顯示器的驅動電晶體係只要仍使有機EL元件進行發光則有必要維持通電之狀態，故容易引起臨限值偏移。如驅動電晶體之臨限值電壓進行偏移，則流動於驅動電晶體之電流量產生變動，就結果而言，構成各像素之發光元件之亮度係產生變化。

近年來，為了減輕此一驅動電晶體之臨限值偏移，亦已研發出使用如下驅動電晶體之有機EL顯示器，而該驅動電晶體係將通道區域以藉由結晶性矽之半導體層所構成者。

在此，圖6係顯示使用於主動矩陣方式之有機電場發光元件之薄膜電晶體之一例。此圖所示薄膜電晶體101係底閘極型之n通道型(n型)薄膜電晶體，其係在包含玻璃等之基板102上覆蓋著已形成圖案之閘極電極103之狀態下，形成包含氮化矽之閘極絕緣膜104者。在此一閘極絕緣膜104上，於覆蓋閘極電極103之狀態下，包含非晶質矽或微結晶矽的通道層105係形成圖案。

又，在上述通道層105上，於閘極電極103之中央部上係配置著通道保護層106。此外，在相互分離之狀態下，以覆蓋通道保護層106之兩端部上之方式，於上述通道層105

上，源極層107及汲極層108係形成圖案。再者，在閘極絕緣膜104上方，於源極層107及汲極層108上，分別將一部分層疊後之係源極電極109及汲極電極110係形成圖案。又，在將此狀態之基板102的表面全域覆蓋之狀態下，係設有鈍化膜111。

在如上述般之薄膜電晶體方面，作為源極・汲極層107、108，係廣泛使用含有n型雜質之非晶質矽層或n型微結晶矽層。在此，圖7係顯示將非晶質矽層與n型微結晶矽層之單層分別使用於上述源極・汲極層107、108之情形時的電流電壓特性的測定結果之圖。

從此圖形可知，將n型微結晶矽層使用於源極・汲極層107、108時之薄膜電晶體，係比使用n型非晶質矽層時切斷電流為低。

在此，就將微結晶矽層使用於源極・汲極層之例而言，係已有如下薄膜電晶體之例的報告被提出(譬如，參考專利文獻1)，其係在閘極絕緣膜上隔著微結晶矽層而形成通道保護層，並將從通道保護層滲出之微結晶矽層予以n型化者。又，亦有如下薄膜電晶體之例的報告被提出(譬如，參考專利文獻2)，其係以微結晶矽層與非晶質矽層之2層構成上述源極・汲極層(歐姆接觸層)，並在通道層側配置n型非晶質矽層者。

[專利文獻1]日本特開平7-193249號公報

[專利文獻2]日本特開平8-1723195號公報

### 【發明內容】

## [發明所欲解決之問題]

然而，在上述專利文獻1所記載之將n型微結晶矽層使用於源極·汲極層(n+型半導體層)的薄膜電晶體方面，由於通道層與源極·汲極層係以同一層所構成，故連結為n型微結晶矽-微結晶矽-n型微結晶矽，由於成為電流之漏電路徑而導致切斷電流變高。又，在上述專利文獻2所記載之薄膜電晶體方面，亦有如下問題：在切斷電流變高的同時，無法充分獲得導通電流，故無法充分獲得載子移動度；而該薄膜電晶體係以n型微結晶矽層與n型非晶質矽層之2層構成源極·汲極層且在通道層側配置n型非晶質矽層者。

基於以上事實，本發明之目的在於，提供一種薄膜電晶體及其製造方法以及顯示裝置，其係具有高切斷/導通電流且已改善載子移動度者。

## [解決問題之技術手段]

為達成上述目的，本發明之薄膜電晶體係在基板上將閘極電極、閘極絕緣膜、通道層及源極·汲極層依此順序或與此相反之順序層疊而成者，其特徵為：源極·汲極層係以微結晶矽層與非晶質矽層所構成，且以通道層側成為微結晶矽層之方式配置者。

根據如此之薄膜電晶體，由於其源極·汲極層係以微結晶矽層與非晶質矽層所構成，且以通道層側成為微結晶矽層之方式進行配置，因此，如在發明之實施形態中所說明般，相較於在先前技術方面所說明之如下薄膜電晶體，可

確認，其係在切斷電流減低的同時並增大導通電流；而該薄膜電晶體係：具有包含微結晶矽層之單層的源極·汲極層者；及以通道層側成為非晶質矽層之方式進行配置之包含微結晶矽層與非晶質矽層的2層結構的源極·汲極層者。

又，本發明亦為如此之薄膜電晶體的製造方法，在第1製造方法方面，首先，在基板上隔著閘極電極而形成閘極絕緣膜。接著，在閘極絕緣膜上形成通道層。然後，在通道層上形成將微結晶矽層與非晶質矽層依序層疊而成之源極·汲極層。

根據如此之第1製造方法，係在覆蓋閘極電極之閘極絕緣膜上，隔著通道層將源極·汲極層層疊而成之底閘極構造之薄膜電晶體方面，形成如下結構之薄膜電晶體：以通道層側成為微結晶矽層之方式進行配置，且具備包含微結晶矽層與非晶質矽層之2層構造的源極·汲極層者。

又，在本發明之第2製造方法方面，首先，係在基板上形成將非晶質矽層與微結晶矽層依序層疊而成之源極·汲極層。接著，在源極·汲極層上形成通道層；然後，在通道層上隔著閘極絕緣膜而形成閘極電極。

根據如此之第2製造方法，係在頂閘極構造之薄膜電晶體方面，形成如下結構之薄膜電晶體：以通道層側成為微結晶矽層之方式進行配置，且具備包含微結晶矽層與非晶質矽層之2層構造的源極·汲極層者。而該頂閘極構造之薄膜電晶體係將層疊於源極·汲極層上之通道層以閘極絕

緣膜進行覆蓋，且在其上部設有閘極電極者。

再者，本發明亦為具備上述薄膜電晶體之顯示裝置，其係將薄膜電晶體及連接於此薄膜電晶體之顯示元件在基板上排列形成而成者，該薄膜電晶體係在基板上將閘極電極、閘極絕緣膜、通道層及源極·汲極層依此順序或與此相反之順序層疊而成者；其特徵為：源極·汲極層係以微結晶矽層與非晶質矽層構成，且以通道層側成為微結晶矽層之方式配置者。

根據如此之顯示裝置，由於具備上述薄膜電晶體，因此切斷電流減低，並且導通電流增大。

#### [發明之效果]

如以上說明，根據本發明之薄膜電晶體及具備此薄膜電晶體之顯示裝置，由於薄膜電晶體之切斷電流減低，並且導通電流增大，故可使導通/切斷比增大，同時導通電流增大，藉此可使載子移動度提昇。因此，可提昇薄膜電晶體之電性特性，並可謀求顯示裝置之高性能化。

又，根據本發明之薄膜電晶體之製造方法，可製得一種導通/切斷比增大，同時載子移動度提昇的薄膜電晶體。

#### 【實施方式】

以下，針對本發明之實施形態作詳細說明。

#### (第1實施形態)

圖1係說明第1實施形態之薄膜電晶體的剖面結構圖。此圖所示薄膜電晶體1係底閘極型之n型薄膜電晶體，其係在包含玻璃等絕緣性基板之基板2上，譬如包含鉬之帶狀閘

極電極3形成圖案者。就此閘極電極3而言，即使為上述鉬以外者之情形，如為在進行結晶化步驟之際以熱難以變形之高融點金屬，則並無特別限制。

又，在覆蓋此閘極電極3之狀態下，係形成譬如包含矽氧化膜之閘極絕緣膜4。此閘極絕緣膜4係除矽氧化膜之外，如以矽氮化膜、矽氧氮化膜或該等之層疊膜構成亦可。

再者，在此閘極絕緣膜4上，在覆蓋閘極電極3之狀態下，譬如包含非晶質矽之通道層5係形成圖案。再者，通道層5如以微結晶矽所構成亦可。此外，在上述通道層5上之閘極電極3的上方，係設有譬如包含矽氮化膜等之絕緣材料的通道保護層6。此通道保護層6係在後述製造方法上，在如下情形作為蝕刻停止層而發揮功能，而該情形係藉由蝕刻將形成於通道保護層6之上層的源極·汲極層進行形成圖案之際。此外，藉由設置此通道保護層6而防止因上述蝕刻所導致的通道層5之腐蝕。就通道保護層6而言，除上述矽氮化膜之外，亦使用矽氧氮化膜或該等之層疊膜。

再者，在此係針對在通道層5上之閘極電極3的上方設有通道保護層6之例作了說明，但在未設置通道保護層6之情形，本發明亦可適用。

又，在上述通道層5上，於上述通道保護層6之兩端部上將一部分進行層疊而成之源極層7與汲極層8，係在相互分離之狀態下進行形成圖案。此外，作為本發明之特徵性結

構，源極·汲極層7、8係包含n型雜質(譬如，磷)之微結晶矽層(n型微結晶矽層)7a、8a與包含n型雜質(譬如，磷)之非晶質矽層7b、8b依序進行層疊而成之2層構造。藉由此方式，n型微結晶矽層7a、8a係處於配置於通道層5側之狀態。

又，在閘極絕緣膜4上，於源極層7及汲極層8上，分別將一部分進行層疊後之源極電極9及汲極電極10係形成圖案。又，在覆蓋此狀態之基板2表面全域的狀態下，係設置著鈍化膜11。

在此，圖2係顯示針對上述般結構之薄膜電晶體進行測定閘極電壓( $V_g$ )-汲極電流( $I_d$ )特性( $V_{ds}=+10\text{ V}$ )後之結果。

在此，圖形(1)係在第1實施形態所說明之具有2層構造之源極·汲極層7、8的薄膜電晶體之測定結果，而2層構造之源極·汲極層7、8係在通道層5側(下部側)配置n型微結晶矽層7a，而在源極·汲極電極9、10側(上部側)配置n型非晶質矽層7b者。在此薄膜電晶體方面，係將n型微結晶矽層之膜厚調整為10 nm，將n型非晶質矽層之膜厚調整為90 nm。

又，圖形(2)係在上述結構中具有2層構造之源極·汲極層的薄膜電晶體之測定結果，該2層構造係在通道層側配置n型非晶質矽層，而在源極·汲極電極側配置n型微結晶矽層者。在此薄膜電晶體方面，亦將n型微結晶矽層之膜厚調整為10 nm，將n型非晶質矽層之膜厚調整為90

nm。再者，圖形(3)係具備包含n型微結晶矽層之單層的源極・汲極層的薄膜電晶體之測定結果。在此薄膜電晶體方面，係將n型微結晶矽層之膜厚調整為100 nm。

再者，各薄膜電晶體中之汲極電流值之測定，係在使閘極電壓往負方向與正方向作連續偏移的同時進行監測。又，在表1中係顯示，在把使用n型微結晶矽層於源極・汲極層的薄膜電晶體之特性值當作1之情形時，使用圖形(1)、(2)所示2層構造之源極・汲極層的薄膜電晶體之導通電流、切斷電流、載子移動度(相對值)。

[表 1]

上部	n型非晶質矽層	n型微結晶矽層	n型微結晶矽層
下部	n型微結晶矽層	n型非晶質矽層	
移動度	1.38	1.08	1.00
導通電流	1.29	0.93	1.00
切斷電流	0.88	2.00	1.00
切斷電流 (最下點)	0.80	1.39	1.00
圖形	(1)	(2)	(3)

首先，從圖2之(1)~(3)及表1之測定結果可確認：相較於(2)、(3)未應用本發明之薄膜電晶體方面的測定結果，(1)應用本發明之薄膜電晶體方面的測定結果係顯示，在切斷電流減低的同時且導通電流增大。藉由此方式，可確認：相較於(2)、(3)之薄膜電晶體，(1)之薄膜電晶體係因導通/切斷比增大而使載子移動度亦變大。又，可確認：藉由(1)之薄膜電晶體之導通電流增大，而使載子移動度亦變大。

如上述般，根據本實施形態之薄膜電晶體，係顯示導通/切斷比增大且載子移動度變大，此點已獲得確認。因

此，可提昇薄膜電晶體之電性特性。

接著，將使用如此之薄膜電晶體1的顯示裝置之一結構例，以有機EL顯示器為例，利用圖3進行說明。再者，在圖3中，係省略薄膜電晶體1的詳細結構之圖示。

顯示裝置20係在覆蓋基板2之薄膜電晶體1的形成面側之層間絕緣膜21上，將連接於各薄膜電晶體1的發光元件(在此為有機EL元件)22作排列形成而成者。各有機EL元件22具備下部電極23，其係經由形成於層間絕緣膜21之連接孔21a而連接於薄膜電晶體1者。此等下部電極23係按照各像素而被圖案化，其周圍係以絕緣膜圖案24覆蓋而呈現僅中央部寬廣露出之狀態。又，在各下部電極23之露出部上，係層疊著有機層25，其係在分別已圖案化之狀態下，至少具備發光層者。此發光層係設為，包含藉由摻雜於該當發光層之電洞與電子的再結合而產生發光之有機材料。此外，如此方式般，於圖案化後之各有機層25與絕緣膜圖案24之上方，在保持與下部電極23之間之絕緣性的狀態下，係配置形成上部電極26。

在此顯示裝置20中，下部電極23係被作為陽極(或陰極)使用，上部電極26係被作為陰極(或陽極)使用。此外，對被挾持於下部電極23與上部電極26間之有機層25，藉由從下部電極23與上部電極26進行摻雜電洞與電子，而在有機層25之發光層部分係產生發光。再者，如此一顯示裝置20係從上部電極26側取出發光光之上面發光型的情形，上部電極26係設為使用光穿透性高之材料所構成者。另一方

面，如此一顯示裝置20係從基板2側取出發光光之穿透型的情形，基板2及下部電極23係設為使用光穿透性高之材料所構成者。

根據如此之結構之顯示裝置20，藉由設定為如下結構，而可使薄膜電晶體1之導通/切斷比增大且可使載子移動度增大，而該結構係將使用圖1所說明之結構的薄膜電晶體1連接於有機EL元件22者。因此，可實現顯示裝置之高性能化。

又，雖將在此之圖示省略，但在使用有機EL元件22之顯示裝置20中的像素電路方面，一個像素需要切換電晶體、及控制有機EL元件22之發光的至少2個驅動電晶體，其中，如不減低驅動電晶體之切斷電流，則會產生亮度的不均一性，導致畫質變差。然而，如上述般，在作為此驅動TFT使用之薄膜電晶體1方面，由於減低切斷電流，故可實現顯示面內中之畫質的均一性。

再者，在此，係使用有機EL顯示器作為顯示裝置20之例作說明，但顯示裝置20並不限定於有機EL顯示器，譬如，液晶顯示顯示器亦可。然而，藉由將上述薄膜電晶體特別使用於有機EL顯示器之驅動電晶體，可獲得上述般效果，因此相當理想。

#### <製造方法>

接著，針對上述結構之薄膜電晶體1之製造方法及後續之顯示裝置之製造方法作說明。

首先，如圖4A所示般，於包含絕緣性基板之基板2上，

將鉬膜以100 nm之膜厚進行成膜，藉由施行通常之光微影與蝕刻，而將閘極電極3進行形成圖案。其後，在覆蓋閘極電極3之狀態下，於基板2上，藉由電漿CVD法，將包含氧化矽之閘極絕緣膜4譬如形成為160 nm之膜厚。

接著，如圖4B所示般，於閘極絕緣膜4上，譬如將包含非晶質矽之通道層5以30 nm之膜厚進行形成。再者，當使用微結晶矽作為通道層5之情形時，在形成非晶質矽層後，譬如藉由雷射退火等方法予以微結晶化亦可。

接著，如圖4C所示般，在覆蓋通道層5之狀態下，於閘極絕緣膜4上，將矽氮化膜以200 nm之膜厚進行形成，藉由施行通常之光微影與蝕刻，於通道層5上，將覆蓋閘極電極3上之通道保護層6進行形成圖案。就此一蝕刻而言，可施行譬如使用包含氟化氫之溶液的濕式蝕刻。

接著，藉由電漿CVD法，在覆蓋通道保護層6之狀態下，於通道層5上，將含有n型雜質之n型微結晶矽層a與含有n型雜質之n型非晶質矽層b，依照此順序進行層疊形成；而該電漿CVD法係譬如使用單矽烷與氫作為成膜氣體、及使用磷化氫作為n型雜質者。再者，在將n型微結晶矽層進行成膜之情形時，相較於n型非晶質矽層之成膜條件，藉由加大氫對單矽烷之流量比，則可使微結晶化容易進行。

再者，上述n型微結晶矽層a與n型非晶質矽層b之膜厚，如為可以良好覆蓋性進行成膜程度的膜厚(譬如，10 nm以上)即可；在此，係設定為：譬如，n型微結晶矽層7a為10

nm、n型非晶質矽層7b為90 nm。

又，在進行如此之連續成膜之情形時，亦可進行控制，以使從n型微結晶矽層a往n型非晶質矽層b，連續性結晶狀態產生變化。藉由此方式，n型微結晶矽層a與n型非晶質矽層b係作為連續層疊之膜而形成。

其後，如圖4D所示般，經由光微影與蝕刻步驟，而將n型非晶質矽層b、n型微結晶矽層a及其下層之通道層5圖案化為島狀。此時，係進行形成往閘極電極3之接觸孔(圖示省略)。

接著，如圖4E所示般，在將已圖案化之上述n型非晶質矽層b、n型微結晶矽層a及通道層5覆蓋之狀態下，譬如，將包含鈦/鋁/鈦之3層金屬層以50 nm/100 nm/50 nm之膜厚進行成膜後，經由光微影與蝕刻步驟，而形成包含上述3層金屬層之源極電極9及汲極電極10。此時，於閘極電極3中央部上方之通道層5上，將源極電極9-汲極電極10之間分離，並將上述n型非晶質矽層b、n型微結晶矽層a進行圖案化，而形成源極層7與汲極層8。藉由此方式，源極層7係成為n型微結晶矽層7a與n型非晶質矽層7b依照此順序層疊而成之狀態，汲極層8係成為n型微結晶矽層8a與n型非晶質矽層8b依照此順序層疊而成之狀態。又，在此蝕刻方面，上述通道保護層6係作為蝕刻停止層而發揮功能。

其後，如圖4F所示般，在將此狀態之基板2的全域覆蓋之狀態下，係譬如將包含矽氮化膜之鈍化膜11以200 nm之膜厚進行形成。接著，係進行形成往閘極電極10之接觸孔

(圖示省略)。

然後，在進行製造具備如此之薄膜電晶體1的顯示裝置之情形時，係接著進行如下步驟。亦即，如圖3所示般，把設有薄膜電晶體1之基板2上以層間絕緣膜21覆蓋，在此層間絕緣膜21，形成連接於薄膜電晶體1的連接孔21a。其後，在層間絕緣膜21上將下部電極23進行形成圖案，其係經由連接孔21a而連接於薄膜電晶體1者。接著，在將此下部電極23之周圍以絕緣膜圖案24覆蓋後，在露出於絕緣膜圖案24之下部電極23上，進行層疊形成至少包含發光層之有機層25。接著，在覆蓋著有機層25與絕緣膜圖案24之狀態下，進行形成上部電極26。藉由此方式，係形成藉由下部電極23而連接於薄膜電晶體1的有機EL元件22。

藉由如此之製造方法，可進行製造第1實施形態之薄膜電晶體1及使用其之顯示裝置。

<第2實施形態>

(薄膜電晶體)

圖5係說明第2實施形態之薄膜電晶體的剖面圖。此圖所示薄膜電晶體1'係頂閘極型之薄膜電晶體；在形成圖案於基板2上之源極電極9及汲極電極10進行層疊，而設置源極層7及汲極層8。此外，此源極層7及汲極層8係成為本發明中之具特徵之層疊結構。亦即，源極層7係由覆蓋源極電極9之n型非晶質矽層7b與其上部之n型微結晶矽層7a所構成之2層構造；汲極層8係由覆蓋汲極電極10之n型非晶質矽層8b與其上部之n型微結晶矽層8a所構成之2層構造。

此外，在此源極層7及汲極層8之端部，以重疊兩端之狀態設置通道層5。再者，在此通道層5上，係隔著閘極絕緣膜4而形成閘極電極3。又，在此狀態之基板102的表面全域，係設有鈍化膜11。

即使為如此之結構的薄膜電晶體1'，仍與第1實施形態同樣，藉由設為如下2層構造，可獲得與第1實施形態之薄膜電晶體1同樣的效果，而該2層構造係將源極·汲極層7、8配置為n型微結晶矽層7a、8a在通道層5側、n型非晶質矽層7b、8b在源極·汲極電極9、10側者。

(顯示裝置)

又，就將如此之薄膜電晶體1'使用於顯示裝置的結構而言，可以使用圖3作說明之顯示裝置進行例示，而可獲得與第1實施形態同樣的效果。

(製造方法)

接著，針對上述結構的薄膜電晶體1'之製造方法及其後續之顯示裝置的製造方法作說明。

首先，在基板2上將源極電極9及汲極電極10進行圖案形成。

接著，在藉由電漿CVD法形成n型非晶質矽層後，在n型非晶質矽層上進行形成n型微結晶矽層。再者，如使上述般之n型非晶質矽層之成膜與n型微結晶矽層之成膜作連續施行亦可。此外，在施行如此之連續成膜的情形時，如將成膜條件進行控制，以使從n型非結晶矽層往n型微晶質矽層，連續性結晶狀態產生變化亦可。藉由此方式，構成後

述源極·汲極層之n型非晶質矽層與n型微結晶矽層係成為連續層疊而成之膜。其後，藉由將此等進行圖案化，而形成n型非晶質矽層7b、8b與n型微結晶矽層7a、8a依照此順序層疊而成之源極·汲極層7、8。

接著，在覆蓋源極層7與汲極層8、以及源極電極10與汲極電極11之狀態下，進行形成通道層5，其係包含不含雜質之非晶質矽層者。

接著，將通道層5圖案化為島狀，藉由此方式，使通道層5之兩端成為層疊於源極層7與汲極層8上之形狀。其後，在覆蓋通道層5之狀態下，譬如藉由電漿CVD法而形成包含氧化矽之閘極絕緣膜4。

接著，於通道層5之上方，在將兩端重疊於源極層7與汲極層8之狀態下，將閘極電極3進行形成圖案。其後，在覆蓋閘極電極3之狀態下，於閘極絕緣膜4上進行形成鈍化膜11。

藉由以上方式，而形成頂閘極構造之薄膜電晶體1'。

此外，在製造具備如此之薄膜電晶體1'之顯示裝置的情形時之後續步驟方面，係設定為與第1實施形態所說明之步驟相同。

藉由以上方式，則可製作第2實施形態之之薄膜電晶體1'及使用其之顯示裝置。

### 【圖式簡單說明】

圖1係顯示與本發明之第1實施形態有關之薄膜電晶體的結構之剖面圖。

圖2係顯示與本發明之第1實施形態有關之薄膜電晶體的電流電壓特性之圖形。

圖3係顯示具備本發明之第1實施形態之薄膜電晶體的顯示裝置的結構之剖面圖。

圖4A係顯示與本發明之第1實施形態有關之薄膜電晶體的製造方法之製造步驟剖面圖(其1)。

圖4B係顯示與本發明之第1實施形態有關之薄膜電晶體的製造方法之製造步驟剖面圖(其2)。

圖4C係顯示與本發明之第1實施形態有關之薄膜電晶體的製造方法之製造步驟剖面圖(其3)。

圖4D係顯示與本發明之第1實施形態有關之薄膜電晶體的製造方法之製造步驟剖面圖(其4)。

圖4E係顯示與本發明之第1實施形態有關之薄膜電晶體的製造方法之製造步驟剖面圖(其5)。

圖4F係顯示與本發明之第1實施形態有關之薄膜電晶體的製造方法之製造步驟剖面圖(其6)。

圖5係顯示與本發明之第2實施形態有關之薄膜電晶體的結構之剖面圖。

圖6係顯示先前之薄膜電晶體的結構之剖面圖。

圖7係顯示將n型微結晶矽層或n型非晶質矽層使用於源極・汲極層之薄膜電晶體的電流電壓特性之圖形。

#### 【主要元件符號說明】

1、1'、101	薄膜電晶體
2、102	基板

3、103	閘極電極
4、104	閘極絕緣膜
5、105	通道層
6、106	通道保護層
7、107	源極層
a、7a、8a	微結晶矽層
b、7b、8b	非晶質矽層
8、108	汲極層
9、109	源極電極
10、110	汲極電極
11、111	鈍化膜
20	顯示裝置
21	層間絕緣膜
21a	連接孔
22	發光元件(有機EL元件)
23	下部電極
24	絕緣膜圖案
25	有機層
26	上部電極

## 五、中文發明摘要：

本發明係薄膜電晶體及其製造方法以及顯示裝置，該薄膜電晶體係在基板2上將閘極電極3、閘極絕緣膜4、通道層5及源極·汲極層7、8依此順序或與此相反之順序層疊而成者；其特徵為：源極·汲極層7、8係以n型微結晶矽層7a、8a與n型非晶質矽層7b、8b所構成，且以通道層5側成為微結晶矽層7a、8a之方式配置者。

## 六、英文發明摘要：

十一、圖式：

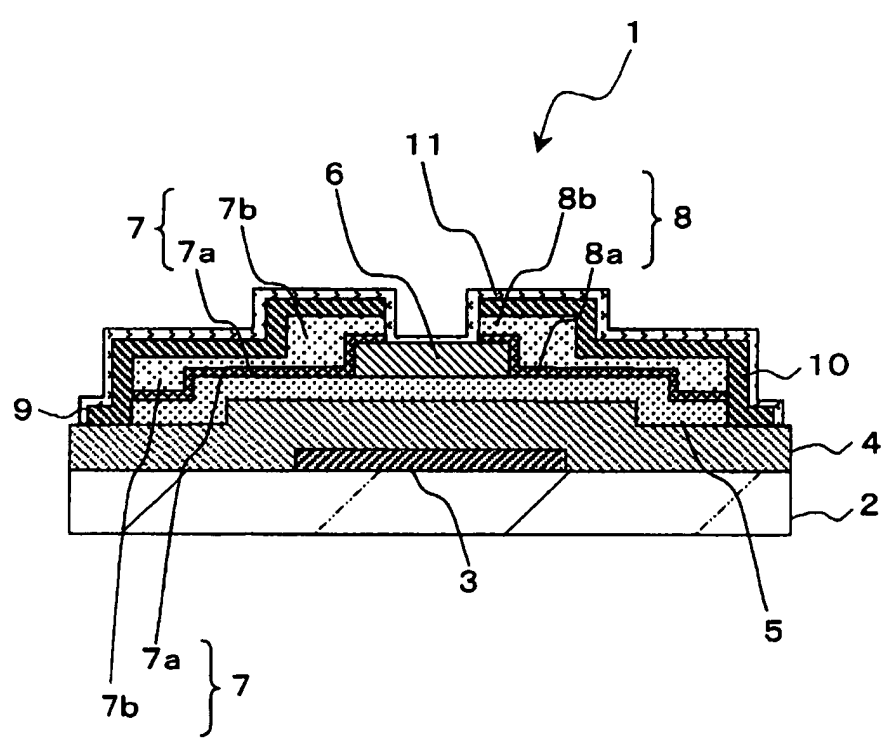


圖 1

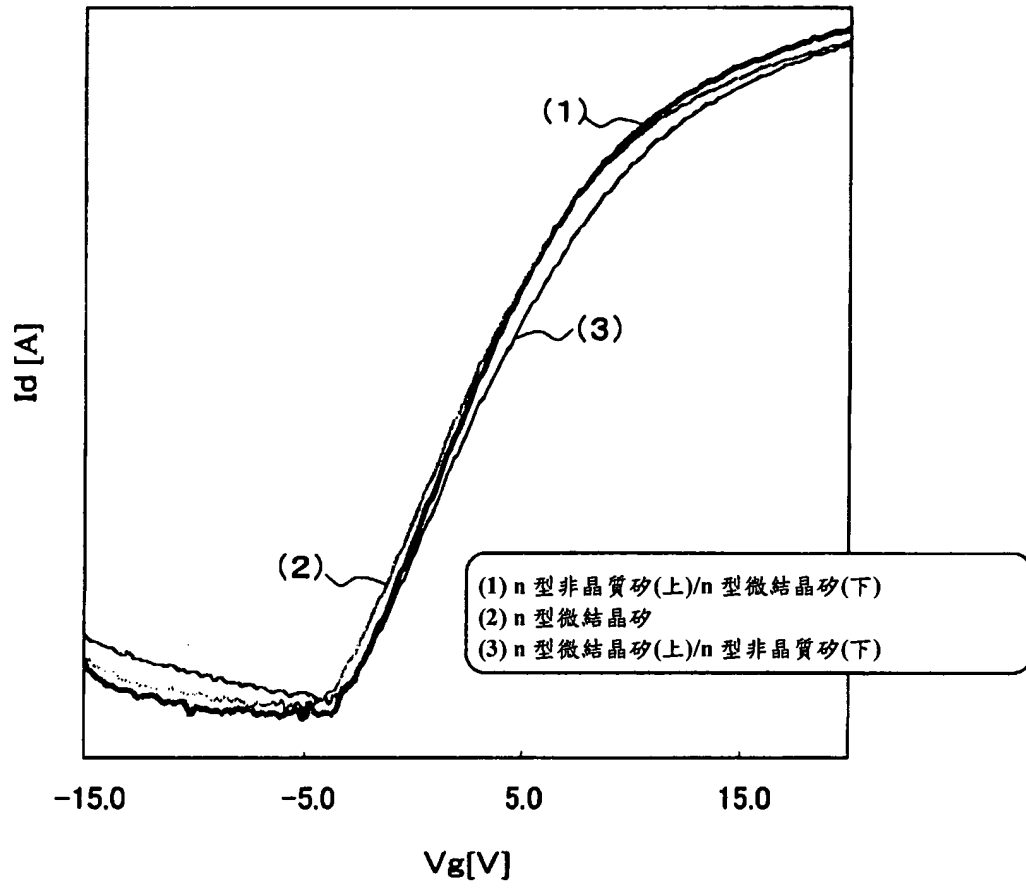


圖 2

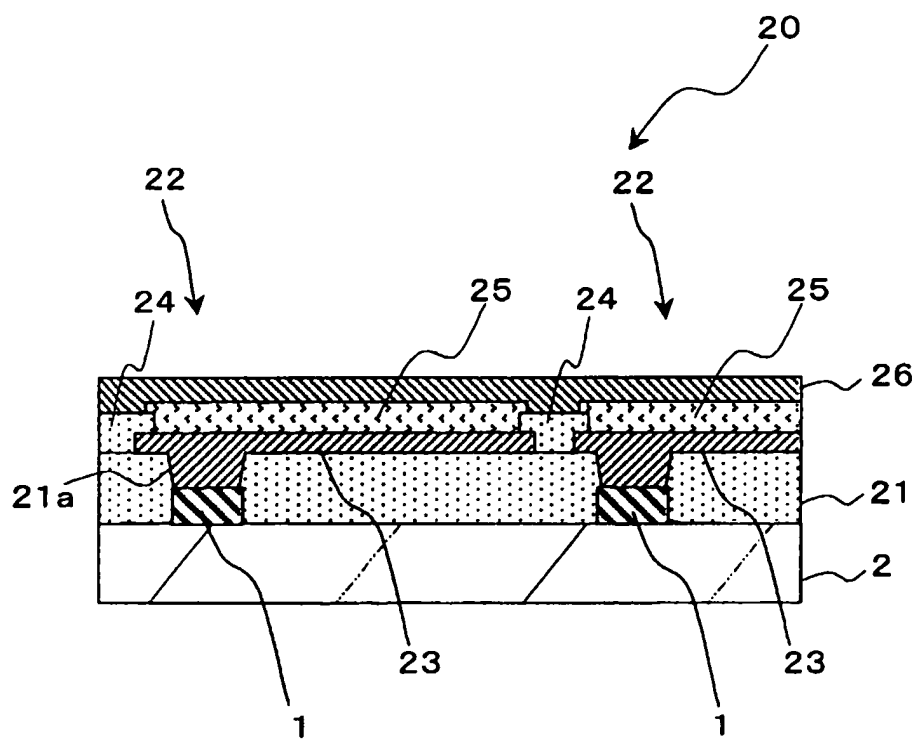


圖 3

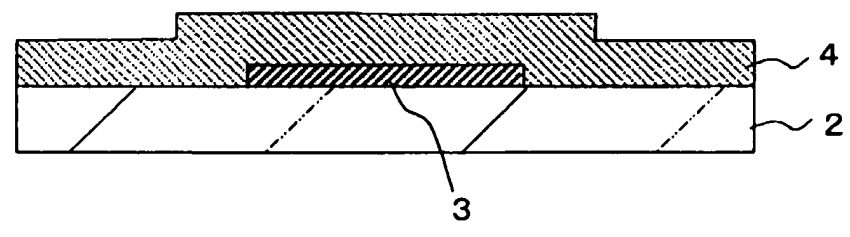


圖 4A

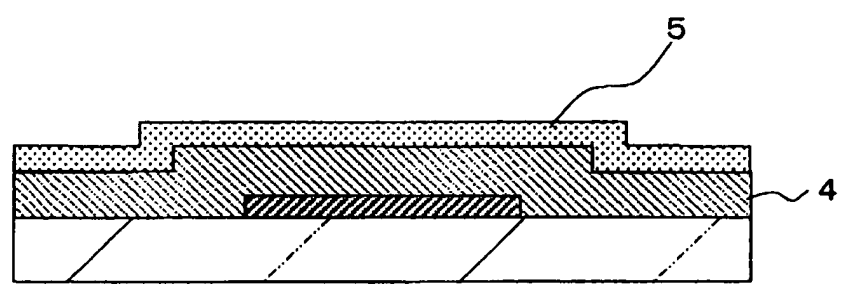


圖 4B

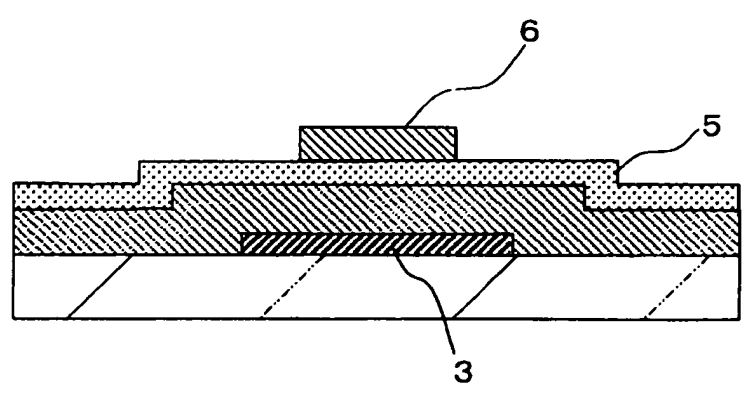


圖 4C

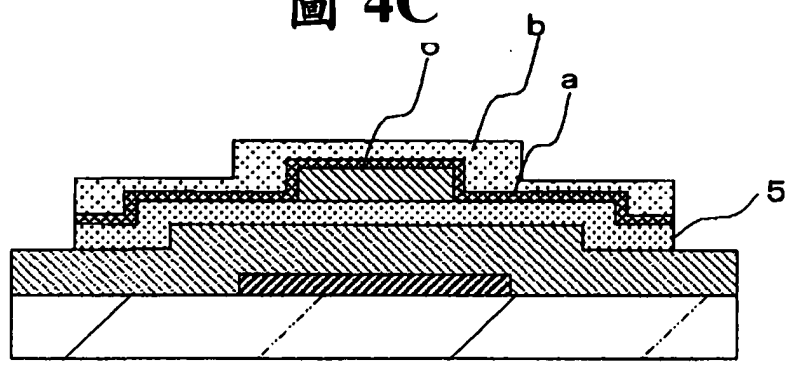


圖 4D

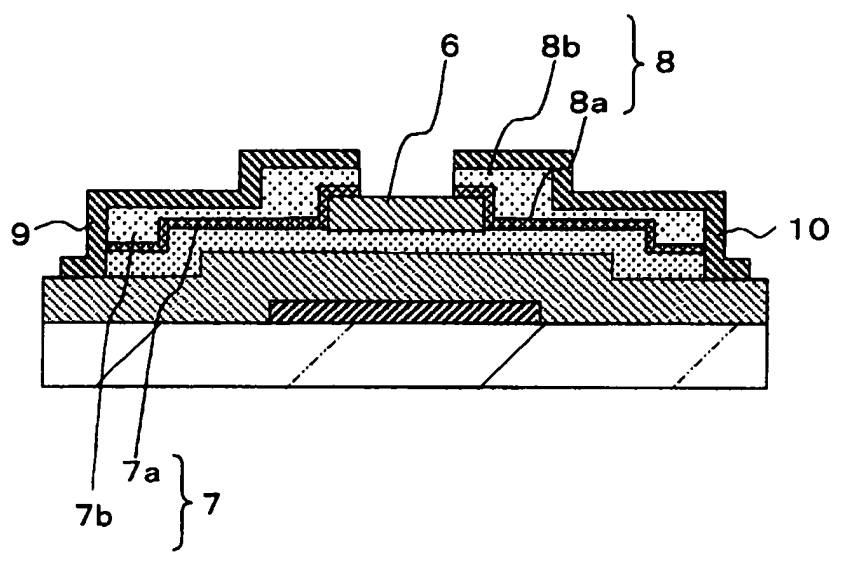


圖 4E

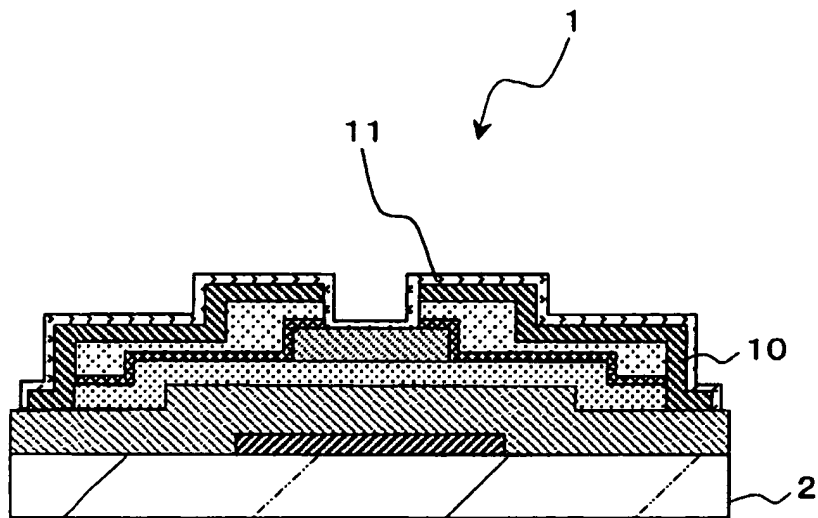


圖 4F

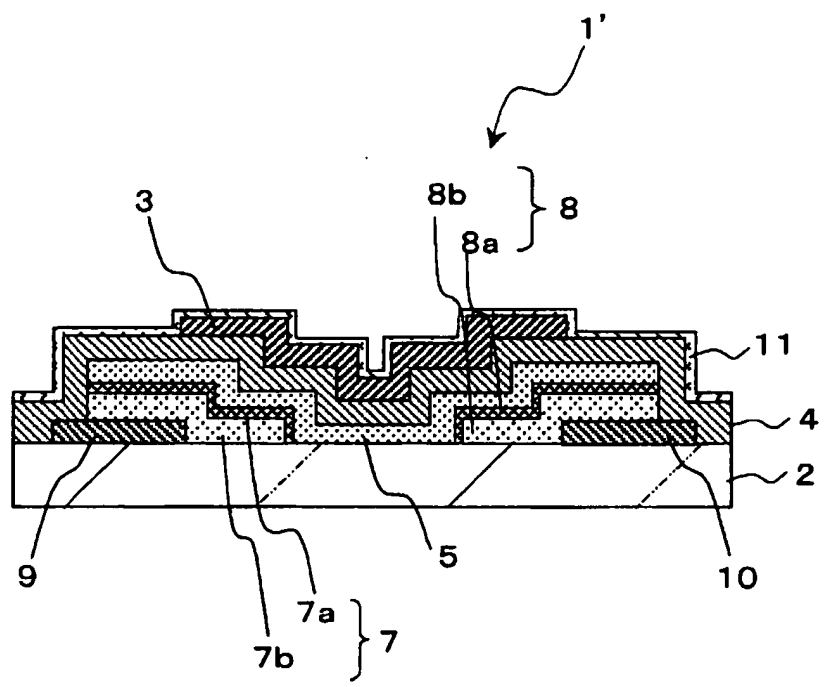


圖 5

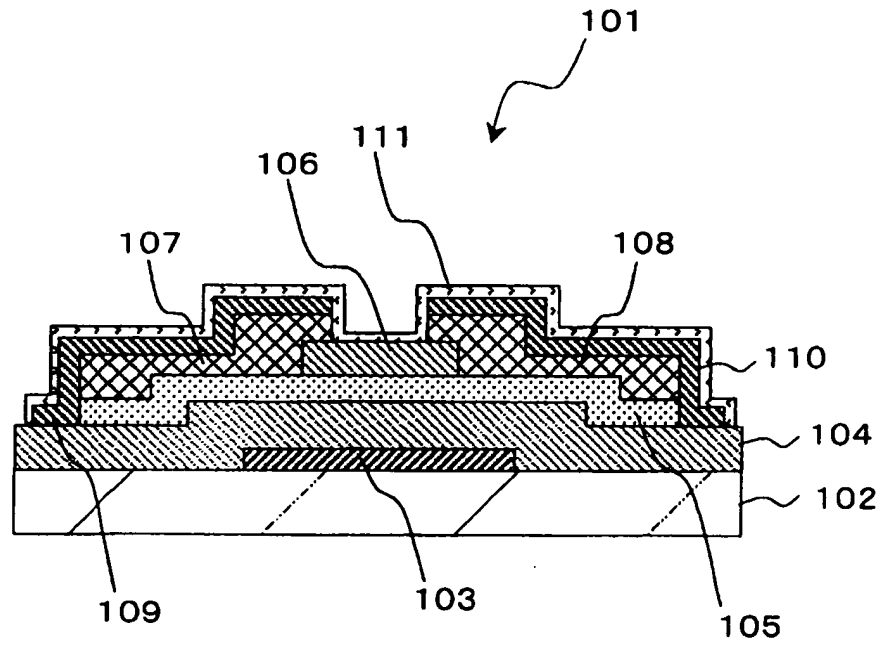


圖 6

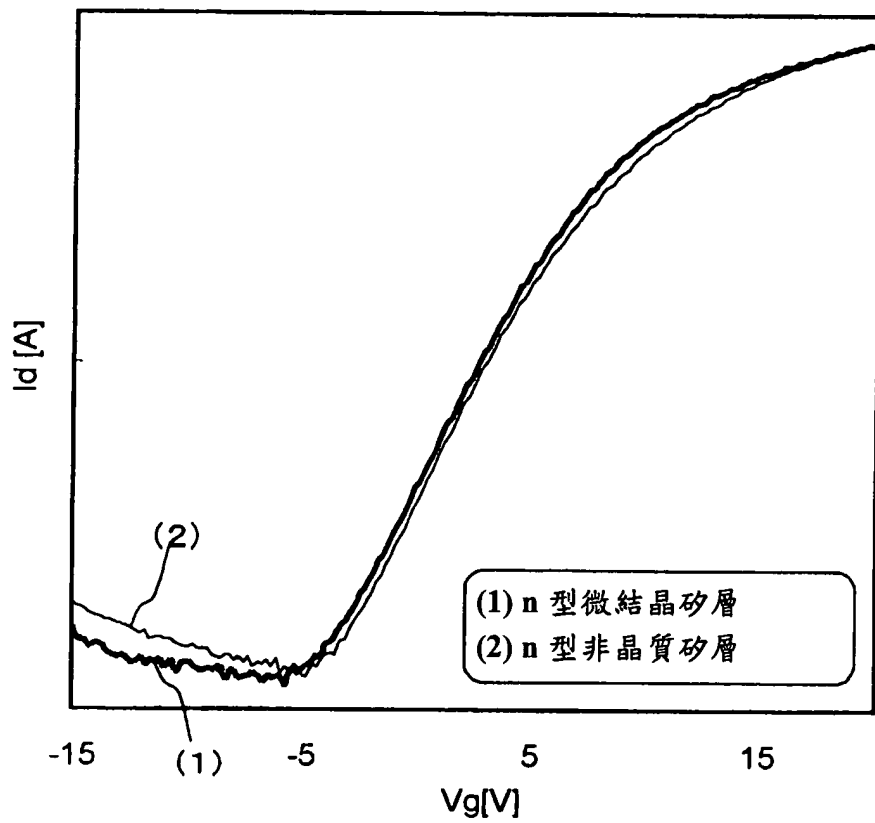


圖 7

**七、指定代表圖：**

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

1	薄膜電晶體
2	基板
3	閘極電極
4	閘極絕緣膜
5	通道層
6	通道保護層
7	源極層
7a、8a	微結晶矽層
7b、8b	非晶質矽層
8	汲極層
9	源極電極
10	汲極電極
11	鈍化膜

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

(無)

## 十、申請專利範圍：

1. 一種薄膜電晶體，其係在基板上將閘極電極、閘極絕緣膜、通道層及源極·汲極層依此順序或與此相反之順序層疊而成者，其特徵為：  
前述源極·汲極層係自前述通道層側起依序具有微結晶矽層與非晶質矽層，且自前述微結晶矽層朝向前述非晶質矽層，結晶狀態係連續變化。
2. 如請求項1之薄膜電晶體，其中  
前述薄膜電晶體係n通道型。
3. 一種薄膜電晶體之製造方法，其特徵為包含如下步驟：  
在基板上隔著閘極電極而形成閘極絕緣膜；  
在前述閘極絕緣膜上形成通道層；及  
在前述通道層上依微結晶矽層與非晶質矽層此順序，以結晶狀態連續變化之方式進行成膜，藉此形成源極·汲極層。
4. 一種薄膜電晶體之製造方法，其特徵為包含如下步驟：  
在基板上依非晶質矽層與微結晶矽層此順序，以結晶狀態連續變化之方式進行成膜，藉此形成源極·汲極層；  
在前述源極·汲極層上形成通道層；及  
在前述通道層上隔著閘極絕緣膜而形成閘極電極。
5. 一種顯示裝置，其係將薄膜電晶體及連接於此薄膜電晶體之顯示元件在基板上排列形成而成者，該薄膜電晶體係在基板上將閘極電極、閘極絕緣膜、通道層及源極·

汲極層依此順序或與此相反之順序層疊而成者；其特徵為：

前述源極·汲極層係自前述通道層側起依序具有微結晶矽層與非晶質矽層，且自前述微結晶矽層朝向前述非晶質矽層，結晶狀態係連續變化。