

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 27/115

(45) 공고일자 1999년07월15일
(11) 등록번호 10-0210552
(24) 등록일자 1999년04월27일

(21) 출원번호	10-1996-0006285	(65) 공개번호	특 1996-0036094
(22) 출원일자	1996년03월06일	(43) 공개일자	1996년10월28일

(30) 우선권주장 95-70411 1995년03월06일 일본(JP)

(73) 특허권자 낫본 덴기 가부시끼가이샤 가네고 히사시
일본국 도쿄도 미나도꾸 시바 5쪽에 7방 1고
(72) 발명자 오야마 켄이찌
일본국 도쿄도 미나도구 시바 5-7-1 낫폰 덴키 주식회사내
(74) 대리인 이병호, 최달용

심사관 : 임동우

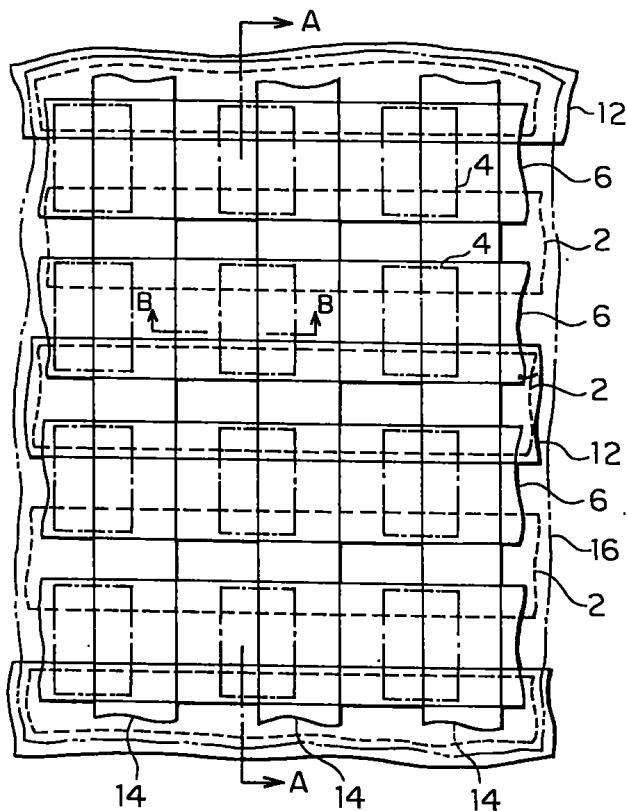
(54) 비휘발성 반도체 기억장치 및 그 제조방법

요약

소위 EPROM이라고 하는 비휘발성 반도체 메모리는 매트릭스로 배열된 다수의 메모리 셀을 갖고 스트립제어 게이트 및 분리 부유 게이트의 일부를 포함하는 박막으로 된 게이트 구조를 각각 갖는다. 다수의 소거 게이트는 두개의 인접한 게이트 구조간에 형성된 각각의 두개의 공간중 하나에 배치된다. 각각 두개의 공간중 다른 하나는 실리콘 질화막과 그 실리콘 질화막에 깔려 실리콘 산화막을 포함하는 박막으로 채우게 된다. 소거 게이트 및 상기 박막은 교호로 배열되어 상기 박막에 소거 게이트를 피복하지 않는다. 메모리 셀 부 및 주변 부간의 레벨차가 감소되어 소거 게이트에 깔린 상호 접촉부의 파괴를 방지시킨다. 기판 표면의 에칭이 기피되어 기억장치의 생산량의 향상을 얻게 된다.

대표도

종래기술



영세서

[발명의 명칭]

비 휘발성 반도체 기억장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 종래의 가상접지분할 게이트형 EEPROM의 메모리셀 어레이부에 대한 개략 평면도.

제2도는 제1도의 B-B선에 따라 자른 단면도.

제3도는 제1도 및 제2도에 도시된 EEPROM의 등가회로도.

제4a도 및 제4b도는 제1도 및 제2도의 EEPROM을 제조하는 공정의 연속단계를 도시하는 단면도.

제5a 내지 제5f도는 본 발명의 제1실시예에 따른 비휘발성 반도체 기억장치 및 그것을 제조하기 위한 공정의 연속 단계를 도시하는 도면.

제6a 내지 제6f도는 본 발명의 제2실시예에 따른 비휘발성 기억장치 및 그것을 제조하기 위한 공정의 연속단계를 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

1 : P형 실리콘 기판	2 : 소자분리 산화막
3 : 게이트 산화막	4 : 부유게이트
4a, 6b, 12a : 폴리실리콘막	5 : 게이트간의 산화막
6 : 제어 게이트	7, 9, 11, 15, 16 : 실리콘 산화막
8 : 실리콘 질화막	10, 11 : 포토레지스트 막
12 : 소거 게이트	13 : 게이트 전극
14 : n ⁺ 형 매립확산층(비트라인)	

[발명의 상세한 설명]

[발명의 배경]

(a) 발명의 분야

본 발명은 비휘발성 반도체 기억장치 및 그 제조방법에 관한 것이다. 특히, 가상접지 분할 게이트 EEPROM과 같이, 각각 인접한 2개의 제어게이트간의 간격으로 절연막과 소거 게이트가 교호로 형성되는 비휘발성 반도체 기억장치 및 그와 같은 비휘발성 반도체 기억장치를 제조하는 방법에 관한 것이다.

(b) 관련된 기술의 설명

가상 접지 분할 게이트 EEPROM(이하, EEPROM이라 약칭함)은 EEPROM의 집적도 및 생산량을 증가시키기 위해 제안되어 왔다. 도면을 참조하여 종래의 EEPROM을 설명하기로 한다. 제1도는 종래의 EEPROM에 대한 개략평면도이고, 제2도는 제1도에서 B-B선을 따라 자른 EEPROM에 대한 단면도이다.

제1도 및 제2도를 참조하면, 소스/드레인 영역을 구성하는 n⁺형 매립확산(확산된)층(14)은 P형 실리콘기판(1)의 표면영역내에 형성되어, 매립확산층(14)이 열방향(제1도에 도시된 바와같이 수직방향)으로 서로 평행으로 연장된다. 상기 n⁺형 매립확산층(14)은 비교적 두꺼운 실리콘 산화막(15)으로 피복된다. 소자분리막 또는 산화막(2)이 형성되어 기판에 대하여 행 방향으로 서로 평행하게 연장된다. 기판(1)상에 깔은 부유게이트(4)가 매트릭스로 형성되어 각각의 부유게이트(4)는 부분적으로 매립된 확산층(14)의 대응하는 층을 중첩한다. 또한 제어게이트(6)은 부유게이트(4)의 각각의 행을 중첩하여 행방향으로 연장되며 각각의 부유게이트와 함께 박막으로 된 게이트 구조를 구성한다. 제어게이트(6)의 표면은 실리콘 산화막(7)에 의해서 피복된다. 두개의 인접한 게이트 구조간에 형성된 각각의 인접한 두개의 스페이스중 한 스페이스에는 소거게이트(12)가 채워진다. 기판의 전체표면은 또한 실리콘 산화막(16)에 의해서 피복된다. 제1도에 도시된 기억셀 어레이의 등가 회로를 도시하는 제3도를 참조하면, n⁺형 매립확산층(14)가 비트라인 B1, B2등을 형성하는 한편 제어게이트(6)은 워드라인 W1, W2등을 형성한다. 각각의 기억셀의 채널부는 제3도에 도시된 바와 같이 두개의 분리영역을 포함한다. 제1영역에서 제어게이트(6)은 서로간에 대치된 부유게이트(4)의 상입부와 채널영역에 대향한다. 제2영역에서 상기 제어게이트(6)은 채널부분과 직접 대향한다. 상기 구조는 분리게이트형이라 부른다. 제3도에서 메모리 셀(2,1) 예컨대, 제2행 및 제1열로 배치된 메모리 셀로부터의 데이터를 판독하도록 하기 위해 5V의 전압이 워드라인 W2에 인가되고, 비트라인 B1이 접지되며, 1.5V의 전압이 비트라인 B2에 인가된다. 기타 비 선택된 워드라인 W1, W3, W4등이 접지되는 한편 기타 비선택된 비트선 B3, B4등은 부유상태로 남게된다.

메모리 셀(2,1)에 데이터를 기입하기 위해서 12V의 전압이 워드라인 W2에 인가되고, 비트라인 B1이 접지되며, 7V의 전압이 비트라인 B2에 인가된다. 기타 비 선택된 워드라인 W1, W3, W4등이 접지된다. 이 상태로 핫 전자가 메모리 셀(2,1)의 채널에 발생되고, 그의 부유게이트(4)에 주입된다.

상기 메모리 셀에서 데이터를 소거하기 위해서 워드라인 W1, W2등이 접지되고, 예컨대 20V의 전압이 소거 게이트(12)에 인가되어 부유게이트(4)로부터의 캐리어를 소거게이트(12)에 퇴출한다.

상술한 바와 같이 종래의 가상 접지분할 게이트 EEPROM은 두개의 중요한 특장(two important structural

features), 즉, 비트 라인으로서 n⁺형 매립확산층과, 부유게이트를 가진 각각의 메모리 셀에서 소위 분리 게이트 형이라고 불리는 직렬 접속된 선택 트랜지스터를 갖는다 n⁺형 매립 비트라인의 사용은 메모리 셀 어레이에 필요한 접촉수를 크게 감소시키기 때문에, 장치의 집적도와 생산량을 증가시킨다.

각각의 메모리 셀에 제공된 직렬 선택 트랜지스터에 의하면, 선택된 비트선에 접속되는 비선택된 메모리 셀이 부유게이트에 비트선 전압이 기인하는 전압이 인가되어 그 결과 비트선 메모리 셀이 부주의로 턴 온 되는 상태로 될때마다 온 전류가 흐르는 문제는 회피될 수 있다. 이것은 드레인 전압에 관한 구속 조건을 현저하게 완화시킨다. 이 종류의 EPROM은 예컨대 일본 특허출원 공개 번호 1990-292870호에 기술되어 있다.

다음에 메모리 셀 어레이부와 주변 회로부(30)에서의 공정이 연속단계를 도시하는 제4a도 및 제4b도를 참조하여 상술한 바와 같은 종류의 EPROM을 제조하는 종래의 방법에 대해서 설명하기로 한다.

먼저 P형 실리콘 기판(1)상에 도시되지 않은 포토레지스트막이 선택적으로 형성된 다음, 마스크로서 포토레지스트막을 사용하는 이온 주입에 의해, 비트 라인을 구성하고 제4a도 및 제4b도에는 도시되지 않은 n⁺형 매립확산층이 형성된다.

포토레지스트막의 제거후에, 실리콘 산화막이 CVD법에 의해 기판(1)의 전체면에 퇴적된다. 이 실리콘 산화막은 패터닝되어 셀 어레이부(20) 및 주변 회로부(30) 양쪽에 필드 산화막(2)을 형성한다. 그후, 게이트 산화막(3)이 형성되고, 그위에 부유 게이트용의 2000 Å 두께의 다결정질의 실리콘(폴리실리콘)막이 퇴적된다. 상기 폴리실리콘막은 다수의 평행 스트립으로 형성된 포토레지스트 마스크를 사용하여 드라이 에칭 가공한다.

게이트간의 절연막(5)과 제어 게이트용의 3500 Å 두께의 폴리실리콘막을 순차적으로 형성한 후, 제어 게이트용의 폴리실리콘막 및 부유 게이트용의 폴리실리콘막이 패터닝되어, 스트립 제어 게이트(6) 및 분리 부유 게이트(4)의 일부분을 각각 포함하는 박막으로된 게이트 구조가 형성된다. 이때에, 폴리실리콘막은 주변 회로부(30)로부터 제거된다.

그 다음의 열산화에 의해, 100 Å 두께의 실리콘 산화막(7)이 제어 게이트, 부유 게이트(6), 및 기판 표면의 노출면상에 형성된다. 실리콘 산화막(7)은 주변 회로부(30)내의 게이트 산화막으로서 작용한다. 계속해서, 소거 게이트를 형성하는데 사용하기 위한 폴리실리콘(12a)이 약 2500 Å 두께로 퇴적되어, 2개의 인접한 게이트 구조간의 공간이 폴리실리콘막(12a)으로 채워진다. 그후, 포토리소그래피법을 적용하여 포토레지스트막(17)이 형성되며, 그 결과 제4a도의 구조를 얻는다.

계속해서, 상기 폴리실리콘막(12a)이 마스크로서 포토레지스트막(17)을 사용하는 드라이 에칭 기법에 의해 패턴되어, 2개의 인접한 게이트 구조체간에 형성된 2개의 공간중 각각을 매립하는 소거 게이트(12)를 형성하고, 주변 회로부(30)내에 게이트 전극(13)을 형성한다. 그후, 실리콘 산화막(16)이 게이트 구조간의 빈 공간을 포함하는 전체 표면 뿐만 아니라 CVD기법을 사용하여 소거 게이트와 표면상에 퇴적됨으로써 제4b도의 구조를 얻게된다. 최종적으로 상호접속의 형성등의 나머지 공정은 비휘발성 반도체 기억 장치를 완성시키도록 실시된다.

상술한 바와 같은 종래의 EPROM은 다음과 같은 문제점을 갖는다. 즉 종래의 EPROM에서 셀 어레이부(20)의 소거 게이트(12)와 주변 회로의 게이트 전극(13)은 같은 폴리실리콘 막으로부터 만들어지고 동일 패터닝 단계 동안 포토리소그래픽 드라이에칭 기법을 적용하여 패턴된다. 이때에 셀 어레이부에 있어서는 게이트 구조간에 형성된 두개의 공간 각각에 매립된 소거 게이트의 폴리실리콘막(12a)을 제거하는 것을 필요로 한다. 폴리실리콘막(12a)의 두께는 약 8000 Å (2000+3500+2500) 만큼 두껍다. 대조적으로 주변 회로부내의 폴리실리콘막의 두께는 약 2500 Å 이다. 그러므로 후자의 영역은 5500 Å 두께를 가진 폴리실리콘막을 제거시키는데 필요한 시간 주기동안 에칭을 실시해야 한다.

열산화에 의해 형성된 100 Å 두께의 게이트 산화막(7)이 연속적인 에칭을 중지시키는 것이 바람직하나 실리콘 산화막(7)의 두께는 연속적인 에칭을 중지시키는데 불충분하다. 그러므로 실리콘 기판(1)의 표면은 에칭되어야 하며 그 때문에 실리콘 표면도 4b도에 도시된 에칭부분(18)을 포함한다. 에칭부분(18)에 의해 주변 회로의 트랜지스터의 디바이스크기(채널 길이)를 변화시키며 그 결과 트랜지스터 특성의 증가된 변동을 초래한다. 또한 장치의 생산량이 감소된다.

종래의 EPROM은 셀 어레이부 및 주변 회로부간의 경계부에서 상호 접속을 형성하는 단계전에 레벨차가 생성되는 또 다른 문제점을 갖는다. 즉 다수의 박막이 셀 어레이(20)내의 박막으로 되므로 셀 어레이(20)내의 총 두께는 주변 회로부(30)내의 것 보다 훨씬 두꺼운 레벨차를 생성시킨다.

이것은 종첩 상호 접속시에 결함 또는 파괴를 야기시켜 기억장치의 제조 생산량을 감소시키게 된다.

[발명의 개요]

본 발명의 목적을 폴리실리콘막의 연속적인 에칭을 방지할 수 있고 트랜지스터의 게이트 전극이 주변 회로부내에 형성될 때 그와 반대로 일어나는 비휘발성 반도체 기억 장치를 제공하는데 있다.

본 발명의 또 다른 목적은 셀 어레이부와 주변 회로부간의 레벨차를 감소시킬 수 있는 비휘발성 반도체 기억 장치를 제공하는데 있다.

본 발명은 반도체 기판, 그 기판에 깔고 메트리스의 행 및 열 방향을 따라 배열된 다수의 부유 게이트, 그 부유 게이트의 각 행에 각각 깔린 다수의 스트립 제어 게이트, 각각 인접한 두개의 제어 게이트 간에 형성된 두개의 공간중 하나에 배치된 다수의 절연층, 각각의 두개의 공간중 다른한 공간에 배치된 다수의 소거 게이트를 포함하는 비휘발성 반도체 기억장치를 제공하며, 상기 절연막과 소거 게이트는 교호로 배열되며 절연층의 각 층은 실리콘 질화막과 그 실리콘 질화막에 깔린 실리콘 산화막을 포함한다.

본 발명은 비휘발성 반도체 기억 장치를 형성하는 방법을 더 제공하는데 그 방법은 반도체 기판에 깔린 제1폴리실리콘막을 형성하는 단계와, 그 제1폴리실리콘막에 깔린 제2폴리실리콘막을 형성하는 단계와, 상

기 제1 및 제2폴리실리콘막을 패터닝하여 매트리스의 열 및 행 방향으로 배열된 다수의 부유 게이트 및 그 부유 게이트의 각 행에 각각 깔린 다수의 스트립 제어 게이트를 형성하는 단계와, 실리콘 산화막 및 그 실리콘 산화막에 깔린 실리콘 질화막을 각각 포함하는 다수의 스트립 박막을 형성하는 단계로써 상기 스트립 박막에 각각 인접한 두개의 제어 전극간에 형성된 각각 두개의 공간중 하나에 배치되는 단계와, 각각 두개의 공간중 다른 하나에 각각 배치된 다수의 소거 게이트를 형성하는 단계로써 상기 스트립 박막과 상기 소거 게이트는 교호로 배치되는 단계를 포함한다.

본 발명의 비휘발성 반도체 기억 장치에 의하면 소거 게이트를 형성하기 위해 폴리실리콘막의 드라이에칭이 평탄 부분에만 요구되므로 셀어레이부내의 에칭 정도는 주변 회로부내의 트랜지스터의 게이트 전극을 패터닝하는 필요한 에칭 정도와 같다. 그러므로 주변 회로부내의 실리콘 기판의 표면은 연속적인 에칭에 기인하여 제거되는 것으로부터 방지된다. 그 결과, 연속 에칭에 기인하여 주변 회로부내의 트랜지스터의 디바이스 크기의 변동이 방지될 수 있다. 따라서, 트랜지스터의 특성 변동이 감소될 수 있고 기억 장치의 생산량이 증가될 수 있다. 더욱이 박막으로된 게이트 구조간의 공간을 메우는 산화막이 소거 게이트상에 형성되지 않기 때문에 상호 접속을 형성하기 전에 셀어레이부 및 주변 회로부간에 형성된 레벨차가 감소될 수 있다. 따라서 상호 접속의 파괴가 방지될 수 있다. 본 발명의 상기와 다른 목적, 특징, 및 장점은 다음 설명으로부터 보다 분명해질 것이다.

[양호한 실시예에 대한 상세한 설명]

첨부 도면을 참조하여 본 발명의 실시예에 대해 설명하기로 한다. 본 발명의 제1실시에 따른 EEPROM을 제조하는 방법을 도시하고 있는 제5a도 내지 5f도를 참조하면 p형 실리콘 기판(1)이 먼저 준비되어 있다. 포토레지스트막의 패터닝이 도시되어 있지 않고 마스크로서 포토레지스트막을 사용하여 비소이온 주입이 셀어레이부내의 실리콘 기판(1)에 실시되어 실리콘 기판(1)이 표면 영역에 n⁺형 매립 확산층(도시되어 있지 않음)을 형성시키며, 그 매립 확산층은 열 방향으로 서로 다르게 평행으로 즉 도면 시트와 직접 평행으로 연장된다.

다음에 약 4000 Å의 두께를 가진 실리콘 산화막이 실리콘 기판(1)의 표면상에 CVD기법에 의해 퇴적된다. 상기 실리콘 산화막이 또다른 행 방향으로 평행하게 연장하는 필드 산화막(1)을 형성하기 위해서 포토리소그래픽 드라이에칭 기법에 의해서 패턴되어 제5a도의 구조를 얻게 된다.

그후 게이트 산화막(3)이 상기 필드 산화막(2)의 각각 인접한 두개의 막간에 열산화에 의해서 형성되고, 그 위에 2500 Å 두께의 폴리실리콘막이 퇴적된다. 상기 폴리실리콘막도 패턴되어 부유 게이트를 형성하는데 사용하기 위한 폴리실리콘막(4a)을 얻으며 상기 부유 게이트는 열 방향으로 연장되고 비트 라인을 형성하는 n⁺형 매립 확산층을 부분적으로 피복한다.

상기 패터닝동안 폴리실리콘막(4a)은 주변 회로부(30) 내에 역시 남게 된다. 그 다음에 상기 폴리실리콘막(4a)상에 열산화기법 또는 HTO(고온 CVD산화) 기법에 의해 200 Å 두께의 게이트간의 산화막(5)이 형성되고 그 상에 제어 게이트용의 폴리실리콘막(6a)이 3000 Å 두께로 퇴적되어 제5b도의 구조를 얻게 된다.

다음에 폴리실리콘막(6a), 실리콘 산화막(5), 및 폴리실리콘막(4a)이 포토리소그래픽 드라이에칭에 의해 패턴되어 스트립 제어 게이트(6)를 각각 포함하는 박막으로된 게이트 구조를 형성하고 상기 분리 부유 게이트(4)는 제어 게이트(6)의 부분에 깔린다. 상기 공정 또한 상기 폴리실리콘막은 주변 회로부(30)로부터 완전히 제거된다.

제어 게이트 및 부유 게이트(4)가 본 실시예에서 같은 포토리소그래픽 단계동안 형성되지만 이를 게이트는 상이한 포토리소그래픽 단계동안 형성될 수 있다. 즉, 제어 게이트의 패터닝후 상이한 포토리스트막이 형성될 수 있고, 제어 게이트에 평행한 각 부유 게이트의 한 측면이 포토레지스터막을 사용하여 패턴될 수 있다. 또한 제어 게이트를 형성하는데 사용하기 위한 폴리실리콘막이 부유 게이트의 패터닝이 완료시에 형성될 수 있다.

각막으로된 게이트 구조의 형성후 열산화가 실시되어 200 Å의 실리콘 산화막(7)을 형성하며 이 막은 제어 게이트(6), 부유 게이트(4) 및 실리콘 기판(1)의 노출된 면을 피복하며, 그로써 제5c도의 구조를 얻는다.

계속해서 500 Å 두께의 실리콘 질화막(8) 및 2500 Å 두께의 실리콘 산화막(9)이 박막으로 된 게이트 구조의 인접한 두개간의 공간을 포함하는 기판(1)의 전체 표면과 박막으로 된 게이트 구조상의 CVD기법에 의해 연속적으로 퇴적된다. 그 결과 인접한 2개의 박막으로 된 게이트 구조간의 공간이 실리콘 질화막(8) 및 실리콘 산화막(9)에 의해 채워지게 된다. 그후 소거 게이트가 연속 단계시에 형성되지 않은 부분을 마스크하도록 포토레지스트막(10)이 형성된다. 즉 인접한 두개의 박막으로 된 게이트 구조간에 형성된 각각의 두개의 공간중 하나에 대응하는 각 영역에 포토레지스트 마스크가 형성된다. 이때에 제5d도의 구조에 도시된 바와 같이 주변 회로부내의 포토레지스트 마스크가 전혀 형성되지 않는다.

다음에 실리콘 산화막(9) 및 실리콘 질화막(8)은 습식 에칭이 연속적으로 행해져 제5e도에 도시된 바와 같이 포토레지스트(10)에 의해서 보호되지 않은 부분에서 실리콘 산화막(9) 및 실리콘 질화막(8)의 박막 층을 제거한다. 그후 노출된 실리콘 박막(7)이 제거되고 100 Å 두께의 실리콘 산화막(11)이 열산화에 의해 형성된다. 실리콘 산화막(11)이 주변 회로부내의 게이트 산화막을 구성한다.

계속해서 소거 게이트용의 2500 Å 두께의 폴리실리콘 막이 CVD기법에 의해서 퇴적되고 그 다음 포토리소그래픽 드라이에칭 기법에 의해서 패턴되어 주변회로 장치용의 게이트(13)이 제5f도에 도시된 바와 같이 주변회로부(30)내에 형성되는 동안 소거 게이트(12)가 셀 어레이부(20)내에 형성된다. 최종적으로 상호 접속 형성등의 나머지 공정이 수행되어 비휘발성 반도체 기억 장치를 완성시킨다.

제1실시예에서 소거 게이트(11)를 형성하기 위한 드라이 에칭은 비교적 평면부에서 실시되므로, 에칭량은 셀어레이부 및 주변회로부(30)간과 동일 값이다. 따라서 오버 에칭이 방지되어 메모리 장치의 트랜지스터 특성의 변동이 감소된다. 더욱이 셀 어레이부 및 주변부간의 레벨차는 소거 게이트가 게이트 구조간의 공간을 형성하기 위한 절연막에 의해 피복되지 않으므로 감소되어 상호 접속이 파괴되는 것을 방지하게 된다.

다음에 본 발명의 제2실시예에 대해 설명하기로 한다.

제5a도 내지 5f도와 유사하게 도시하는 제6a 내지 6f도를 참조하면 본 발명의 제2실시에 따른 EEPROM을 형성하는 방법, 포토레지스트막(도시되어 있지 않음)의 패터닝 방법, 포토레지스트막을 사용하여 비소 이온의 주입법이 셀 어레이부 내의 P기판(1)에 이미 시행되었으며 P기판(1)의 표면 영역에 n^+ 형 매립 확산층(도시되어 있지 않음)을 형성하고 있다.

상기 매립 확산층은 열방향으로 서로 평행하게 연장된다.

약 2000Å 두께를 가진 실리콘 산화막이 실리콘 기판(1)의 표면상에 CVD기법에 의해 퇴적된다. 상기 실리콘 산화막이 패턴되어 행방향으로 서로 평행하게 연장하는 필드 산화막(2)을 형성한다. 패턴 공정동안, 제6a도에 도시된 바와 같이 주변 회로부(30)내에 필드 산화막이 전혀 형성되지 않는다.

그후에, 열산화에 의해 인접한 2개의 필드 산화막(2)간에 게이트 산화막(3)이 형성되고 그 위에서 전체 표면에 2500Å 두께의 폴리실리콘막이 퇴적된다. 2500Å 두께의 폴리실리콘막이 패턴되어 부유 게이트를 형성하는데 사용하기 위한 폴리실리콘막(4a)을 얻는다. 상기 폴리실리콘막(4a)은 열방향으로 연장되고, 비트 라인을 구성하는 n^+ 형 매립 확산층을 부분적으로 피복한다. 이때에, 폴리실리콘막(4a)은 주변 회로부(30)내에 역시 남게 된다. 200Å 두께의 게이트간의 산화막(5)이 폴리실리콘막(4a)의 표면을 포함하는 전체 표면상에 형성된 다음, 그위에 제어 게이트용 폴리실리콘 막(6a)이 제6b도에 도시된 바와 같이 3000Å 두께로 퇴적된다.

폴리실리콘막(6a), 실리콘 산화막(5) 및 폴리실리콘막(4a)가 포토리소그래픽 드라이 에칭에 의해 패턴되어 스트립 전극 게이트 6 및 분리 부유 게이트(4)의 일부를 포함하는 박막으로 된 게이트 구조를 형성한다. 패턴 단계 동안 폴리실리콘은 주변 회로부(30)로부터 완전히 제거된다. 박막으로 된 게이트 구조의 형성후에 열산화가 수행되어 200Å의 실리콘 산화막(7)을 형성하도록 실리콘 표면이 노출되며 상기 산화막을 제어 게이트, 부유 게이트 및 실리콘 기판의 표면을 피복한다(제6c도).

계속해서 500Å 두께의 실리콘 질화막(8) 및 5000Å 두께의 실리콘 산화막(9)이 CVD기법에 의해 전체 표면상에 연속적으로 퇴적된다. 그후 포토레지스트막(10)은 소거게이트가 연속 단계로 형성되지 않는 부분을 마스크하도록 형성된다. 주변 회로부(30)에서 포토레지스트막(10)은 필드 산화막이 제6d도에 도시된 바와같이 남게 되는 영역의 마스크로서 형성된다.

다음에 실리콘 산화막(9) 및 실리콘 질화막(8)이 순차적으로 습식 에칭 가공되어 제6e에 도시된 바와같이 포토레지스트막(10)에 의해서 보호되지 않은 부분에서 실리콘 산화막(9) 및 실리콘 질화막(8)의 박막으로 된 층을 제거한다. 그결과, 주변회로부(30)내에서 5000Å 두께의 실리콘 산화막(9), 500Å 두께의 실리콘 질화막(8) 및 200Å 두께의 실리콘 산화막(7)이 형성된 박막으로 된 막은 메모리 셀을 분리시키기 위해 작용한다.

그후, 노출된 실리콘 산화막(7)이 제거되고, 100Å 두께의 실리콘 산화막(11)이 열산화에 의해 형성된다. 실리콘 산화막(11)은 주변 회로부(30)내에 게이트 산화막을 구성한다. 계속해서 소거 게이트를 형성하는데 사용하기 위한 2500Å 두께의 폴리실리콘막이 CVD기법에 의해 퇴적된 다음, 패턴되어 제6f도에 도시된 바와 같이 셀 어레이부(20)내에 소거 게이트(11)를 형성하는 한편 주변 회로부(30)내에 주변 장치의 게이트 전극(13)을 형성한다. 각각의 소거 게이트(12)는 박막으로 된 게이트 구조간에 형성된 각각 두개의 공간중 하나에 연장된다. 소거 게이트(12) 및 절연막(8) 및 (9)는 공간내에 교호로 배치된다. 최종적으로 상호 접속 형성 등의 나머지 공정이 수행되어 비휘발성 반도체 기억 장치를 완성시킨다.

제2실시예에서 셀 어레이부(20) 및 주변 회로부(30)내에서 필드 산화막의 두께가 분리적으로 최적화될 수 있으므로 공정 단계의 수가 더 한층 감소될 수 있다. 그결과 상호 접속을 깔아놓은 곳에서 파괴되는 것을 더 한층 방지할 수 있어 비휘발성 기억 장치의 생산량을 증가시킨다.

상기 실시예는 단지 예로서 설명되었을 뿐 그와같은 실시예에 본 발명이 국한되지 않으며 본 기술분야에 속련된자는 여려가지 수정 또는 대안이 본 발명의 범주내에서 상기 실시예를 토대로 쉽게 행해질 수 있음이 분명할 것이다.

(57) 청구의 범위

청구항 1

반도체 기판과, 상기 반도체 기판에 깔고 매트릭스로 행 및 열 방향을 따라 배열된 다수의 부유 게이트와, 상기 부유 게이트의 각 행에 각각 깔은 다수의 스트립 제어 게이트와, 각각의 인접한 2개의 상기 제어 게이트 간에 형성된 각각 2개의 공간중 하나에 배치된 다수의 절연층과, 상기 각각 2개의 공간중 다른 하나에 배치된 다수의 소거층으로 이루어지고, 상기 절연 막 및 소거 게이트가 교호로 배열되며, 상기 각각의 절연층은 실리콘 질화막 및 상기 실리콘 질화막에 깔린 실리콘 산화막을 포함하는 것을 특징으로 하는 비휘발성 반도체 기억 장치.

청구항 2

제1항에 있어서, 상기 실리콘 질화막 밑에 놓인 또다른 실리콘 산화막을 더 포함하는 것을 특징으로 하는 비휘발성 반도체 기억 장치.

청구항 3

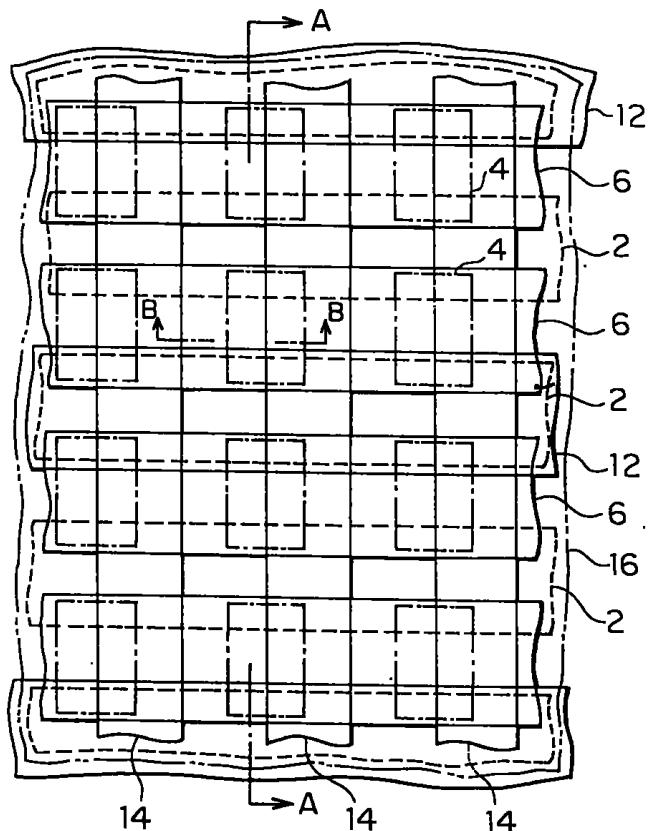
제1항에 있어서, 상기 반도체 기판에 형성되고, 상기 행 방향으로 연장되는 다수의 확산 영역을 더 포함하며, 상기 각각의 부유 게이트가 상기 확산 영역에 부분적으로 중첩하는 것을 특징으로 하는 비휘발성 반도체 기억 장치.

청구항 4

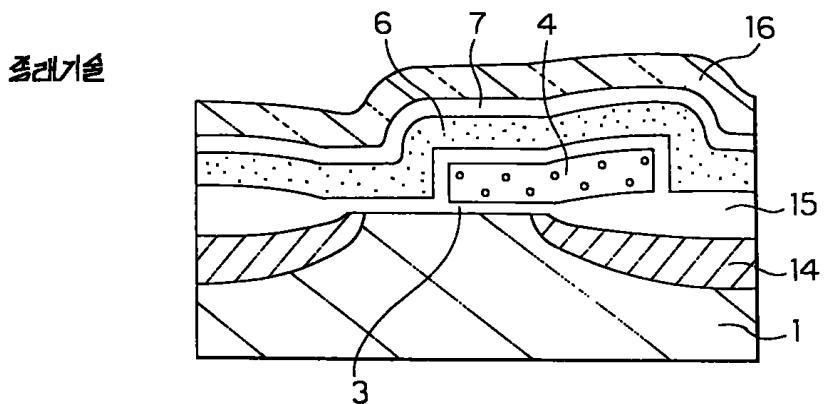
반도체 기판에 깔은 제1폴리실리콘막을 형성하는 단계와; 상기 제1폴리실리콘막에 깔은 제2폴리실리콘막을 형성하는 단계와; 상기 제1 및 제2폴리실리콘막을 패터닝하여 매트릭스로 열 및 행 방향으로 배열된 다수의 부유 게이트 및 상기 부유 게이트의 각 행에 각각 깔은 다수의 스트립 제어 게이트를 형성하는 단계와, 실리콘 산화막 및 상기 실리콘 산화막에 깔은 실리콘 질화막을 각각 포함하는 다수의 스트립 박막을 형성하는 단계로서, 상기 스트립 박막이 상기 각각의 인접한 2개의 제어 게이트간에 형성된 각각의 2개의 공간중 하나에 배치되는 단계와; 상기 각각의 2개의 공간중 다른 하나에 각각 배치되는 다수의 소거 게이트를 형성하는 단계로서, 상기 스트립 박막 및 상기 소거 게이트가 교호로 배치되는 단계를 포함하는 것을 특징으로 하는 비휘발성 반도체 기억장치 형성 방법.

청구항 5

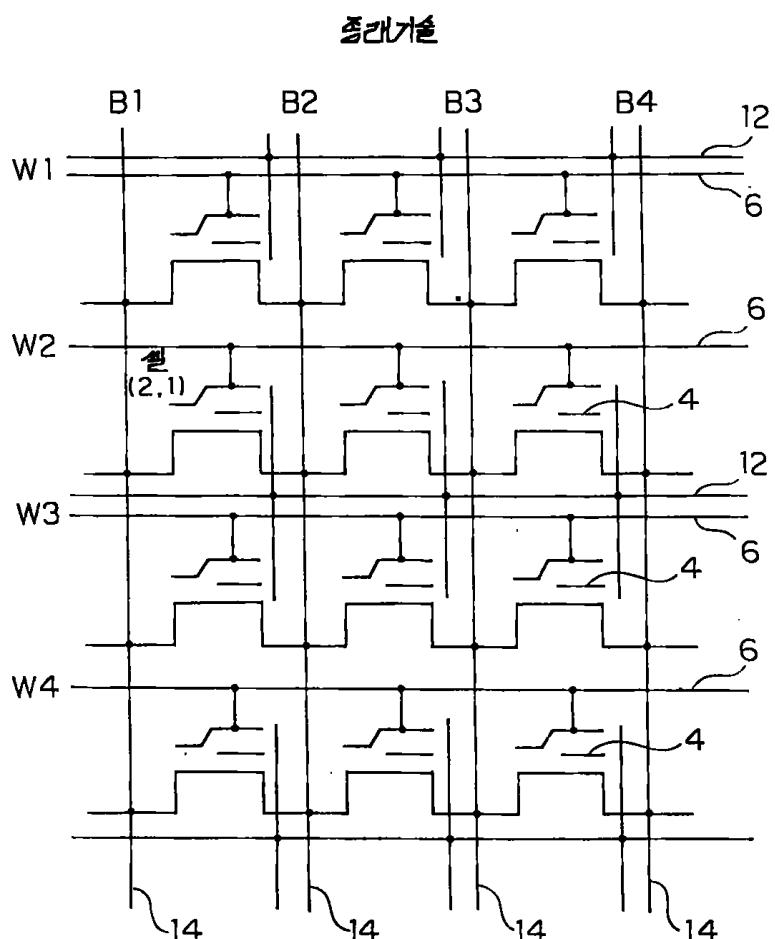
제4항에 있어서, 상기 반도체 장치는 주변 회로부와 상기 주변 회로부의 소자를 분리하기 위해 상기 주변 회로부에 형성된 필드 산화막을 형성하며, 상기 방법은 상기 실리콘산화막이 형성되어 있는 공통막으로부터 상기 필드 산화막을 형성하는 것을 특징으로 하는 비휘발성 반도체 기억 장치 형성 방법.

도면**도면1****종래기술**

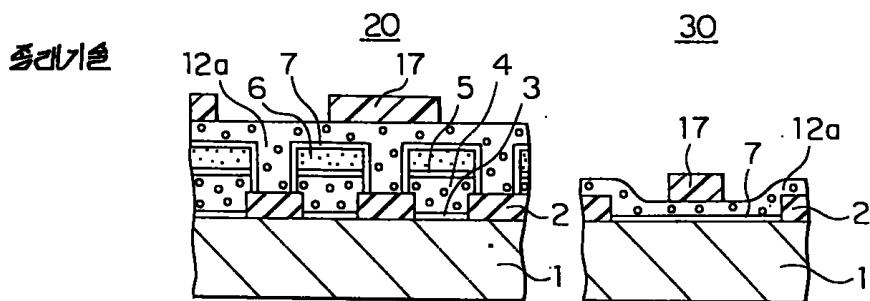
도면2



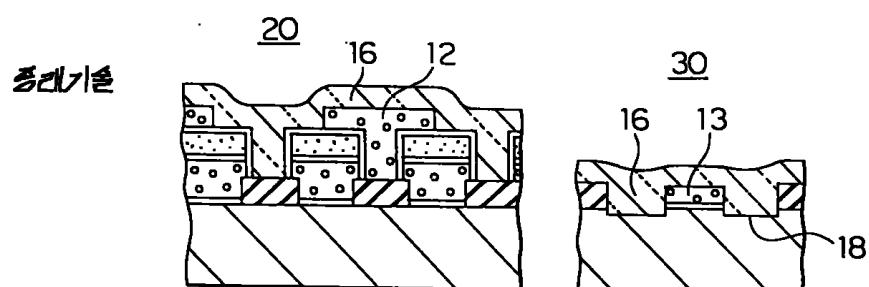
도면3



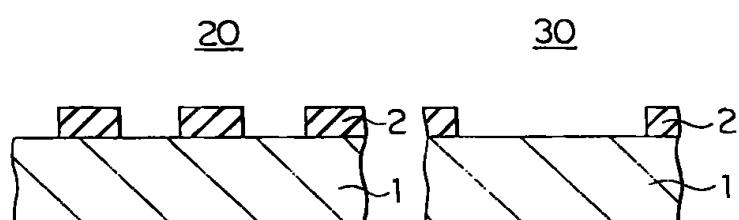
도면4a



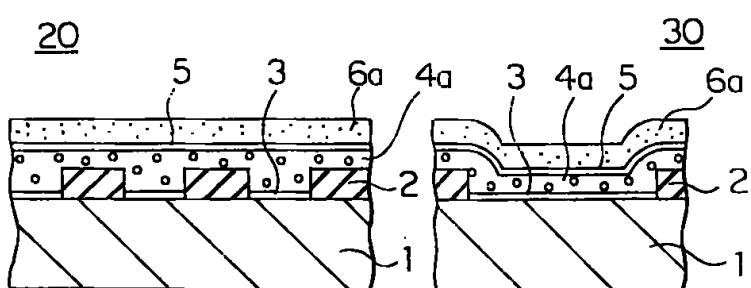
도면4b



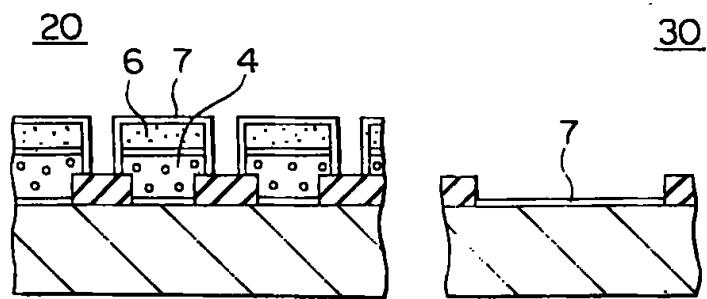
도면5a



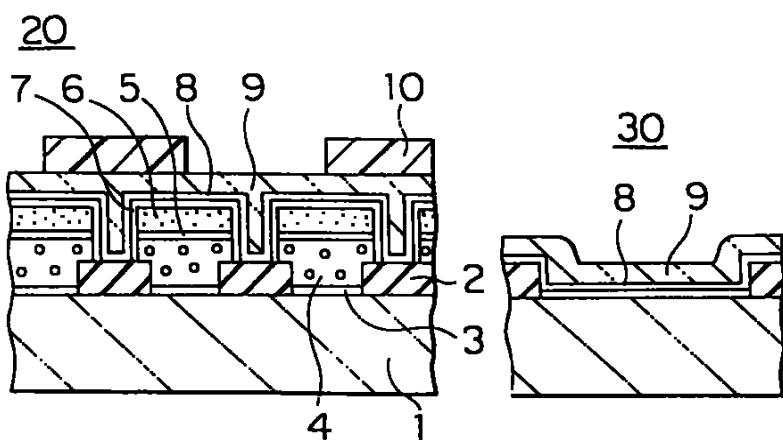
도면5b



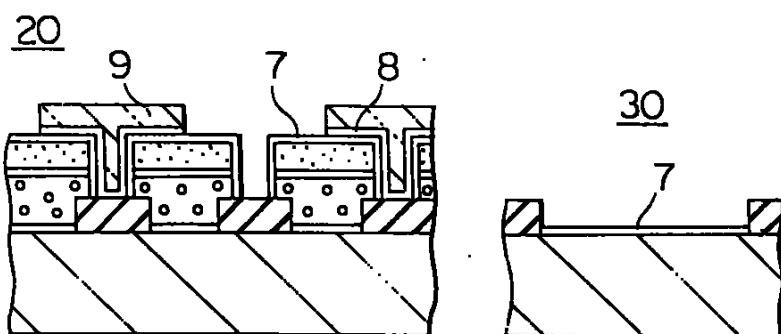
도면5c



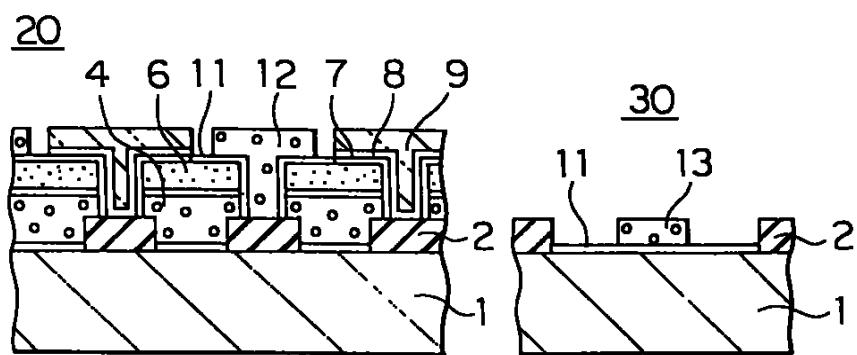
도면5d



도면5e



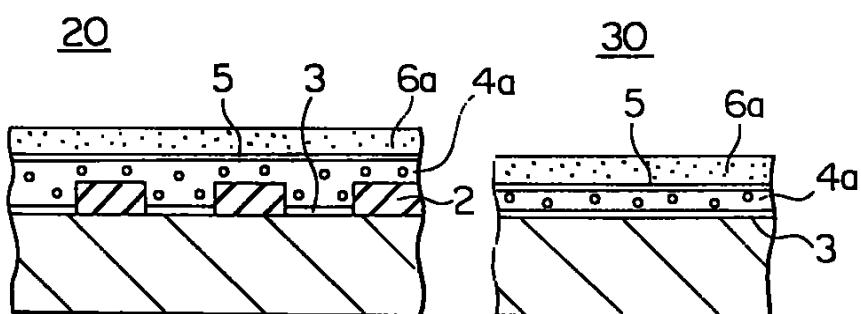
도면5f



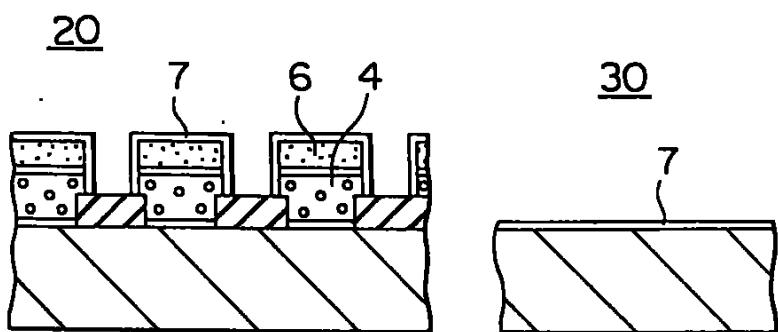
도면6a



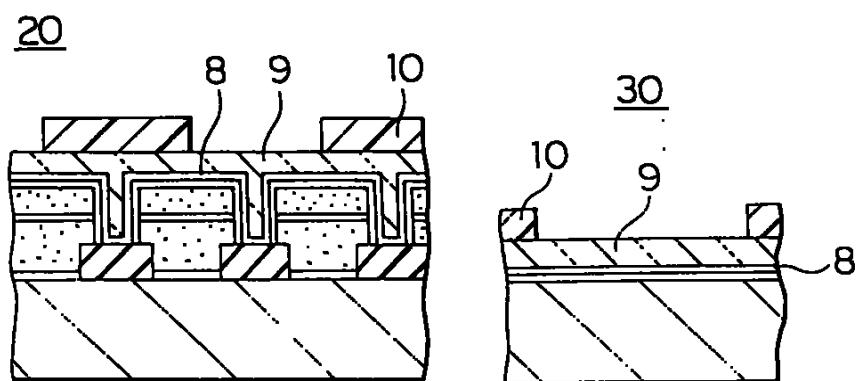
도면6b



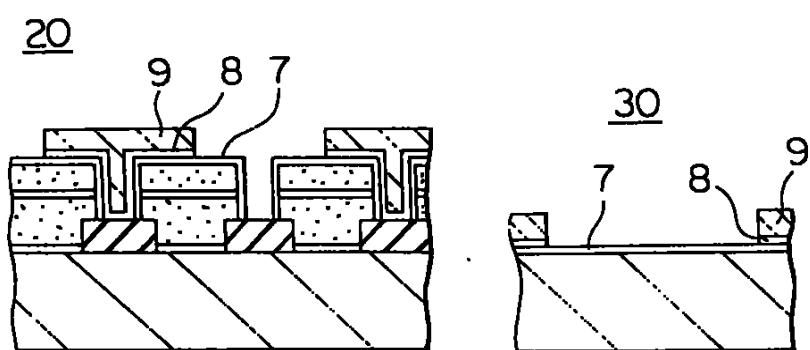
도면6c



도면6d



도면6e



도면6f

