

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 7 月 19 日 (19.07.2012)



(10) 国际公布号
WO 2012/094783 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2011/000694
- (22) 国际申请日: 2011 年 4 月 20 日 (20.04.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110007408.8 2011 年 1 月 14 日 (14.01.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 殷华湘 (YIN, Huaxiang) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 徐秋霞 (XU, Qiuxia) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 陈大鹏 (CHEN, Dapeng) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(74) 代理人: 中国专利代理 (香港) 有限公司 (CHINA PATENT AGENT (H. K.) LTD.); 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: METHOD FOR INTRODUCING STRAIN INTO CHANNEL AND DEVICE MANUFACTURED BY THE METHOD

(54) 发明名称: 向沟道中引入应变的方法和使用该方法制作的器件

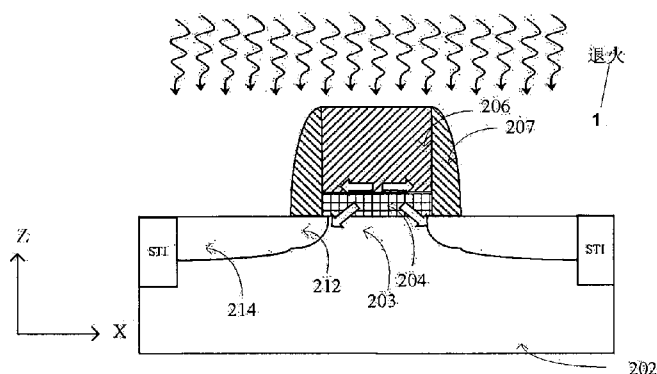


图 2g / Fig. 2g

1 ANNEALING

(57) Abstract: A method for introducing a strain into the channel of an MOS device and a device manufactured by the method are provided. The method includes providing a semiconductor substrate (202), forming a channel (203) on the semiconductor substrate, forming a first gate dielectric layer (204) on the channel, forming a polysilicon gate layer (206) on the first gate dielectric layer; doping or implanting a first element into the polysilicon gate layer, removing parts of the first gate dielectric layer and the polysilicon gate layer so as to form a first gate structure; forming source/drain extension regions (212) in the channel, forming sidewalls (207) along two sides of the first gate structure, forming a source and a drain (214) in the channel, and performing an annealing process so that the lattice of the polysilicon, doped or implanted with the first element, is changed during the high-temperature crystallization process, a first stress is created in the polysilicon gate layer and then introduced into the channel through the gate dielectric layer.

[见续页]

WO 2012/094783 A1

(57) 摘要:

提供了一种向 MOS 器件的沟道中引入应变的方法及使用该方法制作的器件。该方法包括提供半导体衬底 (202)，在半导体衬底上形成沟道 (203)，在沟道上形成第一栅介电层 (204)，在第一栅介电层上形成多晶硅栅极层 (206)，在多晶硅栅极层中掺杂或注入第一元素，去除部分第一栅介电层和多晶硅栅极层从而形成第一栅极结构，在沟道中形成源/漏极延伸区 (212)，在第一栅极结构两侧形成侧墙 (207)，在沟道中形成源漏极 (214)，以及进行退火工艺，使得掺杂或注入有第一元素的多晶硅在高温结晶过程中发生晶格变化，在多晶硅栅极层中产生第一应力并且将第一应力透过栅介质层引入到沟道。

向沟道中引入应变的方法和使用该方法制作的器件

优先权要求

- 5 本申请要求了2011年1月14日提交的、申请号为201110007408.8、发明名称为“向沟道中引入应变的方法和使用该方法制作的器件”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

- 10 本发明涉及一种向沟道中引入应变的方法和使用该方法制作的器件。

背景技术

- 理论和经验研究已经证实,当将应力施加到晶体管的沟道中时,沟道区的半导体晶格产生应变,晶体管的载流子迁移率会得以提高或降低;然而,还已知,电子和空穴对相同类型的应变具有不同的响应。例如,在电流流动的纵向上施加压应力从而导致沟道区晶格压应变以对提高空穴迁移率有利,但是相应的降低了电子迁移率。在纵向上施加拉应力从而导致沟道区晶格张应变以对提高电子迁移率有利,但是相应的降低了空穴迁移率。随着器件特征尺寸的不断缩小,以提高沟道载流子迁移率为目的的应变沟道工程起到越来越重要的作用。多种单轴工艺诱致应变被集成到器件工艺中。从单轴工艺诱致应变的最优引入方向方面来说,对于NMOS器件,在如图1所示的沿沟道方向即X方向上引入张应变以及在垂直于沟道方向即Z方向上引入压应变对提高其沟道中电子的迁移率最有效;另一方面,对于PMOS器件,在X方向上引入压应变对提高其沟道中空穴的迁移率最有效。根据这一理论,已发展了许多方法,其中一种方法是产生“全局应变”,也即,施加从衬底产生的应力到整体晶体管器件区域,全局应变是利用如下结构产生的,例如普通硅衬底上通过缓冲层外延生长不同晶格常数的SiGe、SiC等材料,在其上继续生长低缺陷的单晶硅层以实现全局应变硅层的形成;或者利用制作绝缘体上硅的方法实现绝缘体上的硅锗、应变硅结构。另一种方法是产生“局部应变”,也即,利用与器件沟道相邻的局部结构或者工艺方法产生相应的应力作用到沟道区产生应变,局部应变通常是例如如下结构所产生的:产生应力的浅槽隔离结构、(双)
- 15
- 20
- 25
- 30

应力衬里、PMOS 的源/漏极 (S/D) 区域中嵌入的 SiGe (e-SiGe) 结构、PMOS 的源/漏极 (S/D) 区域中嵌入的 Σ 形 SiGe 结构、NMOS 的源/漏极 (S/D) 区域中嵌入的 SiC (e-SiC) 结构等。但是, 上述产生沟道局域应变并改变作用沟道应力类型的方法有的需要复杂的工艺, 有的容易向沟道引入缺陷, 另一方面, 随着器件特征尺寸的不断缩小, 上述方法所带来的诱致应变效果也在不断减弱。

考虑到上述原因, 对于微小尺寸的 NMOS 和 PMOS 器件仍然存在实现增强应变引入新方法和半导体结构的需求, 此外还需要对所引入应变的方法进行大小和类型方面的控制。

10 发明内容

本发明第一方面提供一种向 MOS 器件的沟道中引入应变的方法, 包括提供半导体衬底; 在半导体衬底上形成沟道; 在沟道上形成第一栅介电层; 在所述第一栅介电层上形成多晶硅栅极层; 在所述多晶硅栅极层中掺杂或注入第一元素; 去除部分第一栅介电层和多晶硅栅极层从而形成第一栅极结构; 在沟道中形成源漏极延伸区; 在第一栅极结构两侧形成侧墙; 在沟道中形成源漏极; 以及进行退火, 使得掺杂或注入有第一元素的多晶硅在高温结晶过程中发生晶格变化, 从而在所述多晶硅栅极层中产生包括沿沟道方向的应变和垂直沟道方向的应变的第一应变, 并将第一应变透过栅介质层引入到沟道, 引起沟道区表层中半导体晶格大小的变化, 使得所述第一应变被保持在沟道中。

本发明另一方面提供一种 MOS 器件, 包括半导体衬底; 在半导体衬底上形成的沟道; 在沟道上方的第二栅极结构, 包括第二栅介电层以及在第二栅介电层上的金属栅极层; 在沟道中形成的源漏极延伸区; 在第二栅极结构两侧形成的侧墙; 在沟道中形成的源漏极; 在源漏极以及第二栅极结构上形成的层间介电层; 以及源漏极金属接触; 其中所述第二栅介电层以及金属栅极层是分别取代如权利要求 1 所述的步骤得到的所述第一栅介电层以及多晶硅栅极层而得到的, 其中沟道区表层中半导体晶格大小得以改变, 使得所述第一应变被保持在沟道中。

本发明仅仅通过加入掺杂/注入步骤, 并借助正常步骤中的退火工艺即可向沟道中引入应变。进一步, 还可以通过改变掺杂或注入元素或其组合, 或者控制掺杂或注入元素的剂量, 或者控制掺杂或注入元素的分布剖面, 退火条件来简单地控制应变大小和沟道应变程度, 因

此具有较强的工艺灵活性，较简单的工艺复杂度，并且没有附加的工艺成本。

附图说明

为了更好地理解本发明并且示出如何使其生效，现在将通过示例来参考附图，其中：

图 1 是从单轴工艺向沟道诱致应变的最优引入方向的示意图；

图 2a-1 示出制作根据本发明一个实施例的 NMOS 器件的步骤。

图 3a-1 示出制作根据本发明一个实施例的 PMOS 器件的步骤。

具体实施方式

下面，参考附图描述本发明的实施例的一个或多个方面，其中在整个附图中一般用相同的参考标记来指代相同的元件。在下面的描述中，为了解释的目的，阐述了许多特定的细节以提供对本发明实施例的一个或多个方面的彻底理解。然而，对本领域技术人员来说可以说显而易见的是，可以利用较少程度的这些特定细节来实行本发明实施例的一个或多个方面。

另外，虽然就一些实施方式中的仅一个实施方式来公开实施例的特定特征或方面，但是这样的特征或方面可以结合对于任何给定或特定应用来说可能是期望的且有利的其它实施方式的一个或多个其它特征或方面。

第一实施例

本实施例给出利用本方法制作 NMOS 器件的步骤。提供半导体衬底 202，半导体衬底可以是电子领域中已知的任何类型，例如体半导体、绝缘层上半导体（SOI）。并且半导体衬底可以被施加应变、未施加应变或在其中包含应变区或非应变区。在提供了半导体衬底后，通过利用本领域所熟知的传统技术，在所述半导体衬底 202 内形成隔离区，隔离区例如是沟槽隔离区（STI）或场隔离区，另外隔离区材料可以是具有应力的材料或无应力的材料。

在位于隔离区之间的有源区中的半导体衬底上形成沟道 203，如图 2a 所示。

在沟道上形成栅介电层 204，如图 2b 所示，所述栅介电层 204 的材料可以包括高 K 介电常数材料或低 K 介电常数材料，例如 SiO₂、SiON、ZrO₂、HfO₂、Al₂O₃、HfSiO、HfAlO、HfSiON、HfAlSiO、HfTaSiO 等。

或其混合物、或其多层结构。栅介电层204可以通过热生长工艺形成，例如氧化、氮化、或氧氮化。作为替代，栅极介电层可以通过沉积工艺形成，例如化学气相沉积（CVD）、等离子辅助CVD、原子层沉积（ALD）、蒸镀、反应溅射、化学溶液沉积或其他类似沉积工艺，栅介电层204还可以利用任何上述工艺的组合而形成。

在形成栅介电层204之后，在栅介电层204上形成多晶硅栅极层206，如图2c所示。

对多晶硅栅极层206掺杂或注入能够向沟道中引入张应变的元素，例如锗、锑、铟、砷、镓、锡之一或其组合，如2d所示。通过选择不同的掺杂或注入元素或其组合，或者控制掺杂或注入元素的剂量，或者控制掺杂或注入元素的分布剖面，来调整多晶硅薄膜中的材料成分比，由此可以影响后续高温退火过程中的结晶过程，改变晶粒中晶格的大小，从而可以控制向沟道中引入的张应变的大小和张应变的强弱。随后例如通过蚀刻工艺，去除部分多晶硅栅极层和栅介电层，从而形成第一栅极结构，如图2e所示。

接着在源漏极区域中注入形成源漏极延伸区212，形成侧墙207后，再注入形成源极与漏极214，如图2f所示。随后进行源漏掺杂退火，此工艺可为源漏延伸区与接触区（即源漏延伸区外的源漏掺杂区）一次退火，也可作为源漏延伸区一次退火与接触区一次退火的结合。退火的工艺方式可为炉温退火（FA），快速退火（RTA），尖峰RTA（Spike RTA），激光退火（ELA）等。以RTA为例，温度500~1100度，时间0.1~100秒之间。

在上述退火过程中，所述经过掺杂/注入的栅极结构能够向沟道施加如图2g中空心箭头所示方向的应变，从而在沿沟道方向即X方向上引入张应变以及在垂直于沟道方向即Z方向上引入压应变，这增强了其沟道中电子的迁移率。这是因为高掺杂的多晶硅薄膜在高温结晶过程中发生晶格变化，晶格大小得到增加，从而在薄膜中产生张应变，并同时在退火过程中将张应变透过超薄栅介质层204传导到其下的沟道区203，从而沟道区表层中半导体晶格在沿沟道方向上大小增加，在垂直沟道方向上大小减小，从而使得通过上述步骤在栅电极中产生的应变得以保持在沟道中。并且，通过控制退火条件，可以控制向沟道中引入的应变的大小，一般来说快速退火的温度越高，退火时间越长越有利

于应变晶格的产生,应力的传导,但过强的退火条件会适当的释放应力并且破化源漏掺杂的分布情况。

在根据后栅工艺制作MOS器件的情况下,还需要下述步骤。

在器件表面形成层间介电层(ILD),并平整化到栅极结构高度,

5 如图2h所示。

例如利用干法或湿法蚀刻工艺去除所述多晶硅栅极206和栅介质层204,用金属栅极导体206'和新栅介质层204'代替,如图2i-2j所示。可选的另外一种方法,在此步骤中也可以仅去除所述多晶硅栅极206而保留栅介质层204,这种情况下只需沉积金属栅极导体206'。NMOS金属栅材料是利用原子层淀积(ALD)或溅射工艺顺序形成功函数合适的材料以及金属填充材料(图中未分层示出),更优选的,功函数合适的材料为TiN、TaN、TiAlN或者MoAlN,金属填充材料为TiAl、Al或W。新栅介质层204'形成方法与204的工艺类同,材料为高K介电常数材料,例如SiON、ZrO₂、HfO₂、Al₂O₃、HfSiO、HfAlO、HfSiON、
10 HfAlSiO、HfTaSiO等或其混合物、或其多层结构。

在源极与栅极的顶面形成又一层间介电层(ILD)216以用于接触、形成源漏极金属接触218从而形成如图2k所示的器件。

本发明还可以结合其他应变引入方法。例如,可选地,可以在栅极导体相邻的源极和漏极区域中嵌入应力源208,包括嵌入的SiC,或
20 可由任何未来技术形成的任何类型的应力源,如图2l中所示。

可选地,可以在NMOS 200的顶部上形成应力衬里210,如图2l中所示。该衬里可对栅极导体下方的沟道区域施加应力。其中通过在例如等离子体增强化学气相沉积(PECVD)工艺中的沉积,将应力衬里形成在NMOS的顶部上。也可以使用PECVD以外的其他公知方法来形成应
25 力衬里。应力衬里可以为氮化物或氧化物衬里。然而,本领域技术人员应理解,应力衬里不限于氮化物或氧化物衬里,也可使用其它的应力衬里材料。

上述应力源和应力衬里可以向所述沟道引入张应变。

总之,相比于现有技术中采用的产生沟道应变的方法,本方法仅
30 仅通过加入掺杂/注入步骤,并借助正常步骤中的退火工艺即可向沟道中引入较强应变并永久记忆。进一步,可以通过改变掺杂或注入元素或其组合,或者控制掺杂或注入元素的剂量,或者控制掺杂或注入元

素的分布剖面，退火条件来简单地控制张应变大小。甚至，若仅仅为了控制沟道中应变效果，还可以向多晶硅栅极层中掺杂或注入能够向沟道中引入压应变的材料，比如碳、硫、铝、硼、磷、氮、氧、氢之一或其组合，这实际上减弱了NMOS沟道中的张应变，但在某些应用中，
5 比如由于其他应力源所提供供给沟道的张应变过强，这时能够减弱沟道中的张应变的上述掺杂/注入是期望的。综合上述描述，本方法具有较强的工艺灵活性，较简单的工艺复杂度，并且没有附加的工艺成本。

第二实施例

本实施例给出利用本方法制作PMOS器件的步骤。提供半导体衬底
10 302,半导体衬底可以是电子领域中已知的任何类型，例如体半导体、绝缘层上半导体（SOI）。并且半导体衬底可以被施加应变、未施加应变或在其中包含应变区或非应变区。在提供了半导体衬底后，通过利用本领域所熟知的传统技术，在所述半导体衬底302内形成隔离区，隔离区例如是沟槽隔离区（STI）或场隔离区，另外隔离区材料可以是具有
15 应力的材料或无应力的材料。

在位于隔离区之间的有源区中的半导体衬底上形成沟道303,如图3a所示。

在沟道上形成栅介电层304，如图3b所示，所述栅介电层304的材料可以包括高K介电常数材料和低K介电常数材料，例如SiO₂、SiON、
20 ZrO₂、HfO₂、Al₂O₃、HfSiO、HfAlO、HfSiON、HfAlSiO、HfTaSiO等和/或其混合物、和/或多层结构。栅介电层304可以通过热生长工艺形成，例如氧化、氮化、或氧氮化。作为替代，栅极介电层可以通过沉积工艺形成，例如化学气相沉积（CVD）、等离子辅助CVD、原子层沉积（ALD）、蒸镀、反应溅射、化学溶液沉积或其他类似沉积工艺，
25 栅介电层304还可以利用任何上述工艺的组合而形成。

在形成栅介电层304之后，在栅介电层304上形成多晶硅栅极层306，如图3c所示。

对多晶硅栅极306掺杂掺杂或注入能够向沟道中引入压应变的元素，例如碳、硫、铝、硼、磷、氮、氧、氢之一或其组合，如3d所示。
30 通过选择不同的掺杂或注入元素或其组合，或者控制掺杂或注入元素的剂量，或者控制掺杂或注入元素的分布剖面，来调整多晶硅薄膜中的材料成分比，由此可以影响后续高温退火过程中的结晶过程，改变

晶粒中晶格的大小，从而可以控制向沟道中引入的压应变的大小和压应变的强弱。随后例如通过蚀刻工艺，去除部分多晶硅栅极层和栅介电层，从而形成第一栅极结构，如图3e所示。

接着在源漏极区域中注入形成源漏极延伸区312，形成侧墙307后，
5 再注入形成源极与漏极314，如图3f所示。随后进行源漏掺杂退火，此工艺可为源漏延伸区与接触区一次退火，也可为源漏延伸区一次退火与接触区一次退火的结合。退火的工艺方式可为炉温退火(FA)，快速退火(RTA)，Spike RTA，激光退火(ELA)等。

在上述退火过程中，所述经过掺杂/注入的栅极结构能够向沟道施加如图3g中空心箭头所示方向的应变，从而在沿沟道方向即X方向上引入压应变以及在垂直于沟道方向即Z方向引入压应变，注意，尽管此时所引入的在Z方向上的压应变不是希望看到的，但在X方向上引入的压应变在大小上远大于在Z方向上的压应变，这总体上仍增强了其沟道中空穴的迁移率。这是因为高掺杂的多晶硅薄膜在高温结晶过程中发生
15 晶格变化，晶格大小得到减少，从而在薄膜中产生压应变，并同时在退火过程中将压应变透过超薄栅介质层304传导到沟道区303，从而沟道区表层中半导体晶格在沿沟道方向上大小减小，在垂直沟道方向上大小也减小，从而使得通过上述步骤在沟道中引入的应变被记忆在沟道中。并且，通过控制退火条件，可以控制向沟道中引入的应变的大小
20 一般来说快速退火的温度越高，退火时间越长越有利于应变晶格的产生，应力的传导，但过强的退火条件会适当的释放应力并且破化源漏掺杂的发布情况。

在根据后栅工艺制作MOS器件的情况下，还需要下述步骤。

在器件表面形成层间介电层(ILD)，并平整化到栅极结构高度，
25 如图3h所示。

例如利用干法或湿法蚀刻工艺去除所述多晶硅栅极306和栅介质层304，用金属栅极导体306'和新栅介质层304'代替。如图3i-3j所示。可选的另外一种方法，在此步骤中也可以仅去除所述多晶硅栅极306而保留栅介质层304，这种情况下只需沉积金属栅极导体306'。PMOS金属栅材料是利用原子层淀积(ALD)或溅射工艺顺序形成功函数合适的材料以及金属填充材料(图中未分层示出)，更优选的，功函数合适的材料为TiN、TaN、TiAlN或者MoAlN，金属填充材料为TiAl、Al
30

或W。新栅介质层304'形成方法与304的工艺类同，材料为高K介电常数材料例如SiON、ZrO₂、HfO₂、Al₂O₃、HfSiO、HfAlO、HfSiON、HfAlSiO、HfTaSiO等或其混合物、或其多层结构。

在源极与栅极的顶面形成又一层间介电层(ILD)316以用于接触、
5 形成源漏极金属接触318从而形成如图3k所示的器件。

本发明还可以结合其他应变引入方法。例如，可选地，可以在栅极导体相邻的源极和漏极区域中嵌入应力源308，包括嵌入的SiGe，或可由任何未来技术形成的任何类型的应力源，如图31中所示。

可选地，可以在PMOS 300的顶部上形成应力衬里310，如图31中所示。该衬里可对栅极导体下方的沟道区域施加应力。其中通过在例如等离子体增强化学气相沉积(PECVD)工艺中的沉积，将应力衬里形成在PMOS的顶部上。也可以使用PECVD以外的其他公知方法来形成应力衬里。应力衬里可以为氮化物或氧化物衬里。然而，本领域技术人员应理解，应力衬里不限于氮化物或氧化物衬里，也可使用其它的应力
15 衬里材料。

上述应力源和应力衬里可以向所述沟道引入压应变。

总之，相比于现有技术中采用的增强沟道中应变的方法，本方法仅仅通过加入掺杂/注入步骤，并借助正常步骤中的退火工艺即可向沟道中引入较强应变并永久记忆。进一步，还可以通过改变掺杂或注入
20 元素或其组合，或者控制掺杂或注入元素的剂量，或者控制掺杂或注入元素的分布剖面，退火条件来简单地控制应变大小。甚至，若仅仅为了控制沟道中应变效果，还可以向多晶硅栅极层中掺杂或注入能够向沟道中引入张应变的材料，比如锗、锑、铟、砷、镓、锡之一或其组合，这实际上减弱了PMOS沟道中的压应变，但在某些应用中，比
25 如由于其他应力源所提供沟道的压应变过强，这时能够减弱沟道中的压应变的上述掺杂/注入是期望的。综合上述描述，本方法具有较强的工艺灵活性，较简单的工艺复杂度，并且没有附加的工艺成本。

权 利 要 求

1. 一种向 MOS 器件的沟道中引入应变的方法, 包括
提供半导体衬底;

- 5 在半导体衬底上形成沟道;
在沟道上形成第一栅介电层;
在所述第一栅介电层上形成多晶硅栅极层;
在所述多晶硅栅极层中掺杂或注入第一元素;
去除部分第一栅介电层和多晶硅栅极层从而形成第一栅极结构;
10 在沟道中形成源漏极延伸区;
在第一栅极结构两侧形成侧墙;
在沟道中形成源漏极; 以及

进行退火, 使得掺杂或注入有第一元素的多晶硅在高温结晶过程中发生晶格变化, 从而在所述多晶硅栅极层中产生包括沿沟道方向的
15 应变和垂直沟道方向的应变的第一应变, 并将第一应变透过栅介质层引入到沟道, 引起沟道区表层中半导体晶格大小的变化, 使得所述第一应变被保持在沟道中。

2. 如权利要求 1 所述的向 MOS 器件的沟道中引入应变的方法, 其中所述第一元素为锗、铟、砷、镓、锡之一或其组合, 从而所述
20 沿沟道方向的应变为张应变并且所述垂直沟道方向的应变为压应变。

3. 如权利要求 1 所述的向 MOS 器件的沟道中引入应变的方法, 其中所述第一元素为碳、硫、铝、硼、磷、氮、氧、氢之一或其组合, 从而所述沿沟道方向的应变为压应变并且垂直沟道方向的应变为压应变。

25 4. 如权利要求 2 或 3 所述的向 MOS 器件的沟道中引入应变的方法, 其中, 还包括改变掺杂或注入元素的剂量, 或者改变掺杂或注入元素的分布剖面, 来调整多晶硅中的材料成分比, 由此改变晶格大小, 从而控制向沟道中引入的应变的大小的步骤。

5. 如权利要求 1 所述的向 MOS 器件的沟道中引入应变的方法, 其中退火为炉温退火(FA), 快速退火(RTA), 尖峰 RTA 或激光退火(ELA)。

6. 如权利要求 5 所述的向 MOS 器件的沟道中引入应变的方法, 其

中，还包括改变退火温度或时间，控制向沟道中引入的应变的大小的步骤。

7. 如权利要求 6 所述的向 MOS 器件的沟道中引入应变的方法，其中快速退火（RTA）的温度在 500 ~ 1100 度之间，时间在 0.1 ~ 100 秒之间。

8. 如权利要求 1 所述的 MOS 器件，其中所述第一栅介电层为 SiO₂、SiON、ZrO₂、HfO₂、Al₂O₃、HfSiO、HfAlO、HfSiON、HfAlSiO、HfTaSiO 之一或其混合物、或其多层结构。

9. 如权利要求 1 所述的向 MOS 器件的沟道中引入应变的方法，还包括以下步骤中的至少一个：在源极和漏极区域中嵌入应力源；在所述 MOS 器件上形成应力衬里，从而向所述沟道引入第二应力。

10. 一种 MOS 器件，包括

半导体衬底；

在半导体衬底上形成的沟道；

15 在沟道上方的第二栅极结构，包括第二栅介电层以及在第二栅介电层上的金属栅极层；

在沟道中形成的源漏极延伸区；

在第二栅极结构两侧形成的侧墙；

在沟道中形成的源漏极；

20 在源漏极以及第二栅极结构上形成的层间介电层；以及源漏极金属接触；

其中所述第二栅介电层以及金属栅极层是分别取代如权利要求 1 所述的步骤得到的所述第一栅介电层以及多晶硅栅极层而得到的，其中沟道区表层中半导体晶格大小得以改变，使得所述第一应变被保持在沟道中。

11. 如权利要求 10 所述的 MOS 器件，还包括以下中的至少一个：在源极和漏极区域中嵌入的应力源；在所述 MOS 器件上形成的应力衬里。

12. 如权利要求 11 所述的 MOS 器件，其中所述 MOS 器件为 NMOS，并且所述应力源、应力衬里均具有张应力。

13. 如权利要求 11 所述的 MOS 器件，其中所述 MOS 器件为 PMOS，并且所述应力源、应力衬里均具有压应力。

14. 如权利要求 10-13 中任一项所述的 MOS 器件，其中所述第二栅介电层为 SiON、ZrO₂、HfO₂、Al₂O₃、HfSiO、HfAlO、HfSiON、HfAlSiO、HfTaSiO 之一或其混合物、或其多层结构。

5 15. 如权利要求 10-13 中任一项所述的 MOS 器件，其中所述金属栅极层包括两层，分别为对于所述 MOS 器件来说功函数合适的 TiN、Ta₂N₃、TiAlN 或者 MoAlN 以及在其上的 TiAl、Al 或 W。

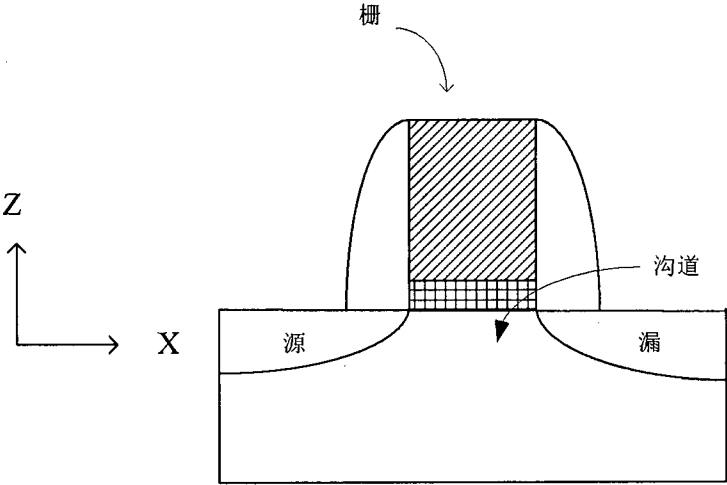


图 1

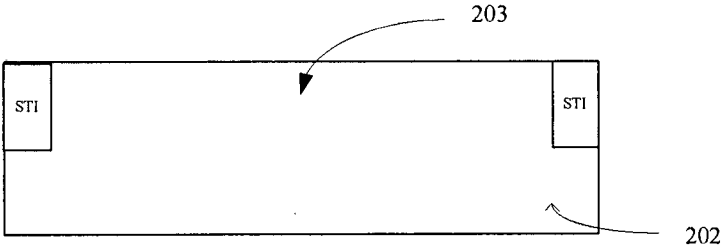


图 2a

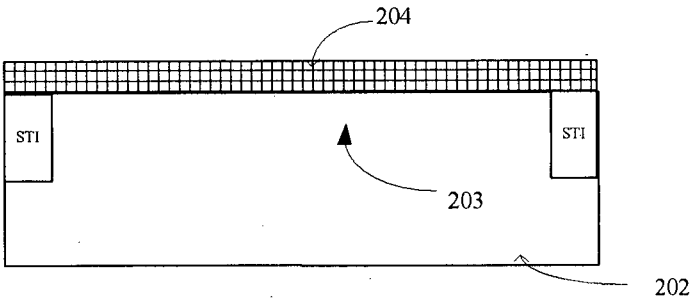


图 2b

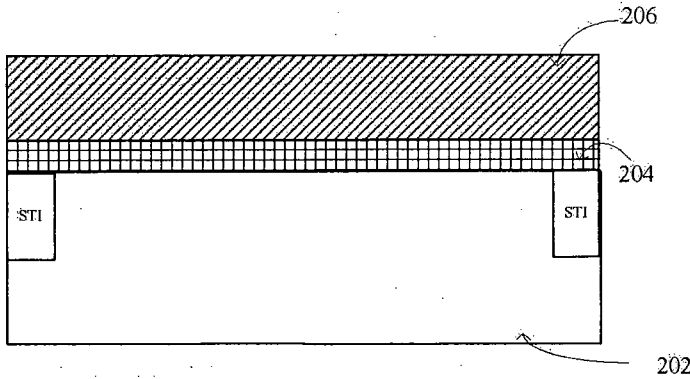


图 2c

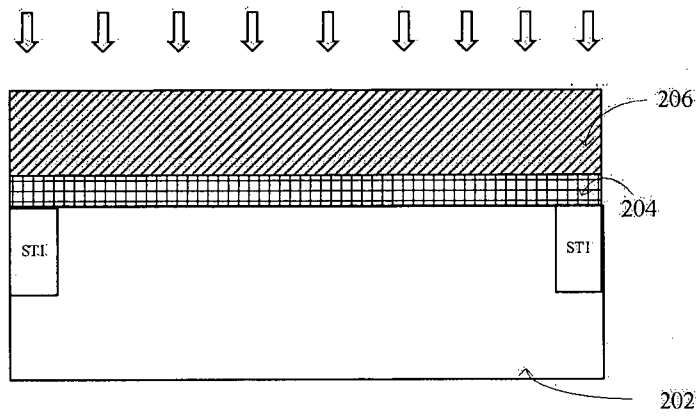


图 2d

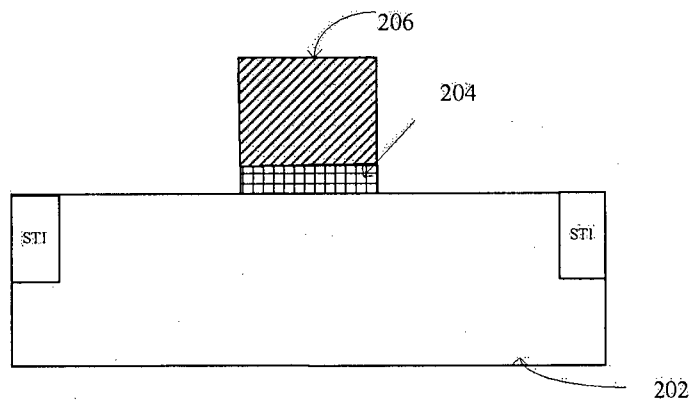


图 2e

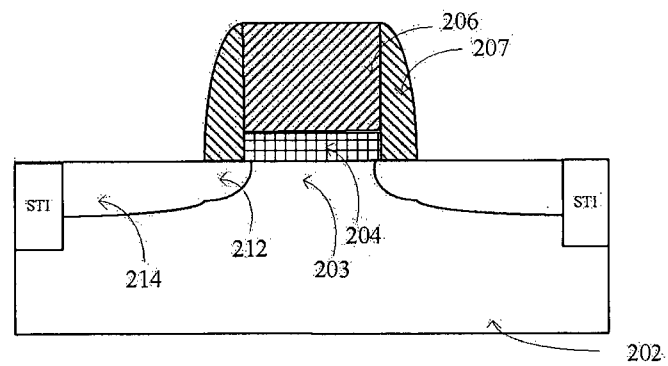


图 2f

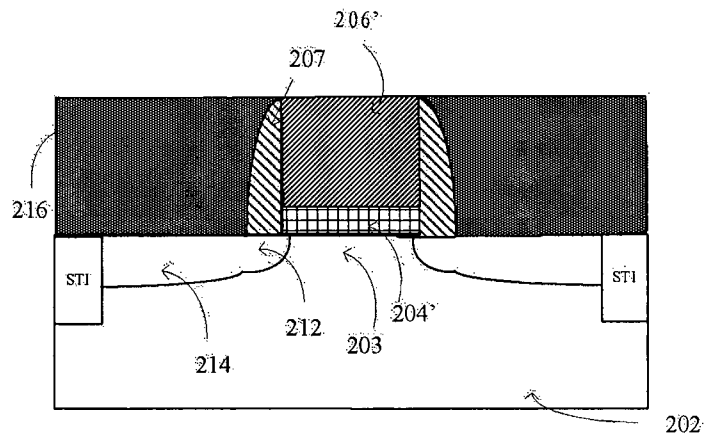


图 2j

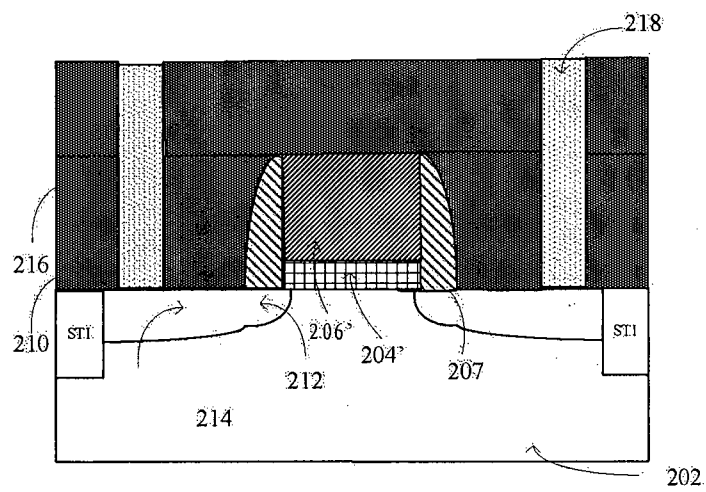


图 2k

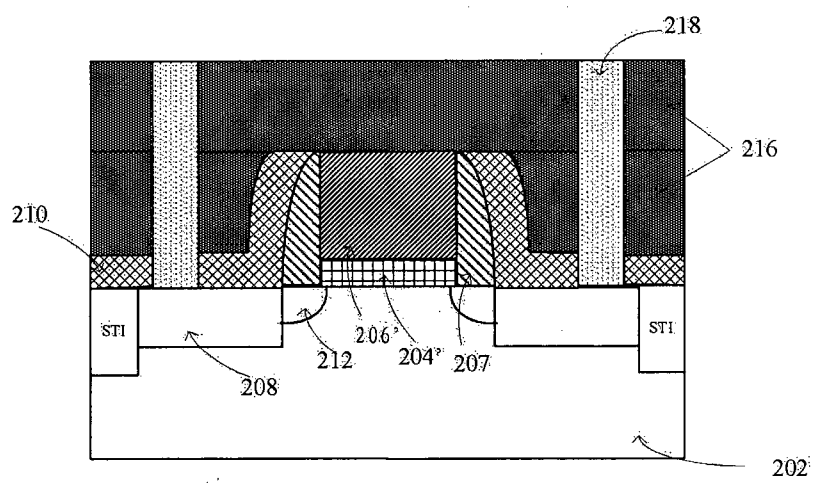


图 2l

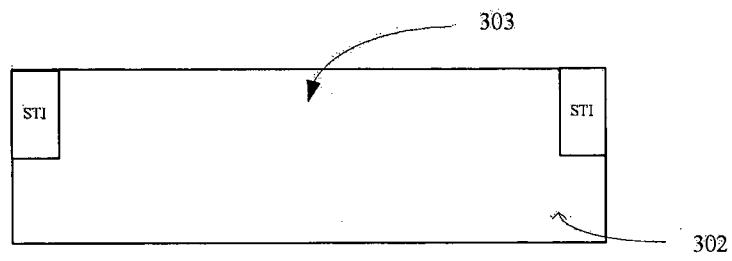


图 3a

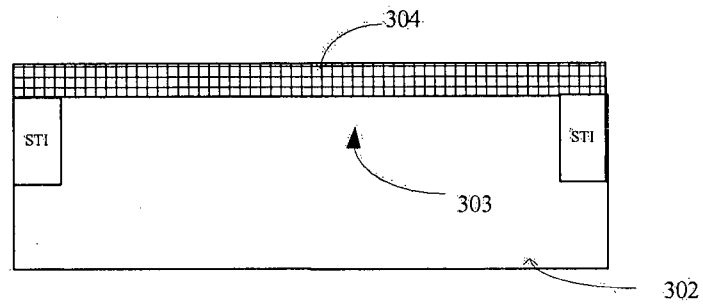


图 3b

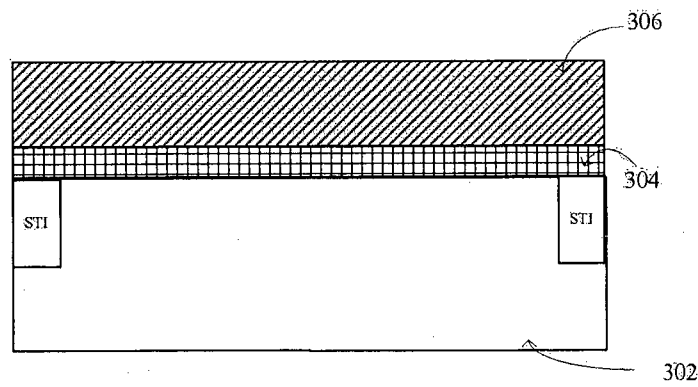


图 3c

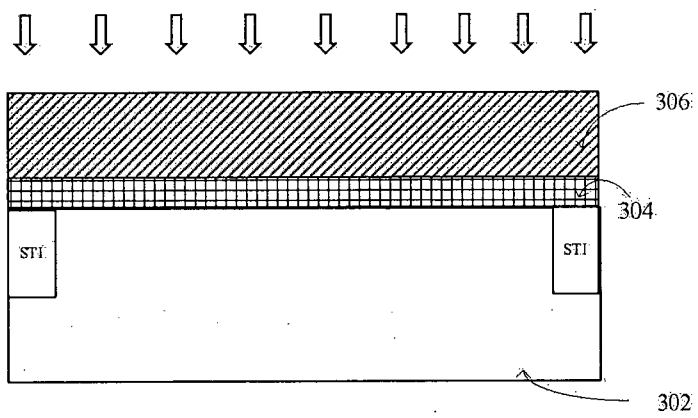


图 3d

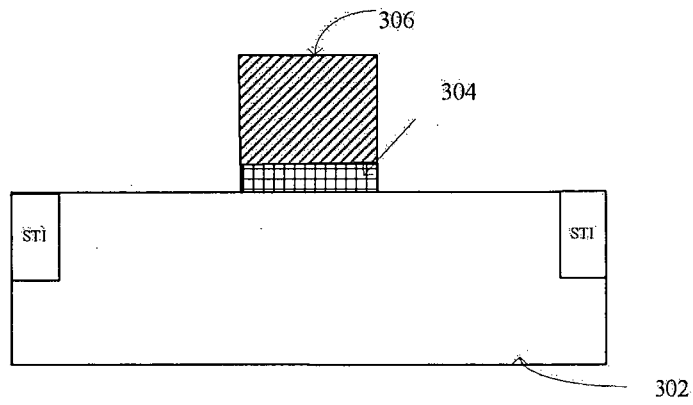


图 3e

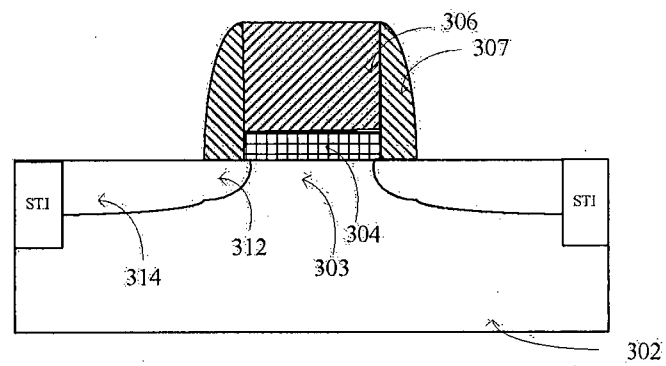


图 3f

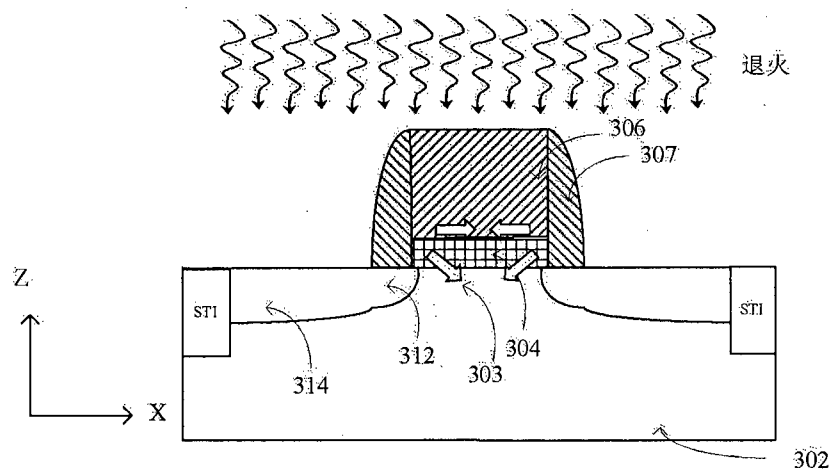


图 3g

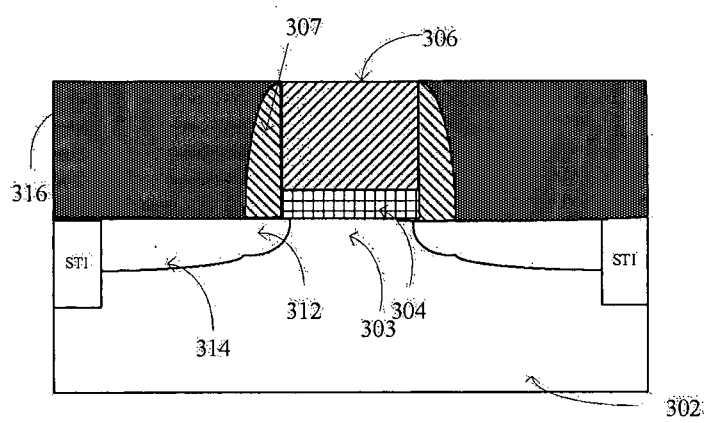


图 3h

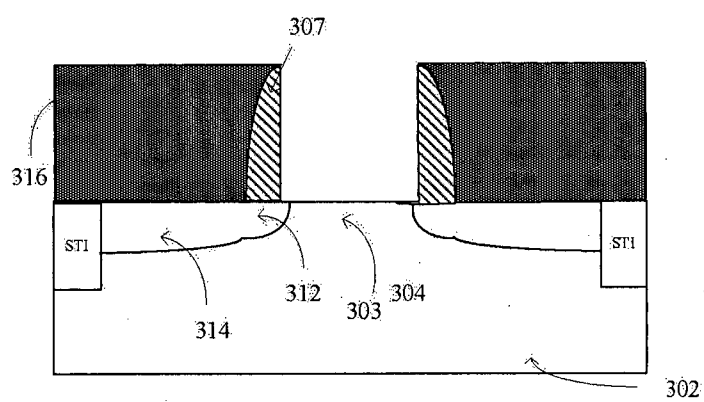


图 3i

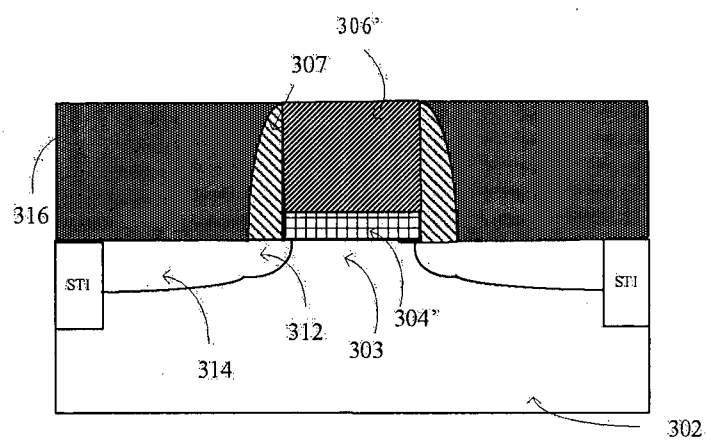


图 3j

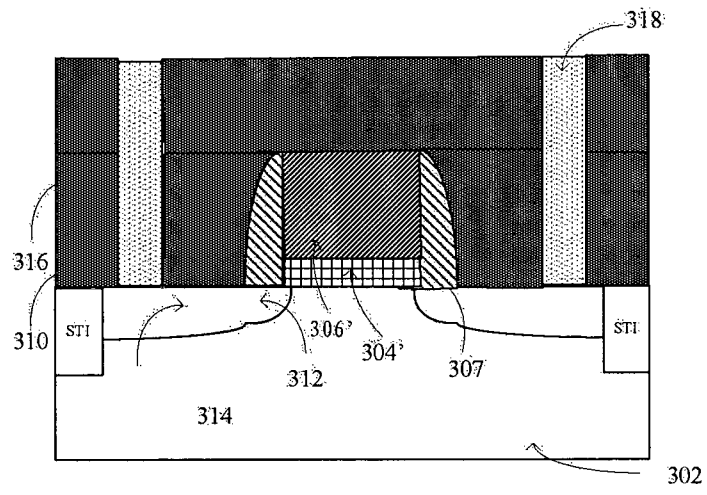


图 3k

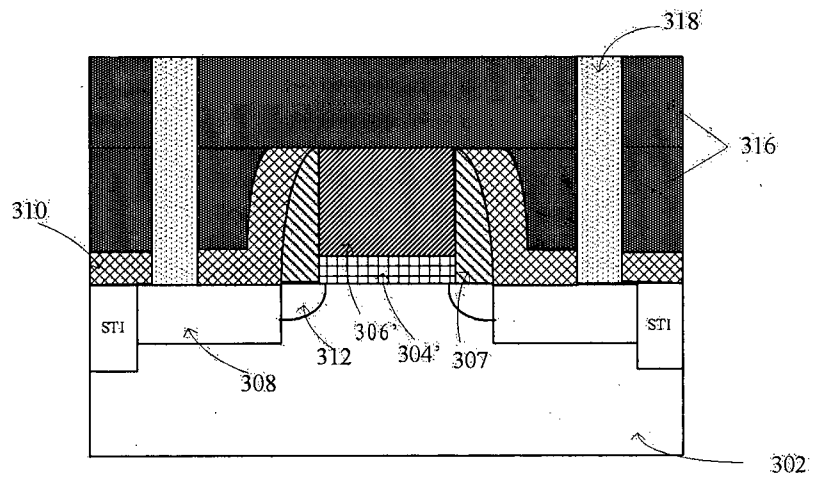


图 3l

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/000694

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-, H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI,WPI, EPODOC: polysi+ poly-silicon anneal+ dop+ implant+ stress+ strain+ tensile compress+ dummy-gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US2007/0108529A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.)17 May 2007 (17.05.2007) specification: page 2, par. 27 to page 5, par. 63, figures 1a-5	1-3, 5-15
Y	CN101060085A (IBM CORP.) 24 Oct. 2007(24.10.2007) specification: page 1, par. 3 to page 2, par. 1, figures 1-2C	1-3, 5-15
Y	CN1296639A (KONINK PHILIPS ELECTRONICS NV) 23 May 2001 (23.05.2001) Specification: page 1 par. 1, page 2, par. 3 to page 3, par. 1, figures 1-8	10-15

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed		“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&”document member of the same patent family
Date of the actual completion of the international search 13 Jul. 2011 (13.07.2011)		Date of mailing of the international search report 20 Oct. 2011 (20.10.2011)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451		Authorized officer YANG Yong Telephone No. (86-10)62411777

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/000694

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US2008/0057665A1(Richard Lindsay) 06 Mar. 2008 (06.03.2008) Specification: page 2 par. 22 to page 4, par. 49, figures 1-3	1-3, 5-15
A	CN1591803A (IBM CORP.) 09 Mar. 2005 (09.03.2005) the whole document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/000694

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2007/0108529A1	17.05.2007	US2009203202A1	13.08.2009
CN101060085A	24.10.2007	US2007249130A1	25.10.2007
		US7341902B2	11.03.2008
		TW200807568A	01.02.2008
		CN100505188C	24.06.2009
CN1296639A	23.05.2001	WO0019509A2	06.04.2000
		EP1048068A2	02.11.2000
		US6177303B1	23.01.2001
		TW429447A	11.04.2001
		KR20010032448A	25.04.2001
		JP2002526920T	20.08.2002
		KR100574347B1	27.04.2006
US2008/0057665A1	06.03.2008	US7704823B2	27.04.2010
CN1591803A	09.03.2005	US2005045972A1	03.03.2005
		US6916694B2	12.07.2005
		CN100568467C	09.12.2009

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/000694

CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i

国际检索报告

国际申请号
PCT/CN2011/000694

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-, H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI: 多晶硅 退火 掺杂 注入 应力 应变 牺牲栅 虚栅 虚设栅 虚拟栅 张力 压缩力

WPI, EPODOC: polysi+ poly-silicon anneal+ dop+ implant+ stress+ strain+ tensile compress+ dummy-gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US2007/0108529A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.)17.5 月 2007 (17.05.2007) 说明书第 2 页第 27 段至第 5 页第 63 段, 附图 1a-5	1-3, 5-15
Y	CN101060085A (国际商业机器公司) 24.10 月 2007(24.10.2007) 说明书第 1 页第 3 段至第 2 页第 1 段, 附图 1-2C	1-3, 5-15
Y	CN1296639A (皇家飞利浦电子有限公司) 23.5 月 2001 (23.05.2001) 说明书第 1 页第 1 段, 第 2 页第 3 段至第 3 页第 1 段, 附图 1-8	10-15
Y	US2008/0057665A1(Richard Lindsay) 06.3 月 2008 (06.03.2008) 说明书第 2 页第 22 段至第 4 页第 49 段, 附图 1-3	1-3, 5-15
A	CN1591803A (国际商业机器公司) 09.3 月 2005 (09.03.2005) 全文	1-15



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

13.7 月 2011 (13.07.2011)

国际检索报告邮寄日期

20.10 月 2011 (20.10.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

杨永

电话号码: (86-10) **62411777**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/000694

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2007/0108529A1	17.05.2007	US2009203202A1	13.08.2009
CN101060085A	24.10.2007	US2007249130A1	25.10.2007
		US7341902B2	11.03.2008
		TW200807568A	01.02.2008
		CN100505188C	24.06.2009
CN1296639A	23.05.2001	WO0019509A2	06.04.2000
		EP1048068A2	02.11.2000
		US6177303B1	23.01.2001
		TW429447A	11.04.2001
		KR20010032448A	25.04.2001
		JP2002526920T	20.08.2002
		KR100574347B1	27.04.2006
US2008/0057665A1	06.03.2008	US7704823B2	27.04.2010
CN1591803A	09.03.2005	US2005045972A1	03.03.2005
		US6916694B2	12.07.2005
		CN100568467C	09.12.2009

主题的分类

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i