

(19) DANMARK



Patentdirektoratet
TAASTRUP

(12) FREMLÆGGELSESSKRIFT

(11) 163392 B

(21) Patentansøgning nr.: 4018/85

(22) Indleveringsdag: 03 sep 1985

(24) Løbedag: 05 feb 1985

(41) Alm. tilgængelig: 03 sep 1985

(44) Fremlagt: 24 feb 1992

(86) International ansøgning nr.: PCT/US85/00174

(86) International indleveringsdag: 05 feb 1985

(85) Videreførelsesdag: 03 sep 1985

(30) Prioritet: 17 feb 1984 US 581482

(51) Int.Cl.5

H 01 L 27/115

G 11 C 11/412

H 01 L 29/788

(71) Ansøger: *Hughes Aircraft Company; 200 N. Sepulveda Blvd.; El Segundo; CA 90245, US

(72) Opfinder: Frank J. *Bohac Jr.; US

(74) Fuldmægtig: Internationalt Patent-Bureau

(54) Ikke-flygtig halvleder-hukommelsesenhed

(56) Fremdragne publikationer

EP off.g.skrift nr. 28935

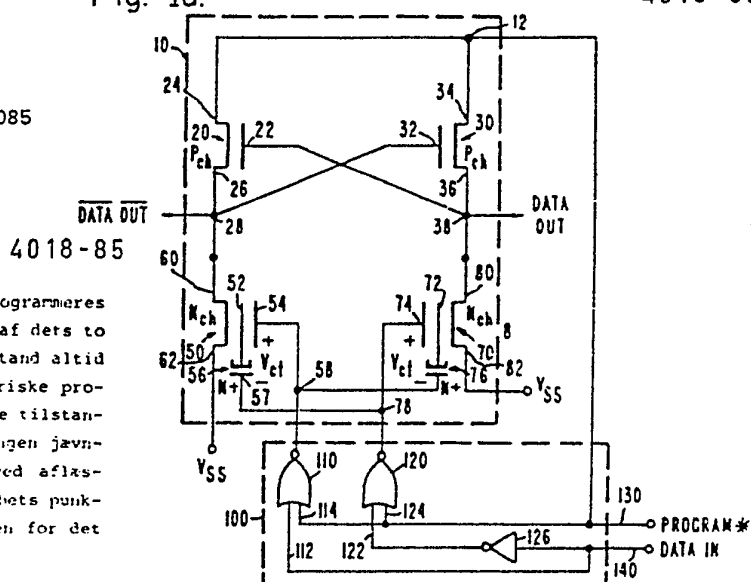
Andre publikationer; JP-A-51-117838, JP-A-52-19085

(57) Sammen drag

Et bistabilt latch-kredsløb (10), der kan programmeres ad elektrisk vej til kun at være stabilt i én af dets to mulige tilstande, således at denne samme tilstand altid opnås, når der tændes for kredsen. Den elektriske programmering af kredsløbet til begge dets stabile tilstande kan gentages efter behag og der trækkes ingen jævnstrøm, hverken under programmeringen eller ved aflæsning. Ved aflæsning er potentialerne i kredsløbets punkter (28, 38, 58, 78) således, at lagringstiden for det indprogrammede data er meget lang.

Fig. 1a.

4018-85



Nærværende opfindelse omhandler halvleder-hukommelseskredse og mere specifikt elektronisk programmerbare ikke-flygtige hukommelsesenheder.

Elektronisk sletbare og programmerbare read-only
5 hukommelser (EEPROMS) fremstilles nu med ekstra pladser i hukommelsen, eksempelvis rækker eller søjler, for at opnå en forbedret ydelsesevne. Defekte steder kan korrigeres ved, at erstatte dem med nogle af de ekstra pladser, som er ledige. For at korrektionerne skal kunne bi-
10 beholdes, er det nødvendigt, at placeringen af disse defekter og fejl lagres ved hjælp af en ikke-flygtig teknik, dvs. informationen må ikke forsvinde, når strømforsyningen til hukommelseskredsen fjernes.

Der kendes mindst to nuværende teknikker til
15 ikke-flygtig lagring af placeringen af defekter. Begge teknikker går ud på, at ledende baner eller sikringer i hukommelseskredsen skal afbrydes for permanent at kunne lagre disse data. En teknik, kendt som laser-link teknikken, omfatter brugen af en gennemtrængende laserstråle, som selektivt kan afbryde sikringerne. En ulempe ved
20 denne teknik er, at apparaturet er meget dyrt. En anden teknik kendt som smeltbare sikrings metode går ud på, at en sikring smeltes over ved at lade en relativ kraftig strøm passere forbindelsen. En ulempe ved denne teknik er, at den ikke udnytter kredsens areal effektivt,
25 da kredsløbene som bruges til at oversmelte sikringerne optager en betydelig del af kredsens areal. Begge de nævnte teknikker kræver jævnstrøm, med mindre der bruges to sikringer for hver bit, hvilket gør dem mindre anvendelige sammen med CMOS-kredse.
30

U.S. patent nr. 4.403.306 fremviser en halvlederhukommelse, som kan anvendes enten som en statisk RAM eller en EAROM. Ved anvendelse som EAROM har man en ikke-flygtig hukommelse. Ikke-flygtige data lagres ved at
35 udnytte hysteresie-egenskaberne ved tærskelspændingen V_{th} i to sammenhørende N-MNOS transistorer (N-metal-ni-

trid-oxid-silicium). En af transistorerne arbejder ved udtømmning af ladninger (depletion mode) og har en negativ tærskelspænding og er ledende, når dens gate (styreelektrode)-spænding er 0 volt, medens den anden transistor arbejder ved tilførsel af ladninger (enhancement-mode) og har en positiv tærskelspænding og er ikke-ledende, når dens gatespænding er 0 volt. Hukommelsesenheden har en nominel forsyningsspænding på + 5 volt og der kræves separate spændingsimpulser på -28 og +28 volt for
5
10 henholdsvis at slette eller skrive de ikke-flygtige data.

Hukommelsesenheden ifølge nævnte US patentskrift holder et relativt stort antal celler og hver celle indeholder otte transistorer og to dioder. Da dioderne er
15 forspændt i lederetningen, når enheden arbejder som RAM, skal dioderne være isoleret fra hvert af de øvrige halvledermaterialer. Dette øger kompleksiteten ved cellens fremstilling og kræver mindst en yderligere maske for at opnå denne isolation. Kredsens støjtolerance vil være
20 nedsat, da spændingsudsvinget over cellen mellem dens logiske høje værdi og dens logiske lave værdi går mellem 0 volt og op til: V_{cc} minus diodespændingsfaldet. Der kræves spændingsimpulser på begge sider af 0 volt (± 28 volt) til programmering og denne foregår i to trin:
25 sletning og programmering. Forholdene ved kapaciteter skal styres nøje for at undgå, at nabo-NMOS-transistoren påvirkes, når den første transistor programmeres. Dvs. hukommelsesenheden ifølge nævnte patentskrift forekommer at være temmelig kompleks, både hvad angår fabrikation
30 og anvendelse.

U.S. patent 4.132.904 fremviser en dels flygtig dels ikke flygtig latchkreds, hvor to grene i kredsløbet hver består af en field-effect-transistor serieforbundet med en field-effect-transistor, som har potentialemæssigt
35 svævende gate-tilslutning. Styregate-tilslutningen for transistorerne med svævende gate er krydsforbundet

til samlingspunkterne mellem de tilsvarende transistorer i den anden gren. Denne kreds kan programmeres til at antage en ønsket tilstand, når der tændes for kredsløbet, men den kan også bruges som en almindelig hukommelses-
5 seskreds, hvis data kan ændres, hvis man udefra tilsigtet bringer de indre spændingsniveauer ud af funktion.

Andre ikke-flygtige hukommelsesenheder fremvises i U.S. patenterne 3.618.053; 4.102.348; 4.185.319; 4.207.615; 4.228.527; 4.357.685; 4.363.110; 4.387.444 og
10 4.408.303. Men disse hukommelsesenheder lider af diverse ulemper såsom nødvendigheden af føle-forstærkere, vanskelig fabrikation, højt komponentantal i kredsen og for stor følsomhed overfor støj.

Patentansøgningen EP-A-0028935 handler om en
15 ikke-flygtig halvlederhukommelsesenhed af den type, der er angivet i indledningen til nærværende krav 1. FATMOS-transistorerne i en sådan enhed burde ikke fungere med ladningstilførsel (enhancementmode), men hvis de gør det, vil der være kraftig lækstrøm, hvilket er uhen-
20 sigtsmæssigt, hvad angår effektforbruget.

Strukturen for en særlig svævende-gate-transistor findes beskrevet i JP-A-51.117838.

Nærværende opfindelse omhandler en ikke-flygtig halvleder-hukommelsesenhed, som antager en ønsket til-
25 stand, når kredsen tilsluttes strømforsyning uafhængigt af, hvilket forløb denne tilslutning udviser, og som automatisk sikrer mod tilsigtet eller utilsigtet "overriding".

Formålene med opfindelsen er følgende:

- 30 - at få en halvleder-hukommelsesenhed som kræver et minimum af støttekredse såsom føle-forstærkere,
- at få en halvleder-hukommelsesenhed som minimerer strømforbrug til styring af kredsen,
- at få en ikke-flygtig halvleder-hukommelses-
- 35 hed med lavt strømforbrug, lille komponentstørrelse, høj støjtolerance, og god bevarelse af data.

Med henblik herpå er en ikke-flygtig halvleder-hukommelsesenhed af den art, der har en første og en anden gren som sidder i parallel og omfatter en første og en anden metal-oxid-halvleder felteffekt-transistorenhed (MOSFET), som er anbragti henholdsvis første og anden af de nævnte grene i kredsløbet, og hvor den respektive gate på hver MOSFET-enhed er krydskoblet til det tilsvarende dræn på den anden af de nævnte MOSFET-enheder, en første og en anden svævende-gate MOSFET-enhed, som hver har en styreelektrode og en isoleret, svævende gate, og som er anbragt henholdsvis i nævnte første og anden kredsløbsgren, og hvis kildetilslutninger og dræntilslutninger sidder i serie med en tilsvarende kilde og dræn på de nævnte første og anden MOSFET-enheder ifølge opfindelsen ejendommelig ved et første middel til opladning forbundet til den svævende gate på nævnte første svævende-gate MOSFET-enhed og indrettet så der kan placeres enten en netto positiv eller en netto negativ ladning på nævnte svævende-gate, således at nævnte første svævende-gate MOSFET-enhed valgbart kan bringes til at arbejde enten i sit depletion-område eller sit enhancement område, et andet middel til opladning forbundet til den svævende-gate på nævnte anden svævende-gate MOSFET-enhed og indrettet så der kan placeres enten en netto positiv eller en netto negativ ladning på nævnte svævende gate, således at nævnte anden svævende-gate MOSFET-enhed valgbart kan bringes til at arbejde enten i sit enhancement-område eller i sit depletion-område, og midler til dataindlæsning som er forbundet til nævnte første og andet middel til opladning og til nævnte styreelektroder på nævnte første og anden svævende-gate MOSFET-enheder.

Herved opnås en række fordele: denne hukommelsesenhed trækker ingen jævnstrøm, den kræver ingen føleforstærker til dataaflæsning, og den kan kobles ind i korrekt tilstand, uanset "power up"-betingelserne, og, som

det forklares nærmere senere, påtrykker 0 volt over et i hukommelsesenhedens struktur anvendt oxidlag, der virker ved tunneleffekt. Enheden kan fremstilles med samme teknologi som for EEPROM's, har lille effektforbrug, lille
5 størrelse, stor støjtolerance og god databevarelse. Ydermere kan den programmeres efter indkapsling, hvilket betyder, at brugeren selv kan rette eventuelle fejl eller ændre programmeringen.

Opfindelsens formål, træk og fordele vil fremgå
10 af nedenstående detaljerede beskrivelse i forbindelse med figurerne, hvor

fig. 1a er et skematisk diagram over en foretrukken udførelse af opfindelsen, hvor der er tilføjet et programmeringskredsløb, således at den samlede kreds op-
15 fører sig som en flip-flop-kreds af D-typen, skematisk vist i fig. 1b,

fig. 2 et tværsnit som illustrerer strukturen i svævende-gate-transistorerne, hvori der i den foretrukne udførelse anvendes oxidlags-tunneleffekt-kondensatorer,
20 og

figurerne 3a-3h viser potentialekurver for spændingen, som funktion af tiden i diverse punkter i kredsløbet i fig. 1a.

Formålet med den beskrevne ikke-flygtige hukommelsesenhed, herefter betegnet latch-kreds, er at lagre
25 data og fastholde disse data, hvis strømforsyningen afbrydes. Yderligere vil latch-kredsen antage de korrekte værdier uanset under hvilke betingelser kredsen forsynes med strøm.

I fig. 1a er vist en foretrukken udførelse af
30 latch-kredsen, inklusive et eksternt kredsløb, som ialt danner en ikke-flygtig flip-flop af D-typen, symboliseret i fig. 1b. Dette er naturligvis kun én af flere mulige anvendelser af opfindelsen. Den foretrukne udførelse er specielt egnet til fremstilling i CMOS-teknologi.
35 Dog kan opfindelsen fremstilles også med andre teknologier.

Latch-kreds 10 består af fire indbyrdes forbundne MOS-transistorer 20, 30, 50 og 70. Transistorerne 20 og 30 er CMOS field-effect transistorer (FET) med kanalen af P-type. Source-tilslutningerne 24 og 34 på transistorerne 20 og 30 mødes i knudepunkt 12. Gate-(styreelektrode)-tilslutningen 22 på transistoren 20 er koblet til drain 36 på transistoren 30 i knudepunktet 38. Tilsvarende er gate 32 på transistoren 30 koblet til drain 26 på transistoren 20 i knudepunktet 28. Det er kendt, at P-kanaltransistorerne 20 og 30 går i gang, når deres respektive gates sættes på lavt potentiale Vss og er afbrudt, når deres respektive gates sættes på højt potentiale Vdd.

Transistorerne 50 og 70 er af typen MOSFET med kanal af N-type og med svævende gates. Kondensatorerne 56 og 76 sidder mellem henholdsvis de svævende gates 52 og 72 på transistorerne 50 og 70 og henholdsvis type N+ områderne 57 og 77, som udgøres af cellesubstratet. Disse kondensatorer er oxidlags-tunneleffekt-kondensatorer, der dannes af de svævende gates og N+ områderne adskilt af et tyndt oxidlag. N+ området 57 i transistoren 50 er forbundet til gate 74 på transistoren 70 via programmeringsknudepunktet 78. Tilsvarende er N+ området 77 i transistoren 70 forbundet til gate 54 via programmeringsknudepunktet 58. Svævende-gate teknologien er velkendt og er eksempelvis beskrevet i førnævnte U.S. patent 4.132.904.

Drain-tilslutningen 26 på P-kanaltransistoren 20 er forbundet til drain-tilslutningen 60 på N-kanaltransistoren 50 ved knudepunktet 28. Tilsvarende er drain 36 på P-kanaltransistoren 30 forbundet til drain-tilslutningen 80 på N-kanaltransistoren 70 ved knudepunktet 38. De respektive source-tilslutninger 62, 82 på transistorerne 50, 70 er begge for-

bundet til Vss, som er den lave forsyningsspænding. I den foretrukne udførelse aflæses de lagrede data (DATA OUT) fra hukommelsesenheden på tilslutningen 38 og det negerede af det lagrede data ($\overline{\text{DATA OUT}}$) aflæses på tilslutningen 28.

Programmeringskredsen 100 består af NOR-kredse 110, 120 og inverteren 126. Indgangssignalerne til programmeringskredsen 100 omfatter "PROGRAM*" og "DATA IN". I hukommelsesenhedens læse-cyklus holdes "PROGRAM*" på høj forsyningsspænding Vddr, som typisk kan være +5 volt. I programmerings-cyklus sættes "PROGRAM*" til det "lave niveau", dvs. det lave forsyningspotentiale Vss som eksempelvis kan være nul volt. Den værdi som DATA IN signalet har under programmerings-cyklen medens "PROGRAM*" er "lav", vil være den data-værdi, som lagres af latch-kredsen. Hvis man vil programmere et "lavt" spændingsniveau på tilslutningen 38, sættes DATA IN på den lave forsyningsspænding Vss. Hvis man vil programmere et "højt" spændingsniveau på tilslutningen 38, sættes DATA IN på et potentiale Vddp, som er højere end potentialet Vddr, der anvendes i læse-cyklen, således at potentialeforskellen mellem Vddp og Vss i den foretrukne udførelsesform typisk bliver over 12 volt, hvilket beskrives mere detaljeret nedenfor.

Som det ses, vil programmeringskredsen 100, under læse-cyklen, hvor "PROGRAM*" signalet er lig Vddr, give spændingen Vss på begge programmeringstilslutningerne 58, 78 og give spændingen Vddr på tilslutningen 12. Dette udledes af, at NOR-kredsene 110 og 120 kun giver højt signal på udgangene, når begge indgangssignaler er lave. Derfor vil NOR-kredsens udgange være lave, når PROGRAM* er på højt niveau uanset værdien på DATA IN.

I programmeringscyklussen, hvor PROGRAM* er lav, dvs. Vss giver programmeringskredsen 100 en lav spæn-

ding Vss på tilslutningen 12 og komplementære programmeringssignaler på programmeringstilslutningerne 58 og 78. Programmeringssignalernes værdier afhænger af værdien på DATA IN. Når DATA IN er lig Vddp, vil Vddp
 5 være på udgangen af NOR-kredsen 110 og således på programmeringsknodepunktet 58. I dette tilfælde er det komplementære programmeringssignal på udgangen af NOR-kredsen 120 og dermed på programmeringsknodepunktet 78 på lavt potentiale. Omvendt, hvis DATA IN er på lavt
 10 niveau, vil programmeringssignalernes værdier inverteres, dvs. Vddp vil være på programmeringsknodepunktet 78 og Vss på tilslutningen 58.

Den simplificerede strukturmæssige opbygning af en N-kanaltransistor med svævende gate og det N+ område,
 15 som bruges i den foretrukne udførelse er vist i fig 2. Opbygningen af CMOS-transistorer med N-kanal og svævende gate er velkendt for sagkyndige og behøver ikke at beskrives detaljeret. Området 205 består af P-type silicium, hvori er placeret de kraftigt doterede N+ områder
 20 B, S og D, som udgør henholdsvis den ene side af en tunneleffekt oxidlags-kondensator Ct, kilden (source) S og drænet (drain) D. N+ området B udgør ikke en del af N-kanal FET-komponenten, da dets funktion er, at danne den ene side af tunneleffekt oxidlags-kondensatoren.
 25 Transistor-gate 240 består af et ledende lag. Det isolerende lag 210 adskiller den svævende gate 230 fra gate 240. Feltoxid-områderne 235 samt tunneleffekt-oxidlaget 225 og gateoxidlaget 215 adskiller den svævende gate 230 fra området 205.

30 Den svævende gate 230 er et ledende lag bestående af polykrystallinsk silicium af N-typen, som altid er ledende. Den svævende gate 230 er anbragt tæt ved N+ området B. Tunneleffektoxidlaget 225, som er mellem den svævende gate og den øvre del af området
 35 205, som omgiver området B af N+ type er væsentligt tyndere end gateoxidområdet 215, som er mellem den

svævende gate og transistorens kanalområde. Felt-oxidområdet 235 er væsentligt tykkere end gateoxidlaget 215. Afhængig af den teknologi, som anvendes ved fremstillingen af latch-kredsen, kan N+ området B enten
 5 placeres direkte nedenunder tunneleffekttoxidlageret 225 frem for at være placeret op ad området som er under tunneleffekttoxidlageret.

Den svævende gate, tunneleffekttoxidlageret 225 og N+ området B udgør en tunneleffekttoxidlagers-kondensator
 10 Ct. Da gaten 240 er skilt fra den svævende gate 230 af isolationslaget 210, udgør dette i realiteten en kondensator C1. Tilsvarende findes en kondensator C2 mellem den svævende gate 230 og området 205, hvor disse er adskilt af oxidområderne 215, 225 og 235.
 15 Den FET med N-kanal og svævende gate, som er vist i fig. 2, kræver et gate-forspændingspotentiale med en vis tærskelværdi V_t for at "tænde" transistoren, dvs. muliggøre, at der løber strøm af en vis styrke mellem kilden S og drænet D.

20 Når et højt programmeringssignal V_{ddp} påtrykkes et programmeringsknudepunkt og N+ området er tilsluttet Vss opstår en spænding V_{ct} over tunneloxidlagers-kondensatoren Ct af størrelsen $K \cdot V_{ddp}$, hvor K er en koblingsfaktor. Værdien af K er lig $C_1/(C_1+C_2)$. Dvs.
 25 med den polaritet for V_{ct} , som er vist i fig. 1a, hvor der måles fra den svævende gate og ned til N+ området, vil påtrykning af komplementære programmeringssignaler V_{ddp} på N-kanal-transistorens gate og Vss på transistorens N+ område B give en spænding V_{ct} lig $+K \cdot V_{ddp}$
 30 over tunneloxidlagers-kondensatoren. Den omvendte situation, hvor Vss påtrykkes gaten og V_{ddp} påtrykkes N+ området B giver en spænding V_{ct} , som er lig $-K \cdot V_{ddp}$. Man kan fastsætte de parametre under fabrikationen, som er af betydning for værdien af C1 og C2, således at
 35 faktoren K typisk har en værdi på 0,8 i den foretrukne udførelse.

Under programmerings-cyklopen bevirker spændingen V_{ddp} , at ladninger ved tunneleffekt passerer tunnel-oxidlags-kondensatoren. Mængden af ladninger, som overføres ved tunneleffekt er proportional med $V_{ct} \cdot \log$ (programmeringstiden). Dvs. ønsker man at nedsætte den nødvendige programmeringstid, dvs. den tid kredsen skal befinde sig i programmeringstilstanden for at opnå, at kredsen overgår i den ønskede datatilstand, så kan V_{ddp} øges. I den foretrukne udførelse, er spændingsforskellen mellem V_{ddp} og V_{ss} typisk højere end +12 volt.

Der er kendt, at når spændingen $+K \cdot V_{ddp}$ påtrykkes over tunneloxidlags-kondensatoren, vil ladningsbærere i form af elektroner ved tunneleffekt passerer fra N^+ området B gennem oxidlaget 225 til den svævende gate 230. Dette giver som nettoresultat en negativ ladning på den svævende gate 230, som vil bestå også efter V_{ct} er blevet nul. Denne negative ladning vil forskubbe værdien af N -kanal-transistorens tærskel-spænding regnet fra gaten 240 til en større positiv værdi et godt stykke inde i det område, hvor der arbejdes med ladningsforøgelse (enhancement området).

Omvendt vil elektroner ved tunneleffekt gå fra den svævende gate 230 til N^+ området B, når der over tunneloxidlags-kondensatoren C_t påtrykkes en negativ spænding $-K \cdot V_{ddp}$. Dette fald i koncentrationen af ladningsbærere, dvs. elektroner på den svævende gate, vil bestå også efter V_{ct} er blevet nul. Den resulterende netto-positive ladning på den flydende gate vil forskubbe værdien af tærskel-spændingen i negativ retning, et godt stykke ind i det område, hvor der arbejdes med ladningsudtømning (depletion området), dvs. at transistoren kan tænde selv, når gate-forspændingen er nul.

I læse-cyklopen ses, at spændingen over tunneloxidlags-kondensatoren er nul, hvorved data lettere fastholdes. Når der ikke er nogen spænding over tunneloxidlags-kondensatoren, er tunnel-effekten ubetydelig,

hvilket giver meget lange tider for fastholdelse af data (i størrelsesordenen 10 år eller mere), og disse kredse forbliver som de er programmerede, dvs. i deres respektive depletion- eller enhancement-arbejdsområder.

5 Som beskrevet, vil en transistor med N-kanal, som får V_{ddp} påtrykt sin gate, blive programmeret til at have en positiv tærskelspænding V_t (enhancement). Ved enhancement-arbejds måden skal der påtrykkes gaten en positiv ydre spænding for at tænde transistoren. Når
10 dens gate er på V_{ss} potentiale, vil transistoren være afbrudt. Den N-kanalenhed, som får V_{ss} påtrykt gaten bliver programmeret til at have en negativ tærskelspænding (depletion). Når dens gate sættes på nulpotentiale, vil transistoren tændes.

15 Som det ses af kurverne i figurerne 3a-h er PROGRAM* på V_{ddr} potentiale, mens læsningen foregår. Dette tvinger N-kanal-gate 54 og 74 samt N+ områderne 57 og 77 på V_{ss} . Medens programmeringen foregår, er PROGRAM* på V_{ss} og DATA IN er på V_{ddp}
20 (logisk 1), hvilket bevirker, at gate 74 på transistoren 70 og N+ området 57 på transistoren 50 begge antager værdien V_{ddp} . Gaten 54 på transistoren 50 og N+ området 77 på transistoren 70 antager værdien V_{ss} . Da PROGRAM* er forbundet til knudepunktet 12, så vil hukommelsesenheden desuden ikke trække
25 nogen strøm, medens programmeringen foregår. Over hver transistors tunnel-oxidlag, vil der derfor ligge en spænding, hvis numeriske værdi er $K \cdot V_{ddp}$, men hvis polaritet over hver af de to N-kanal transistorer er modsat rettet, som der er redegjort for ovenfor.
30

Medens læsningen foregår, dvs. PROGRAM* er på V_{ddr} tilføres der energi til hukommelsesenheden og begge N-kanal-gates 54 og 74 har potentialet V_{ss} . Den N-kanaltransistor, som arbejder i sit depletion-
35 område vil være tændt, medens den N-kanaltransistor, som arbejder i enhancement, vil være afbrudt og hukom-

melsesenheden vil antage sin eneste stabile tilstand. Hvis transistoren 50 er i sit depletion-område (dvs. DATA IN har været på Vddp under programmeringen), vil den tændes under læsningen medens transistoren 70, som
 5 er i sit enhancement-område er afbrudt. DATA OUT tilslutningen 38 vil stige til Vddr grundet transistoren 30, som er ledende, dvs. tændt, fordi dens gate er tilsluttet drænet på den ledende transistor 50 og derfor nede på potentialet Vss. Transistoren 20 er afbrudt,
 10 da dens gate er forbundet til tilslutningen 38 og $\overline{\text{DATA OUT}}$ knudepunktet 28 vil derfor komme ned på Vss. Da begge transistorerne 20 og 70 er afbrudte, vil der ikke kunne løbe nogen jævnstrøm under læsningen.

Hvis DATA IN er på Vss (logisk 0), medens programmeringen foregår, så vil spændingsniveauerne og transistorernes tilstande være det omvendte af det, som er beskrevet ovenfor.

Det vil sige transistorerne 30 og 50 vil være afbrudt, DATA OUT, vil være på Vss (logisk 0) og
 20 $\overline{\text{DATA OUT}}$ vil være på Vddr (logisk 1).

Den foretrukne udførelse af opfindelsen trækker ingen jævnstrøm og antager sin korrekte tilstand både ved hurtig og langsom tilslutning af strømforsyning. Hukommelsesenheden kan ikke "vippe over" ved, at med
 25 vilje anbringe den i en forkert tilstand, hvilket illustrerer kredsens ringe følsomhed overfor støj. En meget kortvarig forsyning af spænding er nok til at programmere enheden (eksempelvis 13 volt i et millisekund).

Den foretrukne udførelse giver ikke-flygtig lagring af 1 databit og kræver ikke ydre føleforstærkere
 30 som hjælp til at styre kredsen til den rigtige tilstand. Kredsen giver logik-udgangssignaler, som er enten Vddr eller Vss hver gang strømmen tilsluttes. Latch-kredsen kan fremstilles ved en effektiv metode, idet der kan
 35 bruges samme teknologi som ved fremstilling af andre enheder i det samlede kredsløb, f.eks. den EEPROM, hvori latch-kredsen indgår.

Opfindelsen er hertil blevet beskrevet som en hukommelsescelle i stil med D-flip-floppen, men kan ud-
mærket anvendes til mange andre formål, hvor der er brug
for en ikke-flygtig hukommelse. Eksempelvis kan opfin-
5 delsen bruges i ikke-flygtige tællere eller kodede kontrolapparater, hvor der kræves indtastning af en forud
fastsat kode for at give adgang (f.eks. døråbnere til
garager).

Den ovenfor beskrevne udførelse kan varieres på
10 mange måder. Eksempelvis kan der byttes om på type N- og
P-kanaltransistorerne, således at de ikke-flygtige enheder
med svævende gate bliver af P-kanaltypen, og at P-
kanal-transistorerne i den ovenfor beskrevne udførelse
bliver med N-kanal. Polariteterne skal så naturligvis
15 vendes, programmeringskredsen skulle eksempelvis kunne
give spændingen Vddp på de ikke-flygtige enheders
gates, medens programmeringen sker. I øvrigt vil sag-
kyndige nemt se, hvilke ændringer der skal foretages ved
den foretrukne udførelsesform for at kunne bruge svæven-
20 de-gate-transistorer med P-kanal, som ikke-flygtige enheder.

Desuden er programmeringskredsløbet, som er anvendt i den foretrukne udførelsesform kun et eksempel.
Mange andre kredse kan anvendes til programmering af
25 latch-kredsen, inklusive kredse, hvor programmeringen af
latch-kredsen sker i to eller flere trin. Således kunne
eventuelt de ikke-flygtige enheders gates eller N+ områder
forbindes, medens de N+ områder eller gates, som
ikke er forbundne kunne danne to ekstra programmerings-
30 tilslutninger. I første fase af programmeringen tilsluttes
de forbundne knudepunkter et højt potential, medens
de to ekstra programmeringstilslutninger tilsluttes et
lavt potential for at programmere begge ikke-flygtige
enheder til samme tilstand. I anden fase af programmeringen
35 ringen tilsluttes anden og tredje programmeringstilslutning
signaler som er komplementære for at vende den ene

af de ikke-flygtige enheders tilstand.

P A T E N T K R A V

5 1. Ikke-flygtig halvleder-hukommelsesenhed af den art, der har en første og en anden gren som sidder i parallel og omfatter:

en første og en anden metal-oxid-halvleder felt-effekt-transistorenhed (MOSFET) (20, 30), som er anbragt
10 i henholdsvis første og anden af de nævnte grene i kredsløbet, og hvor den respektive styreelektrode (22, 32) på hver MOSFET-enhed (20, 30) er krydskoblet til det tilsvarende dræn (36, 26) på den anden af de nævnte MOSFET-enheder (30, 20),

15 en første og en anden svævende-styreelektrode-MOSFET-enhed (50, 70), som hver har en styreelektrode (54, 74) og en isoleret, svævende elektrode (52, 72), og som er anbragt henholdsvis i nævnte første og anden kredsløbsgren, og hvis kildetilslutninger (62, 82) og
20 dræntilslutninger (60, 80) sidder i serie med en tilsvarende kilde (24, 34) og dræn (26, 36) på de nævnte første og anden MOSFET-enheder (20, 30), k e n d e t e g -
n e t v e d

et første middel til opladning (56) forbundet til
25 den svævende styreelektrode (52) på nævnte første svævende-styreelektrode MOSFET-enhed (50) og indrettet så der kan placeres enten en netto positiv eller en netto negativ ladning på nævnte svævende-styreelektrode (52), således at nævnte første svævende-styreelektrode MOSFET-
30 enhed (50) valgbart kan bringes til at arbejde enten i sit depletion-område eller sit enhancement-område,

et andet middel til opladning (76) forbundet til den svævende-styreelektrode (72) på nævnte anden svævende-styreelektrode MOSFET-enhed (70) og indrettet så der
35 kan placeres enten en netto positiv eller en netto negativ ladning på nævnte svævende styreelektrode (72), så-

ledes at nævnte anden svævende-styreelektrode MOSFET-enhed (70) valgbart kan bringes til at arbejde enten i sit enhancement-område eller i sit depletion-område, og

midler (100) til dataindlæsning som er forbundet
 5 til nævnte første og andet middel til opladning (56, 76) og til nævnte styreelektroder (54, 74) på nævnte første og anden svævende-styreelektrode MOSFET-enheder (50, 70).

2. Hukommelsesenhed ifølge krav, k e n d e -
 10 t e g n e t ved, at nævnte første og andet middel til opladning (56, 76) hver omfatter et område med et tyndt dielektrisk lag (225), som ligger op ad de tilsvarende svævende-styreelektroder (52, 72, 230) på nævnte første og anden svævende-styreelektrode MOSFET-enheder (50,
 15 70), og hvor hvert af de nævnte midler til opladning (56, 76), i den tid hukommelsesenhedens programmeringscyklus varer, er indrettet til at give en spændingsforskel over nævnte tynde dielektriske lag (225), og hvor bevægelsesretningen for ladninger, som flyttes ved tunneleffekt afhænger af nævnte spændingsforskels polaritet.
 20 tet.

3. Hukommelsesenhed i krav 2, k e n d e t e g -
 n e t ved, at hvert af de nævnte midler til opladning (56, 76) yderligere omfatter et halvlederområde (57, 77;
 25 B), som er beliggende nær ved nævnte tynde dielektriske lag (225), og hvor nævnte halvlederområde (57, 77; B) er indrettet til at kunne tilføre ladningsbærere.

4. Hukommelsesenhed ifølge krav 3, k e n d e -
 t e g n e t ved, at hver af de nævnte svævende-styreelektrode MOSFET-enheders (50, 70) respektive styreelek-
 30 troder (54, 74) er krydsforbundet til det tilsvarende halvlederområde (77, 57) på det middel til opladning (76, 56), som er tilkoblet den anden af de nævnte svævende styreelektride MOSFET-enheder (70, 50).

35 5. Hukommelsesenhed ifølge krav 2, k e n d e -
 t e g n e t ved, at nævnte første og anden gren i

kredsløbet er sammensluttet ved kilderne (24, 34) på de nævnte første og anden MOSFET-enheder (20, 30), og hvor nævnte hukommelsesenhed yderligere omfatter midler (130, Vss) til programmering, som er indrettet så de, medens
5 programmeringen af hukommelsesenheden foregår, kan placere nævnte første og anden MOSFET-enheder (20, 30) respektive kilder (24, 34) på samme potentiale som kilderne (62, 82) på de nævnte første og anden svævende styreelektrode MOSFET-enheder (50, 70), hvorved der ikke løber
10 nogen jævnstrøm gennem nævnte første og anden gren af kredsløbet, medens nævnte programmering foregår.

6. Hukommelsesenhed ifølge krav 1, k e n d e - t e g n e t ved, at nævnte første og anden MOSFET-enheder (20, 30) har P-kanal, og første og anden svævende
15 styreelektrode MOSFET-enheder (50, 70) har N-kanal.

7. Hukommelsesenhed ifølge krav 1, k e n d e - t e g n e t ved, at nævnte første og anden MOSFET-enheder (20, 30) har N-kanal og nævnte første og anden svævende styreelektrode MOSFET-enheder (50, 70) har P-
20 kanal.

8. Hukommelsesenhed ifølge krav 6, k e n d e - t e g n e t ved, at hver af de nævnte midler til opladning (56, 76) omfatter: et tyndt isolationsmateriale (225) anbragt tæt ved den svævende styreelektrode (52,
25 72, 230) på den pågældende N-kanal-enhed (50, 70) samt et N+ halvlederområde (57, 77; B) anbragt tæt ved nævnte isolationsmateriale (225), hvorved hver af de nævnte midler til opladning (56, 76) fremstår som en tunneleffektkondensator, der udgøres af nævnte svævende styreelektrode (52, 72, 230) samt nævnte tynde isolationsmateriale (225) og nævnte N+ halvlederområde (57, 77; B).
30

9. Hukommelsesenhed ifølge krav 8, k e n d e - t e g n e t ved, at nævnte første og andet middel til opladning (56, 76) er indrettet sådan, at når der opbygges et potentiale mellem en af de nævnte svævende styreelektroder (52, 72) og den tilsvarende af de nævnte
35

N+ områder (57, 77), så induceres der transport af ladningsbærere ved tunneleffekt gennem nævnte tunneleffekt-kondensatorer.

10. Hukommelsesenhed ifølge krav 9, k e n d e -
5 t e g n e t . Ved, at styreelektrode-tilslutningerne (54, 74) på nævnte første og anden N-kanal MOSFET-enheder (50, 70) er krydsforbundet til det tilsvarende N+ halvlederområde (77, 57) i nævnte tunneleffekt-kondensator, som går til den svævende styreelektrode (72, 52) på den
10 anden af N-kanal MOSFET-enhederne (70, 50).

Fig. 1a.

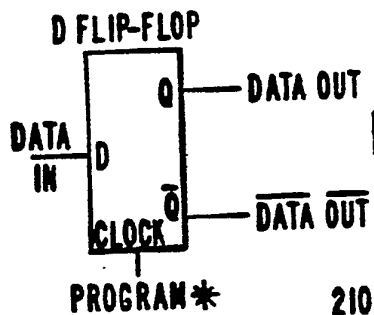
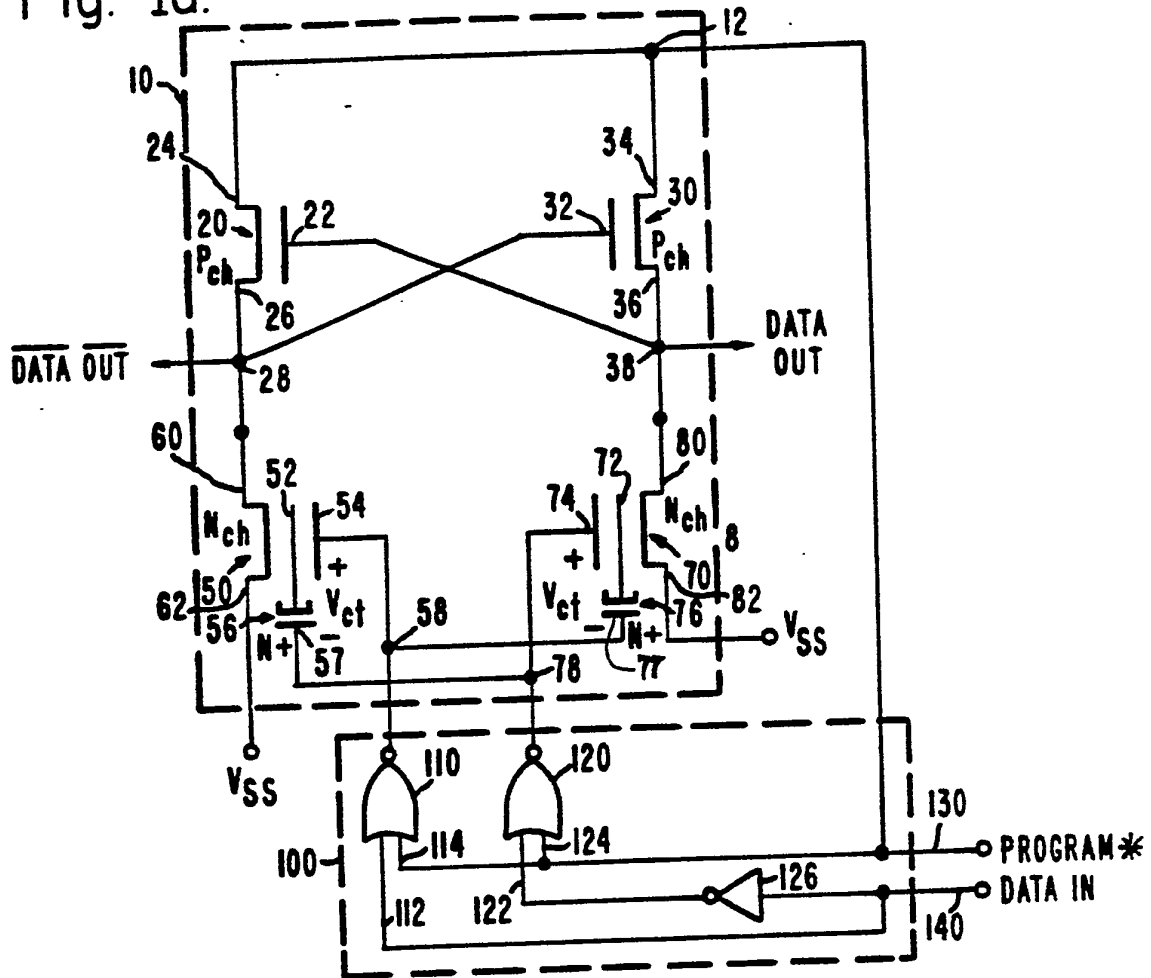


Fig. 1b.

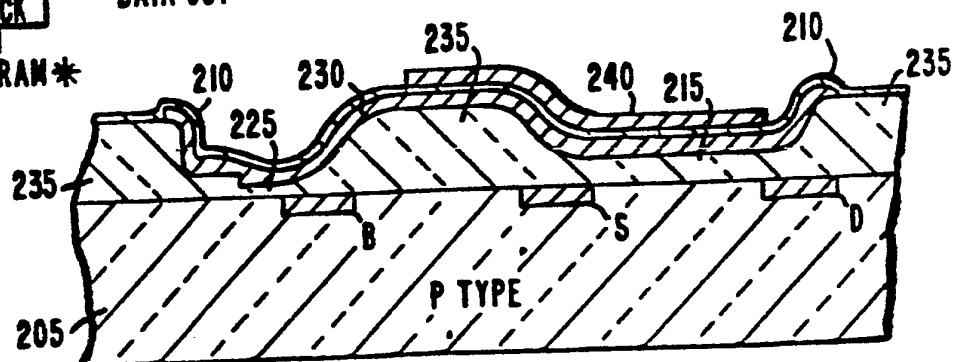


Fig. 2.

