200912803

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：96133961

※ 申請日期：96.9.11　※IPC 分類：G06T5/00 (2006.01)
H04N5/262 (2006.01)

一、發明名稱：（中文/英文）

數位影像縮放之處理裝置及其方法

二、申請人：（共壹人）

姓名或名稱：（中文/英文）

國立雲林科技大學

代表人：（中文/英文）林聰明

住居所或營業所地址：（中文/英文）

64002 雲林縣斗六市大學路三段一二三號

國　籍：（中文/英文）中華民國

三、發明人：（共肆人）

姓　名：（中文/英文）

[1] 許明華

[2] 吳曾傳

[3] 林正基

[4] 蔡文凱

國　籍：（中文/英文）

[1] 中華民國

[2] 中華民國

[3] 中華民國

[4] 中華民國

四、聲明事項：

☑ 主張專利法第二十二條第二項☑第一款或☐第二款規定之事實，其事實發生日期為：96 年 6 月 28 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係為一種數位影像縮放之處理裝置及其方法，其兼具處理速度快、硬體架構簡單，以及縮放後之影像品質佳等功效。

【先前技術】

在科技日新月異的現在，多媒體資訊已成為日常生活中不可或缺的一部分，數位影像更是最重要的一環，無論是居家或是通訊，數位影像已經是必備之元素，然而決定數位影像之顯示品質最直接的參數便是影像解析度，同時因為顯示面板製造技術愈來越發達，顯示器的面板尺寸也愈趨多樣性，因此為了讓灰階或彩色之數位影像能夠在各種不同尺寸大小的螢幕上完美的顯示圖片同時降低失真，影像縮放(Image Scaling)技術就顯得格外重要。然而影像縮放所需要的運算量相當龐大，若是在有即時（Real Time）需求的系統中單純透過處理器以軟體的方式進行處理，將造成系統繁重的負擔。

數位影像是經由對真實影像透過取樣（Sampling）與量化（Quanti-fication）的步驟所得到的二維離散訊號，每個取樣點可得到一個像素點，而取樣頻率影響到數位影像的解析度，取樣頻率越高則影像解析度越高，相對取樣造成的失真便越小；而取樣頻率越低則影像解析度越低，相對取樣造成的失真便越大。所謂的影像縮放（Image Scaling）便是對數位影

像進行重新取樣（Re-sampling）的動作，以得到一個解析度較目前影像高或低的新影像，而經由一個通過這些離散訊號的連續函數重新估算出非取樣點的數值，此連續函數指的便是插補函數。

習知技術中所常用的插補方法簡述如下：

[1] 最鄰近插補法(Nearest Neighbor Interpolation)：其運算成本最低但影像品質相當差，有嚴重的鋸齒效應與方塊效應。

[2] 雙線性插補法(Bi-linear Interpolation)：其所使用的多項式核心為一次多項式，原始像素取樣範圍是 2x2；其運算成本(運算上較複雜)略高於最鄰近插補法，但雙線性插補法之影像插補品質較最鄰近插補法優秀許多，只是仍有模糊效應嚴重的缺點。如第一圖所示，係設定最鄰近之四個原始影像為 A_0、A_1、A_2及A_3，先計算出其間之X軸及Y軸的間距 dx、dy，再分成三次之線性運算，即可得到雙線性插補後之新插補點P之數值。其運算過程如下列之公式(1)、(2)及(3)所示：

$$X_1 = (1-dx)\times A_0 + dx \times A_2 \qquad (1)$$

$$X_2 = (1-dx)\times A_1 + dx \times A_3 \qquad (2)$$

$$P = (1-dy)\times X_1 + dy \times X_2 \qquad (3)$$

[3] 雙立方插補法(Bi-cubic Interpolation)：此演算法之運算成本相當龐大;但由於此演算法於低通濾波表現更趨近

於Sinc函數，因此其影像插補品質相當優異。此演算法如公式(4)所示：

$$C_{bi-cubic}(d)=\begin{cases}1-2|d|^2+|d|^3 & ,0\le|d|<1\\ 4-8|d|+5|d|^2-|d|^3 & ,1\le|d|<2\\ 0 & ,2\le|d|\end{cases} \qquad (4)$$

如第二圖所示，雙立方插補法必須使用以插補點P為中心的鄰近之4x4個像素點進行迴旋積分(convolution)之運算，在執行迴旋積分時這16個像素點必須與兩個插補係數相乘，如公式(5)所示：

$$P=\sum_{m=-1}^{2}\sum_{n=-1}^{2}A_{(i+m,j+n)}C_{bi-cubic}(n-dx)C_{bi-cubic}(m-dy) \qquad (5)$$

[4] 交疊面積權重法(Winscale Interpolation)，係利用各像素所屬面積相互交疊而成的面積權重概念來計算(習知技術，恕不贅述)，簡言之，必須先計算出一覆蓋範圍，再算出覆蓋於四個原始像素點所代表之面積上的權重面積大小，進一步將補插點P之數值算出來，其縮放原理似同雙線性插補法，且縮放倍數受限於0.5至2倍之間，所以其計算過程亦是複雜，即透過硬體來實現其計算過程之電路會變得很複雜。

[5] 適應性牛頓插補法(Adaptive Newton Interpolation)等方法，其原理計算過程極複雜(習知技術，恕不贅述)，縮放後之效果雖比雙線性插補法較佳，但仍具有

透過硬體來計算時之電路設計較為複雜之缺點。

上述這些插補方法及其電路架構皆無法在提高影像品質的同時兼顧低硬體成本的效果。

因此，如何設計一可同時兼顧提高影像品質與低硬體成本的裝置及其方法，即是需要研究討論的重點。

【發明內容】

本發明之主要目的，在於提供一種數位影像縮放之處理裝置及其方法，其處理速度快。

本發明之次一目的，在於提供一種數位影像縮放之處理裝置及其方法，其硬體架構簡單。

本發明之再一目的，在於提供一種數位影像縮放之處理裝置及其方法，其縮放後之影像品質佳。

為達成上述目的，本發明係提供一種數位影像縮放之處理裝置及其方法，關於方法部份，其包括下列步驟：

一．讀取原始影像資料步驟；

二．確定插補後之影像大小步驟；

三．運算步驟，其又包括三個次步驟：

[a]四垂直點橫掃讀取步驟；

[b]垂直插補運算；

[c]一次水平插補處理；以及

四．完成步驟。

而關於裝置部份，其包括：

一記憶體，係存有一組二維原始影像資料，其解析度為 i 乘 j，其具有 i 乘 j 個原始影像資料；

一記憶體位址指向器，係用以讀入一位址資訊而能使該記憶體將相對應之四個原始影像資料輸出；

一輸入處理部，係具有一插補點座標取得部及一像素座標定位處理部，該插補點座標取得部透過一輸入而取得複數個工作點之座標值 x 及 y，該像素座標定位處理部係計算出一工作點間距及一位址資訊，該工作點間距係選自一垂直方向間距值、一水平方向間距值其中之一，該位址資訊係選自一列位址值、一行位址值其中之一；

一工作係數產生部，係用以產生四個第一方向工作係數及四個第二方向工作係數；

一第一方向插補運算部，係讀入該工作係數產生部所輸出之四個第一方向工作係數，當該像素座標定位處理部輸出之位址資訊係使該記憶體位址指向器產生四個位址值，進而使該記憶體輸出入四個原始像資料；該第一方向插補運算部係將該四個原始像素點的值分別與該四個第一方向工作係數相乘後加總，即獲得一第一虛擬像素；繼續相鄰之第一方向插補運算而分別得到一第二虛擬像素、一第三虛擬像素及一第四虛擬像素；

一虛擬像素暫存部，將第一方向插補運算部所計算出之

該第一虛擬像素、該第二虛擬像素、該第三虛擬像素及該第四虛擬像素暫存；

一第二方向插補運算部，係讀入該工作係數產生部所輸出之四個第二方向工作係數，又，該第二方向插補運算部係將第一虛擬像素、第二虛擬像素、第三虛擬像素及第四虛擬像素相乘後加總，即獲得一插補點像素。

本發明之上述目的與優點，不難從下述所選用實施例之詳細說明與附圖中，獲得深入瞭解。

茲以下列實施例並配合圖式詳細說明本發明於後：

【實施方式】

本發明係為一種數位影像縮放之處理裝置及其方法，其包括有「方法」及「裝置」兩部份。關於「方法」部份，參閱第三及第四圖，其包括下列步驟：

一．讀取原始影像資料步驟11：讀入一組二維原始影像資料，其解析度為i乘j，其具有i乘j個原始影像資料；

二．確定插補後之影像大小步驟12：讀入一欲縮放處理之處理後影像，其解析度為m乘n；當然，若採長寬等比例縮放，則可輸入一縮放比率，再換算成m乘n個解析度；例如：原始影像之大小為320x240，縮放比率為1.3，則以處理後之影像的解析度乘以縮放比率為416x312；

三．運算步驟13：逐步進行下列處理：

[a] 四垂直點橫掃讀取步驟13A：換算(x,y)在原始影像

之位置，並以該工作點(x, y)為中心，取得相鄰之 4 個垂直方向之工作點，定義為一個四垂直點組(例如：A_{00} 至 A_{30} 為一組、A_{01} 至 A_{31} 為另一組)，逐組橫掃至該行全部讀完為止，其中，以該工作點(x, y)為中心，相鄰之 4x4 個工作點分別以 A_{00} 至 A_{33} 表示，如第四圖所示；

[b] 垂直插補運算 13B：參閱第四圖，針對每一個四垂直點組進行垂直插補運算，將該工作點(x, y)之垂直方向的間距值設定為 (vs)，並選定一介於 0.05~0.25 間之 β 值；如第五圖所示；分別將(1+vs)、(vs)、(1-vs)與(2-vs)當成是 d 代入公式(6)中：

$$C(d)=\begin{cases}(\beta-1)\times|d|+1 & ,0\le|d|<1\\ -\beta\times|d|+\beta & ,1\le|d|<2\\ 0 & ,2\le|d|\end{cases} \qquad (6)$$

即計算出四個垂直係數 VC_0、VC_1、VC_2、VC_3；

再利用公式(7)：

$$P_j=\sum_{i=0}^{3}A_{ij}\times vc_i \qquad (7)$$

而獲得一個虛擬像素 P_j；並將該值暫存至一暫存器；之後，進行下一個四垂直點組之垂直插補，而獲得另一虛擬像素 P_{j+1}；並將該值暫存之；

一旦以該工作點(x, y)為中心，相鄰之 4x4 個工作點 A_{00} 至 A_{33} 之相對應的四個虛擬像素 P_0、P_1、P_2、P_3 均算出或已存在該暫存器後，即完成垂直插補；

[c] 一次水平插補 13C：如第六圖所示，再對該四個虛擬像素 P_0、P_1、P_2、P_3進行水平插補，且將該工作點(x, y)之水平方向的間距值定義為 hs，如第七圖所示；分別將(1+hs)、(hs)、(1-hs)與(2-hs)當成是 d 分別代入前述之公式(6)中，並選定一介於 0.05~0.25 間之 β 值：

即計算出四個水平係數 hc_0、hc_1、hc_2、hc_3；

再利用下列公式：

$$Q = \sum_{j=0}^{3} P_j \times hc_j \qquad (8)$$

而取得一個插補點像素 Q ，重覆運算直到所有工作點均算完為止；

四．完成步驟 14：獲得一縮放後解析度為 m 乘 n 之處理後之影像。

當然，也可將上述簡易置換成先進行四次水平插補，再進行一次垂直插補，由於此為垂直與水平方向之簡易互換，仍屬本發明之保護範圍。

關於本發明之基本原理，是為了求得線性拓展插補法的插補係數方程式影像品質為最佳之值，透過標準差比較各 β 值與 Sinc 函數於頻譜中的相似程度後，求得之最佳解為 β =0.1216，第八及第九圖則是線性拓展插補多項式之時域(time domain)的插補係數曲線及頻域(frequency domain)的響應曲線，可發現其在最重要的低頻響應部分與雙立方插補

(Bi-cubic)法趨近 Sinc 函數的程度相當。由於當時其影像插補品質與時間相當接近，因此本發明將使用式(2)進行係數產生電路之設計。

其次，前述之高影像插補品質與低電路成本的影像縮放處理方法中，該β值係為 0.125，唯有在此值可以大幅簡化其四個垂直係數與四個水平係數之運算，並簡化為公式(9)及公式(10)(推導過程省略)，而產生非一極為特殊之簡化效果：

$$\begin{aligned} vc_0 &= 0.125 \times vs - 0.125 \\ vc_1 &= -0.875 \times vs + 1 \\ vc_2 &= 0.875 \times vs + 0.125 \\ vc_3 &= -0.125 \times vs \end{aligned} \qquad (9)$$

與

$$\begin{aligned} hc_0 &= 0.125 \times hs - 0.125 \\ hc_1 &= -0.875 \times hs + 1 \\ hc_2 &= 0.875 \times hs + 0.125 \\ hc_3 &= -0.125 \times hs \end{aligned} \qquad (10)$$

其中之 0.125 恰好等於是 1/8，亦可分解成 1/2 乘 1/2 再乘 1/2，然而在二進位之數值處理中，右移(SHIFT)指令一次即為乘 1/2，因此，右移三次即為「乘 0.125」之意思，在硬體之實現上可以使用移位器取代乘法器以節省電路成本，在電路設計與處理上非常簡易，而 0.875=1-0.125，亦可採用一個減法器來解決，故，整體之硬體非常精簡。

此外，β值係為 0.125，已十分接近最佳值 0.1216，所以縮放品質仍非常優良。

其次，關於「裝置」部份，請參閱第十圖，本發明之一種數位影像縮放之處理裝置，其包括：一記憶體 20、一記憶體位址指向器 30、一輸入處理部 40、一工作係數產生部 50、一第一方向插補運算部 60、一虛擬像素暫存部 70 及一第二方向插補運算部 80。

關於該記憶體 20(或可暫時儲存資料之裝置)，係存有一組二維原始影像資料，其解析度為 i 乘 j，其具有 i 乘 j 個原始影像資料。

該記憶體位址指向器 30，係用以讀入一位址資訊 31 而能使該記憶體 20 將相對應之四個原始影像資料 21 輸出。

該輸入處理部 40，其具有一插補點座標取得部 40A 及一像素座標定位處理部 40B，該插補點座標取得部 40A 透過一輸入而取得複數個工作點(x, y)之座標值 x 及 y，該像素座標定位處理部 40B 係計算出一工作點間距及一位址資訊 31，該工作點間距係選自一垂直方向間距值(vs)、一水平方向間距值(hs)其中之一，該位址資訊 31 係選自一列位址值、一行位址值其中之一；若為等比例縮放，此輸入處理部 40 於讀入一縮放比率即可換算；若為非等比例縮放，也可在長及寬方向分別進行縮放換算處理(例如將 3:2 之畫面縮放成 4:3 或是 16:9 等等)。

該工作係數產生部 50，係用以產生四個第一方向工作係

數 51 及四個第二方向工作係數 52，若第一方向為「垂直」，則第二方向為「水平」，反之亦然，因此，會產生四個垂直係數 VC_0、VC_1、VC_2、VC_3及四個水平係數 hC_0、hC_1、hC_2、hC_3。

該第一方向插補運算部 60，係讀入該工作係數產生部 50 所輸出之四個第一方向工作係數 51，又，當該像素座標定位處理部 40B 輸出之位址資訊 31 係使該記憶體位址指向器產生四個位址值 32，進而使該記憶體 20 輸出入四個原始影像資料 21；該第一方向插補運算部 60 係將該四個原始影像資料 21 分別與該四個第一方向工作係數 51 相乘後加總，即獲得一第一虛擬像素 P_0；繼續相鄰之第一方向插補運算而分別得到一第二虛擬像素 P_1、一第三虛擬像素 P_2及一第四虛擬像素 P_3。

該虛擬像素暫存部 70，係將第一方向差補運算部 60 所計算出之第一虛擬像素 P_0、第二虛擬像素 P_1、第三虛擬像素 P_2及第四虛擬像素 P_3暫存。

該第二方向插補運算部 80，係讀入該工作係數產生部 50 所輸出之四個第二方向工作係數 52，且該第二方向插補運算部 80 係將第一虛擬像素 P_0、第二虛擬像素 P_1、第三虛擬像素 P_2及第四虛擬像素 P_3相乘後加總，即獲得一插補點像素 Q(關於本發明之硬體電路架構，可參閱附件一)。

由於本發明採用獨特之「四垂直點橫掃讀取步驟」，不必針對每一工作點進行 4x4(即 16 次)之讀取。其原理參閱第十

三圖，假設插補後之某一列之點由左至右分別為 Q_0、Q_1、Q_2‧‧‧(略)，四垂直點橫掃讀取步驟則是先讀 A_{00} 至 A_{30} 那一組，即可計算出一虛擬像素 P_0，同理，再讀取 A_{01} 至 A_{31}，計算出另一虛擬像素 P_1，一旦四個虛擬像素 P_0、P_1、P_2、P_3 取得後(均暫存至一暫存器)，即可再透過第十四圖所示之水平插補算出某一插補點 Q_0。接著向右橫掃隔壁一排，即再讀入 A_{04} 至 A_{34} 那一組，並可經過垂直插補而算出一新的虛擬像素 P_4，此時，可由暫存器中取出已經計算過另三個虛擬像素 P_1、P_2、P_3，再透過水平插補運算出新的插補點 Q_1。

又，插補點 Q_2 恰好也利用已算過之虛擬像素 P_1、P_2、P_3、P_4 即可求得。換言之，只要是同一排之插補點 Q_0、Q_1、Q_2‧‧‧(略)，許多已算過之虛擬像素均可直接由暫存器讀取而不必重複計算，故可大幅降低記憶體之讀取次數，更不需要每次都讀取 16 個原始資料，特別是當影像之縮放比率大於 1.5 以上時，記憶體之讀取次數差距更為顯著。

參閱第十一圖，此為記憶體讀取次數比較之示意圖；其中，本發明及傳統之雙立方插補(Bi-cubic)法之記憶體讀取次數分別以第一曲線 L1 及一第二曲線 L2 來表示。假設原始影像解析度為 320x240，縮放比率由 0.1 遞增至 2.0，若比較本發明及傳統之雙立方插補(Bi-cubic)法之記憶體讀取次數，可發現當縮放比率在 0.25 以下時，兩者一樣，但隨著縮放

比率增加，本發明之記憶體讀取次數只有微幅增加，但傳統之雙立方插補(Bi-cubic)法已增加至極高的值。由於本發明之運算極為簡易(無複雜之數學公式)，相對的記憶體存取次數維持在極低之值。

如第十二圖所示，在本發明之電路中，對每個列(row)而言，從開始到第一個結果產生只需花 11 個時脈單位(clock)。

換言之，若本電路要達到產業界所謂的『即時』(real time)要求，每秒必須使用的 clock 數目計算方式如下：

(targer column number+11)x(target row number)x每秒 frame 數由第十二圖可知，本案之電路最高頻率為 276MHz，代表本電路每秒有 276M 個 clock 可以使用，皆大於各種主流影像規格所需之 clock 數目要求，因此可滿足上述解析度規格之要求，甚至連 WUXGA 之 1920x1200，每秒 60 格也可，產業上之利用性極高。

綜上所述，本發明之優點及功效可歸納為：

[1] 處理速度快。由於本發明採用四次垂直插補與一次水平差補而達到近似雙立方插補法之優異的縮放效果，不僅大幅簡化運算之過程及時間，若其 β 值採用 0.125 時，其電路之實施更能再簡化，因此，處理速度快，可應用於現今所有主流之高階影像規格(含 HDTV 1080p、WUXGA 等)，

市場潛力無法想像。

[2] 硬體架構簡單。由於本發明將複雜之運算拆解成簡單之四次垂直插補與一次水平差補運算，同時搭配四垂直點橫掃讀取與暫存之再次簡化處理，由硬體電路來實現時，所需之電子元件數量極少，佈線亦非常簡單，記憶體讀取次數亦少，因此，製造成本低，體積更可再縮小。

[3] 縮放後之影像品質佳。由於本發明之運算結果是接近傳統之雙立方插補法，所以影像品質相當優良。

以上僅是藉由較佳實施例詳細說明本發明，對於該實施例所做的任何簡單修改與變化，皆不脫離本發明之精神與範圍。

由以上詳細說明，可使熟知本項技藝者明瞭本發明的確可達成前述目的，實已符合專利法之規定，爰提出發明專利申請。

【附件】

附件一係本發明之硬體電路架構相關說明。

【圖式簡單說明】

第一圖係傳統之雙線性插補法之運算原理之示意圖

第二圖係傳統之雙立方插補法之運算原理之示意圖

第三圖係本發明之流程圖

第四圖係本發明之四次垂直插補之示意圖

第五圖係本發明之單次垂直插補之示意圖

第六圖係本發明之水平插補之示意圖

第七圖係本發明之一維水平插補之示意圖

第八圖係本發明之線性拓展插補多項式時域的插補係數曲線圖

第九圖係本發明之線性拓展插補多項式頻域的響應曲線圖

第十圖係本發明之硬體架構之示意圖

第十一圖係本發明之記憶體讀取次數比較之示意圖

第十二圖係本發明可適用於各種主流影像規格之示意圖

第十三圖係本發明之四垂直點橫掃讀取之示意圖

第十四圖係本發明之四垂直點橫掃讀取後之水平插補之示意圖

【主要元件符號說明】

11 讀取原始影像資料步驟　12 確定插補後之影像大小步驟

13 運算步驟　13A 四垂直點橫掃讀取步驟

13B 垂直插補運算　13C 一次水平插補

14 完成步驟　20 記憶體

21 原始影像資料　30 記憶體位址指向器

31 位址資訊　32 位址值

40 輸入處理部　40A 插補點座標取得部

40B 像素座標定位處理部　50 工作係數產生部

51 第一方向工作係數　52 第二方向工作係數

60 第一方向插補運算部　70 虛擬像素暫存部

80 第二方向插補運算部　P_0、P_1、P_2、P_3 虛擬像素

Q 插補點像素　A_0、A_1、A_2 及 A_3 原始影像

L1 第一曲線　L2 第二曲線

五、中文發明摘要：

一種數位影像縮放之處理裝置及其方法，在方法部分係包括下列步驟：一．讀取原始影像資料步驟、二．確定插補後之影像大小步驟、三．運算步驟，其又包括三個次步驟：[a]四垂直點橫掃讀取步驟、[b]垂直插補運算、[c]一次水平插補處理；以及四．完成步驟；而裝置方面包括：一記憶體、一記憶體位址指向器、一輸入處理部、一工作係數產生部、一第一方向插補運算部、一虛擬像素暫存部及一第二方向插補運算部；如此兼具處理速度快、硬體架構簡單，以及縮放後之影像品質佳等優點。

六、英文發明摘要：

十、申請專利範圍：

1．一種數位影像縮放之處理方法，其包括下列步驟：

一．讀取原始影像資料步驟：讀入一組二維原始影像資料，其解析度為 i 乘 j，其具有 i 乘 j 個原始影像資料；

二．確定插補後之影像大小步驟：讀入一欲縮放處理之處理後影像大小，其解析度為 m 乘 n；

三．運算步驟：逐步進行下列處理：

[a] 四垂直點橫掃讀取步驟 13A：換算(x, y)在原始影像之位置，並以該工作點(x, y)為中心，取得相鄰之 4 個垂直方向之工作點，定義為一個四垂直點組，逐組橫掃至該行全部讀完為止，其中，以該工作點(x, y)為中心，相鄰之 4x4 個工作點分別以 A_{00} 至 A_{33} 表示；

[b] 垂直插補運算：針對每一個四垂直點組進行垂直插補運算，其中，將該工作點(x, y)之垂直方向間距值定義為 vs；並選定一介於 0.05~0.25 間之 β 值，再分別將(1+vs)、(vs)、(1-vs)與(2-vs)當成是 d 分別代入下列之公式中：

$$C(d)=\begin{cases}(\beta-1)\times|d|+1 & ,0\le|d|<1\\ -\beta\times|d|+\beta & ,1\le|d|<2\\ 0 & ,2\le|d|\end{cases}$$

即計算出四個垂直係數 VC_0、VC_1、VC_2、VC_3；

再利用下列公式：

$$P_j = \sum_{i=0}^{3} A_{ij} \times vc_i$$

而分別獲得一個虛擬像素 P_j；並將該值暫存至一暫存器；

之後，進行下一個四垂直點組之垂直插補，而獲得另一虛擬像素 P_{j+1}；並將該值暫存之；一旦以該工作點(x, y)為中心，相鄰之 4x4 個工作點 A_{00} 至 A_{33} 之相對應的四個虛擬像素 P_0、P_1、P_2、P_3 均算出/已存於該暫存器，即完成垂直插補；

[c] 一次水平插補處理：再對該四個虛擬像素 P_0、P_1、P_2、P_3 進行水平插補，將該工作點(x, y)之水平方向間距值定義為 hs；並選定一介於 0.05~0.25 間之 β 值，再分別將(1+hs)、(hs)、(1-hs)與(2-hs)當成是 d 分別代入下列之公式中：

$$C(d) = \begin{cases} (\beta - 1) \times |d| + 1 & ,0 \le |d| < 1 \\ -\beta \times |d| + \beta & ,1 \le |d| < 2 \\ 0 & ,2 \le |d| \end{cases}$$

即計算出四個水平係數 hc_0、hc_1、hc_2、hc_3；

再利用下列公式：

$$Q = \sum_{j=0}^{3} P_j \times hc_j$$

而取得一插補點像素 Q ，重覆運算直到所有工作點均算完為止；

四．完成步驟：即獲得一縮放後解析度為m乘n之處理後影像。

2．申請專利範圍第1項所述之數位影像縮放之處理方法，其中，該β值係為0.125。

3．一種數位影像縮放之處理裝置，其包括：

一記憶體，係存有一組二維原始影像資料，其解析度為i乘j，其具有i乘j個原始影像資料；

一記憶體位址指向器，係用以讀入一位址資訊而能使該記憶體將相對應之四個原始影像資料輸出；

一輸入處理部，係具有一插補點座標取得部及一像素座標定位處理部，該插補點座標取得部透過一輸入而取得複數個工作點之座標值x及y，該像素座標定位處理部係計算出一工作點間距及一位址資訊，該工作點間距係選自一垂直方向間距值、一水平方向間距值其中之一，該位址資訊係選自一列位址值、一行位址值其中之一；

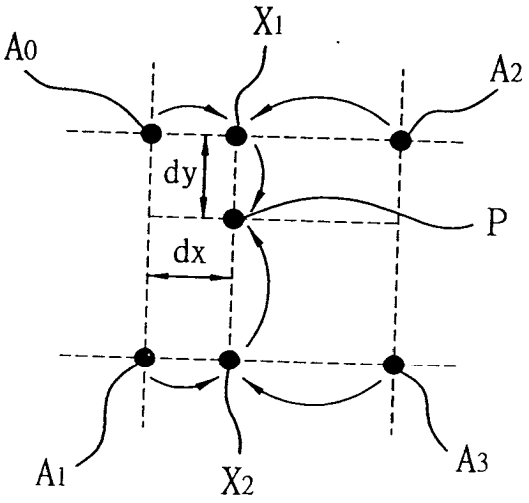
一工作係數產生部，係用以產生四個第一方向工作係數及四個第二方向工作係數；

一第一方向插補運算部，係讀入該工作係數產生部所輸出之四個第一方向工作係數，當該像素座標定位處理部輸出之位址資訊使該記憶體位址指向器產生四個位址值，進而使該記憶體輸出四個原始像資料；該第一方向插補運算

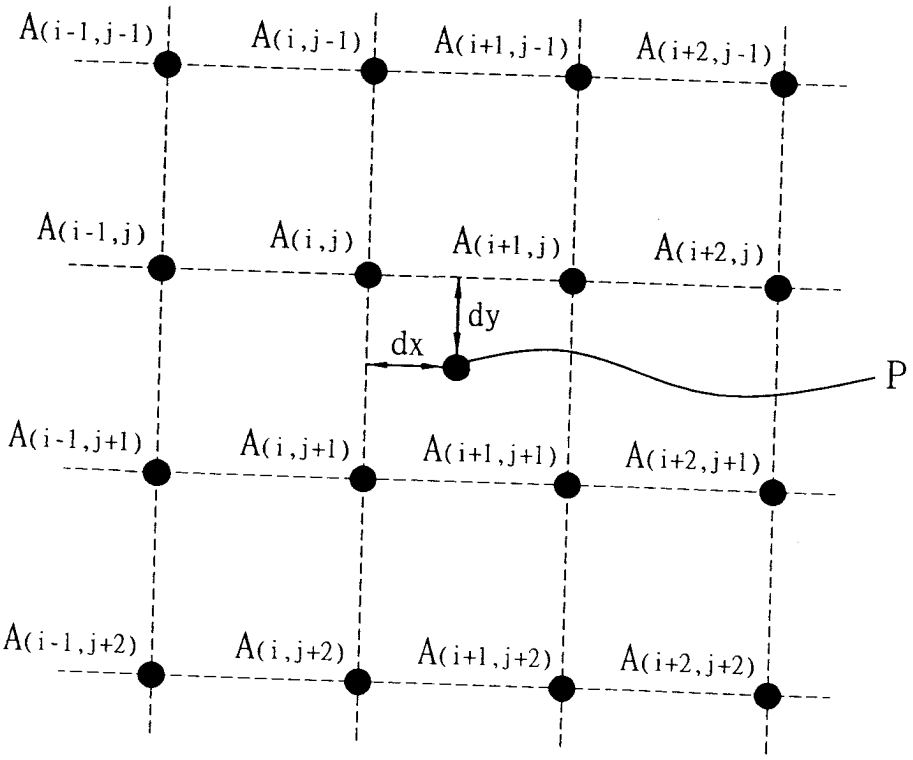
部係將該四個原始像素點的值分別與該四個第一方向工作係數相乘後加總，即獲得一第一虛擬像素；繼續相鄰之第一方向插補運算而分別得到一第二虛擬像素、一第三虛擬像素及第四虛擬像素；

一虛擬像素暫存部，將第一方向插補運算部所計算出之該第一虛擬像素、該第二虛擬像素、該第三虛擬像素及該第四虛擬像素暫存；

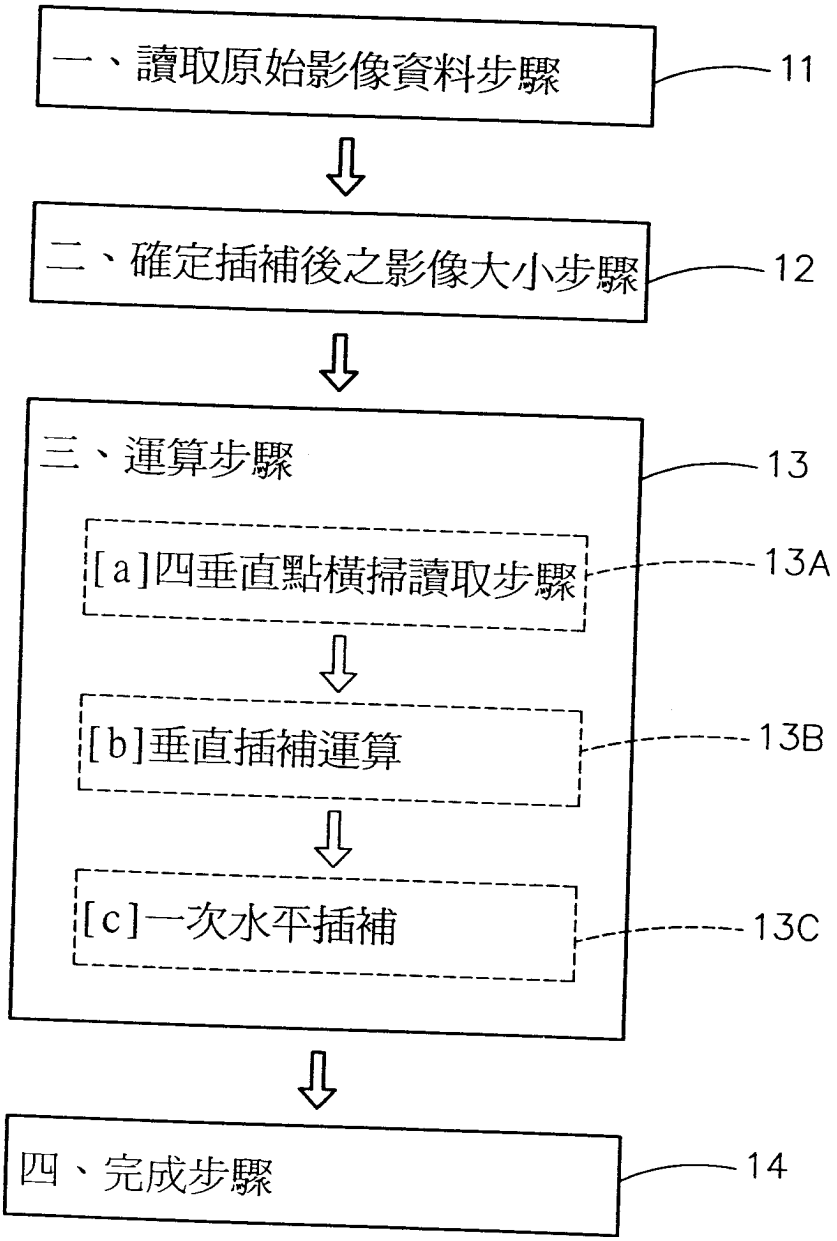
一第二方向插補運算部，其係讀入工作係數產生部所輸出之四個第二方向工作係數，又，該第二方向插補運算部係將第一虛擬像素、第二虛擬像素、第三虛擬像素及第四虛擬像素相乘後加總，即獲得一插補點像素。


A0
X1
A2
dy
P
dx
A1
X2
A3

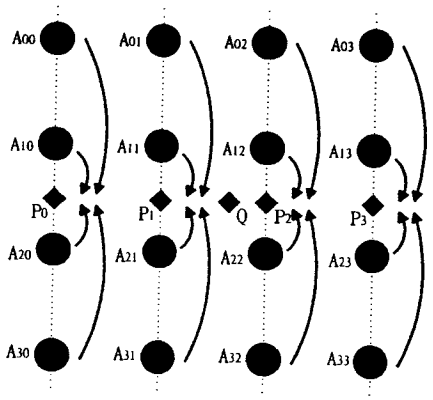
第一圖


A(i-1,j-1)
A(i,j-1)
A(i+1,j-1)
A(i+2,j-1)
A(i-1,j)
A(i,j)
A(i+1,j)
A(i+2,j)
dy
dx
P
A(i-1,j+1)
A(i,j+1)
A(i+1,j+1)
A(i+2,j+1)
A(i-1,j+2)
A(i,j+2)
A(i+1,j+2)
A(i+2,j+2)

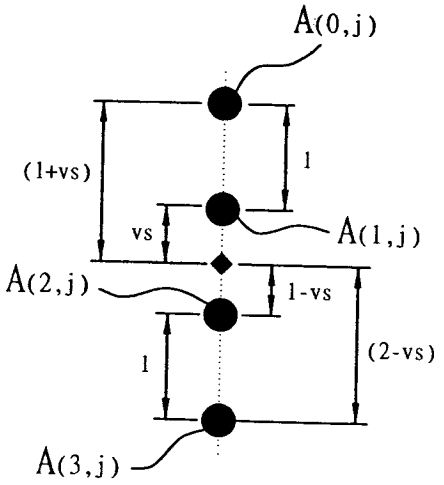
第二圖


一、讀取原始影像資料步驟
11
二、確定插補後之影像大小步驟
12
三、運算步驟
13
[a]四垂直點橫掃讀取步驟
13A
[b]垂直插補運算
13B
[c]一次水平插補
13C
四、完成步驟
14

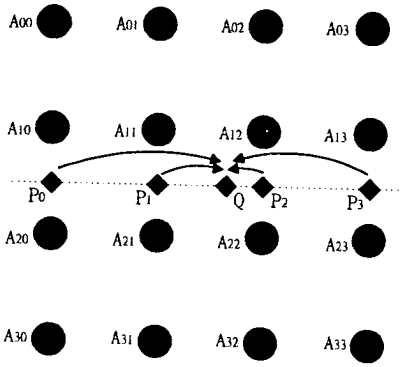
第三圖



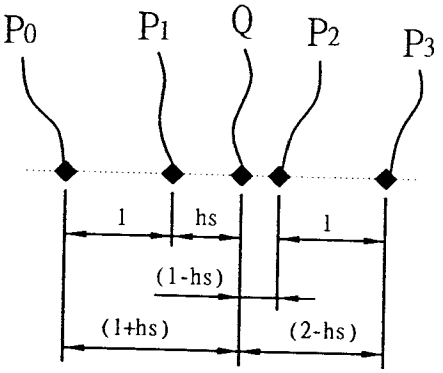
第四圖



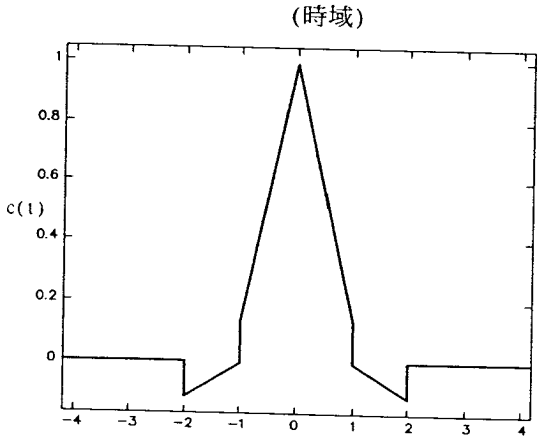
第五圖



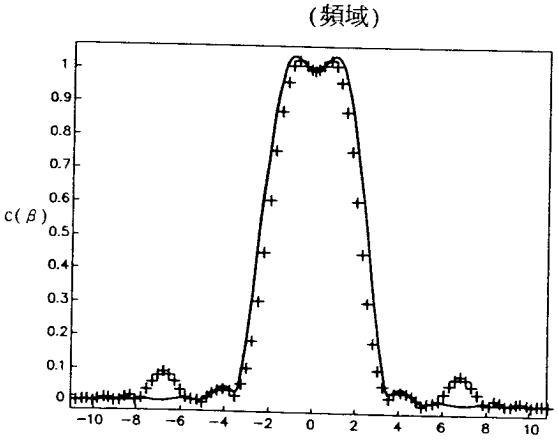
第六圖



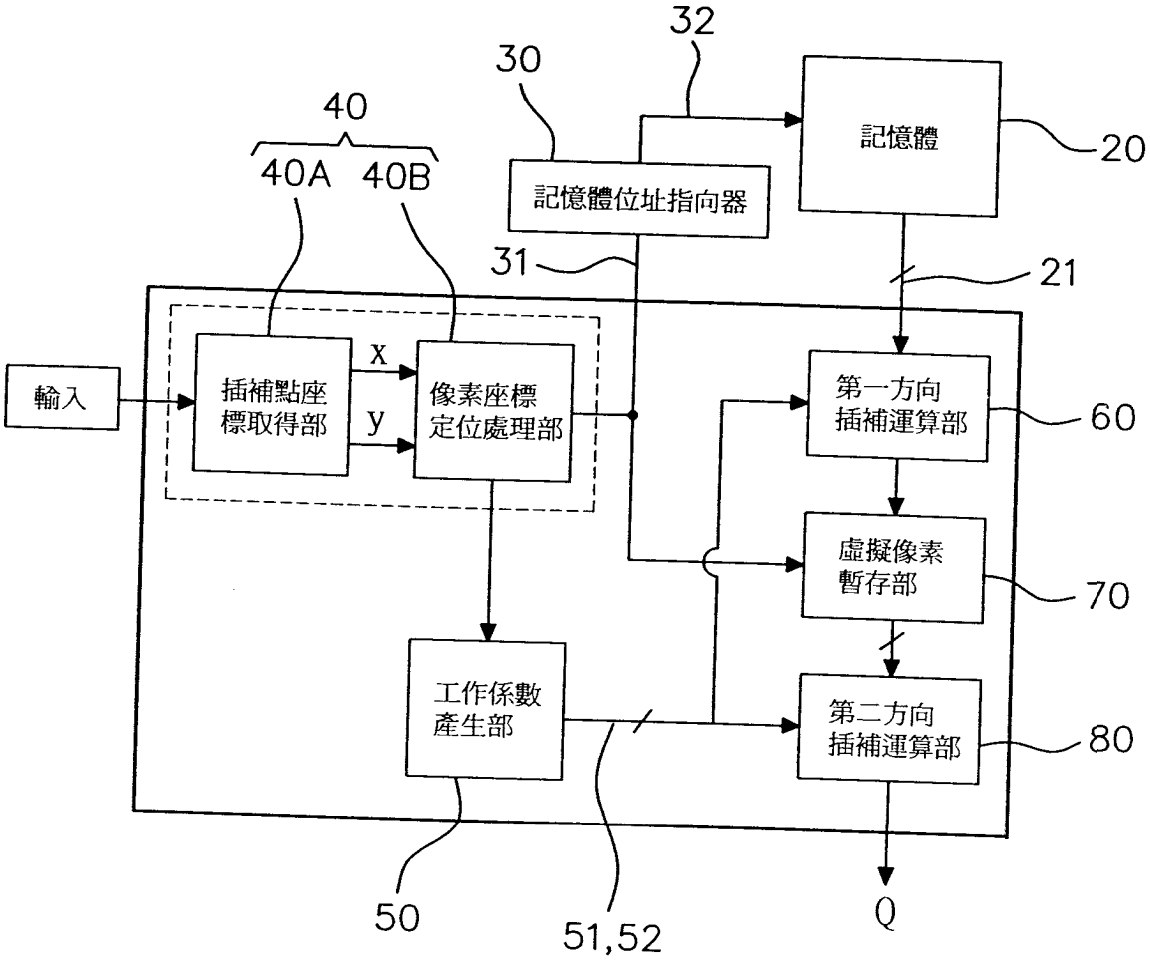
第七圖



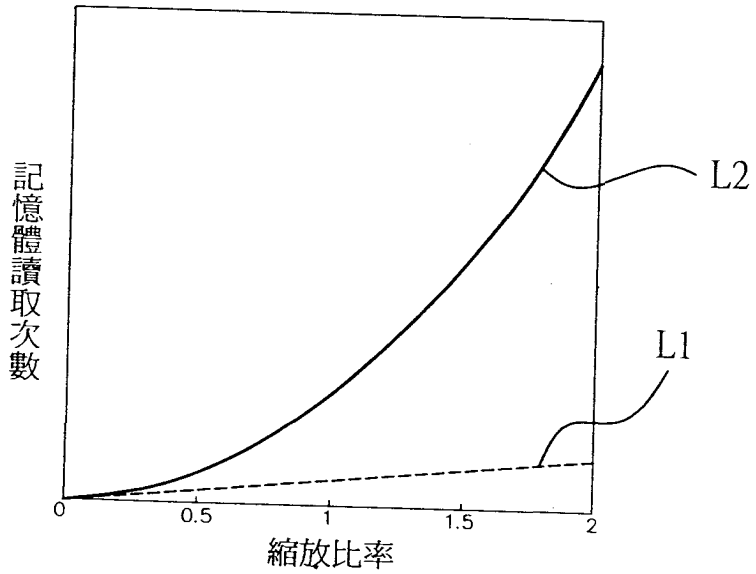
第八圖



第九圖


32
30
40
40A
40B
記憶體
20
記憶體位址指向器
31
21
輸入
插補點座標取得部
x
y
像素座標定位處理部
第一方向插補運算部
60
虛擬像素暫存部
70
工作係數產生部
第二方向插補運算部
80
50
51,52
Q

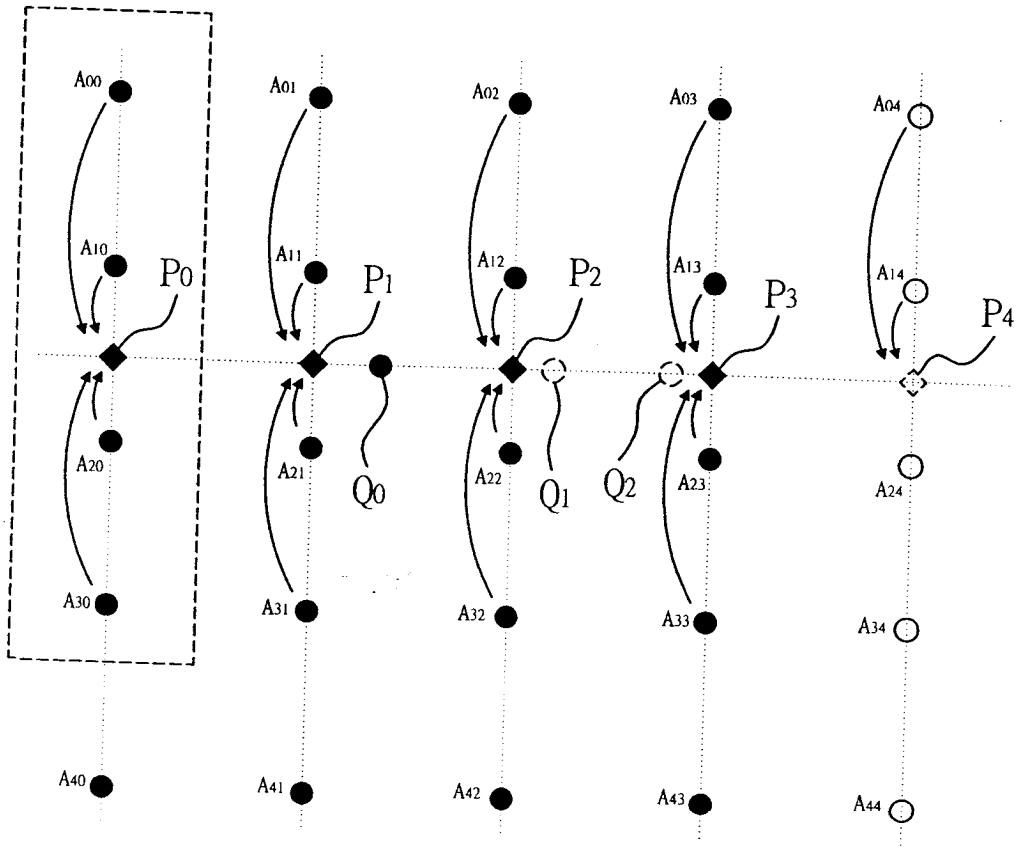
第十圖


記憶體讀取次數
L2
L1
0
0.5
1
1.5
2
縮放比率

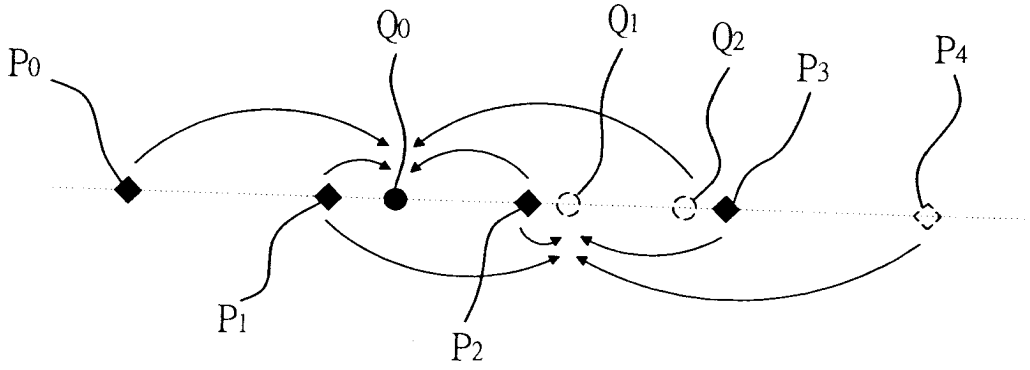
第十一圖

影像規格名稱	解析度	每秒frame數	每秒所需的clock數目(百萬)
VGA	640×480	60	(640+11)×480×60=18.75M
SVGA	800×600	60	(800+11)×600×60=29.20 M
XGA	1024×768	60	(1024+11)×768×60=47.69 M
SXGA	1280×1024	60	(1280+11)×1024×60=79.32 M
UXGA	1600×200	60	(1600+11)×1200×60=115.99 M
WXGA	1366×768	60	(1366+11)×768×60=63.45 M
WSXGA	1680×1050	60	(1680+11)×1050×60=106.53 M
WUXGA	1920×1200	60	(1920+11)×1200×60=139.03 M
HDTV 720p	1280×720	30	(1280+11)×720×30=27.86 M
HDTV 1080p	1920×1080	30	(1920+11)×1080×30=62.56 M

第十二圖


A00
A10
P0
A20
A30
A40
A01
A11
P1
Q0
A21
A31
A41
A02
A12
P2
Q1
A22
A32
A42
A03
A13
P3
Q2
A23
A33
A43
A04
A14
P4
A24
A34
A44

第十三圖


P0
Q0
Q1
Q2
P3
P4
P1
P2

第十四圖

七、指定代表圖：

(一)本案指定代表圖為：第（十）圖。

(二)本代表圖之元件符號簡單說明：

20 記憶體

21 原始影像資料

30 記憶體位址指向器

31 位址資訊

32 位址值

40 輸入處理部

40A 插補點座標取得部

40B 像素座標定位處理部

50 工作係數產生部

51 第一方向工作係數

52 第二方向工作係數

60 第一方向插補運算部

70 虛擬像素暫存部

80 第二方向插補運算部

Q 插補點像素

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：