

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 5 月 12 日 (12.05.2016)



(10) 国际公布号
WO 2016/070516 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/072361
- (22) 国际申请日: 2015 年 2 月 6 日 (06.02.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410624066.8 2014 年 11 月 7 日 (07.11.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 戴超 (DAI, Chao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SCAN DRIVING CIRCUIT FOR OXIDE SEMICONDUCTOR THIN FILM TRANSISTOR

(54) 发明名称: 用于氧化物半导体薄膜晶体管的扫描驱动电路

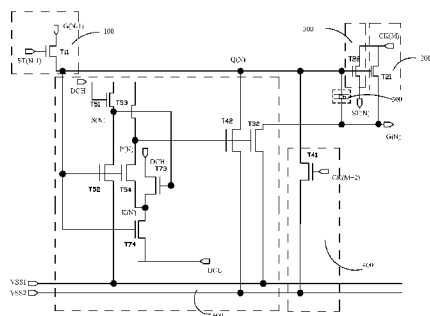


图1 / FIG. 4

(57) Abstract: A scan driving circuit for an oxide semiconductor thin film transistor. A pull-down holding circuit portion (600) of the scan driving circuit for the oxide semiconductor thin film transistor is provided with a main inverter and an auxiliary inverter, a constant voltage low potential (DCL) is led in, and the constant voltage low potential (DCL) < a second negative potential (VSS2) < a first negative potential (VSS1), preventing the electrical properties of the oxide semiconductor thin film transistor from affecting the scan driving circuit, in particular poor functionality caused by the problem of leakage, and ensuring that the pull-down holding circuit portion (600) can pull down normally in an operative period, is at a relatively high potential in an inoperative period, and effectively holds a first node (Q(N)) and an output end (G(N)) at a low potential.

(57) 摘要: 一种用于氧化物半导体薄膜晶体管的扫描驱动电路, 该用于氧化物半导体薄膜晶体管的扫描驱动电路的下拉维持电路部分(600)具有主反相器与辅助反相器, 引入一个恒压低电位(DCL), 且设置恒压低电位(DCL) < 第二负电位(VSS2) < 第一负电位(VSS1), 能够避免氧化物半导体薄膜晶体管电性对扫描驱动电路的影响, 尤其是漏电问题带来的功能性不良, 确保下拉维持电路部分(600)能够在作用期间正常拉低, 在非作用期间处于较高的电位, 有效维持第一节点(Q(N))和输出端(G(N))处于低电位。

WO 2016/070516 A1

用于氧化物半导体薄膜晶体管的扫描驱动电路

技术领域

5 本发明涉及液晶显示领域，尤其涉及一种用于氧化物半导体薄膜晶体管的扫描驱动电路。

背景技术

GOA(Gate Drive On Array)，是利用薄膜晶体管(thin film transistor, TFT)液晶显示器阵列(Array)制程将栅极驱动器制作在薄膜晶体管阵列基板上，以实现逐行扫描的驱动方式。

通常，GOA 电路主要由上拉部分(Pull-up part)、上拉控制部分(Pull-up control part)、下传部分(Transfer part)、下拉部分(Pull-down part)、下拉维持电路部分(Pull-down Holding part)、以及负责电位抬升的上升部分(Boost part)组成，上升部分一般由一自举电容构成。

15 上拉部分主要负责将输入的时钟信号(Clock) 输出至薄膜晶体管的栅极，作为液晶显示器的驱动信号。上拉控制部分主要负责控制上拉部分的打开，一般是由上级 GOA 电路传递来的信号作用。下拉部分主要负责在输出扫描信号后，快速地将扫描信号(亦即薄膜晶体管的栅极的电位)拉低为低电平。下拉保维持电路部分则主要负责将扫描信号和上拉部分的信号保持

20 持在关闭状态(即设定的负电位)。上升部分则主要负责对上拉部分的电位进行二次抬升，确保上拉部分的正常输出。

随着氧化物半导体薄膜晶体管的发展，氧化物半导体相应的面板周边集成电路也成为关注的焦点。氧化物薄膜晶体管的载流子迁移率是非晶硅薄膜晶体管的 20~30 倍，可以大大提高 TFT 对像素电极的充放电速率，提高像素的响应速度，实现更快的刷新率，同时更快的响应也大大提高了像素的行扫描速率，使得超高分辨率在 TFT-LCD 中成为可能。因此，氧化物半导体薄膜晶体管的 GOA 电路未来有可能取代非晶硅的 GOA 电路，而现有技术中针对氧化物半导体薄膜晶体管的 GOA 电路的开发较少，尤其需要克服很多由于氧化物薄膜晶体管电性本身带来的问题。例如：传统的非晶

25 硅薄膜晶体管的电学特性中阈值电压一般大于 0V，而且亚阈值区域的电压相对于电流的摆幅较大，这样在电路设计中即使某些晶体管在操作时晶体管栅极与源极之间的电压 V_{gs} 在等于 0V 附近产生的漏电流也较小。但氧化物半导体薄膜晶体管由于其材料本身的特性与非晶硅有明显的差异，其阈

30

值电压值在 0V 左右，而且亚阈值区域的摆幅较小，而 GOA 电路在关态时很多元件操作在 $V_{gs}=0V$ ，这样就会增加氧化物半导体薄膜晶体管 GOA 电路设计的难度，一些适用于非晶硅半导体的扫描驱动电路应用到氧化物半导体时就会存在一些功能性问题。此外，在某些外在因素的诱导和应力作用下，氧化物半导体薄膜晶体管有时候也会产生阈值电压往负值减小的趋势，这样将会直接导致氧化物半导体薄膜晶体管 GOA 电路无法工作，因此在设计电路时还必须要考虑这种元件特性对 GOA 电路的影响。

发明内容

本发明的目的在于提供一种用于氧化物半导体薄膜晶体管的扫描驱动电路，解决氧化物薄膜晶体管电性对 GOA 驱动电路的影响，尤其是漏电问题带来的功能性不良，解决目前的氧化物薄膜晶体管扫描驱动电路中下拉维持电路部分在非作用期间不能处于较高的电位的问题。

针对上述目的，本发明提供了一种用于氧化物半导体薄膜晶体管的扫描驱动电路，包括级联的多个 GOA 单元，设 N 为正整数，第 N 级 GOA 单元包括一上拉控制部分、一上拉部分、一下传部分、一第一下拉部分、一自举电容部分和一下拉维持电路部分；

所述上拉控制部分包括一第十一晶体管，所述第十一晶体管的栅极电性连接于所述第 N 级 GOA 单元的前一级 GOA 单元第 N-1 级 GOA 单元的驱动输出端，漏极电性连接于所述第 N 级 GOA 单元的前一级 GOA 单元第 N-1 级 GOA 单元的输出端，源极电性连接于第一节点；

所述第一下拉部分包括一第四十一晶体管，所述第四十一晶体管的栅极电性连接于第 M+2 组时钟信号，漏极电性连接于第一节点，源极电性连接于第二负电位或输出端；

所述下拉维持部分包括第五十一晶体管，所述第五十一晶体管的栅极与漏极均电性连接于恒压高电位，源极电性连接于第四节点；第五十二晶体管，所述第五十二晶体管的栅极电性连接于第一节点，漏极电性连接于第四节点，源极电性连接于第一负电位；第五十三晶体管，所述第五十三晶体管的栅极电性连接于第四节点，漏极电性连接于恒压高电位，源极电性连接于第二节点；第五十四晶体管，所述第五十四晶体管的栅极电性连接于第一节点，漏极电性连接于第二节点，源极电性连接第三节点；第七十三晶体管，所述第七十三晶体管的栅极电性连接于第四节点，漏极电性连接于恒压高电位，源极电性连接于第三节点；第七十四晶体管，所述第七十四晶体管的栅极电性连接于第一节点，漏极电性连接于第三节点，源

极电性连接于恒压低电位；第四十二晶体管，所述第四十二晶体管的栅极电性连接于第二节点，漏极电性连接于第一节点，源极电性连接于第二负电位；第三十二晶体管，所述第三十二晶体管的栅极电性连接于第二节点，漏极电性连接于输出端，源极电性连接于第一负电位；

5 所述第五十一晶体管、第五十二晶体管、第五十三晶体管、第五十四晶体管构成主反相器，所述主反相器用于控制第三十二晶体管与第四十二晶体管；所述第七十三晶体管、第七十四晶体管构成辅助反相器，所述辅助反相器在作用期间提供给主反相器低电位，在非作用期间提供给主反相器高电位；

10 所述第一负电位、第二负电位与恒压低电位的关系为：恒压低电位<第二负电位<第一负电位。

所述辅助反相器还包括第七十一晶体管，所述第七十一晶体管的栅极与漏极均电性连接于恒压高电位，源极电性连接于第七十三晶体管的栅极；第七十二晶体管，所述第七十二晶体管的栅极电性连接于第一节点，漏极电性连接于第七十三晶体管的栅极，源极电性连接于恒压低电位；所述第七十三晶体管的栅极与第四节点断开。

所述用于氧化物半导体薄膜晶体管的扫描驱动电路，采用的级传方式是第 N-1 级传给第 N 级。

20 所述上拉部分，包括第二十一晶体管，所述第二十一晶体管的栅极电性连接于第一节点，漏极电性连接于时钟信号，源极电性连接于输出端；

所述下传部分包括第二十二晶体管，所述第二十二晶体管的栅极电性连接于第一节点，漏极电性连接于时钟信号，源极电性连接于驱动输出端；

所述自举电容部分，包括一电容，所述电容的一端电性连接于第一节点，另一端电性连接于输出端。

25 所述扫描驱动电路的第一级连接关系中，第十一晶体管的栅极与漏极均电性连接于电路的启动信号端。

所述时钟信号的波形占空比不能大于 25/75。

所述时钟信号的波形占空比为 25/75。

所述第一节点的信号输出波形呈“凸”字形。

30 所述时钟信号包含四组时钟信号：第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号，当所述时钟信号为第三时钟信号时，所述第 M+2 组时钟信号为第一时钟信号，当所述时钟信号为第四时钟信号时，所述第 M+2 组时钟信号为第二时钟信号。

本发明的有益效果：本发明提供了一种用于氧化物半导体薄膜晶体管

的扫描驱动电路，该用于氧化物半导体薄膜晶体管的扫描驱动电路的下拉维持电路部分具有主反相器与辅助反相器，引入一个恒压低电位，且设置恒压低电位<第二负电位<第一负电位，能够避免氧化物半导体薄膜晶体管电性对扫描驱动电路的影响，尤其是漏电问题带来的功能性不良，确保下拉维持电路部分能够在作用期间正常拉低，在非作用期间处于较高的电位，有效维持第一节点和输出端处于低电位。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为本发明用于氧化物半导体薄膜晶体管的扫描驱动电路的第一实施例的电路图；

图 2 为图 1 所示第一实施例的第一级 GOA 单元的电路图；

图 3 为本发明用于氧化物半导体薄膜晶体管的扫描驱动电路的第二实施例的电路图；

图 4 为本发明用于氧化物半导体薄膜晶体管的扫描驱动电路的第三实施例的电路图；

图 5 为本发明用于氧化物半导体薄膜晶体管的扫描驱动电路的第四实施例的电路图；

图 6 为本发明用于氧化物半导体薄膜晶体管的扫描驱动电路的波形设置和关键节点的输出波形图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 1-2，为本发明用于氧化物半导体薄膜晶体管的扫描驱动电路的第一实施例。如图 1 所示，所述用于氧化物半导体薄膜晶体管的扫描驱动电路为铟镓锌氧化物（Indium Gallium Zinc Oxide, IGZO）薄膜晶体管的扫描驱动电路，包括级联的多个 GOA 单元，设 N 为正整数，第 N 级 GOA 单元包括一上拉控制部分 100、一上拉部分 200、一下传部分 300、一第一下拉部分 400、一自举电容部分 500 和一下拉维持电路部分 600。

上述各部分的组成以及具体的连接方式如下：

所述上拉控制部分 100 包括第十一晶体管 T11, 所述第十一晶体管 T11 的栅极电性连接于所述第 N 级 GOA 单元的前一级 GOA 单元第 N-1 级 GOA 单元的驱动输出端 ST(N-1), 漏极电性连接于所述第 N 级 GOA 单元的前一级 GOA 单元第 N-1 级 GOA 单元的输出端 G(N-1), 源极电性连接于第一节点 Q(N);

所述上拉部分 200 包括第二十一晶体管 T21, 所述第二十一晶体管 T21 的栅极电性连接于第一节点 Q(N), 漏极电性连接于时钟信号 CK(M), 源极电性连接于输出端 G(N);

所述下传部分 300 包括第二十二晶体管 T22, 所述第二十二晶体管 T22 的栅极电性连接于第一节点 Q(N), 漏极电性连接于时钟信号 CK(M), 源极电性连接于驱动输出端 ST(N);

所述第一下拉部分 400 仅包括一第四十一晶体管 T41, 所述第四十一晶体管 T41 的栅极电性连接于第 M+2 组时钟信号 CK(M+2), 漏极电性连接于第一节点 Q(N), 源极电性连接于第二负电位 VSS2;

所述自举电容部分 500 包括一电容 Cb, 所述电容 Cb 的一端电性连接于第一节点 Q(N), 另一端电性连接于输出端 G(N);

所述下拉维持部分 600 包括第五十一晶体管 T51, 所述第五十一晶体管 T51 的栅极与漏极均电性连接于恒压高电位 DCH, 源极电性连接于第四节点 S(N);

第五十二晶体管 T52, 所述第五十二晶体管 T52 的栅极电性连接于第一节点 Q(N), 漏极电性连接于第四节点 S(N), 源极电性连接于第一负电位 VSS1;

第五十三晶体管 T53, 所述第五十三晶体管 T53 的栅极电性连接于第四节点 S(N), 漏极电性连接于恒压高电位 DCH, 源极电性连接于第二节点 P(N);

第五十四晶体管 T54, 所述第五十四晶体管 T54 的栅极电性连接于第一节点 Q(N), 漏极电性连接于第二节点 P(N), 源极电性连接第三节点 K(N);

第七十一晶体管 T71, 所述第七十一晶体管 T71 的栅极与漏极均电性连接于恒压高电位 DCH, 源极电性连接于第七十三晶体管 T73 的栅极;

第七十二晶体管 T72, 所述第七十二晶体管 T72 的栅极电性连接于第一节点 Q(N), 漏极电性连接于第七十三晶体管 T73 的栅极, 源极电性连接于恒压低电位 DCL;

第七十三晶体管 T73, 所述第七十三晶体管 T73 的栅极电性连接于第七十一晶体管 T71 的源极, 漏极电性连接于恒压高电位 DCH, 源极电性连

接于第三节点 K(N);

第七十四晶体管 T74, 所述第七十四晶体管 T74 的栅极电性连接于第一节点 Q(N), 漏极电性连接于第三节点 K(N), 源极电性连接于恒压低电位 DCL;

5 第四十二晶体管 T42, 所述第四十二晶体管 T42 的栅极电性连接于第二节点 P(N), 漏极电性连接于第一节点 Q(N), 源极电性连接于第二负电位 VSS2;

第三十二晶体管 T32, 所述第三十二晶体管 T32 的栅极电性连接于第二节点 P(N), 漏极电性连接于输出端 G(N), 源极电性连接于第一负电位
10 VSS1。

需要特别说明的是, 首先, 所述第一负电位 VSS1、第二负电位 VSS2 与恒压低电位 DCL 的关系为: 恒压低电位 DCL<第二负电位 VSS2<第一负电位 VSS1。

其次, 该扫描驱动电路采用的级传方式是第 N-1 级传给第 N 级, 如图
15 2 所示, 所述扫描驱动电路的第一级连接关系中, 第十一晶体管 T11 的栅极与漏极均电性连接于电路的启动信号端 STV。

再次, 第一下拉部分 400 只有第四十一晶体管 T41 负责下拉第一节点 Q(N), 且第四十一晶体管 T41 的栅极电性连接于第 M+2 组时钟信号 CK(M+2), T41 的源极电性连接于第二负电位 VSS2。所述时钟信号 CK(M)
20 包含四组时钟信号: 第一时钟信号 CK(1)、第二时钟信号 CK(2)、第三时钟信号 CK(3)、第四时钟信号 CK(4), 当所述时钟信号 CK(M)为第三时钟信号 CK(3)时, 所述第 M+2 组时钟信号 CK(M+2)为第一时钟信号 CK(1), 当所述时钟信号 CK(M)为第四时钟信号 CK(4)时, 所述第 M+2 组时钟信号 CK(M+2)为第二时钟信号 CK(2), 而且时钟信号 CK(M)的波形占空比设置
25 不能大于 25/75, 以确保第一节点 Q(N) 的信号输出波形呈“凸”字形, 优选的, 所述时钟信号 CK(M)的波形占空比为 25/75。

最为重要的是, 所述下拉维持电路部分 600 采用了特殊的双重反相器设计。其中第五十一晶体管 T51、第五十二晶体管 T52、第五十三晶体管 T53、第五十四晶体管 T54 四个晶体管构成主反相器, 第七十一晶体管 T71、
30 第七十二晶体管 T72、第七十三晶体管 T73、第七十四晶体管 T74 四个晶体管构成辅助反相器。所述主反相器的作用是控制第三十二晶体管 T32 和第四十二晶体管 T42 这两个晶体管, 辅助反相器的作用是在作用期间提供给主反相器低电位, 在非作用期间提供给主反相器一个适当的高电位来降低第五十四晶体管 T54 的漏电, 以确保主反相器在非作用期间能够产生较高

的电位。

在作用期间，辅助反相器经恒压高电位 DCH 与恒压低电位 DCL 的高/低电压驱动后，第五十二晶体管 T52 被下拉至第一负电位 VSS1，第七十四晶体管 T74、第七十二晶体管 T72 在第一节点 Q(N) 为高电位时开启并下拉恒压高电位 DCH，导致第三节点 K(N) 为更低电位，第二节点 P(N) 也被下拉到一更低电位，即辅助反相器在作用期间给主反相器提供了低电位，因而可以杜绝第三十二晶体管 T32、第四十二晶体管 T42 因阈值电压较低或趋近于 0V 的物理特性所引发的漏电情况发生，确保该下拉维持电路部分 600 能够在作用期间正常拉低。

在非作用期间，第五十二晶体管 T52、第五十四晶体管 T54、第七十二晶体管 T72、第七十四晶体管 T74 均截止关闭。由于第五十四晶体管 T54 的栅极电性连接于第一节点 Q(N)，源极电性连接于第三节点 K(N)，该第五十四晶体管 T54 的栅极为负电位，源极为正电位，这样 V_{gs} 是一个相对来说非常负值的电位，可以将第五十四晶体管 T54 关闭得很好，减少它的漏电，即辅助反相器在非作用期间给主反相器提供了一个适当的高电位来降低第五十四晶体管 T54 的漏电，确保该下拉维持电路部分 600 在非作用期间处于较高的电位，有效维持第一节点 Q(N) 和输出端 G(N) 处于低电位。此外，在第三节点 K(N) 为高电位时，存在电阻分压的功能，可以将第二节点 P(N) 的电位推得更高，因而可以稳定第二节点 P(N) 的电位。

请参阅图 3，为本发明用于氧化物半导体薄膜晶体管的扫描驱动电路的第二实施例。该第二实施例与第一实施例的区别在于，所述第四十一晶体管 T41 的源极电性连接于输出端 G(N)，通过将第四十一晶体管 T41 的源极电性连接于输出端 G(N)，可以降低第一节点 Q(N) 在作用期间通过该第四十一晶体管 T41 的漏电。除此之外，图 3 与图 1 具有相同标号部分的组成、连接关系、功用与操作原理相同，在此不再赘述。

请参阅图 4，为本发明用于氧化物半导体薄膜晶体管的扫描驱动电路的第三实施例。所述第三实施例与第一实施例的区别在于，所述辅助反相器部分删减了第七十一晶体管 T71 与第七十二晶体管 T72，将所述第七十三晶体管 T73 的栅极电性连接到第四节点 S(N)，仅由第七十三晶体管 T73 与第七十四晶体管 T74 构成辅助反相器，该辅助反相器引用主反相器中的第四节点 S(N) 来控制第七十三晶体管 T73，可以减少辅助反相器的元件数量，不需要额外的元件来产生类似于 S(N) 节点的波形控制第七十三晶体管 T73。

在作用期间，辅助反相器经第四节点 S(N) 与恒压低电位 DCL 高/低电

压驱动后,第五十二晶体管 T52 被下拉至第一负电位 VSS1,第七十四晶体管 T74、在第一节点 Q(N)为高电位时开启并下拉恒压高电位 DCH,导致第三节点 K(N)为更低电位,第二节点 P(N)也被下拉到一更低电位,即辅助反相器在作用期间给主反相器提供了低电位,因而可以杜绝第三十二晶体管 T32、第四十二晶体管 T42 因阈值电压较低或趋近于 0V 的物理特性所引发的漏电情况发生,确保所述下拉维持电路部分 600 能够在作用期间正常拉低。

在非作用期间,第五十二晶体管 T52、第五十四晶体管 T54、第七十四晶体管 T74 均截止关闭。由于第五十四晶体管 T54 的栅极电性连接于第一节点 Q(N),源极电性连接于第三节点 K(N),所述第五十四晶体管 T54 的栅极为负电位,源极为正电位,这样 V_{gs} 是一个相对来说非常负值的电位,可以将第五十四晶体管 T54 关闭得很好,减少它的漏电,即辅助反相器在非作用期间给主反相器提供了一个适当的高电位来降低第五十四晶体管 T54 的漏电,确保所述下拉维持电路部分 600 在非作用期间处于较高的电位,有效维持第一节点 Q(N)和输出端 G(N)处于低电位。此外,在第三节点 K(N)为高电位时,还存在电阻分压的功能,可以将第二节点 P(N)的电位推得更高,因而可以稳定第二节点 P(N)的电位。除此之外,图 4 与图 1 中具有相同标号部分的组成、连接关系、功用与操作原理相同,在此不再赘述。

请参阅图 5,为本发明用于氧化物半导体薄膜晶体管的扫描驱动电路的第四实施例。所述第四实施例与第三实施例的区别在于,所述第四十一晶体管 T41 的源极电性连接于输出端 G(N),通过将第四十一晶体管 T41 的源极电性连接于输出端 G(N),可以降低第一节点 Q(N)在作用期间通过所述第四十一晶体管 T41 的漏电。除此之外,图 5 与图 4 中具有相同标号部分的组成、连接关系、功用与操作原理相同,在此不再赘述。

请参阅图 6,为本发明用于氧化物半导体薄膜晶体管的扫描驱动电路的波形设置和关键节点的输出波形图。其中 STV 是电路的启动信号;CK(1)-CK(4)是电路的时钟信号,可以看出这里示意的时钟信号的波形占空比为 25/75,可以确保第一节点的 Q(N)的信号输出波形呈“凸”字形;VSS1、VSS2、DCH、DCL 为输入的恒压控制信号,DCH 为高电位,VSS1、VSS2、DCL 均为恒压低电位,且 $DCL < VSS2 < VSS1$;其它为电路关键节点产生的输出信号波形。由图可知:第一节点 Q(N)的信号输出波形呈“凸”字形,输出端 G(N)正常输出;在非作用期间,第一节点 Q(N)和输出端 G(N)处于低电位。

综上所述,本发明用于氧化物半导体薄膜晶体管的扫描驱动电路的下

- 拉维持电路部分具有主反相器与辅助反相器，引入一个恒压低电位，且设置恒压低电位<第二负电位<第一负电位，能够避免氧化物半导体薄膜晶体管电性对扫描驱动电路的影响，尤其是漏电问题带来的功能性不良，确保下拉维持电路部分能够在作用期间正常拉低，在非作用期间处于较高的电位，有效维持第一节点和输出端处于低电位。
- 5

虽然本发明已以较佳实施例揭露如上，但该较佳实施例并非用以限制本发明，该领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权 利 要 求

1、一种用于氧化物半导体薄膜晶体管的扫描驱动电路，包括级联的多个 GOA 单元，设 N 为正整数，第 N 级 GOA 单元包括一上拉控制部分、一上拉部分、一下传部分、一第一下拉部分、一自举电容部分和一下拉维持电路部分；

所述上拉控制部分包括一第十一晶体管，所述第十一晶体管的栅极电性连接于所述第 N 级 GOA 单元的前一级 GOA 单元第 N-1 级 GOA 单元的驱动输出端，漏极电性连接于所述第 N 级 GOA 单元的前一级 GOA 单元第 N-1 级 GOA 单元的输出端，源极电性连接于第一节点；

所述第一下拉部分包括一第四十一晶体管，所述第四十一晶体管的栅极电性连接于第 M+2 组时钟信号，漏极电性连接于第一节点，源极电性连接于第二负电位或输出端；

所述下拉维持电路部分包括第五十一晶体管，所述第五十一晶体管的栅极与漏极均电性连接于恒压高电位，源极电性连接于第四节点；第五十二晶体管，所述第五十二晶体管的栅极电性连接于第一节点，漏极电性连接于第四节点，源极电性连接于第一负电位；第五十三晶体管，所述第五十三晶体管的栅极电性连接于第四节点，漏极电性连接于恒压高电位，源极电性连接于第二节点；第五十四晶体管，所述第五十四晶体管的栅极电性连接于第一节点，漏极电性连接于第二节点，源极电性连接第三节点；第七十三晶体管，所述第七十三晶体管的栅极电性连接于第四节点，漏极电性连接于恒压高电位，源极电性连接于第三节点；第七十四晶体管，所述第七十四晶体管的栅极电性连接于第一节点，漏极电性连接于第三节点，源极电性连接于恒压低电位；第四十二晶体管，所述第四十二晶体管的栅极电性连接于第二节点，漏极电性连接于第一节点，源极电性连接于第二负电位；第三十二晶体管，所述第三十二晶体管的栅极电性连接于第二节点，漏极电性连接于输出端，源极电性连接于第一负电位；

所述第五十一晶体管、第五十二晶体管、第五十三晶体管、第五十四晶体管构成主反相器，所述主反相器用于控制第三十二晶体管与第四十二晶体管；所述第七十三晶体管、第七十四晶体管构成辅助反相器，所述辅助反相器在作用期间提供给主反相器低电位，在非作用期间提供给主反相器高电位；

所述第一负电位、第二负电位与恒压低电位的关系为：恒压低电位<第

二负电位<第一负电位。

2、如权利要求1所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述辅助反相器还包括第七十一晶体管，所述第七十一晶体管的栅极与漏极均电性连接于恒压高电位，源极电性连接于第七十三晶体管的栅极；第七十二晶体管，所述第七十二晶体管的栅极电性连接于第一节点，漏极电性连接于第七十三晶体管的栅极，源极电性连接于恒压低电位；所述第七十三晶体管的栅极与第四节点断开。

3、如权利要求1所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，采用的级传方式是第N-1级传给第N级。

4、如权利要求1所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述上拉部分包括第二十一晶体管，所述第二十一晶体管的栅极电性连接于第一节点，漏极电性连接于时钟信号，源极电性连接于输出端；

所述下传部分包括第二十二晶体管，所述第二十二晶体管的栅极电性连接于第一节点，漏极电性连接于时钟信号，源极电性连接于驱动输出端；

所述自举电容部分包括一电容，所述电容的一端电性连接于第一节点，另一端电性连接于输出端。

5、如权利要求1所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述扫描驱动电路的第一级连接关系中，第十一晶体管的栅极与漏极均电性连接于电路的启动信号端。

6、如权利要求4所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述时钟信号的波形占空比不能大于25/75。

7、如权利要求6所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述时钟信号的波形占空比为25/75。

8、如权利要求1所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述第一节点的信号输出波形呈“凸”字形。

9、如权利要求4所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述时钟信号包含四组时钟信号：第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号，当所述时钟信号为第三时钟信号时，所述第M+2组时钟信号为第一时钟信号，当所述时钟信号为第四时钟信号时，所述第M+2组时钟信号为第二时钟信号。

10、一种用于氧化物半导体薄膜晶体管的扫描驱动电路，包括级联的多个GOA单元，设N为正整数，第N级GOA单元包括一上拉控制部分、一上拉部分、一下传部分、一第一下拉部分、一自举电容部分和一下拉维持电路部分；

所述上拉控制部分包括一第十一晶体管，所述第十一晶体管的栅极电性连接于所述第 N 级 GOA 单元的前一级 GOA 单元第 N-1 级 GOA 单元的驱动输出端，漏极电性连接于所述第 N 级 GOA 单元的前一级 GOA 单元第 N-1 级 GOA 单元的输出端，源极电性连接于第一节点；

5 所述第一下拉部分包括一第四十一晶体管，所述第四十一晶体管的栅极电性连接于第 M+2 组时钟信号，漏极电性连接于第一节点，源极电性连接于第二负电位或输出端；

所述下拉维持电路部分包括第五十一晶体管，所述第五十一晶体管的栅极与漏极均电性连接于恒压高电位，源极电性连接于第四节点；第五十二晶体管，所述第五十二晶体管的栅极电性连接于第一节点，漏极电性连接于第四节点，源极电性连接于第一负电位；第五十三晶体管，所述第五十三晶体管的栅极电性连接于第四节点，漏极电性连接于恒压高电位，源极电性连接于第二节点；第五十四晶体管，所述第五十四晶体管的栅极电性连接于第一节点，漏极电性连接于第二节点，源极电性连接第三节点；
10 第七十三晶体管，所述第七十三晶体管的栅极电性连接于第四节点，漏极电性连接于恒压高电位，源极电性连接于第三节点；第七十四晶体管，所述第七十四晶体管的栅极电性连接于第一节点，漏极电性连接于第三节点，源极电性连接于恒压低电位；第四十二晶体管，所述第四十二晶体管的栅极电性连接于第二节点，漏极电性连接于第一节点，源极电性连接于第二负电位；第三十二晶体管，所述第三十二晶体管的栅极电性连接于第二节点，漏极电性连接于输出端，源极电性连接于第一负电位；
15 20

所述第五十一晶体管、第五十二晶体管、第五十三晶体管、第五十四晶体管构成主反相器，所述主反相器用于控制第三十二晶体管与第四十二晶体管；所述第七十三晶体管、第七十四晶体管构成辅助反相器，所述辅助反相器在作用期间提供给主反相器低电位，在非作用期间提供给主反相器高电位；
25

所述第一负电位、第二负电位与恒压低电位的关系为：恒压低电位<第二负电位<第一负电位；

其中，所述上拉部分包括第二十一晶体管，所述第二十一晶体管的栅极电性连接于第一节点，漏极电性连接于时钟信号，源极电性连接于输出端；
30

所述下传部分包括第二十二晶体管，所述第二十二晶体管的栅极电性连接于第一节点，漏极电性连接于时钟信号，源极电性连接于驱动输出端；

所述自举电容部分包括一电容，所述电容的一端电性连接于第一节点，

另一端电性连接于输出端；

其中，所述时钟信号的波形占空比不能大于 25/75；

其中，所述时钟信号的波形占空比为 25/75；

其中，所述第一节点的信号输出波形呈“凸”字形。

- 5 11、如权利要求 10 所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，采用的级传方式是第 N-1 级传给第 N 级。

12、如权利要求 10 所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述扫描驱动电路的第一级连接关系中，第十一晶体管的栅极与漏极均电性连接于电路的启动信号端。

- 10 13、如权利要求 10 所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述时钟信号包含四组时钟信号：第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号，当所述时钟信号为第三时钟信号时，所述第 M+2 组时钟信号为第一时钟信号，当所述时钟信号为第四时钟信号时，所述第 M+2 组时钟信号为第二时钟信号。

15

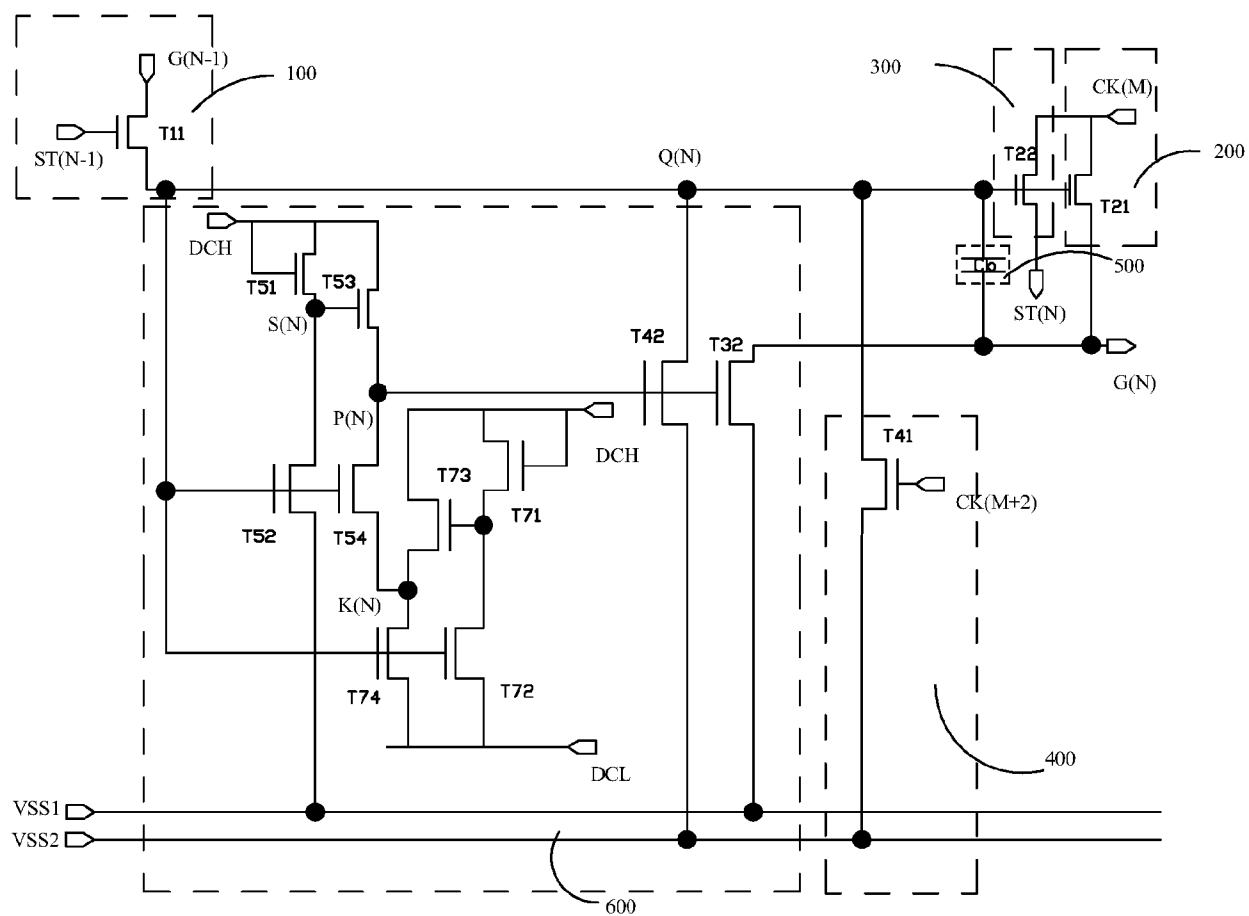


图1

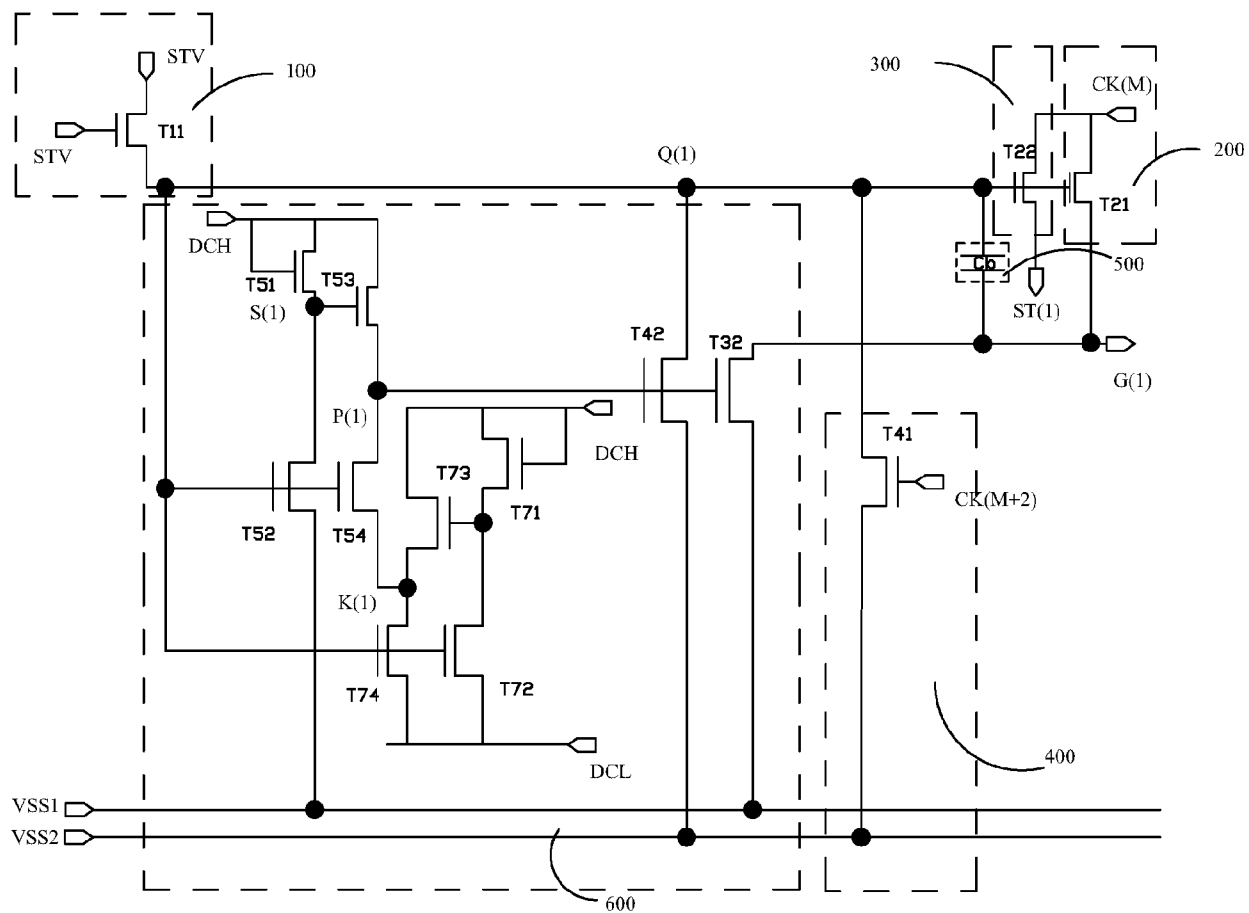


图2

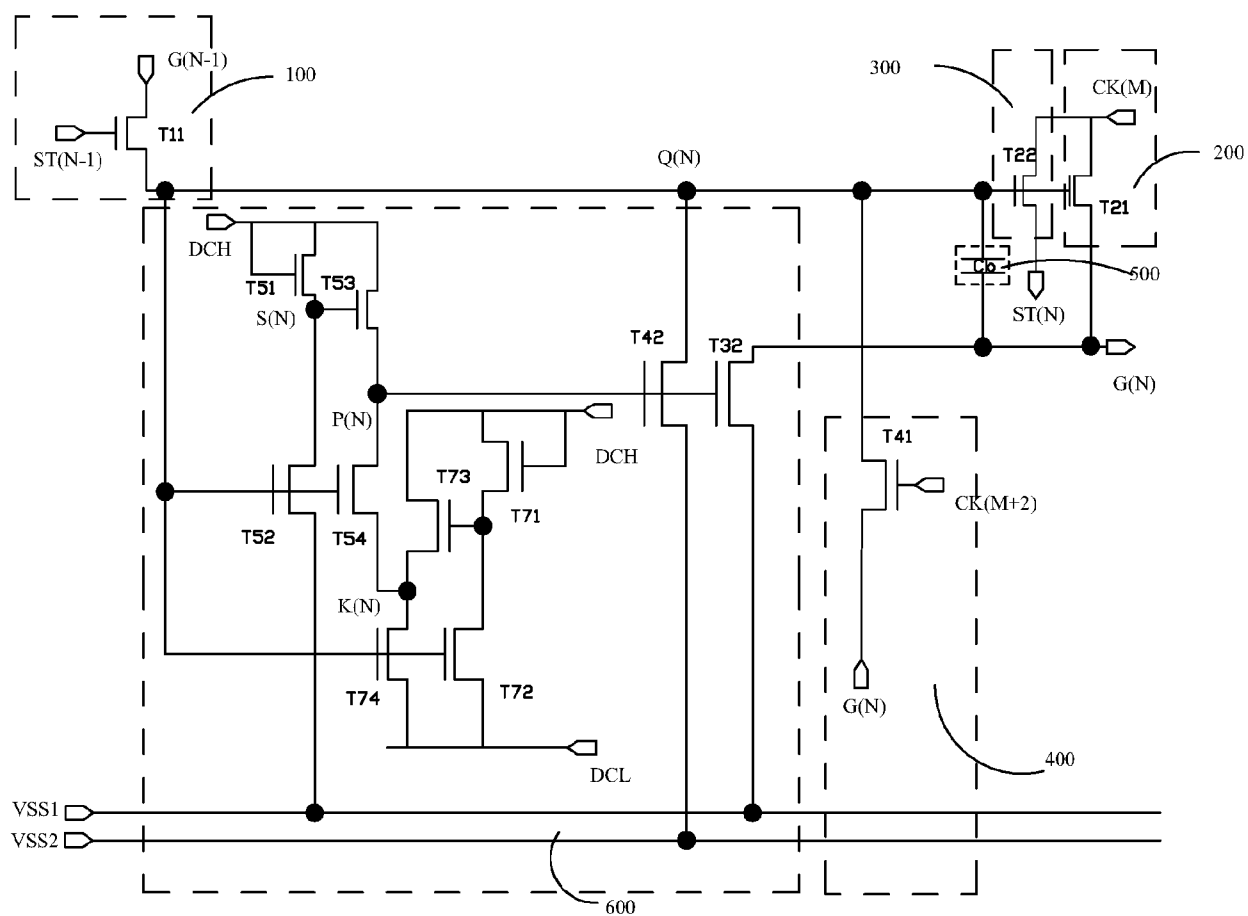


图3

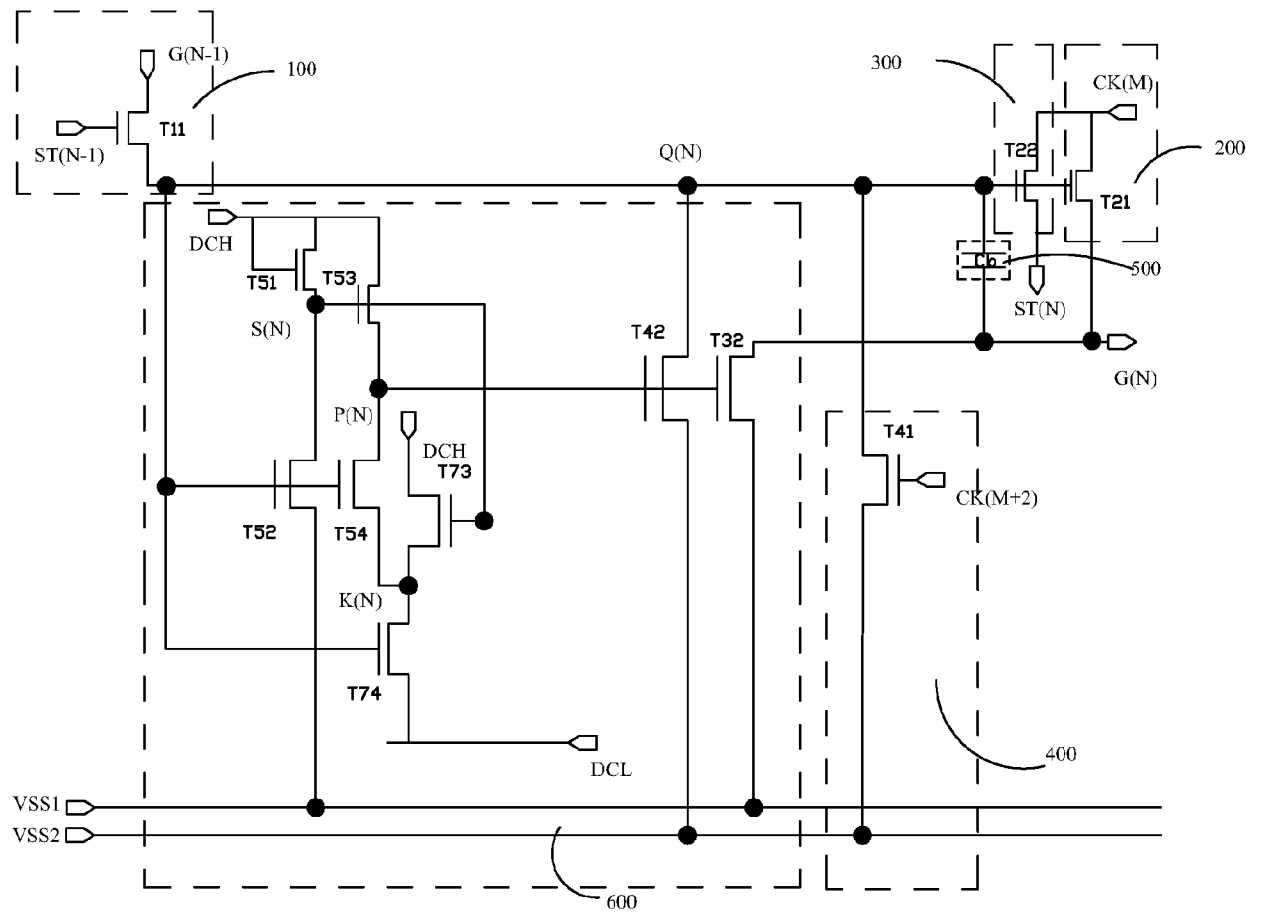


图4

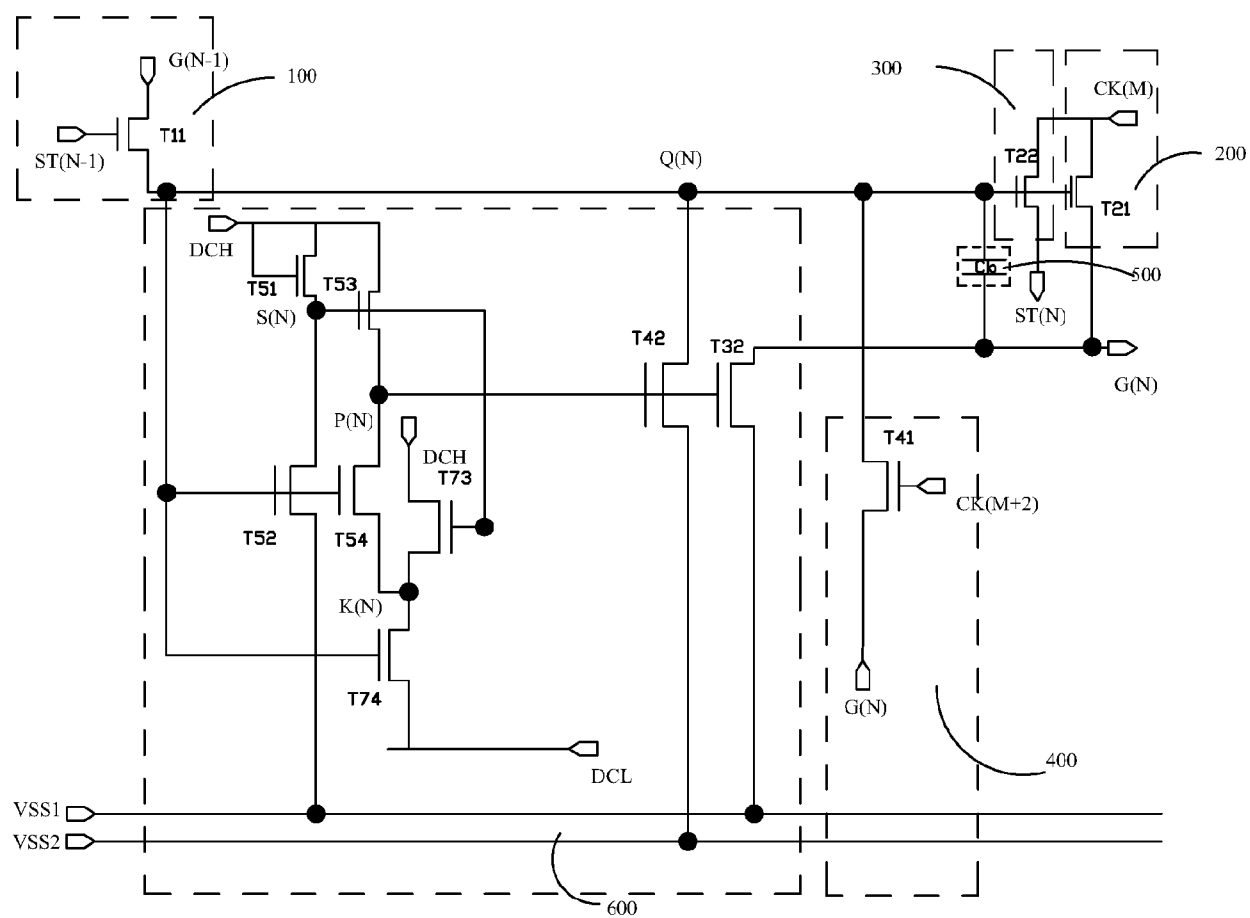


图5

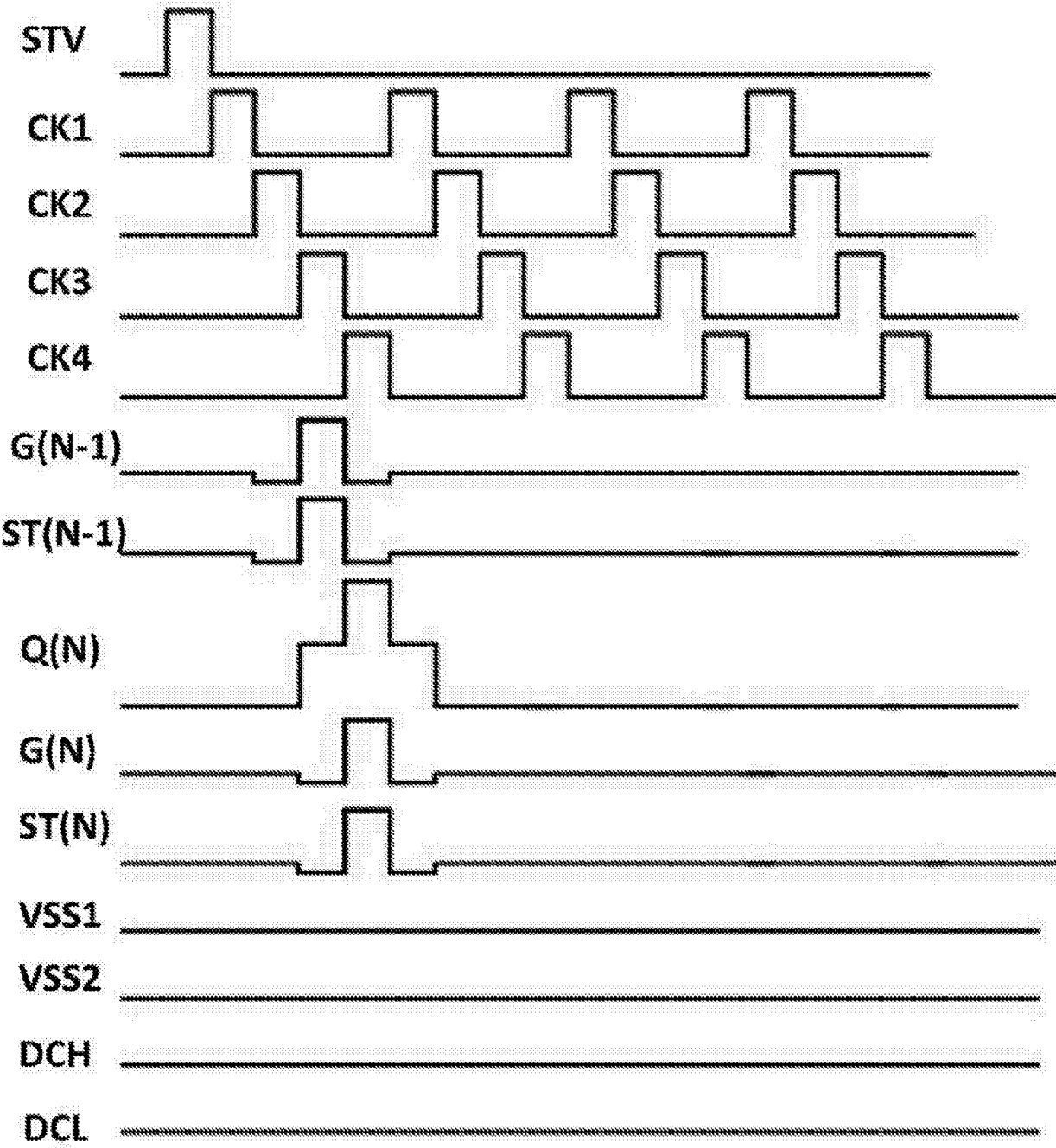


图6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/072361

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: scanning drive, bit register, scan+, shift+d regist+, pull+ 2d down+, leak+, inverter+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103680453 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 26 March 2014 (26.03.2014) the whole document	1-13
A	CN 103035297 A (AU OPTRONICS CORP.) 10 April 2013 (10.04.2013) the whole document	1-13
A	CN 103761952 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 30 April 2014 (30.04.2014) the whole document	1-13
A	US 2010156474 A1 (PARK, KYUNG-HO et al.) 24 June 2010 (24.06.2010) the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 May 2015	Date of mailing of the international search report 28 May 2015
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHAO, Shixin Telephone No. (86-10) 62414009

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/CN2015/072361

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103680453 A	26 March 2014	None	
CN 103035297 A	10 April 2013	US 2014105351 A1	17 April 2014
		US 8767907 B2	1 July 2014
		TW 201415798 A	16 April 2014
CN 103761952 A	30 April 2014	None	
US 2010156474 A1	24 June 2010	KR 20100075141 A	2 July 2010

国际检索报告

国际申请号

PCT/CN2015/072361

A. 主题的分类

G09G 3/36(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPDOC: 扫描驱动, 移位寄存器, 下拉维持, 漏电流, 反相器, scan+, shift+ d regist+, pull+ 2d down+, leak+, inverter+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103680453 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-13
A	CN 103035297 A (友达光电股份有限公司) 2013年 4月 10日 (2013 - 04 - 10) 全文	1-13
A	CN 103761952 A (深圳市华星光电技术有限公司) 2014年 4月 30日 (2014 - 04 - 30) 全文	1-13
A	US 2010156474 A1 (PARK, KYUNG-HO 等) 2010年 6月 24日 (2010 - 06 - 24) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 5月 14日

国际检索报告邮寄日期

2015年 5月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

赵世欣

电话号码 (86-10)62414009

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/072361

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103680453	A	2014年 3月 26日	无			
CN	103035297	A	2013年 4月 10日	US	2014105351	A1	2014年 4月 17日
				US	8767907	B2	2014年 7月 1日
				TW	201415798	A	2014年 4月 16日
CN	103761952	A	2014年 4月 30日	无			
US	2010156474	A1	2010年 6月 24日	KR	20100075141	A	2010年 7月 2日

表 PCT/ISA/210 (同族专利附件) (2009年7月)